

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成27年9月24日(2015.9.24)

【公開番号】特開2013-97792(P2013-97792A)

【公開日】平成25年5月20日(2013.5.20)

【年通号数】公開・登録公報2013-025

【出願番号】特願2012-232813(P2012-232813)

【国際特許分類】

G 0 6 F 12/00 (2006.01)

【 F I 】

G 0 6 F 12/00 5 7 0 C

【手続補正書】

【提出日】平成27年8月10日(2015.8.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のポートと第 2 のポートとを有するデュアルポートメモリを動作させる方法であって、該デュアルポートメモリは、単一ポートメモリ要素のアレイを含み、該方法は、

該第 1 のポートにおいて、第 1 のメモリアクセス要求と、関連付けられた第 1 のクロック信号とを受信することと、

該第 2 のポートにおいて、第 2 のメモリアクセス要求と、関連付けられた第 2 のクロック信号とを受信することと、

制御回路を用いて該第 2 のクロック信号の立ち上りクロックエッジを検出することに対応して、第 3 のクロック信号を生成し、かつ該第 2 のメモリアクセス要求にサービスを提供することと、

該第 2 のメモリアクセス要求がサービスを提供されている間に、該第 3 のクロック信号を用いて該第 1 のメモリアクセス要求をサンプリングすることと

を含む、方法。

【請求項 2】

前記第 3 のクロック信号を用いて前記第 1 のメモリアクセス要求をサンプリングすることは、少なくとも 2 つの直列接続されたラッチを用いて該第 3 のクロック信号の立ち上りおよび立ち下りクロックエッジの時に該第 1 のメモリアクセス要求をサンプリングすることを含む、請求項 1 に記載の方法。

【請求項 3】

前記第 1 のメモリアクセス要求をバッファ回路内に格納することをさらに含み、該バッファ回路は、前記少なくとも 2 つの直列接続されたラッチから制御信号を受信するように動作可能である、請求項 2 に記載の方法。

【請求項 4】

前記バッファ回路を用いて前記第 3 のクロック信号を受信することをさらに含む、請求項 3 に記載の方法。

【請求項 5】

前記デュアルポートメモリは、多重化回路を含み、該多重化回路は、前記少なくとも 2 つの直列接続されたラッチを介して前記第 1 のメモリアクセス要求を受信するように動作可能な第 1 の入力と、前記第 2 のメモリアクセス要求を受信するように動作可能な第 2 の

入力と、前記制御回路から制御信号を受信するように動作可能な制御入力とを有する、請求項 2 に記載の方法。

【請求項 6】

前記第 1 のメモリアクセス要求をバッファ回路内に格納することをさらに含む、請求項 1 に記載の方法。

【請求項 7】

前記制御回路を用いて前記第 2 のクロック信号の前記立ち上りクロックエッジを検出することに対応して、前記単一ポートメモリ要素のアレイへのアクセスを制御するための第 4 のクロック信号を生成することをさらに含む、請求項 1 に記載の方法。

【請求項 8】

前記第 2 のメモリアクセス要求が遂行されることに応答して、前記制御回路を用いて該第 2 のメモリアクセス要求の完了を表す制御信号を受信することと、

該制御回路を用いて該制御信号を受信することに対応して、前記第 1 のメモリアクセス要求にサービスを提供することと

をさらに含む、請求項 1 に記載の方法。

【請求項 9】

第 1 のポートと第 2 のポートとを有するデュアルポートメモリを動作させる方法であって、該デュアルポートメモリは、単一ポートメモリ要素のアレイを含み、該方法は、

該第 1 のポートにおいて、第 1 のメモリアクセス要求と、関連付けられた第 1 のクロック信号とを受信することと、

該第 2 のポートにおいて、第 2 のメモリアクセス要求と、関連付けられた第 2 のクロック信号とを受信することと、

該第 1 のクロック信号が上昇することに応答して、該第 1 のメモリアクセス要求をバッファ内に一時的に格納することと、

制御回路を用いて該第 2 のクロック信号の立ち上りクロックエッジを検出することに対応して、該第 1 のメモリアクセス要求が該バッファ内に格納されている間に、該第 2 のメモリアクセス要求にサービスを提供することと

を含む、方法。

【請求項 10】

前記第 2 のクロック信号の前記立ち上りクロックエッジを検出することに対応して、前記制御回路を用いて第 3 のクロック信号をトリガーすることをさらに含む、請求項 9 に記載の方法。

【請求項 11】

同期化回路を用いて前記第 3 のクロック信号を受信することであって、該同期化回路は、少なくとも 2 つのラッチを含む、ことと、

前記バッファを用いて該第 3 のクロック信号を受信することと

をさらに含む、請求項 10 に記載の方法。

【請求項 12】

前記少なくとも 2 つのラッチは、前記第 3 のクロック信号の立ち上りクロックエッジの時にデータをラッチするように構成された正エッジトリガー型ラッチと、該第 3 のクロック信号の立ち下りクロックエッジの時にデータをラッチするように構成された負エッジトリガー型ラッチとを含む、請求項 11 に記載の方法。

【請求項 13】

前記バッファを用いて前記同期化回路から制御信号を受信することをさらに含む、請求項 11 に記載の方法。

【請求項 14】

前記同期化回路を用いて前記第 1 のメモリアクセス要求をラッチすることと、

該第 1 のメモリアクセス要求が該同期化回路を用いてラッチされた後に、該第 1 のメモリアクセス要求を前記バッファから除去することと

をさらに含む、請求項 11 に記載の方法。

【請求項 15】

前記バッファは、ファーストインファーストアウト回路を含む、請求項 9 に記載の方法。

【請求項 16】

第 1 のポートと第 2 のポートとを有するデュアルポートメモリであって、該デュアルポートメモリは、

単一ポートメモリ要素のアレイと、

第 1 のメモリアクセス要求と、該第 1 のポートに関連付けられた第 1 のクロック信号とを受信するように動作可能な第 1 の入力ラッチと、

第 2 のメモリアクセス要求と、該第 2 のポートに関連付けられた第 2 のクロック信号とを受信するように動作可能な第 2 の入力ラッチであって、該第 2 のクロック信号は、該第 1 のクロック信号と異なる、第 2 の入力ラッチと、

該第 1 のクロック信号を受信せず、該第 2 のクロック信号を受信するように動作可能な制御回路であって、該制御回路は、該第 1 のメモリアクセス要求および該第 2 のメモリアクセス要求のうちのいずれが遂行のために選択されるべきであるかを決定する制御信号を生成するようにさらに動作可能である、制御回路と、

該第 1 の入力ラッチから該第 1 のメモリアクセス要求を受信するように動作可能な第 1 の入力と、該第 2 の入力ラッチから該第 2 のメモリアクセス要求を受信するように動作可能な第 2 の入力と、該制御回路から該制御信号を受信するように動作可能な制御入力とを有する多重化回路と

を含む、デュアルポートメモリ。

【請求項 17】

前記第 1 の入力ラッチと前記多重化回路の前記第 1 の入力との間に連結されたバッファをさらに含む、請求項 16 に記載のデュアルポートメモリ。

【請求項 18】

前記バッファと前記多重化回路の前記第 1 の入力との間に連結された正エッジトリガー型ラッチおよび負エッジトリガー型ラッチをさらに含む、請求項 17 に記載のデュアルポートメモリ。

【請求項 19】

前記バッファは、ファーストインファーストアウト回路を含む、請求項 17 に記載のデュアルポートメモリ。