

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3601774号
(P3601774)

(45) 発行日 平成16年12月15日(2004.12.15)

(24) 登録日 平成16年10月1日(2004.10.1)

(51) Int. Cl.⁷

GO 1 R 31/28

F I

GO 1 R 31/28

G

GO 1 R 31/28

V

請求項の数 6 (全 16 頁)

(21) 出願番号	特願平11-363166	(73) 特許権者	000005821
(22) 出願日	平成11年12月21日(1999.12.21)		松下電器産業株式会社
(65) 公開番号	特開2001-174518(P2001-174518A)		大阪府門真市大字門真1006番地
(43) 公開日	平成13年6月29日(2001.6.29)	(74) 代理人	100105647
審査請求日	平成14年1月10日(2002.1.10)		弁理士 小栗 昌平
		(74) 代理人	100115107
			弁理士 高松 猛
		(74) 代理人	100073874
			弁理士 萩野 平
		(74) 代理人	100093573
			弁理士 添田 全一
		(74) 代理人	100105474
			弁理士 本多 弘徳
		(74) 代理人	100108589
			弁理士 市川 利光

最終頁に続く

(54) 【発明の名称】 診断機能を有する半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

所定周期の擬似乱数パルスを生成する擬似乱数発生手段と、
前記擬似乱数パルスが供給され、シフト動作と通常動作とが実行可能に構成された複数のフリップフロップ回路を有するスキャンパス設計された少なくとも1つの論理手段と、
前記論理手段の出力値と予め設定された期待値とを比較して各値が互いに一致するか否かを判定し、全ての論理手段に対する判定結果に基づいて1つの判定結果を出力する判定手段と、を具備し、
前記擬似乱数パルスの周期で一巡するタイミングパルスを生成するタイミング制御手段を有し、前記論理手段が、前記タイミングパルスに基づいて、前記擬似乱数パルスの1周期期間設定されるシフト動作と、少なくとも1クロック期間設定される通常動作とがを順次実行することを特徴とする診断機能を有する半導体集積回路。

10

【請求項2】

前記論理手段が、前記擬似乱数発生手段及び前記判定手段に対して並列に接続されることを特徴とする請求項1に記載の診断機能を有する半導体集積回路。

【請求項3】

前記論理手段が、前記擬似乱数発生手段及び前記判定手段に対して直列に接続されることを特徴とする請求項1に記載の診断機能を有する半導体集積回路。

【請求項4】

乱数パルスを生成する乱数発生手段と、

20

前記乱数パルスが供給され、シフト動作可能に構成されたそれぞれ同一段数のフリップフロップ回路を有するスキャンパス設計された複数の論理手段と、
前記論理手段のうち、それぞれ同一段目のフリップフロップ回路の複数の出力値を互いに比較して各値が互いに一致するか否かを判定し、全ての出力値に対する判定結果に基づいて1つの判定結果を出力する判定手段と、
を具備したことを特徴とする診断機能を有する半導体集積回路。

【請求項5】

前記論理手段の最終段及び/又は内部の組み合わせ回路の出力を外部導出するように、前記論理手段に接続される少なくとも1つの端子を有し、該端子の少なくとも1つが、入力部と出力部を有し、該出力部に供給された前記論理手段の最終段及び/又は内部回路の出力を該入力部を介して何れかの論理手段に入力可能な入出力端子であることを特徴とする請求項1乃至4の何れか1項に記載の診断機能を有する半導体集積回路。

10

【請求項6】

入力部と出力部とを有し、該入力部を介して前記論理手段にデータを供給するために前記論理手段に接続され、該出力部に供給される前記擬似乱数パルス又は乱数パルスを前記入力部を介して前記論理手段に供給可能な入出力端子を備えたことを特徴とする請求項1乃至5の何れか1項に記載の診断機能を有する半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、スキャン設計された論理回路を有し、該論理回路を診断する診断機能を有する半導体集積回路に関する。

【0002】

【従来の技術】

近年、半導体集積回路の大規模化・同期回路化に伴い、機能記述を用いた論理合成による回路設計および、テストパターンを自動で作成するための方法としてスキャン設計法が注目されている。さらに、高機能システムLSI(大規模集積回路)においてはバーンインテストなどの信頼性試験の重要度も増してきている。反面、この高機能システムLSIではテストの際、実際にセット機器上で動作する状態を完全に実現することは非常に難しくなっており、消費電流テスト、バーンインテストなどにおいては、外部からのストレス印加またはテストベクタの入力装置に膨大なコストがかかることが大きな課題となってきた。このためスキャン設計法を利用し回路にストレスを印加していることが少ない。

30

【0003】

スキャン設計法を用いた擬似的なストレス印加とは、従来行なわれていた実使用モードにおける、回路動作を限り無く実使用に即した形でテストパターン設計を行ない、これを用いて消費電力測定、信頼性試験でのストレス印加方法に対し、限られたパターン長にて、実モード相当の回路動作率を実現するため、スキャン設計法などにより、等価なテストパターンを作成し、テストに導入する方法である。

【0004】

40

これにより、実動作状態と等価にはならないものの、信頼性テスト等の際、半導体集積回路中の動作している回路の割合を実動作に近い状態にすることが可能となり、信頼性加速テスト等で、十分なストレスが印加されずにテストが行なわれることを防ぐことができる。

【0005】

以下、従来のバーンインテストについて説明する。従来のバーンインテストは、パッケージングされた完成品に対して行なわれていたため、テストを行なう際、十数種の周波数の異なる信号供給源より必要な端子数分だけ外部より信号供給を行ない、内部回路を動作させる方法を探っていた。この際、半導体集積回路の規模が小さくかつ、動作的に複雑でない回路に対しては、実動作に近いパターンを信号供給源の組み合わせにより実現すること

50

ができた。

【0006】

しかしながら、半導体集積回路の大規模化/複雑化に伴い、用意されている信号供給源の組み合わせでは、実動作を実現することが不可能になってきたため、スキャン設計法を利用し、スキャンテストパターンを信号供給源の組み合わせにより実現し代用するようになってきた。

【0007】

【発明が解決しようとする課題】

バーンインテストは、通常、一度に大量の半導体集積回路に対して実行されるが、大量の半導体集積回路に対して特定のストレスを適正に印加するためには、相当の規模の装置を必要とする。また、印加されたストレスに対する出力結果をモニタするための装置も大規模なものとなる。さらに、半導体集積回路の規模が増大するに伴い設けられる端子数も増えるため、これに伴い装置も大規模なものとなり、大幅なコストアップにつながる。

10

【0008】

一方、半導体集積回路に対するバーンインテストは、完成品に対する他、近年では、ウェハレベルにて行う手法も確立されつつある。しかし、ウェハレベルでのバーンインテストは、完成品に対して行う場合に比べ、同時に遙かに多くの数の半導体集積回路をテスト対象とするため、各々の半導体集積回路に対してテストの為に使用可能な端子数には限りがある。従って、限られた端子数で、ストレス印加、状態観測ができる回路設計が要求される。

20

【0009】

本発明は、上記事情に鑑みて成されたもので、半導体集積回路を診断する場合に必要な端子数を最小限に抑え、かつ確実に診断することができる診断機能を有する半導体集積回路を提供することを目的とする。

【0010】

【課題を解決するための手段】

請求項1に係わる本発明は、所定周期の擬似乱数パルスを生成する擬似乱数発生手段と、前記擬似乱数パルスが供給され、シフト動作と通常動作とが実行可能に構成された複数のフリップフロップ回路を有するスキャンパス設計された少なくとも1つの論理手段と、前記論理手段の出力値と予め設定された期待値とを比較して各値が互いに一致するか否かを判定し、全ての論理手段に対する判定結果に基づいて1つの判定結果を出力する判定手段と、を具備し、前記擬似乱数パルスの周期で一巡するタイミングパルスを生成するタイミング制御手段を有し、前記論理手段が、前記タイミングパルスに基づいて、前記擬似乱数パルスの1周期期間設定されるシフト動作と、少なくとも1クロック期間設定される通常動作とがを順次実行するものである。

30

【0011】

請求項2に係わる本発明は、前記論理手段が、前記擬似乱数発生手段及び前記判定手段に対して並列に接続されるものである。

【0012】

請求項3に係わる本発明は、前記論理手段が、前記擬似乱数発生手段及び前記判定手段に対して直列に接続されるものである。

40

【0014】

請求項4に係わる本発明は、乱数パルスを生成する乱数発生手段と、前記乱数パルスが供給され、シフト動作可能に構成されたそれぞれ同一段数のフリップフロップ回路を有するスキャンパス設計された複数の論理手段と、前記論理手段のうち、それぞれ同一段目のフリップフロップ回路の少なくとも1つの出力値を互いに比較して各値が互いに一致するか否かを判定し、全ての出力値に対する判定結果に基づいて1つの判定結果を出力する判定手段と、を具備したものである。

【0015】

請求項5に係わる本発明は、前記論理手段の最終段及び/又は内部の組み合わせ回路の出

50

力を外部導出するように、前記論理手段に接続される少なくとも1つの端子を有し、該端子の少なくとも1つが、入力部と出力部を有し、該出力部に供給された前記論理手段の最終段及び/又は内部回路の出力を該入力部を介して何れかの論理手段に入力可能な入出力端子としたものである。

【0016】

請求項6に係わる本発明は、入力部と出力部とを有し、該入力部を介して前記論理手段にデータを供給するために前記論理手段に接続され、該出力部に供給される前記擬似乱数パルス又は乱数パルスを前記入力部を介して前記論理手段に供給可能な入出力端子を備えたものである。

【0017】

請求項1及び2に記載の発明は、論理手段に擬似乱数パルスを供給してストレスを印加し、論理手段の出力を判定手段で期待値と比較することにより、論理手段の動作状態、論理手段のストレス印加状態を確認するものである。判定手段は、各論理手段の出力に対して個々に比較し、全ての論理手段に対する比較結果を1つの判定結果として出力する。これにより、半導体集積回路から出力される判定手段の判定結果が1つに集約されるため、半導体集積回路を診断するために必要とされる端子数を削減することができる。また、論理手段に供給された擬似乱数パルスのシフト動作に加えて通常動作を加えることにより、論理手段に印加されるストレスの度合いを高めることができ、より効率的なストレス印加が可能となる。

【0018】

請求項3に記載の発明は、複数の論理手段を直列接続し、擬似乱数発生手段から判定手段までの経路を一本化することにより、擬似乱数パルスの供給及び論理手段の判定手段への出力を一元化したものである。これにより、特に、判定手段にあっては、複数の論理手段の出力に対して個々に比較していたのに対し、複数の論理手段の出力を1度に比較することができる。従って、判定手段の簡易化を図ることができる。

【0020】

請求項4に記載の発明は、それぞれ同一段数を有する論理手段に乱数パルスを供給し、各論理手段の同一段目のフリップフロップ回路の出力値を相互に比較し、論理手段の動作状態及び論理手段のストレス印加状態を確認するものである。この比較は、各段目におけるフリップフロップ回路の出力値に対して実行することができる。判定手段は、各段に対する複数の比較結果を1つの判定結果として出力する。請求項4に記載の発明では、同一構成の複数の論理手段の出力を相互に比較対象としているため、乱数パルスに基づいて算出される期待値等を用意することがなく、判定手段を簡易化することができる。判定手段は、各出力値に対する比較結果を1つの判定結果として出力する。これにより、半導体集積回路から出力される判定手段の判定結果が1つに集約されるため、半導体集積回路を診断するために必要とされる端子数を削減することができる。

【0021】

請求項5及び6に記載の発明は、論理手段に接続される端子に対してもストレスを印加し、これら端子を含めた半導体集積回路全体にストレスを印加するものである。これにより、半導体集積回路を構成する論理手段だけでなく端子もストレス印加による診断対象とすることができ、より精度の高い診断を実行することができる。

【0022】

なお、本発明において論理手段とは、スキャンパス設計されたスキャン機能付きフリップフロップ回路と、これら回路間に配置された組み合わせ回路とが縦続されたスキャンチェーン構造を構成要素とし、1つのスキャンチェーン構造を有する論理手段若しくは複数のスキャンチェーン構造を有する論理手段、さらには、1つ又は複数のスキャンチェーン構造を有する論理手段が複数ある場合をも含む。

【0023】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

10

20

30

40

50

図1は本発明の第1の実施の形態における診断機能を有する半導体集積回路を構成するスキューン設計された論理回路(論理手段)100を示している。図1において、117はテストに必要な周波数のクロック信号が常時供給されるクロック端子、116はテスト開始時に回路全体を初期化するためのリセット信号が供給されるリセット端子、115はスキューンテストにおいて、シフト動作状態でスキューンデータを順次入力し、通常動作に切り替え半導体集積回路内の組合せ回路の動作をスキューンし、再びシフト動作に戻しスキューンされたデータを順次送り出すための切替信号が供給されるシフト動作/通常動作切替端子ある。また、122~141はスキューン機能付きフリップフロップ回路、142~157は通常動作において順序回路を構成するフリップフロップ回路間に配置された組合せ回路である。フリップフロップ回路122~141及び組み合わせ回路142~157のうち、相互に直列接続されたフリップフロップ回路122~126と組み合わせ回路142~145との組はスキューンチェーンを構成する。同様に、フリップフロップ回路127~131、132~136及び137~141と組み合わせ回路146~149、150~153及び154~157との組もスキューンチェーンを構成する。

10

【0024】

上記構成の論理回路をスキューンテストする場合、先ず、各スキューンチェーンをシフト動作に切り替え、スキューンデータ入力端子111、112、113、114からスキューンチェーンを構成する組合せ回路の故障を検出するために必要なデータを供給する。次に、各スキューンチェーンを通常動作に切り替え、1クロック分、組み合わせ回路を実動作させる。その後、各スキューンチェーンをシフト動作に戻し、スキューンデータ出力端子118、119、120、121から組合せ回路の演算結果を導出する。

20

【0025】

図2は本発明の第1の実施の形態における半導体集積回路に擬似乱数パルスを供給するための擬似乱数発生回路(擬似乱数発生手段)200の構成を示している。図2において、201はクロック端子、202はリセット端子、204、206、208、209はn段のシフトレジスタを構成するリセット機能付きフリップフロップ回路、207は最終n段のフリップフロップ回路の出力と任意段のフリップフロップ回路(図示例では、フリップフロップ回路208)の出力との排他的論理和を得る排他的論理和回路(EX-OR回路)である。

【0026】

シフトレジスタの初段のフリップフロップ回路204には、排他的論理和回路207の出力が供給され、最終段のフリップフロップ回路209から $(2^n - 1)$ 周期の擬似乱数パルスが出力される。擬似乱数発生回路200から出力される擬似乱数パルスは、バーンインテストを実行する場合に、論理回路100に印加されるストレスとして用いられる。

30

【0027】

図3は本発明の第1の実施の形態における診断機能を有する半導体集積回路を示しており、図1に示した論理回路100及び図2に示した擬似乱数発生回路200を備える。図3において、310はクロック端子、309はリセット端子、308はシフト動作と通常動作とを切り替えるための切替信号が供給されるシフト動作/通常動作切替端子であり、303、305、306は論理回路100をスキューンテストするためのスキューンデータが入力されるスキューンテスト入力端子である。

40

【0028】

論理回路100はスキューンテストの対象となるとともに、バーンインテストの対象となる。論理回路100をバーンインテストする場合、擬似乱数発生回路200で生成された擬似乱数パルスが、スキューンテスト/バーンインテスト切替端子307から供給されるスキューンテストとバーンインテストとを切り替えるための切替信号により制御されるセレクタ311、312、313を介して各スキューンチェーンに供給される。各スキューンチェーンに供給された擬似乱数パルスは、スキューンチェーン内を伝搬して判定回路(判定手段)350に導出される。

【0029】

50

判定回路 350 は各スキャンチェーンの出力値をそれぞれ予め設定された期待値と比較する。論理回路内の回路が正常に作動し、かつ回路に適切にストレスが印加されていれば、スキャンチェーンから正常な出力が導出される。判定回路 350 は、全てのスキャンチェーンの出力を 1 つに集約した判定結果を出力端子 351 に導出する。

【0030】

図 4 は図 3 に示した半導体集積回路を模式的に示している。すなわち、論理回路（論理手段）に対してバーンインテストを実行する場合、擬似乱数発生回路（擬似乱数発生手段）200 で生成された擬似乱数パルスを論理回路を構成する複数のスキャンチェーン 402 ~ 406 にそれぞれ供給し、各スキャンチェーンの出力をそれぞれ期待値と判定回路（判定手段）で比較することにより、論理回路を診断することができる。

10

【0031】

これにより、実動作に準ずるテストだけではストレスを印加することが難しい組み合わせ回路に対してスキャンチェーンを通じて擬似乱数パルスを供給することにより確実にストレスを印加することができる。

【0032】

以下、図 5 を参照して本発明の第 2 の実施の形態について説明する。図 4 に示した第 1 の実施の形態と異なる点は、第 1 の実施の形態において切替端子 308 から供給されるシフト動作 / 実動作を切り替えるための切替信号を、タイミング制御回路（タイミング制御手段）341 で生成することにある。

【0033】

バーンインテストを実行する際、クロック端子 310 に常時テスト周波数のクロックを供給し、スキャンテスト / バーンインテスト切替端子 307 に切替信号を供給してバーンインテストモードに設定し、擬似乱数発生回路（擬似乱数発生手段）301 から $(2^n - 1)$ 周期の擬似乱数パルスをセレクタ 311、312 を介して論理回路 302 を構成する各スキャンチェーンに供給する。

20

【0034】

タイミング制御回路 341 は、カウンタで生成される $(2^n - 1)$ 周期のタイミングパルスをデコードして各フリップフロップ回路を構成するセレクタの制御端に供給し、各フリップフロップ回路をシフト動作と通常動作とに切り替える。

【0035】

図 6 は、論理回路 302 の動作を示しており、(1) はフリップフロップ回路をシフト動作に固定する場合、(2) はフリップフロップ回路をシフト動作と通常動作とに切り替える場合を示している。

30

【0036】

第 2 の実施の形態では、タイミング制御回路 341 から、(2) に示すタイミングパルスを発生し、これによりフリップフロップ回路を一定周期 $(2^n - 1)$ 毎にシフト動作と通常動作とに切り替える。

【0037】

すなわち、まず、 $(2^n - 1)$ クロック期間、フリップフロップ回路をシフト動作に設定し、この状態で擬似乱数パルスをフリップフロップ回路に供給する。次に、1 クロック期間、フリップフロップ回路を通常動作に設定し、この状態で、供給された擬似乱数パルスを処理する。その後、再び、 $(2^n - 1)$ クロック期間、フリップフロップ回路をシフト動作に設定し、この状態で、擬似乱数パルスをシフトさせる。この動作を繰り返して、供給された擬似乱数パルスを判定回路 350 に導出する。なお、バーンインテストが実行されている場合は、スキャンデータ入力端子に入力されるスキャンデータは第 1 の極性（正極性）若しくは第 2 の極性（負極性）に設定される。

40

【0038】

上述のように、バーンインテストを実行する場合、論理回路を構成するスキャンチェーンをシフト動作に固定せずに、シフト動作と通常動作とに切り替えることにより、フリップフロップ回路間の組み合わせ回路に対してもストレスが印加される。従って、論理回路に

50

対するストレスの印加率を高めることができ、効率よくストレスを印加することができる。

【 0 0 3 9 】

以下、図7を参照して第3の実施の形態における半導体集積回路について説明する。論理回路を構成する複数のスキランチェーンに対して擬似乱数パルスを供給する場合、第1及び第2の実施の形態では、擬似乱数発生回路及び判定回路に対して各スキランチェーンが並列に接続され、各スキランチェーンに同時に擬似乱数パルスが供給されていたのに対し、第3の実施の形態では、擬似乱数発生回路501及び判定回路507に対して複数のスキランチェーン501～506が互いに直列に接続され、各スキランチェーンに順次擬似乱数パルスが供給される。最終のスキランチェーン526から導出された擬似乱数パルスは、判定回路507に供給される。

10

【 0 0 4 0 】

第1及び第2の実施の形態では、判定回路は各スキランチェーンから出力される複数の出力値をそれぞれ期待値と比較し、その後、複数の比較結果に基づいて論理回路の状態を判定している。しかし、第3の実施の形態では、判定回路507は1つの出力値を期待値と比較するだけで、複数のスキランチェーンを有する論理回路の状態を判定することができるため、判定回路507の判定処理を簡易化することができる。

【 0 0 4 1 】

以下、図8を参照して第4の実施の形態について説明する。図8において、601は乱数パルスを発生する乱数発生回路（乱数発生手段）、609は常時バーンインテスト周波数のクロックが供給されるクロック端子、608はバーンインテスト開始時に半導体集積回路全体を初期化するためのリセット信号が入力されるリセット端子、607はシフト動作と通常動作とを切り替える切替信号が供給されるシフト動作/通常動作切替端子、603、604、605、606はスキランデータが供給されるスキランデータ入力端子である。また、628～655はスキラン機能付きフリップフロップ回路、656～679は通常動作において順序回路を構成するスキラン機能付きフリップフロップ回路間の組合せ回路であり、互いに直接接続されたフリップフロップ回路及び組み合わせ回路はスキランチェーンを構成する。

20

【 0 0 4 2 】

バーンインテストを実行する場合、フリップフロップ回路628～655を構成する各セレクトをシフト動作に切り替え、かつスキランデータ入力端子に供給されるスキランデータを第1の極性（正極性）又は第2の極性（負極性）に設定する。この状態で、乱数発生回路601で生成された乱数パルスを各スキランチェーンを介して判定部610、611に導出する。判定部610、611は、各スキランチェーンの出力値を論理演算により比較する。

30

【 0 0 4 3 】

いま、フリップフロップ回路628から始まるスキランチェーン（第1のスキランチェーン）と、フリップフロップ回路635から始まるスキランチェーン（第2のスキランチェーン）とに着目する。各スキランチェーンにはそれぞれ同一の擬似乱数パルスが供給されるため、各スキランチェーンにおいて、擬似乱数パルスが同一段数分シフトされて導出される出力値は互いに同一である。従って、これら出力値を比較することにより、各スキランチェーンが正常に動作しているか、若しくは適切なストレスが印加されているか否かを判別することができる。

40

【 0 0 4 4 】

判定部610は、第1及び第2のスキランチェーンの同一段目のフリップフロップ回路の出力値の排他的論理和を順次得、各排他的論理和の論理積を得る。すなわち、第1のスキランチェーンを構成するフリップフロップ回路631の出力値と第2のスキランチェーンを構成するフリップフロップ回路638の出力値とをEX-OR回路620に入力する。同様に、フリップフロップ回路632の出力値とフリップフロップ回路639の出力値とをEX-OR回路621に入力し、フリップフロップ回路633の出力値とフリップフ

50

ロップ回路 6 4 0 の出力値とを EX - OR 回路 6 2 2 に入力し、フリップフロップ回路 6 3 4 の出力値とフリップフロップ回路 6 4 1 の出力値とを EX - OR 回路 6 2 3 に入力する。各 EX - OR 回路の出力はそれぞれ AND 回路 6 1 8 に入力される。これにより、第 1 及び第 2 のスキャンチェーンの出力が一致しているか否かが確認される。このとき第 1 及び第 2 のスキャンチェーンを構成するそれぞれのフリップフロップ回路の段数を一致させ、かつ各スキャンチェーンを第 1 の極性（正極性）又は第 2 の極性（負極性）に統一してスキャンチェーンを構成することにより、2 つのスキャンチェーンの出力を比較する回路を簡略化することが可能となる。

【 0 0 4 5 】

フリップフロップ回路 6 4 2 から始まるスキャンチェーン及びフリップフロップ回路 6 4 9 から始まるスキャンチェーンについても、同様に各スキャンチェーンを構成する同一段目のフリップフロップ回路の出力値を互いに比較し、各段目のフリップフロップ回路の出力値の比較結果の論理積を得ることにより、2 つのスキャンチェーンの出力が一致しているか否かが確認される。

【 0 0 4 6 】

AND 回路 6 1 8、6 1 9 に出力は AND 回路 6 1 4 に集約され、その論理積が出力端子 6 1 5 に導出される。これにより、論理回路の動作状態若しくは論理回路のストレス印加状態を確認することができる。

【 0 0 4 7 】

図 9 は第 4 の実施の形態を模式的に示している。すなわち、乱数発生回路 7 0 1 で生成された乱数パルスが、互いに同一段数のスキャンチェーン（m 段）7 0 2、7 0 3 に供給される。そして、各スキャンチェーンの最終段から n 段分のフリップフロップ回路（判定対象）の出力 7 0 6、7 0 7 を判定部 7 1 0 で比較する。同様に、乱数パルスが互いに同一段数のスキャンチェーン（k 段）7 0 4、7 0 5 に供給される。そして、各スキャンチェーンの最終段から n 段分のフリップフロップ回路（判定対象）の出力 7 0 8、7 0 9 を判定部 7 1 1 で比較する。各判定部の出力は AND 回路 7 1 2 に入力され、各出力の論理積を得ることにより、論理回路の動作状態、若しくは論理回路のストレス印加状態を確認することができる。

【 0 0 4 8 】

図 1 0 は第 4 の実施の形態の応用例を模式的に示したものである。乱数発生回路 8 0 1 で生成された乱数パルスは互いに同一段数のスキャンチェーン（m 段）8 0 2、8 0 3、8 0 4 に供給される。そして、各スキャンチェーンの最終段から n 段分のフリップフロップ回路（判定対象）の出力 8 1 0、8 1 1、8 1 2 を判定部 8 1 8 で比較する。判定部 8 1 8 は、図示例のように、フリップフロップ回路の出力 8 1 2 とフリップフロップ回路の出力 8 1 0、8 1 1 とを比較する他、出力 8 1 0 と出力 8 1 1、8 1 2 とを比較、又は出力 8 1 1 と出力 8 1 0、8 1 2 とを比較するようにしてもよい。

【 0 0 4 9 】

同様に、乱数パルスが互いに同一段数のスキャンチェーン（k 段）8 0 5、8 0 6、8 0 7 に供給される。そして、各スキャンチェーンの最終段から n 段分のフリップフロップ回路（判定対象）の出力 8 1 3、8 1 4、8 1 5 を判定部 8 1 9 で比較する。さらに、乱数パルスがスキャンチェーン（z 段）8 0 8、8 0 9 に供給され、各スキャンチェーンの最終段から n 段分のフリップフロップ回路（判定対象）の出力 8 1 6、8 1 7 を判定部 8 2 0 で比較する。各判定部の出力は AND 回路 8 1 2 に入力され、各出力の論理積を得ることにより、論理回路の動作状態、若しくは論理回路のストレス印加状態を確認することができる。

【 0 0 5 0 】

図 1 0 に示した構成によれば、構成段数が同一のスキャンチェーン同士の出力を互いに比較するため、構成段数が揃っている設計モジュール単位或いはレイアウト時のブロック単位毎に回路をテストすることができる。従って、テスト回路の設計が容易となる。また、モジュール単位で出力を判定することができるため、複数のモジュールの各出力を集約す

10

20

30

40

50

ることにより、リアルタイムで1チップの出力判定が可能となる。

【0051】

以下、図11を参照して第5の実施の形態について説明する。図11において、910はバーンインテストに必要な周波数を有するクロックが常時供給されるクロック端子、909は半導体集積回路全体を初期化する初期化信号が入力されるリセット端子、913～927はスキャン機能付きフリップフロップ回路、928～939は組合せ回路、908はシフト動作と通常動作とを切り替える切替信号が入力されるシフト動作/通常動作切替端子、907はスキャンテストとバーンインテストとに切り替える切替信号が入力されるスキャンテスト/バーンインテスト切替端子である。

【0052】

バーンインテストを実行する場合は、リセット端子909に入力される初期化信号により半導体集積回路を初期化し、スキャンテスト/バーンインテスト切替端子907を介して入力される切替信号を第1の極性(正極性)又は第2の極性(負極性)に設定してセレクタ911、912、913をバーンインテストモードに切り替えて、擬似乱数発生回路901で生成された擬似乱数パルスを論理回路902を構成する各スキャンチェーンに供給する。

【0053】

なお、必要に応じて、第2の実施の形態に示したように、スキャンチェーンを所定周期毎にシフト動作と通常動作とに切り替えてるようにしてもよい。各スキャンチェーンを通過した擬似乱数パルスはそれぞれ判定回路946に供給され、回路の動作状態及びストレスの印加状態が判定される。

【0054】

第5の実施の形態では、図示のように、出力端子941、943にスキャンチェーンを構成する最終段のフリップフロップ回路の出力が供給され、出力端子940にはスキャンチェーンを構成する組み合わせ回路の出力が供給される。また、入力部と出力部とを有する入出力端子944は、スキャンチェーンを構成する組み合わせ回路の出力により出力モードに設定された状態で最終段のフリップフロップ回路の出力が外部導出される。さらに、この出力は、入出力端子944を構成する入力部を介して別のスキャンチェーン内の組み合わせ回路に供給される。

【0055】

上記構成により、スキャンチェーンに接続される出力端子、入出力端子を含めて半導体集積回路全体にストレスを印加することができる。なお、出力端子940、941、943には単にストレスが印加されるのみであるが、バーンインテスト後の別のテストにおいて出力端子にストレスを印加した結果が反映される。

【0056】

以下、図12を参照して第6の実施の形態について説明する。図11において、1104はシフト動作と通常動作とを切り替える切替信号が入力されるシフト動作/通常動作切替端子、1105はバーンインテスト開始時に半導体集積回路全体を初期化する初期化信号が入力されるリセット端子、1107はバーンインテストに必要な周波数のクロックが常時供給されるクロック端子、1108はバーンインテストモードを設定する設定信号が入力されるバーンインテスト設定端子、1113～1122はスキャン機能付きフリップフロップ回路、1123～1130は組み合わせ回路である。

【0057】

第6の実施の形態では、シフト動作/通常動作切替端子1104、リセット端子1105、クロック信号入力1107及びバーンインテスト設定端子1108以外の入力端子が、全て入出力端子で置き換えられる。すなわち、擬似乱数発生回路1101で生成された擬似乱数パルス又はスキャンデータが供給される入出力端子1103、1106が設けられる。各スキャンチェーンを通過した擬似乱数パルスはそれぞれ判定回路1112に供給され、回路の動作状態及びストレスの印加状態が判定される。

【0058】

バーンインテストを実行する場合、バーンインテスト設定端子1108に入力される設定信号を第1の極性(正極性)又は第2の極性(負極性)に設定してセレクタ1102をバーンインテストモードに設定する。セレクタ1102の出力は入出力部1103、1106を構成する出力部の制御端に供給されている。セレクタ1102がバーンインテストモードが設定されると、入出力部1103、1106が入力モードに設定され、擬似乱数パルスが入出力部1103、1106を介して各スキランチェーンに供給される。これにより、入出力端子1103、1106及び半導体集積回路を構成するスキランチェーンにストレスを印加することができる。

【0059】

半導体集積回路の出力側において、出力端子1110にはスキランチェーンを構成する最終段のフリップフロップ回路の出力が供給される。入出力端子1109はセレクタ1102により、バーンインテスト実行時、出力モードに設定され、スキランチェーンの出力が外部導出されるとともに、入力部を介して別のスキランチェーンに供給される。

【0060】

上記構成により、出力端子、入出力端子を含めて半導体集積回路全体にストレスを印加することができる。

【0061】

なお、第6の実施の形態において、半導体集積回路の入力側の端子にのみストレスを印加するようにしてもよい。

【0062】

【発明の効果】

請求項1及び2に記載の発明によれば、論理手段の動作状態、ストレス印加状態を確認するための判定手段が、各論理手段の出力に対して個々に比較し、全ての論理手段に対する比較結果を1つの判定結果として出力することにより、半導体集積回路から出力される判定手段の判定結果が1つに集約されるため、半導体集積回路を診断するために必要とされる端子数を最小限に抑えることができ、かつ1つの判定結果によって複数の論理手段を確実に診断することができる。また、判定結果をモニタするための外部装置においても、判定手段で集約された1つの判定結果に基づいて、半導体集積回路の不具合を確認することができ、診断装置全体のコストを抑えることができる。さらに、論理手段に供給された擬似乱数パルスのシフト動作に加えて通常動作を加えることにより、論理手段に印加される ストレスの度合いを高めることができ、より効率的なストレス印加が可能となる。

【0063】

請求項3に記載の発明によれば、さらに、複数の論理手段を直列接続し、擬似乱数発生手段から判定手段までの経路を一本化して、擬似乱数パルスの供給及び論理手段の判定手段への出力を一元化することにより、特に、判定手段にあっては、複数の論理手段の出力を1度に比較することができる。従って、判定手段の簡易化を図ることができる。

【0065】

請求項4に記載の発明によれば、同一構成の複数の論理手段の出力を相互に比較対象としているため、乱数パルスに基づいて算出される期待値等を用意することがなく、判定手段を簡易化することができる。判定手段からは、各出力値に対する比較結果を1つの判定結果として出力されるので、半導体集積回路から出力される判定手段の判定結果が1つに集約され、これにより、半導体集積回路を診断するために必要とされる端子数を削減す最小限に抑えることができ、かつ1つの判定結果によって複数の論理手段を確実に診断することができる。また、判定結果をモニタするための外部装置においても、判定手段で集約された1つの判定結果に基づいて、半導体集積回路の不具合を確認することができ、診断装置全体のコストを抑えることができる。

【0066】

請求項5及び6に記載の発明によれば、さらに、論理手段に接続される端子に対してもストレスを印加し、これら端子を含めた半導体集積回路全体にストレスを印加することにより、半導体集積回路を構成する論理手段だけでなく端子もストレス印加による診断対象と

10

20

30

40

50

することができ、より精度の高い診断を実行することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態における診断機能を有する半導体集積回路を構成する論理回路 100 を示す構成図である。

【図 2】本発明の第 1 の実施の形態における診断機能を有する半導体集積回路を構成する擬似乱数発生回路 200 を示す構成図である。

【図 3】本発明の第 1 の実施の形態における診断機能を有する半導体集積回路を示す構成図である。

【図 4】本発明の第 1 の実施の形態における診断機能を有する半導体集積回路を示す模式図である。

10

【図 5】本発明の第 2 の実施の形態における診断機能を有する半導体集積回路を示す構成図である。

【図 6】図 5 で示した論理回路 302 の動作を示すタイミングチャートである。

【図 7】本発明の第 3 の実施の形態における診断機能を有する半導体集積回路を示す構成図である。

【図 8】本発明の第 4 の実施の形態における診断機能を有する半導体集積回路を示す構成図である。

【図 9】第 4 の実施の形態を示す模式図である。

【図 10】第 4 の実施の形態の変形例を示す構成図である。

【図 11】本発明の第 5 の実施の形態における診断機能を有する半導体集積回路を示す構成図である。

20

【図 12】本発明の第 6 の実施の形態における診断機能を有する半導体集積回路を示す構成図である。

【符号の説明】

100 論理回路（論理手段）

111 ~ 114 スキャンデータ入力端子

115 シフト動作 / 通常動作モード切替端子

116 リセット端子

117 クロック端子

118 ~ 121 スキャンデータ出力端子

30

122 ~ 141 スキャン機能付きフリップフロップ回路

142 ~ 157 組み合わせ回路

200 擬似乱数発生回路

201 クロック端子

202 リセット端子

204、206、208、209 フリップフロップ回路

207 EX - OR（排他的論理和）回路

210 擬似乱数出力端子

303、305、306 スキャンデータ入力端子

307 スキャンテスト / パーンインテスト切替端子

40

308 シフト動作 / 通常動作切替端子

309 リセット端子

310 クロック端子

311 ~ 313 セレクタ

314 ~ 327 スキャン機能付きフリップフロップ回路

328 ~ 339 組み合わせ回路

341 タイミング制御回路

350 判定回路

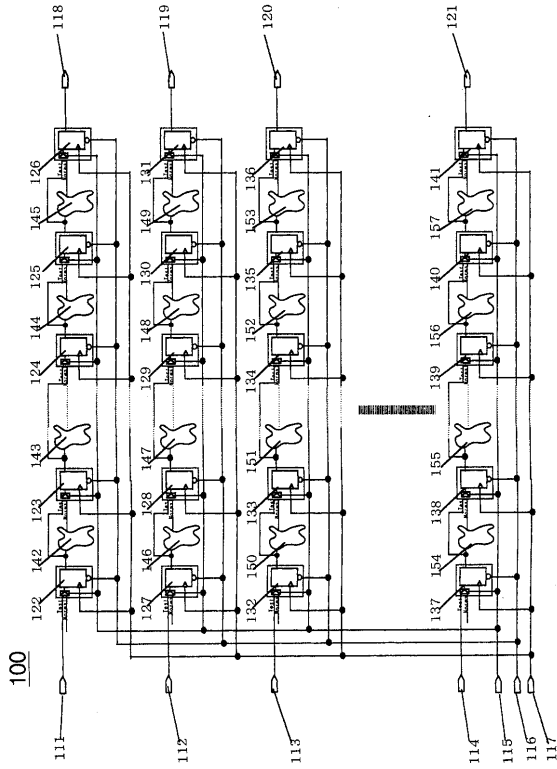
351 出力端子

402 ~ 406 スキャンチェーン

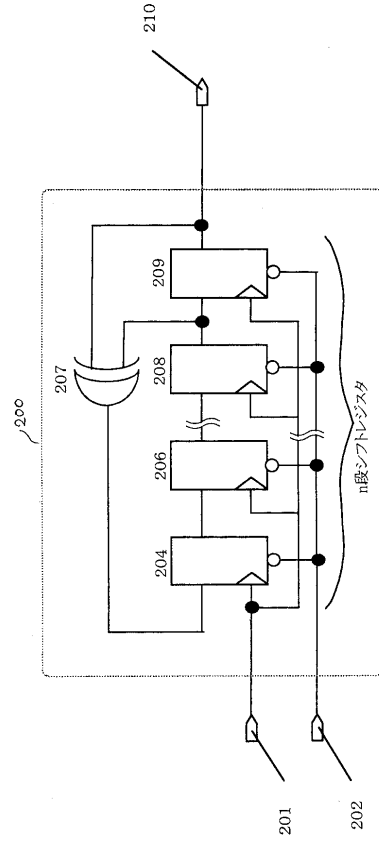
50

5 0 1	擬似乱数発生回路	
5 0 2 ~ 5 0 6	スキャンチェーン	
5 0 7	判定回路	
6 0 1	乱数発生回路	
6 0 3 ~ 6 0 6	スキャンデータ入力端子	
6 0 7	シフト動作 / 通常動作切替端子	
6 0 8	リセット端子	
6 0 9	クロック端子	
6 1 0、6 1 1	判定部	
6 1 2、6 1 3、6 1 6、6 1 7	スキャンデータ出力端子	10
6 1 4、6 1 8、6 1 9	AND回路	
6 1 5	出力端子	
6 2 8 ~ 6 5 5	フリップフロップ回路	
6 5 6 ~ 6 7 9	組み合わせ回路	
7 0 1	乱数発生回路	
7 0 2 ~ 7 0 5	スキャンチェーン	
7 1 0、7 1 1	判定部	
7 1 2	AND回路	
8 0 1	乱数発生回路	
8 0 2 ~ 8 0 9	スキャンチェーン	20
8 1 8、8 1 9、8 2 0	判定部	
8 2 1	AND回路	
9 0 1	擬似乱数発生回路	
9 0 3 ~ 9 0 6	スキャンチェーン	
9 0 7	スキャンテスト / バーンインテスト切替端子	
9 0 8	シフト動作 / 通常動作切替端子	
9 0 9	リセット端子	
9 1 0	クロック端子	
9 1 1 ~ 9 1 3	セレクタ	
9 1 4 ~ 9 2 7	フリップフロップ回路	30
9 2 8 ~ 9 3 9	組み合わせ回路	
9 4 0、9 4 1、9 4 3、9 4 5	出力端子	
9 4 4	入出力端子	
9 4 6	判定回路	
1 1 0 1	擬似乱数発生回路	
1 1 0 2	セレクタ	
1 1 0 3、1 1 0 6、1 1 0 9	入出力端子	
1 1 0 4	シフト動作 / 通常動作切替端子	
1 1 0 5	リセット端子	
1 1 0 7	クロック端子	40
1 1 0 8	バーンインテスト設定端子	
1 1 1 0、1 1 1 1	出力端子	
1 1 1 2	判定回路	
1 1 1 3 ~ 1 1 2 2	フリップフロップ回路	
1 1 2 3 ~ 1 1 3 0	組み合わせ回路	

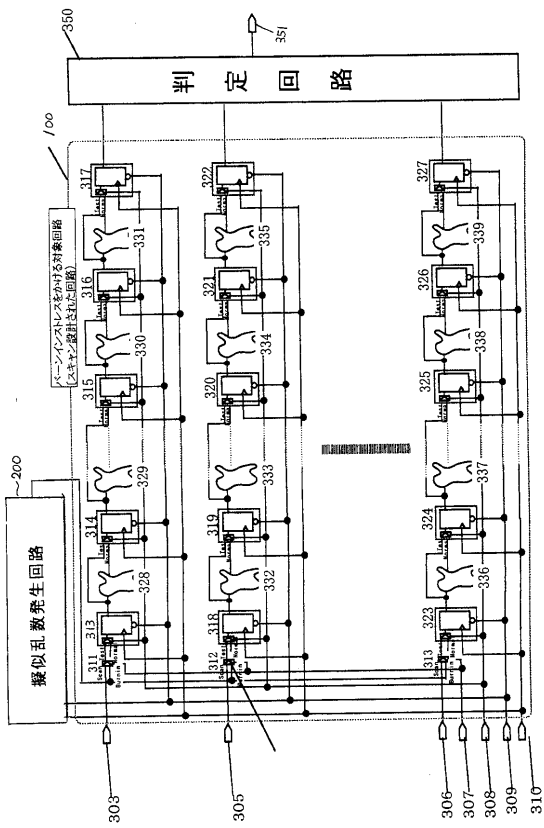
【 図 1 】



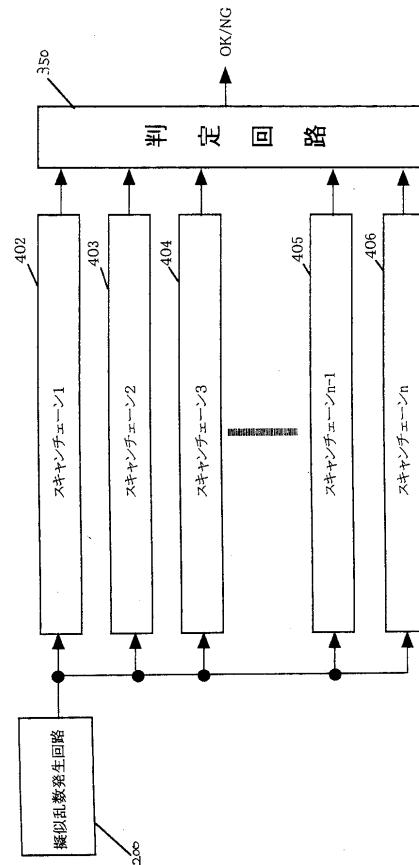
【 図 2 】



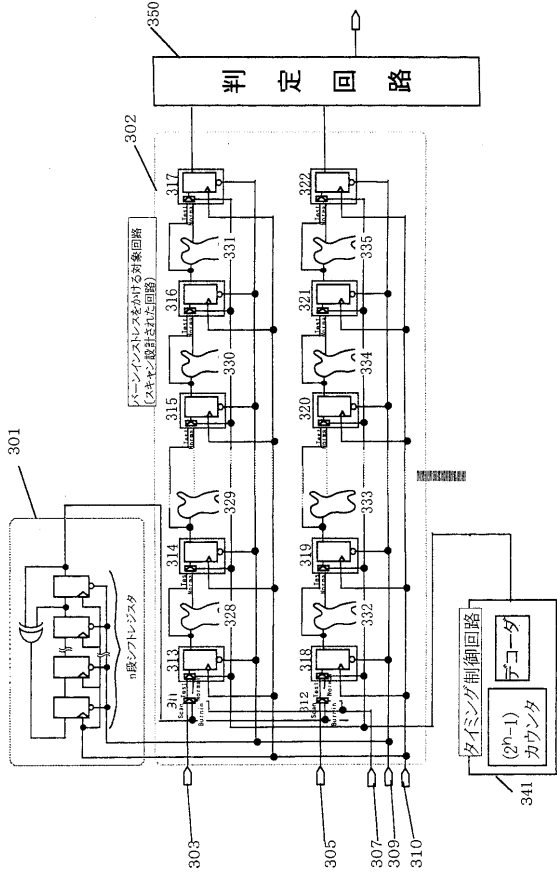
【 図 3 】



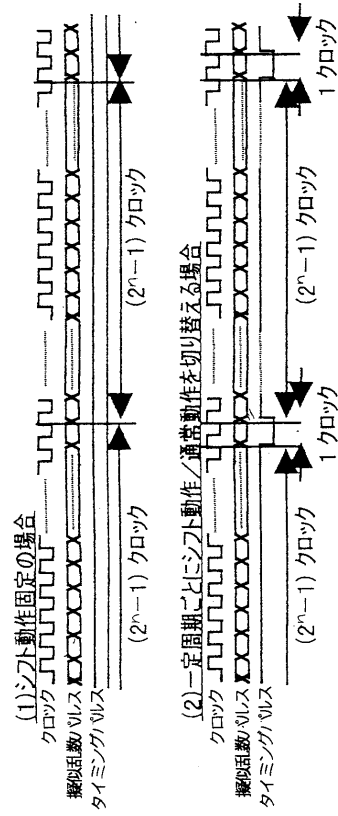
【 図 4 】



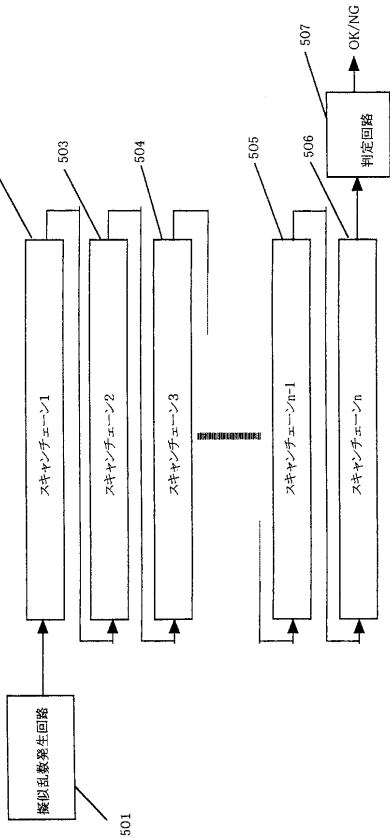
【 図 5 】



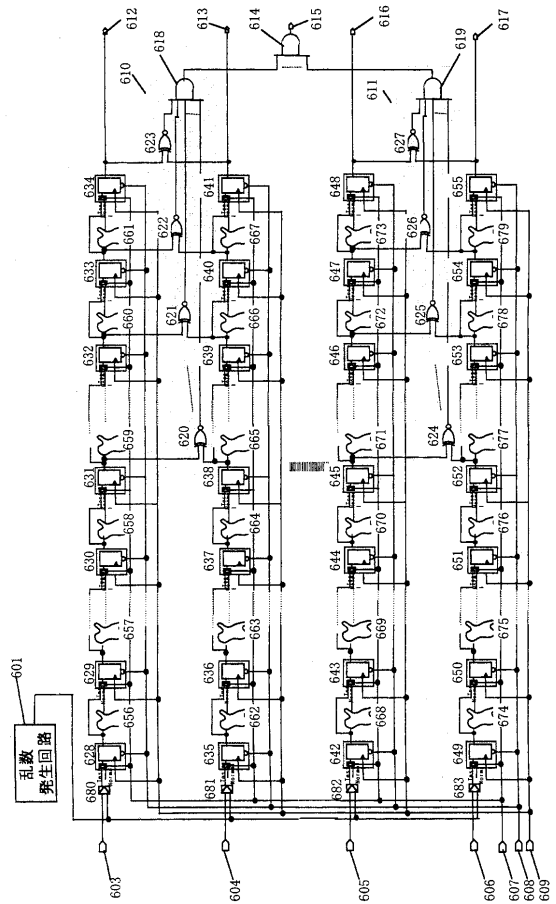
【 図 6 】



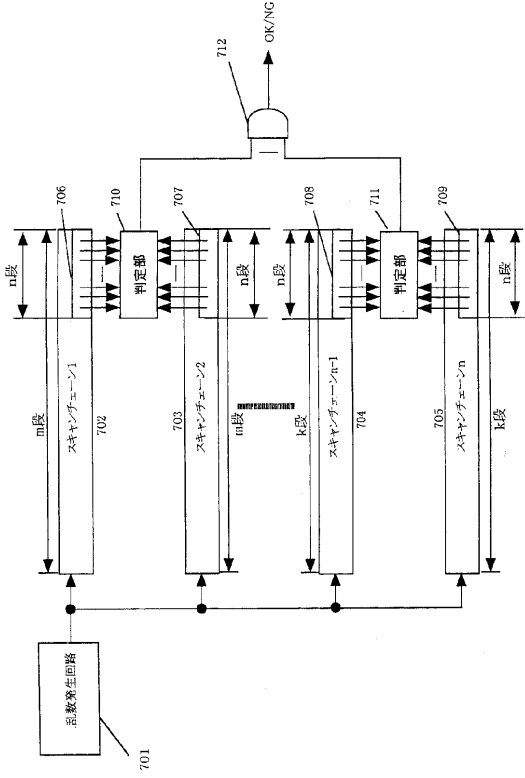
【 図 7 】



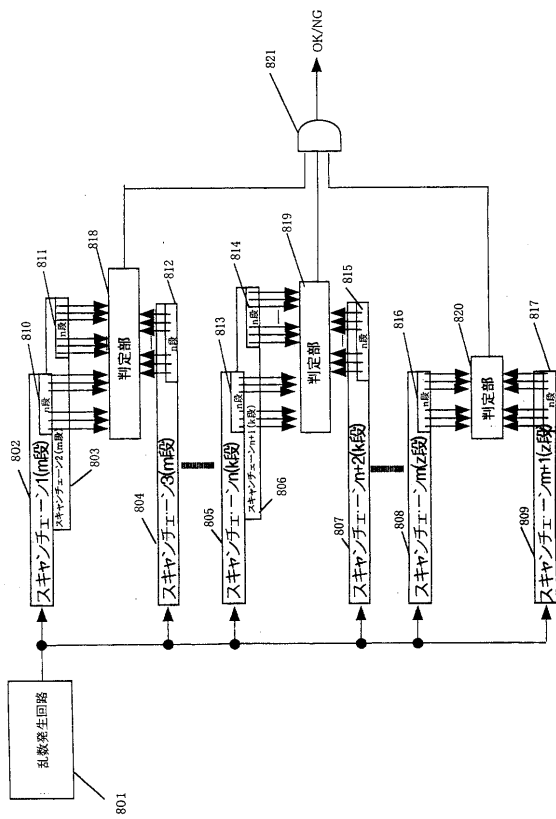
【 図 8 】



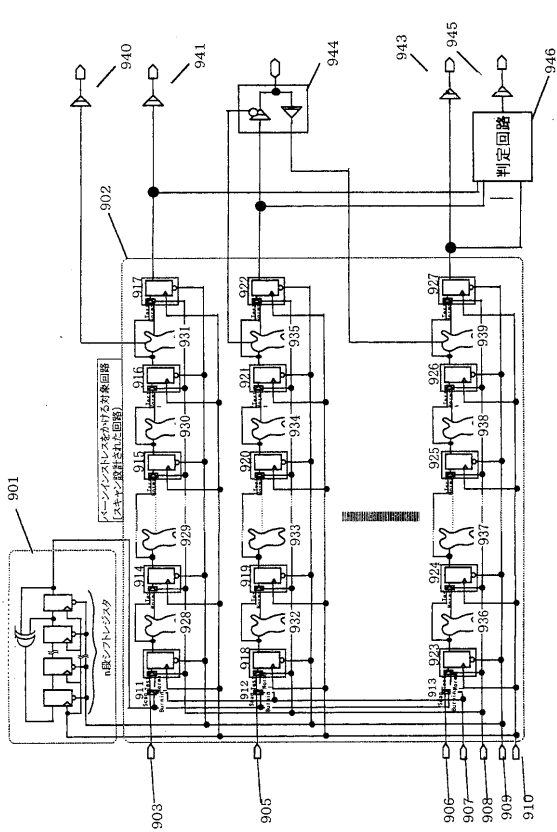
【図9】



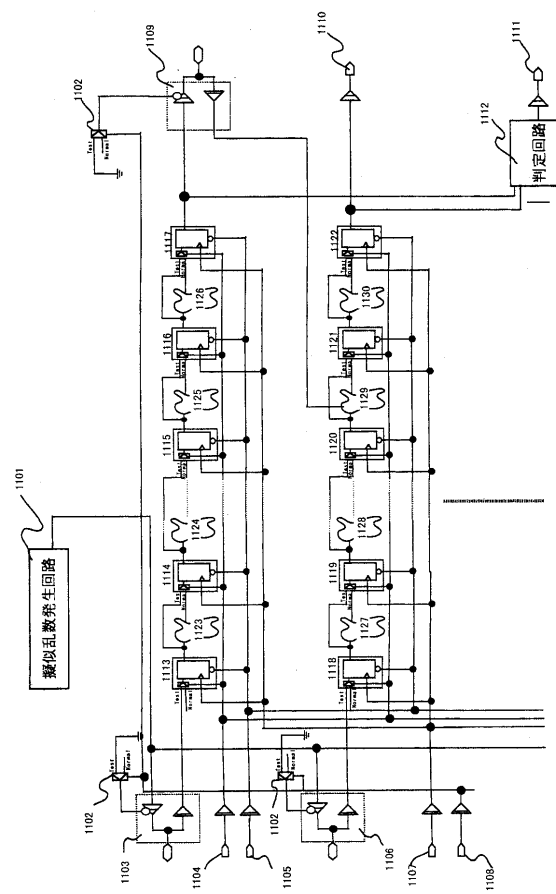
【図10】



【図11】



【図12】



フロントページの続き

(74)代理人 100090343

弁理士 濱田 百合子

(72)発明者 尾澤 直人

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 堀 聡司

大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 下中 義之

(56)参考文献 特開平06-317634(JP,A)

特開平10-111346(JP,A)

特開平02-027275(JP,A)

特開平04-105080(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G01R 31/28