



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

218 852

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 31 01 79
(21) (PV 698-79)
(89) 696 871 SU

(51) Int. Cl.³ G 11 C 5/00
G 11 C 17/00

(40) Zveřejněno 15 09 81
(45) Vydáno 01 07 84

(75)
Autor vynálezu

VITALIJEV GEORGIJ VIKTOROVIČ,
JEVSEJEVA IRINA VIKTOROVNA,
ČUGUNOV ALEXANDR PETROVIČ,

MOSKVA (SU)

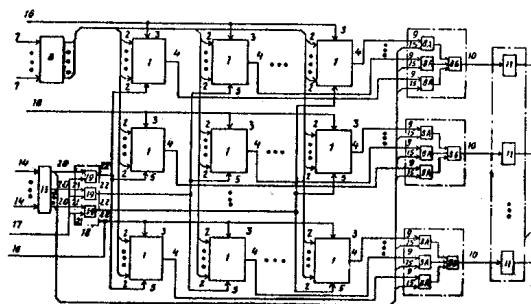
(54)

Paměťové zařízení

Vynález spadá do oboru výpočetní techniky, přesněji řečeno ke zvláště rychle působícím paměťovým zařízením a je určeno pro zrychlení činnosti záznamového režimu.

Vytyčeného cíle se dosáhne tím, že do paměťového zařízení, rozděleného na jednotky, jejichž informační výstupy jsou spojeny s registrem informace prostřednictvím vícekanálového přepínače, který je ovládán dekodérem vyšších řádů adresového kódu, je zaveden obvod pro ovládání záznamu, jehož vstupy jsou spojeny s výstupy uvedeného dekodéru a výstupy jsou spojeny se vstupy ovládání záznamu příslušných paměťových jednotek.

218 852



Obr. 2

218 852

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

к авторскому свидетельству

Заявлено 24.01.78

Заявка 2573115/18-24

МКИ² G 11 C 17/00

Авторы изобретения : Г.В. Виталиев, И.В. Евсеева и А.П. Чугунов

Заявитель : авторы

ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

Изобретение относится к области вычислительной техники, а более точно - к сверхбыстродействующим запоминающим устройствам, которые используются как буферные запоминающие устройства процессоров или запоминающие устройства для хранения микропрограмм.

Известны запоминающие устройства для хранения микропрограмм, в которых выходы дешифратора старших разрядов адреса соединяются со входами управления выборкой соответствующих запоминающих модулей каждого разряда. Однако, при этом быстродействие устройства снижается как в режиме считывания, так и в режиме записи за счет задержек в тракте управления выборкой. Наиболее близким к данному предложению является запоминающее устройство, в котором обеспечивается повышение быстродействия в режиме считывания, т.е. в режиме функционирования постоянного запоминающего устройства. Это устройство содержит запоминающий блок для хранения микропрограмм, разделенный на четыре модуля, информационные выходы которых соединены со входами четырехканального переключателя, выполненного на элементах И-ИЛИ, управляющие входы которого подключены к выходам дешифратора адреса, а выходы ко входам регистра считанной информации.

Недостатком устройства является снижение его быстродействия при записи новой информации, так как комбинированное управление

по входу управления выборкой в режиме записи и с помощью выходного многоканального переключателя в режиме считания не позволяет повысить быстродействие устройства в режиме записи. Это обусловлено тем, что сигналы на входе дешифратора старших разрядов кода адреса обычно вырабатываются с существенной задержкой, что приводит к непроизводительным потерям времени при подаче этих сигналов на входы управления выборкой в режиме записи. Кроме того, наличие двойного управления увеличивает объем электронного оборудования устройства и усложняет временную диаграмму его работы.

Целью изобретения является повышение быстродействия устройства.

Поставленная цель достигается тем, что в запоминающем устройстве, содержащем матричный накопитель на запоминающих модулях, адресные входы которых соединены с первыми адресными шинами, информационные входы - с информационными шинами, а выходы запоминающих модулей каждой строки накопителя подключены к одним из входов соответствующих мультиплексоров, выходы которых соединены со входами регистра информации, и дешифратор, входы которого соединены со вторыми адресными шинами, а один из выходов - с другими входами мультиплексоров, отличающееся тем, что с целью повышения быстродействия устройства оно содержит элементы И, одни из входов которых соединены с другими выходами дешифратора, другие подключены к шине записи, а выходы элементов И соединены с управляющими входами соответствующих запоминающих модулей.

Функциональная блок-схема устройства представлена на фиг. (1-2).

Устройство содержит матричный накопитель на запоминающих модулях 1, имеющих адресные входы 2, информационные входы 3, информационные выходы 4 и входы 5 управления записью. Модули 1 могут быть выполнены в виде интегральных микросхем.

218 852

Кроме того, устройство содержит регистр 6 адреса, входы которого соединены с первыми адресными шинами 7, а выходы - с адресными входами 2 модулей 1, и мультиплексоры 8, выполненные, например, в виде элементов И-ИЛИ (8А - 8В), входы 9 которых подключены к выходам 4 модулей 1 соответствующей строки матрицы, а выходы 10 - к входам триггеров 11 регистра 12 информации.

В виде дешифратора 13 адреса подсоединены ко вторым адресным шинам 14, а выходы - к управляющим входам 15 мультиплексоров 8.

Информационные шины 16 присоединены ко входам 3 модулей 1 соответствующей стороны матрицы. Устройство содержит также блок 18, выполненный на элементах 19 И, первые входы 20 которых соединены с выходами дешифратора 13, вторые входы - с шиной 17 записи, а выходы 22 - с управляющими входами 5 модулей 1 соответствующего столбца матрицы.

Дешифратор 13 адреса (фиг.2) может быть разделен на несколько дешифраторов 23, один из которых введен в блок 18, а другие - в состав мультиплексоров 8. Дешифраторы 23 выполнены на входных элементах 23¹ и элементах 24 И, входы которых соединены с прямыми или обратными выходами соответствующих элементов 23¹. При этом элементы 24 последнего каскада дешифраторов 23 совмещаются с элементами и блока 18 и мультиплексоров 8. Триггеры 11 регистра 12 могут иметь вторые входы 25 и входы 26 управления, причем выходы триггеров 11 в этом случае соединяются с соответствующими шинами 16, что позволяет использовать регистр 12 в качестве регистра записываемой и считываемой информации.

Устройство работает следующим образом. В режиме записи по шинам 16 на вход устройства поступает код записываемой информации, по шинам 7 - код основного адреса, а по шине 17 - признак записи.

Запись производится в тот столбец модулей 1, код номера которого поступает по шинам 14 на вход дешифратора 13.

Увеличение быстродействия устройства достигается за счет уменьшения задержки в блоке 18 до величины задержки сигнала на одном элементе 19.

В режиме считывания по коду адреса на шинах 7 производится выборка информации из всех модулей 1, а по коду адреса на шинах 14 с помощью мультиплексоров 8 на входы триггеров 11 регистра 12 производится передача информации выбранного столбца модулей 1.

Работа устройства, приведенного на фиг.2, не отличается от работы устройства, приведенного на фиг. 1, так как блок 18 и мультиплексоры 8 в обоих устройствах функционируют одинаково. Различие между этими схемами обусловлено тем, что при большом числе входов 9 мультиплексоров 8 и входов 20 элементов 19 число управляющих входов можно уменьшить за счет введения дешифраторов в состав этих схем, причем эти узлы реализуются на типовых логических модулях, например, 500ИД61 и 500ИД64. Наличие вторых входов 25 и входов 26 триггеров 11 позволяет использовать регистр 12 как режиме записи, так и в режиме считывания. При этом добавляется один вспомогательный режим занесения информации на регистр. В остальном работа устройства не отличается от работы известных устройств.

218 852

ФОРМУЛА ИЗОБРЕТЕНИЯ

Запоминающее устройство, содержащее матричный накопитель на запоминающих модулях, адресные входы которых соединены с первыми адресными шинами, информационные входы - с информационными шинами, а выходы запоминающих модулей каждой строки накопителя подключены к одним из входов соответствующих мультиплексоров, выходы которых соединены с входами регистра информации, и дешифратор, входы которого соединены со вторыми адресными шинами, а один из выходов - с другими входами мультиплексоров, отличающееся тем, что с целью повышения быстродействия устройства оно содержит элементы И, одни из входов которых соединены с другими выходами дешифратора, другие подключены к шине записи, а выходы элементов И соединены с управляющими входами соответствующих запоминающих модулей.

АННОТАЦИЯ

Запоминающее устройство

218 852

Настоящее предложение относится к области вычислительной техники, а более точно - к сверхбыстродействующим запоминающим устройствам и предназначено для увеличения быстродействия в режиме записи. Поставленная цель достигается тем, что в запоминающее устройства, разделенное на блоки, информационные выходы которых соединены с регистром информации посредством многоканального переключателя, управляемого дешифратором старших разрядов кода адреса, введена схема управления записью, входы которой соединены с выходами указанного дешифратора, а выходы - со входами управления записью соответствующих запоминающих блоков.

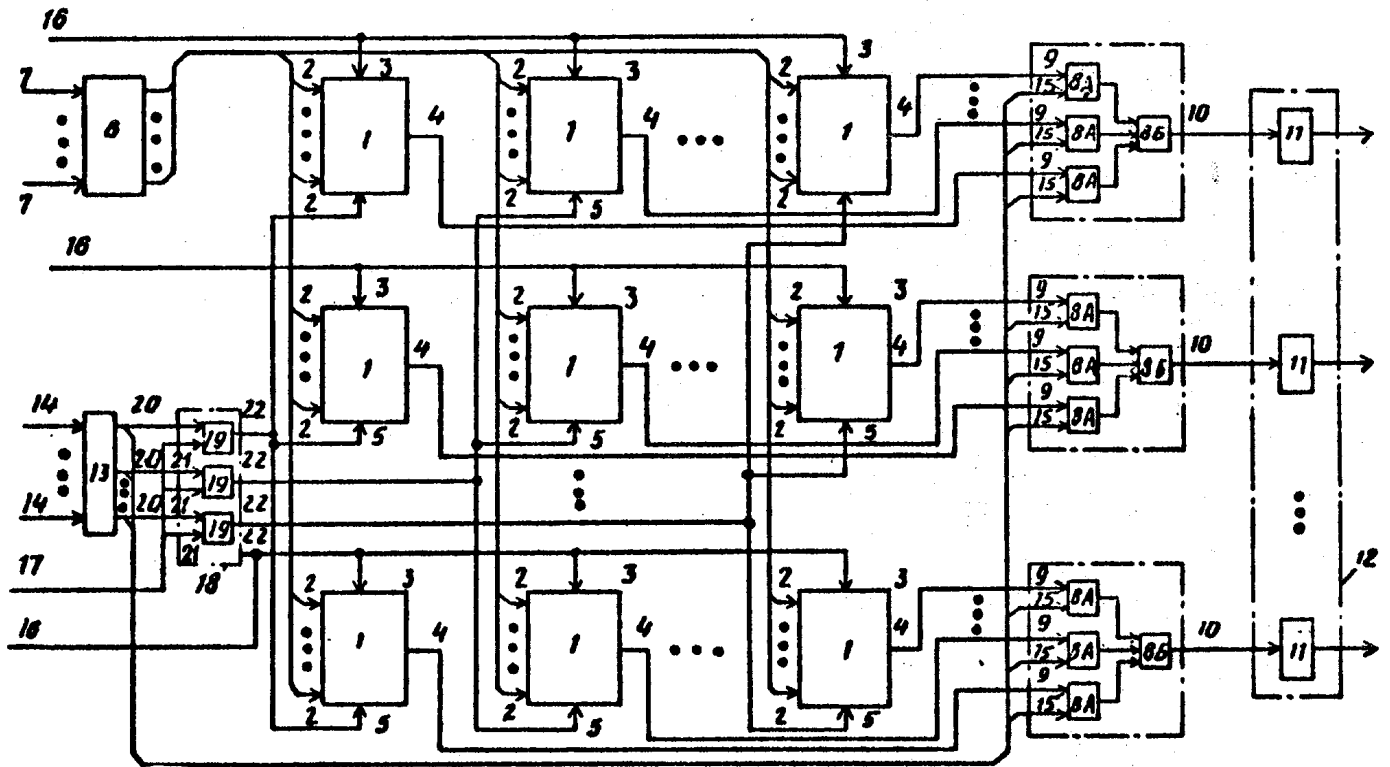
PŘEDMĚT VYNÁLEZU

218 852

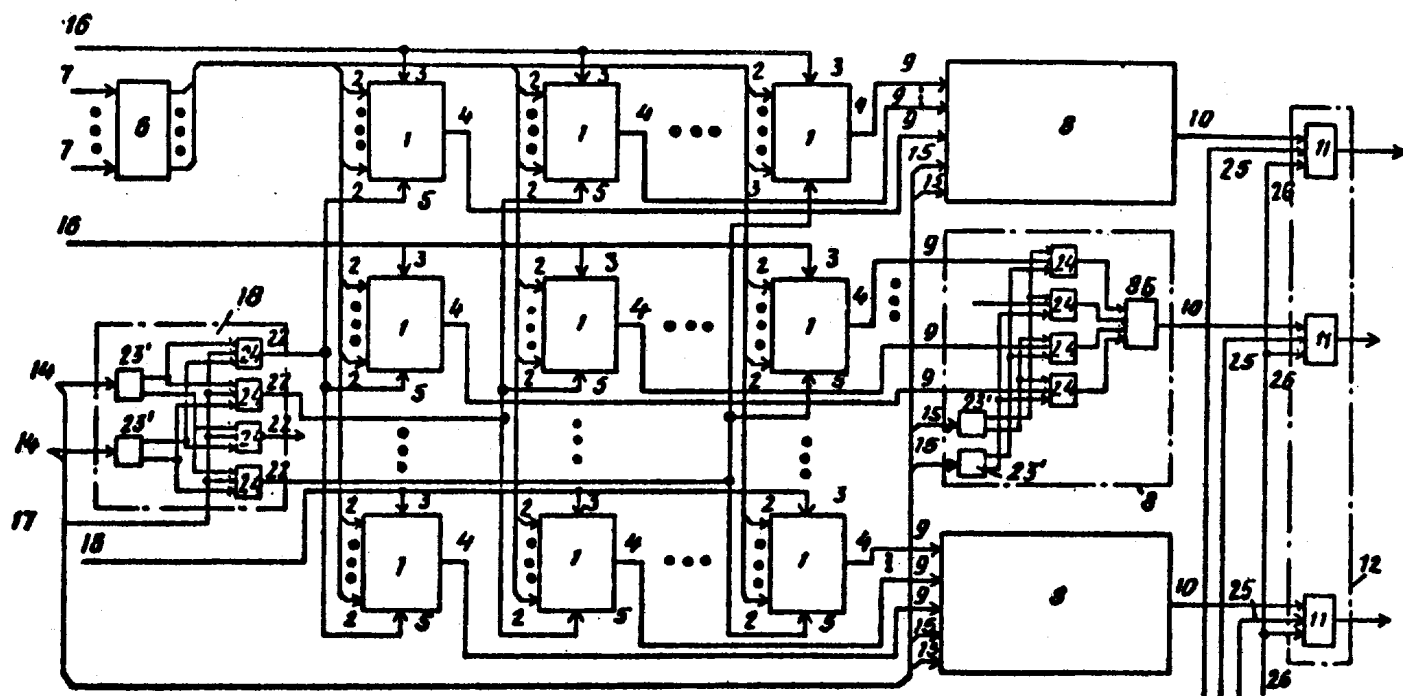
Paměťové zařízení, obsahující maticovou paměť s paměťovými moduly, jejichž adresové vstupy jsou spojeny s prvními adresovým sběrnici, informační vstupy s informačními sběrnici, a výstupy paměťových modulů každého řádku paměti jsou připojeny k jednomu ze vstupů příslušných multiplexorů, jejich výstupy jsou spojeny se vstupy registru informace, a dekodér, jehož vstupy jsou spojeny s druhými adresovými sběrnici, a jedny z výstupů jsou spojeny s druhými vstupy multiplexorů, vyznačující se tím, že pro zrychlení činnosti obsahuje součinnové logické prvky (19), jejichž první vstupy (20) jsou spojeny s druhými výstupy dekodéru (13) a druhé vstupy jsou připojeny k záznamové sběrnici (17) a výstupy (22) součinnových logických prvků (19) jsou spojeny s ovládacími vstupy (5) paměťových modulů (1).

Uznáno vynálezem na základě výsledků expertízy, provedené Státním výborem pro vynálezy a objevy SSSR, Moskva, SU.

2 výkresy



Obr. 1



Obr. 2