



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2009년01월13일
 (11) 등록번호 10-0878375
 (24) 등록일자 2009년01월06일

(51) Int. Cl.

B41J 2/01 (2006.01) B41J 2/05 (2006.01)

(21) 출원번호 10-2004-0107730

(22) 출원일자 2004년12월17일

심사청구일자 2004년12월17일

(65) 공개번호 10-2005-0062425

(43) 공개일자 2005년06월23일

(30) 우선권주장

JP-P-2003-00421353 2003년12월18일 일본(JP)

JP-P-2004-00350301 2004년12월02일 일본(JP)

(56) 선행기술조사문헌

JP10181023

JP14029055*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

캐논 가부시끼가이사

일본 도쿄도 오오따꾸 시모마루코 3조메 30방 2고

(72) 발명자

히라야마노부유끼

일본 도쿄도 오오따꾸 시모마루코 3조메 30방 2고

캐논 가부시끼가이사

가사이료오

일본 도쿄도 오오따꾸 시모마루코 3조메 30방 2고

캐논 가부시끼가이사

사꾸라이마사따까

일본 도쿄도 오오따꾸 시모마루코 3조메 30방 2고

캐논 가부시끼가이사

(74) 대리인

구영창, 장수길, 주성민

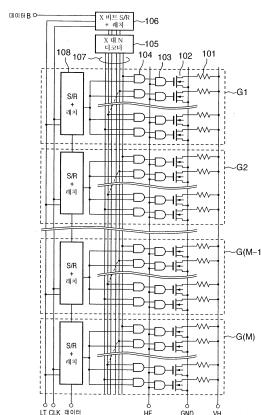
전체 청구항 수 : 총 20 항

심사관 : 김대환

(54) 인쇄헤드용 소자 보드 및 이를 구비한 인쇄헤드

(57) 요 약

소정의 방향으로 정렬되는 복수의 인쇄 소자와, 인쇄 소자를 구동시키는 구동 회로와, 소정의 개수의 인접한 인쇄 소자를 갖는 각각의 그룹에 대하여 각각의 그룹 내에서 인쇄 소자를 선택하는 소자 선택 회로를 포함하는 인쇄헤드 소자 보드에서, 복수의 소자 선택 회로는 각각의 그룹의 구동 회로에 인접하게 레이아웃된다. 이러한 레이아웃에 의하여, 인쇄 소자의 개수가 증가하는 경우에도, 인쇄 소자 어레이 방향과 수직한 방향으로의 길이의 증가없이 인쇄 소자 어레이 방향으로의 길이만이 증가한다.

대 표 도 - 도1

특허청구의 범위

청구항 1

인쇄헤드용 소자 보드이며,

잉크를 공급하도록 소자 보드 내에 형성된 긴 잉크 공급 포트의 길이방향으로 배치된 복수의 인쇄 소자와,

상기 인쇄 소자들을 구동시키는 구동 회로들과,

소정의 개수의 인접한 인쇄 소자들을 단위로 하여 상기 길이 방향으로 분할된 각각의 그룹에 대하여 화상 데이터를 기초로 한 신호를 상기 각 그룹 내의 상기 인쇄 소자들에 대응한 구동 회로들에 공통으로 부여하기 위한 소자 선택 회로와,

상기 각각의 그룹 내의 복수의 상기 인쇄 소자 중의 하나를 선택하는 구동 선택 회로를 포함하며,

상기 소자 선택 회로와 상기 구동 선택 회로 중 적어도 하나는 각각의 그룹의 상기 구동 회로들의 배치 영역의 각각에 인접하게 배열되는 소자 보드.

청구항 2

제1항에 있어서,

상기 인쇄 소자와 상기 구동 회로는 잉크 공급 포트의 일측으로부터 순차적으로 배열되는 소자 보드.

청구항 3

제2항에 있어서, 상기 인쇄 소자와 상기 구동 회로는 소자 보드의 잉크 공급 포트의 양측 상에 각각 배열되는 소자 보드.

청구항 4

제2항에 있어서, 전기 접속을 위한 패드 부분이 상기 소정의 방향과 교차하는 소자 보드의 일측을 따라 형성되는 소자 보드.

청구항 5

제2항에 있어서, 상기 인쇄 소자, 상기 구동 회로 및 상기 소자 선택 회로는 잉크 공급 포트의 일측을 따라 순차적으로 배열되는 소자 보드.

청구항 6

제2항에 있어서, 상기 소자 선택 회로는 그룹들 중 인접한 그룹에 각각 대응하는 상기 구동 회로들 사이에 배열되는 소자 보드.

청구항 7

제5항에 있어서, 상기 구동 선택 회로는 또한 상기 소자 선택 회로에 인접하게 배열되는 소자 보드.

청구항 8

제5항에 있어서, 상기 구동 선택 회로는 또한 그룹들 중 인접한 그룹에 대응하는 상기 구동 회로들 사이에 배열되는 소자 보드.

청구항 9

제5항에 있어서, 각각의 그룹에 대응하는 상기 구동 회로와 상기 소자 선택 회로는 각각의 그룹의 상기 인쇄 소자의 배치 영역의 길이 내의 범위에서 서로 병렬로 배치되어 있는 소자 보드.

청구항 10

제1항에 있어서, 상기 구동 선택 회로는 그룹들 중 대응하는 그룹의 상기 소자 선택 회로와 일렬로 배열되는 소

자 보드.

청구항 11

제1항에 있어서, 상기 구동 선택 회로는 그룹들 중 대응하는 그룹의 상기 소자 선택 회로와 평행하게 배열되는 소자 보드.

청구항 12

제1항에 있어서, 상기 인쇄 소자는 잉크를 토출시키기 위한 열 에너지를 발생시키는 열 변환기를 포함하는 소자 보드.

청구항 13

제1항에 있어서, 상기 소자 선택 회로는 시프트 레지스터 및 래치를 포함하는 소자 보드.

청구항 14

제13항에 있어서, 상기 소자 선택 회로는 일-비트 시프트 레지스터 및 래치를 포함하고, 직렬로 연결되는 소자 보드.

청구항 15

제1항에 있어서, 상기 구동 회로는 각각의 상기 인쇄 소자와 대응하는 구동 트랜지스터 및 AND 회로를 포함하는 소자 보드.

청구항 16

제1항에 있어서, 상기 구동 선택 회로는 디코더를 포함하는 소자 보드.

청구항 17

소자 보드를 포함하는 인쇄헤드이며,

상기 소자 보드는,

잉크를 공급하도록 소자 보드 내에 형성된 긴 잉크 공급 포트의 길이방향으로 배치된 복수의 인쇄 소자와,

상기 인쇄 소자들을 구동시키는 구동 회로들과,

소정의 개수의 인접한 인쇄 소자들을 단위로 하여 상기 길이 방향으로 분할된 각각의 그룹에 대하여 화상 데이터를 기초로 한 신호를 상기 각 그룹 내의 상기 인쇄 소자들에 대응한 구동 회로들에 공통으로 부여하기 위한 소자 선택 회로와,

상기 각각의 그룹 내의 복수의 상기 인쇄 소자 중의 하나를 선택하는 구동 선택 회로를 포함하며,

상기 소자 선택 회로와 상기 구동 선택 회로 중 적어도 하나는 각각의 그룹의 상기 구동 회로들의 배치 영역의 각각에 인접하게 배열되고,

잉크를 토출시키는 오리피스가 각각 상기 인쇄 소자에 대응하여 형성되는 인쇄헤드.

청구항 18

소자 보드를 포함하는 인쇄헤드 및 잉크 용기를 포함하는 인쇄헤드 카트리지이며,

상기 소자 보드는,

잉크를 공급하도록 소자 보드 내에 형성된 긴 잉크 공급 포트의 길이방향으로 배치된 복수의 인쇄 소자와,

상기 인쇄 소자들을 구동시키는 구동 회로들과,

소정의 개수의 인접한 인쇄 소자들을 단위로 하여 상기 길이 방향으로 분할된 각각의 그룹에 대하여 화상 데이터를 기초로 한 신호를 상기 각 그룹 내의 상기 인쇄 소자들에 대응한 구동 회로들에 공통으로 부여하기 위한 소자 선택 회로와,

상기 각각의 그룹 내의 복수의 상기 인쇄 소자 중의 하나를 선택하는 구동 선택 회로를 포함하며,
상기 소자 선택 회로와 상기 구동 선택 회로 중 적어도 하나는 각각의 그룹의 상기 구동 회로들의 배치 영역의
각각에 인접하게 배열되고,
상기 인쇄헤드는 잉크를 토출시키고 각각 상기 인쇄 소자에 대응하여 형성되는 오리피스를 포함하며,
상기 잉크 용기는 상기 인쇄헤드로 공급되는 잉크를 보유하는 인쇄헤드 카트리지.

청구항 19

제18항에 있어서, 상기 잉크 용기는 잉크로 충전 또는 재충전되는 인쇄헤드 카트리지.

청구항 20

소자 보드를 포함하는 인쇄헤드 및 제어 수단을 포함하는 인쇄 장치이며,

상기 소자 보드는,

잉크를 공급하도록 소자 보드 내에 형성된 긴 잉크 공급 포트의 길이방향으로 배치된 복수의 인쇄 소자와,
상기 인쇄 소자들을 구동시키는 구동 회로들과,

소정의 개수의 인접한 인쇄 소자를 갖는 각각의 그룹에 대하여 화상 데이터를 기초로 한 신호를 상기 각 그룹
내의 상기 인쇄 소자들에 대응한 구동 회로들에 공통으로 부여하기 위한 소자 선택 회로와,

각각의 그룹 내의 상기 인쇄 소자 중 하나를 선택하는 구동 선택 회로를 포함하며,

상기 소자 선택 회로와 상기 구동 선택 회로 중 적어도 하나는 각각의 그룹의 상기 구동 회로들의 배치 영역에
인접하게 배열되고,

상기 인쇄헤드는 잉크를 토출시키고 각각 상기 인쇄 소자에 대응하여 형성되는 오리피스를 포함하며, 상기 제어
수단은 화상 데이터를 상기 인쇄 헤드로 전송하는 인쇄 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<53>

본 발명은 인쇄헤드용 소자 보드 및 이를 구비한 인쇄 헤드에 관한 것이며, 더욱 구체적으로는 소정의 방향으로
정렬되고 소정의 개수 씩 복수의 그룹으로 분할된 복수의 인쇄 소자와 인쇄 소자를 구동시키기 위한 구동 회로
가 동일한 소자 보드 상에 형성된 인쇄헤드용 소자 보드의 레이아웃(layout)에 관한 것이다.

<54>

워드프로세서, 개인용 컴퓨터, 팩시밀리 장치 등의 정보 출력 장치로서, 종이 시트 또는 필름과 같은 시트형 인
쇄 매체 상에 요구되는 문자 또는 화상과 같은 정보를 인쇄하는 인쇄 장치는 종이 시트와 같은 인쇄 매체의 급
송 방향과 수직한 방향으로 왕복식으로 스캐닝함으로써 인쇄하는 직렬(serial) 인쇄 방법을 광범위하게 채택하
고 있는데, 이는 이러한 방법이 비용 감소 및 용이한 소형화를 달성할 수 있기 때문이다.

<55>

이러한 인쇄 장치에 사용되는 인쇄헤드의 구조가 열 에너지를 사용하는 잉크젯 인쇄 방법을 따르는 인쇄헤드로
예를 들어 설명될 것이다. 잉크젯 인쇄헤드에서, 가열 소자(히터)가 잉크 액적을 토출하기 위한
오리피스(노즐)와 연통하는 부분에서 인쇄 소자로서 배치된다. 잉크젯 인쇄헤드는 열을 발생시키도록 전류를
가열 소자에 공급하고, 잉크 액적을 토출하도록 잉크를 버블링(bubbling)시킴으로써 인쇄한다. 이러한 인쇄헤
드는 다수의 오리피스와 가열 소자(히터)를 고밀도로 배열하는 것을 쉽게 하여 고해상도로 인쇄된 화상을 얻을
수 있다.

<56>

이러한 인쇄헤드에 의해 고속으로 인쇄하기 위해서는, 가능한 한 많은 히터를 동시에 구동시키는 것이 바람직하
다. 그러나, 동시에 구동될 수 있는 히터의 개수는, 전원 공급 장치의 전류 공급 성능이 제한되고 배선 라인
(wiring line)의 기생 저항(parasitic resistance)에 의한 전압 강하가 전류에 증가에 의해 증가하여 히터로의

요구되는 에너지의 공급을 억제하기 때문에, 제한된다. 이러한 이유로, 복수의 히터는 그룹으로 분할되고, 각각의 그룹 내의 히터들은 이들이 동시에 구동되지 않도록 시간 지연(time lag)에 의해 (시분할 구동식(time division driving)으로) 구동되어, 순간적으로 흐르는 전류의 최대치를 억제한다.

<57> 이러한 구동 방식으로 수행되는 회로 구성의 일 예가, 예컨대 미국 특허 제6,520,613호(일본 특허 공개 제9-327914호)에 개시되어 있다.

<58> 미국 특허 제6,520,613호(일본 특허 공개 제9-327914호)에 개시되어 있는 회로 구성은, $M \times N$ 개 히터가 시분할식으로 M 개 히터에 대해 N 회 구동될 때 M 개 데이터와 N 개 블록 선택 신호를 저장하기 위한 레지스터(register)로부터의 출력들 간의 논리곱(AND)에 기초하여 임의의 히터를 선택하는 매트릭스 구동(matrix driving)을 수행한다. 이러한 구성은 회로 크기(circuit scale)를 감소시킬 수 있고 데이터가 시분할에 의해 전송되기 때문에 오작동을 거의 일으키지 않는다.

<59> 도7은 소자 보드 상의 구동 회로의 구성을 일 예를 도시하는 회로 다이어그램이다. 도7에서, 도면 부호(101)는 인쇄 소자로서 역할하는 히터를, 도면 부호(102)는 각각의 히터를 구동시키는 트랜지스터를, 도면 부호(103, 104)는 AND 논리 신호를 입력하는 AND 회로를, 도면 부호(105)는 프린터 본체로부터 공급되는 X-비트 블록 제어 신호를 디코딩하고 N 개 블록 선택 라인들 중 하나를 선택하는 X 대 N 디코더를, 도면 부호(106)는 프린터 본체로부터 직렬 포맷으로 전송되는 X-비트 블록 제어 신호를 CLK 신호와 동기식으로 저장하고 블록 제어 신호를 LT 신호에 의해 래칭되는 시프트 레지스터 + 래치 회로(shift register + latch circuit)를 나타낸다.

<60> N 개 히터(101), N 개 트랜지스터(102) 및 N 개 AND 회로(103, 104)는 그룹(G1)을 형성한다. 히터(101), 트랜지스터(102) 및 AND 회로(103, 104)는 N 개 각각에 대해 M 개 그룹(G1 내지 GM)으로 분할한다. 도면 부호(1001)는 프린터 본체로부터 공급된 클럭 신호(CLK)와 동기식으로 직렬로 전송되는 인쇄 데이터를 순차적으로 저장하는 M-비트 시프트 레지스터와, 래치 신호(LT)에 따른 직렬 데이터를 래칭시키는 래치 회로를 포함하는 시프트 레지스터 + 래치 회로를 나타낸다. M 개 데이터 신호 라인(1002)은 시프트 레지스터 + 래치 회로(1001)로부터 연장된다.

<61> N 개 블록 선택 라인(107)은 그룹(G1 내지 GM)의 대응하는 그룹을 형성하는 N 개 AND 회로(104)의 입력부에 각각 연결된다. AND 회로(104)의 다른 입력부는 각각의 그룹 내에서 공통으로 연결되고, 데이터 신호 라인은 공통으로 연결된 배선 라인에 연결된다.

<62> 도7의 구동 회로의 작동이 도8의 시간 간격 도표를 참조하여 설명될 것이다. 도8의 시간 간격 도표는 임의의 히터가 $M \times N$ 개 히터로부터 일회 선택되는 동안의 순서(일회 토탈 사이클)에 해당한다. 즉, 동일한 히터가 선택되어 다시 구동될 수 있을 때까지의 사이클이 한 사이클로 정의된다.

<63> 화상 데이터에 대응하는 M-비트 데이터는 클럭 신호(CLK)와 동기화된 DATA 신호에 의해 시프트 레지스터 + 래치 회로(1001)에 직렬로 전송된다. 래치 신호(LT)가 "하이"(high)(높은 수준)로 변경된 때, 입력 직렬 데이터는 래칭되어 데이터 라인(1002)으로 출력된다. M 개 데이터 라인(1002)의 시간 간격(timing)은 도8의 DATAOUT 신호에 대응하며, M 개 데이터 라인들 중 화상 데이터에 대응하는 임의의 데이터 라인은 "하이"로 변경된다.

<64> 유사하게, X-비트 블록 제어 신호는 또한 클럭 신호(CLK)와 동기식으로 시프트 레지스터 + 래치 회로(106)로 직렬로 전송된다. 래치 신호(LT)가 "하이"로 변경된 때, X-비트 블록 제어 신호는 디코더(105)에 의해 보유된다. 디코더(105)로부터 블록 선택 라인(107)으로의 출력 시간 간격은 블록을 선택하기 위한 블록 가능 신호(BE)(도8 참조)의 시간 간격에 대응한다. X-비트 블록 신호는 출력 라인(107)으로부터 N 개 출력 중 하나를 선택하고, 선택된 출력은 "하이"로 변경된다.

<65> 하나의 블록 선택 라인에 공통으로 연결된 M 개 구동 회로들 중, DATAOUT을 "하이"로 변경시키기 위한 임의의 히터가 AND 회로에 의해 선택된다. 전류(I)는 HE 신호에 따라 선택된 히터를 통해 흐르고, 히터를 구동시킨다.

<66> 이러한 작동은 N 회 순차적으로 반복된다. $M \times N$ 개 히터가 시분할식으로 M 개 히터에 대해 N 회 구동되며, 모든 히터들은 화상 데이터에 따라 선택될 수 있다.

<67> 더욱 구체적으로는, $M \times N$ 개 히터가 각각 N 개 히터로 형성된 M 개 그룹으로 분할된다. 각각의 그룹 내의 히터들은 하나의 순서가 동시에 2개 이상의 히터를 구동시키지 않도록 N 에 의해 분할되고 M-비트 화상 데이터가 분할된 시간 내에서 동시에 인쇄되도록 제어된다.

<68> 도7에 도시된 구동 회로를 반도체 기부 판으로부터 형성된 소자 보드 상에 효율적으로 레이아웃시키는 레이아웃

방법은, 예컨대 일본 특허 공개 제11-300973호에 개시되어 있다.

- <69> 도9는 도7의 회로를 소자 보드 상에 레이아웃시키는 예를 도시한다. 소자 보드의 하부 표면으로부터 소자 보드의 중앙의 잉크 공급 포트(701)를 통해 공급된 잉크가 히터를 구비한 소자 보드의 상부 표면 상으로 공급 포트를 통해 공급된다. 히터는 열을 발생시켜 잉크를 베블링시키고, 그 결과 히터로 공급된 잉크는 소자 보드의 상부 표면 상에 형성된 노즐로부터 소자 보드의 상부 표면과 수직한 방향으로 토출된다.
- <70> 도9에 도시된 레이아웃에서, 각각 $M \times N$ 개 히터를 갖는 히터 그룹(702)은 잉크 공급 포트(701)의 양측 상에 2개의 어레이로 대칭적으로 레이아웃된다.
- <71> 도9에서, 장치 본체에 대한 전기 접속을 위한 패드 부분(709, 710)이 소자 보드 상의 히터 그룹(702)의 어레이 방향과 교차하는 방향으로 두 측면(짧은 변) 상에 레이아웃된다. 시프트 레지스터 + 래치 + 디코더 회로(707) 및 시프트 레지스터 + 래치 회로(708)가 패드 부분, 히터 및 구동 회로 그룹(703, 704) 사이에 개재된다. 시프트 레지스터 + 래치 회로(708)로부터 연장하는 데이터 출력 라인(705)과 시프트 레지스터 + 래치 + 디코더 회로(707)로부터 연장하는 블록 선택 라인(706)은 히터 그룹(702)과 평행하게 레이아웃된다. 데이터 출력 라인(705)은 M 개 데이터 라인으로부터 형성되고, 블록 선택 라인(706)은 N 개 블록 선택 라인으로부터 형성된다.
- <72> 도7의 회로 다이어그램의 설치 요소들과 도9의 레이아웃의 영역 사이의 대응 관계가 설명될 것이다. 히터(101)는 영역(702) 내에, 트랜지스터(102)는 영역(703) 내에, AND 회로(103, 104)는 영역(704) 내에, 데이터 라인(1002)은 영역(705) 내에, 블록 선택 라인(107)은 영역(706) 내에, 시프트 레지스터 + 래치 회로(106) 및 디코더(105)는 영역(707) 내에, 시프트 레지스터 + 래치 회로(1001)는 영역(708) 내에 형성된다.
- <73> 인쇄헤드의 인쇄 소자(히터)의 개수가 더 높은 화상 품질과 더 빠른 속도에 대한 요구에 부합하도록 증가됨에 따라, 이하의 문제가 발생한다.
- <74> $M \times N$ 개의 히터가 매트릭스 구동될 때, M 개 데이터 라인과 N 개 블록 선택 라인 중 하나 또는 모두에 대한 배선 라인의 개수는 히터의 개수의 증가에 따라 증가되어야 한다.
- <75> 이 때, 히터의 구동 주파수를 결정하는 한 블록(N) 내의 히터의 개수가 증가한다면, 하나의 노즐에 대한 잉크 토출 주파수는 감소되고, 이에 따라 수(N)는 증가할 수 없다. 노즐의 개수를 증가시킴으로써 고속 인쇄를 수행하기 위해서는, 그룹의 개수에 대응하고 데이터 라인의 개수를 나타내는 수(M)를 증가시키고 동시에 구동되는 노즐의 개수를 증가시킬 것을 필요로 한다. 결과적으로, 히터 어레이와 평행하게 연장하는 데이터 라인 배선 영역(705)의 짧은 변의 길이는 소자 기판 상의 회로 레이아웃 내에서 증가될 것이다.
- <76> 일반적으로, 히터는 잉크 공급 포트를 따라 레이아웃되며, 다수의 히터를 갖는 소자 보드는 소자 보드의 면적을 효율적으로 이용하기 위하여 히터 어레이 방향으로 길고 교차하는 방향으로 짧은 직사각형 형상을 갖는다.
- <77> 히터 어레이와 평행한 배선 영역의 짧은 변이 히터의 개수의 증가와 함께 더 길게 된다면, 직사각형 소자 보드의 짧은 변 역시 더 길게 된다.
- <78> 소자 보드 상의 회로는 기부 판(기판(substrate))으로서 역할하는 반도체 웨이퍼 내에 설치된다. 소자 보드의 비용을 감소시키기 위하여, 하나의 웨이퍼로부터 형성되는 소자 보드의 개수를 증가시키도록 소자 보드의 면적은 감소되어야 한다.
- <79> 그러나, 직사각형의 판형 소자 보드(소자 기판)의 짧은 변이 더 길게 됨에 따라, 소자 보드의 면적은 증가하고, 하나의 웨이퍼로부터 형성되는 소자 보드의 개수는 매우 감소되며, 소자 보드의 비용이 상승하게 된다.

발명이 이루고자 하는 기술적 과제

- <80> 본 발명의 목적은 인쇄 소자의 개수가 증가하는 경우에도 그 면적이 증가하지 않는 인쇄헤드 소자 보드를 제공하는 것이다.
- <81> 본 발명의 다른 목적은 인쇄 소자의 개수가 증가하는 경우에도 그 면적이 증가하지 않는 인쇄헤드 소자 보드를 구비한 인쇄헤드를 제공하는 것이다.
- <82> 상기의 목적을 달성하기 위하여, 본 발명의 일 태양에 따르면, 소정의 방향으로 정렬되는 복수의 인쇄 소자와, 인쇄 소자를 구동시키는 구동 회로와, 소정의 개수의 인접한 인쇄 소자를 갖는 각각의 그룹에 대하여 화상 데이터를 기초로 각각의 그룹 내에서 인쇄 소자를 선택하는 소자 선택 회로와, 각각의 그룹 내의 인쇄 소자 중 하나를 선택하는 구동 선택 회로를 포함하고, 소자 선택 회로와 구동 선택 회로 중 적어도 하나는 각각의 그룹의 구

동 회로에 인접하게 배열되는, 인쇄헤드용 소자 보드가 제공된다.

<83> 더욱 구체적으로는, 본 발명에 따르면, 소정의 방향으로 정렬되는 복수의 인쇄 소자와, 인쇄 소자를 구동시키는 구동 회로와, 소정의 개수의 인접한 인쇄 소자를 갖는 각각의 그룹에 대하여 각각의 그룹 내에서 인쇄 소자를 선택하는 소자 선택 회로를 포함하는 인쇄헤드용 소자 보드에서, 복수의 소자 선택 회로는 각각의 그룹의 구동 회로에 인접하게 레이아웃된다.

<84> 대안적으로, 소정의 방향으로 정렬되는 복수의 인쇄 소자와, 인쇄 소자를 구동시키는 구동 회로와, 소정의 개수의 인접한 인쇄 소자를 갖는 각각의 그룹에 대하여 각각의 그룹 내에서 인쇄 소자를 선택하는 소자 선택 회로와, 각각의 그룹 내의 인쇄 소자 중 하나를 선택하는 구동 선택 회로를 포함하는 인쇄헤드 소자 보드에서, 복수의 구동 선택 회로는 각각의 그룹의 구동 회로에 인접하게 레이아웃된다.

<85> 이러한 레이아웃에 의하여, 인쇄 소자의 개수가 증가하는 경우에도, 인쇄 소자 어레이 방향과 수직한 방향으로의 길이의 증가없이 인쇄 소자 어레이 방향으로의 길이만이 증가한다.

<86> 그러므로, 하나의 웨이퍼로부터 형성되는 소자 보드의 개수는 인쇄 소자의 개수가 증가하는 경우에도 크게 감소하지 않으므로, 소자 보드당 비용 상승을 억제한다.

<87> 종래의 레이아웃에서, 배선 라인이 길기 때문에, 저항과 인더턴스(inductance)가 증가하여, 신호 지연이나 노이즈에 의한 오작동이 쉽게 발생한다. 반대로, 소자 선택 회로와 구동 선택 회로 중 적어도 하나를 대응하는 구동 회로 그룹과 인접하게 배열함으로써 신호 라인의 배선 거리를 짧게 하는 본 발명은 고속 데이터 전송을 수행하며, 신호 지연 및/또는 노이즈에 의한 오작동에 대한 신뢰성을 향상시킨다.

<88> 상기 소정의 방향은 잉크를 공급하기 위하여 소자 보드 내에 형성된 긴 잉크 공급 포트의 길이방향일 수 있으며, 인쇄 소자와 구동 회로는 잉크 공급 포트의 일측으로 순차적으로 배열될 수 있다.

<89> 이러한 경우, 인쇄 소자와 구동 회로는 소자 보드의 잉크 공급 포트의 양측 상에 각각 배열될 수 있다.

<90> 또한, 전기 접속을 위한 패드 부분이 상기 소정의 방향과 교차하는 소자 보드의 일측을 따라 형성될 수 있다.

<91> 인쇄 소자, 구동 회로 및 소자 선택 회로는 잉크 공급 포트의 일측으로부터 순차적으로 배열될 수 있다.

<92> 소자 선택 회로는 그룹들 중 인접하는 그룹에 각각 대응하는 구동 회로들 사이에 배열될 수 있다.

<93> 또한, 구동 선택 회로는 소자 선택 회로에 인접하게 배열될 수 있다.

<94> 대안적으로, 구동 선택 회로는 그룹들 중 인접한 그룹에 대응하는 구동 회로들 사이에 배열될 수 있다.

<95> 또는, 각각의 그룹에 대응하는 구동 회로와 소자 선택 회로는 각각의 그룹의 상기 인쇄 소자의 배치 영역의 길이 내의 범위에서 서로 별별로 배치될 수 있다.

<96> 구동 선택 회로는 그룹들 중 대응하는 그룹의 소자 선택 회로와 일렬로 배열될 수 있다.

<97> 대안적으로, 구동 선택 회로는 그룹들 중 대응하는 그룹의 소자 선택 회로와 평행하게 배열될 수 있다.

<98> 인쇄 소자는 잉크를 토출시키기 위하여 열 에너지를 발생시키는 열 변환기를 포함할 수 있다.

<99> 소자 선택 회로는 시프트 레지스터 및 래치를 포함할 수 있다.

<100> 예를 들면, 소자 선택 회로는 1-비트 시프트 레지스터 및 래치를 포함하며, 직렬로 연결된다.

<101> 구동 회로는 각각의 인쇄 소자와 대응하는 구동 트랜지스터와 AND 회로를 포함할 수 있다.

<102> 또한, 구동 선택 회로는 디코더를 포함할 수 있다.

<103> 본 발명의 다른 태양에 따르면, 상기의 인쇄헤드용 소자 보드를 구비한 인쇄헤드가 제공된다.

<104> 본 발명의 또 다른 태양에 따르면, 상기의 인쇄헤드 및 인쇄헤드로 공급되는 잉크를 보유하는 잉크 용기를 포함하는 인쇄헤드 카트리지와, 상기의 인쇄헤드 및 인쇄 데이터를 인쇄헤드로 공급하는 제어 수단을 포함하는 인쇄 장치가 제공된다.

<105> 본 발명의 다른 특징 및 장점들은 유사한 도면 부호가 전체 도면에 대해 동일한 또는 유사한 부분을 지칭하는 첨부 도면을 참조하는 후속 설명으로부터 명확해질 것이다.

<106> 본 명세서에 합체되어 일부를 구성하는 첨부 도면은 본 발명의 실시예를 도시하며, 상세한 설명과 함께 본 발명

의 원리를 설명한다.

발명의 구성 및 작용

- <107> 이제 본 발명의 양호한 실시예가 첨부 도면에 따라 상세히 설명될 것이다. 이하의 실시예에 설명된 각각의 요소들은 예시일 뿐이며, 본 발명의 범주를 이로 제한하고 하는 것은 아니라는 것에 유의하여야 한다.
- <108> 본 명세서에서, "소자 보드"(element board)(이하에서 "기판"(substrate)으로서도 지칭됨)은 실리콘 반도체로 제조된 기부 판뿐만 아니라 기부 판 지지 소자 및 배선 라인도 포함한다. 더욱이, 기판의 형태는 보드 또는 칩형 기판(chip type substrate)일 수 있다.
- <109> 또한, "소자 보드 상"은 "소자 보다 상"에 더하여 "소자 보드의 표면" 또는 "그 표면 부근의 소자 보드의 내측"을 의미한다. "내장"(built-in)은 본 발명에서 기부 상의 별개의 소자들의 단순한 레이아웃을 나타내는 것이 아니라, 반도체 회로 제조 공정에 의한 기판 상에 소자들을 일체로 형성/제조함을 나타낸다.
- <110> (제1 실시예)
- <111> 본 발명에 따른 인쇄헤드의 제1 실시예가 설명될 것이다. 도1은 시분할식으로 M개 히터에 대해 N회 M x N개 히터를 구동시키도록 N개의 디코더 신호 출력들인 블록 선택 신호와 M개 데이터를 저장하기 위한 레지스터로부터의 신호들 사이의 논리곱(AND)에 기초하여 임의의 히터를 선택하는 매트릭스 구동을 수행하는 인쇄헤드를 도시하는 회로 다이어그램이다.
- <112> 도1에서, 도면 부호(101)는 인쇄 소자로서 역할하는 히터를, 도면 부호(102)는 각각의 히터를 구동시키는 트랜지스터를, 도면 부호(103, 104)는 AND 논리 신호를 입력하는 AND 회로를, 도면 부호(105)는 프린터 본체로부터 공급되는 X-비트 블록 제어 신호를 디코딩하고 N개 블록 선택 라인 중 하나를 선택하는 X 대 N 디코더를, 도면 부호(106)는 프린터 본체로부터 직렬로 전송된 블록 제어 신호를 CLK 신호와 동기식으로 저장하고 LT 신호에 의해 블록 제어 신호를 래칭시키는 시프트 레지스터 + 래치 회로를 나타낸다.
- <113> 본 실시예에서, 1 비트의 시프트 레지스터와 1 비트의 래치가 각각의 그룹을 위하여 제공되고, 하나의 그룹은 하나의 히터가 일 회 구동되는 유닛으로서 정의된다.
- <114> N개 히터(101), N개 트랜지스터(102), N개 AND 회로(103), 및 N개 AND 회로(104)는 하나의 그룹(G1)을 형성한다. 히터(101), 트랜지스터(102), AND 회로(103), 및 AND 회로(104)는 N개에 대하여 M개 그룹(G1 내지 GM)으로 분할된다. 도면 부호(108)는 각각 프린터 본체로부터 공급된 클럭 신호(CLK)와 동기식으로 인쇄 데이터를 직렬로 전송하고 저장하는 1-비트 시프트 레지스터와 래치 신호(LT)에 따라 직렬 데이터를 래칭시키는 래치로부터 각각 형성된 시프트 레지스터 + 래치 회로를 나타난다. M개 시프트 레지스터 + 래치 회로(108)는 그룹(G1 내지 GM)에 대응하여 배열된다. 제1 시프트 레지스터 + 래치 회로의 출력부는 제2 시프트 레지스터 + 래치 회로의 입력부에 연결되고, 제2 시프트 레지스터 + 래치 회로의 출력부는 제3 시프트 레지스터 + 래치 회로의 입력부에 연결된다. 유사하게, M개 시프트 레지스터 + 래치 회로(108)는 직렬로 연결된다. 이러한 배열에서, 복수의 히터는 매 그룹에서 동일한 시간에 구동되지 않는다.
- <115> 각각의 시프트 레지스터 + 래치 회로(108)의 출력부는 그룹(G1 내지 GM) 중 대응하는 한 그룹 내의 AND 회로(104)의 입력부에 연결된다.
- N개 블록 선택 라인(107)은 그룹(G1 내지 GM)을 형성하는 N개 AND 회로(104)의 대응하는 입력부에 각각 연결된다.
- <116> 도1의 회로에서, 각각의 시프트 레지스터 + 래치 회로(108)는 대응하는 그룹에 대응하여 1-비트 데이터를 저장하여 래칭시킨다. 각각의 그룹에 대한 M 시프트 레지스터는 전체적으로 M-비트 시프트 레지스터를 형성하도록 서로 연결된다.
- <117> 도15는 도1의 1-비트 시프트 레지스터 + 래치 회로의 회로 구성의 구체적인 예를 도시한다.
- <118> 본 예에서, 시프트 레지스터 + 래치 회로는 인버터 회로, 버퍼 회로 및 아날로그 스위치 회로로 구성된다. 시프트 레지스터는 CLK 신호의 선단 에지(leading edge)와 동기식으로 DATA 단자로부터 S/R OUT 단자로 입력된 신호를 순차적으로 출력한다. S/R OUT 단자는 래치 회로의 입력부에 연결된다. EN 단자가 "하이"로 변경된 때, S/R OUT 신호가 LT OUT으로 출력되고, EN 단자가 "ロー"(low)로 변경된 때 LT OUT 출력이 래칭된다.
- <119> 도1에 도시된 구동 회로의 작동이 도2의 시간 간격 도표를 참조하여 설명될 것이다. 도2의 시간 간격 도표는

임의의 히터가 전술된 바와 같이 일 회 구동될 수 있도록 M x N개의 히터로부터 선택된 기간 동안의 하나의 순서(일회의 토출 사이클)에 해당한다.

- <120> 화상 데이터에 대응하는 M-비트 데이터는 클럭 신호(CLK)와 동기식으로 시프트 레지스터 + 래치 회로(108)로 DATA 신호로서 직렬로 전송된다. 래치 신호(LT)가 "하이"로 변경된 때, 입력 직렬 데이터는 시프트 레지스터 + 래치 회로(108)로부터 래칭되어 출력된다. M개 시프트 레지스터 + 래치 회로(108)로부터의 출력은 도2의 DATAOUT에 대응하고, M개 출력 라인 중 화상 데이터에 대응하는 임의의 데이터 라인이 "하이"로 변경된다.
- <121> 유사하게, X-비트 블록 제어 신호는 또한 클럭 신호(CLK)와 동기식으로 시프트 레지스터 + 래치 회로(106)로 직렬로 전송된다. 래치 신호(LT)가 "하이"로 변경된 때, X-비트 블록 제어 신호는 디코더(105)에 의해 보유된다. 디코더(105)로부터 블록 선택 라인(107)으로의 출력 시간 간격은 도8의 BE 시간 간격에 대응한다. X-비트 블록 제어 신호는 출력 라인(107)으로부터 N개 출력 중 하나를 선택하고, 선택된 출력을 "하이"로 변경한다.
- <122> 하나의 블록 선택 라인(107)에 공통적으로 연결된 M개 구동 회로 중에서, DATAOUT을 "하이"로 변경하기 위한 임의의 히터가 AND 회로(104)에 의해 선택된다. 전류(I)는 HE 신호에 따라 선택된 히터를 통해 흘러, 히터를 구동시킨다.
- <123> 이러한 작동은 순차적으로 N회 반복된다. M x N개 히터가 시분할식으로 M개 히터에 대해 N회 구동되고, 모든 히터가 선택될 수 있다. M개 데이터를 시분할식으로 공급함에 있어서, N개 구동 연산이 짹수 및 홀수개의 히터를 위해 개별적으로 수행될 수 있다. 이러한 연산은 또한 N회 데이터 구동의 범위에 포함된다.
- <124> 도1 및 도2를 참조하여 설명된 회로의 논리 연산은 도7 및 도8과 관련된 종래 기술로서 설명된 논리 연산과 동일하다. 제1 실시예의 회로 구성은 도7의 M-비트 시프트 레지스터 + 래치 회로(1001)를 M 1-비트 시프트 레지스터 + 래치 회로(108)로 대체함으로써 실행되고, 논리 연산은 종래의 논리 연산과 동일하다.
- <125> 도3은 소자 보드 상의 도1의 회로의 실제 레이아웃의 예를 도시한다. 도3에 도시된 레이아웃에서, 각각 M x N개 히터를 갖는 히터 그룹(302)은 긴 잉크 공급 포트(301)의 길이방향 양측 상에 2개의 어레이로 대칭적으로 레이아웃된다.
- <126> 도3에서, 소자 보드의 중간에 제공된 잉크 공급 포트의 양측 상에, 히터 그룹(302), 트랜지스터(303), AND 회로(304), 블록 선택 회로(306) 및 시프트 레지스터 + 래치 회로(305)가 각각 소자 보드의 더 긴 변을 따라 차례로 배열된다.
- <127> 장치 본체에 대한 전기 접속을 위한 패드 부분(308, 309)은 소자 보드 상의 히터 그룹(302)의 어레이 방향과 교차하는 방향으로 양측(짧은 변) 상에 레이아웃된다. 시프트 레지스터 + 래치 + 디코더 회로(307)는 패드 부분들과 드라이버 트랜지스터 및 구동 회로 그룹(303, 304) 사이의 간격들 중 하나에 레이아웃된다. 패드 부분(308, 309)은 복수의 패드를 집합적으로 나타낸다. 각각 대응하는 시프트 레지스터 + 래치 회로 + 디코더 회로(307)로부터 연장하는 N개 블록 선택 라인으로부터 형성된 블록 선택 라인(306)은 히터 그룹(302)의 어레이를 따라 한 방향으로(본 경우에는 평행하게) 레이아웃된다.
- <128> 도1의 회로 다이어그램 내의 설치 요소와 도3의 레이아웃 내의 영역 사이의 대응 관계가 설명될 것이다. 히터(101)는 영역(302) 내에, 트랜지스터(102)는 영역(303) 내에, AND 회로(103, 104)는 영역(304) 내에, 블록 선택 라인(107)은 영역(306) 내에, 시프트 레지스터 + 래치 회로(106)와 디코더(105)는 영역(307) 내에, 시프트 레지스터 + 래치 회로(108)는 영역(305) 내에 형성된다.
- <129> 도1의 1-비트 시프트 레지스터 + 래치 회로(108)는 각각의 그룹에 대응하여 그룹(G1 내지 GM)의 회로 영역 내에 분배적으로 레이아웃되고, 전체 M개 시프트 레지스터 + 래치 회로(108)가 배열된다. 각각의 그룹(G1 내지 GM)은 트랜지스터, AND 회로 및 시프트 레지스터 + 래치 회로를 포함하는 구동 회로와 N개 히터로부터 형성된다.
- <130> 일반적으로, 소자와 점유 면적을 연결하는 배선 라인의 저항의 관점에서 히터, 트랜지스터 및 AND 회로를 동일한 피치로 정렬시키는 것이 가장 효율적이다. 히터 어레이 피치와 구동 회로 어레이 피치가 서로 동일하다고 가정하면, 히터 어레이 방향을 따른 각각의 그룹의 길이는 히터 어레이 피치에 N을 곱하여 계산된다.
- <131> 예를 들면, 히터 어레이 피치가 42.3 μm (600 dpi에 해당함)이고 그룹을 형성하는 히터의 개수(N)가 16이라면, 히터 어레이 방향으로의 각각의 그룹의 길이는 약 677 μm 이다. 이러한 경우, 각각의 그룹에 대응하는 1-비트 시프트 레지스터 + 래치 회로(108)가 형성되는 영역(305)의 긴 변의 길이는 677 μm 이다. 시프트 레지스터 + 래

치 회로(108)가 형성되는 소자 보드의 짧은 변을 따른 영역(305)의 길이는 매우 짧아질 수 있다.

<132> 종래 기술에서, 도9의 데이터 라인 배선 영역(705)의 짧은 변은 그룹의 개수가 히터의 개수와 함께 증가함에 따라 더 길어진다. 반대로, 제1 실시예는 도3에 도시된 바와 같은 레이아웃을 채택하여, 그룹의 개수가 증가하는 경우에도 각각의 그룹의 짧은 변의 길이의 변경없이 소자 보드의 긴 변의 길이만이 증가된다.

<133> (제2 실시예)

<134> 본 발명에 따른 인쇄헤드의 제2 실시예가 설명될 것이다. 이하의 설명에서, 제1 실시예와 동일한 부분의 설명은 생략될 것이며, 제2 실시예의 특징적인 부분이 주로 설명될 것이다.

<135> 제2 실시예에 따른 인쇄헤드의 회로는 도1에 도시된 제1 실시예에 따른 회로와 동일하다. 제2 실시예는 소자 보드 상의 레이아웃이 제1 실시예와 상이하다.

<136> 도4는 제2 실시예에 따른, 도3과 유사한 소자 보드 상의 실제 레이아웃을 도시하는 도면이다. 도3에 도시된 제1 실시예의 레이아웃에서, 각각의 그룹 내의 히터 어레이 방향으로의 길이와 대응하는 구동 회로의 긴 변의 방향으로의 길이는 서로 동일하게 설정된다. 제2 실시예의 레이아웃에서, 대응하는 구동 회로의 긴 변의 방향으로의 길이는 각각의 그룹 내의 히터 어레이 방향으로의 길이보다 더 작게 설정될 수 있다.

도4에서, 길이방향을 따른 소자 보드의 중간에 배열된 잉크 공급 포트(401)의 양측 상에, M x N개 히터를 포함하는 히터 그룹(402), 트랜지스터(403), AND 회로(404), 블록 선택 라인(406)이 각각 소자 보드의 길이방향 측을 따라 잉크 공급 포트로부터 외측으로 차례로 배열된다. 장치 본체에 대한 전기 접속을 위한 패드 부분(408, 409)은 소자 보드와 교차하는 방향으로 양측(짧은 변) 상에 레이아웃된다. 시프트 레지스터 + 래치 + 디코더 회로(407)가 패드 부분과 구동 트랜지스터 및 구동 회로 그룹(403, 404) 사이의 간격 중 하나에 레이아웃된다. 대응하는 시프트 레지스터 + 래치 회로 + 디코더 회로(407)로부터 연장하는 N개 블록 선택 라인으로부터 각각 형성된 블록 선택 라인(406)은 히터 그룹(402)과 평행하게 레이아웃된다.

<137> 도1의 회로 다이어그램 내의 설치 요소와 도4의 레이아웃 내의 영역 사이의 대응 관계가 설명될 것이다. 히터(101)는 영역(402) 내에, 트랜지스터(102)는 영역(403) 내에, AND 회로(103, 104)는 영역(404) 내에, 블록 선택 회로(107)는 영역(406) 내에, 시프트 레지스터 + 래치 회로(106)와 디코더(105)는 영역(407) 내에, 시프트 레지스터 + 래치 회로(108)는 영역(405) 내에 형성된다.

<138> 제2 실시예에서, 구동 회로의 긴 변 방향으로의 길이는 각각의 그룹 내의 히터 어레이 방향으로의 길이보다 작게 설계된다. 잔여 영역은 히터 어레이 방향과 교차하는 방향(짧은 변의 방향)으로 시프트 레지스터 + 래치 회로(108)를 형성하기 위한 영역(405)으로서 확보된다. 도4에서, 시프트 레지스터 + 래치 회로(405)는 도3의 배열에 대해 수직한 방향으로 배열된다. 상세하게, 시프트 레지스터 + 래치 회로(405)는 시프트 레지스터 + 래치 회로의 긴 변이 소자 보드의 짧은 변과 평행하고 시프트 레지스터 + 래치 회로가 트랜지스터(403)와 AND 회로(404)의 상이한 그룹들 사이에 있도록 배열된다.

<139> 이러한 레이아웃에 의하여, 각각의 그룹을 형성하기 위한 영역의 면적은 그룹의 개수와 무관하게 일정하게 유지되고, 소자 보드의 짧은 변의 길이는 히터의 개수가 증가하여 그룹의 개수의 증가하는 경우에도 증가하지 않는다.

<140> (제3 실시예)

<141> 본 발명에 따른 인쇄 헤드의 제3 실시예를 설명하기로 한다. 이하의 설명에서, 제1 및 제2 실시예들의 부분과 동일한 부분의 설명은 생략하며, 제3 실시예의 특징적인 부분을 주로 설명하기로 한다.

<142> 도5는 디코더 회로(501)가 각각의 히터에 대응하여 배열된 제3 실시예를 도시하는 회로도이다. 도1의 제1 실시예에서, X 대 N 디코더 회로(105)는 각각 N개의 히터를 갖는 M개의 그룹들에 대해 공통으로 배열된다. N개의 블록 선택 라인은 디코더 회로(105)로부터의 출력에 따라 각각의 그룹 내의 AND 회로들에 연결되고, 그룹 내의 임의의 히터가 선택된다. 반대로, 도5에서, X개의 블록 제어 라인(502)은 X-비트 시프트 레지스터(106)로부터의 출력에 따라 각각의 그룹 내의 각각의 히터들에 대해 배열된 디코더 회로(501)에 연결되고, 그룹 내의 히터가 선택된다. 도5에서의 히터 선택에 관한 논리 연산은 도1의 제1 실시예에서와 동일하다.

<143> 하나의 그룹 내에서 히터를 선택하기 위한 블록 제어 라인(502)의 개수는 도5에서 X인 반면에, 블록 선택 라인(107)의 개수는 도1에서 N이다. 예를 들어, 하나의 그룹 내의 히터의 개수가 16일 때, 블록 선택 라인(107)의 개수는 도1에서 16이지만, 블록 제어 라인(502)의 개수는 도5에서 4이다. 이러한 이유로 인해, 도5의 구성은

히터 선택과 관련된 배선 라인의 개수를 크게 감소시킬 수 있다. 배선 라인의 개수를 감소시키는 효과는 특히 하나의 그룹 내의 히터의 개수가 증가할 때 더욱 현저하게 된다.

<144> 도6은 소자 보드 상에서의 도5의 회로의 실제 레이아웃의 일 예를 도시하는 도면이다. 도3에서의 디코더 배선 라인(306)의 개수는 N인 반면에, 각각의 X-비트 시프트 레지스터(601)의 블록 제어 라인(602)의 개수는 X이다. 배선 면적에서, 블록의 선택과 관련한 레이아웃 면적은 감소될 수 있다.

<145> 상기 설명에서, 1-비트 시프트 레지스터 + 래치 회로는 각각의 그룹에 대해 배열된다. 그룹의 단위는 동시에 구동되는 히터의 개수가 1이라는 전제에 의해 결정된다.

<146> (제4 실시예)

<147> 도16은 본 발명의 제4 실시예의 실제 레이아웃을 도시한다. 도16에서, 2-비트 시프트 레지스터 및 2-비트 래치가 그룹들 사이에 개재된다.

<148> 도16에서, 부분(1601 내지 1609)은 제2 실시예에서 설명된 도4의 부분(401 내지 409)에 대응한다. 각각의 시프트 레지스터 + 래치 회로(1605)의 비트의 수는 2이다. 인접한 2개의 상부 및 하부 그룹들 사이에 개재된 시프트 레지스터 + 래치 회로(1605)는 2-비트 데이터를 가지며, 시프트 레지스터 + 래치 회로(1605)에 인접한 상기 2개의 상부 및 하부 그룹들에 화상 데이터를 공급할 수 있다.

<149> 도4의 제2 실시예에서, 시프트 레지스터 + 래치 회로는 각각의 그룹의 구동 회로의 일측에 배열된다. 제4 실시예에 있어서, 도16에서 시프트 레지스터 + 래치 회로는 인접한 2개의 상부 및 하부 그룹들 사이에 바로 배열된다. 이를 제외하고는, 전기적 작동은 제2 실시예에서와 동일하다. 2-비트 시프트 레지스터 + 래치 회로에 의해 점유되는 면적은 1-비트 시프트 레지스터 + 래치 회로의 레이아웃 면적보다 훨씬 크다. 그러나, 일부 레이아웃 부분은 2비트를 위해 전력 공급 배선 라인 등을 조합함으로써 공통으로 사용될 수 있다. 그러므로, 면적은 1-비트 회로의 면적의 2배 이하로 억제될 수 있어 면적 효율을 증가시킨다.

<150> (제5 실시예)

<151> 하나의 시프트 레지스터 + 래치 회로가 대응하는 블록 부근에 배열된 제1 실시예(도3)에서 설명된 바와 같은 회로 구성에 있어서, N개의 히터를 배열하기 위해 사용된 폭과 동일한 폭이 시프트 레지스터 + 래치 회로를 레이아웃하기 위해 사용될 수 있다.

<152> 시분할 수(N)가 큰 경우, 시프트 레지스터 + 래치 회로에 대해 큰 레이아웃 면적이 확보될 수 있다. 시분할 수(N)가 작은 경우, 이 면적은 작아지게 된다.

<153> 제5 실시예는 이러한 관계를 고려하여 레이아웃 효율을 더 증가시킨다. 도17은 제5 실시예에 따른 회로 구성을 도시하는 회로 다이어그램이다. 도18은 제5 실시예에 따른 소자 보드 상에서의 실제 레이아웃의 일 예를 도시하는 도면이다.

<154> 본 실시예에서, 도18에 도시된 바와 같이, 길이방향을 따라 소자 보드의 중간에 배열된 잉크 공급 포트의 양측에, M x N개의 히터를 포함하는 2개의 히터 어레이가 대칭으로 배열되며, 드라이버 트랜지스터, 논리 회로, 시프트 레지스터 + 래치 + 디코더 회로, 및 이들 회로에 대응하는 배선 라인들이 길이방향을 따라 히터의 어레이와 평행하게 배열된다.

<155> 도17에서, 도면 부호(101)는 히터를, 도면 부호(102)는 드라이버 트랜지스터를, 도면 부호(103, 104)는 논리 회로를, 도면 부호(105')는 디코더를, 도면 부호(106)는 X-비트 시프트 레지스터 + 래치 회로를, 도면 부호(108)는 각각의 그룹에 대응하는 시프트 레지스터 + 래치 회로를 나타낸다. 레이아웃 예를 도시하는 도17 및 도18에서의 각각의 부분들 사이의 대응 관계가 설명될 것이다. 잉크 공급 포트는 영역(1801) 내에, 히터(101)는 영역(1802) 내에, 드라이버 트랜지스터(102)는 영역(1803) 내에, 논리 회로(103, 104)는 영역(1804) 내에, 각각의 그룹에 대응하는 시프트 레지스터 + 래치 회로(108), 디코더(105'), 및 블록 선택 신호와 디코더를 위한 배선 라인은 영역(1805) 내에, 그리고 시프트 레지스터 + 래치 회로(106)는 영역(1808) 내에 레이아웃된다.

<156> 제1 실시예에서, 시프트 레지스터 + 래치 회로는 각각의 시프트 레지스터에 대응하는 그룹에 인접하게 히터 어레이 방향과 평행하게 레이아웃된다. 제5 실시예는 도17에 도시된 바와 같은 회로 구성을 채용하며, 종래에 소자 보드의 단부에 레이아웃되었던 디코더(105')는 도18에 도시된 바와 같이 히터 어레이의 방향과 평행하게 각각의 그룹들의 시프트 레지스터 + 래치 회로(108)들 사이에 개재된다.

<157> 제1 M-비트 데이터는 CLK와 동기식으로 M-비트 시프트 레지스터(108)로 입력되고 나서, LT 신호가 "하이"로 변

하는 시점에서 인접한 그룹의 논리 회로(103, 104)에서 공급 및 래칭된다.

<158> 나머지 X-비트 데이터는 단부에 위치된 X-비트 시프트 레지스터(106)로 입력되고, LT 신호가 "하이"로 변하는 시점에서 래칭되며, 시프트 레지스터들 사이에 개재된 N개의 디코더(105')로 공급된다.

<159> N개의 디코더(105')를 중 하나로부터의 출력은 N개의 블록 선택(BE) 라인들 중 하나에 각각 대응한다. N개의 디코더에서, 단 하나의 디코더가 "하이" 신호를 한 번에 출력하고, 단 하나의 블록 선택 라인이 "하이"가 된다.

<160> 시분할 수(N)가 큰 경우에 각각의 그룹의 폭은 크게 되고, 전술한 바와 같이 시프트 레지스터 + 래치 회로(108)에 대해 큰 레이아웃 면적(1805)이 확보될 수 있다. 따라서, 제5 실시예에서는 도18에 도시된 바와 같이 디코더(105')가 나머지 공간에 배열된다.

<161> 도17에 도시된 이러한 회로 구성에 의하여, 디코더는 도18에 도시된 바와 같이 시프트 레지스터 및 래치에 더하여 일렬로 레이아웃될 수 있다. 이러한 레이아웃은 예를 들어 전압 또는 전류를 안정화시키기 위한 기능적 회로 등을 레이아웃하기 위한 공간(1810)을 소자 보드 상에 생성할 수 있다.

<162> 그러나, 시분할 수(N)가 작은 때, 시프트 레지스터 레이아웃 면적(1805)은 크게 유지될 수 없다. 시분할 수와 시프트 레지스터 + 래치 회로 레이아웃 면적(1805) 사이의 관계를 검토하기로 한다.

<163> 예를 들어, 256개의 허터들이 600dpi의 피치로 레이아웃되고 시분할 수(N)가 16인 때, 그룹의 개수(M)는 16이고, 소자 보드의 길이방향으로의 하나의 그룹의 폭은 약 0.68 mm이다. 그러나, 시분할 수(N)가 8로서 절반인 때, 그룹의 개수는 32이고 하나의 그룹의 폭은 약 0.34 mm로 절반이 된다.

<164> 그러나, 시분할 수(N)가 8이라 함은 필요한 디코더의 개수도 8이라는 것을 의미하는데, 이는 시분할 수가 16인 경우의 디코더의 개수의 절반이다. 단 하나의 디코더가 4개의 시프트 레지스터를 위해 삽입되기에 충분하며, 디코더들은 작은 폭으로도 레이아웃 면적(1805) 내에 레이아웃될 수 있다.

<165> 레이아웃 효율은 시분할 수(N), 그룹의 개수(M), 허터 밀도, 허터의 개수, 및 디코더에 대한 시프트 레지스터의 레이아웃 면적비에 따라 크게 변화한다.

<166> 도19는 허터의 개수가 256이고, 피치가 600dpi이며, 디코더에 대한 시프트 레지스터의 레이아웃 면적비가 2:1이고, 시분할 수(N) 및 그룹의 개수(M)가 변경될 때의 시프트 레지스터(SRs)의 개수, 디코더(DECs)의 개수 및 전체 면적(비) 사이의 관계를 나타내는 표이다. 도20은 도19에서의 N, M 및 전체 면적 사이의 관계를 나타내는 그래프이다. 도19 및 도20으로부터 명백한 바와 같이, 시분할 수 N=16 및 그룹의 개수 M=16은 최고 레이아웃 효율을 나타낸다.

<167> 종래의 회로 구성 및 레이아웃에 있어서, 허터의 개수를 증가시킴으로써 긴 소자 보드를 설계하기 위해서는, 소자 보드의 단부에 배열된 시프트 레지스터의 비트의 개수, 디코더의 개수 및 배선 라인의 개수가 증가되어야 하며, 소자 보드의 짧은 변 크기도 증가되어야 한다. 그러나, 제5 실시예의 회로 구성 및 레이아웃에 있어서, 허터의 개수가 증가하고 소자 보드가 길어질지라도, 배선 라인의 개수를 변화시키지 않고 소자 보드를 짧은 변을 따라 넓히지 않고도 회로 그룹의 개수만 긴 변을 따라 증가시키는 것으로 충분하다. 종래의 회로 구성 및 레이아웃과 비교하여, 회로는 용이하게 효율적으로 레이아웃될 수 있어, 소자 보드의 비용을 감소시킨다.

<168> 제5 실시예에 따른 소자 보드의 레이아웃에 있어서, 도18에 도시된 바와 같이, 종래에는 소자 보드의 단부에 배열되었던 시프트 레지스터, 디코더 및 래치 등의 모든 회로가 허터 어레이를 따라 배열되며, 기판의 단부에서 넓은 공간이 얻어질 수 있다. 이 공간에 기능적 회로를 레이아웃함으로써, 종래의 것과 동일한 소자 보드 상에서 더욱 진보된 기능이 구현될 수 있다.

<169> 전술한 바와 같이, 제5 실시예에 따르면, 작은 개수의 허터를 갖는 기판과 유사하게, 많은 개수의 허터를 갖는 기판 상에서도 기판의 단부에 넓은 공간이 확보될 수 있다. 부가적인 기능적 회로 및 허터 구동 회로가 이러한 확보된 공간 내에 형성될 수 있고, 소자 보드 상에 형성된 회로는 더욱 진보된 기능을 얻을 수 있으며, 비용이 절감될 수 있다.

<170> 도17에서, 회로는 디코더를 구성하는 회로는 디코더 1, 디코더 2, … 등과 같이 분산 배열되고, 이러한 분산된 디코더의 구성을 설명하기로 한다.

<171> 도29는 디코더의 회로 구성을 도시하고, 도30은 디코더를 위한 진리표를 도시한다. 이들 도면에서, 4 대 16 디코더(X=4, N=16)가 디코더의 예로서 설명된다. 디코더는 X(0 내지 4)개의 인버터가 회로의 각각의 입력부와 연결된 N(16)개의 AND 회로를 구비한다. 이 디코더는 도18에 도시된 바와 같이, 하나의 유닛이 하나의 AND 회로

와, 동일 그룹의 각각의 구동 회로에 인접하여 AND 회로의 입력부에 연결된 인버터(들)를 포함하는 N(16)개의 분산된 디코더로 배열된다. 각각의 AND 회로의 입력부에 연결된 인버터의 개수는 각각의 AND 회로에 대해 상이 하며, 도30에 도시된 진리표에 따라 결정된다. 도30에 도시된 진리표에서, "L"은 신호의 로우(Low) 상태를 의미하고, "H"는 신호의 하이(High) 상태를 의미한다. 도시된 바와 같이, 16개의 AND 회로들 중 대응하는 AND 회로는 4-비트의 디코더 제어 신호(코드 0 내지 3)에 대한 하이 신호를 블록 선택 라인들 중 각각의 블록 선택 라인으로 출력한다.

<172> 다음으로, 디코더에 대한 다른 회로 구성을 도31을 참조하여 설명하기로 한다. 도31에서, 4 대 16 디코더(X=4, N=16)가 디코더의 예로서 설명된다. 도31에 도시된 구성에서, 4-비트의 디코더 제어 신호(코드 0 내지 3)에 더하여, 각각의 역전된 신호가 요구된다. 이러한 역전된 신호는 각각의 디코더 제어 신호에 대하여 시프트 레지스터의 출력부 부근에 배열된 인버터에 의해 발생된다. 위와 같이, 디코더 제어 신호는 8개의 신호로 2배가 되며, 이러한 8개의 디코더 제어 신호는 도30의 진리표에 따라 각각의 AND 회로의 4개의 입력부에 연결된다. N(16)개의 AND 회로들 각각은 도18에 도시된 바와 같이, (분산된) 디코더들의 일부를 구성하는 회로와 동일한 그룹 내의 구동 회로에 인접하여 배열된다. 각각의 AND 회로로 입력된 디코더 제어 신호들의 8개의 신호 라인 내의 4개의 신호 라인은 서로 상이하다.

<173> 이러한 구성에서, AND 회로의 각각의 입력부 부근에 인버터를 제공할 필요가 없다. 즉, 도17에 도시된 바와 같이, 디코더가 분산 배열되면, 소자 보드 상에서 배선하는 디코더 제어 신호의 개수는 8이 되는데, 이는 도29의 구성에서의 배선 라인의 개수의 2배이며, 각각의 분산된 디코더(105')는 AND 회로만으로 구성될 수 있다. 이러한 이유로 인해, 이러한 구성은 소자 보드의 히터 어레이의 방향(잉크 공급 포트의 길이방향)과 교차하는 짧은 변의 길이가 짧아지는 레이아웃에 대해 효과적이다. 더욱이, 소자 보드 전체에서의 면적 효율 측면에서, 도31에 도시된 구성은 도29에 도시된 구성에 비해 더욱 효율적인데, 그 이유는 인버터의 개수가 상당히 감소되기 때문이다.

<174> (제5 실시예에 대한 수정예)

<175> 도18에 도시된 실제 레이아웃 예에서, 종래 기술 및 전술된 실시예들과 유사하게, 드라이버 트랜지스터 및 논리 회로는 히터 레이아웃 간격에 따라 레이아웃된다. 이때, 드라이버 트랜지스터 및 논리 회로가 히터 간격보다 작은 간격으로 레이아웃될 수 있다면, 회로를 신규로 레이아웃하기 위한 공간을 확보하도록 이들의 간격이 각각의 그룹 내에서 감소된다.

<176> 이 경우에, 이러한 수정예는 그룹들 사이에 생성되는 공간을 효과적으로 이용한다. 도21은 수정예에 따른 회로 구성을 도시하는 회로도이고, 도22는 수정예에 따른 소자 보드 상에서의 실제 레이아웃의 일례를 도시하는 도면이다. 도21 및 도22에서, 제5 실시예를 도시하는 도17 및 도18에서와 동일한 도면부호는 비교를 쉽게 하기 위하여 동일한 부분을 나타낸다.

<177> 수정예에서, 도22에 도시된 바와 같이, 도18에서 부분(1805)에 레이아웃된 디코더(105')는 드라이버 트랜지스터 및 논리 회로가 레이아웃된 부분(1803, 1804)의 그룹들 사이의 공간(1805b)에 레이아웃된다. 즉, 도22의 디코더(105')는 도18에서 도시된 방향이 직각으로 배열되는데, 상세하게는 디코더는 디코더의 길이방향이 소자 보드의 짧은 변에 평행하도록 배열된다. 이는 부분(1805a)에서의 레이아웃 및 배선을 용이하게 하며, 소자 보드의 짧은 변도 크기가 감소될 수 있다.

<178> 이러한 방식으로, 수정예는 분리된 디코더가 그룹들 사이의 공간으로 삽입되기 때문에 제5 실시예와 비교하여 더욱 효율적인 회로 레이아웃을 구현할 수 있다.

<179> (제6 실시예)

<180> 종래의 레이아웃에서, 시프트 레지스터 + 래치 회로와 디코더 모두는 소자 보드의 단부에 레이아웃된다. 제6 실시예에서, 시프트 레지스터 + 래치 회로만이 종래의 레이아웃과 유사하게 단부에 레이아웃되고, 디코더는 히터 어레이를 따라 레이아웃된다.

<181> 소자 보드 상의 기능적 회로의 공간이 증가하고 소자 보드의 단부에서의 회로 레이아웃 공간이 감소될 때, 또는 시프트 레지스터의 비트의 개수가 크고 디코더를 레이아웃하기 위한 공간이 단부에서 확보될 수 없을 때, 제6 실시예처럼 디코더를 히터를 따라 분할 레이아웃하는 것이 효과적이다.

<182> 도23은 제6 실시예에 따른 회로 구성을 도시하는 회로도이다. 도24는 제6 실시예에 따른 소자 보드 상의 실제 레이아웃의 예를 도시하는 도면이다.

- <183> 본 실시예에서, 도24에 도시된 바와 같이, 길이방향을 따라 소자 보드의 중간에 배열된 잉크 공급 포트의 양측에, M x N개의 히터를 포함하는 2개의 히터 어레이가 대칭으로 배열되며, 각각의 그룹을 위한 드라이버 트랜지스터 및 논리 회로는 소자 보드의 짧은 변을 따라 연장된다. 시프트 레지스터 + 래치 회로는 히터 어레이와 교차하는 방향을 따라 길이방향의 양 단부 상에 배열된다.
- <184> 도23에서, 도면 부호(101)는 히터를, 도면 부호(102)는 드라이버 트랜지스터를, 도면 부호(103, 104)는 논리 회로를, 도면 부호(110)는 시프트 레지스터를 나타낸다. 레이아웃의 예를 도시하는 도23 및 도24의 각각의 부분들 사이의 대응 관계가 설명될 것이다. 잉크 공급 포트는 영역(2401)에, 히터(101)는 영역(2402)에, 드라이버 트랜지스터(102)는 영역(2403) 내에, 논리 회로(103, 104)는 영역(2404) 내에, 데이터 라인, 블록 제어 라인 및 블록 선택 라인은 영역(2405) 내에, 디코더(105')는 영역(2406) 내에, 시프트 레지스터 + 래치 회로(110)는 영역(2407) 내에, 입력/출력 패드는 영역(2409) 내에, 그리고 기능적 회로는 영역(2410) 내에 배치된다.
- <185> 제6 실시예에 의하면, 분할된 디코더를 그룹 사이의 공간에 삽입함으로써, 작은 개수의 히터들을 갖는 기판과 유사하게 많은 개수의 히터들을 갖는 기판 상에서도 기판의 단부에 넓은 공간이 보장될 수 있다. 추가의 기능적 회로는 기판의 단부의 공간에 형성될 수 있고, 소자 보드 상에 형성된 회로는 보다 향상된 기능을 가질 수 있고, 그 비용이 절감될 수 있다.
- <186> (제6 실시예의 수정예)
- <187> 제6 실시예에 있어서, 디코더(105')는 각 그룹들의 회로들 사이에 개재된다. 이러한 레이아웃은 각 그룹의 회로들이 긴 변을 따라 서로 근접하게 배치될 수 있을 때에만 가능하다.
- <188> 이러한 수정예에 있어서, 각 그룹에 대응되는 디코더들은 히터들을 그룹들 사이에 삽입할 여백(margin)이 없을 때 히터 어레이를 따라 배열된다. 도25는 본 수정예에 따른 회로 구성을 도시하는 회로 다이어그램이다. 도26은 본 수정예에 따른 소자 보드 상의 실제 레이아웃의 예를 도시하는 도면이다. 도25 및 도26에 있어서, 제6 실시예를 도시하는 도23 및 도24의 것과 동일한 도면 부호는 용이한 대조를 위해 동일한 부분을 나타낸다. 이 수정예에서, 디코더(105')는 히터 어레이(2401)를 따라 영역(2406') 내에 배치된다.
- <189> 이러한 수정예는 제6 실시예와 동일한 효과를 얻을 수 있다.
- <190> (제7 실시예)
- <191> 제5 실시예에 있어서, 디코더는 시프트 레지스터들 사이에 삽입되고 영역(1805) 내에서 일렬로 배치된다. 그러나, 히터들이 보다 높은 밀도로 배열될 때, 그룹 레이아웃 폭은 동일한 시분할 수(N)로 줄어들고, 디코더들을 시프트 레지스터들 사이에 삽입하기가 어렵게 된다.
- <192> 또한 소자 크기가 반도체 공정 상의 제약으로 인해 커지게 될 때, 디코더들을 시프트 레지스터들 사이에 삽입하기가 어렵게 된다.
- <193> 이러한 경우, 제7 실시예에 의하면, 디코더와 시프트 레지스터들은 2열로 서로 평행하게 배열된다.
- <194> 도27은 제7 실시예에 따른 회로 구성을 도시하는 회로 다이어그램이다. 도28은 제7 실시예에 따른 소자 보드 상의 실제 레이아웃의 예를 도시하는 도면이다.
- <195> 이러한 실시예에 있어서, 도28에 도시된 바와 같이, 길이방향을 따라 소자 보드의 중간에 배열된 잉크 공급 포트의 양측 상에 M X N 히터들을 구비하는 2개의 히터 어레이가 대칭적으로 배열되고, 이어서 각각의 그룹을 위한 드라이버 트랜지스터, 논리 회로, 시프트 레지스터 + 래치 회로, 및 디코더 회로는 소자 보드의 짧은 변을 따라 연장한다. 시프트 레지스터 + 래치 회로와 기능적 회로는 소자 보드의 길이방향의 양측 상에 배열된다.
- <196> 도27에서, 도면 부호(101)는 히터를, 도면 부호(102)는 드라이버 트랜지스터를, 도면 부호(103, 104)는 논리 회로를, 도면 부호(105')는 디코더를, 도면 부호(106)는 X-비트 시프트 레지스터 및 래치 회로를, 도면 부호(108)는 각 그룹에 대응되는 시프트 레지스터 및 래치 회로를 나타낸다. 레이아웃의 예를 나타내는 도27 및 도28의 각 부분들 사이의 대응 관계가 설명될 것이다. 잉크 공급 포트는 영역(2801) 내에, 히터(101)는 영역(2802) 내에, 드라이버 트랜지스터(102)는 영역(2803) 내에, 논리 회로(103, 104)는 영역(2804) 내에, 시프트 레지스터 + 래치 회로(108)와 데이터 라인은 영역(2805) 내에, 블록 제어 라인과 디코더(105')는 영역(2806) 내에, 시프트 레지스터 + 래치 회로(106)는 영역(2807) 내에, 입력/출력 패드는 영역(2809) 내에, 기능적 회로는 영역(2810) 내에 배치된다.

- <197> 제7 실시예는 디코더(105')가 배치된 영역(2806)이 시프트 레지스터(108)가 배열되는 영역(2805)과 평행하게 설정된다는 것을 제외하고는 제5 실시예에 의한 도17의 구성과 동일한 회로 구성을 채택한다.
- <198> 이러한 레이아웃은 제5 실시예에 비해 짧은 변을 따라 기판을 확장하지만, 제5 실시예와 유사하게 기판의 단부의 넓은 공간을 보장할 수 있다. 추가 기능을 갖는 기능 회로는 기판의 단부에 효과적으로 형성될 수 있다.
- <199> 히터의 개수가 증가하여 기판이 길어진다면, 회로의 개수는 제5 실시예와 유사하게 기판이 길어지는 방향으로 증가될 수 있다. 회로는 종래의 회로 레이아웃보다 더 효율적으로 배치될 수 있고, 그 비용도 절감될 수 있다.
- <200> (기타 실시예)
- <201> 전술한 실시예들은 인쇄 소자로서 가열 소자(히터)를 이용하여 잉크를 신속하게 가열하고 가스화시키고 생성된 버블의 압력에 의해 오리피스로부터 잉크 액체를 토출하는 소위 버블젯(등록상표) 종류의 잉크젯 인쇄헤드를 예시한 것이다. 본 발명은 인쇄헤드가 복수의 인쇄 소자로 형성된 인쇄 소자 어레이를 갖는 한에는 다른 방법에 의해 인쇄하는 인쇄헤드에 명백히 적용될 수 있다.
- <202> 이러한 경우, 이들 실시예의 히터는 각각의 방법에 사용되는 인쇄 소자로 대체된다.
- <203> 잉크젯 인쇄 시스템 중에서, 이들 실시예는 잉크를 토출하고 잉크 상태를 열에너지에 의해 변화시키는 데에 이용되는 에너지로서 열 에너지를 발생시키기 위한 수단(예컨대, 전자열 변환기)을 포함하는 시스템을 채택할 수 있다. 잉크젯 인쇄 시스템은 인쇄 밀도와 해상도를 증가시킬 수 있다.
- <204> 본 발명은 전술한 실시예들에 기술된 인쇄헤드 및 인쇄헤드 소자 보드로 한정되지 않으나, 인쇄헤드 및 이 인쇄헤드로 공급될 잉크를 보유하는 잉크 용기를 갖는 인쇄헤드 카트리지와, 상기 인쇄헤드를 장착하고 인쇄 데이터를 인쇄헤드로 공급하기 위한 제어 수단을 갖는 장치(예컨대, 프린터, 복사기 또는 팩시밀리기)와, 상기 장치를 포함하는 복수의 장치(예컨대, 호스트 컴퓨터, 인터페이스 장치, 판독기 및 프린터)로 형성된 시스템에 적용될 수 있다.
- <205> 전술한 인쇄헤드를 갖는 인쇄 장치, 상기 인쇄헤드의 기계적 구조 및 인쇄헤드 카트리지를 첨부 도면을 참조하여 예시할 것이다.
- <206> <잉크젯 인쇄 장치의 설명>
- <207> 도10은 본 발명에 따른 인쇄헤드를 이용하여 인쇄하는 잉크젯 인쇄 장치의 개략적인 구성을 도시하는 외부 사시도이다.
- <208> 도10에 도시된 바와 같이, 잉크젯 인쇄 장치(이하, 인쇄 장치라 함)에서는, 전달 기구(4)가 캐리지 모터(M1)에 의해 생성된 구동력을 잉크젯 방식에 의해 인쇄하기 위해 잉크를 토출하기 위한 인쇄헤드(3)를 지지하는 캐리지(2)로 전달한다. 캐리지(2)는 화살표(A)에 의해 도시된 방향으로 왕복 운동한다. 인쇄 시트와 같은 인쇄 매체(P)는 시트 급송 기구(5)를 통해 급송되고 인쇄 위치로 이송된다. 인쇄 위치에서, 인쇄헤드(3)는 잉크를 인쇄할 인쇄 매체(P)로 토출한다.
- <209> 인쇄헤드(3)의 양호한 상태를 유지하기 위해, 캐리지(2)는 회복 장치(10)의 위치로 이동하고, 인쇄헤드(3)에 대한 토출 회복 공정이 간헐적으로 수행된다.
- <210> 인쇄 장치의 캐리지(2)는 인쇄헤드(3)뿐만 아니라 인쇄헤드(3)로 공급될 잉크를 저장하는 잉크 카트리지(6)를 지지한다. 잉크 카트리지(6)는 캐리지(2)에 탈착 가능하게 장착된다.
- <211> 도10에 도시된 인쇄 장치는 컬러 인쇄를 수행할 수 있다. 이를 위해, 캐리지(2)는 마젠탄(M), 시안(C), 황색(Y) 및 흑색(B) 잉크를 각각 저장하는 4개의 잉크 카트리지를 지지한다. 4개의 잉크 카트리지는 독립적으로 탈착 가능하다.
- <212> 캐리지(2)와 인쇄헤드(3)는 그들의 접촉 표면들을 서로 적절히 접촉시킴으로써 소정의 전기 접속을 달성하고 유지할 수 있다. 인쇄헤드(3)는 잉크를 복수의 오리피스로부터 선택적으로 토출하고 인쇄 신호에 따라 에너지를 가함으로써 인쇄를 수행한다. 특히, 본 실시예에 의한 인쇄헤드(3)는 열 에너지를 이용하여 잉크를 토출하는 잉크젯 방식을 채택하고 열 에너지를 생성하기 위해 전자열 변환기를 포함한다. 전기열 변환기에 가해진 전기 에너지는 열 에너지로 변환된다. 열 에너지를 잉크에 가함으로써 생성된 막비등에 의한 버블의 성장 및 수축에 의해 일어나는 압력 변화를 이용함으로써 잉크가 오리피스로부터 토출된다. 전기열 변환기는 각각의 오리피스

에 대응되게 배열되고, 잉크는 인쇄 신호에 따라 대응하는 전기열 변환기에 펄스 전압을 가함으로써 대응 오리피스로부터 토출된다.

<213> 도10에 도시된 바와 같이, 캐리지(2)는 캐리지 모터(M1)의 구동력을 전달하는 전달 기구(4)의 구동 벨트(7)의 일부에 결합된다. 캐리지(2)는 화살표(A)에 의해 표시된 방향으로 안내 축(13)을 따라 활주가능하게 안내되고 지지된다. 캐리지(2)는 캐리지 모터(M1)의 정상적인 회전 및 역회전에 의해 안내 축(13)을 따라 왕복운동한다. 캐리지(2)의 절대 위치를 나타내는 스케일(8)이 캐리지(2)의 이동 방향(화살표(A)로 표시된 방향)을 따라 배열된다. 본 실시예에서, 스케일(8)은 투명한 PET 필름 상에 필요한 피치로 흑색 막대를 인쇄함으로써 준비된다. 스케일(8)의 일 단부는 새시(9)에 고정되고, 타단부는 판 스프링(도시되지 않음)에 의해 지지된다.

<214> 인쇄 장치는 인쇄헤드(3)의 (도시되지 않은) 오리피스를 갖는 오리피스 표면에 대향하여 (도시되지 않은) 플래튼을 갖는다. 인쇄헤드(3)를 지지하는 캐리지(2)가 캐리지 모터(M1)의 구동력에 의해 왕복운동함과 동시에, 인쇄 신호가 인쇄헤드(3)에 공급되어 잉크를 토출하고 플래튼 상으로 이송된 인쇄 매체(P)의 전체 폭 상으로 인쇄된다.

<215> 도10에서, 도면 부호(14)는 인쇄 매체(P)를 이송하기 위해 이송 모터(M2)에 의해 구동되는 이송 룰러를, 도면 부호(15)는 (도시되지 않은) 스프링에 의해 인쇄 매체(P)가 이송 룰러(14)에 맞닿게 하는 핀치 룰러를, 도면 부호(16)은 핀치 룰러(15)를 회전가능하게 지지하는 핀치 룰러 홀더를, 그리고 도면 부호(17)은 이송 룰러(14)의 일 단부에 고정되는 이송 룰러 기어를 나타낸다. 이송 룰러(14)는 (도시되지 않은) 중간 기어를 통해 이송 룰러 기어(17)로 전달되는 이송 모터(M2)의 회전력을 의해 구동된다.

<216> 도면 부호(20)은 인쇄헤드(3)에 의해 형성된 화상을 담지하는 인쇄 매체(P)를 인쇄 장치의 외부로 배출하는 배지 룰러를 나타낸다. 배지 룰러(20)는 이송 모터(M2)의 회전력을 전달함으로써 구동된다. 급지 룰러(20)는 (도시되지 않은) 스프링에 의해 인쇄 매체(P)를 압착하는 (도시되지 않은) 스퍼어 룰러에 맞닿게 된다. 도면 부호(22)는 스퍼어 룰러를 회전가능하게 지지하는 스퍼어 홀더를 나타낸다.

<217> 도10에 도시된 바와 같이, 인쇄 장치에 있어서, 인쇄헤드(3)를 토출 실패로부터 회복시키는 회복 장치(10)는 인쇄헤드(3)를 지지하는 캐리지(2)의 인쇄 작동을 위한 왕복운동 범위(인쇄 영역) 밖의 원하는 위치(즉, 홈 위치(home position)에 대응되는 위치)에 배열된다.

<218> 회복 장치(10)는 인쇄헤드(3)의 오리피스 표면을 덮는 캡핑 기구(11)와, 인쇄헤드(3)의 오리피스 표면을 세척하는 와이핑 기구(12)를 포함한다. 회복 장치(10)는 회복 장치 내의 흡입 수단(흡입 펌프 등)이 캡핑 기구(11)에 의한 오리피스 표면의 덮음과 동기화되어 잉크를 오리피스로부터 강제로 토출시켜 인쇄헤드(3)의 잉크 채널 내의 고점도의 잉크 또는 버블을 제거시키는 토출 회복 공정을 수행한다.

<219> 비인쇄 작동 등에서는, 인쇄헤드(3)의 오리피스 표면이 캡핑 기구(11)에 의해 덮여 인쇄헤드(3)를 보호하고 잉크의 증발 및 건조를 방지한다. 와이핑 기구(12)는 캡핑 기구(11)의 근처에 배열되어 인쇄헤드(3)의 오리피스 표면에 부착된 잉크 액적을 닦아 낸다.

<220> 캡핑 기구(11)와 와이핑 기구(12)는 인쇄헤드(3)의 정상적인 잉크 토출 상태를 유지할 수 있게 한다.

<221> <잉크젯 인쇄 장치의 제어 구성>

<222> 도11은 도10에 도시된 인쇄 장치의 제어 구성을 도시한 블록 다이아그램이다.

<223> 도11에 도시된 바와 같이, 제어기(900)는 MPU(901)와, (후술하는) 제어 순서에 대응되는 프로그램, 소정의 테이블 및 기타 파라미터 데이터를 저장하는 ROM(902)과, 캐리지 모터(M1), 이송 모터(M2) 및 인쇄헤드(3)를 제어하기 위한 제어 신호를 생성하는 특정 용도 지향 IC(ASIC(Application specific IC)(903)와, 인쇄 데이터 맵핑 영역 및 프로그램을 실행하기 위한 작업 영역 등을 갖는 RAM(904)과, MPU(901), ASIC(903) 및 RAM(904)을 서로 연결시켜 데이터를 교환하는 시스템 버스(905)와, (후술하는) 일 센서 그룹으로부터의 아날로그 신호를 A/D 변환하고 디지털 신호를 MPU(901)로 공급하는 A/D 변환기(906)를 포함한다.

<224> 도11에서, 도면 부호(910)는 인쇄 데이터 공급원으로 기능하는 컴퓨터(또는 화상 판독기, 디지털 카메라 등)와 같은 호스트 장치를 나타낸다. 호스트 장치(910)와 인쇄 장치는 인터페이스(I/F)(911)를 통해 인쇄 데이터, 커맨드(command), 상태 신호 등을 송수신한다.

<225> 도면 부호(920)는 작업자로부터의 명령 입력을 수신하기 위한 스위치들, 예컨대 파워 스위치(921), 인쇄 개시를 지정하기 위한 인쇄 스위치(922), 인쇄헤드(3)의 양호한 잉크 토출 성능을 유지하는 공정(회복 공정)의 작동

(activation)을 지정하는 회복 스위치(923)로 형성되는 스위치 그룹을 나타낸다. 도면 부호(930)는 장치의 상태를 검출하고 흠 위치(h)를 검출하기 위한 포토커플러와 같은 위치 센서(931)와 주변 온도를 검출하기 위해 인쇄 장치의 적절한 부분에 배열된 온도 센서(932)를 구비하는 센서 그룹을 나타낸다.

<226> 도면 부호(940)는 화살표(A)에 의해 표시되는 방향으로 캐리지(2)를 왕복운동시키기 위한 캐리지 모터(M1)를 구동하는 캐리지 모터 드라이버를 나타내고, 도면 부호(942)는 인쇄 매체(P)를 이송하기 위한 이송 모터(M2)를 구동하는 이송 모터 드라이버를 나타낸다.

<227> 인쇄헤드(3)에 의한 인쇄 및 스캐닝에 있어서, ASIC(903)은 ROM(902)의 저장 영역을 직접 어세싱하면서 인쇄 소자(토출 허터)를 위한 구동 데이터(DATA)를 인쇄헤드로 전달한다.

<228> <인쇄헤드 구조>

도12는 전술한 인쇄 장치에 사용되는 인쇄헤드(3)의 기계적 구조를 도시하는 전개 사시도이다.

<230> 도12에서, 도면 부호(1101)는 (후술하는) 회로 구성을 실리콘 등으로 제조된 기판으로 형성함으로써 준비된 소자 보드를 나타낸다. 가열 저항체(1112)가 인쇄 소자를 형성하는 전기열 변환기로서 소자 보드 상에 형성된다. 채널(1111)이 기판의 양측을 향해 저항체 주위에 형성된다. 채널을 형성하는 부재는 수지(예컨대, 건조 필름), SiN 등으로 제조될 수 있다.

<231> 도12에서, 도면 부호(1102)는 가열 저항체(1112)를 향하는 위치에 대응되게 복수의 오리피스(1121)를 갖는 오리피스 판을 나타낸다. 오리피스 판(1102)은 채널을 형성하는 부재에 결합된다.

<232> 도12에서, 도면 부호(1103)는 잉크를 공급하기 위한 공통 액체 챔버를 형성하는 벽 부재를 나타낸다. 잉크는 소자 보드(1101)의 외주연에서 유동하도록 공통 액체 챔버로부터 채널로 공급된다.

<233> 인쇄 장치 본체로부터 데이터 및 신호를 수신하기 위한 연결 단자(1113)가 소자 보드(1101)의 양 측면에 형성된다.

<234> <인쇄헤드 카트리지>

본 발명은 전술한 인쇄헤드와 인쇄헤드로 공급될 잉크를 보유하기 위한 잉크 탱크를 갖는 인쇄헤드 카트리지에 또한 적용될 수 있다. 인쇄헤드 카트리지의 형태는 잉크 탱크가 일체화된 구조이거나 잉크 탱크로부터 분리될 수 있는 구조일 수도 있다.

<236> 도13은 잉크 탱크와 인쇄헤드를 일체화함으로써 얻어진 인쇄헤드 카트리지(IJC)의 구조를 도시하는 외부 사시도이다. 인쇄헤드 카트리지(IJC) 내부에는, 잉크 탱크(IT)와 인쇄헤드(IJH)가 도13에 도시된 경계(K)의 위치에서 분리되어 있지만, 개별적으로 대체될 수 없다. 인쇄헤드 카트리지(IJC)는 인쇄헤드 카트리지(IJC)가 카트리지(HC) 상에 장착될 때 카트리지(HC)로부터 공급된 전기 신호를 수신하기 위한 (도시되지 않은) 전극을 갖는다. 전술한 바와 같이, 이 전기 신호는 인쇄헤드(IJH)를 구동하여 잉크를 토출한다.

인쇄헤드 카트리지는 잉크 탱크 내에 잉크를 충전 또는 재충전하도록 구성될 수도 있다.

<238> 도13에서, 도면 부호(500)는 흑색 노즐 어레이와 컬러 노즐 어레이를 갖는 잉크 오리피스 어레이를 나타낸다. 잉크 탱크(IT)는 잉크를 보유하기 위해 섬유상 또는 다공성 잉크 흡수체를 갖추고 있다.

<239> 도14는 잉크 탱크와 인쇄헤드가 분리될 수 있는 인쇄헤드 카트리지의 구조를 도시하는 외부 사시도이다. 인쇄헤드 카트리지(H1000)는 잉크를 저장하는 잉크 탱크(H1900)와, 인쇄 정보에 따라 잉크 탱크(H1900)로부터 공급된 잉크를 노즐로부터 토출하는 인쇄헤드(H1001)를 포함한다. 인쇄헤드 카트리지(H1000)는 인쇄헤드 카트리지(H1000)가 캐리지 상에 탈착가능하게 장착되는 소위 카트리지 시스템을 채택한다.

<240> 도14에 도시된 인쇄헤드 카트리지(H1000)에서, 흑색, 연한 시안, 연한 마젠타, 시안, 마젠타 및 황색용의 독립적인 잉크 탱크가 사진과 같은 고화질의 컬러 인쇄를 실현하기 위해 잉크 탱크로서 준비된다. 도14에 도시된 바와 같이, 이들 잉크 탱크는 인쇄헤드(H1001)에 자유로이 탈착가능하게 된다.

본 발명의 명백하게 광범위하고 다양한 많은 실시예들이 본 발명의 요지 및 범위를 벗어나지 않고서도 실시될 수 있으므로, 본 발명은 후속하는 특허 청구의 범위에 기재된 것을 제외하고는 본 발명의 특정 실시예로 제한되지 않는다는 것을 알 수 있다.

발명의 효과

<242> 본 발명에 따르면, 인쇄 소자의 개수가 증가하는 경우에도, 인쇄 소자 어레이 방향과 수직한 방향으로의 길이의 증가없이 인쇄 소자 어레이 방향으로의 길이만이 증가하고, 따라서 하나의 웨이퍼로부터 형성되는 소자 보드의 개수는 인쇄 소자의 개수가 증가하는 경우에도 크게 감소하지 않으므로, 소자 보드당 비용 상승을 억제할 수 있다.

<243> 또한, 본 발명에 따르면, 소자 선택 회로와 구동 선택 회로 중 적어도 하나를 대응하는 구동 회로 그룹과 인접하게 배열함으로써 신호 라인의 배선 거리를 짧게 하고, 따라서 고속 데이터 전송을 수행하며, 신호 지연 및/또는 노이즈에 의한 오작동에 대한 신뢰성을 향상시킬 수 있다.

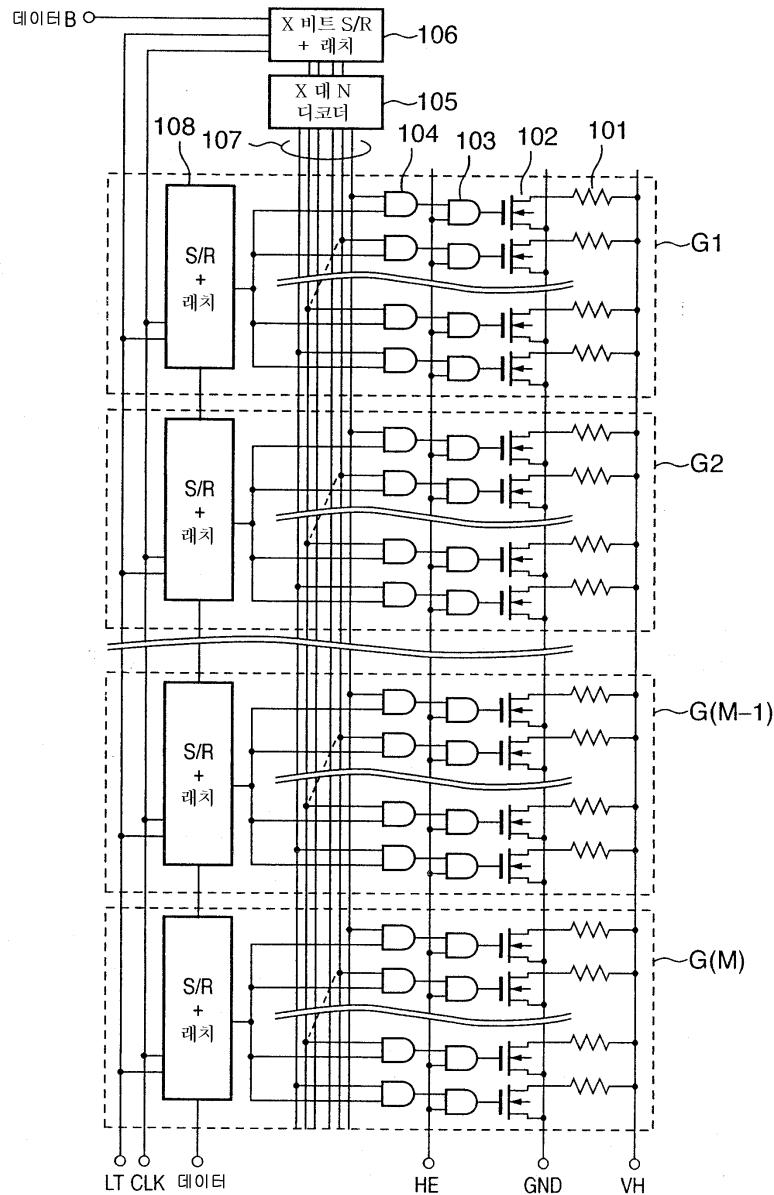
도면의 간단한 설명

- <1> 도1은 본 발명의 제1 실시예에 따른 인쇄헤드를 도시하는 회로 다이어그램.
- <2> 도2는 도1의 회로의 상태를 도시하는 시간 간격 도표.
- <3> 도3은 소자 보드 상의 도1의 회로의 레이아웃의 예를 도시하는 도면.
- <4> 도4는 소자 보드 상의 도1의 회로의 레이아웃의 다른 예를 도시하는 도면.
- <5> 도5는 본 발명의 제3 실시예에 따른 인쇄헤드를 도시하는 회로 다이어그램.
- <6> 도6은 소자 보드 상의 도5의 회로의 레이아웃의 예를 도시하는 도면.
- <7> 도7은 종래의 인쇄헤드를 도시하는 회로 다이어그램.
- <8> 도8은 도7의 회로의 신호의 상태를 도시하는 시간 간격 도표.
- <9> 도9는 소자 보드 상의 도7의 회로의 레이아웃을 도시하는 도면.
- <10> 도10은 본 발명에 따른 인쇄헤드에 의해 인쇄하는 잉크젯 인쇄 장치의 개략적인 구조를 도시하는 외측 사시도.
- <11> 도11은 도10에 도시된 인쇄 장치의 제어 구성을 도시하는 블록 다이어그램.
- <12> 도12는 도10의 인쇄 장치에 사용된 잉크젯 인쇄헤드의 기계적 구성을 도시하는 분해 사시도.
- <13> 도13은 잉크 탱크와 인쇄헤드를 합체함으로써 얻어진 인쇄헤드 카트리지의 구조를 도시하는 외측 사시도.
- <14> 도14는 잉크 탱크와 인쇄헤드가 분리될 수 있는 인쇄헤드 카트리지의 구조를 도시하는 외측 사시도.
- <15> 도15는 1 비트에 대한 시프트 레지스터 및 래치 회로의 예를 도시하는 회로 다이어그램.
- <16> 도16은 본 발명의 제4 실시예에 따른 소자 보드 상의 레이아웃의 예를 도시하는 도면.
- <17> 도17은 본 발명의 제5 실시예에 따른 회로 다이어그램.
- <18> 도18은 본 발명의 제5 실시예에 다른 소자 보드 상의 레이아웃의 예를 도시하는 도면.
- <19> 도19는 시분할의 수(N)와 그룹의 개수(M)가 변경된 때 시프트 레지스터의 개수, 디코더의 개수 및 전체 면적들 간의 관계를 도시하는 표.
- <20> 도20은 도19는 N, M 및 전체 면적들 간의 관계를 도시하는 그래프.
- <21> 도21은 제5 실시예의 수정예에 따른 회로 다이어그램.
- <22> 도22는 제5 실시예의 수정예에 따른 소자 보드 상의 레이아웃의 예를 도시하는 도면.
- <23> 도23은 본 발명의 제6 실시예에 따른 회로 다이어그램.
- <24> 도24는 제6 실시예에 다른 소자 보드 상의 레이아웃의 예를 도시하는 도면.
- <25> 도25는 제6 실시예의 수정예에 따른 회로 다이어그램.
- <26> 도26은 제6 실시예의 수정예에 따른 소자 기판 상의 레이아웃의 예를 도시하는 도면.
- <27> 도27은 본 발명의 제7 실시예에 따른 회로 다이어그램.
- <28> 도28은 제7 실시예의 다른 소자 보드 상의 레이아웃의 예를 도시하는 도면.

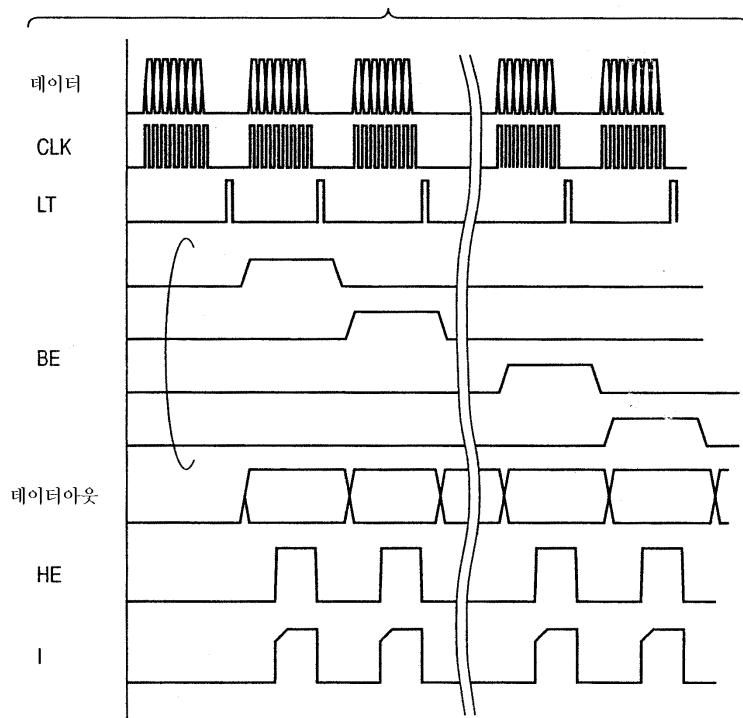
- <29> 도29는 디코더의 예를 도시하는 회로 다이어그램.
- <30> 도30은 도29의 디코더의 진리표.
- <31> 도31은 디코더의 다른 예를 도시하는 회로 다이어그램.
- <32> <도면의 주요 부분에 대한 부호의 설명>
- <33> 2 : 캐리지
- <34> 3 : 인쇄헤드
- <35> 4 : 전달 기구
- <36> 5 : 시트 급송 기구
- <37> 6 : 잉크 카트리지
- <38> 14 : 이송 롤러
- <39> 15 : 핀치 롤러
- <40> 16 : 핀치 롤러 홀더
- <41> 17 : 이송 롤러 기어
- <42> 101 : 히터
- <43> 102 : 트랜지스터
- <44> 103, 104 : AND 회로
- <45> 105 : 디코더
- <46> 106, 108 : 시프트 레지스터 + 래치 회로
- <47> 107 : 블록 선택 라인
- <48> 302 : 히터 그룹
- <49> 303 : 트랜지스터
- <50> 304 : AND 회로
- <51> 305 : 시프트 레지스터 + 래치 회로
- <52> 306 : 블록 선택 라인

도면

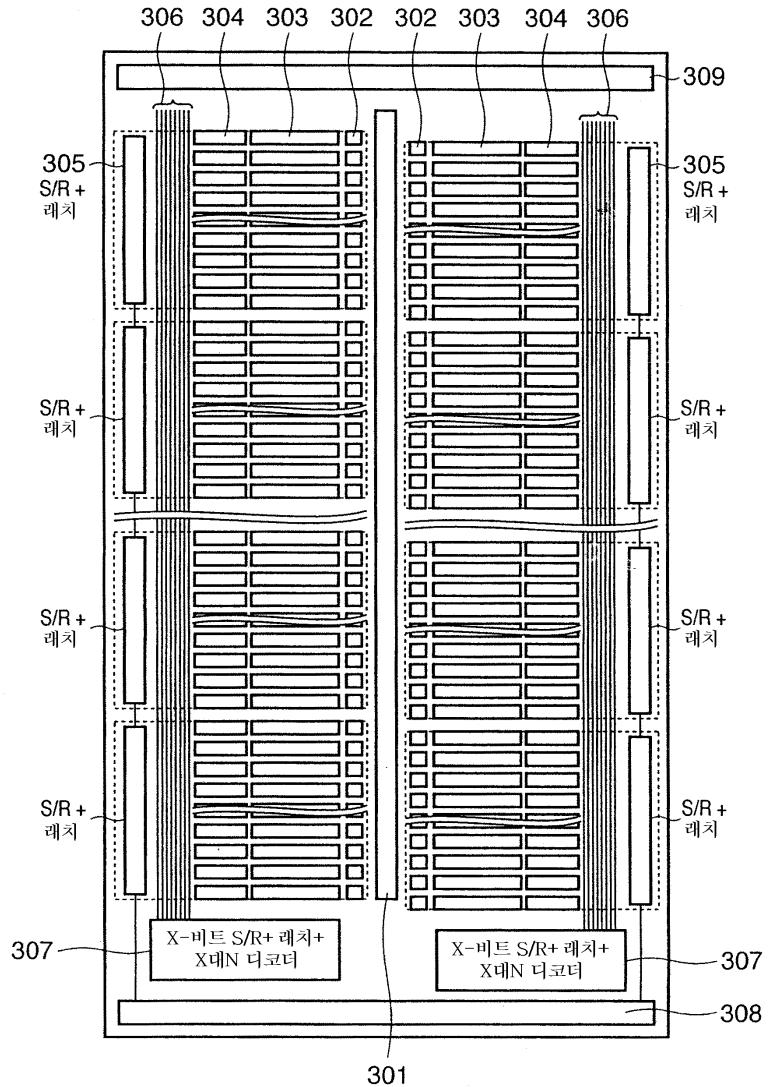
도면1



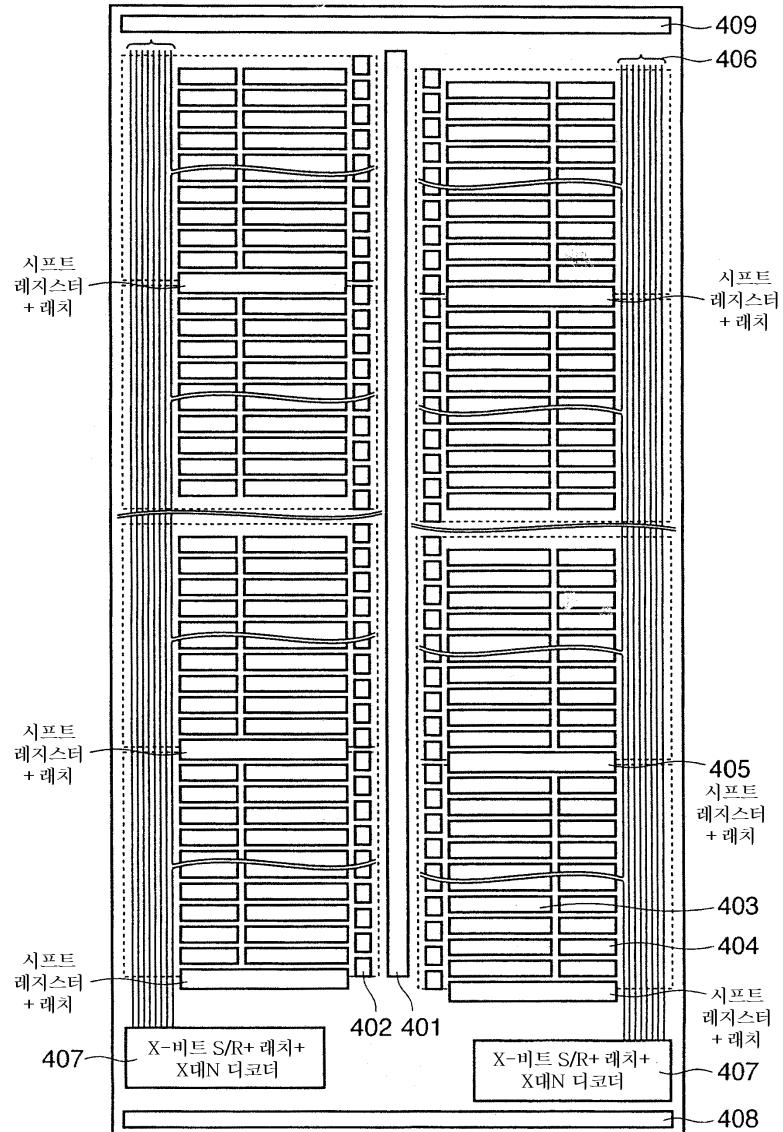
도면2



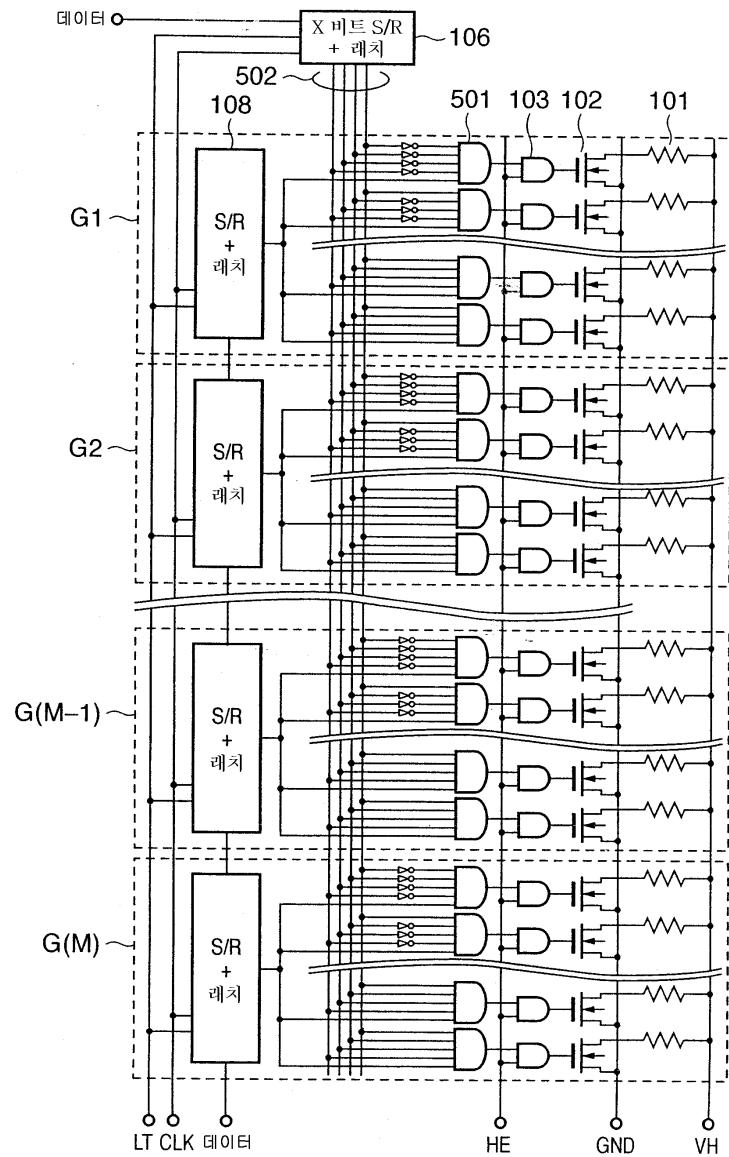
도면3



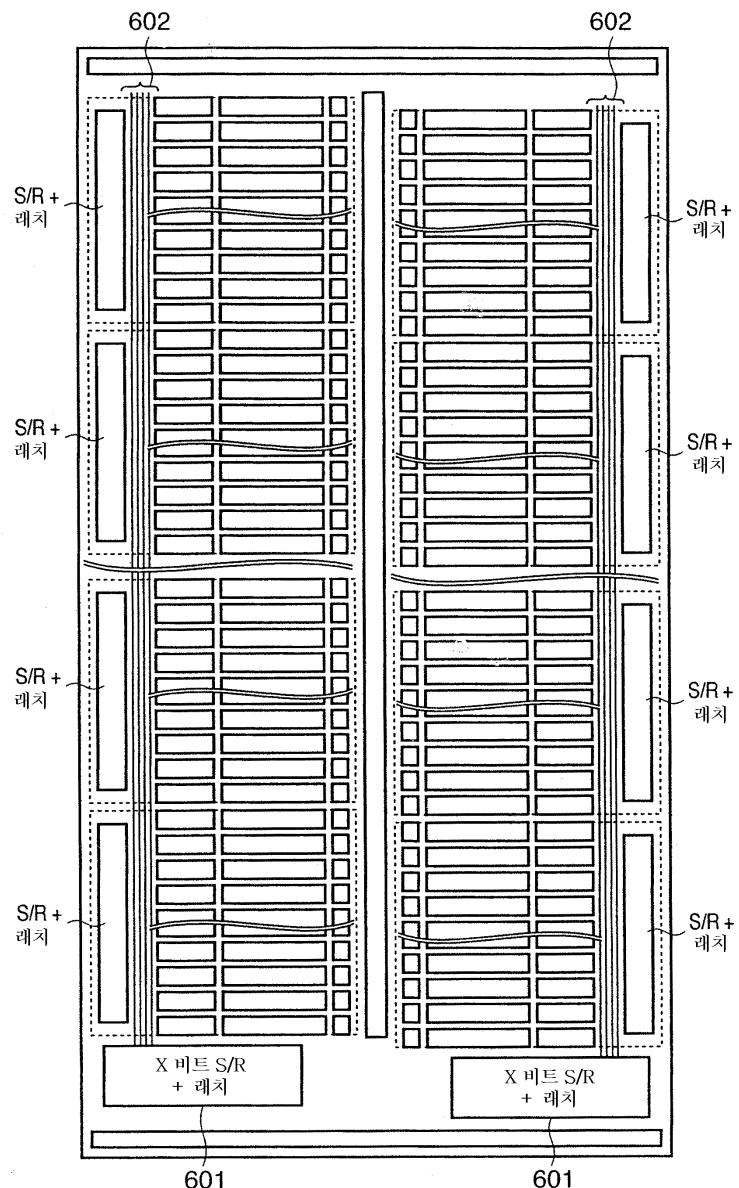
도면4



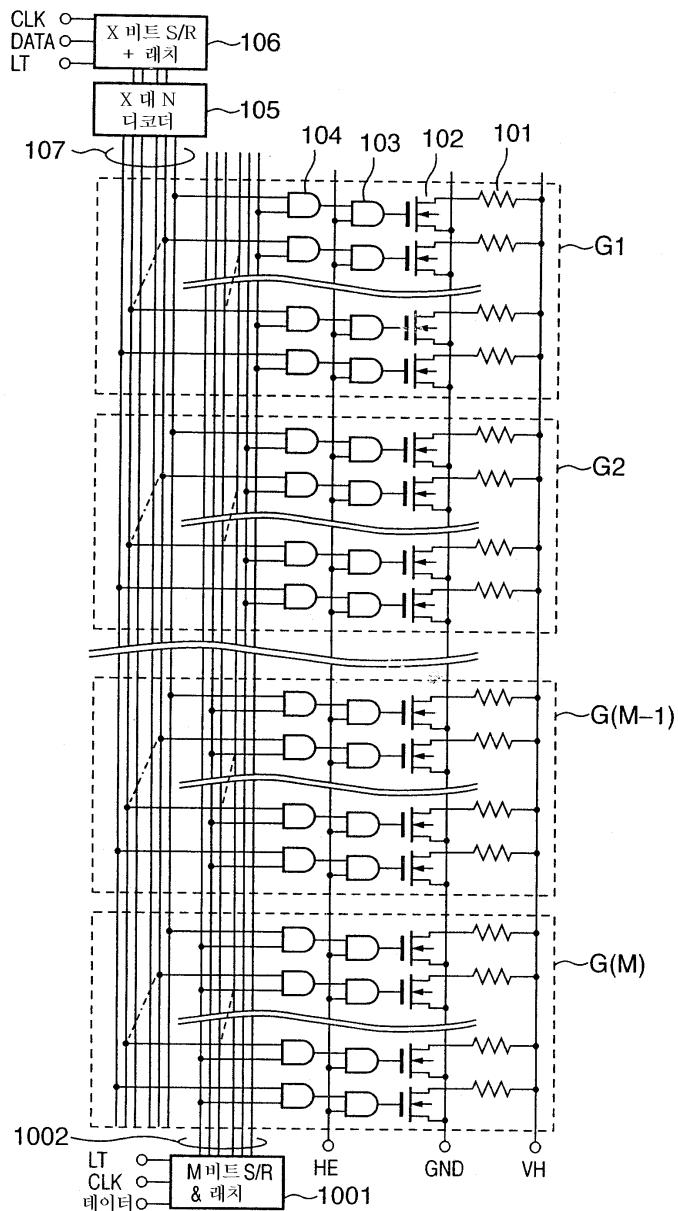
도면5



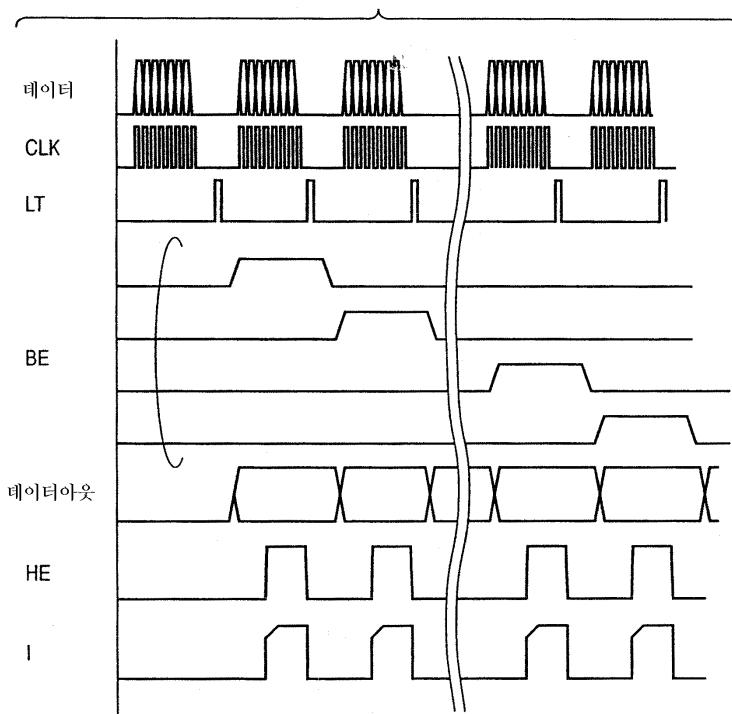
도면6



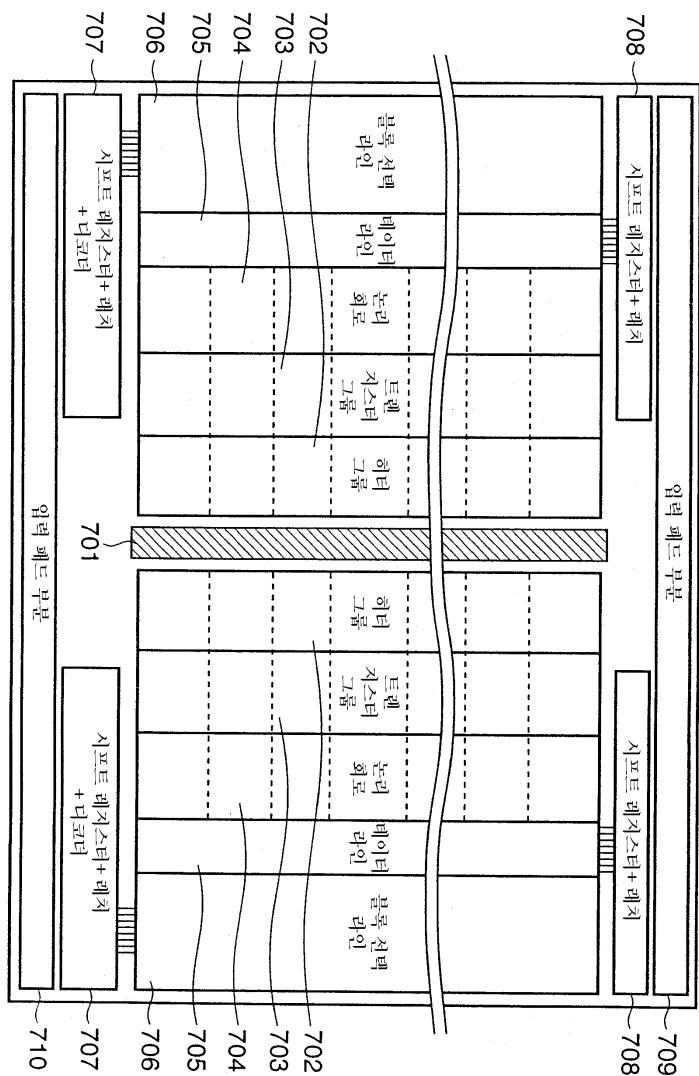
도면7



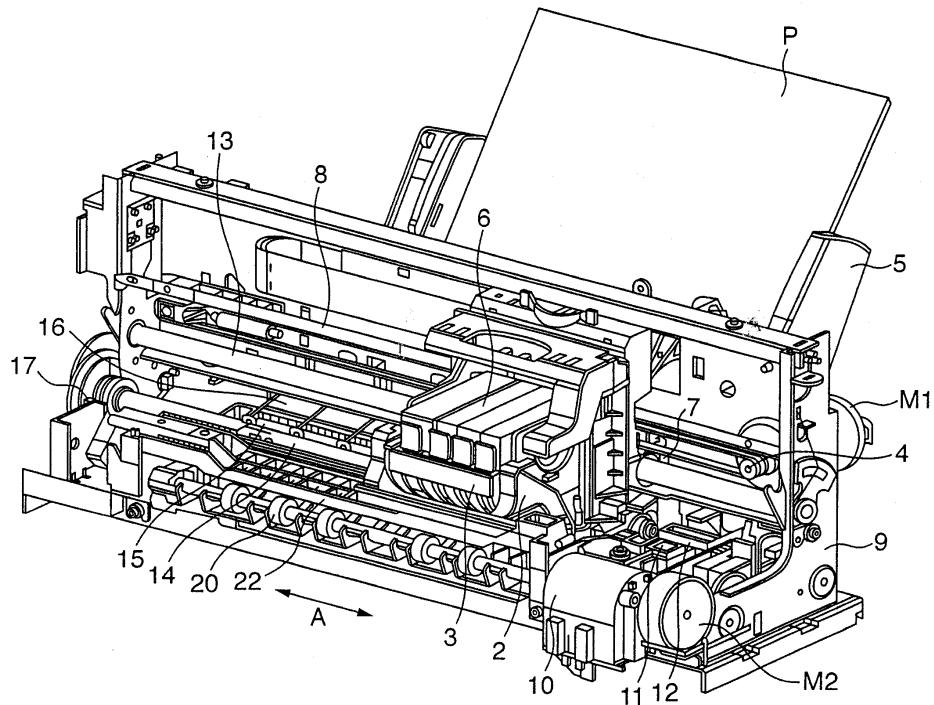
도면8



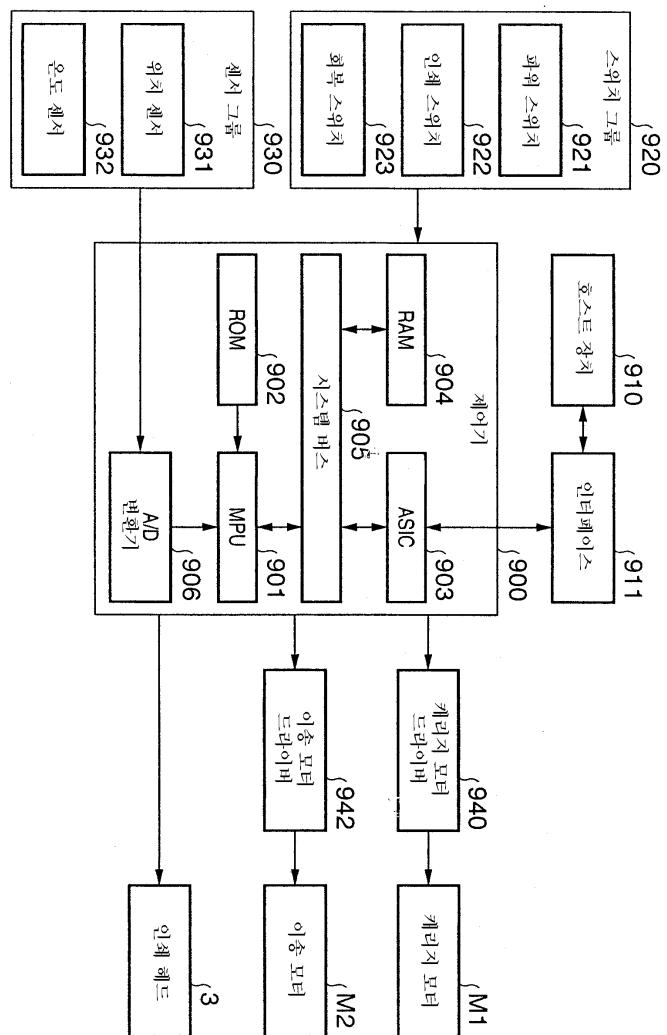
도면9



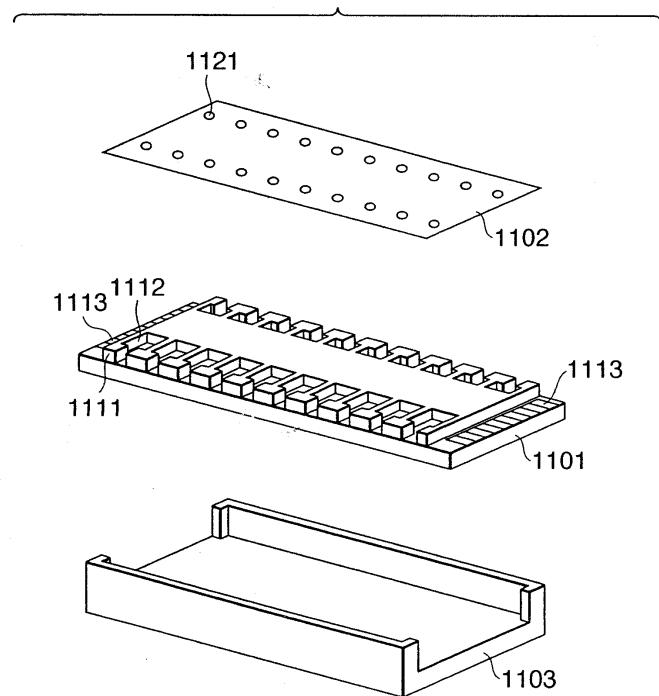
도면10



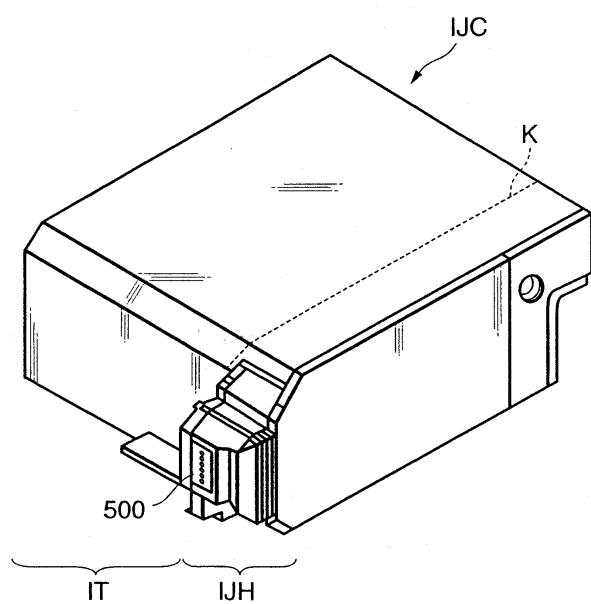
도면11



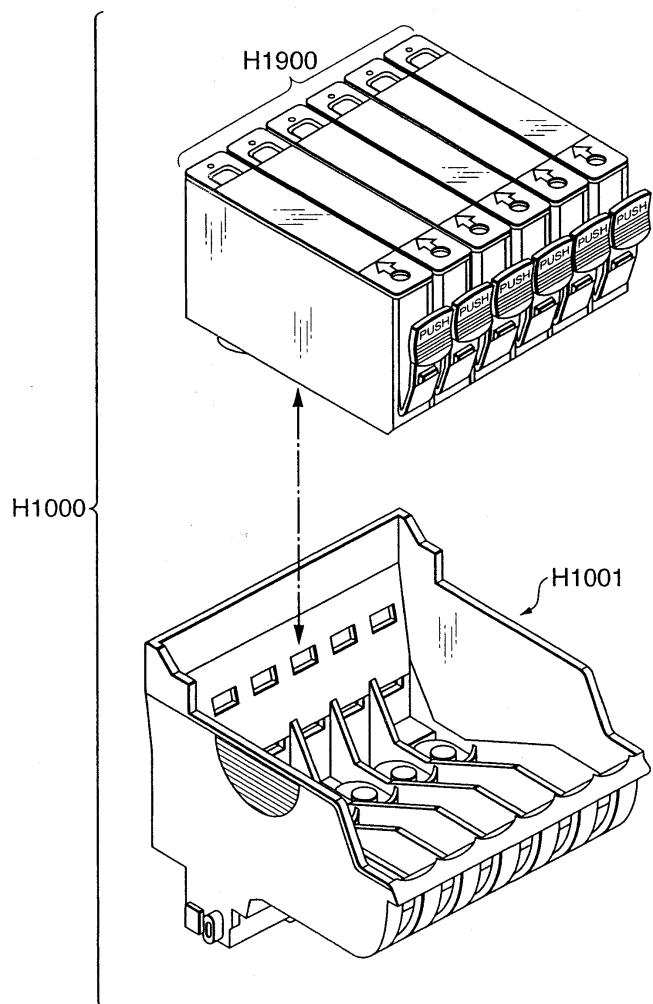
도면12



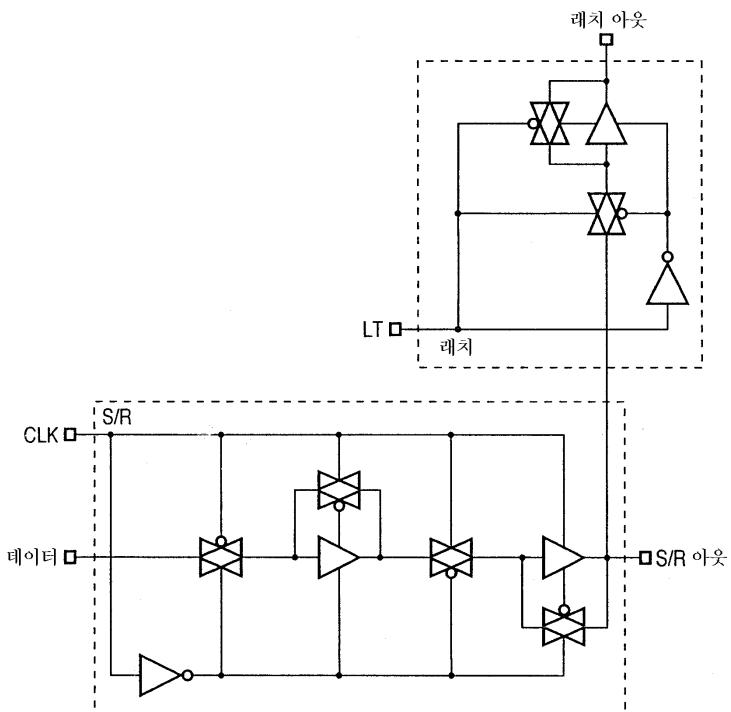
도면13



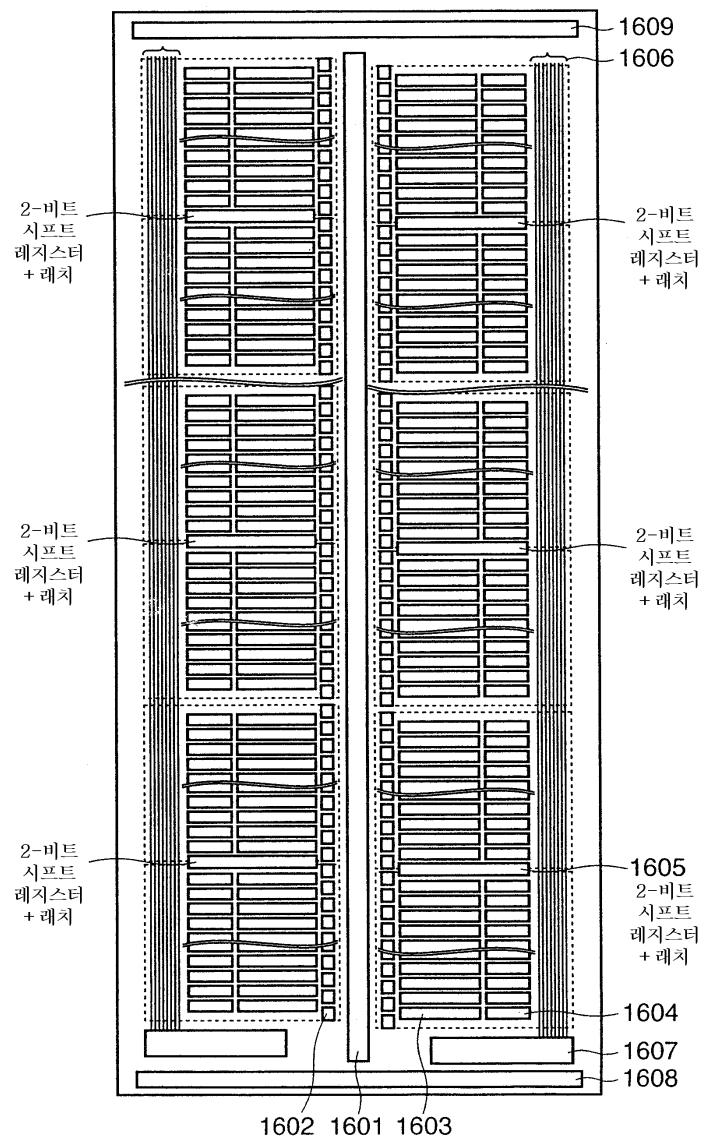
도면14



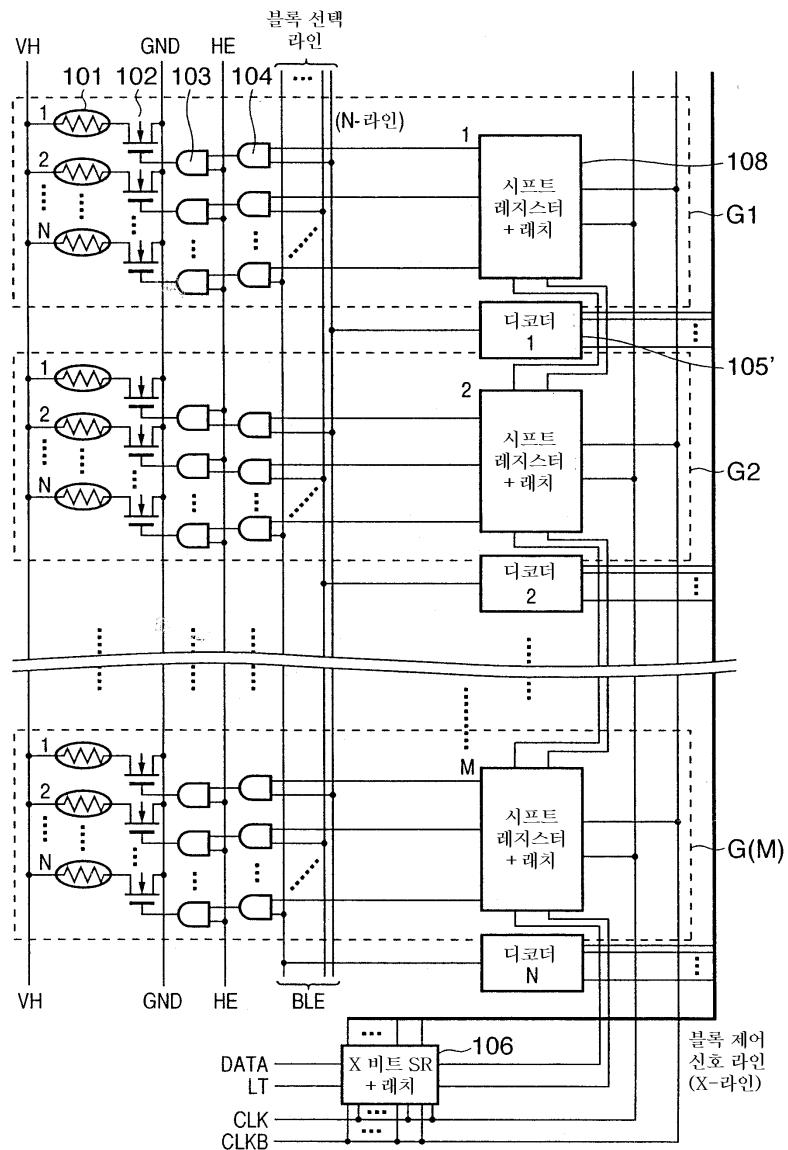
도면15



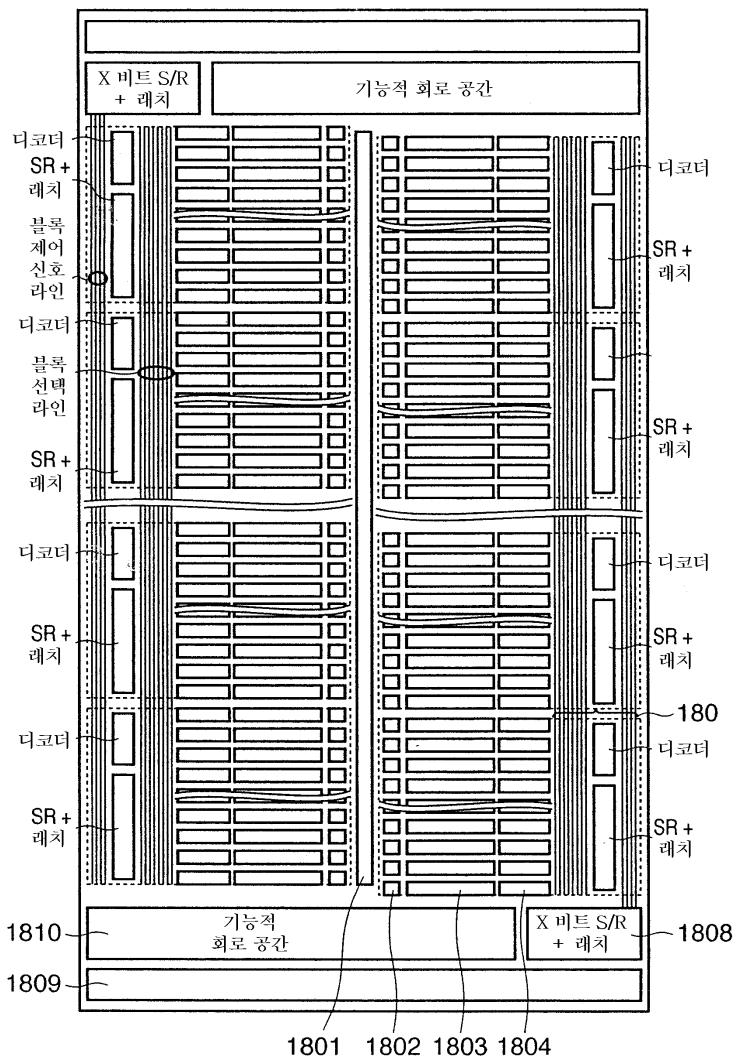
도면16



도면17



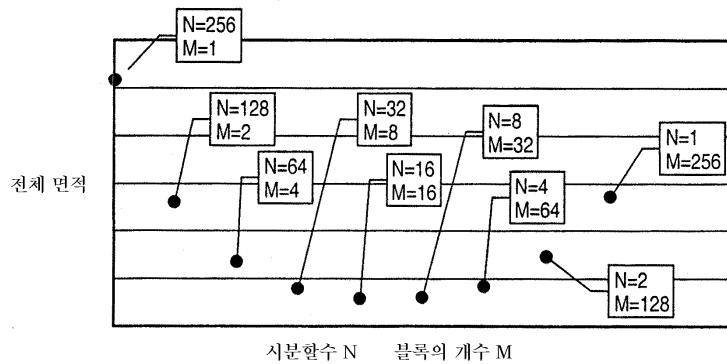
도면18



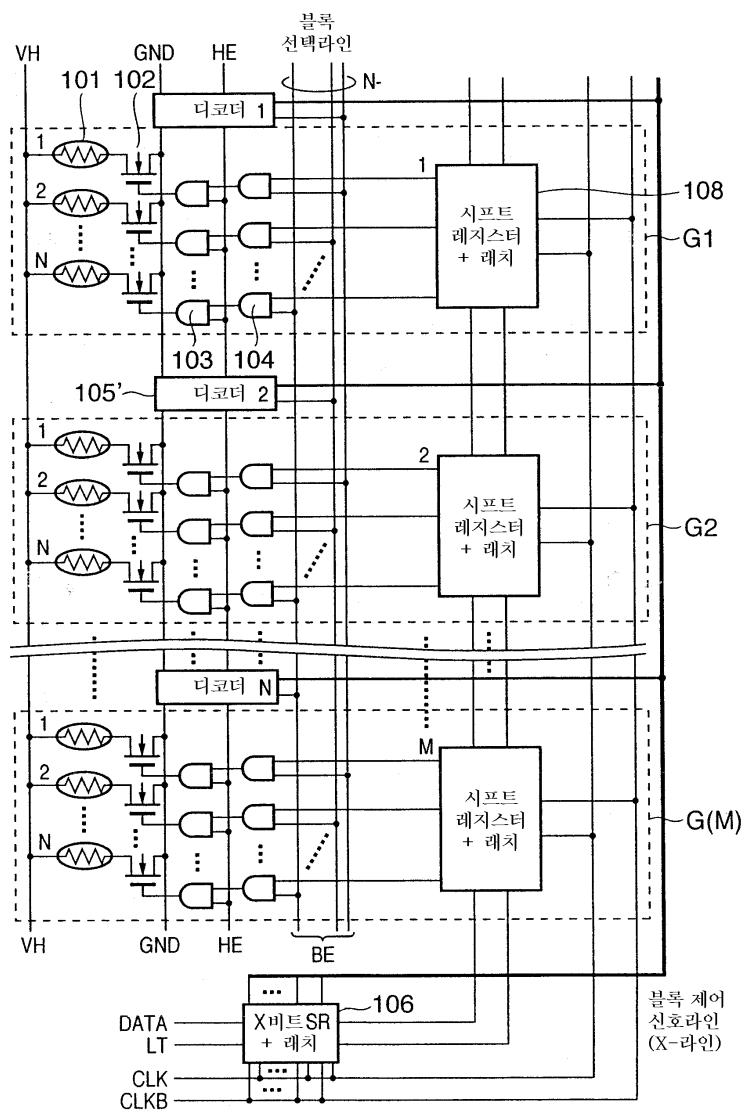
도면19

N, M	시프트 레지스터의 전체 개수	디코더의 전체 개수	전체 면적
N = 256, M = 1	9	256	274
N = 128, M = 2	9	128	146
N = 64, M = 4	10	64	84
N = 32, M = 8	13	32	58
N = 16, M = 16	20	16	56
N = 8, M = 32	35	8	78
N = 4, M = 64	66	4	136
N = 2, M = 128	129	2	260
N = 1, M = 256	256	1	513

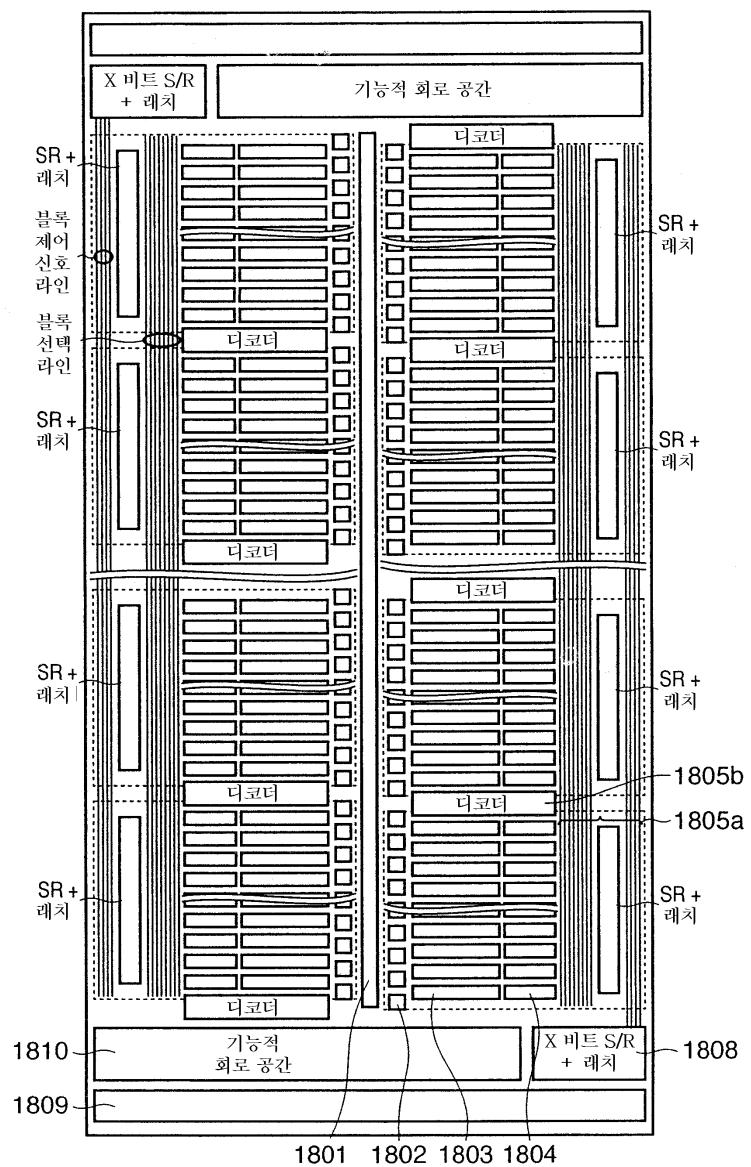
도면20



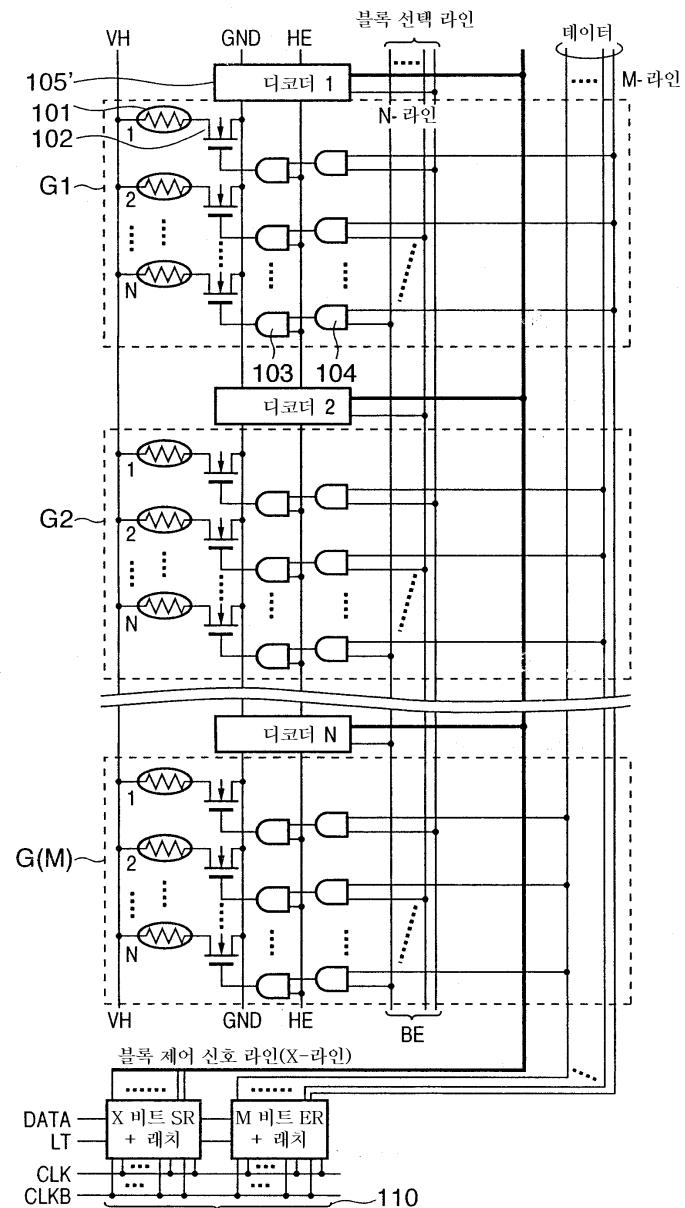
도면21



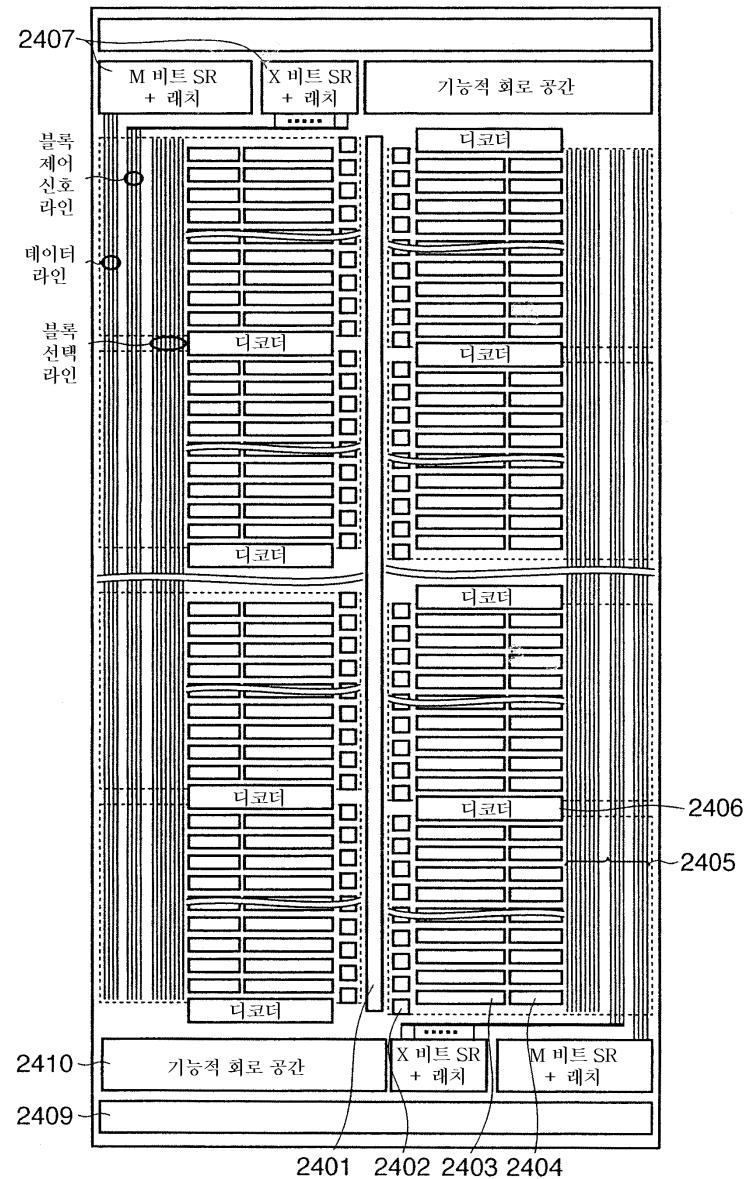
도면22



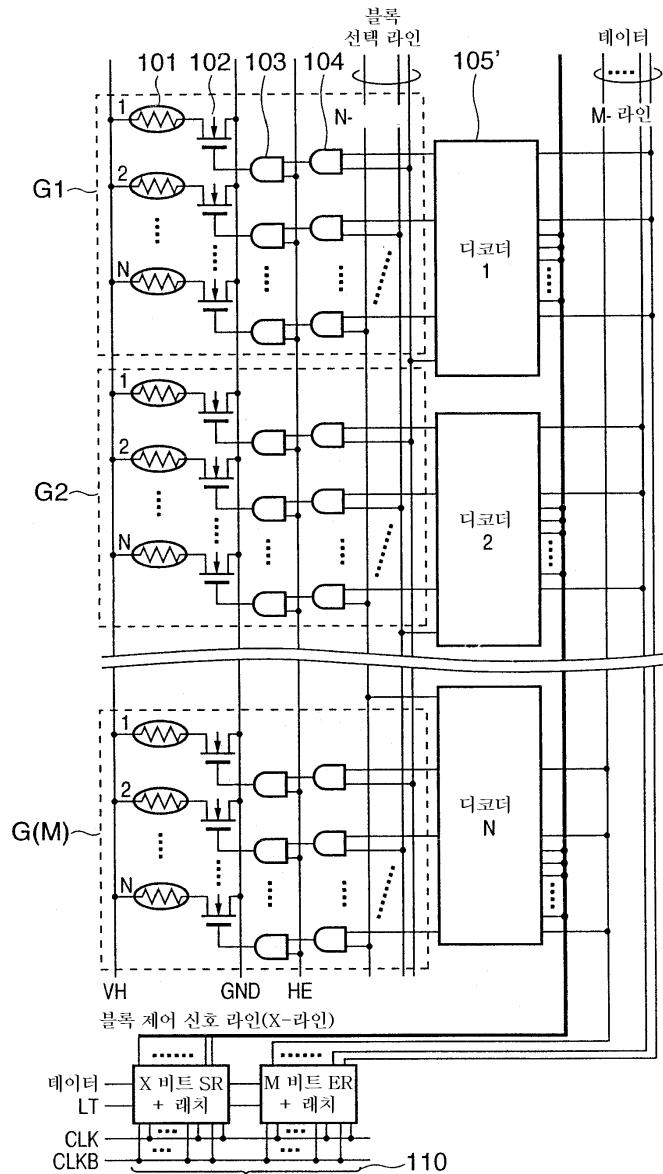
도면23



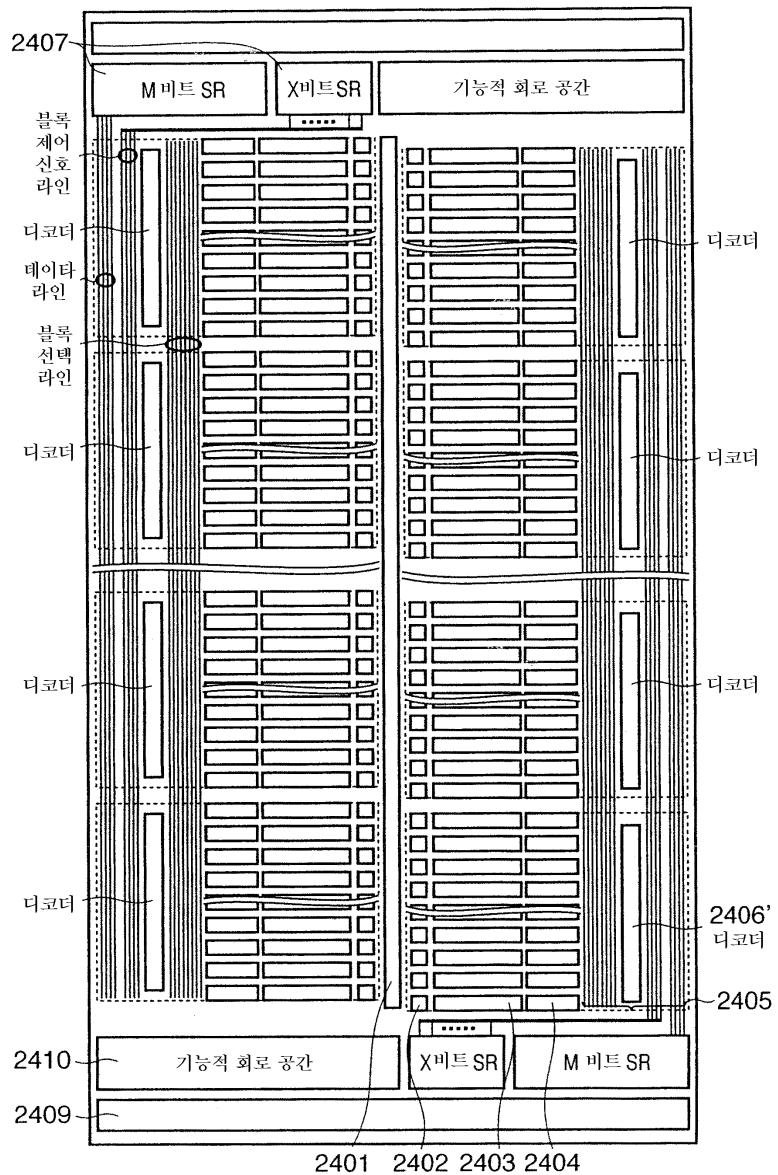
도면24



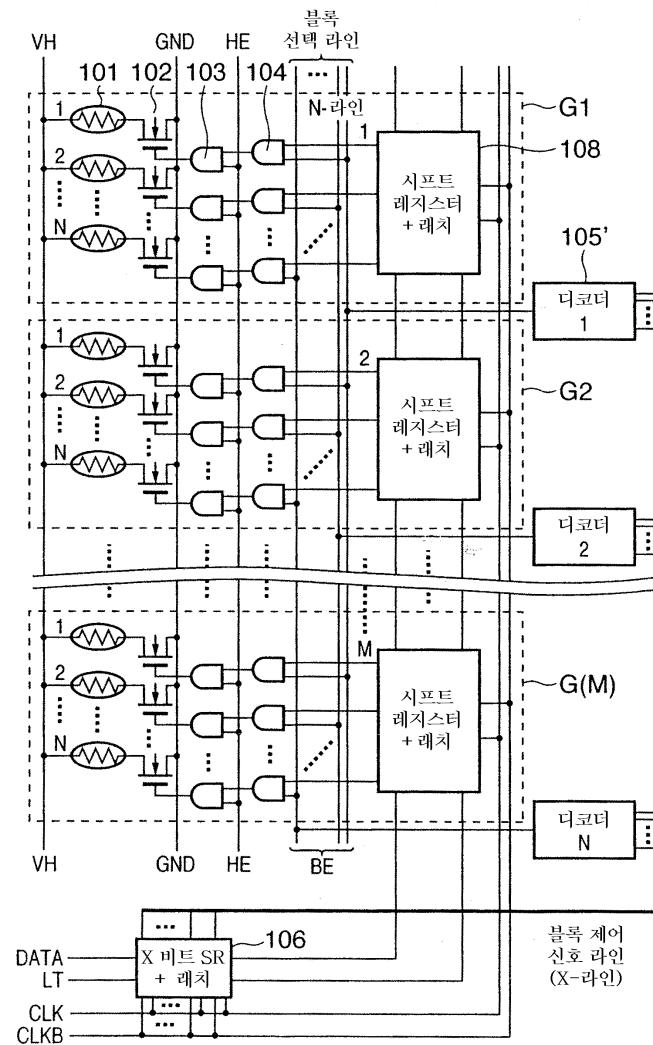
도면25



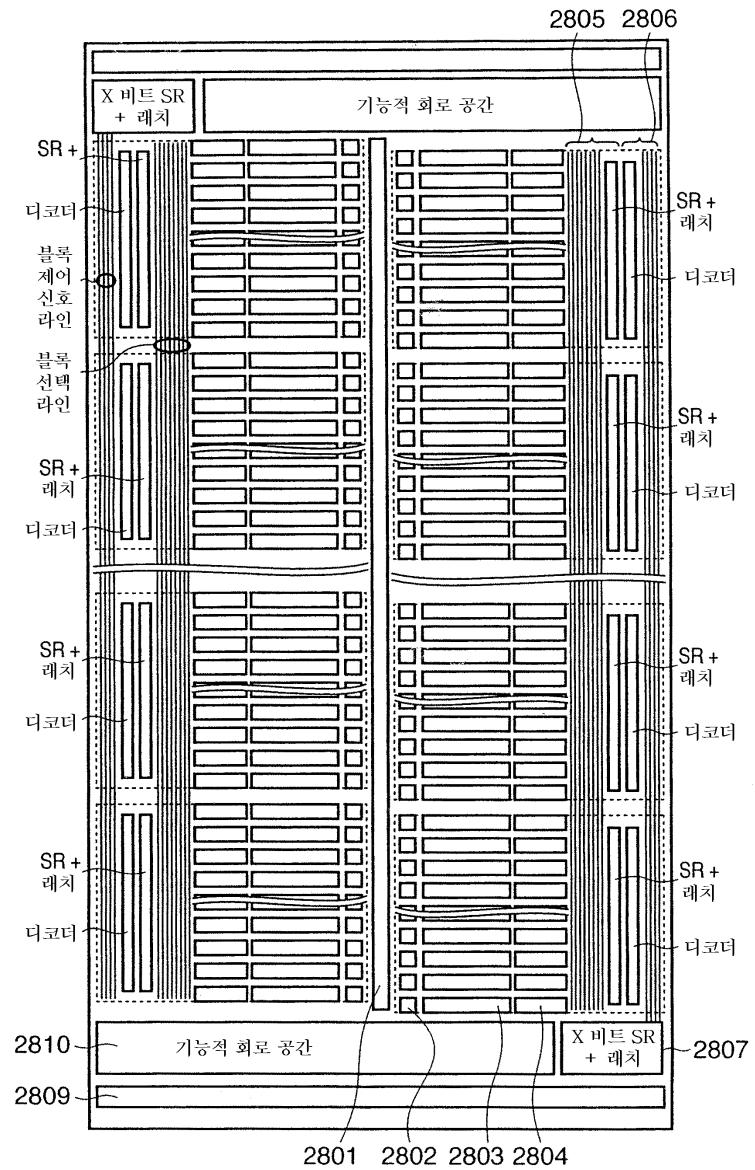
도면26



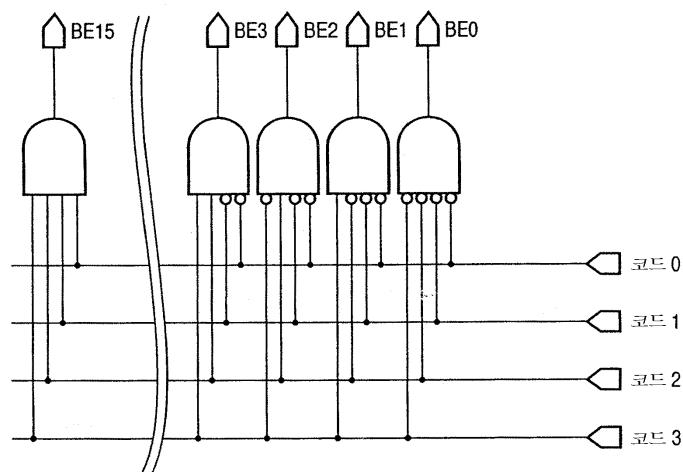
도면27



도면28



도면29



도면30

코드 0	코드 1	코드 2	코드 3	출력 하이
L	L	L	L	BE0
L	L	L	H	BE1
L	L	H	L	BE2
L	L	H	H	BE3
L	H	L	L	BE4
L	H	L	H	BE5
L	H	H	L	BE6
L	H	H	H	BE7
H	L	L	L	BE8
H	L	L	H	BE9
H	L	H	L	BE10
H	L	H	H	BE11
H	H	L	L	BE12
H	H	L	H	BE13
H	H	H	L	BE14
H	H	H	H	BE15

도면31

