

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年1月17日(17.01.2019)



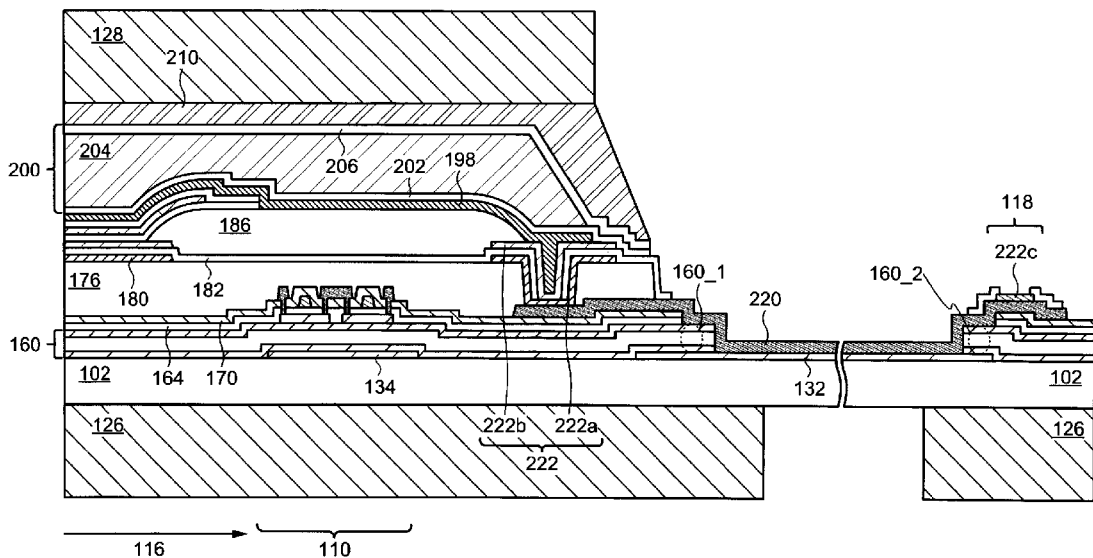
(10) 国際公開番号

WO 2019/012769 A1

- (51) 国際特許分類:
G09F 9/30 (2006.01) *H01L 29/786* (2006.01)
H01L 21/336 (2006.01) *H01L 51/50* (2006.01)
H01L 27/32 (2006.01) *H05B 33/02* (2006.01)
- (21) 国際出願番号: PCT/JP2018/015504
- (22) 国際出願日: 2018年4月13日(13.04.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-136031 2017年7月12日(12.07.2017) JP
- (71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 大原 宏樹 (OHARA Hiroki); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 丸山 哲 (MARUYAMA Satoshi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: 特許業務法人高橋・林アンドパートナーズ (TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京都大田区蒲田5-24-2 損保ジャパン日本興亜蒲田ビル9階 Tokyo (JP).

(54) Title: DISPLAY DEVICE AND METHOD FOR PRODUCING DISPLAY DEVICE

(54) 発明の名称: 表示装置、および表示装置の製造方法



(57) Abstract: Provided is a display device comprising: a first conductive film (132) that is positioned on a substrate (102) and in contact with the substrate; a first undercoat (160_1) and a second undercoat (160_2) that are positioned on the first conductive film and that are in contact with the substrate and the first conductive film; pixels on the first undercoat; and wiring (220) that is positioned on the first undercoat, the first conductive film, and the second undercoat and that is in contact with the first conductive film between the first undercoat and the second undercoat. The first undercoat and the

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

second undercoat are separated from each other on the first conductive film and each cover part of the first conductive film. The wiring is configured such that a terminal (118) into which a signal for driving the pixels is input is formed on the second undercoat.

(57) 要約: 表示装置は、基板(102)上に位置し、基板と接する第1の導電膜(132); 第1の導電膜上に位置し、基板と第1の導電膜と接する第1のアンダーコート(160_1)と第2のアンダーコート(160_2); 第1のアンダーコート上の画素; および第1のアンダーコート、第1の導電膜、および第2のアンダーコート上に位置し、第1のアンダーコートと第1のアンダーコートの間で第1の導電膜と接する配線(220)を有する。第1のアンダーコートと第2のアンダーコートは、第1の導電膜上で互いに離間し、それぞれ第1の導電膜の一部を覆う。配線は、画素を駆動するための信号が入力される端子(118)を第2のアンダーコート上に形成するように構成される。

明 細 書

発明の名称：表示装置、および表示装置の製造方法

技術分野

[0001] 本発明は、表示装置とその製造方法に関する。例えば、発光素子を有する表示装置とその製造方法に関する。

背景技術

[0002] 表示装置の一例として、液晶表示装置や有機EL (Electroluminescence) 表示装置が挙げられる。これらの表示装置は、基板上に形成された複数の画素の各々に表示素子として液晶素子や有機発光素子（以下、発光素子）を有している。液晶素子や発光素子是一对の電極（陰極、陽極）間に液晶性を示す化合物を含む層、あるいは発光性有機化合物を含む層（以下、電界発光層、あるいはEL層）を有しており、電極間に電圧を印加する、あるいは電流を供給することで駆動される。

[0003] 基板として可撓性を有する基板を用いることで、表示装置全体に可撓性を付与することができる。これにより、湾曲した形状を有する表示装置や、ユーザが自由に変形可能な表示装置が提供される。表示装置を湾曲させる場合、表示に関与しない部分（額縁）が表示領域と重なるように基板を折り曲げることで、額縁の見かけ上の面積が小さくなり、デザイン性に優れた表示装置を提供することができる（特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2012-128006号公報

発明の概要

課題を解決するための手段

[0005] 本発明の実施形態の一つは表示装置である。この表示装置は、基板上に位置し、基板と接する第1の導電膜；第1の導電膜上に位置し、基板と第1の導電膜と接する第1のアンダーコートと第2のアンダーコート；第1のアン

ダーコート上の画素；第1のアンダーコート、第1の導電膜、および第2のアンダーコート上に位置し、第1のアンダーコートと第2のアンダーコートの間で第1の導電膜と接する配線；および第2のアンダーコート上に位置し、配線と電氣的に接続される端子を有する。第1のアンダーコートと第2のアンダーコートは、第1の導電膜上で互いに離間し、それぞれ第1の導電膜の一部を覆う。配線は、画素を駆動するための信号が入力される端子を第2のアンダーコート上に形成するように構成される。

[0006] 本発明の実施形態の一つは表示装置である。この表示装置は、基板上に位置し、基板と接し、第1の層、第1の層上の第2の層、第2の層上の第3の層を有するアンダーコート；第1の層と第2の層の間の第1の導電膜；第3の層上の画素と端子；および第3の層上に位置し、画素と端子を電氣的に接続する配線を有する。第2の層と第3の層のそれぞれは、第1の導電膜が露出されるよう、第1の導電膜上において分断される。配線は、第1の導電膜が第2の層と第3の層から露出した領域において第1の導電膜と接する。上記領域は、画素と端子の間に位置する。

[0007] 本発明の実施形態の一つは表示装置である。この表示装置は、基板上に位置し、基板と接するアンダーコート；アンダーコート上に位置し、半導体膜、ゲート電極、半導体膜とゲート電極間のゲート絶縁膜、および半導体膜、ゲート電極、ゲート絶縁膜上の層間絶縁膜を含むトランジスタを有する画素；アンダーコート上に位置し、アンダーコートと接し、半導体膜と同一の層に存在する第1の導電膜；層間絶縁膜上の配線；および前記相関膜上に位置し、配線と電氣的に接続される端子を有する。ゲート絶縁膜と層間絶縁膜のそれぞれは、第1の導電膜が露出されるよう、第1の導電膜上において分断される。配線は、第1の導電膜がゲート絶縁膜と層間絶縁膜から露出した領域において第1の導電膜と接する。配線は、画素を駆動するための信号が入力される端子を層間絶縁膜上に形成するよう構成される。上記領域は、画素と端子の間に位置する。

[0008] 本発明の実施形態の一つは表示装置である。この表示装置は、基板上に位

置し、基板と接するアンダーコート；アンダーコート上に位置し、半導体膜、ゲート電極、半導体膜とゲート電極間のゲート絶縁膜、および半導体膜、ゲート電極、ゲート絶縁膜上の層間絶縁膜を含むトランジスタを有する画素；ゲート絶縁膜上に位置し、ゲート絶縁膜と接し、ゲート電極と同一の層に存在する第1の導電膜；層間絶縁膜上の配線；および層間絶縁膜上に位置し、配線と電氣的に接続される端子を有する。層間絶縁膜は、第1の導電膜が露出されるよう、第1の導電膜上において分断される。配線は、第1の導電膜が層間絶縁膜から露出した領域において第1の導電膜と接する。上記領域は、画素と端子の間に位置する。

図面の簡単な説明

[0009] [図1]一実施形態に係る表示装置の模式的上面図。

[図2]一実施形態に係る表示装置の模式的側面図。

[図3]一実施形態に係る表示装置の画素の等価回路の一例。

[図4]一実施形態に係る表示装置の模式的断面図。

[図5]一実施形態に係る表示装置の模式的断面図。

[図6A]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図6B]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図7A]一実施形態に係る表示装置の製造方法を示す模式的上面図。

[図7B]一実施形態に係る表示装置の製造方法を示す模式的上面図。

[図8A]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図8B]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図9A]一実施形態に係る表示装置の製造方法を示す模式的上面図。

[図9B]一実施形態に係る表示装置の製造方法を示す模式的上面図。

[図10A]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図10B]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図11A]一実施形態に係る表示装置の製造方法を示す模式的上面図。

[図11B]一実施形態に係る表示装置の製造方法を示す模式的上面図。

[図12A]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図12B]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図12C]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図12D]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図12E]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図13A]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図13B]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図14A]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図14B]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図15]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図16]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図17A]一実施形態に係る表示装置の模式的断面図。

[図17B]一実施形態に係る表示装置の模式的断面図。

[図18A]一実施形態に係る表示装置の模式的断面図。

[図18B]一実施形態に係る表示装置の模式的断面図。

[図19A]一実施形態に係る表示装置の模式的断面図。

[図19B]一実施形態に係る表示装置の模式的断面図。

[図20A]従来技術に係る表示装置の製造方法を示す模式的断面図。

[図20B]一実施形態に係る表示装置の製造方法を示す模式的断面図。

発明を実施するための形態

[0010] 以下、本発明の各実施形態について、図面等を参照しつつ説明する。但し、本発明は、その要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施形態の記載内容に限定して解釈されるものではない。

[0011] 図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図において、既出の図に関して説明したものと同様の機能を備えた要素には、同一の符号を付して、重複する説明を省略することがある。

[0012] 本明細書と請求項において、ある一つの膜を加工して複数の膜を形成した場合、これら複数の膜は異なる機能、役割を有することがある。しかしながら、これら複数の膜は同一の工程で同一層として形成された膜に由来し、同一の材料を有する。したがって、これら複数の膜は同一層に存在しているものと定義する。

[0013] 本明細書および請求項において、ある構造体の上に他の構造体を配置する態様を表現するにあたり、単に「上に」と表記する場合、特に断りの無い限りは、ある構造体に接するように、直上に他の構造体を配置する場合と、ある構造体の上方に、さらに別の構造体を介して他の構造体を配置する場合との両方を含むものとする。

[0014] 本明細書において、類似する複数の構成要素をそれぞれ区別して指す場合、符号の後にアンダーバーと自然数を用いて表記する。これらを互いに区別せずに全体、あるいはそのうちの任意に選択される複数の場合には、符号のみを用いる。

[0015] 本明細書および請求項において、「ある構造体が他の構造体から露出するという」という表現は、ある構造体の一部が他の構造体によって覆われていない態様を意味し、この他の構造体によって覆われていない部分は、さらに別の構造体によって覆われる態様も含む。

[0016] <第1実施形態>

本発明の実施形態の一つである表示装置100の構造と製造方法を以下に説明する。

[0017] [1. 全体構造]

図1に表示装置100の上面模式図を示す。表示装置100は基板102を有し、その上にパターンニングされた種々の絶縁膜、半導体膜、導電膜を有する。これらの絶縁膜、半導体膜、導電膜により、複数の画素104や画素104を駆動するための駆動回路（ゲート側駆動回路108、ソース側駆動回路110）が形成される。複数の画素104は周期的に配置され、これらによって表示領域106が定義される。後述するように、各画素104には

表示素子が設けられる。以下、表示素子として発光素子 130 が画素 104 に形成された例を用いて説明する。

[0018] ゲート側駆動回路 108 やソース側駆動回路 110 は、表示領域 106 外（周辺領域）に配置される。表示領域 106 やゲート側駆動回路 108、ソース側駆動回路 110 からはパターンニングされた導電膜で形成される種々の配線（図 1 では図示しない）が基板 102 の一辺へ延び、配線は基板 102 の端部付近で露出されて映像信号端子 116、電源端子 118、120 などの端子を形成する。これらの端子はフレキシブル印刷回路基板（FPC）114 と電氣的に接続される。ここで示した例では、FPC 114 上に、半導体基板上に形成された集積回路を有する駆動 IC 112 がさらに搭載される。ソース側駆動回路 110 の機能は、駆動 IC 112 に統合されていても良いし、駆動 IC 112 は、FPC 114 上でなく基板 102 上に実装されていても良い。駆動 IC 112、FPC 114 を介して外部回路（図示しない）から映像信号が供給され、映像信号は映像信号端子 116 を通してゲート側駆動回路 108、ソース側駆動回路 110 へ与えられる。一方、画素 104 内の発光素子 130 へ供給される電源が FPC 114、電源端子 118、120 を介して表示装置 100 に与えられる。電源端子 120 には高電位（PVD）が供給され、電源端子 118 には PVD よりも低い電位（PVS）が供給される。これらの映像信号や電位に基づく信号が各画素 104 に与えられ、画素 104 が制御、駆動される。

[0019] 基板 102 として可撓性を有する基板を用いることで、表示装置 100 に可撓性を付与することができ、例えば図 2 の側面図に示すように、FPC 114 やそれに接続される端子が表示領域 106 と重なるように、端子と表示領域 106 の間で表示装置 100 を折り曲げることができる。この時、折りたたまれた形状を安定化させるためにスペーサ 122 を設けてもよい。スペーサ 122 は基板 102 によってその外周の少なくとも一部が覆われる。

[0020] [2. 画素の構造]

2-1. 画素回路

各画素104には、パターニングされた種々の絶縁膜や半導体膜、導電膜によって発光素子130を含む画素回路が形成される。画素回路の構成は任意に選択することができ、その一例を等価回路として図3に示す。

[0021] 図3に示した画素回路は、発光素子130に加え、駆動トランジスタ140、第1のスイッチングトランジスタ142、第2のスイッチングトランジスタ144、保持容量150、付加容量152を含む。発光素子130、駆動トランジスタ140、第2のスイッチングトランジスタ144は、高電位電源線154と低電位電源線156との間で直列に接続される。高電位電源線154と低電位電源線156には、それぞれPVDD、PVSSが与えられる。

[0022] 本実施形態では、駆動トランジスタ140はnチャネル型とし、高電位電源線154側の入出力端子をドレイン、発光素子130側の入出力端子をソースとする。駆動トランジスタ140のドレインは第2のスイッチングトランジスタ144を介して高電位電源線154と電氣的に接続され、ソースが発光素子130の画素電極184と電氣的に接続される。

[0023] 駆動トランジスタ140のゲートは、第1のスイッチングトランジスタ142を介して第1の信号線VSLと電氣的に接続される。第1のスイッチングトランジスタ142は、そのゲートに接続される第1の走査信号線SLAに与えられる走査信号SGによって動作（オン／オフ）が制御される。第1のスイッチングトランジスタ142がオンのとき、第1の信号線VSLの電位が駆動トランジスタ140のゲートに与えられる。第1の信号線VSLには、初期化信号Viniと映像信号Vsigが所定のタイミングで与えられる。初期化信号Viniは一定レベルの初期化電位を与える信号である。第1のスイッチングトランジスタ142は、第1の信号線VSLに同期して、所定のタイミングでオン／オフが制御され、駆動トランジスタ140のゲートに初期化信号Vini、または映像信号Vsigに基づく電位を与える。

[0024] 駆動トランジスタ140のドレインには、第2の信号線VRSが電氣的に接続される。第2の信号線VRSには、第3のスイッチングトランジスタ1

46を介してリセット電位 V_{rst} が与えられる。第3のスイッチングトランジスタ146を通してリセット信号 V_{rst} が印加されるタイミングは、第3の信号線SLCに与えられるリセット信号RGによって制御される。

[0025] 駆動トランジスタ140のソースとゲートとの間には、保持容量150が設けられる。付加容量152の一方の端子は駆動トランジスタ140のソースに接続され、他方の端子が高電位電源線154に接続される。付加容量152は、他方の端子が低電位電源線156に接続されるように設けてもよい。保持容量150と付加容量152は、映像信号 V_{sig} を駆動トランジスタ140のゲートに与えるとき、映像信号 V_{sig} に応じたゲートソース間電圧 V_{gs} を保持するために設けられる。

[0026] ソース側駆動回路110は、第1の信号線VSLに初期化信号 V_{ini} 、または映像信号 V_{sig} を出力する。一方、ゲート側駆動回路108は第1の走査信号線SLAに走査信号SGを出力し、第2の走査信号線SLBに走査信号BGを出力し、第3の信号線SLCにリセット信号RGを出力する。

[0027] 図3に示した画素回路において、駆動トランジスタ140と、第1のスイッチングトランジスタ142は、図1に示した画素104のそれぞれに設けられる必要があるが、第2のスイッチングトランジスタ144は、近接する複数の画素104間で共有されても良い。具体例を挙げると、同一走査行に属し、互いに近接する複数の画素104間で第2のスイッチングトランジスタ144を共有することができる。また、図3で示した例では、第3のスイッチングトランジスタ146はゲート側駆動回路108に設けられるが、第3のスイッチングトランジスタ146は各画素回路に設置してもよい。また、第2のスイッチングトランジスタ144と同様、第3のスイッチングトランジスタ146は近接する複数の画素104間で共有されても良い。

[0028] 2-2. 断面構造

画素104の断面構造を図面を用いて説明する。図4では、基板102上に形成された隣接する二つの画素104の画素回路のうち、駆動トランジスタ140、保持容量150、付加容量152、発光素子130の断面構造が

示されている。

[0029] 画素回路に含まれる各素子はアンダーコート 160 を介し、基板 102 上に設けられる。駆動トランジスタ 140 は、半導体膜 162、ゲート絶縁膜 164、ゲート電極 166、ドレイン電極 172、ソース電極 174 を含む。ゲート電極 166 は、ゲート絶縁膜 164 を介して半導体膜 162 の少なくとも一部と交差するように配置され、半導体膜 162 とゲート電極 166 が重なる領域にチャネルが形成される。半導体膜 162 はさらに、チャネルを挟持するドレイン領域 162 a、ソース領域 162 b を有する。

[0030] 各画素 104 は、任意の構成として、駆動トランジスタ 140 などの画素回路中のトランジスタと重なるように導電膜（以下、第 2 の導電膜）134 を有してもよい。第 2 の導電膜 134 は、各トランジスタと基板 102 の間に設けることができ、例えば図 4 に示すように、基板 102 とアンダーコート 160 の間に設けられる。第 2 の導電膜 134 は各トランジスタ全体と重なる必要は無く、少なくとも各トランジスタのチャネルと重なるように設ければよい。第 2 の導電膜 134 は、アルミニウムや銅、クロム、モリブデン、タングステン、チタンなどの金属やその合金を含み、単層構造、あるいは積層構造を有するように形成される。第 2 の導電膜 134 は、可視光や紫外光を透過しない厚さで形成され、その厚さは具体的には 20 nm から 100 nm である。これにより、画素回路中のトランジスタの光による特性変動を抑制することができる。第 2 の導電膜 134 は電氣的に浮遊していてもよいが、それと重なるトランジスタのゲート電極と電氣的に接続されてゲート電極と等電位となるように構成されてもよい。また、例えば接地電位や基板上の特定の電源電位など、ゲート電極の電位と異なる電位が供給されるように第 2 の導電膜 134 を構成してもよい。これによってトランジスタの特性を精密に制御することができる。なお、第 2 の導電膜 134 を設けない場合、各トランジスタのチャネルの下では、基板 102 とアンダーコート 160 が直接接する。

[0031] ゲート絶縁膜 164 を介し、ゲート電極 166 と同一の層に存在する容量

電極 1 6 8 がソース領域 1 6 2 b と重なるように設けられる。ゲート電極 1 6 6、容量電極 1 6 8 の上には層間絶縁膜 1 7 0 が設けられる。層間絶縁膜 1 7 0 とゲート絶縁膜 1 6 4 には、ドレイン領域 1 6 2 a、ソース領域 1 6 2 b に達する開口が形成され、この開口を覆うようにドレイン電極 1 7 2、ソース電極 1 7 4 が配置される。ソース電極 1 7 4 の一部は、層間絶縁膜 1 7 0 を介してソース領域 1 6 2 b の一部と容量電極 1 6 8 と重なり、ソース領域 1 6 2 b の一部、ゲート絶縁膜 1 6 4、容量電極 1 6 8、層間絶縁膜 1 7 0、およびソース電極 1 7 4 の一部によって保持容量 1 5 0 が形成される。

[0032] 駆動トランジスタ 1 4 0 や保持容量 1 5 0 の上にはさらに平坦化膜 1 7 6 が設けられる。平坦化膜 1 7 6 は、ソース電極 1 7 4 に達する開口を有し、この開口と平坦化膜 1 7 6 の上面の一部を覆う接続電極 1 7 8 がソース電極 1 7 4 と接するように設けられる。平坦化膜 1 7 6 上にはさらに付加容量電極 1 8 0 が設けられる。接続電極 1 7 8 や付加容量電極 1 8 0 は同時に形成することができ、同一の層に存在することができる。接続電極 1 7 8 と付加容量電極 1 8 0 を覆うように容量絶縁膜 1 8 2 が形成される。容量絶縁膜 1 8 2 は、平坦化膜 1 7 6 の開口では接続電極 1 7 8 の一部を覆わず、接続電極 1 7 8 の上面を露出する。これにより、接続電極 1 7 8 を介し、その上に設けられる画素電極 1 8 4 とソース電極 1 7 4 間の電氣的接続が可能となる。容量絶縁膜 1 8 2 には、その上に設けられる隔壁 1 8 6 と平坦化膜 1 7 6 の接触を許容するための開口 1 8 8 を設けてもよい。開口 1 8 8 を通して平坦化膜 1 7 6 中の不純物を除去することができ、これによって発光素子 1 3 0 の信頼性を向上させることができる。なお、接続電極 1 7 8 や開口 1 8 8 の形成は任意である。

[0033] 容量絶縁膜 1 8 2 上には、接続電極 1 7 8 と付加容量電極 1 8 0 を覆うように、画素電極 1 8 4 が設けられる。容量絶縁膜 1 8 2 は付加容量電極 1 8 0 と画素電極 1 8 4 によって挟持され、この構造によって付加容量 1 5 2 が形成される。画素電極 1 8 4 は、付加容量 1 5 2 と発光素子 1 3 0 によって

共有される。

[0034] 画素電極 184 の上には、画素電極 184 の端部を覆う隔壁 186 が設けられる。画素電極 184、隔壁 186 を覆うように EL 層 190、およびその上の対向電極 198 が設けられる。

[0035] EL 層 190 は複数の層から構成することができ、例えばキャリア注入層、キャリア輸送層、発光層、キャリアブロック層、励起子ブロック層など、種々の機能層を組み合わせ形成される。EL 層 190 の構造は、すべての画素 104 間で同一でも良く、隣接する画素 104 間で一部の構造が異なるように EL 層 190 を形成してもよい。図 4 では、代表的な機能層としてホール輸送層 192、発光層 194、電子輸送層 196 が示されている。

[0036] 発光素子 130 を保護するための保護膜（以下、パッシベーション膜）200 が発光素子 130 上に配置される。パッシベーション膜 200 の構造は任意に選択することができるが、図 4 に示すように、無機化合物を含む第 1 の層 202、有機化合物を含む第 2 の層 204、および無機化合物を含む第 3 の層 206 を含む積層構造を適用することができる。

[0037] パッシベーション膜 200 上には樹脂を含む膜（以下、樹脂膜）210 が設けられる。表示装置 100 はさらに、基板 102 から樹脂膜 210 までの構造を挟持するように支持フィルム 126、128 を有しており、支持フィルム 126、128 によって適度な物理的強度が与えられる。支持フィルム 126、128 は図示しない接着層によって基板 102 や樹脂膜 210 にそれぞれ固定される。

[0038] 詳細は後述するが、アンダーコート 160、ゲート絶縁膜 164、層間絶縁膜 170、容量絶縁膜 182、第 1 の層 202、第 3 の層 206 はいずれも絶縁膜であり、窒化ケイ素や酸化ケイ素、窒化酸化ケイ素、酸化窒化ケイ素などのケイ素含有無機化合物を含む膜を含む。これらの各絶縁膜内ではケイ素含有無機化合物を含む膜が積層されていてもよい。したがって、これらの絶縁膜は、ケイ素を主な構成元素として含有する無機化合物を含む。

[0039] [3. 端子、および配線]

表示領域 106 の端部（図 1 において、表示領域 106 の下部）から電源端子 118、120、映像信号端子 116 に至る領域を中心とする断面構造の一例を図 5 に模式的に示す。ここでは表示領域 106 の一部、ソース側駆動回路 110、電源端子 118、および表示領域 106 と電源端子 118 を電氣的に接続する配線 220 の断面が示されている。

[0040] 図 5 に示すように、支持フィルム 126 は一部が除去されて二つに分断され、分断された部分の間で基板 102 の下面が露出する。支持フィルム 126 が除去された部分は可撓性が高く、この部分を利用して基板 102 を折り曲げることで、図 2 に示すような三次元構造を表示装置 100 に付与することができる。

[0041] 支持フィルム 126 が除去された領域と重なるように、導電膜（以下、第 1 の導電膜）132 が基板 102 上に、基板 102 と接するように設けられる。第 1 の導電膜 132 は第 2 の導電膜 134 と同一の層内に存在することができ、したがって、第 2 の導電膜 134 と同一の層構造や組成を有する。

[0042] アンダーコート 160 は画素 104 から電源端子 118 へ向かって延在するが、支持フィルム 126 が除去された領域では、一部が除去される。すなわち、アンダーコート 160 は、第 1 の導電膜 132 上で分断され、画素 104 が設けられる第 1 のアンダーコート 160__1 と、電源端子 118、120 や映像信号端子 116 が設けられる第 2 のアンダーコート 160__2 を与える。第 1 のアンダーコート 160__1 と第 2 のアンダーコート 160__2 はそれぞれ離間し、第 1 の導電膜 132 の一部を覆う。したがって、第 1 の導電膜 132 の一部は基板 102 と第 1 のアンダーコート 160__1 の間、あるいは基板 102 と第 2 のアンダーコート 160__2 の間に位置し、他の一部は第 1 のアンダーコート 160__1 と第 2 のアンダーコート 160__2 から露出する。

[0043] 表示領域 106 に設けられるゲート絶縁膜 164 や層間絶縁膜 170 も電源端子 118 の方向へ延在し、アンダーコート 160 と同様、第 1 の導電膜 132 と重なる領域で分断され、互いに離間した二つの部分を与える。ゲー

ト絶縁膜 164 や層間絶縁膜 170 の側面は、第 1 のアンダーコート 160__1 や第 2 のアンダーコート 160__2 の側面と同一平面上に位置してもよく、図 5 に示すように、第 1 のアンダーコート 160__1 や第 2 のアンダーコート 160__2 の上面を露出するようにゲート絶縁膜 164 や層間絶縁膜 170 を配置してもよい。

[0044] ソース側駆動回路 110 にはトランジスタなどの半導体素子が設けられ、これらによってアナログスイッチなどの種々の回路が形成される。図 5 に示すように、ソース側駆動回路 110 に設けられるトランジスタの下にも第 2 の導電膜 134 を設けてもよい。

[0045] 第 1 の導電膜 132 上には、配線 220 が設けられる。図 5 に示した例では、配線 220 は層間絶縁膜 170 と平坦化膜 176 に挟まれるように設けられる。換言すると、配線 220 は画素回路中のトランジスタのソース電極やドレイン電極と同一の層に存在する。図示しないが、配線 220 はゲート電極と同一の層内でもよい。

[0046] 配線 220 は、第 1 の導電膜 132 が第 1 のアンダーコート 160__1 と第 2 のアンダーコート 160__2 から露出する領域、すなわち、第 1 のアンダーコート 160__1 と第 2 のアンダーコート 160__2 の間で第 1 の導電膜 132 と接し、電氣的に接続される。アンダーコート 160 やゲート絶縁膜 164、層間絶縁膜 170 はこの領域で分断されるため、配線 220 はこれらの絶縁膜の側面と接する。また、図 5 に示すように、配線 220 は第 1 のアンダーコート 160__1 と第 2 のアンダーコート 160__2 の上面と接してもよい。

[0047] 表示領域 106 からは対向電極 198 が基板 102 の端部に向かって延伸し、平坦化膜 176 に設けられた開口において配線 220 と電氣的に接続される。具体的には、平坦化膜 176 は、ソース側駆動回路 110 と電源端子 118 の間において配線 220 に達する開口を有し、この開口を覆うように第 1 のコンタクト電極 222 a、第 1 のコンタクト電極 222 a 上の第 2 のコンタクト電極 222 b を含むコンタクト電極 222 が設置される。対向電

極 1 9 8 は第 2 のコンタクト電極 2 2 2 b、第 1 のコンタクト電極 2 2 2 a を介して配線 2 2 0 と電氣的に接続される。

[0048] 配線 2 2 0 はさらに、基板 1 0 2 の端部付近で第 2 のアンダーコート 1 6 0 _ 2 上に電源端子 1 1 8、1 2 0 や映像信号端子 1 1 6 を形成する。これらの端子表面は、第 1 のコンタクト電極 2 2 2 a と同層に存在する保護電極 2 2 2 c によって覆われる。上述したように、これらの端子には、画素 1 0 4 を駆動するための各種信号が入力される。

[0049] [4 . 製造方法]

以下、表示装置 1 0 0 の製造方法の一例を図 6 A から図 1 6 を用いて説明する。図 6 A、図 6 B、図 8 A、図 8 B、図 1 0 A、図 1 0 B、図 1 3 A から図 1 6 の各々は二つの図を含むが、左側は画素 1 0 4 の断面模式図であり、右側は配線 2 2 0 を中心とする断面模式図である。図 7 A、図 7 B、図 9 A、図 9 B、図 1 1 A、図 1 1 B はそれぞれ、図 6 A、図 6 B、図 8 A、図 8 B、図 1 0 A、図 1 0 B に示した段階における上面図であり、主に配線 2 2 0 や端子が形成される領域が図示されている。

[0050] 図 6 A に示すように、まず、支持基板 1 0 3 上に基板 1 0 2 を形成する。支持基板 1 0 3 は、表示装置 1 0 0 の製造工程中、表示装置 1 0 0 に含まれる種々の絶縁膜や導電膜、半導体膜を支持するものであり、ガラスや石英を含むことができる。基板 1 0 2 は可撓性の基板であり、ポリイミドやポリアミド、ポリカルボナートなどの高分子を含む。基板 1 0 2 はインクジェット法やスピンコート法、印刷法などの湿式成膜法、あるいはラミネート法などによって支持基板 1 0 3 上に設けられる。表示装置 1 0 0 に可撓性を付与しない場合には、支持基板 1 0 3 を基板 1 0 2 として用いればよい。

[0051] 次に、基板 1 0 2 上に第 1 の導電膜 1 3 2、第 2 の導電膜 1 3 4 を形成する。第 1 の導電膜 1 3 2 と第 2 の導電膜 1 3 4 は、上述した金属や合金を含み、化学気相堆積 (CVD) 法やスパッタリング法によって得られる金属膜に対してエッチングによるパターニングを行うことで形成される。第 1 の導電膜 1 3 2 と第 2 の導電膜 1 3 4 は積層構造を有してもよく、単層構造を有

してもよい。このように第1の導電膜132と第2の導電膜134を同時に形成する場合、これらは同一の組成、同一の層構造を有する。第1の導電膜132は、表示領域106と端子が形成される領域の間に位置し、のちに形成される配線220と重なるようにストライプ状に設けられる。第2の導電膜134は、画素回路中のトランジスタのチャネルと重なるように設けられる。

[0052] 次に、第1の導電膜132、第2の導電膜134上にアンダーコート160を単層構造、あるいは積層構造を有するように形成する（図6B、図7B）。アンダーコート160は基板102の全面に形成されるが、理解のため、図7Bでは一部が図示されていない。ここでは、アンダーコート160として第1の層160aから第3の層160cの積層膜が示されており、例えばシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜をそれぞれ第1の層160aから第3の層160cとして用いることができる。この場合、第1の層160aは基板102との密着性向上のため、第2の層160bは水などの不純物に対するブロック膜として、第3の層160cは第2の層160b中に含有する水素原子の拡散を防止するためのブロック膜として設けられる。ここで、シリコン酸化膜とは、ケイ素と酸素を主成分として含む膜であり、シリコン窒化膜とは、ケイ素と窒素を主成分として含む膜である。

[0053] 次に、アンダーコート160上に画素回路中のトランジスタなどが形成される（図8A）。ここでは一例として、トランジスタとしてポリシリコンを半導体膜162として有するnチャネル型の駆動トランジスタ140、および保持容量150の形成を述べるが、pチャネル型のトランジスタも同時に形成してもよい。具体的には、アンダーコート160上に、半導体膜162、ゲート絶縁膜164、ゲート電極166、容量電極168を順次形成する。半導体膜162は、ゲート電極166と重なるチャネル領域162cやドレイン領域162a、ソース領域162bに加え、チャネル領域162cとドレイン領域162aの間、チャネル領域162cとソース領域162bの間に低濃度不純物領域162dが設けられた構造を有する。ゲート絶縁膜1

64はシリコン含有無機化合物を含み、シリコン酸化膜などが用いられる。ゲート電極166や容量電極168は種々の金属から選択される金属やその合金を含む配線（第1配線）を用いて形成され、第1配線は例えばモリブデンとタングステンの積層構造を有する。容量電極168はゲート電極166と同一の層に存在し、ゲート絶縁膜164とソース領域162bとともに保持容量150の形成に用いられる。

[0054] ゲート電極166、容量電極168上には層間絶縁膜170が形成される（図8A、図9A）。層間絶縁膜170も表示領域106のみならず、端子や配線220、第1の導電膜132が形成される領域にかけて、基板102のほぼ全面に形成される。図8Bでは層間絶縁膜170は単層構造を有するように描かれているが、層間絶縁膜170は、例えばシリコン窒化膜とシリコン酸化膜を積層することで形成してもよい。理解を促進するため、図9Bではアンダーコート160とゲート絶縁膜164、層間絶縁膜170の一部は図示していない。

[0055] その後パターニングを行って、層間絶縁膜170とゲート絶縁膜164の一部を除去し、第1の導電膜132と重なる領域においてアンダーコート160を露出する（図8B、図9B）。この時、ドレイン領域162aとソース領域162bを露出するための開口も同時に形成される。

[0056] 次に、第1の導電膜132を露出する。具体的には、第1の導電膜132を露出させる領域以外を図示しないレジストマスクで覆い、アンダーコート160をエッチングにより除去する（図10A、図11A）。これによりアンダーコート160は分断されて、互いに離間する第1のアンダーコート160__1と第2のアンダーコート160__2を与え、基板102は隣接する第1の導電膜132間で露出される。図10Aでは、ゲート絶縁膜164と層間絶縁膜170の側面がアンダーコート160の上面と重なるように加工される例が示されているが、ドレイン領域162aとソース領域162bを露出するための開口を形成すると同時にアンダーコート160を除去してもよい。この場合、ゲート絶縁膜164と層間絶縁膜170の側面はアンダー

コート 160 の側面と同一平面に位置する。

[0057] 次に、導電層を第2配線を用いて形成した後エッチングを行い、ドレイン電極 172、ソース電極 174、配線 220 を形成する（図 10B、図 11B）。第2配線も単数、あるいは複数の金属膜の積層として形成することができ、アルミニウム／チタンの二層構造、チタン／アルミニウム／チタンの三層積層構造などを採用することができる。ドレイン電極 172、ソース電極 174 はそれぞれドレイン領域 162a、ソース領域 162b と接するように設けられ、これにより駆動トランジスタ 140 が形成される。ソース電極 174 の一部は容量電極 168 と重なるように配置され、ソース領域 162b、ゲート絶縁膜 164、容量電極 168、層間絶縁膜 170、およびソース電極 174 の一部で保持容量 150 が形成される。配線 220 は第1の導電膜 132 の上面、およびアンダーコート 160 の側面と接し、第1の導電膜 132 と重なるようにストライプ状に形成される。配線 220 はさらに、第1のアンダーコート 160__1 や第2のアンダーコート 160__2 の上面だけでなく、これらの上でゲート絶縁膜 164 の側面、層間絶縁膜 170 の側面と接してもよい。配線 220 は、のちに FPC 114 を接続するための電源端子 118 を与える。

[0058] 図 12A から図 12E に、図 11B の鎖線 A-A' に沿った断面模式図を示す。図 12A は第2配線によって形成された導電層がエッチングされる前の状態を模式的に表している。この時の第1の導電膜 132 の幅を W_1 とする。

[0059] 第2配線のエッチングは、図 12B に示すように、配線 220 の幅が W_1 となるよう行ってもよく、あるいは第1の導電膜 132 と配線 220 の幅が各々 W_1 よりも小さい W_2 になるよう、第2配線のエッチング時に第1の導電膜 132 に対してもエッチングを行ってもよい（図 12C）。あるいは図 12D に示すように、配線 220 の幅 W_2 が第1の導電膜 132 の幅 W_1 よりも小さくなるように第2配線に対して選択的にエッチングを行ってもよい。あるいは第1の導電膜 132 の上面と側面を覆うように配線 220 を形成してもよい。

。この場合、配線 220 の幅は W_1 よりも大きい W_3 となる。

[0060] その後、駆動トランジスタ 140 や保持容量 150、配線 220 を覆うように平坦化膜 176 を形成する（図 13 A）。平坦化膜 176 としては感光性アクリル樹脂などの有機材料が用いられ、これにより、平坦性に優れた絶縁膜を与えることができる。平坦化膜 176 は基板 102 のほぼ全面に形成した後一部を除去し、ソース電極 174 - 画素電極 184 間の接続、配線 220 - コンタクト電極 222 間の接続のための開口を形成する。同時に、第 2 のアンダーコート 160__2 上、および第 1 のアンダーコート 160__1 と第 2 のアンダーコート 160__2 の間に位置する平坦化膜 176 を除去する（図 13 B）。その後、平坦化膜 176 の除去により露出したソース電極 174 や配線 220 は、インジウムスズ酸化物（ITO）やインジウム亜鉛酸化物（IZO）などの導電性酸化物を用いて保護される。すなわち、ソース電極 174 と接続される接続電極 178、配線 220 と接続される第 1 のコンタクト電極 222 a と保護電極 222 c が形成される。これらを形成することで、引き続くプロセスにおいて、ソース電極 174 や配線 220 の劣化を防ぐことができる。同時に、付加容量電極 180 が平坦化膜 176 上に形成される（図 14 A）。

[0061] 引き続き、接続電極 178、第 1 のコンタクト電極 222 a、保護電極 222 c を覆うように容量絶縁膜 182 が形成される。容量絶縁膜 182 はケイ素含有無機化合物を含むことができ、代表的にはシリコン窒化膜が用いられる。容量絶縁膜 182 も、基板 102 のほぼ全面に絶縁膜を形成した後エッチングによるパターニングを行い、接続電極 178 と第 1 のコンタクト電極 222 a の上面、保護電極 222 c の端部を除く表面、および配線 220 が露出されるよう、一部を除去することによって形成される（図 14 A）。これにより、電源端子 118 などの端子が形成される。同時に、開口 188 が形成される。

[0062] 次に、画素電極 184 を形成する（図 14 A）。画素電極 184 の構成は任意であるが、反射電極として使用する場合、例えば IZO、銀、IZO の

三層積層構造を適用すればよい。画素電極 184 は、接続電極 178 と電氣的に接続され、かつ、付加容量電極 180 と重なるように設けられる。これにより、画素電極 184 が駆動トランジスタ 140 と電氣的に接続されるとともに、画素 104 において画素電極 184、容量絶縁膜 182、付加容量電極 180 によって付加容量 152 が形成される。また、画素電極 184 の形成と同時に、第 1 のコンタクト電極 222 a と重なり、かつ電氣的に接続されるように第 2 のコンタクト電極 222 b が形成される。

[0063] 画素電極 184 の形成後、隔壁（バンク、リブとも呼ばれる）186 を形成する（図 14 B）。隔壁 186 は、平坦化膜 176 と同様、感光性アクリル樹脂などを用いて形成される。隔壁 186 は、画素電極 184 の端部を覆うとともに、画素電極 184 の表面を発光領域として露出するように開口を有し、その開口端はなだらかなテーパ形状となるのが好ましい。開口端が急峻な形状になっていると、後に形成される EL 層 190 のカバレッジ不良を招く。ここで、平坦化膜 176 と隔壁 186 は、両者の間の容量絶縁膜 182 に設けられる開口 188 を通じて接触する。これにより、隔壁 186 形成後の熱処理などを通じて、平坦化膜 176 から脱離する水や有機化合物などの不純物を隔壁 186 を通じて開放することができる。

[0064] 隔壁 186 の形成後、EL 層 190 を形成する（図 14 B）。EL 層 190 に含まれる機能層は、蒸着法、あるいは湿式成膜法によって形成することができる。EL 層 190 の形成後、対向電極 198 を形成する。ここでは、いわゆるトップエミッション構造の発光素子 130 を形成するため、対向電極 198 は可視光に対して透光性を示すように構成される。例えばマグネシウムと銀の合金を、EL 層 190 からの出射光が透過する程度の厚さで堆積して対向電極 198 を形成する。対向電極 198 は表示領域 106 のみならず、コンタクト電極 222 を覆うように形成され、第 1 のコンタクト電極 222 a、第 2 のコンタクト電極 222 b を介して配線 220 と電氣的に接続される。これにより、電源端子 118 から与えられる電源電位（PVSS）が対向電極 198 に供給される。

[0065] 対向電極 198 の形成後、パッシベーション膜 200 を形成する。パッシベーション膜 200 は、外部から発光素子 130 へ水などの不純物が侵入することを防止することを機能の一つとして有する。図 15 に示すように、パッシベーション膜 200 は第 1 の層 202、第 2 の層 204、第 3 の層 206 が積層された構造をとることができ、例えばそれぞれシリコン窒化膜、有機樹脂膜、シリコン窒化膜として形成することができる。第 1 の層 202 と第 2 の層 204 の間、あるいは第 2 の層 204 と第 3 の層 206 の間には、密着性向上を目的として、シリコン酸化膜やアモルファスシリコン膜をさらに設けても良い。

[0066] この時、第 1 の層 202 と第 3 の層 206 は基板 102 のほぼ全面を覆うように形成され、一方第 2 の層 204 は表示領域 106 やコンタクト電極 222 を覆うものの、電源端子 118 などの端子や第 1 のアンダーコート 160__1 と第 2 のアンダーコート 160__2 の間を覆わないように設けられる。この後、図 16 に示すように、樹脂膜 210 を形成する。樹脂膜 210 は表示領域 106 やコンタクト電極 222 を選択的に覆うように設けられる。この樹脂膜 210 をマスクとしてエッチングを行い、樹脂膜 210 に覆われていない第 1 の層 202 と第 3 の層 206 を除去する。これにより、第 1 のアンダーコート 160__1 と第 2 のアンダーコート 160__2 の間において、配線 220 が露出するとともに、電源端子 118 の保護電極 222c が露出し、FPC 114 との電氣的な接続が可能となる。

[0067] 図示しないが、その後、樹脂膜 210 上に支持フィルム 128 を設け、支持基板 103 を介して光照射を行って支持基板 103－基板 102 間の接着性を低下させ、支持基板 103 を剥離する。支持基板 103 を剥離した後に支持フィルム 126 を設けることで、表示装置 100 が得られる（図 4、図 5）。

[0068] 上述したように、第 1 のアンダーコート 160__1 と第 2 のアンダーコート 160__2 の間では、アンダーコート 160 だけでなくゲート絶縁膜 164、層間絶縁膜 170、平坦化膜 176 などの絶縁膜が除去される。このた

め、この部分は可撓性が高く容易に折り曲げることができる。折り曲げられる部分にこれらの比較的固くて脆い絶縁膜を設けないため、これらの絶縁膜が破壊されることで生じる封止の破壊や配線の断線を防ぐことが可能となる。

[0069] また、上述したように、これらの絶縁膜の除去はエッチングによって行われるが、第1の導電膜132を設けない場合、アンダーコート160と基板102の間にエッチング速度差を有する条件下で、アンダーコート160の除去が行われる。しかしながら、基板102に含まれる高分子と、アンダーコート160に含まれるケイ素含有無機化合物との間に十分大きなエッチング速度差を作り出すことは必ずしも容易ではなく、アンダーコート160のエッチングの際に基板102がオーバーエッチングされやすい。その結果、図20Aに示すように基板102とアンダーコート160の間に段差230が生じ、この段差230はその上に形成される配線220の断線を引き起こし（図中、点線円で囲った部分）、信頼性や歩留まりの低下の原因となる。また、基板102がさらにサイドエッチングされることで基板102とアンダーコート160の間に隙間が生じる。この隙間に配線220のエッチング残渣が残留すると、配線220間のショートを誘発し、表示不良が発生する、あるいは表示装置100が破壊される。

[0070] しかしながら表示装置100は第1の導電膜132を基板102上に有している。金属膜である第1の導電膜132と酸化ケイ素や窒化ケイ素を含有する無機化合物を含む膜との間には大きなエッチング速度差を作り出すことが可能であるため、アンダーコート160の除去の際、第1の導電膜132はほとんどエッチングされず、エッチングストッパーとして機能する（図20B）。したがって、基板102のオーバーエッチングやサイドエッチングに起因する配線220の断線や配線220間のショートなどの不良発生を効果的に抑制することができるため、高い信頼性を表示装置に付与することができるのみならず、高い歩留りで表示装置を製造することが可能となる。

[0071] <第2実施形態>

第1実施形態では、第1の導電膜132や第2の導電膜134が基板102とアンダーコート160に挟まれる構成を示したが、第1の導電膜132とアンダーコート160の位置関係はこれに限られない。例えばアンダーコート160が複数の層から構成され、これら複数の層から選択される二つの層の間に第1の導電膜132と第2の導電膜134が配置されてもよい。具体的には図17A、図18Aに示すように、アンダーコート160は第1の層160a、第2の層160b、第3の層160cの三つの層を有し、第1の導電膜132と第2の導電膜134が第1の層160aと第2の層160bの間に位置するように表示装置100を構成してもよい。したがって配線220は、第2の層160b、第3の層160c、ゲート絶縁膜164、および層間絶縁膜170の側面と接する。

[0072] あるいは図17B、図18Bに示すように、第1の導電膜132と第2の導電膜134が第2の層160bと第3の層160cの間に位置するように表示装置100を構成してもよい。これらの構造では、アンダーコート160は一部が分断され、第1のアンダーコート160__1と第2のアンダーコート160__2は一部の層を共有する。配線220は、第3の層160c、ゲート絶縁膜164、および層間絶縁膜170の側面と接する。

[0073] あるいは、第1の導電膜132は、アンダーコート160の上に形成してもよい。例えば図19Aに示すように、第1の導電膜132をアンダーコート160とゲート絶縁膜164の間に設けてもよい。この場合、第1の導電膜132は、半導体膜162と同一層に存在することができ、ソース領域162bやドレイン領域162aと同様の組成を有することができる。例えば第1の導電膜132は、n型やp型の導電性を付与するドーパント（リン、窒素、ホウ素、アルミニウムなど）とシリコン、あるいは第13族元素の酸化物を含む。この場合、図示していないが、画素104においては、基板102とアンダーコート160の間、あるいはアンダーコート160の複数の層から選択される二つの層の間に金属膜として第2の導電膜134が設けられる。

- [0074] あるいは図 19B に示すように、第 1 の導電膜 132 をゲート絶縁膜 164 と層間絶縁膜 170 の間に設けてもよい。この場合、第 1 の導電膜 132 は、ゲート電極 166 や容量電極 168 と同一層に存在することができる。図示していないが、この場合にも画素 104 において、基板 102 とアンダーコート 160 の間、あるいはアンダーコート 160 の複数の層から選択される二つの層の間に金属膜として第 2 の導電膜 134 が設けられる。本実施形態で述べた表示装置 100 の他の構造は第 1 実施形態のそれと同様であるため、説明は省略する。
- [0075] これらの構成を有する表示装置 100 では、第 1 の導電膜 132 が配置される領域において絶縁膜の除去によって形成される段差が小さくなるため、表示装置 100 を折り曲げた時に配線 220 に掛かる負荷が小さくなる。このため、配線 220 の断線が生じにくく、表示装置に高い信頼性を付与することができる。
- [0076] 本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。また、各実施形態の表示装置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、または、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。
- [0077] 本明細書においては、開示例として主に EL 表示装置の場合を例示したが、他の適用例として、その他の自発光型表示装置、液晶表示装置、あるいは電気泳動素子などを有する電子ペーパー型表示装置など、あらゆるフラットパネル型の表示装置が挙げられる。また、中小型から大型まで、特に限定することなく適用が可能である。
- [0078] 上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、または、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0079] 100 : 表示装置、102 : 基板、103 : 支持基板、104 : 画素、106 : 表示領域、108 : ゲート側駆動回路、110 : ソース側駆動回路、114 : FPC、116 : 映像信号端子、118 : 電源端子、120 : 電源端子、122 : スペーサ、126 : 支持フィルム、128 : 支持フィルム、130 : 発光素子、132 : 第1の導電膜、134 : 第2の導電膜、140 : 駆動トランジスタ、142 : 第1のスイッチングトランジスタ、144 : 第2のスイッチングトランジスタ、146 : 第3のスイッチングトランジスタ、150 : 保持容量、152 : 付加容量、154 : 高電位電源線、156 : 低電位電源線、160 : アンダーコート、160__1 : 第1のアンダーコート、160__2 : 第2のアンダーコート、160a : 第1の層、160b : 第2の層、160c : 第3の層、162 : 半導体膜、162a : ドレイン領域、162b : ソース領域、162c : チャネル領域、162d : 低濃度不純物領域、164 : ゲート絶縁膜、166 : ゲート電極、168 : 容量電極、170 : 層間絶縁膜、172 : ドレイン電極、174 : ソース電極、176 : 平坦化膜、178 : 接続電極、180 : 付加容量電極、182 : 容量絶縁膜、184 : 画素電極、186 : 隔壁、188 : 開口、190 : EL層、192 : ホール輸送層、194 : 発光層、196 : 電子輸送層、198 : 対向電極、200 : パッシベーション膜、202 : 第1の層、204 : 第2の層、206 : 第3の層、210 : 樹脂膜、220 : 配線、222 : コンタクト電極、222a : 第1のコンタクト電極、222b : 第2のコンタクト電極、222c : 保護電極、230 : 段差

請求の範囲

- [請求項1] 基板上に位置し、前記基板と接する第1の導電膜と、
 前記第1の導電膜上に位置し、前記基板と前記第1の導電膜と接する第1のアンダーコートと第2のアンダーコートと、
 前記第1のアンダーコート上の画素と、
 前記第1のアンダーコート、前記第1の導電膜、および前記第2のアンダーコート上に位置し、前記第1のアンダーコートと前記第2のアンダーコートの間で前記第1の導電膜と接する配線と、
 前記第2のアンダーコート上に位置し、前記配線と電氣的に接続される端子を有し、
 前記第1のアンダーコートと前記第2のアンダーコートは、前記第1の導電膜上で互いに離間し、それぞれ前記第1の導電膜の一部を覆う表示装置。
- [請求項2] 前記配線は、前記第1のアンダーコートの側面と前記第2のアンダーコートの側面と接する、請求項1に記載の表示装置。
- [請求項3] 前記画素はトランジスタをさらに有し、
 前記トランジスタは、
 半導体膜、
 ゲート電極、
 前記半導体膜と前記ゲート電極間のゲート絶縁膜、および
 前記半導体膜、前記ゲート電極、前記ゲート絶縁膜上の層間絶縁膜を有する、請求項1に記載の表示装置。
- [請求項4] 前記配線は、前記第1のアンダーコートと前記第2のアンダーコート上において、前記ゲート絶縁膜の側面と前記層間絶縁膜の側面と接する、請求項3に記載の表示装置。
- [請求項5] 前記トランジスタと重なる第2の導電膜をさらに有し、
 前記第2の導電膜は、前記基板と前記第1のアンダーコートの間に配置される、請求項3に記載の表示装置。

- [請求項6] 前記第1の導電膜と前記第2の導電膜は同一層にある、請求項5に記載の表示装置。
- [請求項7] 前記第2の導電膜は、前記ゲート電極と電氣的に接続される、請求項5に記載の表示装置。
- [請求項8] 前記第1のアンダーコートと前記第2のアンダーコートの間において、前記第1の導電膜の幅は前記配線の幅と同一である、請求項1に記載の表示装置。
- [請求項9] 前記基板は、前記第1のアンダーコートと前記第2のアンダーコートとの間に折曲部を有し、
前記表示装置は、平面視で前記第1のアンダーコートと前記第2のアンダーコートが重なる三次元構造を有する、請求項1に記載の表示装置。
- [請求項10] 基板上に位置し、前記基板と接し、第1の層、前記第1の層上の第2の層、前記第2の層上の第3の層を有するアンダーコートと、
前記第1の層と前記第2の層の間の第1の導電膜と、
前記第3の層上の画素と端子と、
前記第3の層上に位置し、前記画素と前記端子を電氣的に接続する配線を有し、
前記第2の層と前記第3の層のそれぞれは、前記第1の導電膜が露出されるよう、前記第1の導電膜上において分断され、
前記配線は、前記第1の導電膜が前記第2の層と前記第3の層から露出した領域において前記第1の導電膜と接し、
前記領域は、前記画素と前記端子の間に位置する表示装置。
- [請求項11] 前記配線は、前記第2の層の側面と前記第3の層の側面と接する、請求項10に記載の表示装置。
- [請求項12] 前記画素はトランジスタをさらに有し、
前記トランジスタは、
半導体膜、

ゲート電極、

前記半導体膜と前記ゲート電極間のゲート絶縁膜、および

前記半導体膜、前記ゲート電極、前記ゲート絶縁膜上の層間絶縁膜を有する、請求項 10 に記載の表示装置。

[請求項13] 前記配線は、前記ゲート絶縁膜の側面と前記層間絶縁膜の側面と接する、請求項 12 に記載の表示装置。

[請求項14] 前記トランジスタと重なる第2の導電膜をさらに有し、
前記第2の導電膜は、前記第1の層と前記第2の層の間に配置される、請求項 12 に記載の表示装置。

[請求項15] 前記第1の導電膜と前記第2の導電膜は同一層にある、請求項 14 に記載の表示装置。

[請求項16] 前記第2の導電膜は、前記ゲート電極と電氣的に接続される、請求項 14 に記載の表示装置。

[請求項17] 前記第1の導電膜の幅は前記配線の幅と同一である、請求項 10 に記載の表示装置。

[請求項18] 前記基板は、前記端子と前記画素との間に折曲部を有し、
前記表示装置は、平面視で前記端子と前記画素が重なる三次元構造を有する、請求項 10 に記載の表示装置。

[請求項19] 基板上に位置し、前記基板と接するアンダーコートと、
前記アンダーコート上に位置し、半導体膜、ゲート電極、前記半導体膜と前記ゲート電極間のゲート絶縁膜、および前記半導体膜、前記ゲート電極、前記ゲート絶縁膜上の層間絶縁膜を含むトランジスタを有する画素と、

前記アンダーコート上に位置し、前記アンダーコートと接し、前記半導体膜と同一の層に存在する第1の導電膜と、

前記層間絶縁膜上の配線と、

前記層間絶縁膜上に位置し、前記配線と電氣的に接続される端子を有し、

前記ゲート絶縁膜と前記層間絶縁膜のそれぞれは、前記第1の導電膜が露出されるよう、前記第1の導電膜上において分断され、

前記配線は、前記第1の導電膜が前記ゲート絶縁膜と前記層間絶縁膜から露出した領域において前記第1の導電膜と接し、

前記領域は、前記画素と前記端子の間に位置する表示装置。

[請求項20]

基板上に位置し、前記基板と接するアンダーコートと、

前記アンダーコート上に位置し、半導体膜、ゲート電極、前記半導体膜と前記ゲート電極間のゲート絶縁膜、および前記半導体膜、前記ゲート電極、前記ゲート絶縁膜上の層間絶縁膜を含むトランジスタを有する画素と、

前記ゲート絶縁膜上に位置し、前記ゲート絶縁膜と接し、前記ゲート電極と同一の層に存在する第1の導電膜と、

前記層間絶縁膜上の配線と、

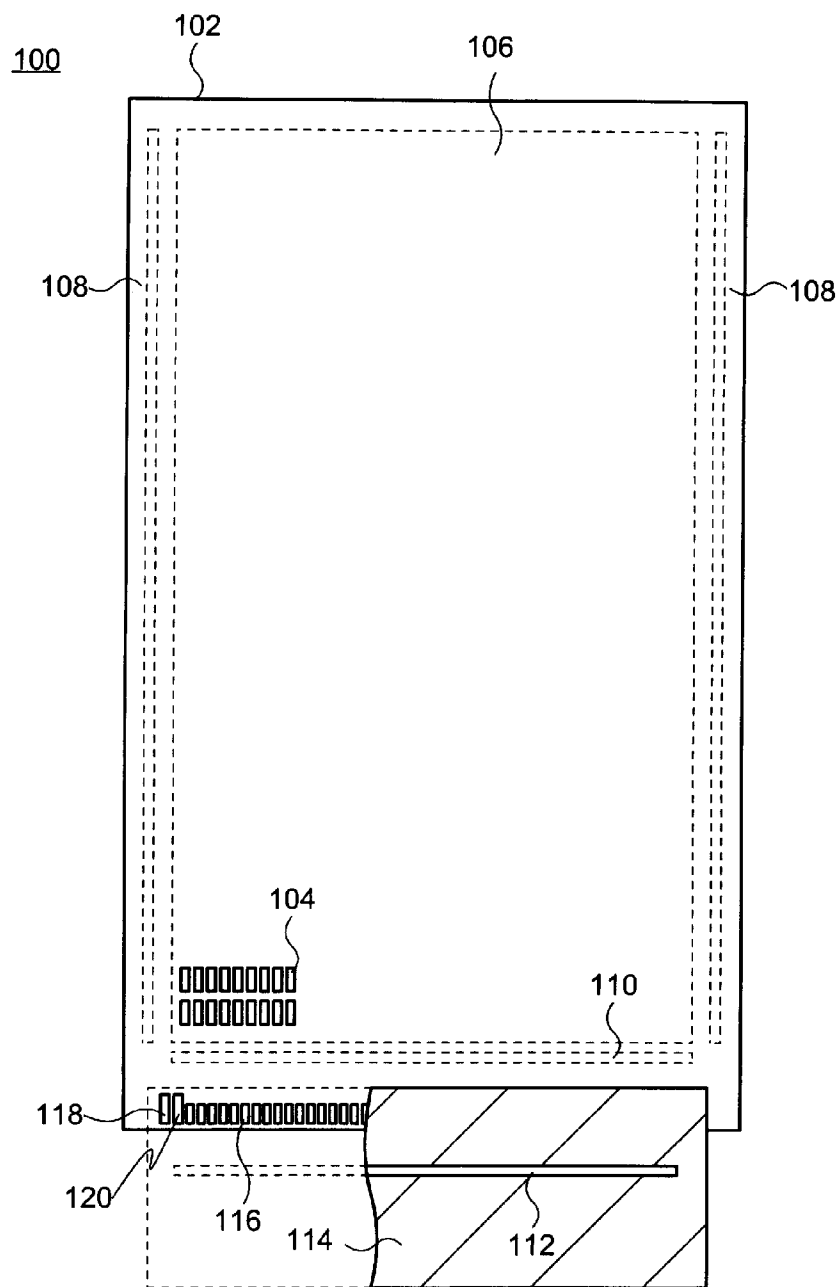
前記層間絶縁膜上に位置し、前記配線と電氣的に接続される端子を有し、

前記層間絶縁膜は、前記第1の導電膜が露出されるよう、前記第1の導電膜上において分断され、

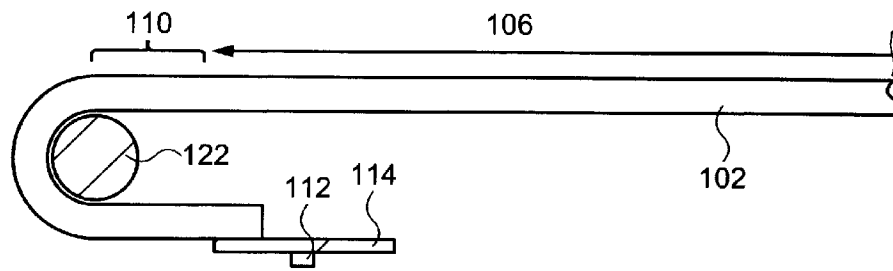
前記配線は、前記第1の導電膜が前記層間絶縁膜から露出した領域において前記第1の導電膜と接し、

前記領域は、前記画素と前記端子の間に位置する表示装置。

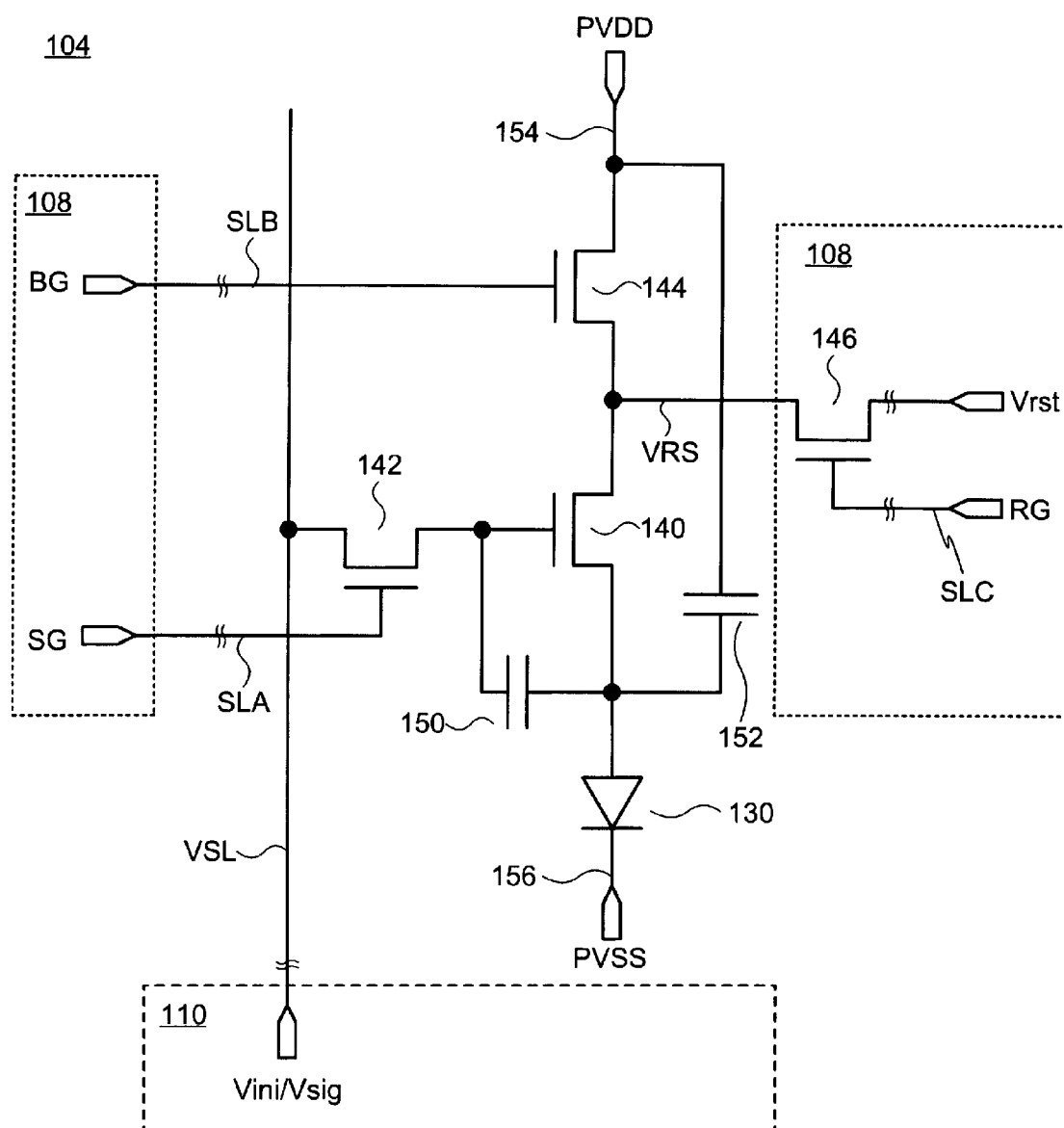
[図1]



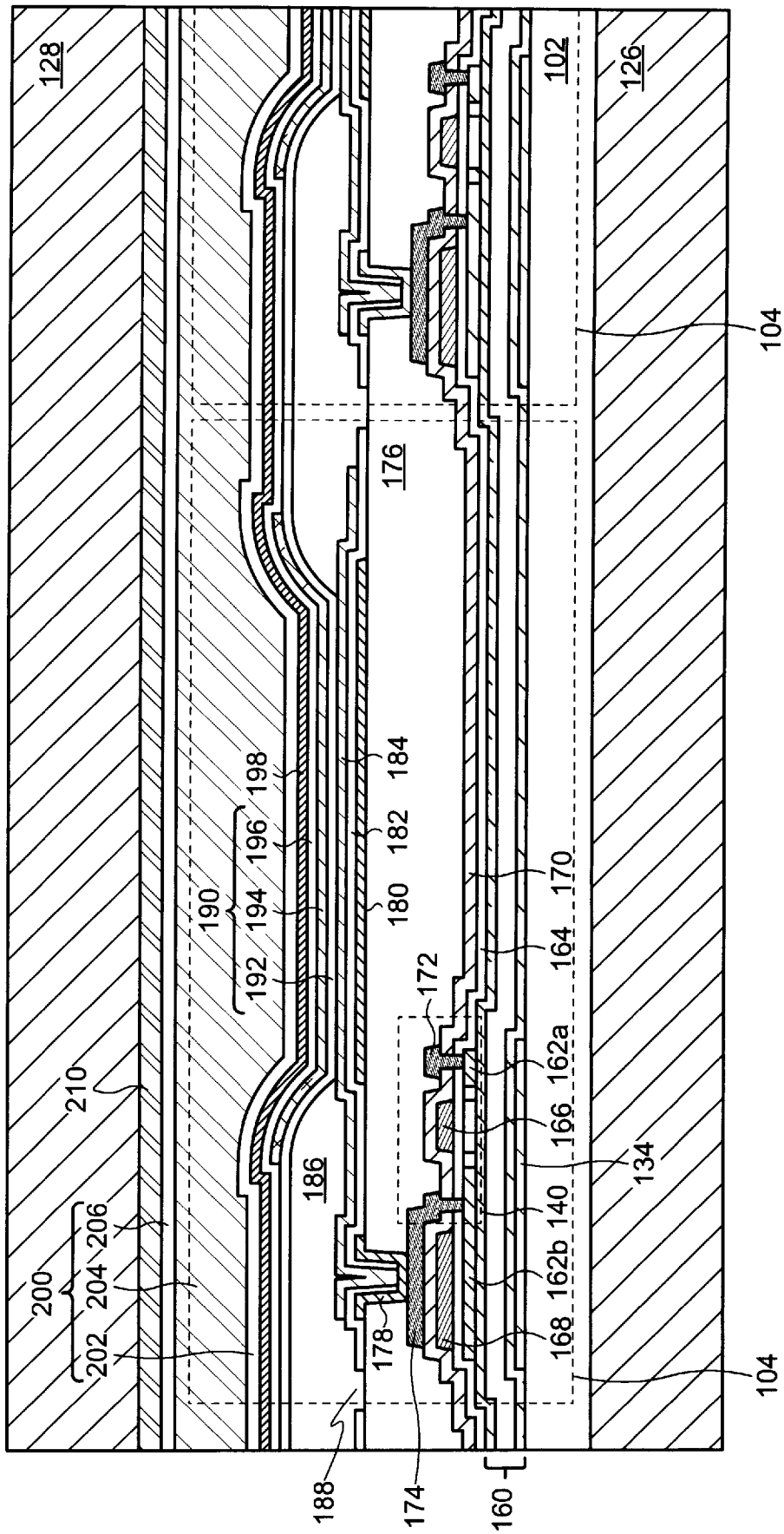
[図2]

100

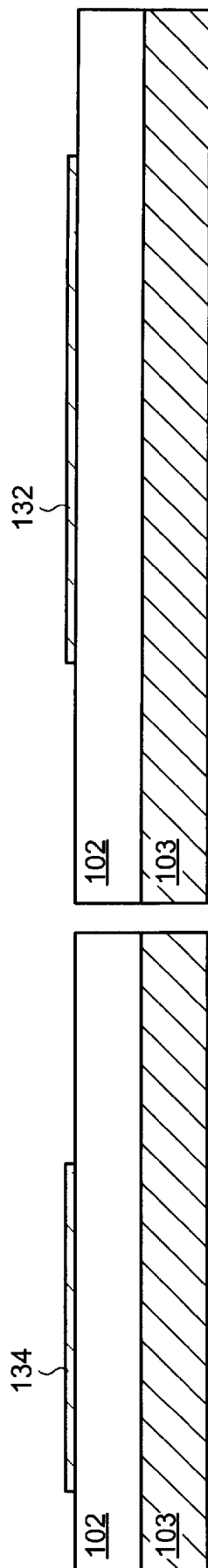
[図3]



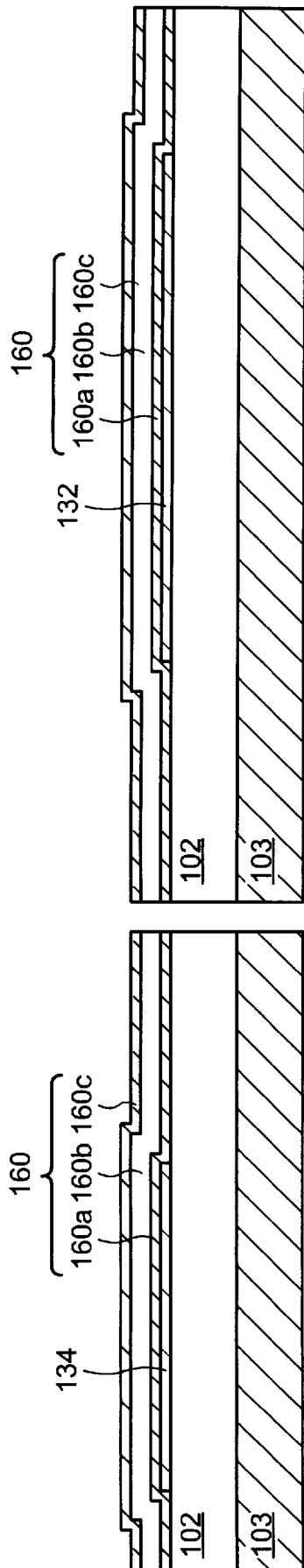
[図4]



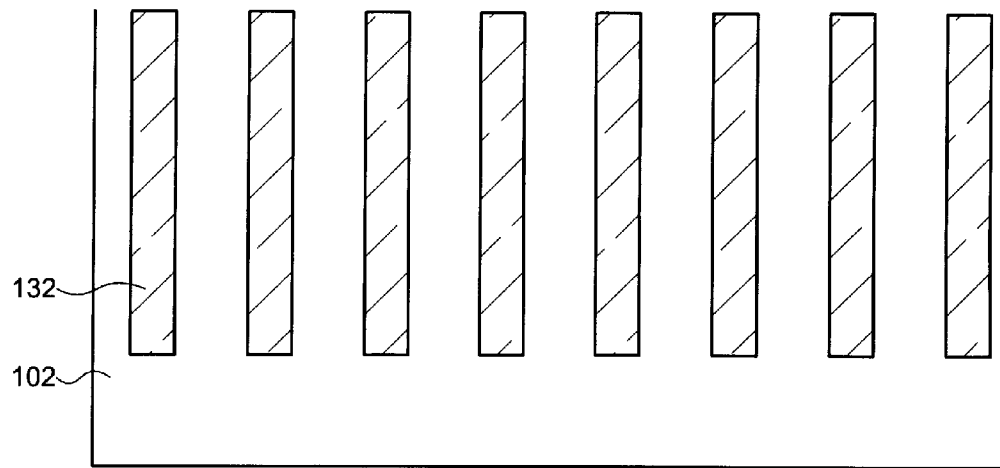
[図6A]



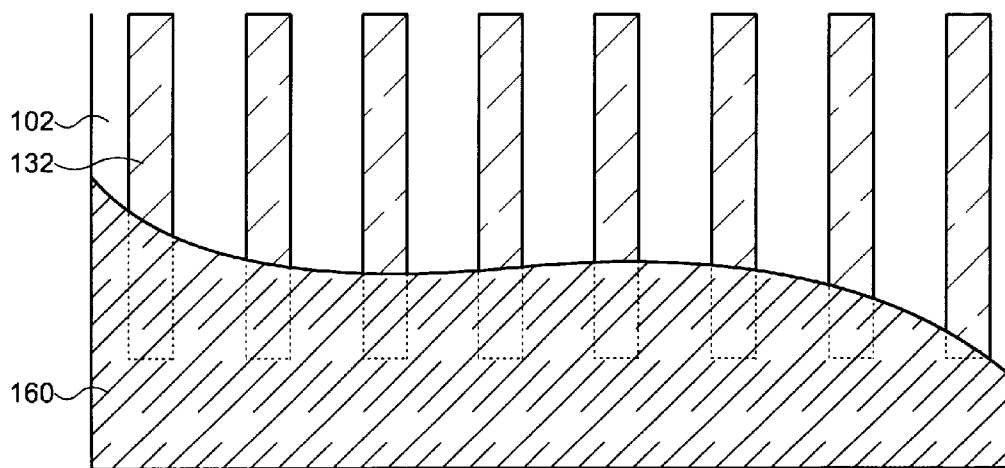
[図6B]



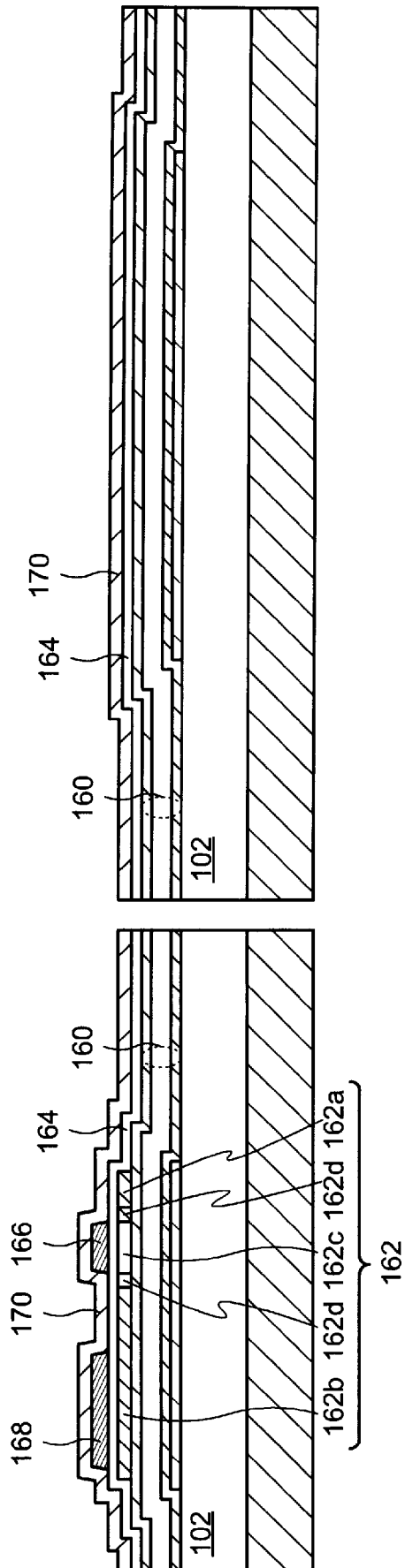
[図7A]



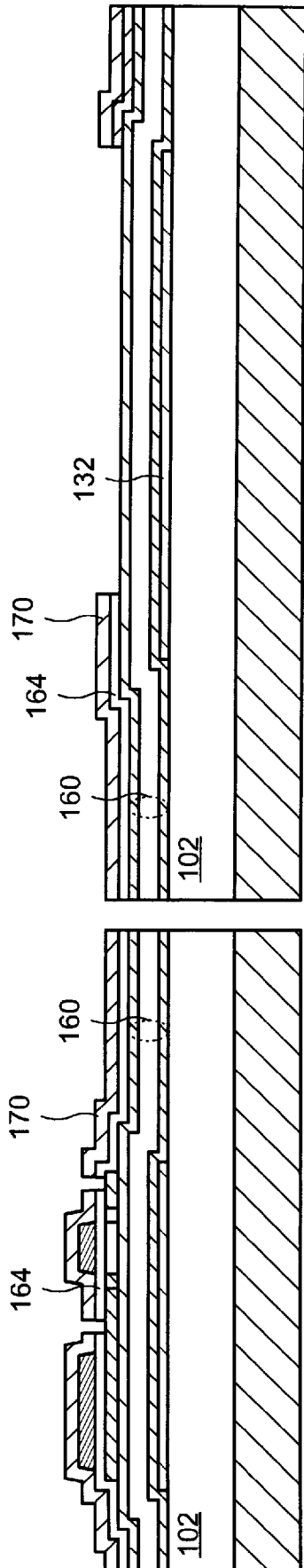
[図7B]



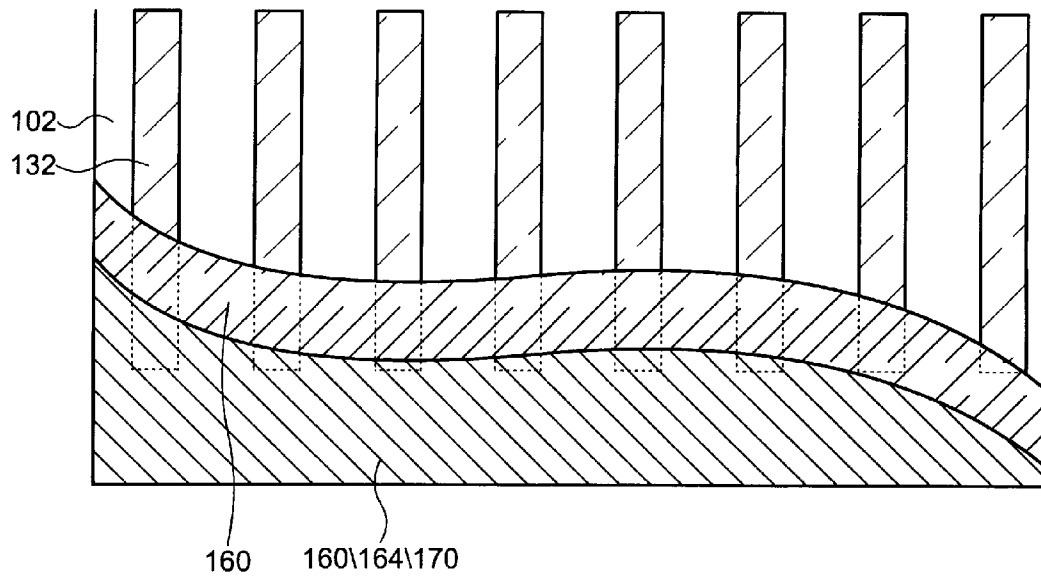
[図8A]



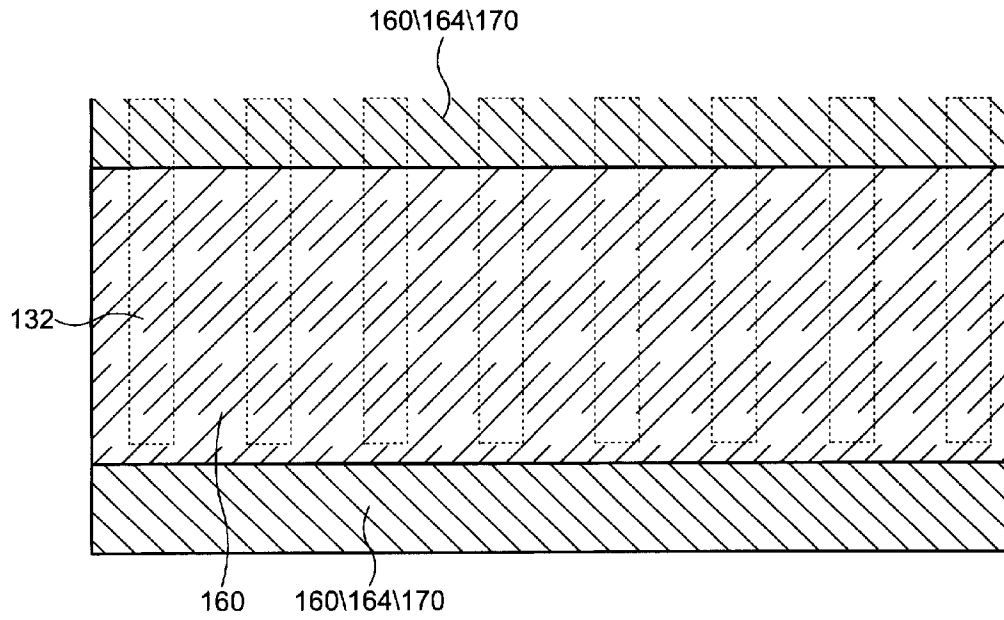
[図8B]



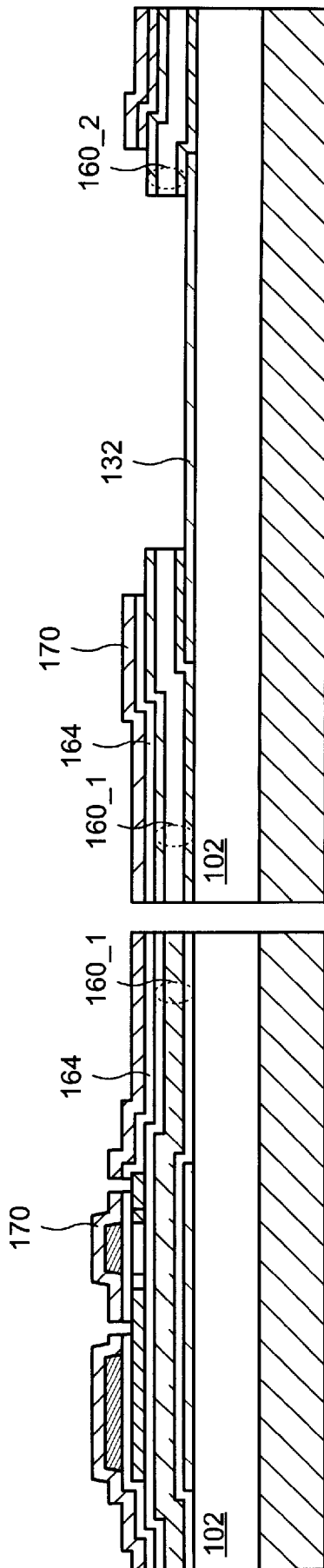
[図9A]



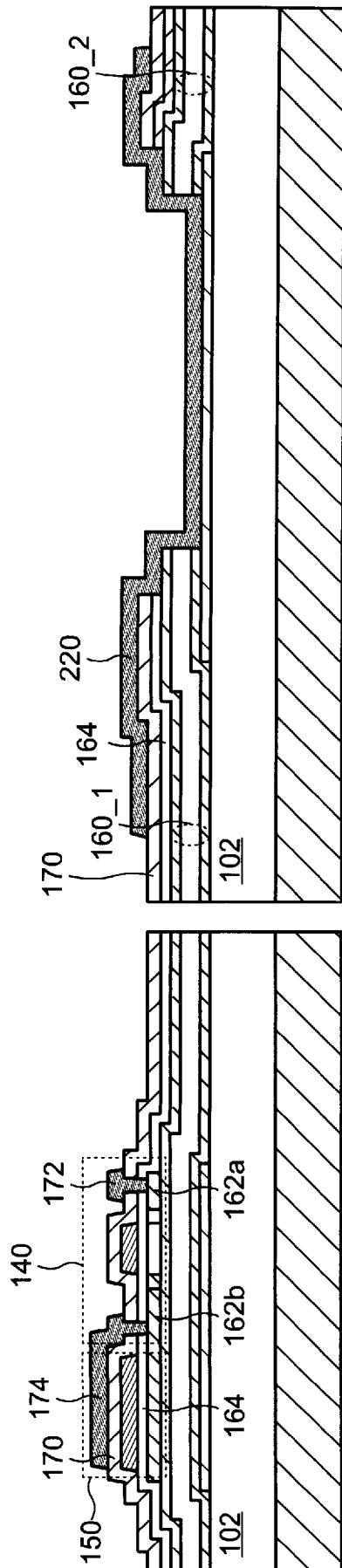
[図9B]



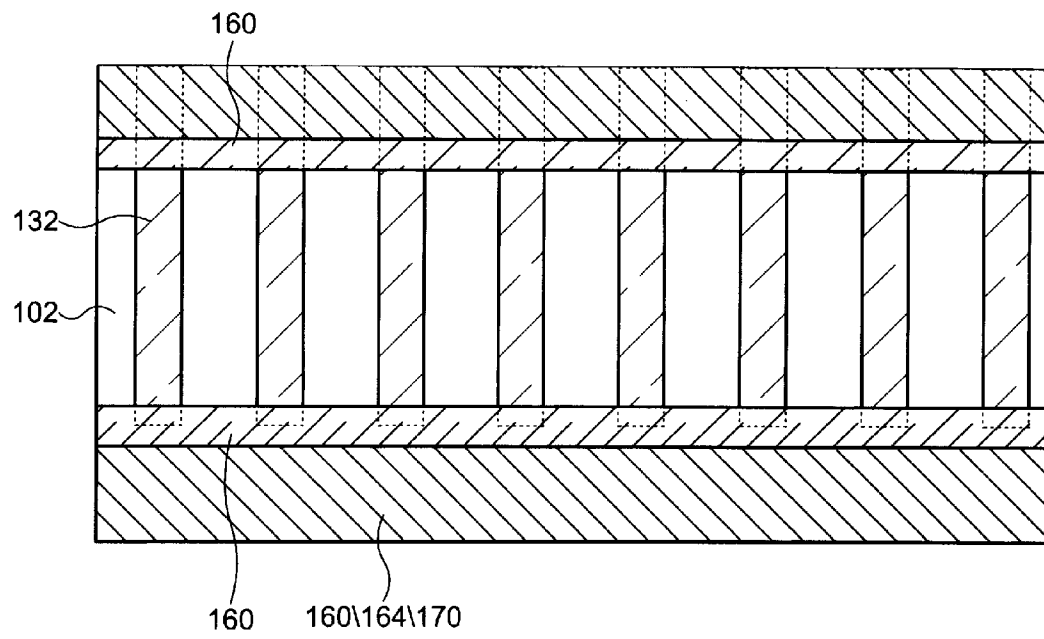
[図10A]



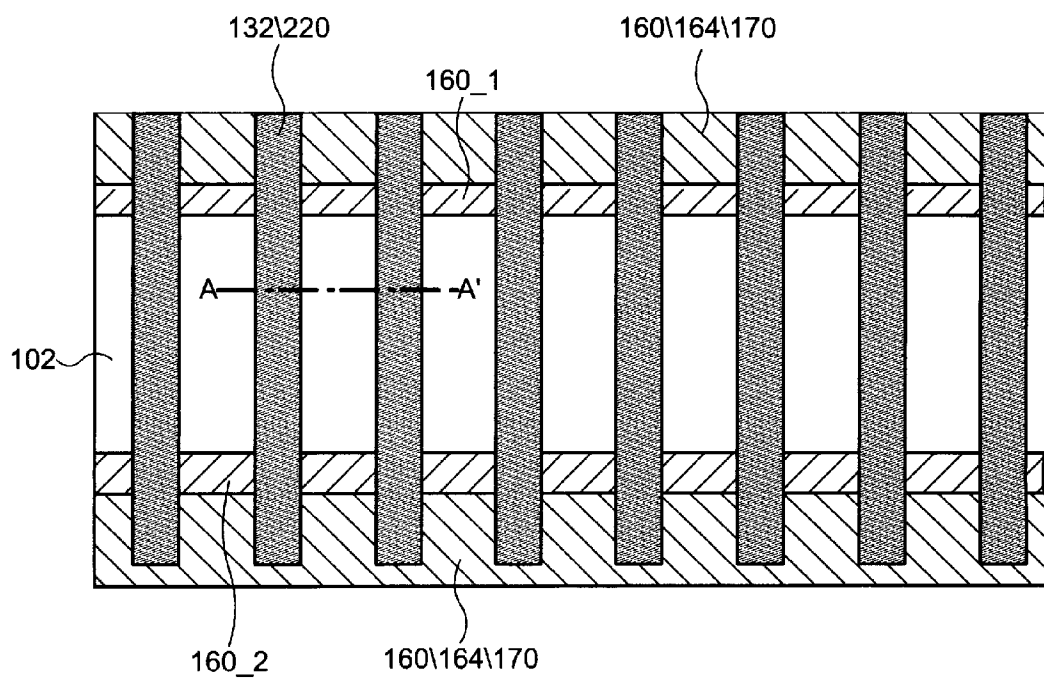
[図10B]



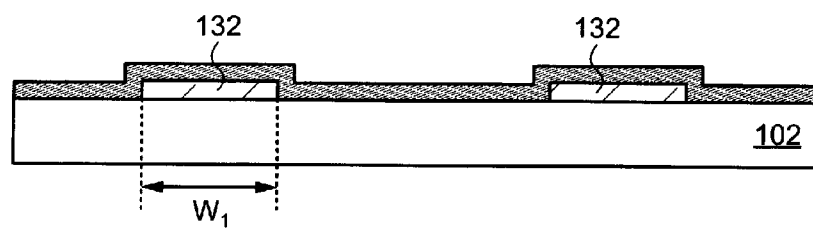
[図11A]



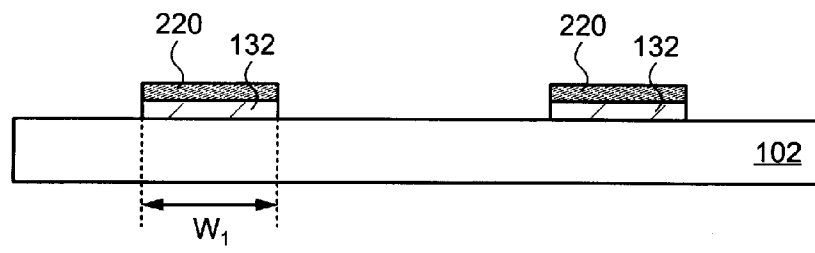
[図11B]



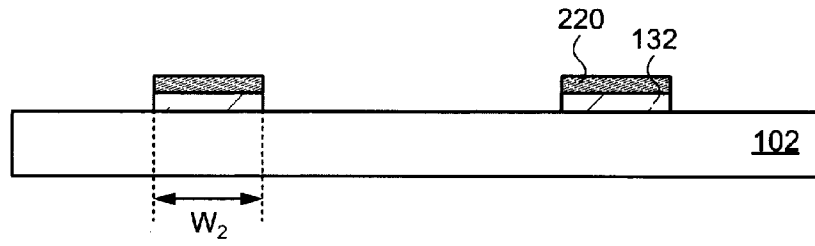
[図12A]



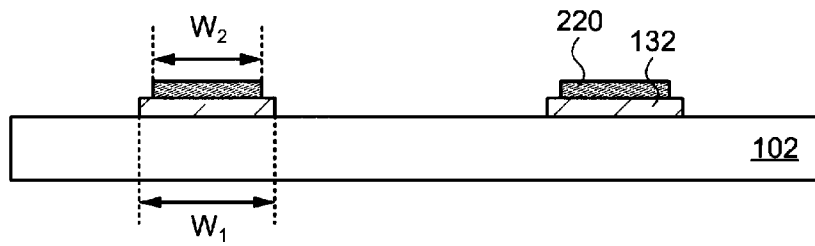
[図12B]



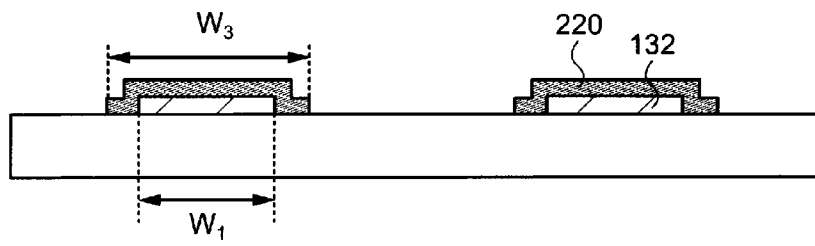
[図12C]



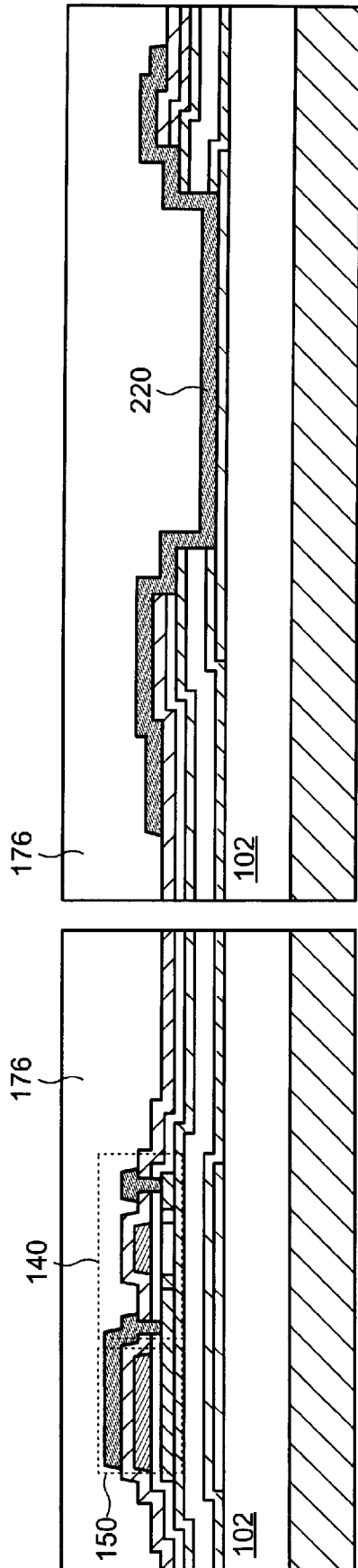
[図12D]



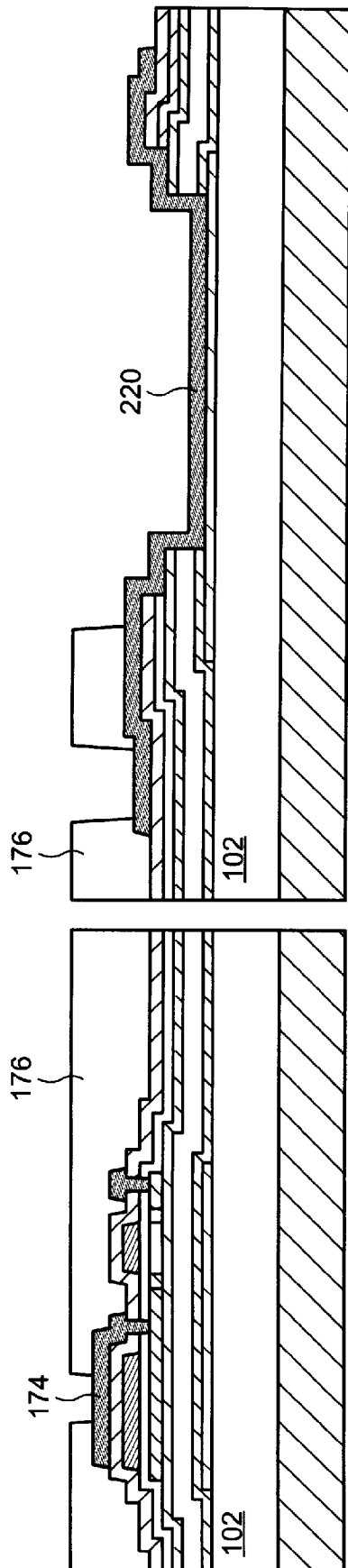
[図12E]



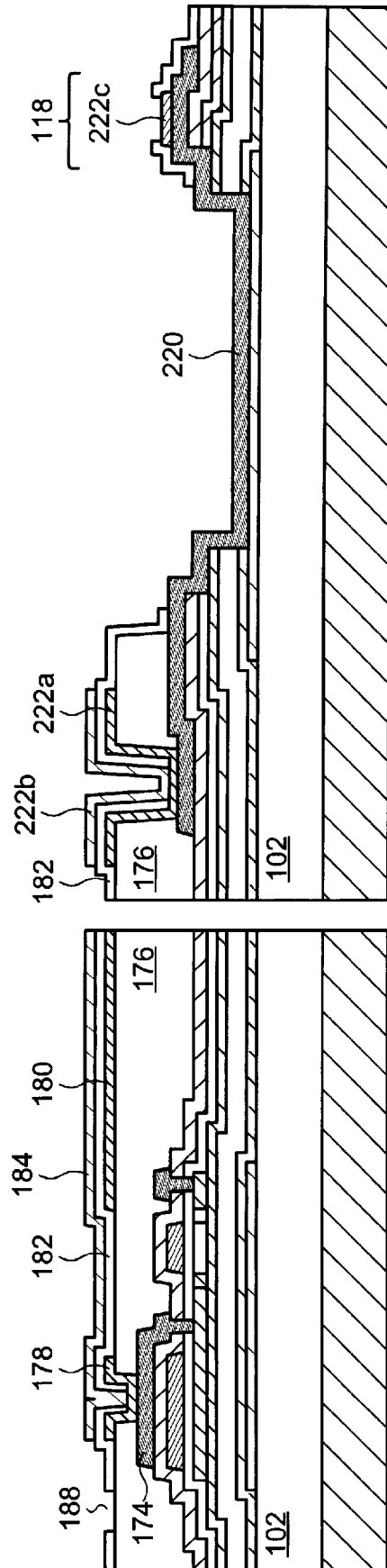
[図13A]



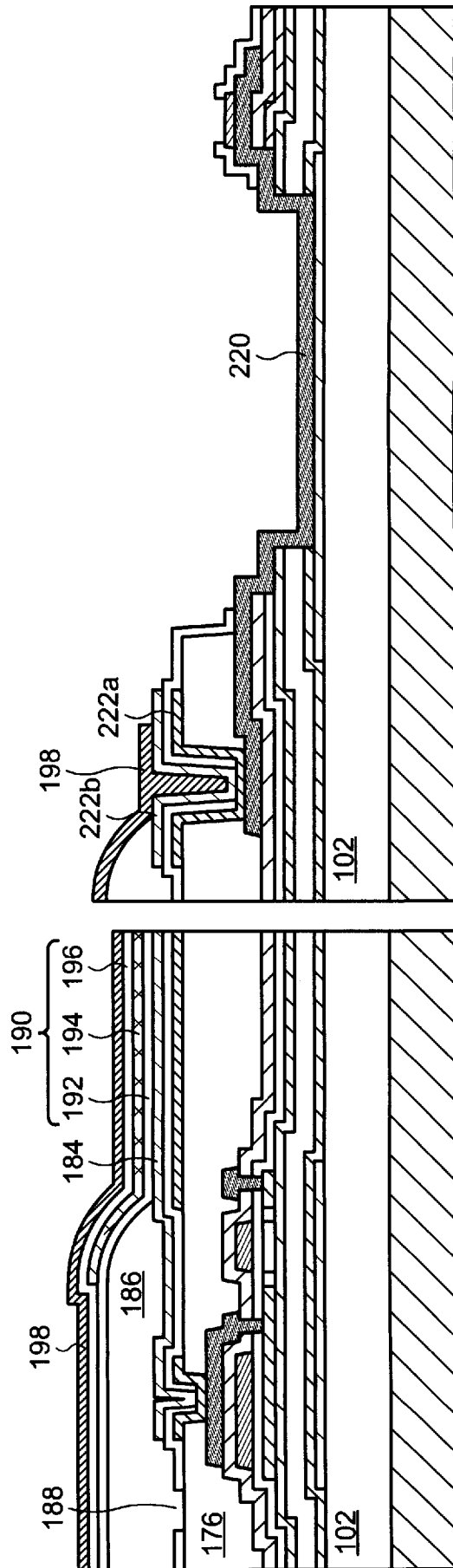
[図13B]



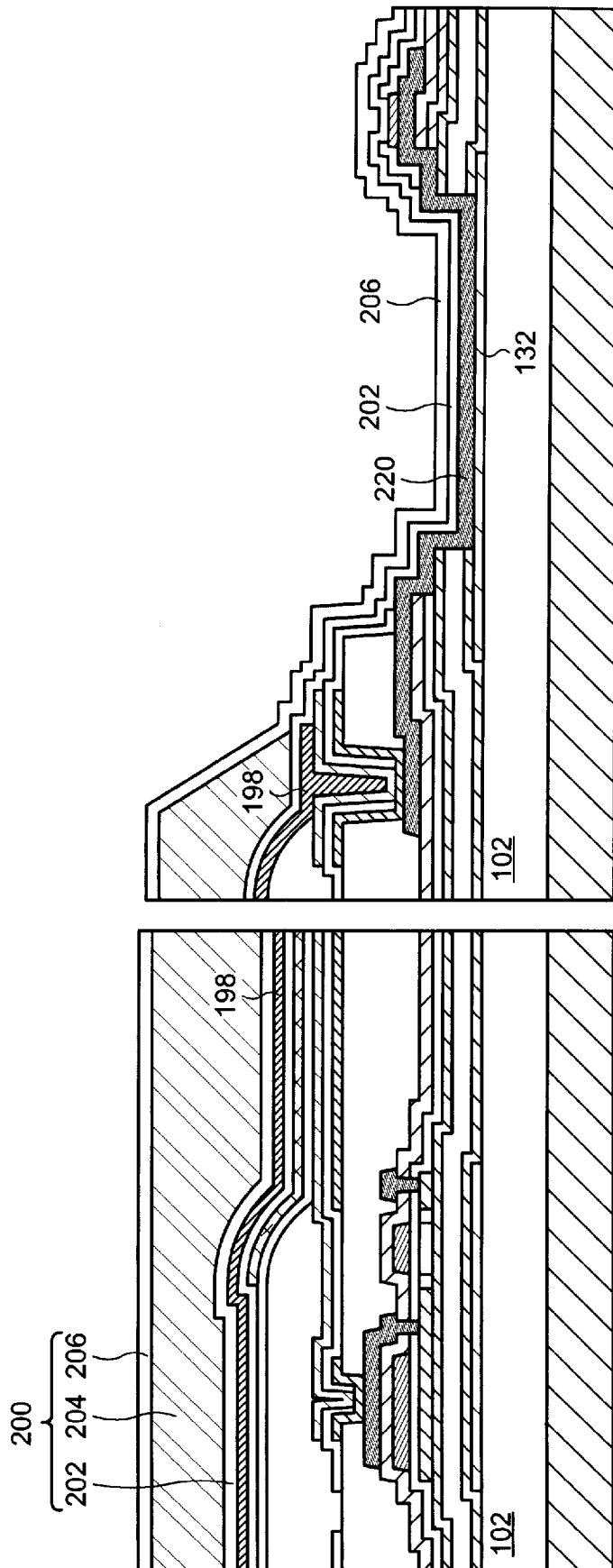
[図14A]



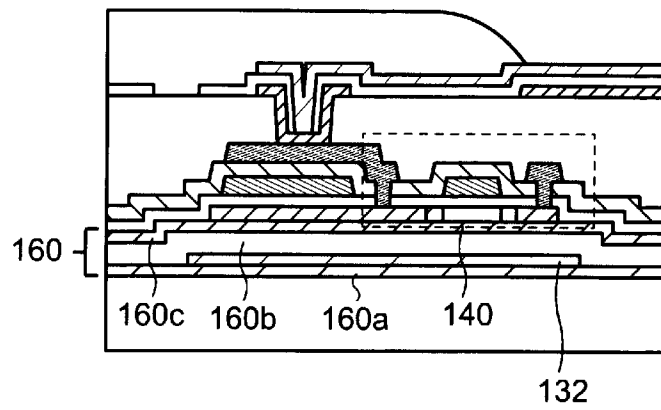
[図14B]



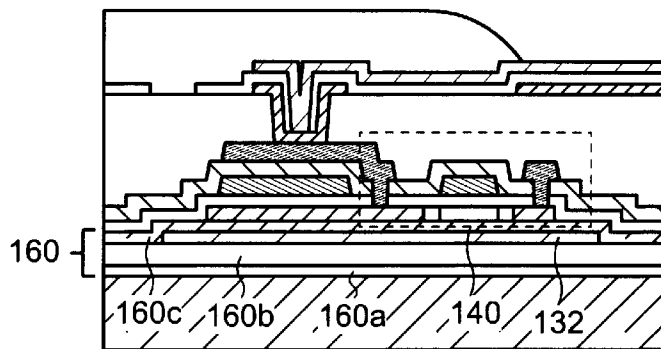
[図15]



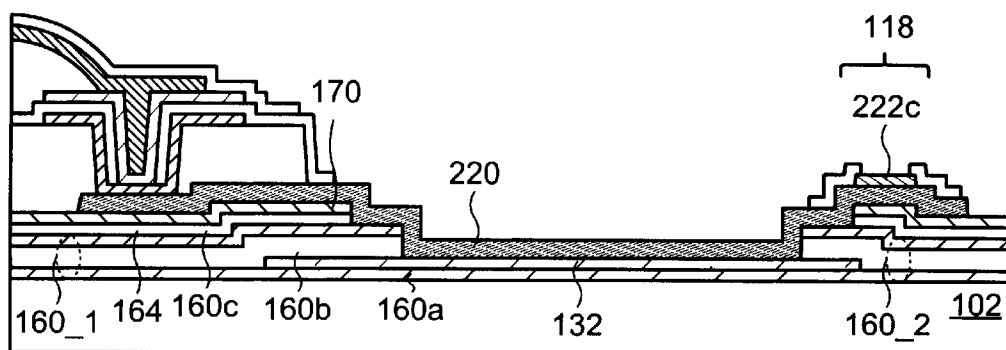
[図17A]



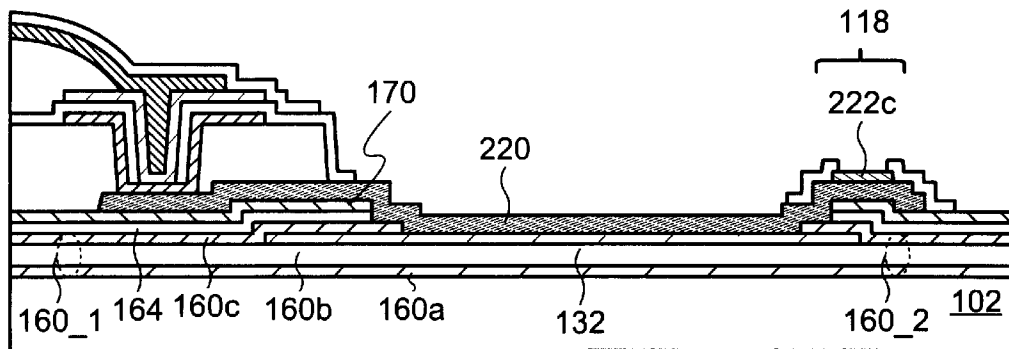
[図17B]



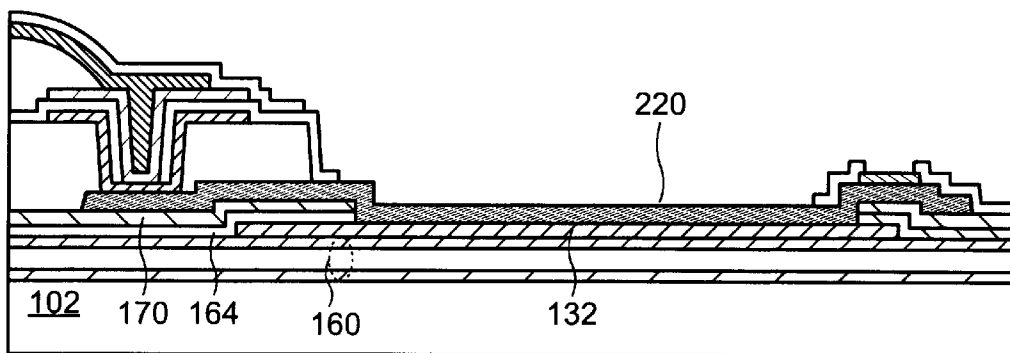
[図18A]



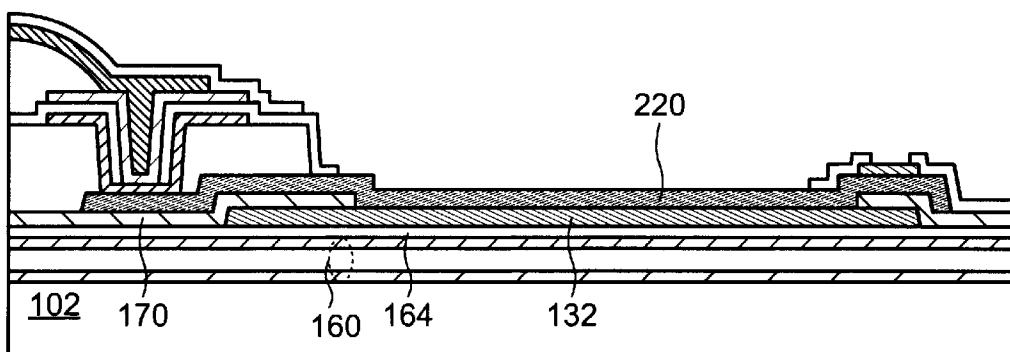
[図18B]



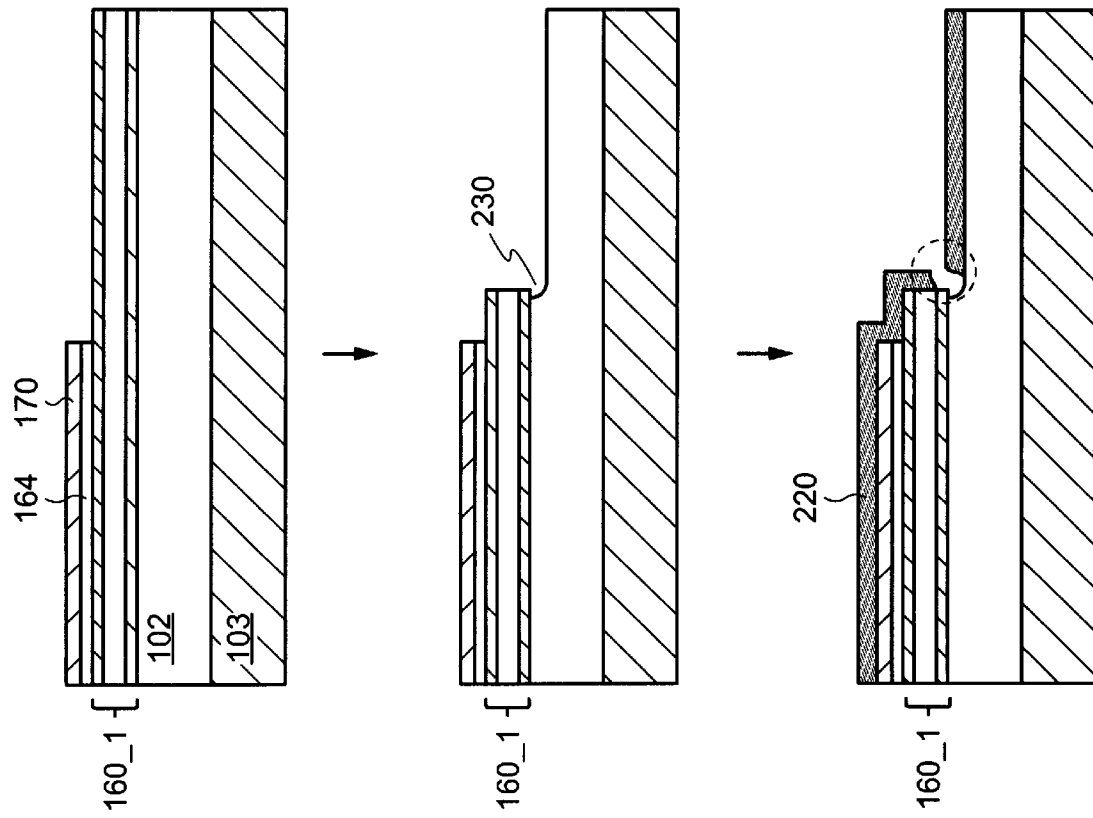
[図19A]



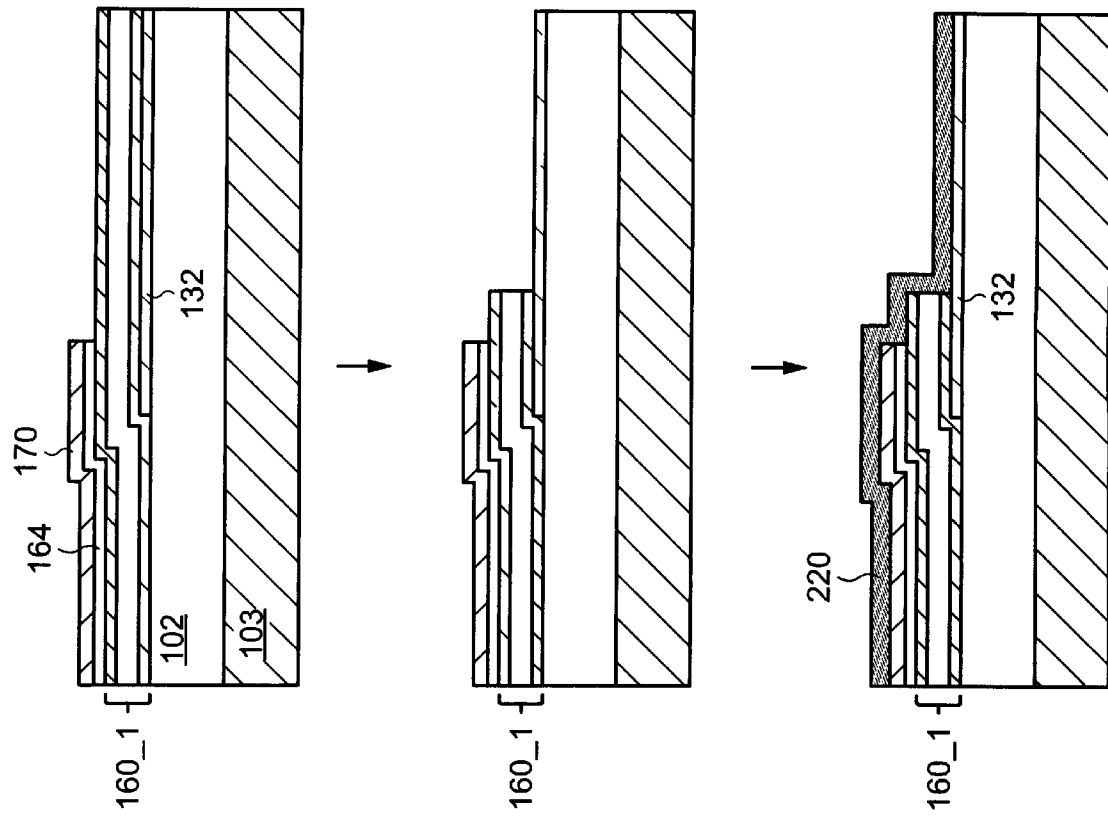
[図19B]



[図20A]



[図20B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/015504

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09F9/30(2006.01)i, H01L21/336(2006.01)i, H01L27/32(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09F9/30, H01L21/336, H01L27/32, H01L29/786, H01L51/50, H05B33/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2014-232300 A (LG DISPLAY CO., LTD.) 11 December 2014, paragraphs [0017]-[0076], fig. 1-11 & US 2014/0353670 A1, paragraphs [0036]-[0097], fig. 1-11 & EP 2814074 A1 & KR 10-2014-0140150 A & CN 104183600 A	1-4, 8-9 5-7 19-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
12.06.2018

Date of mailing of the international search report
26.06.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/015504

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2017-111435 A (LG DISPLAY CO., LTD.) 22 June 2017, paragraphs [0034]-[0079], fig. 6-10 & US 2017/0170206 A1, paragraphs [0046]-[0094], fig. 6-10 & EP 3182473 A1 & KR 10-2017-0071047 A & CN 106887447 A	10-15, 17-18 5-7, 16 19-20
Y	JP 2017-108065 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 June 2017, paragraphs [0101]-[0103], fig. 2 (Family: none)	7, 16
Y	JP 2016-134388 A (JAPAN DISPLAY INC.) 25 July 2016, paragraph [0023], fig. 3 & US 2016/0209719 A1, paragraph [0043], fig. 3	7, 16
A	JP 2017-98020 A (JAPAN DISPLAY INC.) 01 June 2017, entire text, all drawings & US 2017/0148859 A1 & KR 10-2017-0059413 A & CN 106992259 A & TW 201727920 A	1-20
A	JP 2014-197181 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 16 October 2014, entire text, all drawings & US 2014/0254111 A1 & WO 2014/136856 A1 & TW 201442577 A & KR 10-2015-0126353 A & CN 105474290 A	1-20
A	JP 2016-173461 A (JAPAN DISPLAY INC.) 29 September 2016, entire text, all drawings (Family: none)	1-20
A	US 2014/0217397 A1 (LG DISPLAY CO., LTD.) 07 August 2014, entire text, all drawings & WO 2014/119850 A1 & EP 2951870 A1 & KR 10-2014-0099139 A & CN 105144418 A	1-20
A	US 2016/0268546 A1 (LG DISPLAY CO., LTD.) 15 September 2016, entire text, all drawings & WO 2016/099025 A1 & EP 3235001 A1 & CN 107004698 A & KR 10-2017-0095938 A	1-20
A	WO 2014/126403 A1 (LG DISPLAY CO., LTD.) 21 August 2014, entire text, all drawings & US 2014/0232956 A1 & EP 2956923 A1 & KR 10-2014-0103025 A & CN 105074802 A	1-20

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09F9/30(2006.01)i, H01L21/336(2006.01)i, H01L27/32(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09F9/30, H01L21/336, H01L27/32, H01L29/786, H01L51/50, H05B33/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2014-232300 A (エルジー ディスプレイ カンパニー リミテッド) 2014.12.11, 段落0017-0076、図1-11 & US 2014/0353670 A1, 段落0036-0097、図1-11 & EP 2814074 A1 & KR 10-2014-0140150 A & CN 104183600 A	1-4, 8-9 5-7 19-20

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

12.06.2018

国際調査報告の発送日

26.06.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小野 博之

電話番号 03-3581-1101 内線 3273

21

4072

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2017-111435 A (エルジー ディスプレイ カンパニー リミテッド) 2017. 06. 22, 段落 0034-0079、図 6-10 & US 2017/0170206 A1, 段落 0046-0094、図 6-10 & EP 3182473 A1 & KR 10-2017-0071047 A & CN 106887447 A	10-15, 17-18 5-7, 16 19-20
Y	JP 2017-108065 A (株式会社半導体エネルギー研究所) 2017. 06. 15, 段落 0101-0103、図 2 (ファミリーなし)	7, 16
Y	JP 2016-134388 A (株式会社ジャパンディスプレイ) 2016. 07. 25, 段落 0023、図 3 & US 2016/0209719 A1, 段落 0043、図 3	7, 16
A	JP 2017-98020 A (株式会社ジャパンディスプレイ) 2017. 06. 01, 全文、全図 & US 2017/0148859 A1 & KR 10-2017-0059413 A & CN 106992259 A & TW 201727920 A	1-20
A	JP 2014-197181 A (株式会社半導体エネルギー研究所) 2014. 10. 16, 全文、全図 & US 2014/0254111 A1 & WO 2014/136856 A1 & TW 201442577 A & KR 10-2015-0126353 A & CN 105474290 A	1-20
A	JP 2016-173461 A (株式会社ジャパンディスプレイ) 2016. 09. 29, 全文、全図 (ファミリーなし)	1-20
A	US 2014/0217397 A1 (LG DISPLAY CO., LTD.) 2014. 08. 07, 全文、全図 & WO 2014/119850 A1 & EP 2951870 A1 & KR 10-2014-0099139 A & CN 105144418 A	1-20
A	US 2016/0268546 A1 (LG DISPLAY CO., LTD.) 2016. 09. 15, 全文、全図 & WO 2016/099025 A1 & EP 3235001 A1 & CN 107004698 A & KR 10-2017-0095938 A	1-20
A	WO 2014/126403 A1 (LG DISPLAY CO., LTD.) 2014. 08. 21, 全文、全図 & US 2014/0232956 A1 & EP 2956923 A1 & KR 10-2014-0103025 A & CN 105074802 A	1-20