

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication :
(A n'utiliser que pour les
commandes de reproduction).

2 514 558

A1

**DEMANDE
DE BREVET D'INVENTION**

(21) **N° 81 19252**

(54) Procédé de fabrication de thyristor asymétrique à diode de conduction inversé par diffusion au phosphure de gallium.

(51) Classification internationale (Int. Cl. 3). H 01 L 21/48, 21/223, 29/743.

(22) Date de dépôt 13 octobre 1981.

(33) (32) (31) Priorité revendiquée :

(41) Date de la mise à la disposition du public de la demande B.O.P.I. — « Listes » n° 15 du 15-4-1983.

(71) Déposant : Société dite : LE SILICIUM SEMICONDUCTEUR SSC, société anonyme. — FR.

(72) Invention de : Pierre Bacuvier.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Thomson-CSF, P. Guilguet, SCPI,
173, bd Haussmann, 75360 Paris Cedex 08.

PROCEDE DE FABRICATION DE THYRISTOR ASYMETRIQUE A DIODE DE CONDUCTION INVERSE PAR DIFFUSION AU PHOSPHURE DE GALLIUM.

La présente invention concerne un nouveau procédé de fabrication de thyristors, destiné à permettre la production de composants de puissance ayant d'excellentes qualités telles qu'une aptitude à bloquer des tensions directes très élevées (supérieures 5 à 1000 volts), une grande rapidité de commutation (quelques microsecondes ou quelques dizaines de microsecondes pour le temps de blocage, selon la puissance), et de faibles pertes en conduction ou pendant la commutation.

Pour cela, la présente invention propose de réaliser sur 10 deux régions voisines d'une même tranche semiconductrice, par un procédé dont les étapes vont être données ci-dessous, un thyristor asymétrique et une diode de conduction inverse, ces deux éléments utilisant dans le corps semiconducteur une couche faiblement dopée de type N qui a la même épaisseur dans les deux régions et qui 15 sert de zone de base pour le thyristor et de zone de cathode pour la diode de conduction inverse. On expliquera ci-après en détail ce qu'on entend par thyristor asymétrique, zone de base de ce thyristor, et diode de conduction inverse.

Le procédé selon l'invention comprend les étapes suivantes :

- dopage avec une impureté de type N et une concentration de surface moyenne, de toute la surface inférieure d'un substrat semiconducteur peu dopé de type N pour réaliser une couche uniforme de type N^+ ,

- dopage avec une impureté de type P telle que du bore, de toute la face supérieure du substrat, ce dopage pouvant éventuellement être précédé par un prédopage de type P à plus faible concentration de surface pour favoriser la tenue en tension (aluminium par exemple),

- masquage localisé par de l'oxyde de silicium de la face inférieure de la tranche semiconductrice obtenue dans une région définissant une zone de thyristor et masquage localisé par de

l'oxyde de silicium de la face supérieure de la tranche essentiellement dans une région définissant une zone de diode de conduction inverse, complémentaire de la zone de thyristor, les deux zones ayant le plus souvent des surfaces du même ordre de grandeur,

- diffusion simultanée de types N et P au moyen de phosphure de gallium (PGa) sur les deux faces de la tranche,
- restauration de la durée de vie par effet getter et réajustement ultérieur éventuel par diffusion d'or ou irradiation,
- dépôt et gravure d'électrodes métalliques sur les deux faces.

On obtient ainsi un thyristor asymétrique à côté d'une diode de conduction inverse de dimensions comparables, ces deux éléments ayant une même épaisseur de région N faiblement dopée constituée par le substrat initial, cette épaisseur étant définie par l'intervalle subsistant entre la couche de type P sur la face supérieure de la tranche et la couche de type N⁺ sur la face inférieure de la tranche.

Les avantages du procédé selon l'invention sont essentiellement, comme on le verra dans la description détaillée, d'abord la simplicité du procédé et le petit nombre d'étapes à réaliser contrairement à ce qui se passe pour les procédés actuels de réalisation sur un même substrat d'un thyristor et d'une diode de conduction inverse.

De plus, le thyristor ainsi réalisé a une excellente capacité de blocage des tensions appliquées dans le sens direct (bonne tenue en tension directe) et ce, même pour des zones N d'assez faible épaisseur car il s'agit d'un thyristor asymétrique présentant successivement des régions N⁺ P N N⁺ P⁺; cette tenue en tension est en effet essentiellement déterminée par la zone PNN⁺, ce qui permet d'approcher une tenue en tension de 20 volts par micron de zone N alors qu'une structure symétrique classique est limitée à environ 10 volts par micron de zone N.

Par ailleurs, la tenue en tension inverse de la diode correspond sensiblement à la tenue en tension directe du thyristor compte tenu de l'épaisseur de couche centrale N qui est la même

dans la zone de thyristor et la zone de diode.

Les pertes de conduction ou de commutation, dans le sens direct (conduction du thyristor) comme dans le sens inverse (conduction de la diode) sont aussi réduites que possible du fait que l'on donne aussi bien au thyristor qu'à la diode seulement l'épaisseur de couche centrale N strictement nécessaire pour obtenir la tenue en tension désirée ; c'est en effet dans la couche centrale N peu dopée que se produisent essentiellement les pertes. Du même coup, la rapidité de commutation est plus facilement optimisée.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- la figure 1 représente une structure classique de 15 thyristor ;

- la figure 2 représente la structure réalisée au moyen du procédé selon l'invention ;

- les figures 3a à 3e représentent les étapes successives importantes du procédé selon l'invention.

Un thyristor symétrique classique est représenté à la figure 1. Il comprend, dans une tranche semiconductrice, quatre régions successives en couches superposées qui sont respectivement une région d'anode 10 de type P⁺, une région 12 qu'on peut appeler région de base, de type N faiblement dopée, une région de gâchette 25 14 de type P, et une région de cathode 16 de type N⁺.

A ces régions sont associées des électrodes, sauf pour la région de base 12. Une électrode d'anode 13 vient en contact avec la région d'anode 10 sur la face inférieure de la tranche ; une électrode de cathode 15 vient en contact avec la région de cathode 30 sur la face supérieure de la tranche ; une électrode de gâchette 17 peut venir en contact par exemple avec une partie de la face supérieure de la tranche, en un endroit où la région de gâchette de type P remonte à la surface de la tranche.

Il est à noter qu'on peut prévoir des petites zones non 35 représentées à la figure 1, qui sont des zones dites de "court-circuit d'émetteur" et qui consistent en des remontées, de faible

surface, de la région de gâchette de type P jusqu'à la surface supérieure du substrat où elles viennent en contact avec l'électrode de cathode 15. Ces zones ont pour fonction de contrôler le gain reparti du transistor supérieur N⁺PN et de réduire la sensibilité aux parasites et aux effets thermiques donc aux déclenchements intempestifs.

Ce type de thyristor classique possède une tenue en tension directe (aptitude à rester dans l'état bloqué en présence d'une tension élevée dans le sens direct), qui est fonction de l'épaisseur et du dopage de la région de base N. Pour les valeurs de dopage couramment utilisées (environ 10^{14} atomes/centimètre cube), on montre que la tension de claquage maximale optimisée est d'environ 10 volts par micron d'épaisseur de la région N, c'est-à-dire qu'elle est de 1000 volts pour une épaisseur de 100 microns.

On a déjà proposé de modifier cette structure classique pour constituer un thyristor asymétrique ainsi appelé parce que sa tension de blocage dans le sens direct est très différente de sa tension de claquage dans le sens inverse ; cette dernière est beaucoup plus faible que la première. Le thyristor asymétrique diffère de celui de la figure 1 en ce qu'il comporte une couche dopée de type N⁺ entre la région 12 de type N et la région d'anode 10 de type P⁺.

Il s'avère que, comparée à la structure classique où la tension directe de claquage, résultant de la structure PNPT des régions 10, 12, 14, est de l'ordre de 10 volts par micron d'épaisseur de la région N, la tension directe maximale de claquage de la structure dite asymétrique peut être portée, simplement du fait de la succession des régions PNN⁺, à environ 20 volts par micron d'épaisseur de la région de base N supposée peu dopée.

On peut donc réduire l'épaisseur de la région N pour une même tenue en tension de blocage directe, ce qui est intéressant pour réduire les pertes et améliorer les compromis associés à la rapidité ; ou encore, à épaisseur de région N donnée, on obtient une tension de blocage sensiblement double de celle d'un thyristor classique.

Par ailleurs, dans un certain nombre d'applications,

parmi lesquelles on peut citer à titre d'exemple la conversion directe de tensions alternatives en tensions continues par découpage à haute fréquence, ou encore les hacheurs de très forte puissance pour la traction électrique ferroviaire, le thyristor 5 est souvent placé en parallèle avec une diode dont le sens de conduction est orienté en inverse de celui du thyristor. Cette diode est là pour assurer l'écoulement des courants de sens inverse, par exemple les courants induits par les charges réactives oscillantes tels qu'on les rencontre dans les onduleurs. On appelle cette 10 diode "diode de conduction inverse", "diode inverse", "diode antiparallèle" ou "diode roue libre".

Lorsque cette diode inverse est placée en parallèle sur un thyristor, celui-ci n'a pas besoin d'être capable de supporter une tension inverse élevée puisque la diode court-circuite ces 15 tensions inverses. Le thyristor asymétrique, qui présente une mauvaise tenue en inverse, est donc approprié à un montage avec diode de conduction inverse.

La structure que l'on veut réaliser selon le procédé de la présente invention est représentée en coupe à la figure 2. Elle 20 associe sur un même substrat semi-conducteur, dans deux zones de dimensions comparables, un thyristor asymétrique et une diode de conduction inverse.

Dans la zone de thyristor, sur la partie gauche de la figure 2, on rencontre successivement une région d'anode 20 de 25 type P⁺, analogue à la région 10 de la figure 1, une région 21 de type N⁺ par laquelle on rend le thyristor asymétrique, une région de base 22 de type N faiblement dopée, d'épaisseur moindre que la région 12 de la figure 1 pour une même tenue en tension directe, une région de gâchette 24 de type P, et une région de cathode 26 de type N⁺. La région 24 de type P remonte après un enrichissement P⁺ localisé jusqu'à la surface à travers la région 26, en certains endroits d'étendue limitée devant l'étendue générale de la zone de thyristor, d'une part pour assurer une prise de contact pour une électrode de gâchette 27, d'autre part pour assurer par endroits 30 des court-circuits d'émetteur où la région de gâchette vient en contact direct avec une électrode de cathode 25 qui recouvre la 35

plus grande partie de la surface supérieure de la tranche et est donc en contact avec la région de cathode 25. Une électrode d'anode 23 recouvre la surface inférieure de la tranche et est en contact avec la région d'anode 20.

5 A côté de la zone de thyristor, sur la partie droite de la figure 2, se trouve la zone de diode de conduction inverse, comportant successivement, de la face inférieure vers la face supérieure de la structure, l'électrode 23 qui est commune aux deux zones et qui recouvre toute la face inférieure de la tranche,
10 une région 28, de type N⁺ fortement dopée, de profondeur sensiblement égale à la profondeur de la zone 20 de type P⁺, une région de type N⁺ moins fortement dopée que la région 28, qui est la région 21 s'étendant à la fois dans la zone de thyristor et dans la zone de diode, une région de type N qu'on peut appeler
15 le parent de la diode, qui est la région 22 s'étendant avec une épaisseur sensiblement uniforme à la fois dans la zone de thyristor et dans la zone de diode, une région de type P (région d'anode pour la diode), qui est la région 24 s'étendant à la fois dans la zone de thyristor et dans la zone de diode, une région 29
20 de type P⁺, pour permettre une prise de contact conducteur sur l'anode de la diode, cette région 29 s'étendant sensiblement sur la même profondeur que la région 26 de la zone de thyristor, et enfin l'électrode 25 qui s'étend non seulement sur l'essentiel de la zone de thyristor mais aussi sur toute la zone de diode où elle
25 est en contact avec la région 29 de type P⁺.

Les électrodes 23 et 25 communes aux deux zones assurent le montage en parallèle avec inversion de sens de la diode et du thyristor.

Etant donné que la diode aussi bien que le thyristor com-
30 portent une structure PNN⁺ qui régit essentiellement la valeur de la tension de claquage, et étant donné que l'épaisseur de la région N 22 est la même dans les deux zones, on voit que la limite des tensions que l'on peut appliquer dans le sens direct du thyristor est la même en ce qui concerne le risque de claquage du
35 thyristor et le risque de claquage de la diode : la présence de la diode ne limitera pas la capacité de blocage en direct du

thyristor.

L'épaisseur de la zone N 22 pourra être optimisée en fonction de la tension de blocage désirée et des pertes supportables sans qu'il soit nécessaire de faire en sorte que 5 l'épaisseur de la région 22 soit différente dans la zone de thyristor et la zone de diode.

Le procédé de fabrication selon l'invention de la structure de la figure 2 se déroule de la manière suivante (dans l'exposé du procédé, on donnera à chacune des couches la référence 10 qu'elle porte en figure 2, même si dans des étapes préliminaires cette couche n'a pas encore sa configuration définitive).

A partir d'un substrat de silicium monocristallin peu dopé 22, de type N, ayant une concentration en impuretés de l'ordre de 10^{14} atomes par centimètre cube, on réalise une structure N/N⁺ représentée à la figure 3a, dans laquelle la couche N⁺ 21 a une épaisseur de l'ordre de 70 microns et la couche N (22) une épaisseur de l'ordre de 60 à 100 microns pour des thyristors aptes à bloquer des tensions de l'ordre de 1200 volts et plus ; ces épaisseurs sont modifiées selon les tensions de blocage 20 souhaitées.

Cette structure N/N⁺ peut être réalisée par diffusion de phosphore ou d'arsenic, sur une seule face du substrat, l'autre étant masquée, ou bien sur les deux faces, la face supérieure étant alors rodée pour éliminer la partie dopée. Le contrôle de la 25 concentration de surface peut aussi être effectué par implantation ionique de type N⁺ et redistribution.

La concentration de surface de la couche N⁺ 21 peut être de l'ordre de 10^{17} à $5 \cdot 10^{17}$ atomes/cm³.

On masque ensuite par une couche de silice 30 la face 30 inférieure du substrat (figure 3b) et on dope le substrat par sa face supérieure dénudée, avec une impureté de type P, par exemple du bore, de manière à obtenir une couche 24 de profondeur uniforme de l'ordre de 50 microns, ayant une concentration de surface de l'ordre de 10^{18} à 10^{19} atomes par centimètre cube.

35 Après formation de silice, puis dépôt d'une couche de résine photosensible, masquage de la résine et gravure, on élimine

la silice dans les zones non recouvertes de résine et on élimine la résine, ceci sur les deux faces de la tranche, de manière à obtenir (figure 3c) sur la face inférieure un motif dans lequel de la silice 31 est présente sur sensiblement la moitié du substrat 5 (qui sera la zone de thyristor) et est absente sur l'autre moitié (qui sera la zone de diode), et de manière à obtenir sur la face supérieure un motif dans lequel de la silice 32 est présente dans ce qui sera la zone de diode et est essentiellement absente dans ce qui sera la zone de thyristor. Toutefois, des flots de silice 10 33 peuvent subsister sur la face supérieure dans la zone de thyristor : ils correspondent aux zones dans lesquelles on a vu (figure 2) que la région de gâchette doit remonter à la surface de la tranche pour un contact avec une électrode de gâchette et pour les courts-circuits d'émetteur.

15 L'étape suivante consiste (figure 3d) à effectuer une diffusion simultanée de phosphore et de gallium (diffusion au phosphure de gallium PGa), sur les deux faces du substrat, par exemple selon le procédé de diffusion en four scellé qui est décrit dans le brevet français 2 126 904.

20 Dans une telle diffusion, si l'on prépare convenablement la source de dopant (phosphure de gallium avec adjonction éventuelle de silicium en poudre), comme cela est décrit, on obtient le résultat suivant : le phosphore et le gallium diffusent dans le substrat sensiblement à la même profondeur mais le 25 phosphore ne diffuse que là où la tranche n'est pas recouverte de silice tandis que le gallium diffuse même à travers la silice.

Ainsi, sous les zones recouvertes de silice on obtient un dopage de type P dû au gallium, et, sous les zones non recouvertes de silice dans lesquelles du gallium et du phosphore ont diffusé, 30 on obtient un dopage de type N du fait que la concentration en phosphore, suffisamment supérieure à la concentration en gallium, permet au front de phosphore de précéder légèrement le front de gallium.

Il en résulte, après désoxydation, la structure 35 représentée à la figure 3e, structure sur laquelle il reste à déposer et graver des couches métalliques d'électrodes après avoir

effectué des traitements de contrôle de la durée de vie, pour obtenir la structure désirée représentée à la figure 2.

Les concentrations de surface des couches N^+ 26 et 28 obtenues par la pénétration de phosphore dans les zones non protégées peuvent être de l'ordre de 10^{20} atomes par centimètre cube, et celles des couches 20 et 29 obtenues par la pénétration de gallium de l'ordre de 10^{18} à 10^{19} atomes/cm³.

Le procédé de fabrication qui vient d'être décrit est extrêmement intéressant par son nombre réduit d'étapes, qui le rend plus simple que la fabrication usuelle d'un thyristor classique à diode inverse. En effet, en une seule étape de diffusion, on réalise simultanément les quatre couches 20, 26, 28, 29.

On notera que lors de la même étape, on peut également réaliser des courts-circuits d'anode en prévoyant avant diffusion des ouvertures dans la couche de silice 31 à travers lesquelles diffusera du phosphore. On réalise ainsi de petits contacts localisés entre la couche N^+ 21 et l'électrode d'anode 23. Cette possibilité sera avantageusement utilisée pour la fabrication de thyristors asymétriques ouvrables par la gâchette (dits GTO ou GCO). Pour de tels dispositifs, les performances à l'ouverture sont améliorées par la présence d'une zone N^+ (court-circuit d'anode) localisée dans la couche d'anode en face du centre de la couche de cathode, dans la zone de focalisation des lignes de courant lors de l'ouverture. Le procédé de diffusion simultanée à partir de phosphure de gallium permet alors de former cette zone N^+ en même temps que la couche d'anode, la couche de cathode et la zone surdopée de gâchette à partir d'une tranche PNN⁺.

La présente invention n'est pas limitée aux modes de réalisation qui ont été explicitement décrits ; elle englobe les diverses variantes et généralisations incluses dans le domaine des revendications ci-après.

REVENDICATIONS.

1. Procédé de fabrication d'une structure semiconductrice comprenant un thyristor asymétrique associé à une diode de conduction inverse, comportant d'abord les opérations suivantes :

- dopage sur une profondeur uniforme, avec une impureté de type N et une concentration élevée, de toute la surface inférieure d'un substrat semiconducteur (22) peu dopé de type N pour réaliser une couche uniforme (21) de type N^+ ,

5 - dopage du substrat par une impureté de type P telle que du bore de manière à réaliser sur la face supérieure du substrat une couche (24) de type P de profondeur uniforme,

10 procédé caractérisé par la succession d'étapes suivantes :

- masquage par de l'oxyde de silicium de la face inférieure (31) de la tranche semiconductrice dans une région définissant une zone de thyristor et de la face supérieure (32) de 15 la tranche essentiellement dans une région définissant une zone de diode de conduction inverse, complémentaire de la zone de thyristor,

- diffusion simultanée de type N et P au moyen de phosphure de gallium (PGa) sur les deux faces de la tranche,

20 - dépôt et gravure d'électrodes métalliques (23, 25) sur les deux faces.

2. Procédé selon la revendication 1, caractérisé en ce que les zones complémentaires de thyristor et de diode inverse occupent des surfaces de dimensions analogues.

25 3. Procédé selon la revendication 1, caractérisé en ce que le masquage de la face supérieure du substrat par de l'oxyde de silicium consiste à masquer aussi dans la zone de thyristor des petites zones localisées (33) destinées à la formation d'une zone de contact de gâchette pour le thyristor et de court-circuits 30 d'émetteur.

4. Procédé selon la revendication 1, caractérisé en ce que des ouvertures sont prévues dans la couche de silice (31)

recouvrant la face inférieure, assurant ainsi la formation de courts-circuits d'anode.

5. Procédé selon la revendication 1, caractérisé en ce que la diffusion au moyen de phosphure de gallium se fait en four scellé avec une source de dopant qui est un mélange de phosphure de gallium et de silicium en poudre.

1 / 2

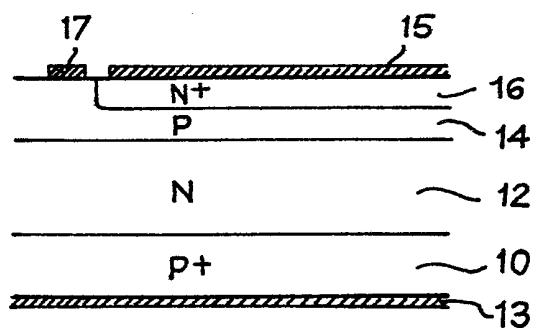


Fig. 1

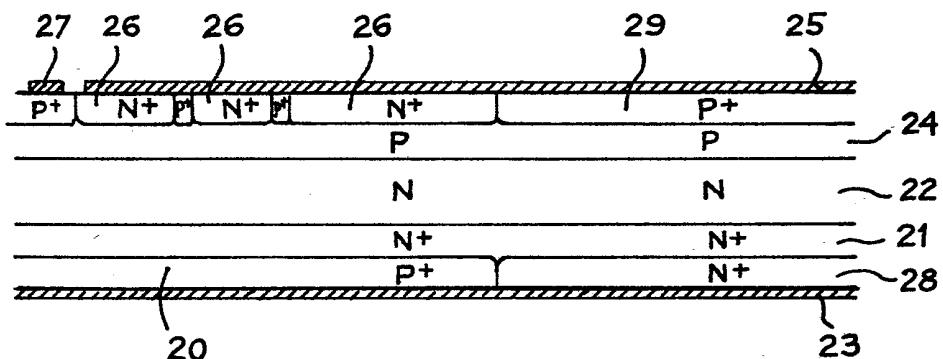


Fig. 2

2/2

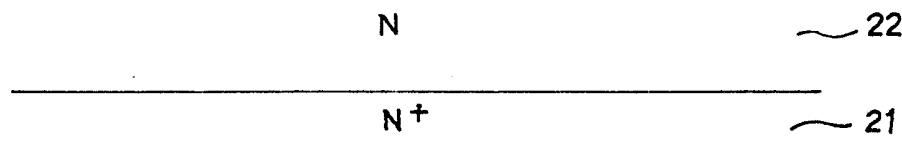


Fig. 3a

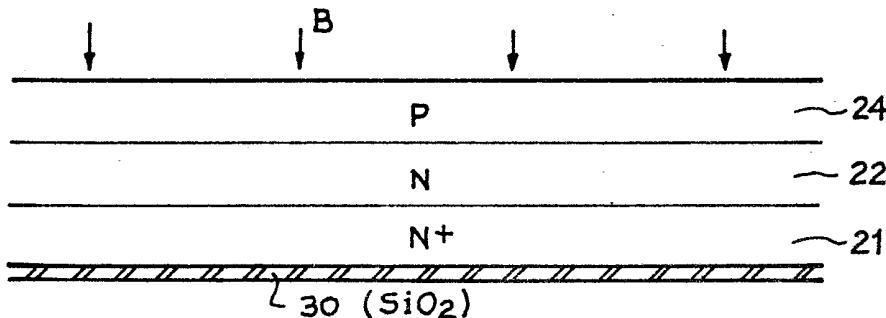


Fig. 3b

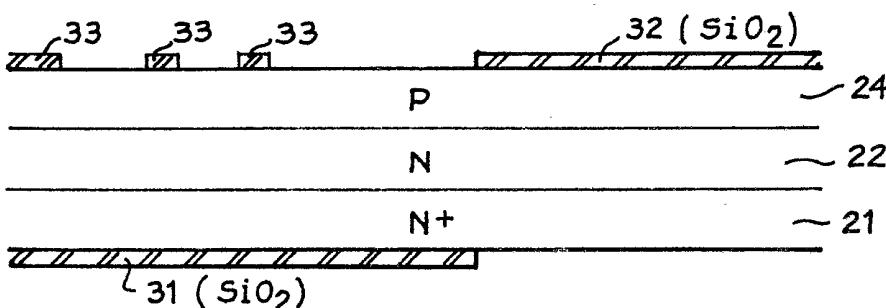


Fig. 3c

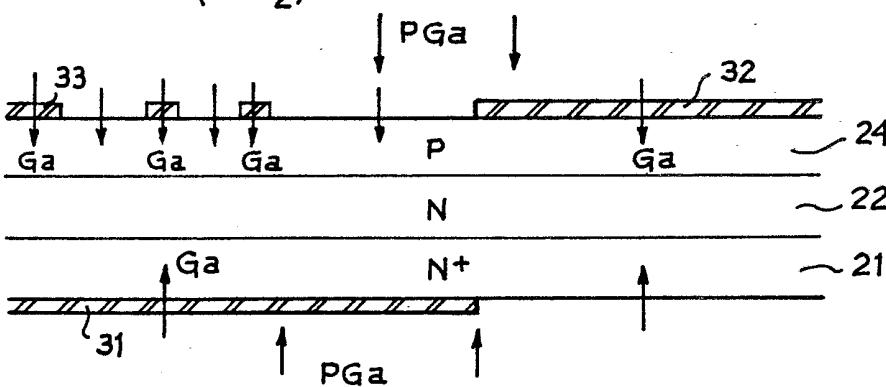


Fig. 3d

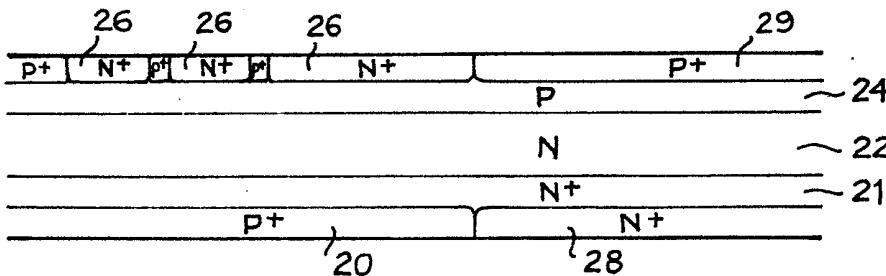


Fig. 3e