



등록특허 10-2479269



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년12월20일
(11) 등록번호 10-2479269
(24) 등록일자 2022년12월15일

- (51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *H01L 27/12* (2006.01)
- (52) CPC특허분류
G09G 3/3648 (2013.01)
H01L 27/1225 (2013.01)
- (21) 출원번호 10-2022-7021885(분할)
- (22) 출원일자(국제) 2010년12월21일
 심사청구일자 2022년06월27일
- (85) 번역문제출일자 2022년06월27일
- (65) 공개번호 10-2022-0098390
- (43) 공개일자 2022년07월12일
- (62) 원출원 특허 10-2021-7035796
 원출원일자(국제) 2010년12월21일
 심사청구일자 2021년11월02일
- (86) 국제출원번호 PCT/JP2010/073660
- (87) 국제공개번호 WO 2011/089833
 국제공개일자 2011년07월28일

(30) 우선권주장
 JP-P-2010-010250 2010년01월20일 일본(JP)

(56) 선행기술조사문헌

US20080308797 A1*

KR1020080087744 A*

JP2009141002 A*

*는 심사관에 의하여 인용된 문헌

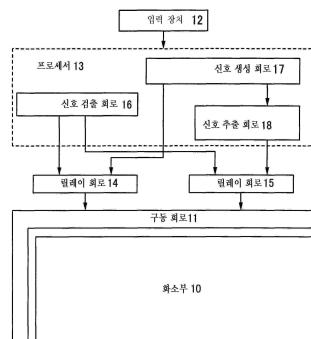
전체 청구항 수 : 총 3 항

심사관 : 이우리

(54) 발명의 명칭 표시 장치 및 휴대 전화기

(57) 요 약

간단한 구성과 간단한 조작에 의해 표시 장치의 소비 전력을 저감하기 위하여, 표시 장치는 입력 장치를 포함한다. 구동 회로에의 화상 신호의 입력은 입력 장치로부터 출력되는 화상 조작 신호에 따라 제어된다. 구체적으로, 입력 장치가 조작되지 않을 때의 화상 신호의 입력은 입력 장치가 조작될 때보다 덜 빈번하다. 따라서, 표시 장치가 사용되는 때에 일어나는 표시 열화(표시 품질의 열화)가 방지될 수 있으며, 표시 장치가 사용되지 않을 때의 소비 전력이 저감될 수 있다.

대 표 도 - 도1

(52) CPC특허분류

G09G 2300/0408 (2013.01)

G09G 2320/043 (2013.01)

G09G 2330/022 (2013.01)

G09G 2340/0435 (2013.01)

G09G 2360/14 (2013.01)

명세서

청구범위

청구항 1

액정 표시 장치로서,

클래스 기판;

상기 클래스 기판 위의 화소부;

상기 클래스 기판 위의 제1 구동 회로;

상기 클래스 기판 위의 제2 구동 회로; 및

상기 클래스 기판 위의 트랜지스터

를 포함하고,

게이트 전극이 상기 클래스 기판 위에 제공되고,

질화 실리콘을 포함하는 제1 절연막, 실리콘, 질소 및 산소를 포함하는 제2 절연막 및 산화 실리콘을 포함하는 제3 절연막을 포함하는 제1 절연층이 상기 게이트 전극 위에 제공되고,

인듐, 갈륨 및 아연을 포함하고 제1 두께를 갖는 제1 산화물 반도체층이 상기 제1 절연층 위에 제공되고,

인듐, 갈륨 및 아연을 포함하고 상기 제1 두께보다 큰 제2 두께를 갖는 제2 산화물 반도체층이 상기 제1 산화물 반도체층 위에 제공되고,

제1 도전층 및 제2 도전층이 상기 제2 산화물 반도체층 위에서 전기적으로 접하여 제공되고,

산화 실리콘을 포함하는 제2 절연층이 상기 제1 도전층 및 상기 제2 도전층 위에 제공되고, 상기 제2 절연층은 상기 제2 산화물 반도체층의 상면 및 상기 제1 절연층의 상면과 접하고,

질화 실리콘을 포함하는 제3 절연층이 상기 제2 절연층 위에 제공되고,

유기 재료를 포함하는 제4 절연층이 상기 제3 절연층 위에 제공되고,

상기 게이트 전극은 테이퍼 각도(tapered angle)를 갖고,

상기 제1 도전층은 상기 제1 산화물 반도체층의 측면 및 상기 제2 산화물 반도체층의 측면과 접하고,

상기 게이트 전극은 상기 제1 도전층 및 상기 제2 도전층과 중첩하고,

상기 제1 산화물 반도체층은 결정부를 포함하고,

상기 제2 산화물 반도체층은 결정부를 포함하는, 액정 표시 장치.

청구항 2

액정 표시 장치로서,

클래스 기판;

상기 클래스 기판 위의 화소부;

상기 클래스 기판 위의 제1 구동 회로;

상기 클래스 기판 위의 제2 구동 회로; 및

상기 클래스 기판 위의 트랜지스터

를 포함하고,

게이트 전극이 상기 클래스 기판 위에 제공되고,

질화 실리콘을 포함하는 제1 절연막, 실리콘, 질소 및 산소를 포함하는 제2 절연막 및 산화 실리콘을 포함하는 제3 절연막을 포함하는 제1 절연층이 상기 게이트 전극 위에 제공되고,

인듐, 갈륨 및 아연을 포함하고 제1 두께를 갖는 제1 산화물 반도체층이 상기 제1 절연층 위에 제공되고,

인듐, 갈륨 및 아연을 포함하고 상기 제1 두께보다 큰 제2 두께를 갖는 제2 산화물 반도체층이 상기 제1 산화물 반도체층 위에 제공되고,

제1 도전층 및 제2 도전층이 상기 제2 산화물 반도체층 위에서 전기적으로 접하여 제공되고,

산화 실리콘을 포함하는 제2 절연층이 상기 제1 도전층 및 상기 제2 도전층 위에 제공되고, 상기 제2 절연층은 상기 제2 산화물 반도체층의 상면 및 상기 제1 절연층의 상면과 접하고,

질화 실리콘을 포함하는 제3 절연층이 상기 제2 절연층 위에 제공되고,

유기 재료를 포함하는 제4 절연층이 상기 제3 절연층 위에 제공되고,

상기 게이트 전극은 테이퍼 각도(tapered angle)를 갖고,

상기 제1 도전층은 상기 제1 산화물 반도체층의 측면 및 상기 제2 산화물 반도체층의 측면과 접하고,

상기 게이트 전극은 상기 제1 도전층 및 상기 제2 도전층과 중첩하는, 액정 표시 장치.

청구항 3

액정 표시 장치로서,

클래스 기판;

상기 클래스 기판 위의 화소부;

상기 클래스 기판 위의 제1 구동 회로;

상기 클래스 기판 위의 제2 구동 회로; 및

상기 클래스 기판 위의 트랜지스터

를 포함하고,

게이트 전극이 상기 클래스 기판 위에 제공되고,

질화 실리콘을 포함하는 제1 절연막, 실리콘, 질소 및 산소를 포함하는 제2 절연막 및 산화 실리콘을 포함하는 제3 절연막을 포함하는 제1 절연층이 상기 게이트 전극 위에 제공되고,

인듐, 갈륨 및 아연을 포함하고 제1 두께를 갖는 제1 산화물 반도체층이 상기 제1 절연층 위에 제공되고,

인듐, 갈륨 및 아연을 포함하고 상기 제1 두께보다 큰 제2 두께를 갖는 제2 산화물 반도체층이 상기 제1 산화물 반도체층 위에 제공되고,

제1 도전층 및 제2 도전층이 상기 제2 산화물 반도체층 위에서 전기적으로 접하여 제공되고,

산화 실리콘을 포함하는 제2 절연층이 상기 제1 도전층 및 상기 제2 도전층 위에 제공되고, 상기 제2 절연층은 상기 제2 산화물 반도체층의 상면 및 상기 제1 절연층의 상면과 접하고,

질화 실리콘을 포함하는 제3 절연층이 상기 제2 절연층 위에 제공되고,

유기 재료를 포함하는 제4 절연층이 상기 제3 절연층 위에 제공되고,

상기 게이트 전극은 테이퍼 각도(tapered angle)를 갖고,

상기 제1 도전층은 상기 제1 산화물 반도체층의 측면 및 상기 제2 산화물 반도체층의 측면과 접하고,

상기 게이트 전극은 상기 제1 도전층 및 상기 제2 도전층과 중첩하고,

상기 제1 산화물 반도체층은 결정부를 포함하는, 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다. 특히, 본 발명은 화소부에 대한 화상 신호의 입력이 제어될 수 있는 표시 장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스형의 표시 장치가 보급되어 있다. 표시 장치는 화소부 및 화소부에 있어서의 화상 표시를 제어하는 구동 회로를 포함한다. 구체적으로는, 표시 장치에 있어서, 화소부에 있어 매트릭스 형태로 배치된 복수의 화소들에 입력되는 화상 신호들이 구동 회로에 의해 제어하는 방식으로 표시가 수행된다.

[0003] 근래에는, 지구 환경에의 관심이 높아지고, 저소비 전력형의 표시 장치의 개발이 주목받고 있다. 예를 들면, 특히 문헌 1에는, 액정 표시 장치에 있어서의 소비 전력을 저감하는 기술이 개시되어 있다. 구체적으로, 모든 주사선 및 데이터 신호선이 비선택 상태인 휴지 기간에 모든 데이터 신호선이 전기적으로 데이터 신호 드라이버로부터 전기적으로 분리되어, 하이 임피던스 상태(부정 상태, 부유 상태라고도 함)로 되는 액정 표시 장치가 개시되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특허공개공보 제2001-312253호

발명의 내용

[0005] 그렇지만, 특허 문헌 1에 개시되는 액정 표시 장치를 실현하기 위해서는, 액정 표시 장치를 구성하는 구동 회로의 구성 및 동작을 복잡화할 필요가 있다.

[0006] 상기 사항을 감안하여, 본 발명의 일 실시형태의 목적은 간편한 구성 및 동작에 의해 표시 장치의 소비 전력을 저감하는 것을 목적으로 한다.

[0007] 상기 과제는 표시 장치에 입력 장치가 제공되고, 입력 장치로부터 출력되는 화상 조작 신호에 따라 구동 회로에 대한 화상 신호의 입력이 제어되는 방식으로 성취될 수 있다.

[0008] 본 발명의 일 실시형태는, 구동 회로에 의해 화소부에 대한 화상 신호의 입력을 제어하여 화상의 표시를 수행하는 표시 장치이다. 표시 장치는, 화상 조작 신호를 출력하는 입력 장치; 화상 조작 신호를 검출하여, 검출 신호를 출력하는 신호 검출 회로; 기준 화상 신호를 생성하는 신호 생성 회로; 기준 화상 신호가 입력되어, 기준 화상 신호의 일부를 추출한 신호인 추출 화상 신호를 출력하는 신호 추출 회로; 검출 신호가 입력되는 제1 릴레이 회로 및 제2 릴레이 회로를 포함한다. 표시 장치에 있어서, 신호 검출 회로에 의해 화상 조작 신호가 검출될 때에, 제1 릴레이 회로를 통해 입력되는 기준 화상 신호가 화상 신호로서 선택되고, 신호 검출 회로에 의해 상기 화상 조작 신호가 검출되지 않는 때에, 제2 릴레이 회로를 통해 입력되는 추출 화상 신호가 상기 화상 신호로서 선택된다.

[0009] 본 발명의 일 실시형태의 표시 장치에 있어서, 입력 장치의 조작에 따라 구동 회로로부터 출력되는 화상 신호가 선택될 수 있다. 구체적으로는, 입력 장치가 조작되지 않는 때의 화상 신호의 입력은 입력 장치가 조작될 때의 화상 신호의 입력보다 빈도가 낮다. 이에 의해, 표시 장치가 사용될 때 일어나는 표시의 열화(표시 품질의 저하)를 억제할 수 있으며, 사용되지 않는 때의 소비 전력을 저감할 수 있다.

도면의 간단한 설명

[0010] 도 1은 제1 실시형태에 따른 표시 장치를 나타내는 도면.

도 2a 및 도 2b는 각각 제1 실시형태에 따른 표시 장치를 나타내는 플로차트.

도 3a 및 도 3b는 각각 제1 실시형태에 따른 표시 장치를 나타내는 도면.

도 4a 내지 도 4f는 각각 제1 실시형태에 따른 표시 장치를 나타내는 도면.

도 5a 및 도 5b는 각각 제1 실시형태에 따른 표시 장치를 나타내는 도면.

도 6의 (a) 내지 (d)는 각각 제2 실시형태에 따른 트랜지스터를 나타내는 도면.

도 7의 (a) 내지 (e)는 제3 실시형태에 다른 트랜지스터를 나타내는 도면.

도 8a 및 도 8b는 각각 제4 실시형태에 따른 표시 장치를 나타내는 도면.

도 9a 내지 도 9d는 제5 실시형태에 따른 전자 장치를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 본 발명의 실시형태를 도면을 참조하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 일탈하는 일 없이 그 형태 및 상세를 여러 가지로 변경할 수 있는 것은, 당업자이면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정되어 해석되는 것은 아니다.

[0012] (제1 실시형태)

[0013] 본 실시형태에서는, 본 발명의 일 실시형태의 표시 장치에 대하여 설명한다. 구체적으로, 구동 회로에 의해 화소부에 대한 화상 신호의 입력을 제어하는 것으로 화상의 표시를 수행하는 표시 장치에 대하여 도 1, 도 2a와 도 2b, 도 3a와 도 3b, 도 4a 내지 도 4f, 및 도 5a와 도 5b를 참조하여 설명한다.

[0014] 도 1은 본 실시형태의 표시 장치의 구성을 나타내는 블록도이다. 도 1에 나타낸 표시 장치는 화소부(10); 화소부(10)에 대한 화상 신호의 입력을 제어하는 구동 회로(11); 화상 조작 신호를 출력하는 입력 장치(12); 화상 조작 신호가 입력되는 프로세서(13); 및 프로세서(13)로부터 출력되는 각종 신호의 구동 회로(11)에의 입력을 제어하는 릴레이 회로(스위치 회로라고도 함)(14) 및 릴레이 회로(스위치 회로라고도 함)(15)를 포함한다. 화상 조작 신호는, 사용자에 의해 입력 장치(12)가 조작되는 때에 출력되며 화소부(10)에 있어서의 표시를 제어하는 신호임을 유의한다. 입력 장치(12)의 구체적인 예는 키보드, 마우스, 터치 패드 등을 포함한다.

[0015] 프로세서(13)는 입력 장치(12)로부터 출력되는 화상 조작 신호를 검출하여 검출 신호를 출력하는 신호 검출 회로(16); 화상 조작 신호 등에 기초하여 기준 화상 신호를 생성하는 신호 생성 회로(17); 및 기준 화상 신호가 입력되어 추출 화상 신호를 출력하는 신호 추출 회로(18)를 포함한다. 검출 신호는 2진 신호(프로세서(13)에 화상 조작 신호가 "입력됨" 또는 "입력되지 않음"을 나타내는 신호)임에 유의한다. 기준 화상 신호는 특정의 프레임 주파수를 가지는 화상 신호이며, 추출 화상 신호는 기준 화상 신호의 일부를 추출하여 형성되는 화상 신호임을 유의한다. 예를 들어, 기준 화상 신호로서 프레임 주파수(리프레시 속도(refresh rate)라고도 함)가 60 Hz(즉, 프레임 속도(frame rate)가 60 fps)인 화상 신호가 사용될 수 있으며, 추출 화상 신호로서 프레임 주파수(리프레시 속도라고도 함)가 1 Hz(프레임 속도가 1 fps)인 화상 신호가 사용될 수 있다. 1 프레임의 기준 화상 신호의 기간 및 1 프레임의 추출 화상 신호의 기간은 동일하다는 점에 유의한다. 즉, 추출 화상 신호는 1초 동안 1 프레임의 화상을 나타내는 1 프레임의 기준 화상 신호가 아니라, 기준 화상 신호의 1/60초의 신호와 동일한 신호이다. 또한, 추출 화상 신호는 기준 화상 신호와 동일한 기간 및 신호가 존재하지 않는 기간을 갖는다.

[0016] 릴레이 회로(14)는 기준 화상 신호의 구동 회로(11)에의 입력을 제어하는 회로이다. 릴레이 회로(15)는 추출 화상 신호의 구동 회로(11)에의 입력을 제어하는 회로이다. 또한, 릴레이 회로(14) 및 릴레이 회로(15)의 동작은 검출 신호에 의해 제어된다. 구체적으로, 신호 검출 회로(16)에 의해 화상 조작 신호가 검출될 때에, 릴레이 회로(14)를 통해 기준 화상 신호가 구동 회로(11)에 입력되고, 화상 조작 신호가 검출되지 않는 때에, 릴레이 회로(15)를 통해 추출 화상 신호가 구동 회로(11)에 입력된다. 즉, 구동 회로(11)에 입력되는 신호가 검출 신호에 의해 선택된다.

[0017] 도 1에 도시된 표시 장치의 동작을 도 2a 및 도 2b에 도시된 플로차트를 참조하여 설명한다. 도 1에 도시된 표시 장치에서는, 도 2a에 도시된 플로차트의 동작 및 도 2b에 도시된 플로차트의 동작이 병행하여 수행된다는 점에 유의한다.

[0018] 도 2a에 도시된 바와 같이, 도 1에 도시된 표시 장치에서는, 우선, 신호 생성 회로(17)가 기준 화상 신호를 생성한다. 그 후, 신호 검출 회로(16)에 의해 입력 장치(12)로부터 입력된 화상 조작 신호가 검출되는 때에는 기준 화상 신호가 구동 회로(11)에 입력되는 반면, 신호 검출 회로(16)에 의해 화상 조작 신호가 검출되지 않는 때에는 기준 화상 신호의 구동 회로(11)에의 입력이 릴레이 회로(14)에 의해 차단된다.

- [0019] 도 2b에 도시된 바와 같이, 도 1에 도시된 표시 장치에서, 우선, 신호 생성 회로(17)가 기준 화상 신호를 생성한다. 그 후, 신호 추출 회로(18)가 기준 화상 신호에 기초하여 추출 화상 신호를 생성한다. 그 후, 신호 검출 회로(16)에 의해 화상 조작 신호가 검출되는 때에는 추출 화상 신호의 구동 회로(11)에의 입력이 릴레이 회로(15)에 의해 차단되는 반면, 신호 검출 회로(16)에 의해 화상 조작 신호가 검출되지 않는 때에는 추출 화상 신호가 구동 회로(11)에 입력된다.
- [0020] 도 1에 도시된 표시 장치에서 이러한 동작들이 서로 병행하여 수행되어, 구동 회로(11)에 입력되는 화상 신호들이 입력 장치(12)의 조작(화상 조작 신호의 검출)과 연동시키는 것이 가능하다. 구체적으로, 사용자에 의해 입력 장치(12)가 조작되는 때에는 화소부(10)에 기준 화상 신호를 입력하는 것으로 표시가 수행될 수 있는 반면, 사용자에 의해 입력 장치(12)가 조작되지 않는 때에는 화소부(10)에 추출 화상 신호를 입력하는 것으로 표시가 수행될 수 있다. 이에 의해, 표시 장치가 사용될 때의 표시의 열화(표시 품질의 저하)가 방지될 수 있으며, 표시 장치가 사용되지 않는 때의 소비 전력이 저감될 수 있다.
- [0021] 도 1에 도시된 표시 장치에 포함되는 릴레이 회로(14), 릴레이 회로(15), 및 신호 추출 회로(18)로서는, 도 3a에 도시된 바와 같이, 스위치로서의 기능을 가지는 회로가 사용될 수 있다는 것을 유의한다. 이 경우, 릴레이 회로(14) 및 릴레이 회로(15)의 스위칭 동작은 신호 검출 회로(16)로부터 출력되는 검출 신호에 따라 각각 제어된다. 이에 대하여, 신호 추출 회로(18)는 검출 신호에 의존하지 않고, 주기적으로 스위칭 동작이 제어된다. 스위치는 전기적인 접속을 제어하는 것이 가능하다는 점에 유의한다. 스위치의 구체적인 예로서는, 트랜지스터, MEMS(micro electro mechanical system) 스위치 등을 포함한다.
- [0022] 도 3b는 회로를 스위치라고 간주한 경우에 있어서의 릴레이 회로(14), 릴레이 회로(15), 및 신호 추출 회로(18) 각각의 동작의 구체적인 예를 나타낸다. 전술한 바와 같이, 신호 검출 회로(16)로부터 출력되는 검출 신호는 사용자의 조작에 근거하여 생성된다. 따라서, 검출 신호에 있어서, 화상 조작 신호가 검출되는 상태(Detect)와 화상 조작 신호가 검출되지 않는 상태(Not Detected, ND))가 불규칙적으로 변한다. 릴레이 회로(14) 및 릴레이 회로(15)는 검출 신호의 변화에 따라 스위칭 동작을 수행하는 스위치로서 기능한다. 구체적으로, 릴레이 회로(14)는 화상 조작 신호가 검출되는(Detect) 기간에 있어서 온(On) 되고, 화상 조작 신호가 검출되지 않는(Not Detected, ND) 기간에 있어서 오프(Off) 되는 스위치로서 기능한다. 이에 대하여, 릴레이 회로(15)는 화상 조작 신호가 검출되는(Detect) 기간에 있어 오프(Off)가 되고, 화상 조작 신호가 검출되지 않는(Not Detected, ND) 기간에 있어 온(On) 되는 스위치로서 기능한다.
- [0023] 또한, 전술한 바와 같이, 신호 추출 회로(18)로부터 출력되는 추출 화상 신호는 기준 화상 신호의 일부를 추출하여 형성되는 신호이다. 따라서, 추출 화상 신호는 신호 추출 회로(18)에 입력되는 기준 화상 신호를 선택적으로 출력함으로써 생성할 수 있다. 즉, 신호 추출 회로(18)가 적절하게 스위칭 동작을 수행하는 스위치로서 기능하는 때에, 추출 화상 신호가 생성될 수 있다. 도 3b는 신호 추출 회로(18)가 주기적으로(기간 T1, 기간 T3, 기간 T5) 온(On) 되는 스위치로서 기능하는 예를 나타낸다. 즉, 기간 T1, 기간 T3, 기간 T5에 있어서 기준 화상 신호와 추출 화상 신호는 동일한 화상 신호이다. 도 3b의 기간 T1, 기간 T3, 및 기간 T5의 길이는 같다는 것에 유의한다. 신호 추출 회로(18)가 오프(Off) 되는 기간(기간 T2, 기간 T4, 기간 T6)에 있어서, 추출 화상 신호는 하이 임피던스 상태(Z)에 있다.
- [0024] 또한, 도 3b에서는, 도 3b에 도시된 바와 같은 릴레이 회로(14), 릴레이 회로(15), 및 신호 추출 회로(18)가 동작할 때 구동 회로(11)에 입력되는 신호 또한 도시되어 있다. 이하, 구동 회로(11)에 입력되는 신호를 각 기간 별로 상세하게 설명한다.
- [0025] 기간 t1에 있어서, 구동 회로(11)에 화상 신호가 입력된다. 기간 t1에 있어서의 화상 신호는 릴레이 회로(14)를 통해 입력되는 기준 화상 신호이다. 기준 화상 신호의 구동 회로(11)에의 입력은 신호 검출 회로(16)에 의한 화상 조작 신호의 검출로부터 기인한다.
- [0026] 기간 t2에 있어서, 구동 회로(11)에는 화상 신호가 입력되지 않는다. 이는, 기간 t2에 있어서 신호 검출 회로(16)에 의해 화상 조작 신호가 검출되지 않는다는 사실, 및 기간 t2에 있어서 신호 추출 회로(18)가 오프(Off) 되는 스위치로서 기능하는 사실에 기인한다. 상기 상태의 경우에만 구동 회로(11)에 화상 신호가 입력되지 않는다는 것에 유의한다.
- [0027] 기간 t3에 있어서, 구동 회로(11)에 화상 신호가 입력된다. 기간 t3에 있어서의 화상 신호는 릴레이 회로(15)를 통해 입력되는 추출 화상 신호이다. 추출 화상 신호의 구동 회로(11)에의 입력은 신호 검출 회로(16)에 의해 화상 조작 신호가 검출되지 않는다는 사실, 및 기간 t3에 있어서 신호 추출 회로(18)가 온(On) 되는 스위치

로서 기능한다는 사실에 기인한다.

[0028] 기간 t4에 있어서, 구동 회로(11)에 화상 신호가 입력되지 않는다(기간 t2의 설명 참조).

[0029] 기간 t5에 있어서, 구동 회로(11)에 화상 신호가 입력된다(기간 t1의 설명 참조).

[0030] 기간 t6에 있어서, 구동 회로(11)에 화상 신호가 입력된다(기간 t3의 설명 참조).

[0031] 기간 t7에 있어서, 구동 회로(11)에 화상 신호가 입력되지 않는다(기간 t2의 설명 참조).

[0032] 도 3a 및 도 3b에 나타낸 표시 장치에 있어서, 입력 장치(12)로부터 출력되는 화상 조작 신호를 검출하여 2진 신호를 출력하는 신호 검출 회로(16); 신호 검출 회로(16)의 출력 신호에 의해 스위칭 동작이 제어되는 2개의 스위치(릴레이 회로(14) 및 릴레이 회로(15)); 및 스위칭 동작이 미리 설정되어 있는 스위치(신호 추출 회로(18))에 의해 소비 전력의 저감이 가능하다. 따라서, 도 3a 및 도 3b에 나타낸 표시 장치는 간단한 구성 및 동작에 의해 표시 장치의 소비 전력이 저감될 수 있는 표시 장치이다.

[0033] 도 3b를 참조하여 검출 신호의 변화와 동시에 구동 회로(11)에 입력되는 신호가 변화하는 구성에 대하여 설명하였지만, 검출 신호의 변화와 구동 회로(11)에 입력되는 신호의 변화와의 사이에 유유 기간이 제공되는 구성이 채용될 수도 있다. 이에 의해, 표시 품질의 저하를 억제할 수 있다. 이하, 그 이유에 대해 설명한다.

[0034] 전술한 바와 같이, 화상 신호는 특정한 프레임 주파수를 갖는다. 예를 들어, 프레임 주파수 60 Hz의 화상 신호의 경우, 1/60초(약 0.0167초)의 화상 신호를 이용하여 화소부(10)에 하나의 화상이 형성된다. 이에 비하여, 검출 신호는 프레임 주파수와는 동기화되지 않는다. 그 때문에, 검출 신호의 변화와 동시에 구동 회로(11)에 입력되는 신호가 변화하는 구성이 채용된다면, 하나의 화상의 형성 동안 화상 신호의 입력이 차단된다. 그 결과, 표시 장치의 표시 품질이 저하할 가능성성이 있다. 구체적으로, 이 문제는, 도 3b에 나타낸 동작 가운데, 기간 t1와 기간 t2의 경계 등에서 발생할 수 있다.

[0035] 예를 들어, 도 4a에 도시된 바와 같이, 신호 검출 회로(16)가 주기적으로 화상 조작 신호를 검출하고, 검출 신호를 출력하는 신호 검출부(21) 및 검출 신호가 입력되는 래치부(22)를 포함하는 구성이 채용되는 때에, 유지 기간이 제공될 수 있다. 래치부(22)는 불연속적으로 입력되는 신호에 기초하여 출력 신호를 제어할 수 있으며, 출력 신호를 연속적으로 출력하는 것(출력 신호를 유지하는 것)이 가능한 회로라는 점에 유의한다. 또한, 도 4a에 도시된 신호 검출 회로(16)는 래치부(22)에 출력되는 신호가 검출 신호이다.

[0036] 도 4a에 나타낸 신호 검출 회로(16)의 동작을 도 4b를 참조하여 설명한다. 도 4a에 나타낸 신호 검출 회로(16)에서, 프레임 기간 F1 내지 프레임 기간 F8의 각각이 개시하는 타이밍에서, 화상 조작 신호가 검출되고, 검출 결과가 래치부(22)에 출력된다. 이에 의해, 프레임 기간 동안(도 4b에서 프레임 기간 F4 동안)에 화상 조작 신호의 입력이 중단되는 경우에도, 검출 신호가 변화하는 타이밍은 또 다른 프레임 기간이 개시하는 타이밍과 동일할 수 있다.

[0037] 또한, 화상 조작 신호의 입력 기간이 프레임 기간보다 짧은 경우라도, 도 4c에 도시된 바와 같이, 신호 검출 회로(16)가 메모리부(23), 메모리부(23)에서 화상 조작 신호를 검출하여 검출 신호를 출력하는 신호 검출부(21), 및 신호 검출부(21)에서 출력되는 신호가 입력되는 래치부(22)를 포함하는 때에, 화상 조작 신호의 입력을 놓치지 않고, 구동 회로(11)에 입력되는 화상 신호가 제어될 수 있다. 메모리부(23)는 특정한 기간에 있어서의 화상 조작 신호를 저장할 수 있는 회로임을 유의한다. 도 4d는 전술한 경우의 구체적인 예를 나타낸다.

[0038] 도 4a 및 도 4c에 도시된 구조의 각각에 있어서, 래치부(22)에 출력되는 신호가 일정 기간 유지된 후, 래치부(22)에 출력되는 신호가 리셋되는(검출 신호가 화상 조작 신호가 검출되지 않는 상태(Not Detected, ND)에서 변화되는) 리셋부(24)가 제공될 수도 있다(도 4e 및 도 4f 참조).

[0039] 또한, 전술한 문제(즉, 하나의 화상의 형성 동안 화상 신호의 입력이 차단되는 등의 결점)가 생기지 않도록, 기준 화상 신호의 프레임 주파수를 고려하여 신호 추출 회로(18)에 의해 추출 화상 신호가 생성되는 것이 바람직하다. 예를 들어, 신호 추출 회로(18)는 프레임 기간의 개시와 동시에 온 되어, 온 상태를 프레임 기간만큼의 기간 또는 프레임 기간의 정수 배의 기간 동안 유지하는 스위치로서 기능하는 것이 바람직하다.

[0040] 도 5a에 도시된 바와 같이, 화소부(10), 구동 회로(11), 릴레이 회로(14), 및 릴레이 회로(15)는 동일한 기판(30) 위에 형성될 수 있다는 점에 유의한다. 다른 방법으로, 화소부(10), 구동 회로(11)의 일부, 릴레이 회로(14), 및 릴레이 회로(15)는 동일한 기판 위에 형성될 수 있다. 도 5b에 도시된 바와 같이, 구동 회로(11)가 릴레이 회로(14) 및 릴레이 회로(15)를 포함하는 구성이 채용될 수도 있다. 도 5b에 도시된 구성에 있어서, 화

소부(10) 및 구동 회로(11)는 동일한 기판 위에 형성될 수 있다는 점에 유의한다. 다른 방법으로서, 화소부(10) 및 구동 회로(11)의 일부는 동일한 기판 위에 형성될 수 있다.

[0041] 상기 표시 장치의 구조는 화상 신호의 입력만이 제어되는 구성을 설명하고 있지만, 구동 회로(11)를 제어하기 위한 각종 제어 신호(예컨대, 스타트 펄스(SP), 클록(CK), 전원 전위(Vdd), 전원 전위(Vss) 등)의 구동 회로(11)에의 입력 또한 릴레이 회로(14) 및 릴레이 회로(15)에 의해 수행되는 구성이 채용될 수 있다.

[0042] 본 실시형태 또는 본 실시형태의 일부는 다른 실시형태 또는 다른 실시형태의 일부와 자유롭게 조합될 수 있다는 점에 유의한다.

[0043] (제2 실시형태)

[0044] 본 실시형태에서는 제1 실시형태에 나타낸 표시 장치의 구성에 대해 상세하게 설명한다. 구체적으로, 표시 장치에 포함되는 트랜지스터의 예를 도 6의 (a) 내지 (d)를 참조하여 설명한다. 본 실시형태에서 기재된 트랜지스터는 제1 실시형태에 기재된 표시 장치의 각 화소에 설치되는 화상 신호의 입력을 제어하는 트랜지스터로서 바람직하다.

[0045] 도 6의 (a)에 도시된 트랜지스터(410)는 보텀 게이트 트랜지스터 중 하나이며, 역스테거형 트랜지스터라고도 한다.

[0046] 트랜지스터(410)는 절연면을 가지는 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 소스 전극층(405a), 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(410)를 덮도록 산화물 반도체층(403) 위에 적층되는 절연층(407)이 제공되어 있다. 또한, 절연층(407) 위에는 보호 절연층(409)이 형성되어 있다.

[0047] 도 6의 (b)에 도시된 트랜지스터(420)는 채널 보호형(채널 스텝형) 트랜지스터라고 하는 보텀 게이트 구조 중 하나이며, 역스테거형 트랜지스터라고도 한다.

[0048] 트랜지스터(420)는 절연면을 가지는 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 산화물 반도체층(403)의 채널 형성 영역을 덮는 채널 보호층으로서 기능하는 절연층(427), 소스 전극층(405a), 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(420)를 덮도록 보호 절연층(409)이 형성되어 있다.

[0049] 도 6의 (c)에 나타낸 트랜지스터(430)는 보텀 게이트(bottom gate)형의 트랜지스터이다. 트랜지스터(430)는 절연면을 가지는 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 소스 전극층(405a), 드레인 전극층(405b), 및 산화물 반도체층(403)을 포함한다. 또한, 산화물 반도체층(403)에 접하며, 트랜지스터(430)를 덮는 절연층(407)이 설치되어 있다. 절연층(407) 위에는 보호 절연층(409)이 또한 형성되어 있다.

[0050] 트랜지스터(430)에 있어서, 게이트 절연층(402)은 기판(400) 및 게이트 전극층(401) 위에 접하여 설치되며, 소스 전극층(405a) 및 드레인 전극층(405b)이 게이트 절연층(402) 위에 접하여 설치되고 있다. 또한, 게이트 절연층(402), 소스 전극층(405a), 및 드레인 전극층(405b) 위에는 산화물 반도체층(403)이 설치되어 있다.

[0051] 도 6의 (d)에 나타낸 트랜지스터(440)는 탑 게이트(top gate)형의 트랜지스터 중 하나이다. 트랜지스터(440)는 절연면을 가지는 기판(400) 위에 절연층(437), 산화물 반도체층(403), 소스 전극층(405a), 및 드레인 전극층(405b), 게이트 절연층(402), 및 게이트 전극층(401)을 포함한다. 소스 전극층(405a) 및 드레인 전극층(405b)에 각각 배선층(436a) 및 배선층(436b)이 접하여 설치되어, 전기적으로 접속되어 있다.

[0052] 본 실시형태에서는, 전술한 바와 같이, 반도체층으로서 산화물 반도체층(403)을 이용한다. 산화물 반도체층(403)에 이용하는 산화물 반도체로서는, 이하의 물질이 사용될 수 있다: In-Sn-Ga-Zn-O계 산화물 반도체 등의 4원계 금속 산화물, In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체 등의 3원계 금속 산화물, In-Zn-O계 산화물 반도체, In-Ga-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체 등의 2원계 금속 산화물, In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등의 1원계 금속 산화물을 이용할 수 있다. 또한, 상기 산화물 반도체에 SiO₂가 포함될 수도 있다. 여기서, 예를 들어, In-Ga-Zn-O계 산화물 반도체는 적어도 In와 Ga와 Zn를 포함한 산화물을 의미하며, 성분들의 조성비는 특별히 제한되지 않는다. 또한, In, Ga, 및 Zn 이외의 원소가 포함될 수도 있다.

- [0053] 산화물 반도체층(403)으로서, $\text{InMO}_3(\text{ZnO})_m$ ($m>0$)로 표기되는 재료의 박막이 이용될 수 있다. 여기서, M은 Ga, Al, Mn 및 Co로부터 선택되는 1 이상의 금속 원소를 나타낸다. 예를 들어, M은 Ga, Ga와 Al, Ga와 Mn, Ga와 Co 등일 수 있다.
- [0054] 절연면을 가지는 기판(400)으로서 사용될 수 있는 기판에는 특별한 제한은 없지만, 바륨 보로실리케이트 글래스 또는 알루미노보로실리케이트 글래스 등의 글래스 기판이 이용될 수 있다.
- [0055] 보텀 게이트 구조의 트랜지스터(410, 420, 및 430)에 있어서, 하지막으로서 기능하는 절연막이 기판과 게이트 전극층의 사이에 설치될 수 있다. 하지막은 기판으로부터의 불순물 원소의 확산을 방지하는 기능을 가지며, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 및/또는 산화 질화 실리콘막을 이용한 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.
- [0056] 게이트 전극층(401)은 몰리브덴, 티타늄, 크롬, 탄탈륨, 텉스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이 재료들을 주성분으로 하는 합금 재료를 이용하여 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.
- [0057] 게이트 절연층(402)은 플라즈마 CVD법, 스퍼터링법 등에 의해 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화 질화 알루미늄층, 질화 산화 알루미늄층, 및/또는 산화 하프늄층을 이용하여 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 예를 들어, 제1 게이트 절연층으로서 플라즈마 CVD법에 의해 막 두께 50 nm 이상 200 nm 이하의 질화 실리콘층($\text{SiN}_y(y>0)$)이 형성된 후, 제1 게이트 절연층 위에 제2 게이트 절연층으로서 막두께 5 nm 이상 300 nm 이하의 산화 실리콘층($\text{SiO}_x(x>0)$)이 적층되어, 게이트 절연층이 형성된다.
- [0058] 소스 전극층(405a) 및 드레인 전극층(405b)에 이용되는 도전막으로는, 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택되는 원소, 또는 이 원소들 중 임의의 것을 성분으로 포함하는 합금, 상기 원소들 중 임의의 것들이 조합되는 합금막 등이 이용될 수 있다. 도전막은 Al, Cu 등의 금속층의 하측 및/또는 상측에 Ti, Mo, W 등의 고용접 금속층이 적층되는 구조를 가질 수 있다. Al막에서 발생하는 힐록(hillocks) 및 휀스커(wisker)의 발생을 방지하는 원소(예컨대, Si, Nd, 또는 Sc)가 첨가되어 있는 Al 재료가 이용되는 때에는, 내열성을 향상시킬 수 있다.
- [0059] 소스 전극층(405a) 및 드레인 전극층(405b)에 각각 접속되는 배선층(436a) 및 배선층(436b)에 사용되는 도전막에 대하여, 소스 전극층(405a) 및 드레인 전극층(405b)과 유사한 재료가 이용될 수 있다.
- [0060] 다른 방법으로, 소스 전극층(405a), 드레인 전극층(405b)(소스 전극층(405a), 드레인 전극층(405b)과 동일한 층을 이용하여 형성되는 배선층을 포함함)으로서 기능하는 도전막은 도전성 금속 산화물로 형성될 수 있다. 도전성의 금속 산화물로서, 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐 산화주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$; ITO라고 함), 산화인듐 산화아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 이러한 금속 산화물 재료들 중 임의의 것에 실리콘 또는 실리콘 산화물이 포함된 것이 사용될 수 있다.
- [0061] 절연층(407, 427, 및 437)으로서, 전형적인 예로서 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막 등의 무기 절연막이 이용될 수 있다.
- [0062] 보호 절연층(409)으로서는, 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 질화 산화 알루미늄막 등의 무기 절연막이 이용될 수 있다.
- [0063] 또한, 보호 절연층(409) 위에 트랜지스터로 인한 표면 요철이 저감되도록 평탄화 절연막이 형성될 수 있다. 평탄화 절연막으로서는, 폴리이미드, 아크릴, 벤조시클로부텐 등의 유기 재료가 이용될 수 있다. 이러한 유기 재료 외에도, 저유전율 재료(low-k 재료) 등을 이용할 수 있다. 이러한 재료로 형성되는 복수의 절연막을 적층함으로써 평탄화 절연막이 형성될 수도 있다는 점에 유의한다.
- [0064] 산화물 반도체층(403)을 포함하는 트랜지스터(410, 420, 430, 및 440) 각각에 있어서, 오프 상태의 전류치(즉, 오프 전류)는 낮다. 따라서, 트랜지스터가 오프 상태인 경우, 트랜지스터를 통해 전하의 누설이 억제될 수 있다. 따라서, 트랜지스터가 각 화소에 설치되는 트랜지스터로서 사용되어, 화소에의 화상 신호의 입력 빈도가 저감될 수 있다. 즉, 화소에 화상 신호가 입력되지 않는 기간이 장기화하는 경우에도, 화소에 있어서의 표시 품질을 열화시키지 않고 기간이 유지될 수 있으며, 그 결과, 제1 실시형태에 기재한 표시 장치의 소비 전력의 저감을 가져온다. 그 이유는 이하와 같다: 각 화소에 설치되는 트랜지스터로서 본 실시형태의 트랜지스터가 사

용되어, 추출 화상 신호의 프레임 주파수가 저감될 수 있다.

[0065] 또한, 산화물 반도체층(403)을 포함한 트랜지스터(410, 420, 430, 및 440) 각각은 비교적 높은 전계 효과 이동도를 가질 수 있으므로, 고속으로 동작할 수 있다. 따라서, 표시 장치의 각 화소에 포함되는 트랜지스터로서 본 실시형태의 트랜지스터가 사용되는 것으로서, 고선명도의 화상이 제공될 수 있다.

[0066] 제1 실시형태에 기재된 표시 장치에 있어서의 구동 회로 및 릴레이 회로는 산화물 반도체층(403)을 각각 포함하는 트랜지스터(410, 420, 430, 및 440)를 이용하여 형성될 수 있다는 점에 유의한다. 트랜지스터의 적용 범위를 넓히는 것은 표시 장치의 제조 비용을 저감시킬 수 있도록 한다.

[0067] 본 실시형태 또는 본 실시형태의 일부는 다른 실시형태 또는 다른 실시형태의 일부와 자유롭게 조합될 수 있다는 점에 유의한다.

[0068] (제3 실시형태)

[0069] 본 실시형태에서는, 제2 실시형태에 기재된 트랜지스터의 일례를 도 7의 (a) 내지 (e)를 참조하여 설명한다.

[0070] 도 7의 (a) 내지 (e)는 트랜지스터의 단면 구조의 일례를 나타낸다. 도 7의 (a) 내지 (e)에 나타낸 트랜지스터(510)는 도 6의 (a)에 나타낸 트랜지스터(410)와 유사한 보텀 게이트 구조를 갖는 역스테거형 트랜지스터이다.

[0071] 본 실시형태의 반도체층에 이용되는 산화물 반도체는 n형 불순물인 수소를 산화물 반도체로부터 제거하여, 산화물 반도체의 주성분 이외의 불순물이 가능한 적게 포함되도록 고순도화함으로써, i형(진성)의 산화물 반도체로 되거나 또는 i형(진성)의 산화물 반도체에 극히 가깝도록 된다. 즉, 본 실시형태의 산화물 반도체는 불순물을 첨가하여 i형화하는 것이 아니라, 수소 또는 물 등의 불순물을 가능한 한 많이 제거함으로써 고순도되어, i형(진성) 반도체로 되거나, 이에 근접하도록 되는 것을 특징으로 하고 있다. 따라서, 트랜지스터(510)에 포함되는 산화물 반도체층은 고순도화되고 전기적으로 i형(진성)화된 산화물 반도체층이다.

[0072] 또한, 고순도화된 산화물 반도체는 극히 적은(제로에 가까움) 캐리어를 포함하며, 그 캐리어 농도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만이다.

[0073] 산화물 반도체는 지극히 적은 캐리어를 포함하므로, 트랜지스터의 오프 전류가 저감될 수 있다. 오프 전류는 가능한 한 적을수록 바람직하다.

[0074] 구체적으로는, 상기 산화물 반도체층을 구비하는 트랜지스터에 있어서 채널폭 $1\mu\text{m}$ 당 오프 전류 밀도는 실온에서 $10 \text{ aA}/\mu\text{m}(1 \times 10^{-17} \text{ A}/\mu\text{m})$ 이하로 감소될 수 있으며, $1 \text{ aA}/\mu\text{m}(1 \times 10^{-18} \text{ A}/\mu\text{m})$ 이하, 또한 $10 \text{ zA}/\mu\text{m}(1 \times 10^{-20} \text{ A}/\mu\text{m})$ 이하로 더 감소될 수 있다.

[0075] 상기 산화물 반도체층을 구비하는 트랜지스터(510)의 온 전류는 온도에 거의 의존하지 않으며, 오프 전류도 매우 작은 채로 남아 있다.

[0076] 이하, 도 7의 (a) 내지 (e)를 참조하여 기판(505) 위에 트랜지스터(510)를 제작하는 공정을 설명한다.

[0077] 우선, 절연면을 가지는 기판(505) 위에 도전막이 형성된 후에, 제1 포토리소그래피 공정에서 게이트 전극층(511)이 형성된다. 레지스트 마스크는 잉크젯법으로 형성될 수도 있다는 점에 유의한다. 레지스트 마스크의 잉크젯법에 의한 형성은 포토마스크를 필요로 하지 않기 때문에, 제조 비용이 저감될 수 있다.

[0078] 절연면을 가지는 기판(505)으로서 제2 실시형태에 기재된 기판(400)으로 사용되는 것과 유사한 기판이 이용될 수 있다. 본 실시형태에서, 기판(505)으로서 유리 기판이 이용된다.

[0079] 하지막으로서 기능하는 절연막이 기판(505)과 게이트 전극층(511) 사이에 설치될 수 있다. 하지막은 기판(505)으로부터의 불순물 원소의 확산을 방지하는 기능을 가지며, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 및/또는 산화 질화 실리콘막을 이용한 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.

[0080] 게이트 전극층(511)은 몰리브덴, 티타늄, 탄탈륨, 텉스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속재료 또는 이 재료들 중 임의의 것을 주성분으로 포함하는 합금을 이용한 단층 구조 또는 적층 구조를 가지도록 형성될 수 있다.

[0081] 다음, 게이트 전극층(511) 위에 게이트 절연층(507)이 형성된다. 게이트 절연층(507)은 플라즈마 CVD법, 스퍼터링법 등에 의해 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화 질화 알루미늄층, 질화 산화 알루미늄층, 및/또는 산화 하프늄층을 이용한 단층 구조 또

는 적층 구조를 가지도록 형성될 수 있다.

[0082] 본 실시형태의 산화물 반도체로서는, 불순물을 제거하여 i형화되거나 실질적으로 i형화된 산화물 반도체가 사용된다. 이러한 고순도화된 산화물 반도체는 계면 상태 및 계면 전하에 대해서 매우 민감하기 때문에, 산화물 반도체층과 게이트 절연층과의 계면이 중요하다. 따라서, 고순도화된 산화물 반도체에 접하는 게이트 절연층은 고품질화가 요구된다.

[0083] 예를 들어, 마이크로파(예컨대, 주파수 2.45 GHz)를 이용한 고밀도 플라즈마 CVD는, 치밀하고, 절연 내압이 높고, 고품질을 갖는 절연층이 형성될 수 있어, 바람직하다. 고순도화된 산화물 반도체와 고품질 게이트 절연층은 서로 밀접되어 있어서, 계면 상태가 저감될 수 있으며, 양호한 계면 특성이 얻어질 수 있다.

[0084] 물론, 게이트 절연층으로서 양질의 절연층의 형성을 가능하게 하는 방법인 한, 스퍼터링법이나 플라즈마 CVD법 등의 또 다른 성막 방법이 채용될 수 있다. 또한, 절연층의 형성 후에 수행되는 열처리에 의해 막질 및 산화물 반도체와의 계면 특성이 개선되는 절연층이 게이트 절연층으로서 형성될 수 있다. 어느 경우이든, 절연층이 게이트 절연층으로서 양호한 막질을 가지는 것은 물론 절연층과 산화물 반도체와의 사이의 계면 상태 밀도의 저감과 양호한 계면의 형성이 가능하게 하는 특성을 가지는 한, 임의의 절연층이 사용될 수 있다.

[0085] 또한, 게이트 절연층(507) 및 산화물 반도체막(530)에 수소, 수산기, 및 수분이 가능한 한 포함되지 않게 하기 위해서, 산화물 반도체막(530)의 형성의 전처리로서 스퍼터링 장치의 예비 가열실에서 게이트 전극층(511)이 형성된 기판(505) 또는 게이트 전극층(511) 및 게이트 절연층(507)이 형성된 기판(505)이 예비 가열되어, 기판(505)에 흡착된 수소, 수분 등의 불순물을 소거 및 제거하도록 하는 것이 바람직하다. 예비 가열실에 제공되는 배기 유닛으로는, 크라이오펌프(cryopump)가 바람직하게 사용된다. 이 예비 열 처리는 생략될 수 있다는 점에 유의한다. 또한, 이 예비 가열은, 절연층(516)의 형성 전에 소스 전극층(515a) 및 드레인 전극층(515b)까지 포함하는 기판(505)에도 마찬가지로 수행될 수 있다.

[0086] 다음, 게이트 절연층(507) 위에 두께 2 nm 이상 200 nm 이하, 바람직하게는, 5 nm 이상 30 nm 이하의 산화물 반도체막(530)이 형성된다(도 7의 (a) 참조).

[0087] 산화물 반도체막(530)이 스퍼터링법에 의해 형성되기 전에, 아르곤 가스의 도입에 의해 플라즈마가 발생되는 역스퍼터링에 의해 게이트 절연층(507)의 표면에 부착되어 있는 분상 물질(파티클 또는 더스트라고도 함)이 제거되는 것이 바람직하다는 것에 유의한다. 역스퍼터링은 타겟 측에 전압을 인가하지 않고 아르곤 분위기에서 기판측에 RF 전원을 이용하여 전압을 인가하여, 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법을 일컫는다. 아르곤 분위기를 대신하여, 질소 분위기, 헬륨 분위기, 산소 분위기 등이 이용될 수 있다는 점에 유의한다.

[0088] 산화물 반도체막(530)에 이용되는 산화물 반도체로서, 제2 실시형태에 나타낸 4원계 금속 산화물, 3원계 금속 산화물, 2원계 금속 산화물, In-0계 산화물 반도체, Sn-0계 산화물 반도체, Zn-0계 산화물 반도체 등의 산화물 반도체 중 임의의 것이 이용될 수 있다. 또한, 상기 산화물 반도체에 SiO₂가 포함될 수도 있다. 본 실시형태에서는, 산화물 반도체막(530)이 In-Ga-Zn-0계 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 형성한다. 도 7의 (a)는 이 단계에서의 단면도이다. 산화물 반도체막(530)은 희가스(대표적으로는, 아르곤) 분위기에서, 산소 분위기에서, 또는 희가스와 산소의 혼합 분위기에서 스퍼터링법에 의해 형성될 수 있다.

[0089] 산화물 반도체막(530)을 스퍼터링법으로 형성하기 위한 타겟으로서, 예를 들어, In₂O₃:Ga₂O₃:ZnO = 1:1:1[mol] (즉, In:Ga:Zn = 1:1:0.5[atom])의 조성비를 갖는 타겟이 이용될 수 있다. 다르게는, In:Ga:Zn = 1:1:1[atom], 또는 In:Ga:Zn = 1:1:2[atom]의 조성비를 갖는 금속 산화물 타겟이 이용될 수도 있다. 금속 산화물 타겟의 충전율은 90% 이상, 100% 이하, 바람직하게는, 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타겟을 이용하는 것으로, 치밀한 산화물 반도체막이 형성된다.

[0090] 산화물 반도체막(530)의 형성을 위하여 사용되는 스퍼터링 가스로는 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 고순도 가스가 이용되는 것이 바람직하다.

[0091] 감압 상태에 유지된 성막실에 기판을 유지되고, 기판 온도가 100°C 이상 600°C 이하, 바람직하게는, 200°C 이상 400°C 이하의 온도로 설정된다. 기판을 가열하면서 산화물 반도체막을 형성하는 것으로, 형성된 산화물 반도체막에 포함되는 불순물 농도가 저감될 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 그 후, 성막실 내의 잔류 수분을 제거하면서, 수소 및 수분이 제거된 스퍼터링 가스가 성막실에 도입되고, 상기 타겟을 이용하여 기판(505) 위에 산화물 반도체막(530)이 형성된다. 성막실 내의 잔류 수분을 제거하기 위해서, 크라이오펌프, 이

온 펌프, 티타늄 서블리메이션(sublimation) 펌프 등의 흡착형의 진공 펌프가 이용되는 것이 바람직하다. 배기 유닛은 콜드 트랩을 구비한 터보 펌프일 수도 있다. 크라이오펌프로 배기된 성막실에는, 수소 원자, 물(H_2O) 등 수소 원자를 포함한 화합물(보다 바람직하게는, 탄소 원자를 포함한 화합물) 등이 제거되어, 성막실에서 형성된 산화물 반도체막에 포함되는 불순물의 농도가 저감될 수 있다.

[0092] 성막 조건의 일례로서는, 이하의 조건이 채용된다: 기판과 타겟 사이의 거리는 100 mm, 압력은 0.6 Pa이며, 직류(DC) 전원은 0.5 kW이고, 분위기는 산소 분위기(산소 유량 비율 100%)이다. 웨스 직류 전원이 바람직하게 이용되며, 성막시에 발생되는 분상 물질(파티클 또는 더스트라고 함)이 줄어들 수 있으며, 막두께 분포가 균일화될 수 있으므로, 바람직하다는 점에 유의한다.

[0093] 그 후, 산화물 반도체막(530)이 제2 포토리소그래피 단계에서 섬 형상의 산화물 반도체층으로 가공된다. 섬 형상의 산화물 반도체층을 형성하기 위한 레지스트 마스크는 잉크젯법으로 형성될 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하는 것은 포토마스크가 필요 없어서, 제조 비용이 저감될 수 있다.

[0094] 게이트 절연층(507)에 컨택트 홀이 형성되는 경우, 컨택트 홀의 형성 단계는 산화물 반도체막(530)의 가공시에 동시에 수행될 수 있다.

[0095] 산화물 반도체막(530)의 예칭은 건식 예칭, 습식 예칭, 또는 건식 예칭과 습식 예칭 양쪽 모두일 수 있다는 것에 유의한다. 산화물 반도체막(530)의 습식 예칭에 이용되는 예칭액으로서, 예를 들어, 인산, 초산, 질산 등의 혼합 용액이 이용될 수 있다. 다르게는, ITO07N((주)칸토 화학 제조)가 이용될 수도 있다.

[0096] 다음, 산화물 반도체층에 제1 열 처리가 수행된다. 이 제1 열 처리에 의해 산화물 반도체층이 탈수화 또는 탈수소화될 수 있다. 제1 열 처리의 온도는 400°C 이상 750°C 이하 또는 400°C 이상 기판의 변형점 미만이다. 본 실시형태에서는, 열 처리 장치의 일종인 전기로에 기판이 도입되고, 산화물 반도체층에 대해서 질소 분위기 450°C에서 1시간의 열 처리가 수행된 후, 대기해 노출하지 않고, 산화물 반도체층에 물이나 수소가 들어가지 않도록 하여, 산화물 반도체층(531)이 얹어진다(도 7의 (b) 참조).

[0097] 열 처리 장치는 전기로에 한하지 않으며, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 포함할 수도 있다. 예를 들어, GRTA(gas rapid thermal anneal) 장치, LRTA(lamp rapid thermal anneal) 장치 등의 RTA(rapid thermal anneal) 장치가 사용될 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 방출되는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 열 처리하는 장치이다. 고온의 가스로서는, 아르곤 등의 희가스 또는 질소와 같은 열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.

[0098] 예를 들어, 제1 열 처리로서, 650°C 내지 700°C의 고온으로 가열된 불활성 가스에 기판을 이동시키고, 몇 분간 가열한 후, 기판을 이동시켜, 고온에 가열한 불활성 가스로부터 꺼내는 GRTA가 수행될 수 있다.

[0099] 제1 열 처리에 있어서, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에 물, 수소 등이 포함되지 않는 것이 바람직하다는 점에 유의한다. 열 처리 장치에 도입되는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도는 6N(99.9999%) 이상, 바람직하게는, 7N(99.99999%) 이상, (즉 불순물 농도 1 ppm 이하, 바람직하게는 0.1 ppm 이하)에 설정되는 것이 바람직하다.

[0100] 제1 열 처리에서 산화물 반도체층이 가열된 후에, 가열로에 고순도의 산소 가스, 고순도의 N_2O 가스, 또는 초건조 에어(노점이 -40°C 이하, 바람직하게는, -60°C 이하)가 도입될 수도 있다. 산소 가스 또는 N_2O 가스는 물, 수소 등을 함유하지 않는 것이 바람직하다. 다르게는, 열 처리 장치에 도입되는 산소 가스 또는 N_2O 가스는 순도 6N 이상, 바람직하게는, 7N 이상(즉, 산소 가스 또는 N_2O 가스 중의 불순물 농도가 1 ppm 이하, 바람직하게는, 0.1 ppm 이하)를 갖는다. 산소 가스 또는 N_2O 가스의 작용에 의해 탈수화 또는 탈수소화 처리를 통하여 불순물을 제거하는 단계로 인해 감소된, 산화물 반도체의 주성분 재료인 산소가 공급되는 것에 의해, 산화물 반도체층의 순도가 증가되고, 산화물 반도체층이 전기적으로 i형(진성)화된다.

[0101] 또한, 산화물 반도체층의 제1 열 처리는 섬 형상의 산화물 반도체층에 가공되기 전의 산화물 반도체막(530)에 대하여 수행될 수도 있다. 그 경우, 제1 열 처리 후에 가열 장치로부터 기판이 꺼내져, 포토리소그래피 단계가 수행된다.

[0102] 제1 열 처리는 상기 타이밍에 한하지 않고 산화물 반도체층이 형성된 후 이하의 타이밍 중 어느 것에서도 수행

될 수 있다는 점에 유의한다: 산화물 반도체층 위에 소스 전극층 및 드레인 전극층이 형성된 후; 또는 소스 전극층 및 드레인 전극층 위에 절연층이 형성된 후.

[0103] 게이트 절연층(507)에 컨택트홀이 형성되는 경우, 컨택트 홀의 형성은 산화물 반도체막(530)에 제1 열 처리가 수행되기 전 또는 그 후에 수행될 수도 있다.

[0104] 산화물 반도체층이 2회의 성막 단계와 2회의 가열 단계를 통해 형성되는 것으로, 기초 성분의 재료로서, 산화물, 질화물, 금속 중 어느 것이라도 사용되는 경우일지라도, 두꺼운 결정 영역, 즉, 막의 표면에 수직인 방향으로 c축 배향된 결정 영역이 형성될 수도 있다. 예를 들어, 3 nm 이상 15 nm 이하 두께의 제1 산화물 반도체막이 형성된 후, 질소, 산소, 희가스, 또는 건조 공기의 분위기에서 450°C 이상 850°C 이하, 바람직하게는 550°C 이상 750°C 이하의 온도에서 제1 열 처리가 수행되는 것에 의해, 표면을 포함한 영역에 결정 영역(판 모양 결정을 포함함)을 포함하는 제1 산화물 반도체막이 형성된다. 그 후, 제1 산화물 반도체막보다 두꺼운 제2 산화물 반도체막이 형성된 후, 450°C 이상 850°C 이하, 바람직하게는, 600°C 이상 700°C 이하의 온도에서 제2 열 처리가 수행되어, 제1 산화물 반도체막을 결정 성장의 시드로서 이용하여 상방으로 결정 성장이 진행되어, 제2 산화물 반도체막 전체가 결정화된다. 이와 같이, 두꺼운 결정 영역을 포함하는 산화물 반도체층이 형성될 수도 있다.

[0105] 다음, 게이트 절연층(507) 및 산화물 반도체층(531) 위에 소스 전극층 및 드레인 전극층(소스 전극층 및 드레인 전극층과 같은 층에 형성되는 배선을 포함함)으로 기능하는 도전막이 형성된다. 소스 전극층 및 드레인 전극층에 이용되는 도전막으로서는, 제2 실시형태에 기재된 소스 전극층(405a) 및 드레인 전극층(405b)에 이용되는 재료가 이용될 수 있다.

[0106] 제3 포토리소그래피 공정에 있어서, 도전막 위에 레지스트 마스크가 형성되고, 도전막이 선택적으로 에칭되어, 소스 전극층(515a) 및 드레인 전극층(515b)이 형성된 후, 레지스트 마스크가 제거된다(도 7의 (c) 참조).

[0107] 제3 포토리소그래피 단계에서의 레지스트 마스크 형성시의 노광은 자외선, KrF 레이저광, ArF 레이저광을 이용하여 수행될 수 있다. 산화물 반도체층(531) 위에서 서로 인접하는 소스 전극층의 하단부와 드레인 전극층의 하단부 간의 간격에 의해 후에 형성되는 트랜지스터의 채널 길이(L)가 결정된다. 채널 길이(L) 25 nm 미만의 노광을 실시하는 경우에는, 수 nm 내지 수십 nm의 매우 좁은 초자외선을 이용하여 제3 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광이 수행되는 것이 바람직하다. 초자외선에 의한 노광에서는, 해상도가 높고, 초점 심도가 크다. 따라서, 후에 형성되는 트랜지스터의 채널 길이(L)는 10 nm 이상 1000 nm 이하일 수 있으며, 회로의 동작 속도가 증가될 수 있고, 오프 전류치가 매우 작기 때문에, 소비 전력이 저감될 수 있다. 포토리소그래피 단계에서 이용하는 포토마스크의 수 및 포토리소그래피 단계의 수를 삭감하기 위해, 투과한 광이 복수의 강도를 가지는 노광 마스크인 다계조(multi-tone) 마스크에 의해 에칭 단계가 수행될 수 있다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 막 두께를 가지는 형상이 되고, 또한 에칭을 실시하는 것으로 한층 더 형상이 변경될 수 있기 때문에, 다른 패턴을 형성하는 복수의 에칭 단계에서 이용될 수 있다. 따라서, 한 장의 다계조 마스크에 의해 적어도 2 종류의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서, 노광 마스크의 수가 삭감될 수 있고, 대응하는 포토리소그래피 단계의 수도 삭감될 수 있기 때문에, 공정의 간략화를 가져온다.

[0108] 도전막의 에칭 시에 산화물 반도체층(531)이 에칭되어 분리되지 않도록 에칭 조건을 최적화하는 것이 바람직하다는 점에 유의한다. 그렇지만, 도전막만이 에칭되고, 산화물 반도체층(531)은 전형 에칭되지 않는 조건을 얻는 것은 어렵다. 따라서, 도전막의 에칭 시에 산화물 반도체층(531)의 일부만이 에칭되어, 홈부(오목부)를 가지는 산화물 반도체층이 되는 경우도 있다.

[0109] 본 실시형태에서는 도전막으로서 Ti막이 이용되고, 산화물 반도체층(531)에는 In-Ga-Zn-O계 산화물 반도체가 이용되므로, 에칭액으로서 암모니아 과산화수소 혼합물(암모니아, 물, 과산화 수소수의 혼합액)이 이용된다.

[0110] 다음, N₂O, N₂, 또는 Ar 등의 가스를 이용한 플라즈마 처리가 수행되어, 노출된 산화물 반도체층의 표면에 부착한 흡착수가 제거될 수 있다. 플라즈마 처리가 수행되는 경우, 대기애 접하지 않고, 산화물 반도체층의 일부에 접하는 보호 절연막으로 기능하는 절연층(516)이 형성된다.

[0111] 절연층(516)은 적어도 1 nm 이상의 막 두께로, 스퍼터링법 등, 절연층(516)에 물, 수소 등의 불순물을 흔입시키지 않는 방법에 의해 형성될 수 있다. 절연층(516)에 수소가 포함되면, 수소의 산화물 반도체층에의 흔입, 또는 수소에 의한 산화물 반도체층 내의 산소의 추출이 생겨, 산화물 반도체층의 백 채널이 저저항화(n형화)하여, 기생 채널이 형성될 수 있다. 따라서, 절연층(516)이 가능한 한 수소를 포함하지 않도록, 수소를 이용하지 않

는 성막 방법이 채용되는 것이 중요하다.

[0112] 본 실시형태에서는, 절연층(516)으로서 두께 200 nm의 산화 실리콘막이 스퍼터링법을 이용하여 형성된다. 성막 시의 기판 온도는 실온 이상 300°C 이하, 본 실시형태에서는, 100°C이다. 산화 실리콘막은 희가스(대표적으로, 아르곤) 분위기에서, 산소 분위기에서, 또는 희가스와 산소의 혼합 분위기에서 스퍼터링법에 의해 형성될 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟이 이용될 수 있다. 예를 들어, 실리콘 타겟을 이용하여, 산소를 포함한 분위기에서 스퍼터링법에 의해 산화 실리콘막이 형성될 수 있다. 산화물 반도체층에 접해 형성되는 절연층(516)으로서, 수분이나, 수소 이온, OH⁻ 등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 막는 무기 절연막을 사용된다. 통상적으로, 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 또는 산화 질화 알루미늄막 등이 이용된다.

[0113] 산화물 반도체막(530)의 형성시와 같이, 절연층(516)을 형성하는 데 사용되는 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프(예컨대, 크라이오펌프)를 이용하는 것이 바람직하다. 크라이오펌프를 이용하여 배기한 성막실에서 절연층(516)이 형성되어, 절연층(516)에 포함되는 불순물의 농도가 저감될 수 있다. 절연층(516)을 형성하는 데 사용되는 성막실 내의 잔류 수분을 제거하기 위한 배기 유닛으로서, 터보 펌프에 콜드 트랩을 구비한 것이 사용될 수 있다.

[0114] 절연층(516)의 형성을 위한 스퍼터링 가스로서는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.

[0115] 다음, 불활성 가스 분위기에서 또는 산소 가스 분위기에서 제2 열 처리(바람직하게는, 200°C 이상 400°C 이하, 예컨대, 250°C 이상 350°C 이하)가 수행된다. 예를 들어, 질소 분위기에서 250°C 1 시간의 제2 열 처리가 수행된다. 제2의 열 처리에서, 산화물 반도체층의 일부(채널 형성 영역)가 절연층(516)과 접한 상태로 가열된다.

[0116] 전술한 바와 같이, 산화물 반도체막에 대해서 제1 열 처리가 수행되어, 수소, 수분, 수산기, 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 산화물 반도체층에서 의도적으로 소거시켜, 불순물의 배제 단계를 통해 감소된 산화물 반도체의 주성분 재료 중 하나인 산소가 공급될 수 있다. 따라서, 산화물 반도체층이 고순도화되고, 전기적으로 i형(진성)화한다.

[0117] 상기 공정을 통해, 트랜지스터(510)가 제작된다(도 7의 (d) 참조).

[0118] 결함을 많이 갖는 산화 실리콘층이 절연층으로서 이용되면, 산화 실리콘층 형성 후의 열 처리에 의해 산화물 반도체층에 포함되는 수소, 수분, 수산기, 또는 수소화물 등의 불순물이 절연층에 확산되어, 산화물 반도체층에 포함되는 불순물이 더 저감될 수 있다.

[0119] 절연층(516) 위에 보호 절연층(506)이 더 형성될 수도 있다. 예를 들어, RF 스퍼터링법에 의해 질화 실리콘막이 형성된다. RF 스퍼터링법은 생산성을 증가시킬 수 있으므로, 보호 절연층의 성막 방법으로서 바람직하게 사용된다. 보호 절연층으로서, 수분 등의 불순물을 포함하지 않고, 외부로부터 불순물 침입하는 것을 막는 무기 절연막이 사용되며, 예를 들어, 질화 실리콘막, 질화 알루미늄막 등이 사용된다. 본 실시형태에서는, 보호 절연층으로서, 보호 절연층(506)이 질화 실리콘막으로 형성된다(도 7의 (e) 참조).

[0120] 본 실시형태에서는, 절연층(516)까지 형성된 기판(505)을 100°C 내지 400°C 범위의 온도에 가열하여, 수소 및 수분이 제거된 고순도 질소를 포함한 스퍼터링 가스를 도입하고, 실리콘 타겟을 이용하여 질화 실리콘막이 보호 절연층(506)으로서 형성된다. 이 경우에 있어서도, 절연층(516)의 형성의 경우와 같이, 성막실 내의 잔류 수분을 제거하면서, 보호 절연층(506)이 형성되는 것이 바람직하다.

[0121] 보호 절연층의 형성 후, 대기 중에서 100°C 이상 200°C 이하의 온도로 1 시간 이상 30 시간 이하 동안 열 처리가 더 수행될 수도 있다. 이 열 처리는 일정한 가열 온도에서 수행될 수도 있다. 다르게는, 가열 온도의 이하의 변경이 복수회 반복해서 수행될 수도 있다: 실온으로부터 100°C 내지 200°C 범위의 온도로 가열 온도가 승온되고, 그 후, 실온으로 감온된다.

[0122] 전술한 바와 같이, 본 실시형태에 따라 제작한 고순도화된 산화물 반도체층을 포함한 트랜지스터가 이용되어, 오프 상태에 있어서의 전류치(즉, 오프 전류치)가 더 감소될 수 있다. 이에 의해, 트랜지스터가 오프 상태인 경우, 트랜지스터를 통한 전하의 누설이 억제될 수 있다. 따라서, 트랜지스터가 각 화소에 설치되는 트랜지스터로서 사용되어, 화소에의 화상 신호의 입력 빈도가 저감될 수 있다. 즉, 화소에 화상 신호가 입력되지 않는 기간이 길어지는 경우에도, 화소에 있어서의 표시 품질을 열화 시키지 않고 기간이 유지될 수 있어서, 제1 실시 형태에 기재된 표시 장치의 소비 전력의 저감을 가져온다. 그 이유는, 각 화소에 설치되는 트랜지스터로서 본

실시형태의 트랜지스터가 이용됨으로써, 추출 화상 신호의 프레임 주파수가 저감될 수 있기 때문이다.

[0123] 또한, 고순도화된 산화물 반도체층을 포함한 트랜지스터는 비교적 높은 전계 효과 이동도를 가질 수 있기 때문에, 고속 구동이 가능하다. 따라서, 표시 장치의 각 화소에 포함되는 트랜지스터로서 본 실시형태의 트랜지스터를 사용하는 것으로, 고화질의 화상이 제공될 수 있다.

[0124] 제1 실시형태에 기재된 표시 장치에 있어서, 구동 회로 및 릴레이 회로는 고순도화된 산화물 반도체층을 포함한 트랜지스터를 사용하여 형성될 수도 있다. 트랜지스터의 적용 범위를 넓히는 것으로 표시 장치의 제조 비용을 저감할 수 있다는 점에 유의한다.

[0125] 본 실시형태 또는 본 실시형태의 일부는 다른 실시형태 또는 다른 실시형태의 일부와 자유롭게 조합될 수 있다는 점에 유의한다.

[0126] (제4 실시형태)

[0127] 본 실시형태에서는, 상기 실시형태에 기재된 표시 장치로서, 터치 패널 기능을 갖는 표시 장치의 구성을 도 8a 및 도 8b를 참조하여 설명한다.

[0128] 도 8a는 본 실시형태의 표시 장치의 개략도이다. 도 8a는 제1 실시형태의 표시 장치인 액정 표시 패널(601) 위에 터치 패드(602)를 적층하여, 하우징(603)에 서로 부착시킨 구성을 나타낸다. 터치 패드(602)는, 적절하게는, 저항막 방식, 표면형 정전 용량 방식, 투영형 정전 용량 방식 등일 수 있다. 도 8a에 나타낸 표시 장치에 있어서, 터치 패드(602)는 제1 실시형태에 나타낸 표시 장치에 있어서의 입력 장치에 상당한다.

[0129] 도 8a에 도시된 바와 같이, 표시 패널(601)과 터치 패드(602)를 따로따로 제작해 적층하여, 터치 패널 기능을 갖는 표시 장치의 제작 비용이 삭감될 수 있다.

[0130] 도 8b는 도 8a에 도시된 것과는 다른 터치 패널 기능을 갖는 표시 장치의 구성을 나타낸다. 도 8b에 도시된 표시 장치(604)는 복수의 화소(605) 각각에 광 센서(606) 및 액정 소자(607)를 포함한다. 따라서, 도 8a에 나타낸 표시 장치와는 달리, 표시 장치를 제작하는 데 터치 패드(602)를 적층할 필요가 없어서, 표시 장치의 박형화를 도모할 수 있다. 주사선 구동 회로(608), 신호선 구동 회로(609), 광 센서용 구동 회로(610), 및 화소(605)는 하나의 기판 위에 제작되어, 표시 장치의 크기가 감소될 수 있다는 점에 유의한다. 광 센서(606)는 아몰퍼스(amorphous) 실리콘 등을 이용하여 형성될 수 있으며, 산화물 반도체를 포함한 트랜지스터와 중첩할 수도 있다는 점에 유의한다.

[0131] 본 실시형태 또는 본 실시형태의 일부는 다른 실시형태 또는 다른 실시형태의 일부와 자유롭게 조합될 수 있다.

[0132] (제5 실시형태)

[0133] 본 실시형태에서는 제1 실시형태에 따라서 얻어지는 표시 장치가 탑재된 전자 기기의 예에 대해 도 9a 내지 도 9d를 참조하여 설명한다.

[0134] 도 9a는 랙톱 퍼스널 컴퓨터를 나타내는, 본체(2201), 하우징(2202), 표시부(2203), 키보드(2204) 등을 포함하고 있다.

[0135] 도 9b는 휴대 정보 단말(PDA)을 나타내며, 본체(2211)에는 표시부(2213), 외부 인터페이스(2215), 조작 버튼(2214) 등이 설치되어 있다. 조작용 액세서리로서 스타일러스(2212)가 포함되어 있다.

[0136] 도 9c는 전자 폐이퍼를 구비한 전자 장치의 일례로서 전자 서적 리더(2220)를 나타낸다. 전자 서적 리더(2220)는 하우징(2221) 및 하우징(2223)인 2개의 하우징을 포함한다. 하우징(2221) 및 하우징(2223)은 축부(2227)에 의해 서로 묶여 있으며, 이를 따라 전자 서적 리더(2220)의 개폐 동작이 수행될 수 있다. 이러한 구성에 의해, 전자 서적 리더(2220)는 종이 서적과 같이 취급될 수 있다.

[0137] 하우징(2221)에는 표시부(2225)가 통합되어 있으며, 하우징(2223)에는 표시부(2227)가 통합되어 있다. 표시부(2225) 및 표시부(2227)는 하나의 화상 또는 상이한 화상들을 표시할 수도 있다. 표시부가 상이한 화상들을 표시하는 구성에서, 예를 들어, 우측의 표시부(도 9c에서는 표시부(2225))는 텍스트를 표시하고, 좌측의 표시부(도 9c에서는 표시부(2227))는 화상을 표시할 수 있다.

[0138] 또한, 도 9c에서는, 하우징(2221)에 조작부 등이 구비되어 있다. 예를 들어, 하우징(2221)에는 전원(2231), 조작 키(2233), 스피커(2235) 등이 구비되어 있다. 조작 키(2233)에 의해, 페이지를 넘길 수 있다. 표시부가 설치되는 하우징의 면에는 키보드, 포인팅 장치 등이 구비될 수도 있다는 점에 유의한다. 또한, 하우징의 이면이

나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등이 구비되어 있을 수도 있다. 또한, 전자 서적 리더(2220)는 전자 사전으로서의 기능을 가질 수도 있다.

[0139] 전자 서적 리더(2220)는 데이터를 무선으로 송수신할 수 있다. 무선 통신에 의해, 전자 서적 서버로부터 원하는 서적 데이터 등을 구매하여 다운로드할 수도 있다.

[0140] 전자 페이퍼는 정보를 표시하는 것이면 다양한 분야의 장치들에 적용될 수 있다. 예를 들어, 전자 서적 이외에도 포스터, 전철 등의 운송 수단 내의 광고, 크레디트 카드 등의 각종 카드에 있어서의 표시 등에 적용될 수 있다.

[0141] 도 9d는 휴대 전화기를 나타낸다. 휴대 전화기는 하우징(2240) 및 하우징(2241)인 2개의 하우징을 포함한다. 하우징(2241)에는 표시 패널(2242), 스피커(2243), 마이크로폰(2244), 포인팅 장치(2246), 카메라용 렌즈(2247), 외부 접속 단자(2248) 등이 구비되어 있다. 하우징(2240)에는 휴대 전화기를 충전시키는 태양 전지(2249), 외부 메모리 슬롯(2250) 등이 구비되어 있다. 안테나가 하우징(2241)에 내장되어 있다.

[0142] 표시 패널(2242)은 터치 패널 기능을 갖는다. 화상으로서 표시되는 복수의 조작 키(2245)들이 도 9d에서는 점선에 의해 도시되어 있다. 휴대 전화기는 태양 전지(2249)로부터 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로를 실장하고 있다는 점에 유의한다. 또한, 휴대 전화기는 상기 구성에 이외에도 비접촉 IC 칩, 소형 기록 장치 등을 포함할 수 있다.

[0143] 표시 패널(2242)의 표시 배향은 사용 패턴에 따라서 적절하게 변화된다. 또한, 표시 패널(2242)과 동일한 표면에 카메라용 렌즈(2247)가 구비되어 있어서, 화상 전화기로서 휴대 전화기가 사용될 수 있다. 스피커(2243) 및 마이크로폰(2244)은 음성 통화뿐만 아니라, 화상 전화, 녹음, 재생 등을 위해 사용될 수 있다. 또한, 하우징(2240)과 하우징(2241)은 도 9d와 같이 전개되어 있는 상태로부터 슬라이드하여, 서로 겹친 상태로 될 수 있어, 휴대 전화기를 휴대하기 편하게 한다.

[0144] 외부 접속 단자(2248)는 AC 어댑터나 USB 케이블 등의 각종 케이블과 접속될 수 있으며, 이는 충전이나 데이터 통신을 가능하게 한다. 또한, 외부 메모리 슬롯(2250)에 기록 매체를 삽입하여 보다 대용량의 데이터를 저장하여 이동시킬 수 있다. 또한, 상기 기능에 이외에, 적외선 통신 기능, 텔레비전 수신 기능 등이 구비될 수도 있다.

[0145] 본 출원은 일본 특허출원 제2010-010250호(2010년 1월 20일자)인 우선권을 주장하여, 본 명세서에는 그 전체 내용을 참조로서 원용한다.

부호의 설명

[0146] 10 화소부

11 구동 회로

12 입력 장치

13 프로세서

14 릴레이 회로

15 릴레이 회로

16 신호 검출 회로

17 신호 생성 회로

18 신호 추출 회로

21 신호 검출부

22 래치부

23 메모리부

24 리셋부

- 30 기판
- 400 기판
- 401 게이트 전극층
- 402 게이트 절연층
- 403 산화물 반도체층
- 405a 소스 전극층
- 405b 드레인 전극층
- 407 절연층
- 409 보호 절연층
- 410 트랜지스터
- 420 트랜지스터
- 427 절연층
- 430 트랜지스터
- 436a 배선층
- 436b 배선층
- 437 절연층
- 440 트랜지스터
- 505 기판
- 506 보호 절연층
- 507 게이트 절연층
- 510 트랜지스터
- 511 게이트 전극층
- 515a 소스 전극층
- 515b 드레인 전극층
- 516 절연층
- 530 산화물 반도체막
- 531 산화물 반도체층
- 601 표시 패널
- 602 터치 패드
- 603 하우징
- 604 표시 장치
- 605 화소
- 606 광 센서
- 607 액정 소자
- 608 주사선 구동 회로
- 609 신호선 구동 회로

610 광 센서용 구동 회로

2201 본체

2202 하우징

2203 표시부

2204 키보드

2211 본체

2212 스타일러스

2213 표시부

2214 조작 버튼

2215 외부 인터페이스

2220 전자 서적 리더

2221 하우징

2223 하우징

2225 표시부

2227 표시부

2231 전원

2233 조작 키

2235 스피커

2237 축부

2240 하우징

2241 하우징

2242 표시 패널

2243 스피커

2244 마이크로폰

2245 조작 키

2246 포인팅 장치

2247 카메라용 렌즈

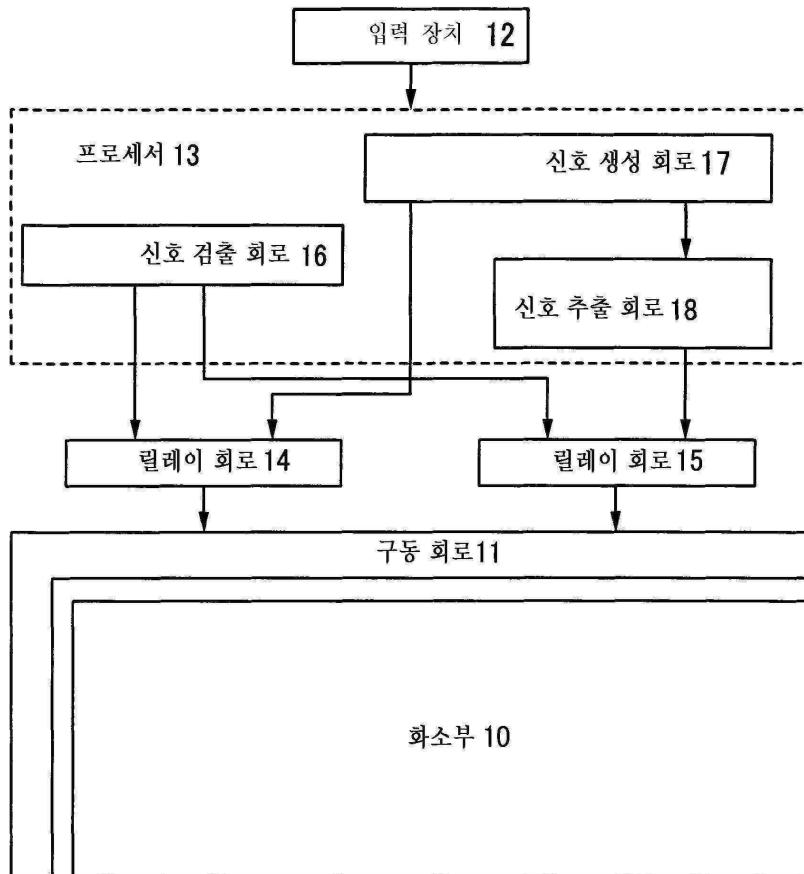
2248 외부 접속 단자

2249 태양 전지

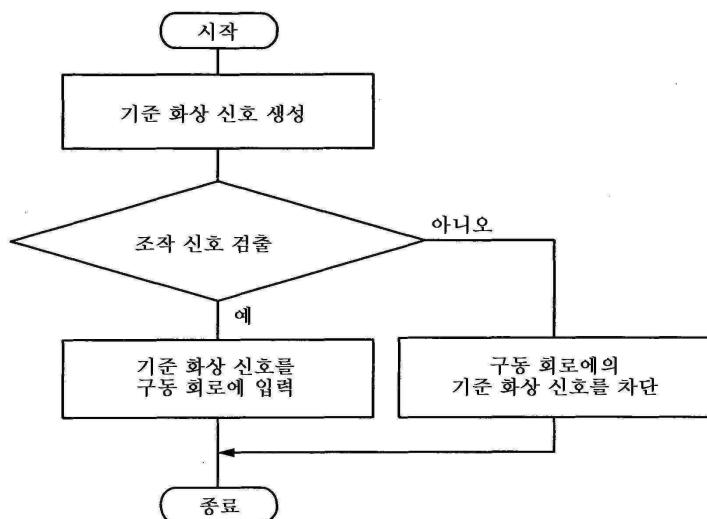
2250 외부 메모리 슬롯

도면

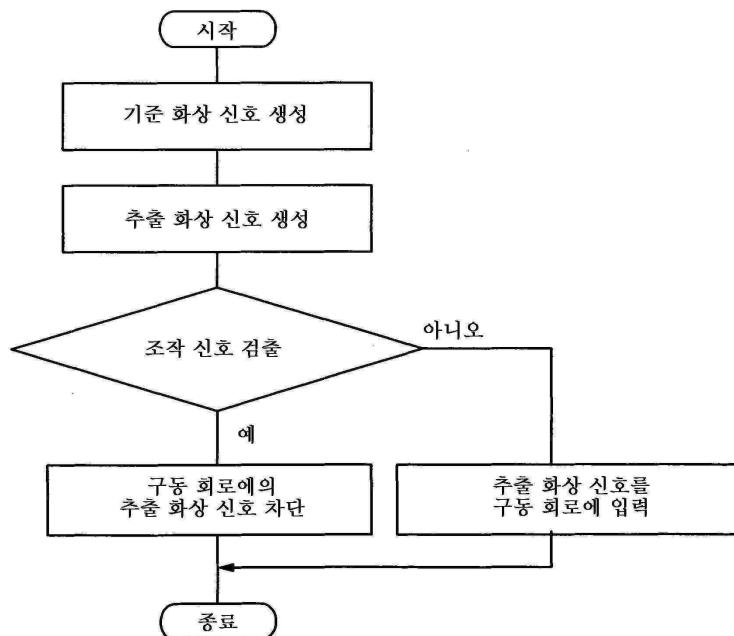
도면1



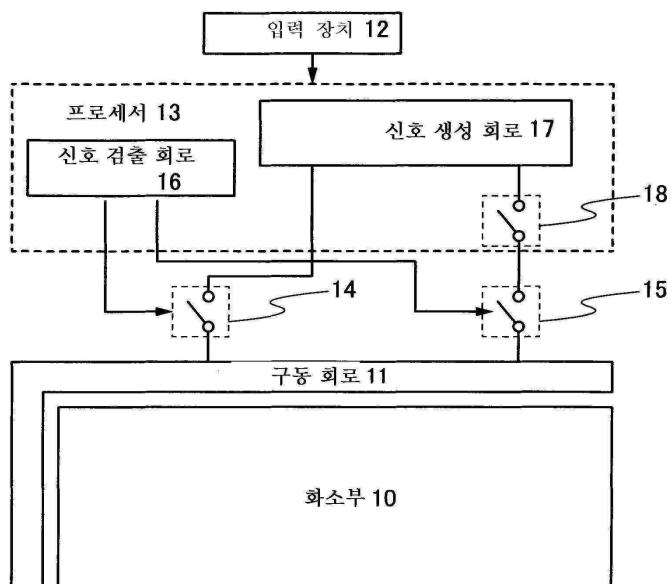
도면2a



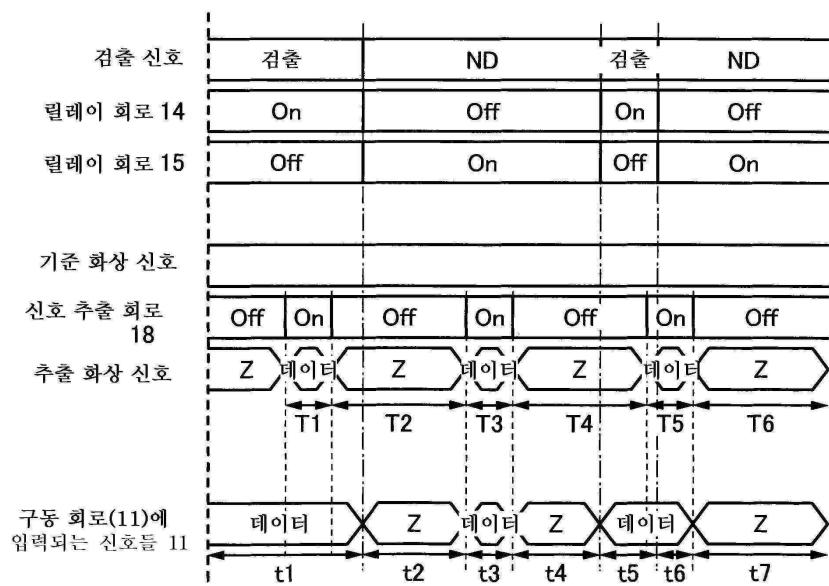
도면2b



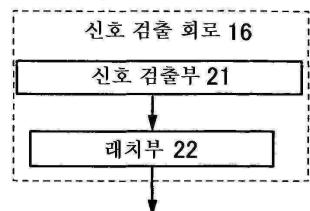
도면3a



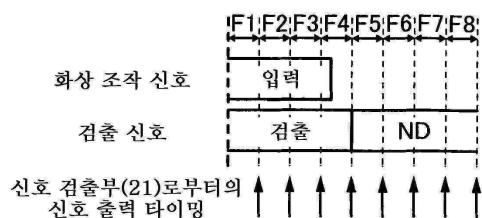
도면3b



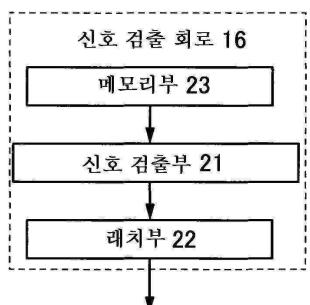
도면4a



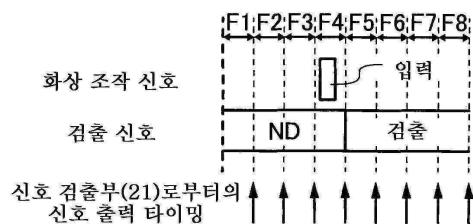
도면4b



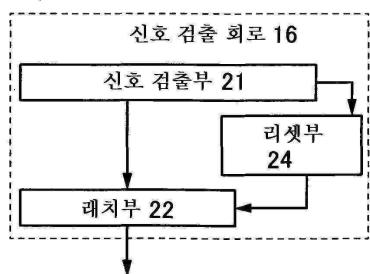
도면4c



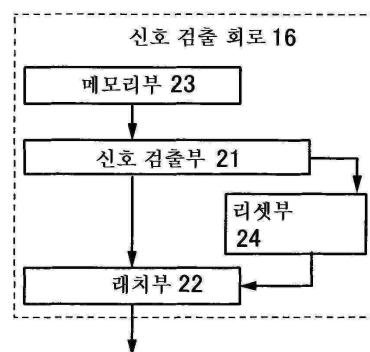
도면4d



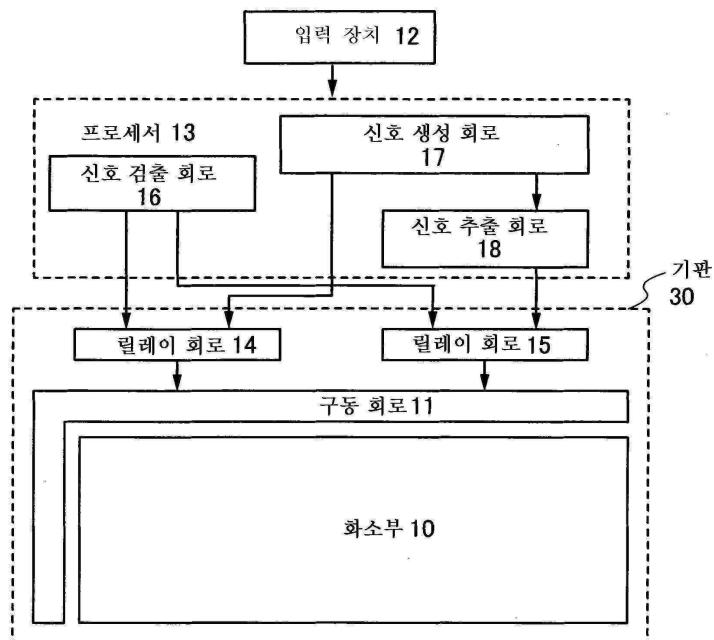
도면4e



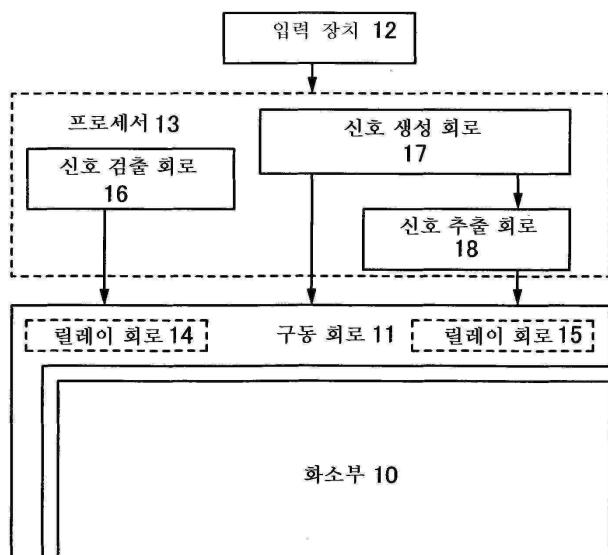
도면4f



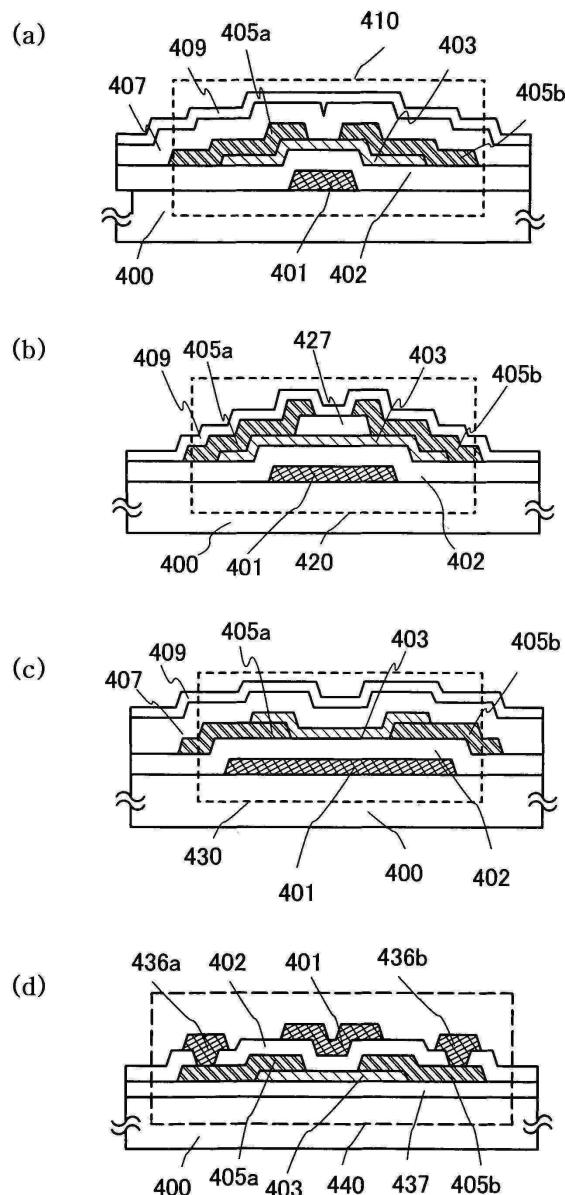
도면5a



도면5b

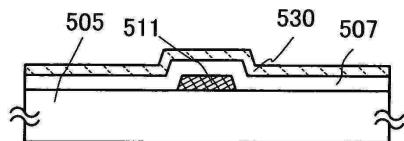


도면6

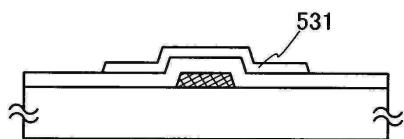


도면7

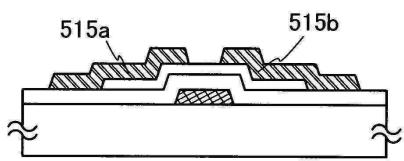
(a)



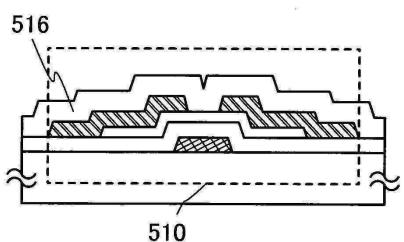
(b)



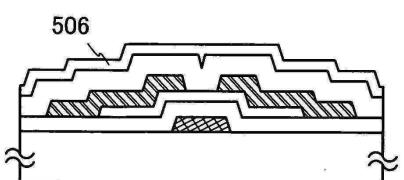
(c)



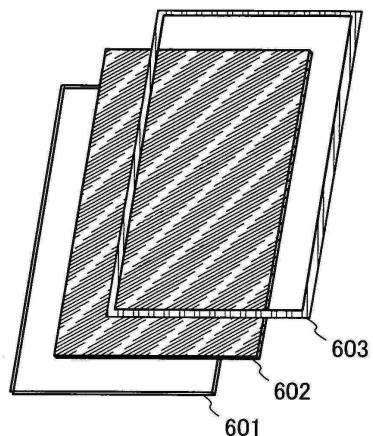
(d)



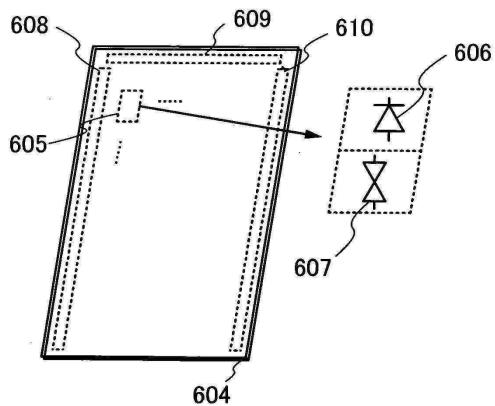
(e)



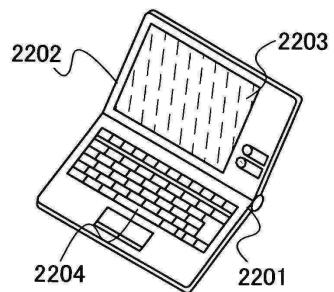
도면8a



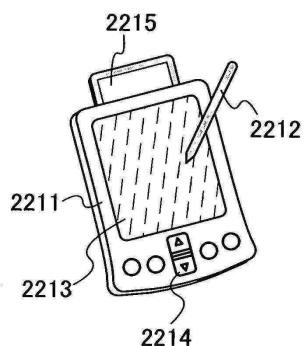
도면8b



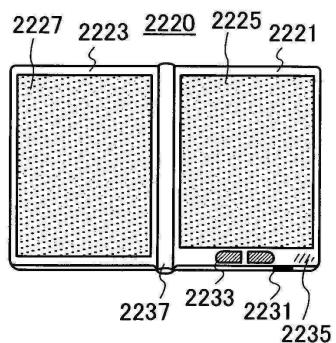
도면9a



도면9b



도면9c



도면9d

