202335184

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202335184 A

(43)公開日： 中華民國 112 (2023) 年 09 月 01 日

(21)申請案號：111149806 (22)申請日： 中華民國 111 (2022) 年 12 月 23 日

(51)Int. Cl.： *H01L21/786 (2006.01)* *H01L21/8239(2006.01)*
H01L27/10 (2006.01) *H01L29/786 (2006.01)*

(30)優先權：2021/12/29 日本 2021-215429
2021/12/29 日本 2021-215431

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ；方堂涼太 HODO, RYOTA (JP) ；大貫達也 ONUKI, TATSUYA (JP) ；加藤清 KATO, KIYOSHI (JP)

(74)代理人：林怡芳；童啓哲

申請實體審查：無 申請專利範圍項數：14 項 圖式數：38 共 218 頁

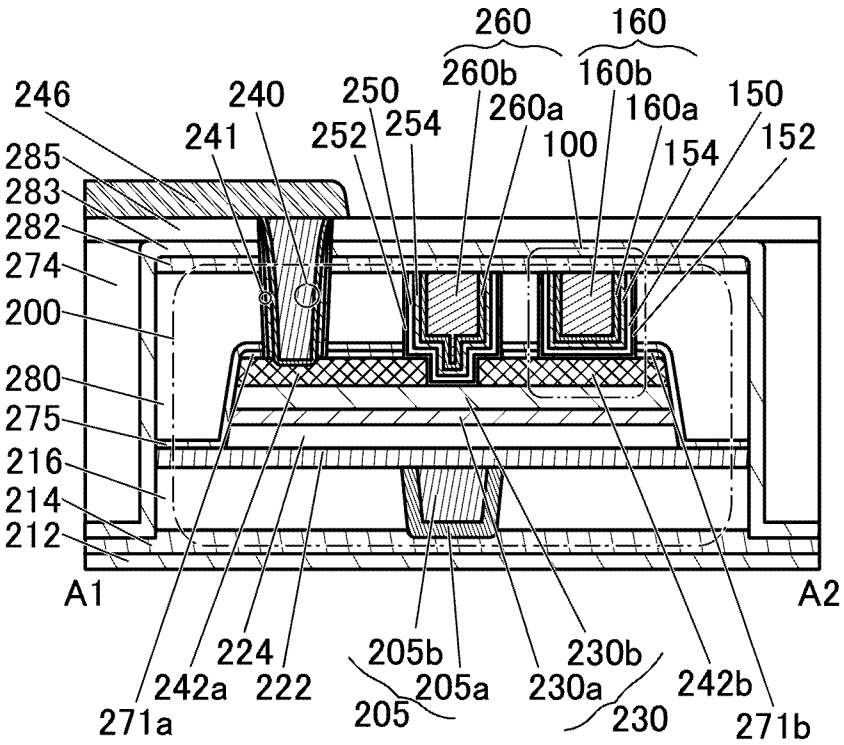
(54)名稱

半導體裝置、記憶體裝置及半導體裝置的製造方法

(57)摘要

提供一種能夠實現微型化或高積體化的半導體裝置。本發明的一個實施方式是一種半導體裝置，包括：電晶體；以及電容器，其中，電晶體包括：氧化物；氧化物上的第一導電體及第二導電體；配置在第一導電體及第二導電體上且具有第一開口及第二開口的第一絕緣體；第一絕緣體的第一開口內的第二絕緣體；以及第二絕緣體上的第三導電體，第一絕緣體所具有的第一開口具有與氧化物重疊的區域，第三導電體具有隔著第二絕緣體與氧化物重疊的區域，電容器包括第二導電體、第一絕緣體的第二開口內的第三絕緣體及第三絕緣體上的第四導電體，並且，在從電晶體的通道長度方向的剖面看時，第一導電體與第二導電體之間的距離小於第一開口的寬度。

指定代表圖：



【圖1B】

符號簡單說明：

100:電容器

150:絕緣體

152:絕緣體

154:絕緣體

160a:導電體

160b:導電體

160:導電體

200:電晶體

205a:導電體

205b:導電體

205:導電體

212:絕緣體

214:絕緣體

216:絕緣體

222:絕緣體

224:絕緣體

230a:氧化物

230b:氧化物

230:氧化物

240:導電體

241:絕緣體

242a:導電體

242b:導電體

246:導電體

250:絕緣體

252:絕緣體

254:絕緣體

260a:導電體

260b:導電體

260:導電體

271a:絕緣體

271b:絕緣體

274:絕緣體

275:絕緣體

280:絕緣體

282:絕緣體

283:絕緣體

285:絕緣體

【發明摘要】

【中文發明名稱】　半導體裝置、記憶體裝置及半導體裝置的製造方法

【中文】

提供一種能夠實現微型化或高積體化的半導體裝置。本發明的一個實施方式是一種半導體裝置，包括：電晶體；以及電容器，其中，電晶體包括：氧化物；氧化物上的第一導電體及第二導電體；配置在第一導電體及第二導電體上且具有第一開口及第二開口的第一絕緣體；第一絕緣體的第一開口內的第二絕緣體；以及第二絕緣體上的第三導電體，第一絕緣體所具有的第一開口具有與氧化物重疊的區域，第三導電體具有隔著第二絕緣體與氧化物重疊的區域，電容器包括第二導電體、第一絕緣體的第二開口內的第三絕緣體及第三絕緣體上的第四導電體，並且，在從電晶體的通道長度方向的剖面看時，第一導電體與第二導電體之間的距離小於第一開口的寬度。

【指定代表圖】　圖1B

【代表圖之符號簡單說明】

100:電容器

150:絕緣體

152:絕緣體

154:絕緣體

160a:導電體

160b:導電體

160:導電體

200:電晶體

205a:導電體

205b:導電體

205:導電體

212:絕緣體

214:絕緣體

216:絕緣體

222:絕緣體

224:絕緣體

230a:氧化物

230b:氧化物

230:氧化物

240:導電體

241:絕緣體

242a:導電體

242b:導電體

246:導電體

250:絕緣體

252:絕緣體

254:絕緣體

260a:導電體

260b:導電體

260:導電體

271a:絕緣體

271b:絕緣體

274:絕緣體

275:絕緣體

280:絕緣體

282:絕緣體

283:絕緣體

285:絕緣體

【發明說明書】

【中文發明名稱】　半導體裝置、記憶體裝置及半導體裝置的製造方法

【技術領域】

【0001】本發明的一個實施方式係關於一種金屬氧化物的製造方法。此外，本發明的一個實施方式係關於一種電晶體、半導體裝置以及電子裝置。此外，本發明的一個實施方式係關於一種半導體裝置的製造方法。此外，本發明的一個實施方式係關於一種半導體晶圓及模組。

【0002】注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。除了電晶體等的半導體元件之外，半導體電路、運算裝置、記憶體裝置也是半導體裝置的一個實施方式。顯示裝置（液晶顯示裝置、發光顯示裝置等）、投影裝置、照明設備、電光裝置、蓄電裝置、記憶體裝置、半導體電路、攝像裝置、電子裝置等有時包括半導體裝置。

【0003】注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。

【先前技術】

【0004】近年來，已對半導體裝置進行開發，LSI、CPU、記憶體等主要用於半導體裝置。CPU是包括將半導體晶圓加工來形成晶片而成的半導體積體

電路（至少包括電晶體及記憶體）且形成有作為連接端子的電極的半導體元件的集合體。

【0005】 LSI、CPU、記憶體等的半導體電路（IC晶片）被安裝在電路板上，例如安裝在印刷線路板上，並被用作各種電子裝置的構件之一。

【0006】 此外，藉由使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到注目。該電晶體被廣泛地應用於積體電路（IC）、影像顯示裝置（簡單地記載為顯示裝置）等電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。作為其他材料，氧化物半導體受到關注。

【0007】 另外，已知使用氧化物半導體的電晶體的洩漏電流在非導通狀態下極小。例如，專利文獻1公開了應用使用氧化物半導體的電晶體的洩漏電流小的特性的低功耗CPU等。另外，例如，專利文獻2公開了利用使用氧化物半導體的電晶體的洩漏電流小的特性實現存儲內容的長期保持的記憶體裝置等。

【0008】 近年來，隨著電子裝置的小型化和輕量化，對積體電路的進一步高密度化的要求提高。此外，有提高包含積體電路的半導體裝置的生產率的需求。

【0009】

[專利文獻1]日本專利申請公開第2012-257187號公報

[專利文獻2]日本專利申請公開第2011-151383號公報

【發明內容】

【0010】本發明的一個實施方式的目的之一是提供一種能夠實現微型化或高積體化的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種工作速度快的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種具有良好的電特性的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種電晶體的電特性不均勻小的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種可靠性良好的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種通態電流大的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種低功耗的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種製程數得到減少的半導體裝置的製造方法。

【0011】注意，這些目的的記載並不妨礙其他目的的存在。注意，本發明的一個實施方式並不需要實現所有上述目的。注意，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的目的。

【0012】本發明的一個實施方式是一種半導體裝置，包括：電晶體；以及電容器，其中，電晶體包括：氧化物；氧化物上的第一導電體及第二導電體；配置在第一導電體及第二導電體上且具有第一開口及第二開口的第一絕緣體；第一絕緣體的第一開口內的第二絕緣體；以及第二絕緣體上的第三導電體，第一絕緣體所具有的第一開口具有與氧化物重疊的區域，第三導電體具有隔著第二絕緣體與氧化物重疊的區域，第二絕緣體具有與氧化物的頂面及第一絕緣體所具有的第一開口的側壁的每一個接觸的區域，電容器包括第二導電體、第二導電體上的第三絕緣體及第三絕緣體上的第四導電體，第三絕緣體及第四導電體配置在第二開口內，並且，在從電晶體的通道長度方向的剖面看時，第一導電體與第二導電體之間的距離小於第一開口的寬度。

【0013】在上述半導體裝置中，較佳的是，第一絕緣體所具有的第二開口具有與第二導電體重疊的區域，第四導電體具有隔著第三絕緣體與第二導電體重疊的區域，並且第三絕緣體具有與第二導電體的頂面及第一絕緣體所具有的第一開口的側壁的每一個接觸的區域。

【0014】此外，在上述半導體裝置中，較佳的是，第二絕緣體包括第四絕緣體、第四絕緣體上的第五絕緣體及第五絕緣體上的第六絕緣體，第三絕緣體包括第七絕緣體、第七絕緣體上的第八絕緣體及第八絕緣體上的第九絕緣體，第四絕緣體具有其厚度比第五絕緣體的厚度小的區域，第六絕緣體與第五絕緣體相比不容易使氧透過，第七絕緣體具有其厚度小於第八絕緣體的厚度的區域，並且第九絕緣體與第八絕緣體相比不容易使氧透過。

【0015】此外，在上述半導體裝置中，較佳的是，第四絕緣體包含與第七絕緣體相同的絕緣性材料，第五絕緣體包含與第八絕緣體相同的絕緣性材料，第六絕緣體包含與第九絕緣體相同的絕緣性材料，並且第三導電體包含與第四導電體相同的導電性材料。

【0016】此外，在上述半導體裝置中，較佳的是，第十絕緣體位於第一導電體及第二導電體與第一絕緣體之間，第十絕緣體具有與第一開口重疊的第三開口及與第二開口重疊的第四開口，第十絕緣體與第四絕緣體及第七絕緣體相比不容易使氧透過，第十絕緣體具有與氧化物的側面、第一導電體的側面及第二導電體的側面的每一個接觸的區域，並且在從電晶體的通道長度方向的剖面看時，第一導電體與第二導電體之間的距離小於第三開口的寬度。

【0017】此外，在上述半導體裝置中，較佳的是，第一導電體包括第五導電體及第五導電體上的第六導電體，第二導電體包括第七導電體及第七導電

體上的第八導電體，並且在從電晶體的通道長度方向的剖面看時，第五導電體與第七導電體之間的距離小於第六導電體與第八導電體之間的距離。

【0018】 此外，在上述半導體裝置中，較佳的是，第一導電體及第二導電體的彼此相對的側面與氧化物的頂面大致垂直。

【0019】 此外，在上述半導體裝置中，較佳的是，氧化物包含銦、鋅以及選自鎵、鋁和錫中的一個或多個。

【0020】 此外，在上述半導體裝置中，較佳的是，氧化物包含結晶，並且結晶的c軸大致垂直於氧化物的表面或被形成面。

【0021】 此外，較佳的是，上述半導體裝置包括氧化物下的第九導電體，其中第九導電體與氧化物及第三導電體重疊。

【0022】 本發明的另一個實施方式是一種記憶體裝置，包括：包括設置有上述半導體裝置的記憶體陣列的多個層，其中，層各自包括與第一導電體電連接的第一佈線、與第三導電體電連接的第二佈線及與第四導電體電連接的第三佈線，在連續的層中，上層的第九導電體與下層的第三佈線電連接，並且，在連續的層中，下層的第二佈線設置在與上層的第三佈線重疊的位置。

【0023】 此外，在上述記憶體裝置中，較佳的是，第奇數個層所包括的第一佈線彼此電連接，並且第偶數個層所包括的第一佈線彼此電連接。

【0024】 此外，較佳的是，上述記憶體裝置包括驅動電路，其中多個層重疊設置在驅動電路上。

【0025】 此外，本發明的一個實施方式是一種半導體裝置的製造方法，半導體裝置包括：電晶體；以及電容器，其中，電晶體包括氧化物、第一導電體至第三導電體、第一絕緣體及第二絕緣體，並且，電容器包括第二導電體、

第三絕緣體及第四導電體，半導體裝置的製造方法包括如下步驟：覆蓋氧化物及氧化物上的導電層形成第一絕緣體；在第一絕緣體中形成使導電層的頂面及側面以及氧化物的側面露出的第一開口及第二開口；形成覆蓋第一絕緣體及第二開口的遮罩層，其中遮罩層具有與第一開口的一部分重疊的第三開口，並且在從電晶體的通道長度方向的剖面看時，第三開口的寬度小於第一開口的寬度；使用遮罩層對導電層進行蝕刻來形成第一導電體及第二導電體；覆蓋第一絕緣體、第一開口及第二開口沉積絕緣膜；在絕緣膜上沉積導電膜；以及去除絕緣膜及導電膜中的從第一開口及第二開口露出的部分，在第一開口中形成第二絕緣體及第三導電體，在第二開口中形成第三絕緣體及第四導電體。

【0026】 根據本發明的一個實施方式，可以提供一種能夠實現微型化或高積體化的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種工作速度快的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種可靠性良好的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種電晶體的電特性不均勻小的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種具有良好的電特性的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種通態電流大的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種低功耗的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種製程數得到減少的半導體裝置的製造方法。

【0027】 注意，這些效果的記載並不妨礙其他效果的存在。注意，本發明的一個實施方式並不需要具有所有上述效果。注意，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的效果。

【圖式簡單說明】

【0028】

[圖1A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖1B]至[圖1D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖2A]及[圖2B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖3A]及[圖3B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖4A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖4B]至[圖4D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖5A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖5B]至[圖5D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖6A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖6B]至[圖6D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖7A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖7B]至[圖7D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖8A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖8B]至[圖8D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖9A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖9B]至[圖9D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖10A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖10B]至[圖10D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖11A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖11B]至[圖11D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖12A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖12B]至[圖12D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖13A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖13B]至[圖13D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖14A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖14B]至[圖14D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖15A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖15B]至[圖15D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖16A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖16B]至[圖16D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖17A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖17B]至[圖17D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖18]是說明本發明的一個實施方式的微波處理裝置的俯視圖。

[圖19]是說明本發明的一個實施方式的微波處理裝置的剖面圖。

[圖20]是說明本發明的一個實施方式的微波處理裝置的剖面圖。

[圖21]是說明本發明的一個實施方式的微波處理裝置的剖面圖。

[圖22A]是本發明的一個實施方式的半導體裝置的平面圖。[圖22B]及[圖22C]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖23A]是本發明的一個實施方式的半導體裝置的平面圖。[圖23B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖24]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖25A]至[圖25C]是用來說明本發明的一個實施方式的記憶體裝置的結構的方塊圖、示意圖及電路圖。

[圖26A]及[圖26B]是用來說明本發明的一個實施方式的記憶體裝置的結構的示意圖。

[圖27A]及[圖27B]是用來說明本發明的一個實施方式的記憶體裝置的結構的示意圖及電路圖。

[圖28]是用來說明本發明的一個實施方式的記憶體裝置的結構的示意圖。

[圖29A]及[圖29B]是用來說明本發明的一個實施方式的記憶體裝置的結構的佈局圖。

[圖30A]及[圖30B]是用來說明本發明的一個實施方式的記憶體裝置的結構的佈局圖及剖面示意圖。

[圖31]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖32]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖33]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖34A]及[圖34B]是本發明的一個實施方式的半導體裝置的示意圖。

[圖35A]及[圖35B]是說明電子構件的一個例子的圖。

[圖36A]至[圖36E]是本發明的一個實施方式的記憶體裝置的示意圖。

[圖37A]至[圖37H]是示出本發明的一個實施方式的電子裝置的圖。

[圖38]是示出太空設備的一個例子的圖。

【實施方式】

【0029】 下面，參照圖式對實施方式進行說明。注意，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面所示的實施方式所記載的內容中。

【0030】 在圖式中，為顯而易見，有時誇大表示大小、層的厚度或區域。因此，本發明並不侷限於圖式中的尺寸。此外，在圖式中，示意性地示出理想的例子，因此本發明不侷限於圖式所示的形狀或數值等。例如，在實際的

製程中，有時由於蝕刻等處理而層或光阻遮罩等被非意圖性地減薄，但是為了便於理解有時不反映於圖式中。另外，在圖式中，有時在不同的圖式之間共同使用相同的符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加符號。

【0031】 另外，尤其在俯視圖（也稱為平面圖）或立體圖等中，為了便於對發明的理解，有時省略部分組件的記載。另外，有時省略部分隱藏線的記載。

【0032】 此外，在本說明書等中，為了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。此外，本說明書等所記載的序數詞與用於指定本發明的一個實施方式的序數詞有時不一致。

【0033】 在本說明書等中，為方便起見，使用了“上”、“下”等表示配置的詞句，以參照圖式說明組件的位置關係。此外，組件的位置關係根據描述各組件的方向適當地改變。因此，不侷限於說明書中所說明的詞句，根據情況可以適當地換詞句。

【0034】 例如，在本說明書等中，X與Y連接是指X與Y電連接。在此，X與Y電連接是指在X和Y之間存在物件（開關、電晶體元件或二極體等的元件、或者包含該元件及佈線的電路等）時可以在X和Y之間傳送電信號的連接。注意，X與Y電連接的情況包括X與Y直接連接的情況。在此，X與Y直接連接是指X和Y能夠不經過上述物件而在其間藉由佈線（或者電極）等傳送電信號的連

接。換言之，直接連接是指在使用等效電路表示時可以看作相同的電路圖的連接。

【0035】 在本說明書等中，電晶體是指至少包括閘極、汲極以及源極這三個端子的元件。電晶體在汲極（汲極端子、汲極區域或汲極電極）與源極（源極端子、源極區域或源極電極）之間具有形成通道的區域（以下也稱為通道形成區域），並且藉由通道形成區域電流能夠流過源極和汲極之間。注意，在本說明書等中，通道形成區域是指電流主要流過的區域。

【0036】 另外，在使用極性不同的電晶體的情況或電路工作中的電流方向變化的情況等下，源極或汲極的功能有時互相調換。因此，在本說明書等中，有時源極或汲極可以相互調換。

【0037】 注意，通道長度例如是指電晶體的俯視圖中的半導體（或在電晶體處於開啟狀態時，在半導體中電流流過的部分）和閘極電極互相重疊的區域或者通道形成區域中的源極（源極區域或源極電極）和汲極（汲極區域或汲極電極）之間的距離。另外，在一個電晶體中，通道長度不一定在所有的區域中成為相同的值。也就是說，一個電晶體的通道長度有時不限定於一個值。因此，在本說明書中，通道長度是通道形成區域中的任一個值、最大值、最小值或平均值。

【0038】 通道寬度例如是指在電晶體的俯視圖中半導體（或在電晶體處於開啟狀態時，在半導體中電流流過的部分）和閘極電極互相重疊的區域或者通道形成區域中的垂直於通道長度方向上的通道形成區域的長度。另外，在一個電晶體中，通道寬度不一定在所有的區域中成為相同的值。也就是說，一個

電晶體的通道寬度有時不限定於一個值。因此，在本說明書中，通道寬度是通道形成區域中的任一個值、最大值、最小值或平均值。

【0039】 在本說明書等中，根據電晶體的結構，有時形成通道的區域中的實際上的通道寬度（以下，也稱為“有效通道寬度”）和電晶體的俯視圖所示的通道寬度（以下，也稱為“外觀上的通道寬度”）不同。例如，在閘極電極覆蓋半導體的側面時，有時因為有效通道寬度大於外觀上的通道寬度，所以不能忽略其影響。例如，在微型且閘極電極覆蓋半導體的側面的電晶體中，有時形成在半導體的側面上的通道形成區域的比率增高。在此情況下，有效通道寬度大於外觀上的通道寬度。

【0040】 在上述情況下，有時難以藉由實測估計有效通道寬度。例如，為了根據設計值估計有效通道寬度，需要預先知道半導體的形狀的假定。因此，當不確定半導體的形狀時，難以準確地測量有效的通道寬度。

【0041】 在本說明書中，在簡單地描述為“通道寬度”時，有時是指外觀上的通道寬度。或者，在本說明書中，在簡單地描述為“通道寬度”時，有時是指有效通道寬度。注意，例如藉由對剖面TEM影像進行分析，可以決定通道長度、通道寬度、有效通道寬度或外觀上的通道寬度等的值。

【0042】 注意，半導體的雜質例如是指構成半導體的主要成分之外的元素。例如，濃度低於0.1原子%的元素可以說是雜質。在包含雜質時，例如有時發生半導體的缺陷態密度的增高、結晶性的降低等。當半導體是氧化物半導體時，作為改變半導體的特性的雜質，例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素以及除氧化物半導體的主要成分外的過渡金屬等。例如，有氫、鋰、鈉、矽、硼、磷、碳、氮等。此外，有時水也作為雜質

起作用。此外，例如有時雜質的混入導致氧化物半導體中的氧空位（也稱為V_O：oxygen vacancy）的形成。

【0043】注意，在本說明書等中，氧氮化矽是指在組成中氧含量大於氮含量的物質。此外，氮氧化矽是指在組成中氮含量大於氧含量的物質。另外，氧氮化鋁是指在組成中氧含量大於氮含量的物質。另外，氮氧化鋁是指在組成中氮含量大於氧含量的物質。另外，氧氮化鉿是指在組成中氮含量大於氧含量的物質。另外，氮氧化鉿是指在組成中氮含量大於氧含量的物質。

【0044】注意，在本說明書等中，可以將“絕緣體”換稱為“絕緣膜”或“絕緣層”。另外，可以將“導電體”換稱為“導電膜”或“導電層”。另外，可以將“半導體”換稱為“半導體膜”或“半導體層”。

【0045】在本說明書等中，“平行”是指兩條直線形成的角度為-10°以上且10°以下的狀態。因此，也包括該角度為-5°以上且5°以下的狀態。“大致平行”是指兩條直線形成的角度為-30°以上且30°以下的狀態。另外，“垂直”是指兩條直線形成的角度為80°以上且100°以下的狀態。因此，也包括該角度為85°以上且95°以下的狀態。“大致垂直”是指兩條直線形成的角度為60°以上且120°以下的狀態。

【0046】在本說明書等中，金屬氧化物（metal oxide）是指廣義上的金屬的氧化物。金屬氧化物被分為氧化物絕緣體、氧化物導電體（包括透明氧化物導電體）和氧化物半導體（Oxide Semiconductor，也可以簡稱為OS）等。例如，在將金屬氧化物用於電晶體的半導體層的情況下，有時將該金屬氧化物稱為氧化物半導體。換言之，可以將OS電晶體換稱為包括金屬氧化物或氧化物半導體的電晶體。

【0047】注意，在本說明書等中，常關閉是指：在不對閘極施加電位或者對閘極施加接地電位時流過電晶體的每通道寬度1μm的汲極電流在室溫下為1×10^{-20}A以下，在85℃下為1×10^{-18}A以下，或在125℃下為1×10^{-16}A以下。

【0048】此外，在本說明書等中，可以適當地調換“電壓”和“電位”。“電壓”是指與參考電位之間的電位差，例如在參考電位為地電位（接地電位）時，也可以將“電壓”稱為“電位”。地電位不一定意味著0V。此外，電位是相對性的，根據參考電位的變化而供應到佈線的電位、施加到電路等的電位、從電路等輸出的電位等也產生變化。

【0049】此外，在本說明書等中，在多個組件使用同一符號並且需要區分它們時，有時對符號附加“_1”、“[n]”或“[m，n]”等用於識別的符號。

【0050】注意，在本說明書等中，“高度一致或大致一致”是指在從剖面看時距作為基準的面（例如，基板表面等平坦的面）的高度相等的結構。例如，在半導體裝置的製造程序中，有時進行平坦化處理（典型的是CMP處理）使單層或多個層的表面露出。在這種情況下，CMP處理的被處理面距作為基準的面的高度相等。注意，根據進行CMP處理時的處理裝置、處理方法或被處理面的材料，有時多個層的高度不同。在本說明書等中，“高度一致或大致一致”也包括上述情況。例如，如下情況也稱為“高度一致或大致一致”：包括對基準面具有兩個高度的層（在此，第一層和第二層），其中第一層的頂面高度與第二層的頂面高度之差為20nm以下。

【0051】注意，在本說明書等中，“端部一致或大致一致”是指在俯視時層疊的層與層之間輪廓的至少一部分重疊。例如，包括上層及下層藉由同一的遮罩圖案或其一部分同一的遮罩圖案被加工的情況。但是，嚴格地說，有時輪廓

不重疊且上層的輪廓位於下層的輪廓的內側或者上層的輪廓位於下層的輪廓的外側，這些情況也包括在“端部一致或大致一致”。

【0052】

實施方式1

在本實施方式中，參照圖1A至圖23B說明本發明的一個實施方式的半導體裝置的一個例子及其製造方法。本發明的一個實施方式的半導體裝置包括電晶體及電容器。

【0053】

<半導體裝置的結構例子>

參照圖1說明包括電晶體200及電容器100的半導體裝置的結構。圖1A至圖1D是包括電晶體200及電容器100的半導體裝置的俯視圖及剖面圖。圖1A是該半導體裝置的俯視圖。此外，圖1B至圖1D是該半導體裝置的剖面圖。在此，圖1B是沿著圖1A中的點劃線A1-A2的部分的剖面圖，該剖面圖相當於電晶體200及電容器100的通道長度方向的剖面圖。此外，圖1C是沿著圖1A中的點劃線A3-A4的部分的剖面圖，該剖面圖相當於電晶體200的通道寬度方向的剖面圖。此外，圖1D是沿著圖1A中的點劃線A5-A6的部分的剖面圖，該剖面圖相當於電容器100的通道寬度方向的剖面圖。注意，在圖1A的俯視圖中，為了明確起見，省略部分組件。

【0054】 本發明的一個實施方式的半導體裝置包括：基板（未圖示）上的絕緣體212；絕緣體212上的絕緣體214；絕緣體214上的電晶體200及電容器100；設置在電晶體200中的絕緣體275及絕緣體271（絕緣體271a、271b）上的絕緣體280；絕緣體280上的絕緣體282；絕緣體282上的絕緣體283；絕緣體283

上的絕緣體274；以及絕緣體283及絕緣體274上的絕緣體285。絕緣體212、絕緣體214、絕緣體280、絕緣體282、絕緣體283、絕緣體285、絕緣體274及絕緣體285被用作層間膜。此外，絕緣體283接觸於絕緣體214的頂面的一部分、絕緣體280的側面以及絕緣體282的側面及頂面。如圖1所示，電晶體200及電容器100中的至少一部分以嵌入在絕緣體280中的方式配置。

【0055】 在此，電晶體200包括被用作半導體層的氧化物230、被用作第一閘極的導電體260、被用作第二閘極的導電體205、被用作源極和汲極中的一個的導電體242a以及被用作源極和汲極中的另一個的導電體242b。此外，包括被用作第一閘極絕緣膜的絕緣體252、絕緣體250及絕緣體254。此外，包括被用作第二閘極絕緣膜的絕緣體222及絕緣體224。

【0056】 電晶體200的第一閘極及第一閘極絕緣膜配置在形成於絕緣體280、絕緣體275及絕緣體271中的開口258內。就是說，導電體260、絕緣體252、絕緣體250及絕緣體254配置在開口258內。

【0057】 此外，電容器100包括用作下部電極的導電體242b、用作電介質的絕緣體152、絕緣體150及絕緣體154、以及用作上部電極的導電體160。換言之，電容器100構成MIM（Metal-Insulator-Metal：金屬-絕緣體-金屬）電容器。此外，導電體242b可以兼用作電容器100下部電極和電晶體200的源極和汲極中的另一個。因此，電容器100的製程可以兼用作電晶體200的製程的一部分，所以可以製造生產率高的半導體裝置。

【0058】 電容器100的上部電極及介電質配置在形成於絕緣體280、絕緣體275及絕緣體271中的開口158內。就是說，導電體160、絕緣體152、絕緣體150及絕緣體154配置在開口158內。

【0059】 此外，本發明的一個實施方式的半導體裝置包括與電晶體200電連接並被用作插頭的導電體240。注意，以與導電體240的側面接觸的方式設置有絕緣體241。此外，導電體240與導電體242a電連接。此外，絕緣體285及導電體240上設置有與導電體240電連接並被用作佈線的導電體246。

【0060】 導電體240及導電體246被用作電連接開關、電晶體、電容器、電感器、電阻器及二極體等電路元件、佈線、電極或端子與電晶體200的插頭或佈線。

【0061】 可以將本實施方式所示的包括電晶體200及電容器100的半導體裝置用作記憶體裝置的記憶單元。此時，導電體246有時電連接到感測放大器。在此，如圖1A所示，電晶體200及電容器100都形成在氧化物230上。因此，在俯視時，可以在沒有大幅增加佔有面積的情況下設置電容器100，因此可以實現根據本實施方式的半導體裝置的微型化或高積體化。

【0062】

[電晶體200]

如圖1A至圖1D所示，電晶體200包括絕緣體214上的絕緣體216、以嵌入絕緣體216中的方式配置的導電體205（導電體205a及導電體205b）、絕緣體216及導電體205上的絕緣體222、絕緣體222上的絕緣體224、絕緣體224上的氧化物230a、氧化物230a上的氧化物230b、氧化物230b上的導電體242a、導電體242a上的絕緣體271a、氧化物230b上的導電體242b、導電體242b上的絕緣體271b、氧化物230b上的絕緣體252、絕緣體252上的絕緣體250、絕緣體250上的絕緣體254、位於絕緣體254上並與氧化物230b的一部分重疊的導電體260（導電體260a及導電體260b）、以及配置在絕緣體222、絕緣體224、氧化物230a、

氧化物230b、導電體242a、導電體242b、絕緣體271a及絕緣體271b上的絕緣體275。在此，如圖1B及圖1C所示，絕緣體252與絕緣體222的頂面、絕緣體224的側面、氧化物230a的側面、氧化物230b的側面及頂面、導電體242a及導電體242b的側面、絕緣體271a及絕緣體271b的側面、絕緣體275的側面、絕緣體280的側面及絕緣體250的底面的每一個的至少一部分接觸。另外，導電體260的頂面以高度與絕緣體254的最上部、絕緣體250的最上部、絕緣體252的最上部及絕緣體280的頂面的高度大致一致的方式配置。另外，絕緣體282與導電體260、絕緣體252、絕緣體250、絕緣體254和絕緣體280各自的頂面的至少一部分接觸。

【0063】 在本說明書等中，有時將氧化物230a及氧化物230b統稱為氧化物230。此外，有時將導電體242a及導電體242b統稱為導電體242。此外，有時將絕緣體271a及絕緣體271b統稱為絕緣體271。

【0064】 在絕緣體280、絕緣體271及絕緣體275中設置到達氧化物230b的開口258。也就是說，開口258可以說包括與氧化物230b重疊的區域。此外，絕緣體275可以說包括與絕緣體280所包括的開口258重疊的開口。此外，在開口258內設置絕緣體252、絕緣體250、絕緣體254及導電體260。也就是說，導電體260包括隔著絕緣體252、絕緣體250及絕緣體254與氧化物230b重疊的區域。此外，在電晶體200的通道長度方向上，絕緣體271a及導電體242a與絕緣體271b及導電體242b之間設置有導電體260、絕緣體252、絕緣體250及絕緣體254。絕緣體254具有與導電體260的側面接觸的區域及與導電體260的底面接觸的區域。注意，如圖1C所示，開口258在不與氧化物230重疊的區域中到達絕緣體222。

【0065】 氧化物230較佳為包括絕緣體224上的氧化物230a及氧化物230a上的氧化物230b。當在氧化物230b下包括氧化物230a時，可以抑制雜質從形成在氧化物230a的下方的結構物向氧化物230b擴散。

【0066】 注意，在電晶體200中氧化物230具有氧化物230a及氧化物230b的兩層疊層結構，但是本發明不侷限於此。例如，氧化物230可以具有氧化物230b的單層或三層以上的疊層結構，也可以具有氧化物230a及氧化物230b分別具有疊層的結構。

【0067】 導電體260被用作第一閘極（也稱為頂閘極）電極，導電體205被用作第二閘極（也稱為背閘極）電極。此外，絕緣體252、絕緣體250及絕緣體254被用作第一閘極絕緣體，絕緣體222及絕緣體224被用作第二閘極絕緣體。注意，有時將閘極絕緣體稱為閘極絕緣層或閘極絕緣膜。此外，導電體242a被用作源極和汲極中的一個，導電體242b被用作源極和汲極中的另一個。此外，氧化物230的與導電體260重疊的區域的至少一部分被用作通道形成區域。

【0068】 在此，圖2A是圖1B中的通道形成區域附近的放大圖。如圖2A所示，在從電晶體200的通道長度方向的剖面看時，導電體242a與導電體242b之間的距離L2較佳為小於開口258的寬度。在此，如圖2A所示，開口258的寬度對應於絕緣體280與絕緣體252的導電體242a一側的介面和導電體242b一側的介面之間的距離L1。雖然將在後面進行說明，但是在本實施方式中導電體242a和導電體242b的通道蝕刻在形成開口258之後進行。藉由具有這種結構，可以較容易地使導電體242a與導電體242b之間的距離L2非常微小（例如，60nm以下、

50nm以下、40nm以下、30nm以下、20nm以下或10nm以下且1nm以上或5nm以上）。

【0069】 注意，如圖2A及圖1C所示，開口258也可以被看作在以絕緣體222為底面且以絕緣體280、絕緣體275及絕緣體271為側面的開口中由絕緣體224、氧化物230及導電體242構成的結構體的一部分突出的形狀。並且，可以被看作由絕緣體224、氧化物230及導電體242構成的結構體中的夾在導電體242a與導電體242b之間的氧化物230的區域露出。

【0070】 如圖2A及圖1C所示，以與開口258的底面及內壁接觸的方式設置有絕緣體252。因此，絕緣體252接觸於絕緣體222的頂面、絕緣體224的側面、氧化物230a的側面、氧化物230b的頂面及側面、導電體242a的頂面的一部分及側面、導電體242b的頂面的一部分及側面、絕緣體271a的側面、絕緣體271b的側面、絕緣體275的側面以及絕緣體280的側面。此外，絕緣體252上層疊有絕緣體250、絕緣體254及導電體260。由此，以覆蓋在開口258中部分突出的導電體242a及導電體242b的方式設置有絕緣體252、絕緣體250、絕緣體254及導電體260。

【0071】 由於氧化物230b被供應氧，通道形成區域形成在導電體242a和導電體242b之間的距離L2的區域中。因此，電晶體200的通道形成區域具有非常微小的結構。由此，電晶體200的通態電流增大，可以提高頻率特性。

【0072】 如圖2A所示，氧化物230b包括被用作電晶體200的通道形成區域的區域230bc及以夾著區域230bc的方式設置並被用作源極區域或汲極區域的區域230ba及區域230bb。區域230bc的至少一部分與導電體260重疊。換言之，區

域230bc設置在導電體242a與導電體242b間的區域中。區域230ba與導電體242a重疊，區域230bb與導電體242b重疊。

【0073】 與區域230ba及區域230bb相比，其氧空位少或雜質濃度低，所以被用作通道形成區域的區域230bc是載子濃度低的高電阻區域。因此，區域230bc可以說是i型（本質）或實質上i型的區域。

【0074】 此外，在被用作源極區域或汲極區域的區域230ba及區域230bb是如下區域：由於氧空位多或者氫、氮、金屬元素等雜質的濃度高，因此載子濃度提高，所以被低電阻化。就是說，區域230ba及區域230bb是比區域230bc載子濃度高且電阻低的n型區域。

【0075】 在此，如圖2A所示，導電體242a及導電體242b的彼此相對的側面較佳為大致垂直於氧化物230b的頂面。藉由具有這種結構，可以抑制形成在導電體242a下的區域230ba的區域230bc一側的側端部與導電體242a的區域230bc一側的側端部相比過度地後退。同樣地，可以抑制形成在導電體242b下的區域230bb的區域230bc一側的側端部與導電體242b的區域230bc一側的側端部相比過度地後退。因此，可以在區域230ba與區域230bc之間以及區域230bb與區域230bc之間不容易形成偏置區域（所謂的Loff區域）。

【0076】 由此，可以提高電晶體200的頻率特性，而可以提高本發明的一個實施方式的半導體裝置的工作速度。例如，在將本發明的一個實施方式的半導體裝置用作記憶體裝置的記憶單元時，可以提高寫入速度及讀出速度。

【0077】 被用作通道形成區域的區域230bc的載子濃度較佳為$1\times10^{18}cm^{-3}$以下，更佳為低於$1\times10^{17}cm^{-3}$，進一步較佳為低於$1\times10^{16}cm^{-3}$，更佳的是低於$1\times10^{13}cm^{-3}$，進一步較佳的是低於$1\times10^{12}cm^{-3}$。對被用作通道形成區域的區域

230bc的載子濃度的下限值沒有特別的限定，例如，可以將其設定為$1\times10^{-9}cm^{-3}$。

【0078】 此外，也可以在區域230bc與區域230ba或區域230bb之間形成載子濃度等於或低於區域230ba及區域230bb的載子濃度且等於或高於區域230bc的載子濃度的區域。換言之，該區域被用作區域230bc與區域230ba或區域230bb的接合區域。該接合區域的氫濃度有時等於或低於區域230ba及區域230bb的氫濃度且等於或高於區域230bc的氫濃度。此外，該接合區域的氧空位有時等於或少於區域230ba及區域230bb的氧空位且等於或多於區域230bc的氧空位。

【0079】 注意，圖2A示出區域230ba、區域230bb及區域230bc形成在氧化物230b中的例子，但是本發明不侷限於此。例如，上述各區域也可以形成在氧化物230b和氧化物230a中。

【0080】 在氧化物230中，有時難以明確地觀察各區域的邊界。在各區域中檢測出的金屬元素和氫及氮等雜質元素的濃度並不需要按每區域分階段地變化，也可以在各區域中逐漸地變化。就是說，越接近通道形成區域，金屬元素和氫及氮等雜質元素的濃度越低即可。

【0081】 較佳為在電晶體200中將被用作半導體的金屬氧化物（以下，有時稱為氧化物半導體）用於包含通道形成區域的氧化物230（氧化物230a、氧化物230b）。

【0082】 被用作半導體的金屬氧化物的能帶間隙較佳為2eV以上，更佳為2.5eV以上。藉由使用能帶間隙較寬的金屬氧化物，可以減小電晶體的關態電流（off-state current）。

【0083】 例如，作為氧化物230較佳為使用包含銦、元素M及鋅的In-M-Zn氧化物（元素M為選自鋁、鎵、釔、錫、銅、釩、鈹、硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢和鎂等中的一種或多種）等的金屬氧化物。此外，作為氧化物230也可以使用In-Ga氧化物、In-Zn氧化物或銦氧化物。

【0084】 氧化物230較佳為具有化學組成互不相同的多個氧化物層的疊層結構。例如，用於氧化物230a的金屬氧化物中的相對於主要成分的金屬元素的元素M的原子個數比較佳為大於用於氧化物230b的金屬氧化物中的相對於主要成分的金屬元素的元素M的原子個數比。此外，用於氧化物230a的金屬氧化物中的In與元素M的原子個數比較佳為大於用於氧化物230b的金屬氧化物中的In與元素M的原子個數比。藉由採用這樣的結構，可以抑制雜質及氧從形成在氧化物230a的下方的結構物向氧化物230b擴散。

【0085】 在此，較佳的是，用於氧化物230b的金屬氧化物中的In與元素M的原子個數比大於用於氧化物230a的金屬氧化物中的In與元素M的原子個數比。藉由採用該結構，電晶體200可以得到高通態電流以及高頻率特性。

【0086】 此外，氧化物230a及氧化物230b除了氧以外還包含共同元素作為主要成分，所以可以降低氧化物230a與氧化物230b的介面的缺陷態密度。可以降低氧化物230a與氧化物230b的介面的缺陷態密度。因此，介面散射對載子傳導帶來的影響減少，從而電晶體200可以得到高通態電流及高頻特性。

【0087】 明確而言，作為氧化物230a，使用In：M：Zn=1：3：4[原子個數比]或其附近的組成、In：M：Zn=1：3：2[原子個數比]或其附近的組成或者In：M：Zn=1：1：0.5[原子個數比]或其附近的組成的金屬氧化物，即可。此外，作為氧化物230b，使用In：M：Zn=1：1：1[原子個數比]或其附近的組

成、In：M：Zn=1：1：1.2[原子個數比]或其附近的組成、In：M：Zn=1：1：2[原子個數比]或其附近的組成或者In：M：Zn=4：2：3[原子個數比]或其附近的組成的金屬氧化物，即可。注意，附近的組成包括所希望的原子個數比的±30%的範圍。此外，作為元素M較佳為使用鎵。此外，當作為氧化物230設置氧化物230b的單層時，作為氧化物230b也可以使用可用於氧化物230a的金屬氧化物。

【0088】 此外，在藉由濺射法沉積金屬氧化物時，上述原子個數比不侷限於所沉積的金屬氧化物的原子個數比，而也可以是用於金屬氧化物的沉積的濺射靶材的原子個數比。

【0089】 氧化物230b較佳為具有結晶性。尤其是，較佳為使用CAAC-OS（c-axis aligned crystalline oxide semiconductor：c軸配向結晶氧化物半導體）作為氧化物230b。

【0090】 CAAC-OS具有結晶性高的緻密結構且是雜質及缺陷（例如，氧空位等）少的金屬氧化物。尤其是，藉由在形成金屬氧化物後以金屬氧化物不被多晶化的溫度（例如，400℃以上且600℃以下）進行熱處理，可以使CAAC-OS具有結晶性更高的緻密結構。如此，藉由進一步提高CAAC-OS的密度，可以進一步降低該CAAC-OS中的雜質或氧的擴散。

【0091】 此外，在CAAC-OS中不容易觀察明確的晶界，因此不容易發生起因於晶界的電子移動率的下降。因此，包含CAAC-OS的金屬氧化物的物理性質穩定。因此，具有CAAC-OS的金屬氧化物具有耐熱性且可靠性高。

【0092】 此外，當作為氧化物230b使用CAAC-OS等具有結晶性的氧化物時，可以抑制源極電極或汲極電極從氧化物230b抽出氧。因此，即使進行熱處

理也可以減少氧從氧化物230b被抽出，所以電晶體200對製程中的高溫度（所謂熱積存：thermal budget）也很穩定。

【0093】 在使用氧化物半導體的電晶體中，如果在氧化物半導體的形成通道的區域中存在雜質及氧空位，電特性則容易變動，有時降低可靠性。此外，氧空位附近的氫形成氫進入氧空位中的缺陷（下面有時稱為V_OH）而可能會產生成為載子的電子。因此，當在氧化物半導體的形成通道的區域中包含氧空位時，電晶體會具有常開啟特性（即使不對閘極電極施加電壓也存在通道而在電晶體中電流流過的特性）。由此，在氧化物半導體的形成通道的區域中，較佳為儘量減少雜質、氧空位及V_OH。換言之，較佳的是，氧化物半導體中的形成通道的區域的載子濃度降低且被i型化（本質化）或實質上被i型化。

【0094】 相對於此，藉由在氧化物半導體附近設置包含藉由加熱脫離的氧（以下，有時稱為過量氧）的絕緣體而進行熱處理，可以從該絕緣體向氧化物半導體供應氧而減少氧空位及V_OH。注意，在對源極區域或汲極區域供應過多的氧時，有可能引起電晶體200的通態電流下降或者場效移動率的下降。並且，在供應到源極區域或汲極區域的氧量在基板面內有不均勻時，包括電晶體的半導體裝置特性發生不均勻。此外，在從該絕緣體供應給氧化物半導體的氧擴散到閘極電極、源極電極及汲極電極等導電體時，有時該導電體被氧化，這導致導電性的損失，因此對電晶體的電特性及可靠性帶來負面影響。

【0095】 因此，較佳的是，在氧化物半導體中，被用作通道形成區域的區域230bc的載子濃度得到降低且被i型化或實質上被i型化。另一方面，較佳的是，被用作源極區域或汲極區域的區域230ba及區域230bb的載子濃度高且被n型化。換言之，較佳為減少氧化物半導體的區域230bc的氧空位及V_OH且區域

230ba及區域230bb不被供應過多的氧。此外，較佳為採用抑制導電體260、導電體242a及導電體242b等的氧化的結構。

【0096】 在本實施方式中，半導體裝置具有將氧高效地供應給區域230bc且抑制導電體242a、導電體242b及導電體260的氧化的結構。

【0097】 為了將氧供應給區域230bc，作為絕緣體250較佳為使用容易透過氧的絕緣體。此外，作為絕緣體280較佳為使用包含過量氧的絕緣體。藉由採用該結構，可以將包含在絕緣體280中的氧藉由絕緣體250供應給區域230bc。

【0098】 再者，為了抑制導電體242a、導電體242b及導電體260的氧化，較佳為在導電體242a、導電體242b及導電體260的每一個附近設置具有抑制氧的擴散的功能的絕緣體。在本實施方式所說明的半導體裝置中，該絕緣體例如為絕緣體252、絕緣體254及絕緣體275。

【0099】 絕緣體252較佳為具有氧阻擋性。絕緣體252設置在絕緣體250與導電體242a之間以及絕緣體250與導電體242b之間。因此，可以防止包括在絕緣體250中的氧擴散到導電體242a及導電體242b，由此可以抑制導電體242a及導電體242b被氧化。或者，擴散到導電體242a及導電體242b的包含在絕緣體250中的氧的量得到降低，由此可以減薄形成於導電體242a及導電體242b的側面的氧化物的層。此外，絕緣體252設置於絕緣體250與氧化物230b之間。因此，在進行加熱處理等時，可以抑制從氧化物230b的區域230bc脫離氧。

【0100】 注意，絕緣體252的厚度較佳為較薄。例如，絕緣體252較佳為包括其厚度比絕緣體250的厚度小的區域。絕緣體250包括與氧化物230b的頂面接觸的區域。藉由減少絕緣體252的厚度，可以將包含在絕緣體250中的氧供應

給氧化物230b的區域230bc且抑制包含在絕緣體250中的氧的供應過剩。此外，絕緣體252設置於絕緣體280與絕緣體250之間，並包括與絕緣體280所包括的開口的側壁接觸的區域。藉由使絕緣體252的厚度減薄，可以將包含在絕緣體280中的氧供應給絕緣體250且抑制包含在絕緣體280中的氧的供應過剩。

【0101】 絕緣體254較佳為具有氧阻擋性。絕緣體254設置於絕緣體250與導電體260之間。因此，可以防止包含在絕緣體250中的氧擴散到導電體260且抑制導電體260被氧化。注意，絕緣體254至少與絕緣體250相比不容易透過氧即可。

【0102】 作為絕緣體275較佳為使用具有抑制氧透過的功能的絕緣體。絕緣體275設置於絕緣體280與導電體242a及導電體242b之間。藉由採用該結構，可以抑制包含在絕緣體280中的氧擴散到導電體242a及導電體242b。因此，可以抑制包含在絕緣體280中的氧導致導電體242a及導電體242b被氧化使得電阻率增大而通態電流減少。注意，絕緣體275至少與絕緣體250相比不容易透過氧即可。

【0103】 藉由採用上述結構，被用作通道形成區域的區域230bc可以被i型化或實質上被i型化且被用作源極區域或汲極區域的區域230ba及區域230bb可以被n型化，可以提供一種具有優良的電特性的半導體裝置。此外，藉由採用上述結構，即便使半導體裝置微型化或高積體化也可以使其具有良好的電特性。例如，即使圖2A所示的距離L2為20nm以下、15nm以下、10nm以下或7nm以下且2nm以上、3nm以上或5nm以上，也可以得到良好的電特性。

【0104】 此外，藉由使電晶體200微型化可以提高高頻特性。明確而言，可以提高截止頻率。當閘極長度在於上述範圍內時，例如在室溫環境下，電晶體的截止頻率可以為50GHz以上或100GHz以上。

【0105】 注意，作為導電體242a、導電體242b及導電體260較佳為使用不容易氧化的導電材料或者具有抑制氧擴散的功能的導電材料等。作為該導電材料例如可以舉出包含氮的導電材料及包含氧的導電材料等。由此，可以抑制導電體242a、導電體242b及導電體260的導電率降低。在作為導電體242a、導電體242b及導電體260使用包含金屬及氮的導電材料時，導電體242a、導電體242b及導電體260至少包含金屬及氮。

【0106】 導電體242a、導電體242b和導電體260中的任一個或多個也可以具有疊層結構。例如，在導電體242a及導電體242b具有疊層結構時，作為與氧化物230b接觸的層，較佳為使用不容易氧化的導電材料或具有抑制氧擴散的功能的導電材料等。此外，例如，如圖1B所示，在導電體260具有導電體260a和導電體260b的疊層結構時，作為導電體260a，可以使用不容易氧化的導電材料或具有抑制氧擴散的功能的導電材料等。

【0107】 作為氧化物230b，較佳為使用CAAC-OS等具有結晶性的氧化物。作為該氧化物，較佳為使用上述能夠用於氧化物230的金屬氧化物。尤其較佳為使用包含銦、鋅及選自鎵、鋁和錫中的一個或多個的金屬氧化物。此外，CAAC-OS為具有結晶的氧化物，該結晶的c軸大致垂直於該氧化物的表面或被形成面。由此，可以抑制導電體242a或導電體242b從氧化物230b抽出氧。此外，可以抑制導電體242a及導電體242b的導電率降低。

【0108】 設置於絕緣體280上的絕緣體282較佳為用能夠對絕緣體280添加氧的方法形成。由此，可以使絕緣體280包含過量氧。

【0109】 在本實施方式中，半導體裝置除了上述結構以外還具有抑制氫混入電晶體200的結構。例如，以覆蓋電晶體200的方式設置具有抑制氫擴散的功能的絕緣體。在本實施方式中說明的半導體裝置中，該絕緣體例如為絕緣體212及絕緣體283。

【0110】 作為絕緣體212，較佳為使用具有抑制氫擴散的功能的絕緣體。由此，可以抑制氫從絕緣體212的下方擴散電晶體200。

【0111】 作為絕緣體283，較佳為使用具有抑制氫擴散的功能的絕緣體。由此，可以抑制氫從絕緣體283的上方擴散電晶體200。此外，可以抑制包含在絕緣體274中的氫擴散電晶體200。

【0112】 此外，本實施方式以在氧化物230b上設置導電體242a及導電體242b的狀態在含氧氛圍下進行微波處理來減少區域230bc的氧空位及V_OH。在此，微波處理例如是指使用包括利用微波生成高密度電漿的電源的裝置的處理。

【0113】 藉由在含氧氛圍下進行微波處理，可以使用微波或RF（Radio Frequency，射頻）等高頻使氧氣體電漿化而使該氧電漿作用。此時，也可以將微波或RF等高頻照射到區域230bc。藉由電漿、微波等的作用，可以將區域230bc的V_OH分開為氧空位和氫，可以將該氫從區域230bc去除而由氧填補該氧空位。由此，可以減少區域230bc中的氫濃度、氧空位及V_OH而降低載子濃度。

【0114】 此外，當在含氧氛圍下進行微波處理時，微波、RF等高頻、氧電漿等的作用被導電體242a及導電體242b遮蔽並不涉及於區域230ba及區域

230bb。再者，可以藉由覆蓋氧化物230b及導電體242的絕緣體271及絕緣體280降低氧電漿的作用。由此，在進行微波處理時在區域230ba及區域230bb中不發生V_OH的減少以及過多的氧的供應，因此可以防止載子濃度的降低。

【0115】另外，較佳為在沉積成為絕緣體252的絕緣膜之後或者在沉積成為絕緣體250的絕緣膜之後以含氧氛圍進行微波處理。如此，藉由經由絕緣體252或絕緣體250以含氧氛圍進行微波處理，可以對區域230bc高效地注入氧。另外，藉由以與導電體242的側面及區域230bc的表面接觸的方式配置絕緣體252，可以抑制區域230bc被注入不必要的氧，因此可以抑制導電體242的側面的氧化。另外，可以抑制在沉積成為絕緣體250的絕緣膜時導電體242的側面被氧化。

【0116】另外，作為注入到區域230bc中的氧，有氧原子、氧分子及氧自由基（也稱為O自由基，包含不成對電子的原子、分子或者離子）等各種方式。注入到區域230bc中的氧可以為上述方式中的任一個或多個，尤其較佳為氧自由基。另外，由於可以提高絕緣體252及絕緣體250的膜品質，電晶體200的可靠性得到提高。

【0117】如上所述，可以在氧化物半導體的區域230bc中選擇性地去除氧空位及V_OH而使區域230bc成為i型或實質上i型。並且，可以抑制對被用作源極區域或汲極區域的區域230ba及區域230bb供應過多的氧而保持進行微波處理之前的n型區域的狀態。由此，可以抑制電晶體200的電特性變動而抑制在基板面內電晶體200的電特性不均勻。

【0118】藉由採用上述結構，可以提供一種電晶體特性不均勻小的半導體裝置。此外，可以提供一種頻率特性良好的半導體裝置。此外，可以提供一

種工作速度快的半導體裝置。此外，可以提供一種可靠性良好的半導體裝置。此外，可以提供一種具有良好的電特性的半導體裝置。另外，可以提供一種能夠微型化或高積體化的半導體裝置。

【0119】 此外，如圖1C所示，在從電晶體200的通道寬度的剖面看時，也可以在氧化物230b的側面與氧化物230b的頂面之間具有彎曲面。就是說，該側面的端部和該頂面的端部也可以彎曲（以下，也稱為圓形）。

【0120】 上述彎曲面的曲率半徑較佳為大於0nm且小於與導電體242重疊的區域的氧化物230b的厚度或者小於不具有上述彎曲面的區域的一半長度。明確而言，上述彎曲面的曲率半徑大於0nm且為20nm以下，較佳為1nm以上且15nm以下，更佳為2nm以上且10nm以下。藉由採用上述形狀，可以提高絕緣體252、絕緣體250、絕緣體254及導電體260的氧化物230b的覆蓋性。

【0121】 另外，如圖1C等所示，由於以與氧化物230的頂面及側面接觸的方式設置由氧化鋁等形成的絕緣體252，氧化物230所包含的銦有時分佈在氧化物230和絕緣體252的介面及其附近。因此，氧化物230的表面附近具有接近銦氧化物的原子個數比或者接近In-Zn氧化物的原子個數比。在如此氧化物230，尤其是氧化物230b的表面附近的銦的原子個數比較大時，可以提高電晶體200的場效移動率。

【0122】 絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283、絕緣體285中的至少一個較佳為被用作抑制水、氫等雜質從基板一側或電晶體200的上方擴散到電晶體200的阻擋絕緣膜。因此，絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283、絕緣體285中的至少一個較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化

氮分子（N_2O、NO、NO_2等）、銅原子等雜質的擴散的功能（不容易使上述雜質透過）的絕緣材料。此外，較佳為使用具有抑制氧（例如，氧原子和氧分子等中的至少一個）的擴散的功能（不容易使上述氧透過）的絕緣材料。

【0123】 此外，在本說明書中，阻擋絕緣膜是指具有阻擋性的絕緣膜。在本說明書中，阻擋性是指抑制所對應的物質的擴散的功能（也可以說透過性低）。或者，是指俘獲並固定所對應的物質（也稱為吸雜）的功能。

【0124】 作為絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285，較佳為使用具有抑制水、氫等雜質及氧的擴散的功能的絕緣體，例如可以使用氧化鋁、氧化鎂、氧化鉿、氧化鎵、銦鎵鋅氧化物、氮化矽或氮氧化矽等。例如，作為絕緣體212、絕緣體275及絕緣體283，較佳為使用氫阻擋性更高的氮化矽等。此外，例如，作為絕緣體214、絕緣體271、絕緣體282及絕緣體285，較佳為使用俘獲並固定氫的性能高的氧化鋁或氧化鎂等。由此，可以抑制水、氫等雜質經過絕緣體212及絕緣體214從基板一側擴散到電晶體200一側。或者，可以抑制水、氫等雜質從配置在絕緣體285的外方的層間絕緣膜等擴散到電晶體200一側。或者，可以抑制包含在絕緣體224等中的氧經過絕緣體212及絕緣體214擴散到基板一側。或者，可以抑制含在絕緣體280等中的氧經過絕緣體282等向電晶體200的上方擴散。如此，較佳為採用由具有抑制水、氫等雜質及氧的擴散的功能的絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285圍繞電晶體200的結構。

【0125】 在此，作為絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285，較佳為使用具有非晶結構的氧化物。例

如，較佳為使用AlO_x（x是大於0的任意數）或MgO_y（y是大於0的任意數）等金屬氧化物。上述具有非晶結構的金屬氧化物有時具有如下性質：氧原子具有懸空鍵而由該懸空鍵俘獲或固定氫。藉由將上述具有非晶結構的金屬氧化物作為電晶體200的組件使用或者設置在電晶體200的周圍，可以俘獲或固定含在電晶體200中的氫或存在於電晶體200的周圍的氫。尤其是，較佳為俘獲或固定含在電晶體200中的通道形成區域的氫。藉由將具有非晶結構的金屬氧化物作為電晶體200的組件使用或者設置在電晶體200的周圍，可以製造具有良好特性的可靠性高的電晶體200及半導體裝置。

【0126】 此外，絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285較佳為具有非晶結構，但是也可以在其一部分形成多晶結構的區域。此外，絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285也可以具有層疊有非晶結構的層與多晶結構的層的多層結構。例如，也可以具有非晶結構的層上形成有多晶結構的層的疊層結構。

【0127】 絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285的沉積例如可以利用濺射法。濺射法不需要作為沉積氣體使用包含氫的分子，所以可以降低絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285的氫濃度。作為沉積方法，除了濺射法以外還可以適當地使用化學氣相沉積（CVD：Chemical Vapor Deposition）法、分子束磊晶（MBE：Molecular Beam Epitaxy）法、脈衝雷射沉積（PLD：Pulsed Laser Deposition）法、原子層沉積（ALD：Atomic Layer Deposition）法等。

【0128】 此外，有時較佳為降低絕緣體212、絕緣體275及絕緣體283的電阻率。例如，藉由使絕緣體212、絕緣體275及絕緣體283的電阻率約為$1\times10^{13}\Omega cm$，在半導體裝置製程的利用電漿等的處理中，有時絕緣體212、絕緣體275及絕緣體283可以緩和導電體205、導電體242、導電體260或導電體246的電荷積聚。絕緣體212、絕緣體275及絕緣體283的電阻率較佳為$1\times10^{10}\Omega cm$以上且$1\times10^{15}\Omega cm$以下。

【0129】 此外，絕緣體216、絕緣體274、絕緣體280及絕緣體285的介電常數較佳為比絕緣體214低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。例如，作為絕緣體216、絕緣體274、絕緣體280及絕緣體285，適當地使用氧化矽、氧氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有空孔的氧化矽等即可。

【0130】 導電體205以與氧化物230及導電體260重疊的方式配置。在此，導電體205較佳為以嵌入形成在絕緣體216的開口中的方式設置。此外，導電體205的一部分有時嵌入絕緣體214中。

【0131】 導電體205包括導電體205a及導電體205b。導電體205a以與上述開口的底面及側壁接觸的方式設置。導電體205b以嵌入形成在導電體205a的凹部中的方式設置。在此，導電體205b的頂面的高度與導電體205a的頂面的高度及絕緣體216的頂面的高度大致一致。

【0132】 在此，作為導電體205a較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子（N_2O、NO、NO_2等）、銅原子等雜質的擴散的功能的導電材料。或者，較佳為使用具有抑制氧（例如，氧原子和氧分子等中的至少一個）的擴散的功能的導電材料。

【0133】 藉由作為導電體205a使用具有降低氫的擴散的功能的導電材料，可以防止含在導電體205b中的氫等雜質藉由絕緣體216及絕緣體224等擴散到氧化物230。此外，藉由作為導電體205a使用具有抑制氧的擴散的功能的導電材料，可以抑制導電體205b被氧化而導電率下降。作為具有抑制氧擴散的功能的導電材料，例如可以使用鈦、氮化鈦、鉭、氮化鉭、釕、氧化釕等。因此，作為導電體205a使用單層或疊層的上述導電材料即可。例如，作為導電體205a使用氮化鈦即可。

【0134】 此外，導電體205b較佳為使用以鎢、銅或鋁為主要成分的導電材料。例如，導電體205b可以使用鎢。

【0135】 導電體205有時被用作第二閘極電極。在此情況下，藉由獨立地改變施加到導電體205的電位而不使其與施加到導電體260的電位聯動，可以控制電晶體200的臨界電壓（Vth）。尤其是，藉由對導電體205施加負電位，可以增大電晶體200的Vth而減少關態電流。由此，與不對導電體205施加負電位的情況相比，在對導電體205施加負電位的情況下，可以減少對導電體260施加的電位為0V時的汲極電流。

【0136】 此外，導電體205的電阻率考慮上述施加到導電體205的電位設計，導電體205的厚度根據該電阻率設定。此外，絕緣體216的厚度與導電體205大致相同。在此，較佳為在導電體205的設計允許的範圍內減少導電體205及絕緣體216的厚度。藉由減少絕緣體216的厚度，可以降低含在絕緣體216中的氫等雜質的絕對量，所以可以減少該雜質擴散到氧化物230。

【0137】 此外，如圖1A所示，導電體205較佳為比氧化物230中不與導電體242a及導電體242b重疊的區域大。尤其是，如圖1C所示，導電體205較佳為

延伸到氧化物230a及氧化物230b的通道寬度方向的端部的外側的區域。就是說，較佳為在氧化物230的通道寬度方向的側面的外側，導電體205和導電體260隔著絕緣體重疊。藉由具有上述結構，可以由被用作第一閘極電極的導電體260的電場和被用作第二閘極電極的導電體205的電場電圍繞氧化物230的通道形成區域。在本說明書中，將由第一閘極及第二閘極的電場電圍繞通道形成區域的電晶體結構稱為surrounded channel（S-channel）結構。

【0138】注意，在本說明書等中，S-channel結構的電晶體是指由一對閘極電極中的一個和另一個的電場電圍繞通道形成區域的電晶體結構。此外，本說明書等中公開的S-channel結構與Fin型結構及平面型結構不同。另一方面，可以將在本說明書等中公開的S-channel結構視為Fin型結構的一種。另外，在本說明書等中，Fin型結構是指以至少包圍通道的兩個面以上（明確而言，兩個面、三個面或四個面等）的方式配置閘極電極的結構。藉由採用Fin型結構及S-channel結構，可以提高對短通道效應的耐性，換言之可以實現不容易發生短通道效應的電晶體。

【0139】藉由使電晶體200常關閉且具有上述S-channel結構，可以電圍繞通道形成區域。S-channel結構是電圍繞通道形成區域的結構，所以也可以說該結構在實質上與GAA（Gate All Around：全環繞閘極）結構或LGAA（Lateral Gate All Around：橫向全環繞閘極）結構相同。藉由使電晶體200具有S-channel結構、GAA結構或LGAA結構，可以將形成在氧化物230與閘極絕緣體的介面或其附近的通道形成區域設置在氧化物230的整個塊體。因此，可以提高流過電晶體的電流密度，所以可以期待電晶體的通態電流或電晶體的場效移動率的提高。

【0140】 此外，如圖1C所示，將導電體205延伸來用作佈線。但是，本發明不侷限於此，也可以在導電體205下設置被用作佈線的導電體。此外，不一定需要在每一個電晶體中設置一個導電體205。例如，在多個電晶體中可以共同使用導電體205。

【0141】 注意，示出在電晶體200中作為導電體205層疊有導電體205a及導電體205b的結構，但是本發明不侷限於此。例如，導電體205可以具有單層結構，也可以具有三層以上的疊層結構。

【0142】 絕緣體222及絕緣體224被用作閘極絕緣體。

【0143】 絕緣體222較佳為具有抑制氫（例如，氫原子和氫分子等中的至少一個）的擴散的功能。此外，絕緣體222較佳為具有抑制氧（例如，氧原子和氧分子等中的至少一個）的擴散的功能。例如，與絕緣體224相比，絕緣體222較佳為具有抑制氫和氧中的一者或兩者的擴散的功能。

【0144】 絕緣體222較佳為使用作為絕緣材料的包含鋁和鉿中的一者或兩者的氧化物的絕緣體。作為該絕緣體，較佳為使用氧化鋁、氧化鉿、包含鋁及鉿的氧化物（鋁酸鉿）等。或者，較佳為使用包含鉿及鋯的氧化物，例如使用鉿鋯氧化物。當使用這種材料形成絕緣體222時，絕緣體222被用作抑制氧從氧化物230釋放到基板一側及氫等雜質從電晶體200的周圍部擴散到氧化物230的層。因此，藉由設置絕緣體222，可以抑制氫等雜質擴散到電晶體200的內側，而可以抑制在氧化物230中生成氧空位。此外，可以抑制導電體205與絕緣體224及氧化物230所包含的氧起反應。

【0145】 或者，例如也可以對上述絕緣體添加氧化鋁、氧化鉍、氧化鍺、氧化鈮、氧化矽、氧化鈦、氧化鎢、氧化釔或氧化鋯。或者，也可以對上

述絕緣體進行氮化處理。此外，作為絕緣體222還可以在上述絕緣體上層疊氧化矽、氧氮化矽或氮化矽而使用。

【0146】 此外，作為絕緣體222，例如也可以以單層或疊層使用包含氧化鋁、氧化鉿、氧化鉭、氧化鋯、鉿鋯氧化物等所謂的high-k材料的絕緣體。當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用high-k材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位。此外，作為絕緣體222有時可以使用鋯鈦酸鉛（PZT）、鈦酸鍶（$SrTiO_3$）、（Ba,Sr）TiO_3（BST）等介電常數高的物質。

【0147】 作為與氧化物230接觸的絕緣體224，例如適當地使用氧化矽、氧氮化矽等即可。

【0148】 此外，在電晶體200的製程中，熱處理較佳為在氧化物230的表面露出的狀態下進行。該熱處理例如較佳為以100℃以上且600℃以下，更佳為以350℃以上且550℃以下進行。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，熱處理較佳為在氧氛圍下進行。由此，對氧化物230供應氧，從而可以減少氧空位。熱處理也可以在減壓狀態下進行。此外，也可以在氮氣體或惰性氣體的氛圍下進行熱處理，然後為了填補脫離的氧而在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。此外，也可以在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理，然後連續地在氮氣體或惰性氣體的氛圍下進行熱處理。

【0149】藉由對氧化物230進行加氧化處理，可以由所供應的氧填補氧化物230中的氧空位。再者，氧化物230中殘留的氫與被供給的氧發生反應而可以將氫以H_2O的形態去除（脫水化）。由此，可以抑制殘留在氧化物230中的氫與氧空位再結合而形成V_OH。

【0150】此外，絕緣體222及絕緣體224也可以具有兩層以上的疊層結構。此時，不侷限於使用相同材料構成的疊層結構，也可以是使用不同材料構成的疊層結構。此外，絕緣體224也可以形成為島狀且與氧化物230a重疊。在此情況下，絕緣體275與絕緣體224的側面及絕緣體222的頂面接觸。注意，在本說明書等中，島狀是指以同一製程形成並使用同一材料的兩個以上的層物理分離的狀態。

【0151】導電體242a及導電體242b與氧化物230b的頂面接觸。導電體242a及導電體242b分別被用作電晶體200的源極電極或汲極電極。

【0152】作為導電體242（導電體242a及導電體242b）例如較佳為使用包含鉭的氮化物、包含鈦的氮化物、包含鉬的氮化物、包含鎢的氮化物、包含鉭及鋁的氮化物、包含鈦及鋁的氮化物等。在本發明的一個實施方式中，尤其較佳為採用包含鉭的氮化物。此外，例如也可以使用氧化釕、氮化釕、包含鍶和釕的氧化物、包含鑭和鎳的氧化物等。這些材料是不容易氧化的導電材料或者即使吸收氧也維持導電性的材料，所以是較佳的。

【0153】注意，有時包含在氧化物230b等中的氫擴散到導電體242a或導電體242b。尤其是，當作為導電體242a及導電體242b使用包含鉭的氮化物時，有時包含在氧化物230b等中的氫容易擴散到導電體242a或導電體242b，該擴散

的氫與導電體242a或導電體242b所包含的氮鍵合。也就是說，有時包含在氧化物230b等中的氫被導電體242a或導電體242b吸收。

【0154】 此外，較佳為在導電體242的側面與導電體242的頂面之間不形成彎曲面。藉由使導電體242不具有該彎曲面，如圖1D所示，可以增大通道寬度方向的剖面上的導電體242的剖面積。由此，增大導電體242的導電率，從而可以增大電晶體200的通態電流。

【0155】 另外，當在導電體242a（導電體242b）與氧化物230b接觸的狀態下進行加熱處理時，與導電體242a（導電體242b）重疊的區域的氧化物230b的片電阻有時降低。另外，有時載子濃度增加。因此，可以使與導電體242a（導電體242b）重疊的區域的氧化物230b自對準地低電阻化。

【0156】 導電體242a及導電體242b較佳為使用具有壓縮應力的導電膜來形成。由此，可以在區域230ba及區域230bb形成向拉抻方向擴展的應變（以下有時稱為拉抻應變）。藉由由拉伸應變穩定地形成V_OH，可以使區域230ba及區域230bb成為穩定的n型區域。注意，導電體242a所具有的壓縮應力是緩和導電體242a的壓縮形狀的應力，並且是具有從導電體242a的中央部向端部的方向的向量的應力。導電體242b所具有的壓縮應力也是同樣的。

【0157】 導電體242a所具有的壓縮應力的大小例如可以為500MPa以上，較佳為1000MPa以上，更佳為1500MPa以上，進一步較佳為2000MPa以上。注意，也可以製造在基板上沉積用於導電體242a的導電膜的樣本，並根據該樣本的應力測量值規定導電體242a所具有的應力的大小。導電體242b所具有的壓縮應力的大小也是同樣的。

【0158】 由於導電體242a及導電體242b所具有的壓縮應力的作用，在區域230ba及區域230bb分別形成應變。該應變是因導電體242a及導電體242b所具有的壓縮應力的作用而各自向拉伸方向擴展的應變（拉伸應變）。在區域230ba及區域230bb具有CAAC結構時，該應變相當於向垂直於CAAC結構的c軸的方向的延伸。在CAAC結構向垂直於該CAAC結構的c軸的方向延伸時，該應變中易於形成氧空位。另外，該應變易於吸收氫，所以易於形成V_OH。因此，在該應變中易於形成氧空位及V_OH且容易得到氧空位及V_OH穩定的結構。由此，區域230ba及區域230bb成為載子濃度高的穩定的n型區域。

【0159】 注意，以上對氧化物230b中形成的應變進行了說明，但本發明不限於此。有時在氧化物230a中也形成同樣的應變。

【0160】 在本發明的一個實施方式中，導電體242a及導電體242b尤其較佳為採用包含鉭的氮化物或包含鈦的氮化物。此時，導電體242a及導電體242b包含鉭或鈦以及氮。

【0161】 在圖1A至圖1D等中示出導電體242具有單層的結構，但本發明不侷限於此，也可以採用兩層以上的疊層結構。例如，如圖3A所示，作為導電體242a也可以採用導電體242a1與導電體242a1上的導電體242a2的兩層的疊層結構，作為導電體242b也可以採用導電體242b1與導電體242b1上的導電體242b2的兩層的疊層結構。此時，導電體242a1及導電體242b1被配置在與氧化物230b接觸的一側。

【0162】 注意，下面有時將導電體242a1和導電體242b1統稱為導電體242的下層。另外，有時將導電體242a2和導電體242b2統稱為導電體242的上層。

【0163】導電體242的下層（導電體242a1及導電體242b1）較佳為由具有不易氧化的特性的導電材料構成。由此，可以抑制導電體242的下層氧化而導致導電體242的導電率下降。此外，導電體242的下層也可以具有容易吸取（提取）氫的特性。由此，氧化物230的氫擴散到導電體242的下層，可以減少氧化物230的氫濃度。因此，可以使電晶體200具有穩定的電特性。此外，如上所述，導電體242的下層較佳為具有較大的壓縮應力，即比導電體242的上層更大的壓縮應力。因此，如上所述，可以使與導電體242的下層接觸的區域230ba及區域230bb成為載子濃度高的穩定n型區域。

【0164】另外，導電體242的上層（導電體242a2及導電體242b2）的導電性較佳為比導電體242的下層（導電體242a1及導電體242b1）高。例如，導電體242的上層的厚度比導電體242的下層的厚度大即可。此外，導電體242的上層的至少一部分具有導電性高於導電體242的下層的區域即可。或者，導電體242的上層較佳為由電阻率比導電體242的下層低的導電材料構成。由此，可以製造佈線延遲得到抑制的半導體裝置。

【0165】另外，導電體242的上層也可以具有容易吸取氫的特性。由此，被導電體242的下層吸取的氫還擴散到導電體242的上層，而可以進一步降低氧化物230中的氫濃度。因此，可以使電晶體200具有穩定的電特性。

【0166】在此，導電體242的下層及導電體242的上層較佳為使用構成元素相同且化學組成不同的導電材料。此時，可以在不暴露於大氣環境的情況下連續形成導電體242的下層和導電體242的上層。藉由以不暴露於大氣環境的方式形成膜，可以防止來自大氣環境的雜質或水分附著於導電體242的下層表面，由此可以保持導電體242的下層與導電體242的上層的介面附近的清潔。

【0167】此外，較佳的是，作為導電體242的下層使用相對於鉭的氮的原子個數比高的含鉭的氮化物，作為導電體242的上層使用相對於鉭的氮的原子個數比低的含鉭的氮化物。例如，作為導電體242的下層，使用如下含鉭的氮化物：相對於鉭的氮的原子個數比為1.0以上且2.0以下，較佳為1.1以上且1.8以下，更佳為1.2以上且1.5以下。例如，作為導電體242的上層，使用如下含鉭的氮化物：相對於鉭的氮的原子個數比為0.3以上且1.5以下，較佳為0.5以上且1.3以下，更佳為0.6以上且1.0以下。

【0168】另外，藉由在含鉭的氮化物中提高相對於鉭的氮的原子個數比，可以抑制含鉭的氮化物的氧化。另外，可以提高含鉭的氮化物的耐氧化性。可以抑制氧擴散到含鉭的氮化物中。因此，作為導電體242的下層，較佳為使用相對於鉭的氮的原子個數比高的含鉭的氮化物。由此，可以防止氧化層形成在導電體242的下層與氧化物230之間，或者可以減小氧化層的厚度。

【0169】此外，藉由在含鉭的氮化物中降低相對於鉭的氮的原子個數比，可以降低該氮化物的電阻率。因此，作為導電體242的上層，較佳為使用相對於鉭的氮的原子個數比低的含鉭的氮化物。由此，可以製造佈線延遲得到抑制的半導體裝置。

【0170】注意，在導電體242中，有時難以明確地觀察到上層與下層的邊界。在將含鉭的氮化物用於導電體242的情況下，在各層中檢測出的鉭和氮的濃度不侷限於按每層分階段地變化，也可以在上層與下層之間的區域逐漸地變化（也稱為漸變（gradation））。也就是說，在導電體242中，越近於氧化物230的區域，其相對於鉭的氮的原子個數比越高，即可。因此，位於導電體242

的下方的區域的相對於鉭的氮的原子個數比較佳為高於位於導電體242的上方的區域的相對於鉭的氮的原子個數比。

【0171】 導電體242的下層的厚度為0.1nm以上且5.0nm以下，較佳為0.5nm以上且3.0nm以下，更佳為1.0nm以上且3.0nm以下。此時，導電體242的下層的至少一部分具有上述厚度的區域即可。此外，導電體242的下層的厚度較佳為薄於導電體242的上層的厚度。此時，導電體242的下層的至少一部分具有厚度比導電體242的上層薄的區域即可。

【0172】 另外，在此示出了作為導電體242的下層及導電體242的上層使用構成元素相同且化學組成不同的導電材料的例子，但不侷限於此，導電體242的下層和導電體242的上層也可以使用不同的導電材料形成。

【0173】 例如，也可以使導電體242的下層及導電體242的上層的構成元素、化學組成和沉積條件中的一個或多個不同。例如，也可以作為導電體242的下層使用含鉭的氮化物（例如，氮化鉭）且作為導電體242的上層使用含鈦的氮化物（例如，氮化鈦）。由於可以使氮化鈦的導電性高於氮化鉭的導電性，所以可以使導電體242的上層的導電性高於導電體242的下層。由此，可以降低導電體242與以接觸於導電體242的頂面的方式設置的導電體240的接觸電阻，所以可以製造佈線延遲得到抑制的半導體裝置。

【0174】 在此，導電體242a2與導電體242b2之間的距離與開口258的通道長度方向的寬度的距離L1大致一致。如圖3A所示，在從電晶體200的通道長度方向的剖面看時，導電體242a1與導電體242b1之間的距離L2較佳為小於導電體242a2與導電體242b2之間的距離L1。藉由具有這種結構，可以減薄夾在導電體260的一部分與氧化物230b之間的部分導電體242（導電體242a1及導電體

242b1）的厚度而接近導電體260的一部分與氧化物230b之間的距離。因此，可以增大導電體260對氧化物230b施加的電場的效應。

【0175】 此時，絕緣體252接觸於導電體242a1的側面及頂面的一部分、導電體242b1的側面及頂面的一部分、導電體242a2的側面以及導電體242b2的側面。

【0176】 此外，在圖3A所示的電晶體200中，導電體242a1與導電體242b1的彼此相對的側面的上端至下端較平坦，該平坦的面大致垂直於氧化物230b的頂面，但是本發明不侷限於此。例如，如圖3B所示，導電體242a1與導電體242b1的彼此相對的側面的上端部也可以具有曲面。但是，此時，在導電體242a1與導電體242b1的彼此相對的側面的下端部，該側面也較佳為大致垂直於氧化物230b的頂面。

【0177】 絕緣體271a與導電體242a的頂面接觸，絕緣體271b與導電體242b的頂面接觸。絕緣體271較佳為被用作至少對氧具有阻擋性的絕緣膜。因此，絕緣體271較佳為具有抑制氧擴散的功能。例如，與絕緣體280相比，絕緣體271較佳為具有進一步抑制氧擴散的功能。作為絕緣體271，例如，可以使用氮化矽、氧化鋁及氧化鎂等絕緣體。

【0178】 絕緣體275以覆蓋絕緣體224、氧化物230a、氧化物230b、導電體242及絕緣體271的方式設置。明確而言，絕緣體275包括與氧化物230b的側面、導電體242a的側面及導電體242b的側面接觸的區域。絕緣體275較佳為具有俘獲並固定氫的功能。在此情況下，絕緣體275較佳為包括氮化矽或具有非晶結構的金屬氧化物，例如，氧化鋁或氧化鎂等絕緣體。此外，例如，作為絕緣體275也可以使用氧化鋁與該氧化鋁上的氮化矽的疊層膜。

【0179】藉由設置上述絕緣體271及絕緣體275，可以由對氧具有阻擋性的絕緣體包圍導電體242。換言之，可以抑制包含在絕緣體224及絕緣體280中的氧擴散到導電體242中。由此，可以抑制包含在絕緣體224及絕緣體280中的氧導致導電體242直接被氧化使得電阻率增大而通態電流減少。

【0180】絕緣體252被用作閘極絕緣體的一部分。作為絕緣體252較佳為使用氧阻擋絕緣膜。作為絕緣體252使用可用於上述絕緣體282的絕緣體即可。作為絕緣體252較佳為使用包含鋁和鉿中的一者或兩者的氧化物的絕緣體。作為該絕緣體，可以使用氧化鋁、氧化鉿、包含鋁及鉿的氧化物（鋁酸鉿）、包含鉿及矽的氧化物（矽酸鉿）等。在本實施方式中，作為絕緣體252，使用氧化鋁。此時，絕緣體252至少包含氧及鋁。

【0181】如圖1C所示，絕緣體252以與氧化物230b的頂面及側面、氧化物230a的側面、絕緣體224的側面及絕緣體222的頂面接觸的方式設置。就是說，在通道寬度方向的剖面中氧化物230a、氧化物230b及絕緣體224的與導電體260重疊的區域被絕緣體252覆蓋。因此，可以利用具有氧阻擋性的絕緣體252防止在進行熱處理等時氧化物230a及氧化物230b中的氧脫離。因此，可以減少在氧化物230a及氧化物230b中形成氧空位。由此，可以減少形成在區域230bc中的氧空位及V_OH。因此，可以提高電晶體200的電特性及可靠性。

【0182】另外，反之，即使絕緣體280及絕緣體250等包含過多的氧，也可以抑制該氧過度供應到氧化物230a及氧化物230b。因此，可以抑制區域230ba及區域230bb藉由區域230bc被過度氧化而導致電晶體200的通態電流的下降或場效移動率的下降。

【0183】另外，如圖1B所示，絕緣體252以與導電體242、絕緣體271、絕緣體275及絕緣體280各自的側面接觸的方式設置。此外，絕緣體252還與導電體242的頂面的一部分接觸。因此，可以減少導電體242的頂面的一部分及側面被氧化而氧化膜形成在該頂面的一部分及該側面。因此，可以抑制導致電晶體200的通態電流的下降或場效移動率的下降。

【0184】另外，絕緣體252需要與絕緣體254、絕緣體250、導電體260一起設置在形成於絕緣體280等中的開口中。為了實現電晶體200的微型化，絕緣體252的厚度較佳為小。絕緣體252的厚度為0.1nm以上且5.0nm以下，較佳為0.5nm以上且3.0nm以下，更佳為1.0nm以上且小於3.0nm。此時，絕緣體252的至少一部分是具有上述厚度的區域即可。另外，絕緣體252的厚度較佳為比絕緣體250的厚度小。此時，絕緣體252的至少一部分是厚度比絕緣體250小的區域即可。

【0185】為了如上所述地將絕緣體252沉積得薄，較佳為利用ALD法沉積絕緣體252。ALD法有只利用熱能使前驅物及反應物起反應的熱ALD（Thermal ALD）法、使用收到電漿激發的反應物的PEALD（Plasma Enhanced ALD）法等。在PEALD法中，藉由利用電漿可以在更低溫下進行沉積，所以有時是較佳的。

【0186】ALD法可以按層沉積原子，從而發揮能夠沉積極薄的膜、能夠對縱橫比高的結構進行沉積、能夠以針孔等的缺陷少的方式進行沉積、能夠進行覆蓋性優良的沉積及能夠在低溫下進行沉積等的效果。因此，可以在形成於絕緣體280等中的開口的側面及導電體242的側端部等以上述較小的厚度且高覆蓋性沉積絕緣體252。

【0187】 ALD法中使用的前驅物有時包含碳等。因此，利用ALD法形成的膜有時與利用其它的沉積方法形成的膜相比包含更多的碳等雜質。此外，雜質的定量可以利用二次離子質譜分析（SIMS：Secondary Ion Mass Spectrometry）、X射線光電子能譜（XPS：X-ray Photoelectron Spectroscopy）或俄歇電子能譜（AES：Auger Electron Spectroscopy）測量。

【0188】 此外，藉由適當地調節成為絕緣體250的絕緣膜的沉積條件、含氧氛圍下的微波處理的條件、因絕緣體282的沉積而添加到絕緣體280的氧等，有時可以減少形成在區域230bc中的氧空位及V_OH，可以抑制區域230ba及區域230bb的過度氧化。在此情況下，藉由採用不設置絕緣體252的結構，可以使半導體裝置的製程簡化，可以實現生產率的提高。

【0189】 絕緣體250被用作閘極絕緣體的一部分。絕緣體250較佳為以與絕緣體252的頂面接觸的方式配置。絕緣體250可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽等。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。此時，絕緣體250是至少包含氧及矽的絕緣體。

【0190】 與絕緣體224同樣，較佳為絕緣體250中的水、氫等雜質的濃度得到降低。絕緣體250的厚度較佳為0.5nm以上且20nm以下，更佳為0.5nm以上且15nm以下。尤其是，為了製造微型電晶體（例如距離L2為20nm以下的電晶體），絕緣體250的厚度較佳為0.5nm以上且10nm以下，更佳為0.5nm以上且5nm以下。在上述情況下，絕緣體250的至少一部分是具有上述厚度的區域即可。

【0191】在圖1A至圖1D等中，示出絕緣體250具有單層的結構，但是本發明不侷限於此，也可以採用兩層以上的疊層結構。例如，如圖2B所示，絕緣體250也可以具有絕緣體250a與絕緣體250a上的絕緣體250b這兩層的疊層結構。

【0192】如圖2B所示，在使絕緣體250具有兩層疊層結構的情況下，較佳的是，下層的絕緣體250a使用容易使氧透過的絕緣體形成，而上層的絕緣體250b使用具有抑制氧的擴散的功能的絕緣體形成。藉由採用這種結構，可以抑制包含在絕緣體250a中的氧擴散到導電體260。換言之，可以抑制對氧化物230供應的氧量的減少。此外，可以抑制因包含在絕緣體250a中的氧導致的導電體260的氧化。例如，絕緣體250a使用上述的能夠用於絕緣體250的材料，絕緣體250b使用包含鋁和鉿中的一者或兩者的氧化物的絕緣體，即可。作為該絕緣體，可以使用氧化鋁、氧化鉿、包含鋁及鉿的氧化物（鋁酸鉿）、包含鉿及矽的氧化物（矽酸鉿）等。在本實施方式中，作為絕緣體250b，使用氧化鉿。此時，絕緣體250b至少包含氧及鉿。此外，絕緣體250b的厚度為0.5nm以上且5.0nm以下，較佳為1.0nm以上且5.0nm以下，更佳為1.0nm以上且3.0nm以下。此時，絕緣體250b的至少一部分是具有上述厚度的區域即可。

【0193】注意，當絕緣體250a使用氧化矽或氧氮化矽等時，絕緣體250b也可以使用相對介電常數高的high-k材料的絕緣材料形成。藉由作為閘極絕緣體採用絕緣體250a及絕緣體250b的疊層結構，可以形成具有熱穩定性且相對介電常數高的疊層結構。因此，可以在保持閘極絕緣體的物理厚度的同時降低在電晶體工作時施加的閘極電位。此外，可以減少被用作閘極絕緣體的絕緣體的等效氧化物厚度（EOT）。因此，可以提高絕緣體250的絕緣耐壓。

【0194】 絕緣體254被用作閘極絕緣體的一部分。作為絕緣體254較佳為使用氫阻擋絕緣膜。由此，可以防止包含在導電體260中的氫等雜質擴散到絕緣體250及氧化物230b。作為絕緣體254使用上述可用於絕緣體283的絕緣體即可。例如，作為絕緣體254使用利用PEALD法沉積的氮化矽即可。此時，絕緣體254至少包含氮、矽。

【0195】 另外，絕緣體254也可以還具有氧阻擋性。由此，可以抑制包含在絕緣體250中的氧擴散到導電體260。

【0196】 另外，絕緣體254需要與絕緣體252、絕緣體250、導電體260一起設置在形成於絕緣體280等中的開口中。為了實現電晶體200的微型化，絕緣體254的厚度較佳為小。絕緣體254的厚度為0.1nm以上且5.0nm以下，較佳為0.5nm以上且3.0nm以下，更佳為1.0nm以上且3.0nm以下。此時，絕緣體254的至少一部分是具有上述厚度的區域即可。另外，絕緣體254的厚度較佳為比絕緣體250的厚度小。此時，絕緣體254的至少一部分是厚度比絕緣體250小的區域即可。

【0197】 此外，如圖2B所示，在絕緣體250採用兩層的疊層結構時，藉由作為絕緣體250b使用氧化鉿等具有抑制氫等雜質及氧的透過的功能的絕緣體，絕緣體250b可以兼具絕緣體254所具有的功能。在此情況下，藉由採用不設置絕緣體254的結構，可以使半導體裝置的製程簡化，可以實現生產率的提高。

【0198】 導電體260被用作電晶體200的第一閘極電極。導電體260較佳為包括導電體260a以及配置在導電體260a上的導電體260b。例如，較佳為以包圍導電體260b的底面及側面的方式配置導電體260a。此外，如圖1B及圖1C所示，導電體260的頂面與絕緣體250的頂面大致一致。雖然在圖1B及圖1C中導電體

260具有導電體260a和導電體260b的兩層結構，但是也可以具有單層結構或三層以上的疊層結構。

【0199】 作為導電體260a較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子、銅原子等雜質的擴散的功能的導電材料。此外，較佳為使用具有抑制氧（例如，氧原子和氧分子等中的至少一個）的擴散的功能的導電材料。

【0200】 此外，當導電體260a具有抑制氧的擴散的功能時，可以抑制絕緣體250所包含的氧使導電體260b氧化而導致導電率的下降。作為具有抑制氧擴散的功能的導電材料，例如可以使用鈦、氮化鈦、鉭、氮化鉭、釕、氧化釕等。

【0201】 此外，導電體260以嵌入在通道寬度方向上延伸設置的開口258的方式形成，導電體260也在通道寬度方向上延伸設置。因此，在設置多個電晶體200時，也可以將導電體260用作佈線。此外，此時，除了導電體260之外，絕緣體252、絕緣體250及絕緣體254也延伸設置。

【0202】 此外，由於導電體260還被用作佈線，所以較佳為使用導電性高的導電體。例如，導電體260b可以使用鎢、銅或鋁為主要成分的導電材料。此外，導電體260b可以具有疊層結構，例如可以具有鈦或氮化鈦與上述導電材料的疊層結構。

【0203】 此外，在電晶體200中，以填埋形成於絕緣體280等的開口258的方式自對準地形成導電體260。藉由如此形成導電體260，可以在導電體242a和導電體242b之間的區域中無需對準並確實地配置導電體260。

【0204】 此外，如圖1C所示，在電晶體200的通道寬度方向上，以絕緣體222的底面為基準，導電體260的導電體260不與氧化物230b重疊的區域的底面的高度較佳為比氧化物230b的底面的高度低。藉由採用被用作閘極電極的導電體260隔著絕緣體250等覆蓋氧化物230b的通道形成區域的側面及頂面的結構，容易使導電體260的電場作用於氧化物230b的通道形成區域整體。由此，可以提高電晶體200的通態電流及頻率特性。以絕緣體222的底面為基準時的氧化物230a及氧化物230b不與導電體260重疊的區域的導電體260的底面的高度與氧化物230b的底面的高度之差為0nm以上且100nm以下，較佳為3nm以上且50nm以下，更佳為5nm以上且20nm以下。

【0205】 絕緣體280設置在絕緣體275上，在設置絕緣體250及導電體260的區域中形成開口。此外，絕緣體280的頂面也可以被平坦化。

【0206】 較佳的是，被用作層間膜的絕緣體280的介電常數低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。絕緣體280例如較佳為使用與絕緣體216同樣的材料形成。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。或者，因為氧化矽、氧氮化矽、具有空孔的氧化矽等材料容易形成包含藉由加熱脫離的氧的區域，所以是特別較佳的。

【0207】 絕緣體280中的水、氫等雜質濃度較佳為得到降低。例如，作為絕緣體280適當地使用氧化矽、氧氮化矽等包含矽的氧化物即可。

【0208】 絕緣體282較佳為被用作抑制水、氫等雜質從上方向絕緣體280擴散的阻擋絕緣膜且具有俘獲氫等雜質的功能。此外，絕緣體282較佳為被用作抑制氧透過的阻擋絕緣膜。作為絕緣體282，使用具有非晶結構的金屬氧化物，例如氧化鋁等絕緣體即可。此時的絕緣體282至少包含氧及鋁。藉由在夾

在絕緣體212與絕緣體283的區域內設置與絕緣體280接觸且具有俘獲氫等雜質的功能的絕緣體282，可以俘獲包含在絕緣體280等中的氫等雜質而將該區域內的氫量為一定的值。尤其是，絕緣體282較佳為使用具有非晶結構的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體200及半導體裝置。

【0209】 作為絕緣體282，較佳為藉由濺射法沉積氧化鋁，更佳為在包含氧氣體的氛圍下使用鋁靶材藉由脈衝DC濺射法沉積氧化鋁。藉由使用脈衝DC濺射法，可以使厚度分佈更均勻而提高濺射速率及膜品質。在此，也可以對基板施加RF（Radio Frequency：射頻）功率。可以根據對基板施加的RF功率的大小控制注入到絕緣體282的下層中的氧量。例如，RF功率越小注入到絕緣體282的下層中的氧量就越少，即使絕緣體282較薄該氧量也容易飽和。另外，RF功率越大注入到絕緣體282的下層中的氧量就越多。

【0210】 作為RF功率，例如設定為0W/cm^{2}以上且1.86W/cm^{2}以下。換言之，可以根據形成絕緣體282時的RF功率而使氧量改變為適合於電晶體的特性的量並注入。因此，可以注入適合於提高電晶體的可靠性的量的氧。

【0211】 另外，RF的頻率較佳為10MHz以上。典型的是13.56MHz。RF的頻率越高，越可以減少對基板造成的損傷。

【0212】 在圖1A至圖1D等中，示出絕緣體282具有單層的結構，但是本發明不侷限於此，也可以採用兩層以上的疊層結構。例如，絕緣體282也可以採用兩層疊層結構。

【0213】 較佳的是，使用相同的材料以不同的方法形成絕緣體282的上層及下層。例如，在作為絕緣體282在含氧氣體的氛圍下使用鋁靶材藉由脈衝DC

濺射法沉積氧化鋁的情況下，較佳的是，在沉積絕緣體282的下層時對基板施加的RF功率不同於在沉積絕緣體282的上層時對基板施加的RF功率，更佳的是，在沉積絕緣體282的下層時對基板施加的RF功率低於在沉積絕緣體282的上層時對基板施加的RF功率。明確而言，將對基板施加的RF功率設為0W/cm^{2}以上且0.62W/cm^{2}以下沉積絕緣體282的下層，將對基板施加的RF功率設為1.86W/cm^{2}以下沉積絕緣體282的上層。更明確而言，將對基板施加的RF功率設為0W/cm^{2}沉積絕緣體282的下層，將對基板施加的RF功率設為0.31W/cm^{2}沉積絕緣體282的上層。藉由採用該結構，可以使絕緣體282為非晶結構並且可以調整對絕緣體280供應的氧量。

【0214】 注意，在沉積絕緣體282的下層時對基板施加的RF功率也可以高於在沉積絕緣體282的上層時對基板施加的RF功率。明確而言，將對基板施加的RF功率設為1.86W/cm^{2}以下沉積絕緣體282的下層，將對基板施加的RF功率設為0W/cm^{2}以上且0.62W/cm^{2}以下沉積絕緣體282的上層。更明確而言，將對基板施加的RF功率設為1.86W/cm^{2}沉積絕緣體282的下層，將對基板施加的RF功率設為0.62W/cm^{2}沉積絕緣體282的上層。藉由採用該結構，可以增加對絕緣體280供應的氧量。

【0215】 另外，絕緣體282的下層的厚度為1nm以上且20nm以下，較佳為1.5nm以上且15nm以下，更佳為2nm以上且10nm以下，進一步較佳為3nm以上且8nm以下。藉由採用該結構，無論RF功率的大小，都可以使絕緣體282的下層為非晶結構。另外，藉由使絕緣體282的下層為非晶結構，可以使絕緣體282的上層容易成為非晶結構並使絕緣體282成為非晶結構。

【0216】 上述絕緣體282的下層及絕緣體282的上層具有由相同材料構成的疊層結構，但本發明不侷限於此。絕緣體282的下層及絕緣體282的上層也可以具有由不同材料構成的疊層結構。

【0217】 絕緣體283與絕緣體214的頂面的一部分、絕緣體216的側面、絕緣體222的側面、絕緣體275的側面、絕緣體280的側面及絕緣體282的側面及頂面接觸。

【0218】 絕緣體283被用作抑制水、氫等雜質從上方擴散到絕緣體280的阻擋絕緣膜。絕緣體283配置在絕緣體282上。作為絕緣體283，較佳為使用氮化矽或氮氧化矽等包含矽的氮化物。例如，作為絕緣體283使用藉由濺射法沉積的氮化矽即可。藉由使用濺射法沉積絕緣體283，可以形成密度高的氮化矽膜。此外，作為絕緣體283，也可以在藉由濺射法沉積的氮化矽上還層疊藉由PEALD法或CVD法沉積的氮化矽。

【0219】 以與絕緣體280、絕緣體282、絕緣體283及絕緣體285的開口內壁接觸的方式設置有絕緣體241，以與絕緣體241的側面接觸的方式設置有導電體240。導電體240較佳為使用以鎢、銅或鋁為主要成分的導電材料。此外，導電體240也可以具有疊層結構。例如，如圖1B等所示，導電體240可以具有以接觸於絕緣體241的側面的方式設置有第一導電體且在其內側設置有第二導電體的結構。

【0220】 當作為導電體240採用疊層結構時，作為配置在絕緣體285、絕緣體283、絕緣體282、絕緣體280、絕緣體275及絕緣體271附近的第一導電體較佳為使用具有抑制水、氫等雜質的透過的功能的導電材料。例如，較佳為使用鉭、氮化鉭、鈦、氮化鈦、釕、氧化釕等。可以以單層或疊層使用具有抑制

水、氫等雜質的透過的功能的導電材料。此外，可以防止包含在絕緣體283的上方的層的水、氫等雜質藉由導電體240混入到氧化物230。

【0221】注意，示出在電晶體200中作為導電體240層疊第一導電體及第二導電體的結構，但是本發明不侷限於此。例如，導電體240可以具有單層結構，也可以具有三層以上的疊層結構。在結構體具有疊層結構的情況下，有時按形成順序賦予序數以進行區別。另外，雖然在圖1B中未圖示，但是導電體240的頂面高度有時高於與導電體246重疊的區域的絕緣體285的頂面高度。

【0222】作為絕緣體241，使用可用於絕緣體275等的阻擋絕緣膜即可。作為絕緣體241，例如可以使用氮化矽、氧化鋁、氮氧化矽等絕緣體。因為絕緣體241與絕緣體283、絕緣體282及絕緣體271接觸地設置，所以可以抑制包含在絕緣體280等中的水、氫等雜質經過導電體240混入氧化物230。尤其是，氮化矽的氫阻擋性高，所以是較佳的。此外，可以防止絕緣體280所包含的氧被導電體240吸收。

【0223】在絕緣體241具有如圖1B所示那樣的疊層結構時，作為與絕緣體280等的開口的內壁接觸的第一絕緣體以及其內側的第二絕緣體較佳為組合使用氧阻擋絕緣膜和氫阻擋絕緣膜。

【0224】例如，作為第一絕緣體使用利用ALD法沉積的氧化鋁且作為第二絕緣體使用利用PEALD法沉積的氮化矽即可。藉由採用這樣的結構，可以抑制導電體240的氧化，並且可以抑制氫進入導電體240中。

【0225】注意，示出在電晶體200中作為絕緣體241層疊第一絕緣體及第二絕緣體的結構，但是本發明不侷限於此。例如，絕緣體241可以具有單層結

構，也可以具有三層以上的疊層結構。在結構體具有疊層結構的情況下，有時按形成順序賦予序數以進行區別。

【0226】 可以以與導電體240的頂面接觸的方式配置被用作佈線的導電體246。導電體246較佳為使用以鎢、銅或鋁為主要成分的導電材料。另外，導電體246可以具有疊層結構，例如，可以具有鈦或氮化鈦與上述導電材料的疊層結構。此外，導電體246也可以以嵌入形成於絕緣體的開口中的方式形成。

【0227】

[電容器100]

在電容器100中，在設置於絕緣體280、絕緣體275及絕緣體271中的開口158內配置有絕緣體152、絕緣體150、絕緣體154、導電體160a及導電體160b。絕緣體150設置在絕緣體152上，絕緣體154設置在絕緣體150上，導電體160a設置在絕緣體154上，導電體160b設置在導電體160a上。注意，在本說明書等中，有時將導電體160a和導電體160b統稱為導電體160。

【0228】 雖然將在後面說明，但是構成電容器100的絕緣體152、絕緣體150、絕緣體154、導電體160a及導電體160b可以利用與構成電晶體200的絕緣體252、絕緣體250、絕緣體254、導電體260a及導電體260b相同的材料及相同的製程形成。因此，絕緣體152較佳為包含與絕緣體252相同的絕緣性材料，關於其詳細內容可以參照絕緣體252的記載。絕緣體150較佳為包含與絕緣體250相同的絕緣性材料，關於其詳細內容可以參照絕緣體250的記載。絕緣體154較佳為包含與絕緣體254相同的絕緣性材料，關於其詳細內容可以參照絕緣體254的記載。導電體160a較佳為包含與導電體260a相同的導電性材料，關於其詳細

內容可以參照導電體260a的記載。導電體160b較佳為包含與導電體260b相同的導電性材料，關於其詳細內容可以參照導電體260b的記載。

【0229】 藉由利用與絕緣體252、絕緣體250、絕緣體254、導電體260a及導電體260b相同的材料及相同的製程形成絕緣體152、絕緣體150、絕緣體154、導電體160a及導電體160b，可以減少半導體裝置的製程中的製程數。

【0230】 注意，如上述圖2B所示，在絕緣體250具有疊層結構的情況下，絕緣體150也可以同樣地具有疊層結構。可用於絕緣體250b的包含鋁及鉿中的一者或兩者的氧化物的絕緣體被用作高介電常數（high-k）材料。藉由使用這種high-k材料，即使增厚絕緣體152、絕緣體150及絕緣體154，也可以充分確保電容器100的靜電電容。藉由增厚絕緣體152、絕緣體150及絕緣體154，可以抑制產生在導電體242b與導電體160之間的洩漏電流。

【0231】 開口158設置在絕緣體280、絕緣體271及絕緣體275中並到達導電體242b及絕緣體222。就是說，可以說開口158具有與導電體242b重疊的區域。此外，可以說絕緣體275具有與絕緣體280所包括的開口158重疊的開口。

【0232】 如圖1A所示，在俯視時，開口158內的導電體160與導電體242b交叉的區域被用作電容器100。該區域與被用作電晶體200的氧化物230b重疊。就是說，可以避免與電晶體200的佔有面積相比過剩地增加電容器100的佔有面積。因此，可以實現半導體裝置的微型化或高積體化。例如，在將本發明的一個實施方式的半導體裝置用作記憶體裝置的記憶單元的情況下，可以增加單位面積的記憶容量。

【0233】 此外，如圖1B及圖1D所示，開口158也可以被看作在以絕緣體222為底面且以絕緣體280、絕緣體275及絕緣體271為側面的開口中由絕緣體

224、氧化物230及導電體242構成的結構體的一部分突出的形狀。注意，與開口258不同，因為在開口158中氧化物230b的頂面被導電體242b覆蓋，所以氧化物230b的頂面不露出到開口158內。

【0234】 如圖1B及圖1D所示，以與開口158的底面及內壁接觸的方式設置有絕緣體152。因此，絕緣體152接觸於絕緣體222的頂面、絕緣體224的側面、氧化物230a的側面、氧化物230b的側面、導電體242b的頂面的一部分及側面、絕緣體271b的側面、絕緣體275的側面以及絕緣體280的側面。此外，絕緣體152上以與絕緣體152的頂面接觸的方式設置有絕緣體150，以與絕緣體150的頂面接觸的方式設置有絕緣體154，以與絕緣體154的頂面接觸的方式設置有導電體160。由此，以覆蓋在開口158中部分突出的導電體242b的方式設置有絕緣體152、絕緣體150、絕緣體154及導電體160。

【0235】 藉由使電容器100具有上述結構，如圖1D所示，導電體160以隔著絕緣體152、絕緣體150及絕緣體154與導電體242b的頂面、導電體242b的A5一側的側面及導電體242b的A6一側的側面的每一個相對的方式設置。因此，由於可以在導電體242b的上述三個面形成電容器100，所以可以增大電容器100的單位面積的靜電電容。由此，可以實現半導體裝置的微型化或高積體化。

【0236】 此外，導電體160以嵌入在電晶體200的通道寬度方向上延伸設置的開口158的方式形成，導電體160也在電晶體200的通道寬度方向上延伸設置。因此，在設置多個電晶體200及電容器100時，也可以將導電體160用作佈線。此外，此時，除了導電體160之外，絕緣體152、絕緣體150及絕緣體154也延伸設置。

【0237】

<半導體裝置的構成材料>

以下，說明可用於半導體裝置的構成材料。

【0238】

<<基板>>

作為形成電晶體200的基板例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板（釔安定氧化鋯基板等）、樹脂基板等。此外，作為半導體基板，例如可以舉出以矽或鍺等為材料的半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵構成的化合物半導體基板等。並且，還可以舉出在上述半導體基板內部具有絕緣體區域的半導體基板，例如為SOI（Silicon On Insulator；絕緣層上覆矽）基板等。作為導電體基板，可以舉出石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，可以舉出包含金屬氮化物的基板、包含金屬氧化物的基板等。此外，還可以舉出設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為設置在基板上的元件，可以舉出電容器、電阻器、切換元件、發光元件、記憶元件等。

【0239】

<<絕緣體>>

作為絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0240】例如，當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用high-k材料，可以在保持物理厚度的同時實現電晶體工作時的低電壓化。另一方面，藉由將相對介電常數較低的材料用於被用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

【0241】作為相對介電常數較高的絕緣體，可以舉出氧化鎵、氧化鉿、氧化鋯、含有鋁及鉿的氧化物、含有鋁及鉿的氧氮化物、含有矽及鉿的氧化物、含有矽及鉿的氧氮化物或者含有矽及鉿的氮化物等。

【0242】作為相對介電常數較低的絕緣體，可以舉出氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。

【0243】此外，藉由使用具有抑制氫等雜質及氧的透過的功能的絕緣體圍繞使用金屬氧化物的電晶體，可以使電晶體的電特性穩定。作為具有抑制氫等雜質及氧的透過的功能的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、釹、鉿或鉭的絕緣體的單層或疊層。明確而言，作為具有抑制氫等雜質及氧的透過的功能的絕緣體，可以使用氧化鋁、氧化鎂、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化釹、氧化鉿、氧化鉭等金屬氧化物、氮化鋁、氮氧化矽、氮化矽等金屬氮化物。

【0244】此外，被用作閘極絕緣體的絕緣體較佳為具有包含藉由加熱脫離的氧的區域的絕緣體。例如，藉由採用具有包含藉由加熱脫離的氧的區域的氧化矽或者氧氮化矽接觸於氧化物230的結構，可以填補氧化物230所包含的氧空位。

【0245】

<<導電體>>

作為導電體，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉿、釩、鈮、錳、鎂、鋯、鈹、銦、釕、銥、錸和鑭等中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。例如，較佳為使用氮化鉭、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含錸和釕的氧化物、包含鑭和鎳的氧化物等。此外，氮化鉭、氮化鈦、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含錸和釕的氧化物、包含鑭和鎳的氧化物是不容易氧化的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0246】 此外，也可以層疊多個由上述材料形成的導電層。例如，也可以採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料和包含氮的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料、包含氧的導電材料和包含氮的導電材料的疊層結構。

【0247】 此外，在將氧化物用於電晶體的通道形成區域的情況下，作為被用作閘極電極的導電體較佳為採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。在此情況下，較佳為將包含氧的導電材料設置在通道形成區域一側。藉由將包含氧的導電材料設置在通道形成區域一側，從該導電材料脫離的氧容易被供應到通道形成區域。

【0248】 尤其是，作為被用作閘極電極的導電體，較佳為使用包含含在被形成通道的金屬氧化物中的金屬元素及氧的導電材料。此外，也可以使用包含上述金屬元素及氮的導電材料。例如，可以使用氮化鈦、氮化鉭等包含氮的導電材料。此外，也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有矽的銦錫氧化物。此外，也可以使用包含氮的銦鎵鋅氧化物。藉由使用上述材料，有時可以俘獲被形成通道的金屬氧化物所包含的氫。或者，有時可以俘獲從外方的絕緣體等混入的氫。

【0249】

<<金屬氧化物>>

作為氧化物230，較佳為使用被用作半導體的金屬氧化物（氧化物半導體）。下面，對可用於根據本發明的氧化物230的金屬氧化物進行說明。

【0250】 金屬氧化物較佳為至少包含銦或鋅。尤其較佳為包含銦及鋅。此外，除此之外，較佳為還包含鋁、鎵、釔、錫等。此外，也可以包含選自硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢、鎂及鈷等中的一種或多種。

【0251】 在此考慮金屬氧化物為包含銦、元素M及鋅的In-M-Zn氧化物的情況。注意，元素M為鋁、鎵、釔或錫。作為可以應用於元素M的其他元素，有硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢、鎂、鈷等。注意，作為元素M有時也可以組合多個上述元素。尤其是，元素M較佳為選自鎵、鋁、釔和錫中的一種或多種。

【0252】尤其是，作為電晶體的半導體層，較佳為使用包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物（也記載為IGZO）。或者，作為電晶體的半導體層，也可以使用包含銦（In）、鋁（Al）及鋅（Zn）的氧化物（也記載為IAZO）。或者，作為半導體層，也可以使用包含銦（In）、鋁（Al）、鎵（Ga）及鋅（Zn）的氧化物（IAGZO或IGAZO）。

【0253】此外，在本說明書等中，有時將包含氮的金屬氧化物稱為金屬氧化物（metal oxide）。此外，也可以將包含氮的金屬氧化物稱為金屬氧氮化物（metal oxynitride）。

【0254】以下，作為金屬氧化物的一個例子說明包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物。注意，有時將包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物稱為In-Ga-Zn氧化物。

【0255】

<結晶結構的分類>

作為氧化物半導體的結晶結構，可以舉出非晶（包括completely amorphous）、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、CAC（cloud-aligned composite）、單晶（single crystal）及多晶（poly crystal）等。

【0256】可以使用X射線繞射（XRD：X-Ray Diffraction）譜對膜或基板的結晶結構進行評價。例如，可以使用GIXD（Grazing-Incidence XRD）測定測得的XRD譜進行評價。此外，將GIXD法也稱為薄膜法或Seemann-Bohlin法。以下，有時將GIXD測量所得的XRD譜簡單地記為XRD譜。

【0257】例如，石英玻璃基板的XRD譜的峰形狀大致為左右對稱。另一方面，具有結晶結構的In-Ga-Zn氧化物膜的XRD譜的峰形狀不是左右對稱。

XRD譜的峰的形狀是左右不對稱說明膜中或基板中存在結晶。換言之，除非XRD譜峰形狀左右對稱，否則不能說膜或基板處於非晶狀態。

【0258】 此外，可以使用藉由奈米束電子繞射法（NBED：Nano Beam Electron Diffraction）觀察的繞射圖案（也稱為奈米束電子繞射圖案）對膜或基板的結晶結構進行評價。例如，在石英玻璃基板的繞射圖案中觀察到光暈圖案，可以確認石英玻璃處於非晶狀態。此外，以室溫沉積的In-Ga-Zn氧化物膜的繞射圖案中觀察到斑點狀的圖案而沒有觀察到光暈。因此可以推測，以室溫沉積的In-Ga-Zn氧化物處於既不是單晶或多晶也不是非晶態的中間態，不能得出該In-Ga-Zn氧化物是非晶態的結論。

【0259】

<<氧化物半導體的結構>>

此外，在著眼於氧化物半導體的結構的情況下，有時氧化物半導體的分類與上述不同。例如，氧化物半導體可以分類為單晶氧化物半導體和除此之外的非單晶氧化物半導體。作為非單晶氧化物半導體，例如可以舉出上述CAAC-OS及nc-OS。此外，在非單晶氧化物半導體中包含多晶氧化物半導體、a-like OS（amorphous-like oxide semiconductor）及非晶氧化物半導體等。

【0260】 在此，對上述CAAC-OS、nc-OS及a-like OS的詳細內容進行說明。

【0261】

[CAAC-OS]

CAAC-OS是包括多個結晶區域的氧化物半導體，該多個結晶區域的c軸配向於特定的方向。此外，特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS

膜的被形成面的法線方向、或者CAAC-OS膜的表面的法線方向。此外，結晶區域是具有原子排列的週期性的區域。注意，在將原子排列看作晶格排列時結晶區域也是晶格排列一致的區域。再者，CAAC-OS具有在a-b面方向上多個結晶區域連接的區域，有時該區域具有畸變。此外，畸變是指在多個結晶區域連接的區域中，晶格排列一致的區域和其他晶格排列一致的區域之間的晶格排列的方向變化的部分。換言之，CAAC-OS是指c軸配向並在a-b面方向上沒有明顯的配向的氧化物半導體。

【0262】 此外，上述多個結晶區域的每一個由一個或多個微小結晶（最大徑小於10nm的結晶）構成。在結晶區域由一個微小結晶構成的情況下，該結晶區域的最大徑小於10nm。此外，在結晶區域由多個微小結晶構成的情況下，有時該結晶區域的最大徑為幾十nm左右。

【0263】 此外，在In-Ga-Zn氧化物中，有CAAC-OS具有層疊有含有銦（In）及氧的層（以下，In層）、含有鎵（Ga）、鋅（Zn）及氧的層（以下，（Ga，Zn）層）的層狀結晶結構（也稱為層狀結構）的趨勢。此外，銦和鎵可以彼此置換。因此，有時（Ga，Zn）層包含銦。此外，有時In層包含鎵。注意，有時In層包含鋅。該層狀結構例如在高解析度TEM（Transmission Electron Microscope）影像中被觀察作為晶格像。

【0264】 例如，當對CAAC-OS膜使用XRD裝置進行結構分析時，在使用θ/2θ掃描的Out-of-plane XRD測量中，在2θ=31°或其附近檢測出表示c軸配向的峰值。注意，表示c軸配向的峰值的位置（2θ值）有時根據構成CAAC-OS的金屬元素的種類、組成等變動。

【0265】 此外，例如，在CAAC-OS膜的電子繞射圖案中觀察到多個亮點（斑點）。此外，在以透過樣本的入射電子束的斑點（也稱為直接斑點）為對稱中心時，某一個斑點和其他斑點被觀察在點對稱的位置。

【0266】 在從上述特定的方向觀察結晶區域的情況下，雖然該結晶區域中的晶格排列基本上是六方晶格，但是單位晶格並不侷限於正六角形，有是非正六角形的情況。此外，在上述畸變中，有時具有五角形、七角形等晶格排列。此外，在CAAC-OS的畸變附近觀察不到明確的晶界（grain boundary）。也就是說，晶格排列的畸變抑制晶界的形成。這可能是由於CAAC-OS因為a-b面方向上的氧原子的排列的低密度或因金屬原子被取代而使原子間的鍵合距離產生變化等而能夠包容畸變。

【0267】 此外，確認到明確的晶界的結晶結構被稱為所謂的多晶。晶界成為再結合中心而載子被俘獲，因而有可能導致電晶體的通態電流的降低、場效移動率的降低等。因此，確認不到明確的晶界的CAAC-OS是使電晶體的半導體層具有優異的結晶結構的結晶性氧化物之一。注意，為了構成CAAC-OS，較佳為包含Zn的結構。例如，與In氧化物相比，In-Zn氧化物及In-Ga-Zn氧化物能夠進一步地抑制晶界的發生，所以是較佳的。

【0268】 CAAC-OS是結晶性高且確認不到明確的晶界的氧化物半導體。因此，可以說在CAAC-OS中，不容易發生起因於晶界的電子移動率的降低。此外，氧化物半導體的結晶性有時因雜質的混入、缺陷的生成等而降低，因此可以說CAAC-OS是雜質、缺陷（氧空位等）少的氧化物半導體。因此，包含CAAC-OS的氧化物半導體的物理性質穩定。因此，包含CAAC-OS的氧化物半導體具有高耐熱性及高可靠性。此外，CAAC-OS對製程中的高溫度（所謂熱積

存：thermal budget）也很穩定。由此，藉由將CAAC-OS用於在通道形成區域中包含金屬氧化物的電晶體（有時將其稱為OS電晶體），可以擴大製程的彈性。

【0269】

[nc-OS]

在nc-OS中，微小的區域（例如1nm以上且10nm以下的區域，特別是1nm以上且3nm以下的區域）中的原子排列具有週期性。換言之，nc-OS具有微小的結晶。此外，例如，該微小的結晶的尺寸為1nm以上且10nm以下，尤其為1nm以上且3nm以下，將該微小的結晶稱為奈米晶。此外，nc-OS在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時nc-OS在某些分析方法中與a-like OS或非晶氧化物半導體沒有差別。例如，在對nc-OS膜使用XRD裝置進行結構分析時，在使用θ/2θ掃描的Out-of-plane XRD測量中，檢測不出表示結晶性的峰值。此外，在對nc-OS膜進行使用其束徑比奈米晶大（例如，50nm以上）的電子束的電子繞射（也稱為選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在對nc-OS膜進行使用其束徑近於或小於奈米晶的尺寸（例如1nm以上且30nm以下）的電子束的電子繞射（也稱為奈米束電子繞射）的情況下，有時得到在以直接斑點為中心的環狀區域內觀察到多個斑點的電子繞射圖案。

【0270】

[a-like OS]

a-like OS是具有介於nc-OS與非晶氧化物半導體之間的結構的氧化物半導體。a-like OS包含空洞或低密度區域。也就是說，a-like OS的結晶性比nc-OS及

CAAC-OS的結晶性低。此外，a-like OS的膜中的氫濃度比nc-OS及CAAC-OS的膜中的氫濃度高。

【0271】

<<氧化物半導體的構成>>

接著，說明上述的CAC-OS的詳細內容。此外，CAC-OS與材料構成有關。

【0272】

[CAC-OS]

CAC-OS例如是指包含在金屬氧化物中的元素不均勻地分佈的構成，其中包含不均勻地分佈的元素的材料的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且3nm以下或近似的尺寸。注意，在下面也將在金屬氧化物中一個或多個金屬元素不均勻地分佈且包含該金屬元素的區域混合的狀態稱為馬賽克狀或補丁（patch）狀，該區域的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且3nm以下或近似的尺寸。

【0273】 再者，CAC-OS是指其材料分開為第一區域與第二區域而成為馬賽克狀且該第一區域分佈於膜中的結構（下面也稱為雲狀）。就是說，CAC-OS是指具有該第一區域和該第二區域混合的結構的複合金屬氧化物。

【0274】 在此，將相對於構成In-Ga-Zn氧化物的CAC-OS的金屬元素的In、Ga及Zn的原子個數比的每一個記為[In]、[Ga]及[Zn]。例如，在In-Ga-Zn氧化物的CAC-OS中，第一區域是其[In]大於CAC-OS膜的組成中的[In]的區域。此外，第二區域是其[Ga]大於CAC-OS膜的組成中的[Ga]的區域。此外，例如，第一區域是其[In]大於第二區域中的[In]且其[Ga]小於第二區域中的[Ga]的區域。

此外，第二區域是其[Ga]大於第一區域中的[Ga]且其[In]小於第一區域中的[In]的區域。

【0275】 明確而言，上述第一區域是以銦氧化物或銦鋅氧化物等為主要成分的區域。此外，上述第二區域是以鎵氧化物或鎵鋅氧化物等為主要成分的區域。換言之，可以將上述第一區域稱為以In為主要成分的區域。此外，可以將上述第二區域稱為以Ga為主要成分的區域。

【0276】 注意，有時觀察不到上述第一區域和上述第二區域的明確的邊界。

【0277】 此外，In-Ga-Zn氧化物中的CAC-OS是指如下構成：在包含In、Ga、Zn及O的材料構成中，部分主要成分為Ga的區域與部分主要成分為In的區域無規律地以馬賽克狀存在。因此，可推測，CAC-OS具有金屬元素不均勻地分佈的結構。

【0278】 CAC-OS例如可以藉由在對基板不進行加熱的條件下利用濺射法來形成。在利用濺射法形成CAC-OS的情況下，作為沉積氣體，可以使用選自惰性氣體（典型的是氬）、氧氣體和氮氣體中的任一種或多種。此外，沉積時的沉積氣體的總流量中的氧氣體的流量比越低越好。例如，使沉積時的沉積氣體的總流量中的氧氣體的流量比為0%以上且低於30%，較佳為0%以上且10%以下。

【0279】 例如，在In-Ga-Zn氧化物的CAC-OS中，根據藉由能量色散型X射線分析法（EDX：Energy Dispersive X-ray spectroscopy）取得的EDX面分析（mapping）影像，可確認到具有以In為主要成分的區域（第一區域）及以Ga為主要成分的區域（第二區域）不均勻地分佈而混合的結構。

【0280】在此，第一區域是具有比第二區域高的導電性的區域。就是說，當載子流過第一區域時，呈現作為金屬氧化物的導電性。因此，當第一區域以雲狀分佈在金屬氧化物中時，可以實現高場效移動率（μ）。

【0281】另一方面，第二區域是具有比第一區域高的絕緣性的區域。就是說，當第二區域分佈在金屬氧化物中時，可以抑制洩漏電流。

【0282】在將CAC-OS用於電晶體的情況下，藉由起因於第一區域的導電性和起因於第二區域的絕緣性的互補作用，可以使CAC-OS具有開關功能（控制開啟/關閉的功能）。換言之，在CAC-OS的材料的一部分中具有導電性的功能且在另一部分中具有絕緣性的功能，在材料的整體中具有半導體的功能。藉由使導電性的功能和絕緣性的功能分離，可以最大限度地提高各功能。因此，藉由將CAC-OS用於電晶體，可以實現高通態電流（I_{on}）、高場效移動率（μ）及良好的切換工作。

【0283】此外，使用CAC-OS的電晶體具有高可靠性。因此，CAC-OS最適合於顯示裝置等各種半導體裝置。

【0284】氧化物半導體具有各種結構及各種特性。本發明的一個實施方式的氧化物半導體也可以包括非晶氧化物半導體、多晶氧化物半導體、a-like OS、CAC-OS、nc-OS、CAAC-OS中的兩種以上。

【0285】

<包括氧化物半導體的電晶體>

接著，說明將上述氧化物半導體用於電晶體的情況。

【0286】藉由將上述氧化物半導體用於電晶體，可以實現場效移動率高的電晶體。此外，可以實現可靠性高的電晶體。

【0287】較佳為將載子濃度低的氧化物半導體用於電晶體。例如，氧化物半導體的載子濃度可以為$1\times10^{17}cm^{-3}$以下，較佳為$1\times10^{15}cm^{-3}$以下，更佳為$1\times10^{13}cm^{-3}$以下，進一步較佳為$1\times10^{11}cm^{-3}$以下，更進一步較佳為低於$1\times10^{10}cm^{-3}$，且為$1\times10^{-9}cm^{-3}$以上。在以降低氧化物半導體膜的載子濃度為目的的情況下，可以降低氧化物半導體膜中的雜質濃度以降低缺陷態密度。在本說明書等中，將雜質濃度低且缺陷態密度低的狀態稱為高純度本質或實質上高純度本質。此外，有時將載子濃度低的氧化物半導體稱為高純度本質的氧化物半導體或實質上高純度本質的氧化物半導體。

【0288】因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。

【0289】此外，被氧化物半導體的陷阱態俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體中形成通道形成區域的電晶體的電特性不穩定。

【0290】因此，為了使電晶體的電特性穩定，降低氧化物半導體中的雜質濃度是有效的。為了降低氧化物半導體中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。注意，氧化物半導體中的雜質例如是指構成氧化物半導體的主要成分之外的元素。例如，濃度低於0.1原子%的元素可以說是雜質。

【0291】

<雜質>

在此，說明氧化物半導體中的各雜質的影響。

【0292】 在氧化物半導體包含第14族元素之一的矽或碳時，在氧化物半導體中形成缺陷態。因此，將氧化物半導體的矽或碳的濃度（藉由二次離子質譜分析（SIMS：Secondary Ion Mass Spectrometry）測得的濃度）例如設定為2×10^{18}atoms/cm^{3}以下，較佳為2×10^{17}atoms/cm^{3}以下。

【0293】 此外，當氧化物半導體包含鹼金屬或鹼土金屬時，有時形成缺陷態而形成載子。因此，使用包含鹼金屬或鹼土金屬的氧化物半導體的電晶體容易具有常開啟特性。由此，將利用SIMS測得的氧化物半導體中的鹼金屬或鹼土金屬的濃度設定為1×10^{18}atoms/cm^{3}以下，較佳為2×10^{16}atoms/cm^{3}以下。

【0294】 當氧化物半導體包含氮時，產生作為載子的電子，使載子濃度增高，而容易被n型化。其結果是，將含有氮的氧化物半導體用於半導體的電晶體容易具有常開啟特性。或者，在氧化物半導體包含氮時，有時形成陷阱態。其結果是，有時電晶體的電特性不穩定。因此，將利用SIMS測得的氧化物半導體中的氮濃度設定為低於5×10^{19}atoms/cm^3，較佳為5×10^{18}atoms/cm^{3}以下，更佳為1×10^{18}atoms/cm^{3}以下，進一步較佳為5×10^{17}atoms/cm^{3}以下。

【0295】 包含在氧化物半導體中的氫與鍵合於金屬原子的氧起反應生成水，因此有時形成氧空位。當氫進入該氧空位時，有時生成作為載子的電子。此外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用含有氫的氧化物半導體的電晶體容易具有常開啟特性。由此，較佳為儘可能減少氧化物半導體中的氫。明確而言，將利用SIMS測得的氧化物半導體的氫濃度設定為低於1×10^{20}atoms/cm^3，較佳為低於1×10^{19}atoms/cm^3，更佳為低於5×10^{18}atoms/cm^3，進一步較佳為低於1×10^{18}atoms/cm^3。

【0296】 藉由將雜質被充分降低的氧化物半導體用於電晶體的通道形成區域，可以使電晶體具有穩定的電特性。

【0297】

<<其他半導體材料>>

能夠用於氧化物230的半導體材料不侷限於上述金屬氧化物。作為氧化物230，也可以使用具有能帶間隙的半導體材料（不是零能帶間隙半導體的半導體材料）。例如，較佳為將矽等單個元素的半導體、砷化鎵等化合物半導體、被用作半導體的層狀物質（也稱為原子層物質、二維材料等）等用於半導體材料。特別是，較佳為將被用作半導體的層狀物質用於半導體材料。

【0298】 在此，在本說明書等中，層狀物質是具有層狀結晶結構的材料群的總稱。層狀結晶結構是由共價鍵或離子鍵形成的層藉由如凡得瓦力那樣的比共價鍵及離子鍵弱的鍵合層疊的結構。層狀物質在單位層中具有高導電性，亦即，具有高二維導電性。藉由將被用作半導體並具有高二維導電性的材料用於通道形成區域，可以提供通態電流高的電晶體。

【0299】 作為層狀物質，有石墨烯、矽烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外，氧族元素是屬於第16族的元素的總稱，其中包括氧、硫、硒、碲、釙、鉝。此外，作為硫族化物，可以舉出過渡金屬硫族化物、第13族硫族化物等。

【0300】 作為氧化物230，例如較佳為使用被用作半導體的過渡金屬硫族化物。作為能夠被用作氧化物230的過渡金屬硫族化物，具體地可以舉出硫化鉬（典型的是MoS_2）、硒化鉬（典型的是$MoSe_2$）、碲化鉬（典型的是$MoTe_2$）、硫化鎢（典型的是WS_2）、硒化鎢（典型的是WSe_2）、碲化鎢（典

型的是WTe_2）、硫化鉿（典型的是HfS_2）、硒化鉿（典型的是$HfSe_2$）、硫化鋯（典型的是ZrS_2）、硒化鋯（典型的是$ZrSe_2$）等。

【0301】

<半導體裝置的製造方法>

接著，使用圖5A至圖17D說明圖1A至圖1D所示的本發明的一個實施方式的半導體裝置的製造方法。

【0302】 各圖式中的A是俯視圖。各圖式中的B是沿著A中的點劃線A1-A2的部分的剖面圖，該剖面圖相當於電晶體200的通道長度方向上的剖面圖。各圖式中的C是沿著A中的點劃線A3-A4的部分的剖面圖，該剖面圖相當於電晶體200的通道寬度方向上的剖面圖。各圖式中的D是沿著A中的點劃線A5-A6的部分的剖面圖，該剖面圖相當於電容器100的通道寬度方向上的剖面圖。為了明確起見，在各圖式中的A的俯視圖中省略部分組件。

【0303】 以下，用來形成絕緣體的絕緣材料、用來形成導電體的導電材料或用來形成半導體的半導體材料可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。

【0304】 作為濺射法，可以舉出將高頻電源用於濺射用電源的RF濺射法、利用直流電源的DC濺射法、以脈衝方式改變施加到電極的電壓的脈衝DC濺射法。RF濺射法主要在沉積絕緣膜時使用，DC濺射法主要在沉積金屬導電膜時使用。此外，脈衝DC濺射法主要在利用反應性濺射法沉積氧化物、氮化物、碳化物等化合物時使用。

【0305】 注意，CVD法可以分為利用電漿的電漿增強CVD（PECVD）法、利用熱量的熱CVD（TCVD：Thermal CVD）法及利用光的光CVD（Photo

CVD）法等。再者，可以根據使用的源氣體分類為金屬CVD（MCVD：Metal CVD）法及有機金屬CVD（MOCVD：Metal Organic CVD）法。

【0306】藉由利用電漿CVD法，可以以較低的溫度得到高品質的膜。此外，因為在熱CVD法中不使用電漿，所以能夠減少對被處理物造成的電漿損傷。例如，包括在半導體裝置中的佈線、電極、元件（電晶體、電容器等）等有時因從電漿接收電荷而會產生電荷積聚（charge up）。此時，有時由於所累積的電荷而使包括在半導體裝置中的佈線、電極、元件等受損傷。另一方面，因為在不使用電漿的熱CVD法的情況下不產生上述電漿損傷，所以能夠提高半導體裝置的良率。此外，在熱CVD法中，不產生沉積時的電漿損傷，因此能夠得到缺陷較少的膜。

【0307】作為ALD法，採用只利用熱能使前驅物及反應物起反應的熱ALD法、使用收到電漿激發的反應物的PEALD法等。

【0308】CVD法及ALD法不同於從靶材等中被釋放的粒子沉積的濺射法。因此，CVD法及ALD法是不易受被處理物的形狀的影響而具有良好的步階覆蓋性的沉積方法。尤其是，ALD法具有良好的步階覆蓋性和厚度均勻性，所以ALD法適合用於形成覆蓋縱橫比高的開口部的表面的膜等。但是，ALD法的沉積速率比較慢，所以有時較佳為與沉積速度快的CVD法等其他沉積方法組合而使用。

【0309】此外，當使用CVD法時，可以藉由調整源氣體的流量比沉積任意組成的膜。例如，當使用CVD法時，可以藉由在進行沉積的同時改變源氣體的流量比來沉積其組成連續變化的膜。當在改變源氣體的流量比的同時進行沉

積時，因為不需要傳送或調整壓力所需的時間，所以與使用多個沉積室進行形成的情況相比可以縮短沉積時間。因此，有時可以提高半導體裝置的生產率。

【0310】 當使用ALD法時，藉由同時導入不同的多種前驅物，可以沉積任意組成的膜。或者，在導入不同的多種前驅物時，藉由控制各前驅物的循環次數可以沉積任意組成的膜。

【0311】 首先，準備基板（未圖示），在該基板上沉積絕緣體212（參照圖5A至圖5D）。絕緣體212較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體212中的氫濃度。注意，絕緣體212的沉積不侷限於濺射法，也可以適當地使用CVD法、MBE法、PLD法、ALD法等。

【0312】 在本實施方式中，作為絕緣體212在含氮氣體氛圍下使用矽靶材藉由脈衝DC濺射法沉積氮化矽。藉由使用脈衝DC濺射法，可以抑制因靶材表面的電弧（arcing）而發生的微粒，所以可以使厚度更均勻。此外，藉由使用脈衝電壓，與高頻電壓相比可以使放電時的上升或下降急劇。由此，可以更高效地對電極供應功率而提高濺射速率及膜品質。

【0313】 此外，藉由使用如氮化矽等不容易使水、氫等雜質透過的絕緣體，可以抑制絕緣體212的下方的層所包含的水、氫等雜質擴散。此外，藉由作為絕緣體212使用氮化矽等不容易使銅透過的絕緣體，即使作為絕緣體212的下方的層（未圖示）的導電體使用銅等容易擴散的金屬，也可以抑制該金屬藉由絕緣體212向上方擴散。

【0314】 接著，在絕緣體212上沉積絕緣體214（參照圖5A至圖5D）。絕緣體214較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積

氣體的濺射法，可以降低絕緣體214中的氫濃度。注意，絕緣體214的沉積不侷限於濺射法，也可以適當地使用CVD法、MBE法、PLD法、ALD法等。

【0315】 在本實施方式中，作為絕緣體214在含氧氣體氛圍下使用鋁靶材藉由脈衝DC濺射法沉積氧化鋁。藉由使用脈衝DC濺射法，可以使厚度更均勻而提高濺射速率及膜品質。在此，也可以對基板施加RF功率。可以根據對基板施加的RF功率的大小控制注入到絕緣體214的下層中的氧量。作為RF功率，設定為0W/cm^{2}以上且1.86W/cm^{2}以下。換言之，可以使用形成絕緣體214時的RF功率使氧量改變為適合於電晶體的特性的量而注入。因此，可以注入適合於提高電晶體的可靠性的量的氧。另外，RF的頻率較佳為10MHz以上。典型的是13.56MHz。RF的頻率越高，越可以減少對基板造成的損傷。

【0316】 作為絕緣體214，較佳為使用俘獲並固定氫的性能高的具有非晶結構的金屬氧化物，例如氧化鋁。由此，可以俘獲或固定包含在絕緣體216等中的氫以防止該氫擴散到氧化物230。尤其是，絕緣體214特別較佳為使用具有非晶結構的氧化鋁或非晶結構的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體200及半導體裝置。

【0317】 接著，在絕緣體214上沉積絕緣體216。絕緣體216較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體216中的氫濃度。注意，絕緣體216的沉積不侷限於濺射法，也可以適當地使用CVD法、MBE法、PLD法、ALD法等。

【0318】 在本實施方式中，作為絕緣體216在包含氧氣體氛圍下使用矽靶材藉由脈衝DC濺射法沉積氧化矽。藉由使用脈衝DC濺射法，可以使厚度更均勻而提高濺射速率及膜品質。

【0319】絕緣體212、絕緣體214及絕緣體216較佳為以不暴露於大氣的方式連續沉積。例如，使用多室方式沉積裝置即可。由此，可以降低膜中的氫而沉積絕緣體212、絕緣體214及絕緣體216，並且可以降低在各沉積製程之間氫混入膜中。

【0320】接著，在絕緣體216中形成到達絕緣體214的開口。開口例如包括槽、狹縫等。有時將形成有開口的區域稱為開口部。在形成該開口時，可以使用濕蝕刻法，但是對微細加工來說乾蝕刻法是較佳的。作為絕緣體214，較佳為選擇在對絕緣體216進行蝕刻以形成槽時被用作蝕刻停止膜的絕緣體。例如，當作為形成槽的絕緣體216使用氧化矽或氧氮化矽時，絕緣體214較佳為使用氮化矽、氧化鋁、氧化鉿。

【0321】作為乾蝕刻裝置，可以使用包括平行平板型電極的電容耦合型電漿（CCP：Capacitively Coupled Plasma）蝕刻裝置。包括平行平板型電極的電容耦合型電漿蝕刻裝置也可以採用對平行平板型電極中的一方施加高頻電壓的結構。或者，也可以採用對平行平板型電極中的一方施加不同的多個高頻電壓的結構。或者，也可以採用對平行平板型電極的各個施加頻率相同的高頻電壓的結構。或者，也可以採用對平行平板型電極的各個施加頻率不同的高頻電壓的結構。或者，也可以利用具有高密度電漿源的乾蝕刻裝置。例如，作為具有高密度電漿源的乾蝕刻裝置，可以使用感應耦合電漿（ICP：Inductively Coupled Plasma）蝕刻裝置等。

【0322】在形成開口之後，沉積成為導電體205a的導電膜。成為導電體205a的導電膜較佳為包括具有抑制氧的透過的功能的導電體。例如，可以使用氮化鉭、氮化鎢、氮化鈦等。或者，可以使用具有抑制氧透過的功能的導電體

與鉭、鎢、鈦、鉬、鋁、銅或鉬鎢合金的疊層膜。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積成為導電體205a的導電膜。

【0323】 在本實施方式中，作為成為導電體205a的導電膜沉積氮化鈦。藉由作為導電體205b的下層使用上述金屬氮化物，可以抑制由於絕緣體216等導電體205b被氧化。此外，即使作為導電體205b使用銅等容易擴散的金屬，也可以防止該金屬從該導電體205a向外方擴散。

【0324】 接著，沉積成為導電體205b的導電膜。作為成為導電體205b的導電膜，可以使用鉭、鎢、鈦、鉬、鋁、銅、鉬鎢合金等。該導電膜的沉積可以使用電鍍法、濺射法、CVD法、MBE法、PLD法、ALD法等。在本實施方式中，作為成為導電體205b的導電膜沉積鎢。

【0325】 接著，藉由CMP處理去除成為導電體205a的導電膜及成為導電體205b的導電膜的一部分而使絕緣體216露出（參照圖5A至圖5D）。其結果是，只在開口部中殘留導電體205a及導電體205b。此外，有時藉由該CMP處理絕緣體216的一部分被去除。

【0326】 接著，在絕緣體216及導電體205上沉積絕緣體222（參照圖6A至圖6D）。作為絕緣體222較佳為沉積包含鋁和鉿中的一者或兩者的氧化物的絕緣體。作為包含鋁和鉿中的一者或兩者的氧化物的絕緣體，較佳為使用氧化鋁、氧化鉿、包含鋁及鉿的氧化物（鋁酸鉿）等。或者，較佳為使用鉿鋯氧化物。包含鋁和鉿中的一者或兩者的氧化物的絕緣體對氧、氫及水具有阻擋性。當絕緣體222對氫及水具有阻擋性時，可以抑制電晶體200的周圍的結構體所包含的氫及水藉由絕緣體222擴散到電晶體200的內側，從而可以抑制氧化物230中的氧空位的生成。

【0327】 可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積絕緣體222。在本實施方式中，作為絕緣體222利用ALD法沉積氧化鉿。尤其是，較佳為使用本發明的一個實施方式的氫濃度得到降低的氧化鉿的形成方法。

【0328】 接著，較佳為進行熱處理。熱處理以250℃以上且650℃以下，較佳為以300℃以上且500℃以下，更佳為以320℃以上且450℃以下進行即可。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，當在氮氣體和氧氣體的混合氛圍下進行熱處理時，將氧氣體的比例設為20%左右即可。熱處理也可以在減壓狀態下進行。或者，熱處理也可以在氮氣體或惰性氣體氛圍下進行，然後為了填補脫離了的氧在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。

【0329】 此外，在上述熱處理中使用的氣體較佳為被高度純化。例如，在上述熱處理中使用的氣體所包含的水分量為1ppb以下，較佳為0.1ppb以下，更佳為0.05ppb以下即可。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被絕緣體222等吸收。

【0330】 在本實施方式中，作為熱處理在沉積絕緣體222後以氮氣體與氧氣體的流量比為4：1且400℃的溫度進行1小時的處理。藉由進行該熱處理，可以去除絕緣體222所包含的水、氫等雜質。此外，在作為絕緣體222使用含鉿氧化物時，有時藉由進行該熱處理絕緣體222的一部分被晶化。此外，也可以在沉積絕緣體224之後等的時機進行熱處理。

【0331】 接著，在絕緣體222上沉積絕緣膜224A（參照圖6A至圖6D）。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積絕緣膜224A。在本實施方式中，作為絕緣膜224A利用濺射法沉積氧化矽膜。藉由使用不需要利

用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣膜224A中的氫濃度。絕緣膜224A在後面製程中與氧化物230a接觸，所以如此那樣氫濃度得到降低是較佳的。

【0332】 接著，在絕緣膜224A上依次沉積氧化膜230A以及氧化膜230B（參照圖6A至圖6D）。較佳為在不暴露於大氣環境的情況下連續地沉積氧化膜230A及氧化膜230B。藉由不暴露於大氣而進行沉積，由於可以防止來自大氣環境的雜質或水分附著於氧化膜230A及氧化膜230B上，所以可以保持氧化膜230A與氧化膜230B的介面附近的清潔。

【0333】 氧化膜230A及氧化膜230B可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。藉由利用ALD法沉積氧化膜230A及氧化膜230B，對縱橫比大的槽或開口部也可以形成厚度均勻的膜，所以是較佳的。此外，藉由利用PEALD法，與熱ALD法相比可以以更低的溫度形成氧化膜230A及氧化膜230B，所以是較佳的。在本實施方式中，在氧化膜230A及氧化膜230B的沉積中利用濺射法。

【0334】 例如，在利用濺射法沉積氧化膜230A以及氧化膜230B的情況下，作為濺射氣體使用氧或者氧和高貴氣體的混合氣體。藉由提高濺射氣體所包含的氧的比例，可以增加沉積的氧化膜中的過量氧。此外，在利用濺射法沉積上述氧化膜的情況下，例如可以使用上述In-M-Zn氧化物靶材等。

【0335】 尤其是，在沉積氧化膜230A時，有時濺射氣體所包含的氧的一部分供應給絕緣體224。因此，該濺射氣體所包含的氧的比率可以為70%以上，較佳為80%以上，更佳為100%。

【0336】在使用濺射法形成氧化膜230B的情況下，藉由在包含在濺射氣體中的氧的比率超過30%且為100%以下，較佳為70%以上且100%以下的條件下進行沉積，可以形成氧過剩型氧化物半導體。將氧過剩型氧化物半導體用於通道形成區域的電晶體可以得到比較高的可靠性。注意，本發明的一個實施方式不侷限於此。在利用濺射法形成氧化膜230B的情況下，當在濺射氣體所包含的氧的比率設定為1%以上且30%以下，較佳為5%以上且20%以下的情況下進行沉積時，形成氧缺乏型氧化物半導體。將氧缺乏型氧化物半導體用於通道形成區域的電晶體可以具有較高的場效移動率。此外，藉由在加熱基板的同時進行沉積，可以提高該氧化膜的結晶性。

【0337】在本實施方式中，利用濺射法使用In：Ga：Zn=1：3：4[原子個數比]的氧化物靶材沉積氧化膜230A。此外，利用濺射法使用In：Ga：Zn=4：2：4.1[原子個數比]的氧化物靶材、In：Ga：Zn=1：1：1[原子個數比]的氧化物靶材、In：Ga：Zn=1：1：1.2[原子個數比]的氧化物靶材或者In：Ga：Zn=1：1：2[原子個數比]的氧化物靶材沉積氧化膜230B。各氧化膜可以根據氧化物230a及氧化物230b所需的特性適當地選擇沉積條件及原子個數比來形成。

【0338】注意，較佳為藉由濺射法以不暴露於大氣的方式沉積絕緣膜224A、氧化膜230A及氧化膜230B。例如，使用多室方式沉積裝置即可。由此，可以降低各沉積製程之間氫進入絕緣膜224A、氧化膜230A及氧化膜230B。

【0339】接著，較佳為進行熱處理。熱處理在氧化膜230A、氧化膜230B中不發生多晶化的溫度範圍內進行即可，可以在250℃以上且650℃以下，較佳為在400℃以上且600℃以下進行。熱處理在氮氣體或惰性氣體氛圍或者包含

10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，當在氮氣體和氧氣體的混合氛圍下進行熱處理時，將氧氣體的比例設為20%左右即可。熱處理也可以在減壓狀態下進行。或者，作為熱處理也可以在氮氣體或惰性氣體氛圍下進行熱處理，然後為了填補脫離了的氧在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。

【0340】 此外，在上述熱處理中使用的氣體較佳為被高度純化。例如，在上述熱處理中使用的氣體所包含的水分量為1ppb以下，較佳為0.1ppb以下，更佳為0.05ppb以下即可。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被氧化膜230A、氧化膜230B等吸收。

【0341】 在本實施方式中，作為熱處理，在氮氣體與氧氣體的流量比為4：1且400℃的溫度的條件下進行1小時的處理。藉由這樣的包含氧氣體的熱處理可以減少氧化膜230A及氧化膜230B中的碳、水、氫等雜質。藉由如此減少膜中的雜質，氧化膜230B的結晶性得到提高，可以實現密度更高的緻密結構。因此，可以增大氧化膜230A及氧化膜230B中的結晶區域，可以降低氧化膜230A及氧化膜230B中的結晶區域的面內不均勻。因此，可以降低電晶體200的電特性的面內不均勻。

【0342】 另外，藉由進行熱處理，絕緣體216、絕緣膜224A、氧化膜230A和氧化膜230B中的氫轉移到絕緣體222而被絕緣體222吸收。換言之，絕緣體216、絕緣膜224A、氧化膜230A和氧化膜230B中的氫擴散到絕緣體222。因此，雖然絕緣體222的氫濃度增高，但絕緣體216、絕緣膜224A、氧化膜230A和氧化膜230B中的氫濃度都降低。

【0343】 尤其是，絕緣膜224A被用作電晶體200的閘極絕緣體，氧化膜230A及氧化膜230B被用作電晶體200的通道形成區域。因此，包括氫濃度降低了的絕緣膜224A、氧化膜230A及氧化膜230B的電晶體200具有優異可靠性，所以是較佳的。

【0344】 接著，在氧化膜230B上沉積導電膜242A（參照圖6A至圖6D）。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積導電膜242A。例如，作為導電膜242A利用濺射法沉積氮化鉭即可。此外，在沉積導電膜242A之前也可以進行熱處理。該熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地沉積導電膜242A。藉由進行這種處理，可以去除附著於氧化膜230B的表面的水分及氫，而且減少氧化膜230A、氧化膜230B中的水分濃度及氫濃度。熱處理的溫度較佳為100℃以上且400℃以下。在本實施方式中，將熱處理的溫度設定為200℃。

【0345】 接著，在導電膜242A上沉積絕緣膜271A（參照圖6A至圖6D）。絕緣膜271A可以利用濺射法、CVD法、MBE法、PLD法或ALD法等沉積。作為絕緣膜271A，較佳為使用具有抑制氧的透過的功能的絕緣膜。例如，作為絕緣膜271A藉由濺射法沉積氧化鋁或氮化矽即可。或者，例如，作為絕緣膜271A也可以藉由濺射法沉積氮化矽膜及該氮化矽膜上的氧化矽膜。

【0346】 較佳為藉由濺射法以不暴露於大氣的方式沉積導電膜242A及絕緣膜271A。例如，使用多室方式沉積裝置即可。由此，可以降低膜中的氫而沉積導電膜242A及絕緣膜271A，並且可以降低在各沉積製程之間氫混入膜中。此外，當在絕緣膜271A上形成硬遮罩時，成為該硬遮罩的膜也以不暴露於大氣的方式連續沉積即可。

【0347】接著，利用光微影法將絕緣膜224A、氧化膜230A、氧化膜230B、導電膜242A及絕緣膜271A加工為島狀，形成絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B（參照圖7A至圖7D）。在此，以其至少一部分與導電體205重疊的方式形成絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B。此外，作為上述加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微細加工。另外，也可以在各自不同的條件下進行絕緣膜224A、氧化膜230A、氧化膜230B、導電膜242A及絕緣膜271A的加工。

【0348】注意，在光微影法中，首先藉由遮罩對光阻劑進行曝光。接著，使用顯影液去除或留下所曝光的區域而形成光阻遮罩。接著，可以藉由該光阻遮罩進行蝕刻處理來將導電體、半導體或絕緣體等加工為所希望的形狀。例如，使用KrF準分子雷射、ArF準分子雷射、EUV（Extreme Ultraviolet：極紫外）光等對光阻劑進行曝光來形成光阻遮罩，即可。此外，也可以利用在基板和投影透鏡之間填滿液體（例如，水）的狀態下進行曝光的液浸技術。此外，也可以使用電子束或離子束代替上述光。注意，當使用電子束或離子束時，不需要遮罩。此外，藉由進行灰化處理等乾蝕刻處理、進行濕蝕刻處理、在進行乾蝕刻處理之後進行濕蝕刻處理或者在進行濕蝕刻處理之後進行乾蝕刻處理，可以去除光阻遮罩。

【0349】再者，也可以在光阻遮罩下使用由絕緣體或導電體構成的硬遮罩。當使用硬遮罩時，可以在導電膜242A上形成成為硬遮罩材料的絕緣膜或導電膜且在其上形成光阻遮罩，然後對硬遮罩材料進行蝕刻來形成所希望的形狀的硬遮罩。對導電膜242A等進行的蝕刻既可以在去除光阻遮罩後進行，又可以

不去除光阻遮罩進行。在採用後者的情況下，進行蝕刻時有時光阻遮罩消失。可以在導電膜242A等的蝕刻之後，藉由蝕刻去除硬遮罩。另一方面，在硬遮罩材料沒有影響到後製程或者可以在後製程中使用的情況下，不一定需要去除硬遮罩。在本實施方式中，將絕緣層271B用作硬遮罩。

【0350】 在此，因為絕緣層271B被用作導電層242B的遮罩，所以如圖7B至圖7D所示那樣導電層242B在側面與頂面之間不具有彎曲面。由此，圖1B及圖1D所示的導電體242a及導電體242b的側面與頂面交叉的端部成為角狀。在導電體242的側面與頂面交叉的端部成為角狀時，與該端部具有曲面的情況相比，導電體242的剖面積增大。由此，導電體242的電阻下降，從而可以增大電晶體200的通態電流。

【0351】 另外，如圖7B至圖7D所示，絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的側面形狀也可以為錐形形狀。注意，在本說明書等中，錐形形狀是指組件的側面的至少一部分相對於基板面傾斜地設置的形狀。例如，傾斜的側面和基板面所形成的角度（以下，有時稱為錐角）較佳為小於90°。絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B例如以錐角為60°以上且小於90°的方式形成。在側面具有這樣的錐形形狀時，以後的製程中的絕緣體275等的覆蓋性得到提高，可以減少空洞等缺陷。

【0352】 但是，不侷限於此，也可以採用絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的側面大致垂直於絕緣體222的頂面的結構。藉由採用這樣的結構，在設置多個電晶體200時可以實現小面積化及高密度化。

【0353】 此外，有時在上述蝕刻製程中產生的副產物以層狀形成在絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的側面。在此情況下，該層狀的副產物形成在絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B與絕緣體275間。因此，較佳為去除接觸於絕緣體222的頂面的該層狀的副產物。

【0354】 接著，以覆蓋絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的方式沉積絕緣體275（參照圖8A至圖8D）。在此，絕緣體275較佳為與絕緣體222的頂面及絕緣體224的側面密接。絕緣體275可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣體275較佳為使用抑制氧透過的功能的絕緣膜。例如，作為絕緣體275可以利用ALD法沉積氮化矽。或者，作為絕緣體275可以利用濺射法沉積氧化鋁且在其上利用PEALD法沉積氮化矽。在絕緣體275具有這種疊層結構時，抑制水、氫等雜質及氧的擴散的功能有時得到提高。

【0355】 如此，可以由具有抑制氧擴散的功能的絕緣體275及絕緣層271B覆蓋氧化物230a、氧化物230b及導電層242B。由此，可以抑制在後面製程中氧從絕緣體280等直接擴散到絕緣體224、氧化物230a、氧化物230b及導電層242B中。

【0356】 接著，在絕緣體275上沉積成為絕緣體280的絕緣膜。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積該絕緣膜。例如，作為該絕緣膜藉由濺射法沉積氧化矽膜即可。藉由在含氧氛圍下使用濺射法沉積該絕緣膜，可以形成包含過量氧的絕緣體280。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體280中的氫濃度。此外，在沉積該絕緣

膜之前也可以進行熱處理。該熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地沉積該絕緣膜。藉由進行這種處理，可以去除附著於絕緣體275的表面等的水分及氫，而且減少氧化物230a、氧化物230b及絕緣體224中的水分濃度及氫濃度。該熱處理可以採用上述熱處理的條件。

【0357】 接著，藉由對成為絕緣體280的絕緣膜進行CMP處理，形成其頂面平坦的絕緣體280（參照圖8A至圖8D）。此外，也可以在絕緣體280上例如藉由濺射法沉積氮化矽，直到該氮化矽到達絕緣體280為止進行CMP處理。

【0358】 接著，加工絕緣體280的一部分、絕緣體275的一部分及絕緣層271B的一部分來形成到達導電層242B及絕緣體222的開口258及開口158（參照圖9A至圖9D）。如圖9C及圖9D所示，在開口258及開口158各自中，絕緣體224的側面、氧化物230a的側面、氧化物230b的側面以及導電層242B的頂面及側面露出。此外，藉由形成開口258來形成絕緣體271a及絕緣體271b。

【0359】 在此，如圖9B所示，將從電晶體的通道長度方向的剖面看時的開口258的寬度設定為距離L1。

【0360】 如圖9A所示，開口258及開口158較佳為具有在平行於直線A3-A4的方向（電晶體的通道寬度方向）上延伸形成的結構。如此，藉由形成開口258及開口158，可以延伸設置後面形成的導電體260及導電體160並將其用作佈線。此外，開口258較佳為以與導電體205重疊的方式形成。

【0361】 如圖9B至圖9D所示，較佳的是，構成開口258及開口158的內壁的絕緣體280、絕緣體275及絕緣體271的側面大致垂直且不具有錐形形狀。

【0362】 此外，可以利用乾蝕刻法或濕蝕刻法對絕緣體280的一部分、絕緣體275的一部分及絕緣層271B的一部分進行加工。利用乾蝕刻法的加工適合

於微細加工。此外，該加工也可以在互不相同的條件下進行。例如，也可以利用乾蝕刻法對絕緣體280的一部分進行加工，利用濕蝕刻法對絕緣體275的一部分及絕緣層271B的一部分進行加工。

【0363】 接著，覆蓋絕緣體280及開口158形成遮罩層259（參照圖10A至圖10D）。遮罩層259具有與開口258的一部分重疊的開口263。作為遮罩層259，例如使用光阻劑即可。此時，為了提高光阻劑的緊密性，較佳為將SOG（Spin On Glass：旋塗玻璃）膜或SOC（Spin On Carbon：旋塗碳）膜等有機塗佈膜設置在該光阻劑下。此外，也可以在光阻劑下使用由絕緣體或導電體構成的硬遮罩。

【0364】 在此，如圖10B所示，將從電晶體的通道長度方向的剖面看時的開口263的寬度設定為距離L2。如圖10B所示，在從電晶體的通道長度方向的剖面看時，距離L2短於距離L1，開口263形成在開口258的內部。因此，遮罩層259的底面的一部分在開口258的內部與導電層242B的頂面接觸。

【0365】 因為開口263的寬度反映到導電體242a與導電體242b之間的距離，所以較佳為使距離L2微小。例如，距離L2較佳為60nm以下、50nm以下、40nm以下、30nm以下、20nm以下或10nm以下且為1nm以上或5nm以上。

【0366】 如此，為了對開口263進行微細加工，較佳為使用EUV光等短波長的光或利用電子束的光微影法。

【0367】 如上所述，藉由在寬度為距離L1的開口258的內部設置具有寬度為距離L2的開口263的遮罩層259，可以以有餘地的方式設置開口263。因此，可以較容易地形成微型結構的通道。

【0368】 接著，使用遮罩層259去除導電層242B的從遮罩層259露出的部分使氧化物230b露出。因此，可以形成導電體242a及導電體242b（參照圖11A至圖11D）。

【0369】 導電層242B的一部分的加工較佳為利用各向異性蝕刻進行。尤其是，利用乾蝕刻法的加工適合於微細加工，所以是較佳的。藉由利用各向異性蝕刻對導電層242B進行加工，可以以大致垂直於氧化物230b的頂面的方式形成導電體242a和導電體242b的相對的側面。藉由採用這種結構，可以在區域230ba和區域230bc之間以及區域230bb和區域230bc之間不容易形成所謂的Loff區域。由此，可以提高電晶體200的頻率特性來提高根據本發明的一個實施方式的半導體裝置的工作速度。

【0370】 在形成導電體242a及導電體242b之後去除遮罩層259即可。當作為遮罩層259使用光阻遮罩時，藉由進行灰化處理等乾蝕刻處理、進行濕蝕刻處理、在進行乾蝕刻處理之後進行濕蝕刻處理或者在進行濕蝕刻處理之後進行乾蝕刻處理，可以去除遮罩層259。

【0371】 由於上述蝕刻處理，有時雜質附著於氧化物230a的側面、氧化物230b的頂面及側面、導電體242的側面以及絕緣體280的側面等或者該雜質擴散到它們的內部。此外，也可以進行去除這些雜質的製程。另外，有時因上述乾蝕刻而在氧化物230b的表面上形成損傷區域。此外，也可以去除這樣的損傷區域。作為該雜質，可以舉出起因於如下成分等的雜質：絕緣體280、絕緣體275、絕緣層271B的一部分及導電層242B所包含的成分；包含於形成上述開口時使用的裝置所使用的構件中的成分；用於蝕刻的氣體或液體所包含的成分等。作為該雜質，例如有鈐、鋁、矽、鉭、氟、氯等。

【0372】 尤其是，鋁、矽等雜質有時導致氧化物230b的結晶性下降。因此，在氧化物230b的表面及其附近較佳為去除鋁、矽等雜質。此外，該雜質的濃度較佳為得到降低。例如，氧化物230b的表面及其附近的鋁原子的濃度可以為5.0原子%以下，較佳為2.0原子%以下，更佳為1.5原子%以下，進一步較佳為1.0原子%以下，尤其較佳為小於0.3原子%。

【0373】 由於鋁、矽等雜質，在氧化物230b的結晶性低的區域中結晶結構的緻密度降低，所以產生大量V_OH而電晶體容易被常開啟化。由此，較佳為減少或去除氧化物230b的結晶性低的區域。

【0374】 相對於此，氧化物230b較佳為具有層狀的CAAC結構。尤其是，較佳為氧化物230b的汲極的下端部也具有CAAC結構。在此，在電晶體200中，導電體242a或導電體242b及其附近被用作汲極。換言之，導電體242a（導電體242b）的下端部附近的氧化物230b較佳為具有CAAC結構。如此，藉由去除對汲極耐壓帶來顯著影響的汲極端部中的氧化物230b的結晶性低的區域而使其具有CAAC結構，可以進一步抑制電晶體200的電特性的變動。此外，可以進一步提高電晶體200的可靠性。

【0375】 為了去除在上述蝕刻製程中附著於氧化物230b表面的雜質等，進行洗滌處理。作為洗滌方法，有使用洗滌液等的濕式洗滌（也可以稱為濕蝕刻處理）、使用電漿的電漿處理、使用熱處理的洗滌等，也可以適當地組合上述洗滌。注意，藉由進行該洗滌處理有時上述槽部變深。

【0376】 作為濕式洗滌，可以使用用碳酸水或純水稀釋氨水、草酸、磷酸或氫氟酸等而成的水溶液、純水或碳酸水等進行洗滌處理。或者，可以使用

上述水溶液、純水或碳酸水進行超聲波洗滌。或者，也可以適當地組合上述洗滌。

【0377】 注意，在本說明書等中，有時將用純水稀釋氫氟酸的水溶液稱為稀氫氟酸且將用純水稀釋氨水的水溶液稱為稀氨水。此外，該水溶液的濃度、溫度等根據要去除的雜質、被洗滌的半導體裝置的結構等適當地調整即可。稀氨水的氨濃度設定為0.01%以上且5%以下，較佳為設定為0.1%以上且0.5%以下即可。此外，稀氫氟酸的氟化氫濃度設定為0.01ppm以上且100ppm以下，較佳為設定為0.1ppm以上且10ppm以下即可。

【0378】 此外，作為超聲波洗滌較佳為使用200kHz以上的頻率，更佳為使用900kHz以上的頻率。藉由使用該頻率，可以降低對氧化物230b等造成的損傷。

【0379】 此外，可以多次進行上述洗滌處理，也可以按每個洗滌處理改變洗滌液。例如，也可以作為第一洗滌處理進行使用稀氫氟酸或稀氨水的處理，作為第二洗滌處理進行使用純水或碳酸水的處理。

【0380】 作為上述洗滌處理，在本實施方式中，使用稀氨水進行濕式洗滌。藉由進行該洗滌處理，可以去除附著於氧化物230a、氧化物230b等的表面或者擴散到其內部的雜質。並且，可以提高氧化物230b的結晶性。

【0381】 在上述蝕刻或上述洗滌後也可以進行熱處理。熱處理以100℃以上且450℃以下，較佳為以350℃以上且400℃以下進行即可。熱處理在氮氣體、惰性氣體或包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，熱處理較佳為在氧氛圍下進行。由此，對氧化物230a及氧化物230b供應氧，從而可以減少氧空位。此外，藉由進行上述熱處理，可以提高氧化物

230b的結晶性。熱處理也可以在減壓狀態下進行。或者，也可以在氧氛圍下進行熱處理，然後以不暴露於大氣的方式在氮氛圍下連續地進行熱處理。

【0382】 接著，沉積絕緣膜252A（參照圖12A至圖12D）。絕緣膜252A是後面的製程中成為絕緣體252及絕緣體152的絕緣膜。絕緣膜252A可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣膜252A較佳為利用ALD法沉積。如上所述，絕緣膜252A較佳為沉積得薄，需要將厚度不均勻性抑制為小。對此，ALD法是交替地導入前驅物及反應物（例如，氧化劑等）進行的沉積方法，由於厚度可以根據反復該循環的次數進行調整，所以可以精密地調整厚度。另外，如圖12B及圖12C所示，絕緣膜252A需要以高覆蓋性沉積在開口258及開口158的底面及側面。尤其是，在開口258中絕緣膜252A較佳為以高覆蓋性沉積在氧化物230的頂面及側面、導電體242的側面。此外，在開口158中絕緣膜252A較佳為以高覆蓋性沉積在導電體242b的側面及頂面。由於可以在上述開口的底面及側面上沉積每一層的原子層，所以可以在該開口中以高覆蓋性沉積絕緣膜252A。

【0383】 另外，當利用ALD法沉積絕緣膜252A時，作為氧化劑可以使用臭氧（O_3）、氧（O_2）、水（H_2O）等。藉由使用不包含氫的臭氧（O_3）、氧（O_2）等作為氧化劑，可以減少擴散到氧化物230b的氫。

【0384】 在本實施方式中，作為絕緣膜252A藉由熱ALD法沉積氧化鋁。

【0385】 接著，沉積絕緣膜250A（參照圖12A至圖12D）。絕緣膜250A是在後面製程中成為絕緣體250及絕緣體150的絕緣膜。在此，也可以在沉積絕緣膜250A之前進行熱處理，並且較佳的是，該熱處理在減壓下進行，以不暴露於大氣的方式連續沉積絕緣膜250A。此外，該熱處理較佳為在包含氧的氛圍下進

行。藉由進行這種處理，可以去除附著於絕緣膜252A的表面等的水分及氫，而且減少氧化物230a、氧化物230b中的水分濃度及氫濃度。熱處理的溫度較佳為100℃以上且400℃以下。

【0386】 可以利用濺射法、CVD法、PECVD法、MBE法、PLD法、ALD法等沉積絕緣膜250A。絕緣膜250A較佳為使用減少或去除氫原子的氣體的沉積方法沉積。由此，可以降低絕緣膜250A的氫濃度。絕緣膜250A在後面製程中成為隔著厚度較小的絕緣體252與氧化物230b相對的絕緣體250，所以如此那樣氫濃度得到降低是較佳的。

【0387】 在本實施方式中，作為絕緣膜250A藉由PECVD法沉積氧氮化矽。

【0388】 接著，較佳為在含氧氛圍下進行微波處理（參照圖12A至圖12D）。在此，微波處理例如是指使用包括利用微波生成高密度電漿的電源的裝置的處理。此外，在本說明書等中，微波是指具有300MHz以上且300GHz以下的頻率的電磁波。

【0389】 圖12B至圖12D所示的點線表示微波、RF等高頻、氧電漿或氧自由基等。微波處理例如較佳為使用包括用微波產生高密度電漿的電源的微波處理裝置。在此，將微波處理裝置的頻率設定為300MHz以上且300GHz以下，較佳為2.4GHz以上且2.5GHz以下，例如為2.45GHz即可。藉由使用高密度電漿，可以生成高密度的氧自由基。另外，微波處理裝置的施加微波的電源的功率為1000W以上且10000W以下，較佳為2000W以上且5000W以下即可。此外，微波處理裝置也可以包括對基板一側施加RF的電源。此外，藉由對基板一側施加RF，可以將由高密度電漿生成的氧離子高效地導入到氧化物230b中。

【0390】 此外，上述微波處理較佳為在減壓下進行，壓力為10Pa以上且1000Pa以下，較佳為300Pa以上且700Pa以下即可。此外，處理溫度為750℃以下，較佳為500℃以下，例如為250℃左右即可。此外，也可以在進行氧電漿處理之後以不暴露於大氣的方式連續進行熱處理。例如，處理溫度為100℃以上且750℃以下，較佳為300℃以上且500℃以下即可。

【0391】 另外，例如，上述微波處理使用氧氣體及氬氣體進行即可。在此，氧流量比（O_2/（O_2+Ar））大於0%且為100%以下，較佳為大於0%且為50%以下，更佳為10%以上且40%以下，進一步較佳為10%以上且30%以下即可。如此，藉由在含氧氛圍下進行微波處理，可以降低區域230bc中的載子濃度。另外，藉由在微波處理中防止對處理室導入過多的氧，可以防止在區域230ba及區域230bb中載子濃度過度地降低。

【0392】 如圖12B至圖12D所示，藉由在含氧氛圍下進行微波處理，可以使用微波或RF等高頻使氧氣體電漿化而使該氧電漿作用於氧化物230b的導電體242a與導電體242b間的區域。此時，也可以將微波或RF等高頻照射到區域230bc。換言之，可以使該微波或RF等高頻、氧電漿等在圖2A所示的區域230bc中作用。藉由電漿、微波等的作用，可以使區域230bc的V_OH分開來從區域230bc去除氫。換言之，可以減少包含在區域230bc中的V_OH。因此，可以減少區域230bc中的氧空位及V_OH而降低載子濃度。此外，藉由對形成在區域230bc中的氧空位供應在上述氧電漿中產生的氧自由基或包含在絕緣體250中的氧，可以進一步降低區域230bc中的氧空位，由此可以降低載子濃度。

【0393】 另一方面，在圖2A所示的區域230ba及區域230bb上設置導電體242a及導電體242b。在此，導電體242較佳為被用作在含氧氛圍下進行微波處

理時保護免受微波、RF等高頻或氧電漿等的作用的遮蔽膜。由此，導電體242較佳為具有遮蔽300MHz以上且300GHz以下，例如2.4GHz以上且2.5GHz以下的電磁波的功能。

【0394】 如圖12B至圖12D所示，導電體242a及導電體242b遮蔽微波或RF等高頻、氧電漿等的作用，所以不作用於區域230ba及區域230bb。由此，在區域230ba及區域230bb中不發生因微波處理引起的V_OH的下降及過多的氧的供應，所以可以防止載子濃度的降低。

【0395】 另外，以與導電體242a及導電體242b的側面接觸的方式設置有具有氧阻擋性的絕緣體252。因此，可以抑制因微波處理而氧化膜形成在導電體242a及導電體242b的側面。

【0396】 由於可以提高絕緣體252及絕緣體250a的膜品質，電晶體200的可靠性得到提高。

【0397】 如上所述，可以在氧化物半導體的區域230bc中選擇性地去除氧空位及V_OH而使區域230bc成為i型或實質上i型。並且，可以抑制被用作源極區域或汲極區域的區域230ba及區域230bb被供應過多的氧而保持導電性。由此，可以抑制電晶體200的電特性變動而抑制在基板面內電晶體200的電特性不均勻。

【0398】 另外，在微波處理中，有時由於微波與氧化物230b中的分子的電磁相互作用而對氧化物230b直接傳遞熱能量。有時因該熱能量而氧化物230b被加熱。有時將該熱處理稱為微波退火。藉由在含氧氛圍下進行微波處理，有時可以得到與氧退火相等的效果。另外，可認為：在氧化物230b包含氫時，上述熱能量傳遞到氧化物230b中的氫而被活性化的氫從氧化物230b釋放。

【0399】上述微波處理也可以在沉積絕緣膜252A之後進行。此外，也可以在沉積絕緣膜252A之後進行微波處理而不進行沉積絕緣膜250A之後的微波處理。

【0400】當作為絕緣體250採用圖2B所示的兩層的疊層結構時，在沉積上述絕緣膜250A之後沉積成為絕緣體250b的絕緣膜即可。此時，成為絕緣體250b的絕緣膜沉積在開口258及開口258中。成為絕緣體250b的絕緣膜可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。成為絕緣體250b的絕緣膜較佳為使用具有抑制氧的擴散的功能的絕緣體形成。藉由採用這種結構，可以抑制包含在絕緣體250a中的氧擴散到導電體260。換言之，可以抑制對氧化物230供應的氧量的減少。此外，可以抑制因包含在絕緣體250a中的氧導致的導電體260的氧化。成為絕緣體250b的絕緣膜可以使用與絕緣體222同樣的材料設置。例如，作為成為絕緣體250b的絕緣膜利用熱ALD法沉積氧化鉿即可。

【0401】注意，在絕緣體250具有圖2B所示的兩層疊層結構時，也可以在沉積絕緣膜250A之後進行上述微波處理。另外，也可以在沉積成為絕緣體250b的絕緣膜之後進行微波處理而不進行沉積絕緣膜250A後的微波處理。

【0402】另外，也可以在沉積絕緣膜252A、絕緣膜250A後以及沉積成為絕緣體250b的絕緣膜後的微波處理之後保持減壓狀態下進行熱處理。藉由進行這種處理，可以高效地去除絕緣膜252A中、絕緣膜250A中、成為絕緣體250b的絕緣膜中、氧化物230b中及氧化物230a中的氫。此外，氫的一部分有時被導電體242（導電體242a及導電體242b）吸雜。此外，也可以反復在進行微波處理之後保持減壓狀態進行熱處理的步驟。藉由反復進行熱處理，可以進一步高效地去除絕緣膜252A中、絕緣膜250A中、成為絕緣體250b的絕緣膜中、氧化

物230b中及氧化物230a中的氫。注意，熱處理溫度較佳為300℃以上且500℃以下。上述微波處理，即微波退火也可以兼作該熱處理。在藉由微波退火氧化物230b等充分地被加熱時，也可以不進行該熱處理。

【0403】 此外，藉由進行微波處理而改變絕緣膜252A、絕緣膜250A及成為絕緣體250b的絕緣膜的膜品質，可以抑制氫、水、雜質等的擴散。由此，可以抑制因成為導電體260的導電膜的沉積等後製程或熱處理等後處理而氫、水、雜質等經過絕緣體252擴散到氧化物230b、氧化物230a等。

【0404】 接著，沉積絕緣膜254A（參照圖13A至圖13D）。絕緣膜254A是在後面製程中成為絕緣體254及絕緣體154的絕緣膜。絕緣膜254A可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。與絕緣膜252A同樣，絕緣膜254A較佳為利用ALD法沉積。藉由利用ALD法，可以以高覆蓋性沉積較薄的絕緣膜254A。在本實施方式中，作為絕緣膜254A利用PEALD法沉積氮化矽。

【0405】 接著，依次沉積成為導電體260a及導電體160a的導電膜、成為導電體260b及導電體160b的導電膜。成為導電體260a及導電體160a的導電膜以及成為導電體260b及導電體160b的導電膜可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。在本實施方式中，利用ALD法沉積氮化鈦作為成為導電體260a及導電體160a的導電膜，利用CVD法沉積鎢作為成為導電體260b及導電體160b的導電膜。

【0406】 接著，藉由CMP處理直到使絕緣體280露出為止對絕緣膜252A、絕緣膜250A、絕緣膜254A、成為導電體260a及導電體160a的導電膜以及成為導電體260b及導電體160b的導電膜進行拋光。就是說，去除絕緣膜252A、絕緣膜250A、絕緣膜254A、成為導電體260a及導電體160a的導電膜以及成為導電體

260b及導電體160b的導電膜中的從開口258及開口158露出的部分。由此，在開口258中形成絕緣體252、絕緣體250、絕緣體254及導電體260（導電體260a及導電體260b），在開口158中形成絕緣體152、絕緣體150、絕緣體154及導電體160（導電體160a及導電體160b）（參照圖14A至圖14D）。

【0407】 因此，絕緣體252以接觸於與氧化物230b重疊的開口258的內壁及側面的方式設置。此外，導電體260以隔著絕緣體252、絕緣體250及絕緣體254嵌入開口258的方式配置。因此，形成電晶體200。

【0408】 此外，絕緣體152以接觸於與導電體242b重疊的開口158的內壁及側面的方式設置。此外，導電體160以隔著絕緣體152、絕緣體150及絕緣體154嵌入開口158的方式配置。因此，形成電容器100。

【0409】 如上所述，可以藉由相同製程同時製造電晶體200和電容器100。如此，可以分別利用同一材料形成絕緣體252與絕緣體152、絕緣體250與絕緣體150、絕緣體254與絕緣體154、導電體260a與導電體160a以及導電體260b與導電體160b。由此，可以減少包括電晶體200及電容器100的半導體裝置的製程中的製程數。

【0410】 接著，也可以在與上述熱處理同樣的條件下進行熱處理。在本實施方式中，在氮氛圍下以400℃的溫度進行1小時的處理。藉由該熱處理，可以減少絕緣體250及絕緣體280中的水分濃度及氫濃度。此外，在上述熱處理之後，以不暴露於大氣的方式連續地進行絕緣體282的沉積。

【0411】 接著，在絕緣體252、絕緣體250、導電體260、絕緣體152、絕緣體150、導電體160及絕緣體280上形成絕緣體282（參照圖14A至圖14D）。絕緣體282可以藉由濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣

體282較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體282中的氫濃度。

【0412】 在本實施方式中，作為絕緣體282在包含氧氣體氛圍下使用鋁靶材藉由脈衝DC濺射法沉積氧化鋁。藉由使用脈衝DC濺射法，可以使厚度更均勻而提高濺射速率及膜品質。另外，將對基板施加的RF功率設定為1.86W/cm^{2}以下。較佳為0W/cm^{2}以上且0.62W/cm^{2}以下。藉由降低RF功率，可以抑制注入到絕緣體280中的氧量。或者，也可以形成具有兩層的疊層結構的絕緣體282。此時，將對基板施加的RF功率設定為0W/cm^{2}來形成絕緣體282的下層，將對基板施加的RF功率設定為0.62W/cm^{2}來形成絕緣體282的上層。

【0413】 另外，藉由使用濺射法在含氧氛圍下沉積絕緣體282，可以在進行沉積的同時對絕緣體280添加氧。由此，可以使絕緣體280包含過量氧。此時，較佳為在加熱基板的同時沉積絕緣體282。

【0414】 接著，藉由光微影法在絕緣體282上形成蝕刻遮罩，直到使絕緣體214的頂面露出為止對絕緣體282的一部分、絕緣體280的一部分、絕緣體275的一部分、絕緣體222的一部分及絕緣體216的一部分進行加工（參照圖15A至圖15D）。在進行該加工時，可以使用濕蝕刻，但是對微細加工來說乾蝕刻是較佳的。

【0415】 接著，也可以進行熱處理。熱處理以250℃以上且650℃以下的溫度，較佳為以350℃以上且600℃以下的溫度進行即可。另外，該熱處理較佳為以低於沉積氧化膜230B後進行的熱處理溫度進行。此外，熱處理在氮氣體或惰性氣體氛圍下進行。藉由進行該熱處理，添加到絕緣體280的氧的一部分經過絕緣體250等而擴散到氧化物230。

【0416】藉由進行該熱處理，可以從因加工絕緣體282、絕緣體280、絕緣體275、絕緣體222及絕緣體216而形成的絕緣體280的側面向外部釋放包含在絕緣體280中的氧及鍵合於該氧的氫。注意，鍵合於氧的氫被釋放為水。因此，可以減少包含在絕緣體280中的不需的氧以及氫。

【0417】並且，在氧化物230的與導電體260重疊的區域中，以與氧化物230的頂面及側面接觸的方式設置有絕緣體252。絕緣體252具有氧阻擋性，因此可以減少過多的氧擴散到氧化物230。由此，可以以避免過多的氧的供應的方式將氧供應到區域230bc及其附近。由此，可以在抑制過多的氧導致導電體242的側面的氧化的同時減少形成在區域230bc中的氧空位及V_OH。因此，可以提高電晶體200的電特性及可靠性。

【0418】另一方面，當使電晶體200高密度集成化時，有時相對於一個電晶體200的絕緣體280的體積過小。此時，在上述熱處理中，擴散到氧化物230的氧之量顯著少。當在氧含量不十分的氧化絕緣體（例如，絕緣體250等）接觸的狀態下對氧化物230進行加熱時，構成氧化物230的氧有可能脫離。但是，在本實施方式所示的電晶體200中，在氧化物230的與導電體260重疊的區域中，以與氧化物230的頂面及側面接觸的方式設置有絕緣體252。因為絕緣體252具有氧阻擋性，所以上述熱處理中也可以減少氧從氧化物230脫離。由此，可以減少形成在區域230bc中的氧空位及V_OH。因此，可以提高電晶體200的電特性及可靠性。

【0419】如上所述，在根據本實施方式的半導體裝置中，在絕緣體280所供應的氧量較多的情況和絕緣體280所供應的氧量較少的情況下，都可以形成

具有良好的電特性及高可靠性的電晶體。因此，可以提供一種基板面內的電晶體200的電特性不均勻得到抑制的半導體裝置。

【0420】 接著，在絕緣體282上形成絕緣體283（參照圖16A至圖16D）。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積絕緣體283。絕緣體283較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體283中的氫濃度。此外，絕緣體283也可以採用多層結構。例如，可以藉由濺射法沉積氮化矽，並在該氮化矽上藉由ALD法沉積氮化矽。藉由使用阻擋性高的絕緣體283及絕緣體214包圍電晶體200，可以防止水分及氫從外部進入。

【0421】 接著，在絕緣體283上形成成為絕緣體274的絕緣膜。該絕緣膜可以藉由濺射法、CVD法、MBE法、PLD法、ALD法等沉積。在本實施方式中，作為該絕緣膜利用CVD法沉積氧化矽。

【0422】 接著，藉由使用CMP處理直到絕緣體283露出為止對成為絕緣體274的絕緣膜進行拋光，來使該絕緣膜的頂面平坦來形成絕緣體274（參照圖16A至圖16D）。有時藉由該CMP處理絕緣體283的頂面的一部分被去除。

【0423】 接著，在絕緣體274及絕緣體283上形成絕緣體285（參照圖17A至圖17D）。絕緣體285可以藉由濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣體285較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體285中的氫濃度。

【0424】 在本實施方式中，作為絕緣體285藉由濺射法沉積氧化矽。

【0425】 接著，在絕緣體271、絕緣體275、絕緣體280、絕緣體282、絕緣體283及絕緣體285中形成到達導電體242a的開口（參照圖17A及圖17B）。在

形成該開口時，可以利用光微影法。注意，在圖17A中該開口在俯視時的形狀為圓形，但是不侷限於此。例如，在俯視時，該開口也可以具有橢圓等大致圓形形狀、四角形等多角形形狀、使四角形等多角形的角部帶弧形的形狀。

【0426】 接著，沉積成為絕緣體241的絕緣膜，並對該絕緣膜進行各向異性蝕刻來形成絕緣體241（參照圖17B）。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積該絕緣膜。作為該絕緣膜，較佳為使用具有抑制氧的透過的功能的絕緣膜。例如，較佳為藉由ALD法沉積氧化鋁膜，在其上使用PEALD法沉積氮化矽膜。氮化矽對氫具有高阻擋性，所以是較佳的。

【0427】 此外，作為對成為絕緣體241的絕緣膜進行的各向異性蝕刻，例如可以採用乾蝕刻法等。藉由在開口的側壁部設置絕緣體241，可以抑制來自外部的氧的透過，並防止接下來要形成的導電體240的氧化。此外，可以防止包含在絕緣體280等中的水、氫等雜質擴散到導電體240。

【0428】 接著，形成成為導電體240的導電膜。該導電膜較佳為具有包含具有抑制水、氫等雜質的透過的功能的導電體的疊層結構。例如，可以具有氮化鉭、氮化鈦等與鎢、鉬、銅等的疊層。可以利用濺射法、CVD法、MBE法、PLD法或ALD法等沉積該導電膜。

【0429】 接著，藉由進行CMP處理，去除成為導電體240的導電膜的一部分，使絕緣體285的頂面露出。其結果是，上述導電膜只殘留在上述開口中，由此可以形成其頂面平坦的導電體240（參照圖17A至圖17D）。注意，有時由於該CMP處理而絕緣體285的頂面的一部分被去除。

【0430】 接著，沉積成為導電體246的導電膜。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積該導電膜。

【0431】 接著，藉由光微影法對成為導電體246的導電膜進行加工，來形成與導電體240的頂面接觸的導電體246。此時，導電體246與絕緣體285不重疊的區域的絕緣體285的一部分有時被去除。

【0432】 藉由上述製程，可以製造包括圖1A至圖1D所示的電晶體200的半導體裝置。如圖5A至圖17D所示，藉由使用本實施方式所示的半導體裝置的製造方法，可以藉由同一製程製造電容器100和電晶體200。因此，可以減少包括電容器100和電晶體200的半導體裝置的製程。

【0433】

<微波處理裝置>

以下，說明可以在上述半導體裝置的製造方法中使用的微波處理裝置。

【0434】 首先，參照圖18至圖21對製造半導體裝置等時雜質混入較少的製造裝置的結構進行說明。

【0435】 圖18示意性地示出單片式多室製造裝置2700的俯視圖。製造裝置2700包括：具備收納基板的盒式介面（cassette port）2761和進行基板對準的對準機2762的大氣側基板供應室2701；從大氣側基板供應室2701傳送基板的大氣側基板傳送室2702；進行基板的搬入且將室內的壓力從大氣壓切換為減壓或從減壓切換為大氣壓的負載鎖定室2703a；進行基板的搬出且將室內的壓力從減壓切換為大氣壓或從大氣壓切換為減壓的卸載閉鎖室2703b；在真空中進行基板的傳送的傳送室2704；處理室2706a；處理室2706b；處理室2706c；以及處理室2706d。

【0436】 此外，大氣側基板傳送室2702與負載鎖定室2703a以及卸載閉鎖室2703b連接，負載鎖定室2703a以及卸載閉鎖室2703b與傳送室2704連接，傳送室2704與處理室2706a、處理室2706b、處理室2706c以及處理室2706d連接。

【0437】 在各室之間的連接部設置有閘閥GV，由此除了大氣側基板供應室2701及大氣側基板傳送室2702以外，各室可以獨立地保持為真空狀態。在大氣側基板傳送室2702中設置有傳送機器人2763a，並且在傳送室2704中設置有傳送機器人2763b。藉由利用傳送機器人2763a及傳送機器人2763b可以在製造裝置2700中傳送基板。

【0438】 傳送室2704及各處理室的背壓（全壓）例如為1×10^{-4}Pa以下，較佳為3×10^{-5}Pa以下，更佳為1×10^{-5}Pa以下。傳送室2704及各處理室的質量電荷比（m/z）是18的氣體分子（原子）的分壓例如為3×10^{-5}Pa以下，較佳為1×10^{-5}Pa以下，更佳為3×10^{-6}Pa以下。此外，傳送室2704及各處理室的m/z是28的氣體分子（原子）的分壓例如為3×10^{-5}Pa以下，較佳為1×10^{-5}Pa以下，更佳為3×10^{-6}Pa以下。傳送室2704及各處理室的m/z是44的氣體分子（原子）的分壓例如為3×10^{-5}Pa以下，較佳為1×10^{-5}Pa以下，更佳為3×10^{-6}Pa以下。

【0439】 傳送室2704及各處理室內的全壓及分壓可以使用電離真空計、質量分析器等測量。

【0440】 另外，傳送室2704及各處理室較佳為具有外部洩漏或內部洩漏少的結構。例如，傳送室2704的洩漏率為1×10^{0}Pa/min以下，較佳為5×10^{-1}Pa/min以下。另外，各處理室的洩漏率為1×10^{-1}Pa/min以下，較佳為5×10^{-2}Pa/min以下。

【0441】洩漏率從利用電離真空計、質量分析器等測量的全壓及分壓導出即可。例如，從利用渦輪分子泵等真空泵開始抽空後經過10分鐘時的全壓以及閥關閉後經過10分鐘時的全壓導出即可。注意，上述開始抽空後經過10分鐘時的全壓較佳為多次測量該全壓時的平均值。

【0442】洩漏率取決於外部洩漏及內部洩漏。外部洩漏是指由於微小的孔或密封不良等，氣體從真空系統的外部流入的現象。內部洩漏起因於來自真空系統中的閥等隔板的洩漏或來自內部構件的釋放氣體。為了將洩漏率設定為上述數值以下，需要從外部洩漏及內部洩漏的兩個方面採取措施。

【0443】例如，較佳為使用金屬墊片對傳送室2704及各處理室的開閉部分進行密封。金屬墊片較佳為使用由氟化鐵、氧化鋁或氧化鉻覆蓋的金屬。金屬墊片的緊密性比O形環高，因此可以降低外部洩漏。藉由利用由氟化鐵、氧化鋁、氧化鉻等覆蓋的金屬的鈍態，可以抑制從金屬墊片釋放的包含雜質的釋放氣體，由此可以降低內部洩漏。

【0444】作為構成製造裝置2700的構件，使用包含雜質的釋放氣體少的鋁、鉻、鈦、鋯、鎳或釩。另外，也可以使用上述包含雜質的釋放氣體少的金屬覆蓋含有鐵、鉻及鎳等的合金。含有鐵、鉻及鎳等的合金具有剛性和耐熱性且適於加工。在此，藉由進行拋光等減少構件表面上的凹凸以縮小表面積，可以減少釋放氣體。

【0445】或者，也可以使用氟化鐵、氧化鋁、氧化鉻等覆蓋上述製造裝置2700的構件。

【0446】製造裝置2700的構件較佳為儘量只由金屬構成，例如當設置由石英等構成的觀察窗（viewing window）等時，為了抑制釋放氣體，較佳為由其厚度小的氟化鐵、氧化鋁或氧化鉻等覆蓋觀察窗的表面。

【0447】雖然存在於傳送室2704及各處理室內的附著物附著於內壁等而不影響到傳送室2704及各處理室的壓力，但是該附著物成為對傳送室2704及各處理室進行排氣時產生的氣體釋放的原因。因此，雖然洩漏率與排氣速度不相關，但是使用排氣能力高的泵儘量地使存在於傳送室2704及各處理室內的附著物脫離並預先進行排氣是重要的。為了促進附著物的脫離，也可以對傳送室2704及各處理室進行烘烤。藉由進行烘烤，可以將附著物的脫離速度提高到10倍左右。烘烤以100°C以上且450°C以下進行即可。此時，藉由在將惰性氣體導入傳送室2704及各處理室的同時去除附著物，可以進一步提高僅藉由排氣不容易脫離的水等的脫離速度。此外，藉由將導入的惰性氣體加熱到與烘烤溫度相同程度的溫度，可以進一步提高附著物的脫離速度。這裡，作為惰性氣體較佳為使用高貴氣體。

【0448】此外，較佳為藉由導入被加熱的高貴氣體等惰性氣體或氧等提高傳送室2704及各處理室內的壓力，並在經過一定時間之後再次對傳送室2704及各處理室進行排氣處理。可以由被加熱的氣體的導入使傳送室2704及各處理室內的附著物脫離，由此可以減少存在於傳送室2704及各處理室內的雜質。有效的是將該處理反復進行2次以上且30次以下，較佳為5次以上且15次以下。明確地說，藉由導入40°C以上且400°C以下，較佳為50°C以上且200°C以下的惰性氣體或氧等來將傳送室2704及各處理室內的壓力設定為0.1Pa以上且10kPa以下，較佳為1Pa以上且1kPa以下，更佳為5Pa以上且100Pa以下，並將保持壓力

的期間設定為1分鐘以上且300分鐘以下，較佳為5分鐘以上且120分鐘以下，即可。然後，對傳送室2704及各處理室進行排氣5分鐘以上且300分鐘以下，較佳為10分鐘以上且120分鐘以下。

【0449】 接著，使用圖19所示的剖面示意圖說明處理室2706b及處理室2706c。

【0450】 處理室2706b及處理室2706c例如是能夠對被處理物進行微波處理的處理室。注意，處理室2706b與處理室2706c的不同之處僅在於進行微波處理時的氛圍。因為處理室2706b和處理室2706c的其他結構相同，所以下面一併說明。

【0451】 處理室2706b及處理室2706c包括縫隙天線板2808、電介質板2809、基板支架2812以及排氣口2819。此外，在處理室2706b及處理室2706c的外部等設置有氣體供應源2801、閥2802、高頻產生器2803、波導管2804、模式轉換器2805、氣體管2806、波導管2807、匹配器（matching box）2815、高頻電源2816、真空泵2817以及閥2818。

【0452】 高頻產生器2803藉由波導管2804與模式轉換器2805連接。模式轉換器2805藉由波導管2807與縫隙天線板2808連接。縫隙天線板2808與電介質板2809接觸地配置。此外，氣體供應源2801藉由閥2802與模式轉換器2805連接。並且，由經過模式轉換器2805、波導管2807及電介質板2809的氣體管2806對處理室2706b及處理室2706c導入氣體。此外，真空泵2817具有藉由閥2818及排氣口2819從處理室2706b及處理室2706c排出氣體等的功能。此外，高頻電源2816藉由匹配器2815與基板支架2812連接。

【0453】基板支架2812具有保持基板2811的功能。例如，基板支架2812被用作對於基板2811的靜電卡盤或機械卡盤。此外，基板支架2812具有從高頻電源2816接收電力的電極的功能。此外，基板支架2812在其內部包括加熱機構2813並具有對基板2811進行加熱的功能。

【0454】作為真空泵2817，可以使用例如乾燥泵、機械增壓泵、離子泵、鈦昇華泵、低溫泵或渦輪分子泵等。此外，除了真空泵2817以外，還可以使用低溫冷阱。當使用低溫泵及低溫冷阱時可以高效地排出水，這是特別較佳的。

【0455】作為加熱機構2813，例如使用利用電阻發熱體等進行加熱的加熱機構即可。或者，還可以使用利用被加熱的氣體等介質的熱傳導或熱輻射來進行加熱的加熱機構。例如，可以使用GRTA（Gas Rapid Thermal Annealing：氣體快速熱退火）或LRTA（Lamp Rapid Thermal Annealing：燈快速熱退火）等的RTA（Rapid Thermal Annealing：快速熱退火）。GRTA利用高溫氣體進行熱處理。作為氣體使用惰性氣體。

【0456】此外，氣體供應源2801也可以藉由質量流量控制器與精煉機連接。作為氣體，較佳為使用露點為-80℃以下，較佳為-100℃以下的氣體。例如，可以使用氧氣體、氮氣體及高貴氣體（氬氣體等）。

【0457】作為電介質板2809例如使用氧化矽（石英）、氧化鋁（alumina）或氧化釔（yttria）等即可。此外，也可以在電介質板2809的表面進一步形成有其他保護層。作為保護層可以使用氧化鎂、氧化鈦、氧化鉻、氧化鋯、氧化鈧、氧化鉭、氧化矽、氧化鋁或氧化釔等。因為電介質板2809暴露於

後述的高密度電漿2810的特別高密度區域中，所以藉由設置保護層可以減輕損傷。其結果是，可以抑制進行處理時的微粒的增加等。

【0458】 高頻產生器2803具有例如產生0.3GHz以上且3.0GHz以下、0.7GHz以上且1.1GHz以下或者2.2GHz以上且2.8GHz以下的微波的功能。高頻產生器2803所產生的微波藉由波導管2804傳送到模式轉換器2805。在模式轉換器2805中，將被傳送的TE模式的微波轉換為TEM模式的微波。然後，該微波藉由波導管2807傳送到縫隙天線板2808。在縫隙天線板2808中設置有多個縫隙，微波透過該縫隙及電介質板2809。然後，在電介質板2809的下方產生電場而可以生成高密度電漿2810。高密度電漿2810包括根據從氣體供應源2801供應的氣體種類的離子及自由基。例如，高密度電漿2810包括氧自由基等。

【0459】 此時，藉由利用在高密度電漿2810中生成的離子及自由基可以對基板2811上的膜等的品質進行改質。此外，有時較佳為使用高頻電源2816對基板2811一側施加偏壓。作為高頻電源2816，例如可以使用13.56MHz、27.12MHz等頻率的RF電源。藉由對基板一側施加偏壓，可以高效地使高密度電漿2810中的離子到達基板2811上的膜等的開口部的深部。

【0460】 例如，藉由從氣體供應源2801導入氧，可以在處理室2706b或處理室2706c內進行使用高密度電漿2810的氧自由基處理。

【0461】 接著，使用圖20所示的剖面示意圖說明處理室2706a及處理室2706d。

【0462】 處理室2706a及處理室2706d例如是能夠對被處理物照射電磁波的處理室。注意，處理室2706a與處理室2706d的不同之處僅在於電磁波的種

類。因為處理室2706a和處理室2706d的其他結構大多是相同的，所以下面一併說明。

【0463】 處理室2706a及處理室2706d包括一個或多個燈2820、基板支架2825、氣體導入口2823以及排氣口2830。此外，在處理室2706a及處理室2706d的外部等設置有氣體供應源2821、閥2822、真空泵2828以及閥2829。

【0464】 氣體供應源2821藉由閥2822與氣體導入口2823連接。真空泵2828藉由閥2829與排氣口2830連接。燈2820與基板支架2825相對地配置。基板支架2825具有保持基板2824的功能。此外，基板支架2825在其內部包括加熱機構2826並具有對基板2824進行加熱的功能。

【0465】 作為燈2820，例如可以使用具有放射可見光、紫外光或紅外光等的電磁波的功能的光源。例如，可以使用具有放射在10nm以上且2500nm以下、500nm以上且2000nm以下或者40nm以上且340nm以下的波長區域中具有峰的電磁波的功能的光源。

【0466】 例如，作為燈2820，可以使用鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的光源。

【0467】 例如，從燈2820放射的電磁波的一部分或全部被基板2824吸收，由此可以對基板2824上的膜等的品質進行改質。例如，可以生成或減少缺陷、或者可以去除雜質。此外，在對基板2824進行加熱的同時生成或減少缺陷、或者去除雜質的情況下，可以高效地生成或減少缺陷、或者可以去除雜質等。

【0468】 或者，例如，也可以利用從燈2820放射的電磁波使基板支架2825發熱，由此對基板2824進行加熱。在此情況下，也可以在基板支架2825的內部不包括加熱機構2826。

【0469】 真空泵2828可參照關於真空泵2817的記載。此外，加熱機構2826可參照關於加熱機構2813的記載。此外，氣體供應源2821可參照關於氣體供應源2801的記載。

【0470】 可用於本實施方式的微波處理裝置不侷限於上述微波處理裝置，可以使用圖21所示的微波處理裝置2900。微波處理裝置2900包括石英管2901、排氣口2819、氣體供應源2801、閥2802、高頻產生器2803、波導管2804、氣體管2806、真空泵2817及閥2818。另外，微波處理裝置2900在石英管2901內包括支撐多個基板2811（2811_1至2811_n，n是2以上的整數）的基板支架2902。另外，微波處理裝置2900也可以在石英管2901的外側包括加熱單元2903。

【0471】 由高頻產生器2803產生的微波藉由波導管2804照射到設置在石英管2901內的基板。真空泵2817藉由閥2818與排氣口2819連接，可以調整石英管2901內部的壓力。另外，氣體供應源2801藉由閥2802與氣體管2806連接，可以對石英管2901內導入所希望的氣體。另外，藉由加熱單元2903可以將石英管2901內的基板2811加熱到所希望的溫度。或者，也可以藉由加熱單元2903加熱從氣體供應源2801供應的氣體。藉由微波處理裝置2900，可以對基板2811同時進行熱處理和微波處理。另外，可以在加熱基板2811之後進行微波處理。另外，可以在對基板2811進行微波處理之後進行熱處理。

【0472】 可以將基板2811_1至基板2811_n都設為形成半導體裝置或記憶體裝置的處理基板，也可以將基板2811_1至基板2811_n的一部分基板設為偽基板。例如，也可以將基板2811_1及基板2811_n設為偽基板且將基板2811_2至基板2811_n-1設為處理基板。另外，也可以將基板2811_1、基板2811_2、基板2811_n-1及基板2811_n設為偽基板且將基板2811_3至基板2811_n-2設為處理基板。藉由使用偽基板，可以在微波處理或熱處理時多個處理基板均勻地被處理而可以降低處理基板間的不均勻，所以是較佳的。例如，藉由將偽基板配置在最接近於高頻產生器2803及波導管2804的處理基板上，可以抑制該處理基板直接暴露於微波，所以是較佳的。

【0473】 藉由使用上述製造裝置，可以抑制雜質混入到被處理物並可以對膜品質進行改質。

【0474】

<半導體裝置的變形例子>

以下，使用圖4A至圖4D說明本發明的一個實施方式的半導體裝置的一個例子。

【0475】 圖4A是半導體裝置的俯視圖。圖4B是沿著圖4A中的點劃線A1-A2的部分的剖面圖。圖4C是沿著圖4A中的點劃線A3-A4的部分的剖面圖。圖4D是沿著圖4A中的點劃線A5-A6的部分的剖面圖。為了明確起見，圖4A的俯視圖中省略部分組件。

【0476】 注意，在圖4A至圖4D所示的半導體裝置中，對具有與構成<半導體裝置的結構例子>所示的半導體裝置的組件相同的功能的組件附加相同符

號。注意，本節中的構成半導體裝置的材料可以使用在<半導體裝置的結構例子>中詳細說明的材料。

【0477】 圖4A至圖4D所示的半導體裝置是圖1A至圖1D所示的半導體裝置的變形例子。圖4A至圖4D所示的半導體裝置與圖1A至圖1D所示的半導體裝置的不同之處在於絕緣體283具有與絕緣體212的頂面的一部分接觸的結構。因此，電晶體200配置在被絕緣體283及絕緣體212密封的區域中。藉由採用上述結構，可以抑制包含在上述被密封的區域之外的區域中的氫混入到上述被密封的區域中。此外，雖然圖4A至圖4D所示的半導體裝置中，絕緣體212及絕緣體283具有單層結構，但是本發明不侷限於此。例如，絕緣體212及絕緣體283各自也可以具有兩層以上的疊層結構。

【0478】 例如，當作為絕緣體283採用兩層的疊層結構時，也可以作為絕緣體283的下層利用濺射法沉積氮化矽且作為絕緣體283的上層利用ALD法沉積氮化矽。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體282的下層中的氫濃度。再者，在利用濺射法沉積的膜中形成針孔或斷開等的情況下，可以使用藉由覆蓋性優異的ALD法沉積的膜填埋重疊於針孔或斷開等的部分。

【0479】 注意，在絕緣體283具有兩層疊層結構的情況下，有時絕緣體283的上層的頂面的一部分被去除。此外，有時難以檢測出絕緣體283的上層與下層的邊界。

【0480】 此外，如圖4B及圖4C所示，也可以使導電體205具有導電體205a、導電體205b與導電體205c的三層疊層結構。導電體205c以與導電體205b

的頂面接觸的方式設置。導電體205c的側面也可以與導電體205a接觸。此外，導電體205c的頂面與導電體205a的最上部也可以大致一致。

【0481】 與導電體205a同樣，導電體205c較佳為使用具有降低氫擴散的功能的導電材料。由此，可以由導電體205a及導電體205c包圍導電體205b，可以防止含在導電體205b中的氫等雜質藉由絕緣體216及絕緣體224等擴散到氧化物230。此外，藉由作為導電體205a及導電體205c使用具有抑制氧擴散的功能的導電材料，可以抑制導電體205b被氧化而導電率下降。

【0482】 此外，絕緣體271a及絕緣體271b各自也可以具有兩層的疊層結構。絕緣體271a及絕緣體271b的下層較佳為被用作至少對氧具有阻擋性的絕緣膜。因此，絕緣體271a及絕緣體271b的下層較佳為具有抑制氧擴散的功能。由此，可以防止包含在絕緣體280中的氧擴散到導電體242a及導電體242b。因此，可以抑制包含在絕緣體280中的氧導致導電體242a及導電體242b被氧化使得電阻率增大而通態電流減少。

【0483】 絕緣體271a及絕緣體271b的上層被用作用來殘留絕緣體271a及絕緣體271b的下層的保護層。在使成為導電體242a及導電體242b的導電膜以及成為氧化物230b的氧化膜等加工為島狀之後去除硬遮罩時，有成為絕緣體271a及絕緣體271b的下層的絕緣層被去除的擔憂。於是，藉由在上述硬遮罩與成為絕緣體271a及絕緣體271b的下層的絕緣層之間設置成為絕緣體271a及絕緣體271b的上層的絕緣層，可以殘留成為絕緣體271a及絕緣體271b的下層的絕緣層。例如，在作為上述硬遮罩使用鎢時，較佳為作為絕緣體271a及絕緣體271b的上層使用氧化矽等。

【0484】 電晶體200等OS電晶體的因被照射放射線而引起的電特性變動小，即對於放射線的耐受性高，因此可以在有可能入射放射線的環境下也適當地使用。例如，可以在宇宙空間中使用的情況下適當地使用OS電晶體。明確而言，可以將OS電晶體用作構成設置在太空梭、人造衛星或太空探測器等中的半導體裝置的電晶體。作為放射線，例如可以舉出X射線及中子輻射等。另外，宇宙空間例如是指高度100km以上的地方，但是本說明書中記載的宇宙空間也可以包括熱層、中間層及平流層。

【0485】 或者，例如，可以將OS電晶體用作構成設置在核電站以及放射性廢物的處理場或處置場的工作機器人中的半導體裝置的電晶體。尤其是，可以適當地用作構成如下半導體裝置的電晶體：該半導體裝置設置在反應堆設施的排除、核燃料或燃料碎片的取出、放射性物質較多的空間處的實地考察等時遠端操作的遠端操作機器人中。

【0486】

<半導體裝置的應用例子1>

以下，使用圖22說明本發明的一個實施方式的半導體裝置的一個例子。

【0487】 圖22A示出半導體裝置500的俯視圖。在圖22A中，平行於電晶體200的通道長度方向的方向是x軸，垂直於x軸的方向是y軸。另外，圖22B是沿著圖22A中的點劃線A1-A2的部分的剖面圖，該剖面圖相當於電晶體200的通道長度方向的剖面圖。圖22C是沿著圖22A中的點劃線A3-A4的剖面圖，該剖面圖相當於開口區域400及其附近的剖面圖。注意，在圖22A的俯視圖中，為了明確起見，省略部分組件。

【0488】 注意，在圖22A至圖22C所示的半導體裝置中，對具有與構成<半導體裝置的結構例子>所示的半導體裝置的組件相同的功能的結構附加相同符號。注意，本節中的構成半導體裝置的材料可以使用在<半導體裝置的結構例子>中詳細說明的材料。

【0489】 圖22A至圖22C所示的半導體裝置500是圖1A至圖1D所示的半導體裝置的變形例子。圖22A至圖22C所示的半導體裝置500的與圖1A至圖1D所示的半導體裝置不同之處在於：絕緣體282及絕緣體280形成有開口區域400。另外，與圖1A至圖1D所示的半導體裝置不同之處在於：以圍繞多個電晶體200及電容器100的方式形成有密封部265。

【0490】 半導體裝置500包括排列為矩陣狀的多個電晶體200、多個電容器100及多個開口區域400。另外，在y軸方向上延伸地設置有被用作電晶體200的閘極電極的多個導電體260。另外，在y軸方向上延伸地設置有被用作電容器100的上部電極的多個導電體160。開口區域400形成在不與氧化物230、導電體260及導電體160重疊的區域中。另外，以圍繞多個電晶體200、多個導電體260、多個電容器100、多個導電體160及多個開口區域400的方式形成有密封部265。注意，電晶體200、導電體260、電容器100、導電體160及開口區域400的數量、配置以及尺寸不侷限於圖22所示的結構，根據半導體裝置500的設計適當地設定即可。

【0491】 如圖22B及圖22C所示，密封部265以圍繞多個電晶體200、多個電容器100、絕緣體216、絕緣體222、絕緣體275、絕緣體280及絕緣體282的方式設置。換言之，絕緣體283以覆蓋絕緣體216、絕緣體222、絕緣體275、絕緣體280及絕緣體282的方式設置。另外，在密封部265，絕緣體283與絕緣體214

的頂面接觸。另外，在密封部265上，絕緣體283和絕緣體285之間設置有絕緣體274。絕緣體274的頂面高度與絕緣體283的最上面的高度大致一致。另外，作為絕緣體274，可以使用與絕緣體280同樣的絕緣體。

【0492】 藉由採用這樣的結構，可以由絕緣體283、絕緣體214及絕緣體212圍繞多個電晶體200及多個電容器100。在此，絕緣體283、絕緣體214及絕緣體212中的一個或多個較佳為被用作氫阻擋絕緣膜。由此，可以抑制包含在密封部265的區域之外的氫進入密封部265的區域中。

【0493】 如圖22C所示，在開口區域400中，絕緣體282具有開口部。另外，在開口區域400中，絕緣體280也可以具有與絕緣體282的開口部重疊的槽部。絕緣體280的槽部的深度最深為使絕緣體275的頂面露出的程度即可，例如，可以為絕緣體280的最大厚度的1/4以上且1/2以下左右。

【0494】 另外，如圖22C所示，絕緣體283在開口區域400的內側與絕緣體282的側面、絕緣體280的側面及絕緣體280的頂面接觸。另外，在開口區域400中，有時絕緣體274的一部分以嵌入形成於絕緣體283中的凹部的方式形成。此時，形成在開口區域400中的絕緣體274的頂面高度與絕緣體283的最上面的高度有時大致一致。

【0495】 在形成有這樣的開口區域400且在絕緣體282的開口部絕緣體280露出的狀態下進行熱處理，由此可以在對氧化物230供應氧的同時從開口區域400將包含在絕緣體280中的氧的一部分擴散到外部。由此，可以從包含藉由加熱而脫離的氧的絕緣體280將十分的氧供應到氧化物半導體層中的被用作通道形成區域的區域及其附近，並且可以防止被供應過多的氧。

【0496】 此時，可以將包含在絕緣體280中的氫鍵合到氧，將其經過開口區域400釋放到外部。鍵合於氧的氫被釋放為水。因此，可以減少包含在絕緣體280中的氫，可以減少包含在絕緣體280中的氫進入氧化物230。

【0497】 另外，在圖22A中，俯視的開口區域400的形狀大致為長方形，但是本發明不侷限於此。例如，俯視的開口區域400的形狀也可以是長方形、橢圓形、圓形、菱形或組合這些形狀而成的形狀。另外，開口區域400的面積及配置間距可以根據包括電晶體200和電容器100的半導體裝置的設計適當地設定。例如，在電晶體200的密度低的區域中，擴大開口區域400的面積或縮小開口區域400的配置間距即可。另外，例如，在電晶體200的密度高的區域中，縮小開口區域400的面積或增大開口區域的配置間距即可。

【0498】

<半導體裝置的應用例子2>

以下，參照圖23A及圖23B說明本發明的一個實施方式的半導體裝置的一個例子。

【0499】 圖23A是半導體裝置600的俯視圖。半導體裝置600包括根據本發明的一個實施方式的電晶體200a、電晶體200b、電容器100a及電容器100b。圖23B是對應於圖23A中的點劃線A1-A2所示的部分的剖面圖，該剖面圖相當於電晶體200a及電晶體200b的通道長度方向上的剖面圖。注意，在圖23A的俯視圖中，為了明確起見，省略部分組件。

【0500】 在半導體裝置600中，除了被電晶體200a和電晶體200b共同使用絕緣體224、氧化物230a、氧化物230b、導電體242c、絕緣體271c、導電體240、絕緣體241及導電體246之外，電晶體200a和電晶體200b各自具有與電晶

體200同樣的結構。因此，詳細內容可以參照上述記載。此外，電容器100a及電容器100b各自具有與電容器100同樣的結構。因此，詳細內容可以參照上述記載。

【0501】 如圖23A及圖23B所示，半導體裝置600具有以點劃線A3-A4為對稱軸的軸對稱的結構。導電體242c兼用作電晶體200a的源極電極和汲極電極中的一個以及電晶體200b的源極電極和汲極電極中的一個。注意，導電體242c上設置有絕緣體271c。此外，被用作佈線的導電體246和被用作插頭的導電體240也被電晶體200a和電晶體200b共同使用。如此，藉由具有被兩個電晶體和兩個電容器共同使用佈線及插頭等的結構，可以縮小一個電晶體及一個電容器在俯視時所佔的面積。因此，可以提供一種能夠微型化或高積體化的半導體裝置。

【0502】 根據本發明的一個實施方式，可以提供一種新穎電晶體。此外，根據本發明的一個實施方式，可以提供一種能夠實現微型化或高積體化的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種頻率特性良好的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種工作速度快的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種電晶體特性的不均勻小的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種具有良好的電特性的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種可靠性良好的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種通態電流大的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種場效移動率大的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種低功耗的半導體裝置。

【0503】 以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式及其他實施例等適當地組合而實施。

【0504】

實施方式2

在本實施方式中，參照圖24說明半導體裝置的一個實施方式。

【0505】

[記憶體裝置]

圖24示出根據本發明的一個實施方式的半導體裝置（記憶體裝置）的一個例子。圖24所示的半導體裝置是使用將氧化物用於半導體的電晶體（以下，有時稱為OS電晶體）及電容器的記憶體裝置。該記憶體裝置至少包括電容器和控制電容器的充放電的OS電晶體。

【0506】 如圖24所示，在本發明的一個實施方式的半導體裝置中，將電晶體200及電容器100設置在電晶體300的上方。注意，作為電晶體200，可以使用上述實施方式所說明的電晶體200。此外，作為電容器100，可以使用上述實施方式所說明的電容器100。

【0507】 電晶體200是在包含氧化物半導體的半導體層中形成通道的電晶體。因為電晶體200的關態電流很小，所以藉由將該電晶體用於記憶體裝置，可以長期保持存儲內容。換言之，因為不需要更新工作或更新工作的頻率極少，所以可以充分降低記憶體裝置的功耗。此外，如上述實施方式所示，因為電晶體200的頻率特性很高，所以可以高速地進行記憶體裝置的讀出及寫入。

【0508】 在圖24所示的半導體裝置中，佈線1001與電晶體300的源極電連接，佈線1002與電晶體300的汲極電連接，佈線1007與電晶體300的閘極電連

接。此外，佈線1003與電晶體200的源極和汲極中的一個電連接，佈線1004與電晶體200的第一閘極電連接，佈線1006與電晶體200的第二閘極電連接。並且，電晶體200的源極和汲極中的另一個與電容器100的一個電極電連接，佈線1005與電容器100的另一個電極電連接。

【0509】 此外，藉由將圖24所示的記憶體裝置配置為矩陣狀，可以構成記憶體陣列。

【0510】

<電晶體300>

電晶體300設置在基板311上，並包括用作閘極的導電體316、用作閘極絕緣體的絕緣體315、由基板311的一部分構成的半導體區域313、以及用作源極區域或汲極區域的低電阻區域314a及低電阻區域314b。電晶體300可以是p通道型或n通道型。

【0511】 在此，在圖24所示的電晶體300中，形成通道的半導體區域313（基板311的一部分）具有凸形狀。此外，以隔著絕緣體315覆蓋半導體區域313的側面及頂面的方式設置導電體316。此外，導電體316也可以使用調整功函數的材料。因為利用半導體基板的凸部，所以這種電晶體300也被稱為FIN型電晶體。此外，也可以以與凸部的上表面接觸的方式具有用來形成凸部的遮罩的絕緣體。此外，雖然在此示出對半導體基板的一部分進行加工來形成凸部的情況，但是也可以對SOI基板進行加工來形成具有凸部的半導體膜。

【0512】 注意，圖24所示的電晶體300的結構只是一個例子，不侷限於上述結構，根據電路結構或驅動方法使用適當的電晶體即可。

【0513】

<佈線層>

在各結構體之間也可以設置有包括層間膜、佈線及插頭等的佈線層。此外，佈線層可以根據設計而設置為多個層。在此，在具有插頭或佈線的功能的導電體中，有時使用同一符號表示多個結構。此外，在本說明書等中，佈線、與佈線電連接的插頭也可以是一個組件。就是說，導電體的一部分有時被用作佈線，並且導電體的一部分有時被用作插頭。

【0514】 例如，在電晶體300上，作為層間膜依次層疊地設置有絕緣體320、絕緣體322、絕緣體324及絕緣體326。另外，在絕緣體320、絕緣體322、絕緣體324及絕緣體326中嵌入與電容器100或電晶體200電連接的導電體328及導電體330等。另外，導電體328及導電體330被用作插頭或佈線。

【0515】 此外，用作層間膜的絕緣體可以被用作覆蓋其下方的凹凸形狀的平坦化膜。例如，為了提高絕緣體322的頂面的平坦性，其頂面也可以藉由利用化學機械拋光（CMP）法等的平坦化處理被平坦化。

【0516】 另外，也可以在絕緣體326及導電體330上設置佈線層。例如，在圖24中，依次層疊有絕緣體350、絕緣體352及絕緣體354。此外，在絕緣體350、絕緣體352及絕緣體354中形成有導電體356。導電體356被用作插頭或佈線。

【0517】 同樣地，在絕緣體210、絕緣體212、絕緣體214及絕緣體216中填充有導電體218及構成電晶體200的導電體（導電體205）等。此外，導電體218被用作與電容器100或電晶體300電連接的插頭或佈線。

【0518】 在此，與上述實施方式所示的絕緣體241同樣地，以與用作插頭的導電體218的側面接觸的方式設置絕緣體217。絕緣體217以接觸形成於絕緣

體210、絕緣體212、絕緣體214及絕緣體216中的開口內壁的方式設置。也就是說，絕緣體217設置在導電體218與絕緣體210、絕緣體212、絕緣體214及絕緣體216之間。導電體205可以與導電體218並行形成，所以有時以與導電體205的側面接觸的方式形成絕緣體217。

【0519】 絕緣體217例如可以使用氮化矽、氧化鋁或氮氧化矽等絕緣體。絕緣體217以與絕緣體210、絕緣體212、絕緣體214及絕緣體222接觸的方式設置，所以可以抑制水、氫等雜質從絕緣體210或絕緣體216等藉由導電體218混入氧化物230。尤其是，氮化矽的氫阻擋性高，所以是較佳的。此外，可以防止絕緣體210或絕緣體216中的氧被導電體218吸收。

【0520】 絕緣體217可以以與絕緣體241同樣的方法形成。例如，可以利用PEALD法沉積氮化矽利用各向異性蝕刻形成到達導電體356的開口。

【0521】 作為能夠用作層間膜的絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0522】 例如，藉由將相對介電常數低的材料用於被用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

【0523】 例如，較佳為將相對介電常數低的絕緣體用於絕緣體210、絕緣體352及絕緣體354等。例如，該絕緣體較佳為含有添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽、樹脂等。或者，上述絕緣體較佳為具有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有空孔的氧化矽與樹脂的疊層結構。因為氧化矽及氧氮化矽對熱穩定，所以藉由與樹脂組合，可以實現

熱穩定且相對介電常數低的疊層結構。作為樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺（尼龍、芳香族聚醯胺等）、聚醯亞胺、聚碳酸酯或丙烯酸樹脂等。

【0524】 此外，藉由由具有抑制氫等雜質及氧透過的功能的絕緣體圍繞使用氧化物半導體的電晶體，可以使電晶體的電特性穩定。因此，作為絕緣體214、絕緣體212及絕緣體350等，使用具有抑制氫等雜質及氧的透過的功能的絕緣體，即可。

【0525】 作為具有抑制氫等雜質及氧的透過的功能的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、釹、鉿或鉭的絕緣體的單層或疊層。明確而言，作為具有抑制氫等雜質及氧的透過的功能的絕緣體，可以使用氧化鋁、氧化鎂、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化釹、氧化鉿或氧化鉭等金屬氧化物、氮氧化矽或氮化矽等。

【0526】 作為能夠用於佈線、插頭的導電體可以使用包含選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉿、釩、鈮、錳、鎂、鋯、鈹、銦以及釕等的金屬元素中的一種以上的材料。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0527】 例如，作為導電體328、導電體330、導電體356、導電體218及導電體112等，可以以單層或疊層使用由上述材料形成的金屬材料、合金材料、金屬氮化物材料、金屬氧化物材料等導電材料。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，較佳為使用鎢。或者，較佳為使用鋁、銅等低電阻導電材料形成。藉由使用低電阻導電材料可以降低佈線電阻。

【0528】

<設置有氧化物半導體的層的佈線或插頭>

注意，在將氧化物半導體用於電晶體200時，有時在氧化物半導體附近設置包括過量氧區域的絕緣體。在此情況下，較佳為在該包括過量氧區域的絕緣體和設置於該包括過量氧區域的絕緣體的導電體之間設置具有阻擋性的絕緣體。

【0529】 例如，在圖24中，較佳為在具有過量氧的絕緣體224及絕緣體280與導電體240之間設置絕緣體241。藉由使絕緣體241與絕緣體222、絕緣體282及絕緣體283接觸地設置，絕緣體224及電晶體200可以具有由具有阻擋性的絕緣體密封的結構。

【0530】 也就是說，藉由設置絕緣體241，可以抑制絕緣體224及絕緣體280所具有的過量氧被導電體240吸收。此外，藉由具有絕緣體241，可以抑制作為雜質的氫經過導電體240擴散到電晶體200。

【0531】 此外，作為絕緣體241，較佳為使用具有抑制水、氫等雜質及氧的擴散的功能的絕緣材料。例如，較佳為使用氮化矽、氮氧化矽、氧化鋁或氧化鉿等。尤其是，氮化矽對氫具有高阻擋性，所以是較佳的。此外，例如還可以使用氧化鎂、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化釹、氧化鉭等的金屬氧化物等。

【0532】 此外，如上述實施方式所示，電晶體200也可以採用由絕緣體212、絕緣體214、絕緣體282及絕緣體283密封的結構。藉由採用上述結構，可以降低包含在絕緣體274等中的氫混入到絕緣體280等中。

【0533】 在此，導電體240貫通絕緣體283及絕緣體282，導電體218貫通絕緣體214、絕緣體212，並且，如上所述，絕緣體241與導電體240接觸地設置，絕緣體217與導電體218接觸地設置。由此，可以減少藉由導電體240及導電體218混入絕緣體212、絕緣體214、絕緣體282及絕緣體283的內側的氫。如此，可以由絕緣體212、絕緣體214、絕緣體282、絕緣體283、絕緣體241及絕緣體217密封電晶體200，而可以減少包含在絕緣體274等中的氫等雜質從外側混入。

【0534】 導電體240上設置有導電體112。導電體112對應於圖1B等所示的導電體246。就是說，導電體112被用作佈線。在圖24中，導電體112具有單層結構，但是不侷限於該結構，也可以具有兩層以上的疊層結構。例如，也可以在具有阻擋性的導電體與導電性高的導電體之間形成對具有阻擋性的導電體及導電性高的導電體具有高緊密性的導電體。

【0535】 以覆蓋導電體112的方式設置有絕緣體130，絕緣體130上設置有絕緣體146。絕緣體130較佳為使用可用作上述實施方式所示的絕緣體283的絕緣體。此外，絕緣體146較佳為使用可用作絕緣體210、絕緣體352及絕緣體354等的絕緣體。

【0536】

<切割線>

下面，對當將大面積基板按每個半導體元件分割而得到晶片形狀的多個半導體裝置時設置的切割線（有時也稱為分割線、分離線或截斷線）進行說明。作為分割方法，例如，有時，首先在基板中形成用來分離半導體元件的槽

（切割線）之後，在切割線處截斷，得到被分離（被分割）的多個半導體裝置。

【0537】 在此，例如，如圖24所示，較佳為以絕緣體283和絕緣體214接觸的區域重疊於切割線的方式進行設計。也就是說，在設置在包括多個電晶體200的記憶單元的邊緣的成為切割線的區域附近，在絕緣體282、絕緣體280、絕緣體275、絕緣體224、絕緣體222及絕緣體216中設置開口。

【0538】 也就是說，在設置於絕緣體282、絕緣體280、絕緣體275、絕緣體224、絕緣體222及絕緣體216中的開口中，絕緣體214與絕緣體283接觸。

【0539】 此外，例如，也可以在絕緣體282、絕緣體280、絕緣體275、絕緣體224、絕緣體222、絕緣體216及絕緣體214中形成開口。藉由採用這種結構，在設置於絕緣體282、絕緣體280、絕緣體275、絕緣體224、絕緣體222、絕緣體216及絕緣體214中的開口中，絕緣體212與絕緣體283接觸。此時，也可以使用相同材料及相同方法形成絕緣體212及絕緣體283。藉由使用相同的材料及相同的方法形成絕緣體212和絕緣體283，可以提高緊密性。例如，較佳為使用氮化矽。

【0540】 藉由採用該結構，可以由絕緣體212、絕緣體214、絕緣體282及絕緣體283包圍電晶體200。絕緣體212、絕緣體214、絕緣體282和絕緣體283中的至少一個由於具有抑制氧、氫及水的擴散的功能，所以即使將基板按每個形成有本實施方式所示的半導體元件的電路區域分割而加工為多個晶片，也可以防止從截斷的基板的側面方向混入氫或水等雜質且該雜質擴散到電晶體200。

【0541】 此外，藉由採用該結構，可以防止絕緣體280及絕緣體224中的過量氧擴散到外部。因此，絕緣體280及絕緣體224中的過量氧高效地被供應到

電晶體200中的形成通道的氧化物中。由於該氧，而可以減少電晶體200中的形成通道的氧化物的氧空位。由此，可以使電晶體200中的形成通道的氧化物成為缺陷態密度低且具有穩定的特性的氧化物半導體。也就是說，可以在抑制電晶體200的電特性變動的同時提高可靠性。

【0542】 以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式、其他實施例等適當地組合而實施。

【0543】

實施方式3

在本實施方式中，說明將在上述實施方式中說明的半導體裝置用作記憶單元的記憶體裝置的結構例子。

【0544】

[記憶體裝置的結構例子]

圖25A是示出根據本發明的一個實施方式的記憶體裝置50的結構例子的方塊圖。圖25A所示的記憶體裝置50包括驅動電路21及記憶體陣列20。記憶體陣列20包括多個記憶單元10。圖25A示出記憶體陣列20包括以m行n列（m及n為2以上的整數）的矩陣狀配置的多個記憶單元10的例子。

【0545】 另外，行、列延伸在彼此正交的方向上。在本實施方式中，將X方向稱為“行”（沿著X軸的方向），將Y方向稱為”列”（沿著Y軸的方向），但是也可以將X方向稱為“列”，將Y方向稱為“行”。

【0546】 在圖25A中，將第1行第1列記憶單元10表示為記憶單元10[1，1]，將第m行第n列記憶單元10表示為記憶單元10[m，n]。另外，在本實施方式等中，有時記作“i行”來表示任意行。另外，有時記作“j列”來表示任意列。因

此，i為1以上且m以下的整數，j為1以上且n以下的整數。另外，在本實施方式等中，將第i行第j列記憶單元10表示為記憶單元10[i，j]。在本實施方式等中，當表示為“i+α”（α為正整數或負整數）時，“i+α”不小於1且不大於m。同樣，當表示為“j+α”時，“j+α”不小於1且不大於n。

【0547】 此外，記憶體陣列20包括在行方向上延伸的m個佈線WL、在行方向上延伸的m個佈線PL以及在列方向上延伸的n個佈線BL。在本實施方式等中，將第一個（第一行）的佈線WL表示為佈線WL[1]，將第m個（第m行）的佈線WL表示為佈線WL[m]。與此同樣，將第一個（第一行）的佈線PL表示為佈線PL[1]，將第m個（第m行）的佈線PL表示為佈線PL[m]。與此同樣，將第一個（第一列）的佈線BL表示為佈線BL[1]，將第n個（第n列）的佈線BL表示為佈線BL[n]。

【0548】 第i行的多個記憶單元10與第i行的佈線WL（佈線WL[i]）和第i行的佈線PL（佈線PL[i]）電連接。第j列的多個記憶單元10與第j列的佈線BL（佈線BL[j]）電連接。

【0549】 在記憶體陣列20中可以使用DOSRAM（註冊商標）（Dynamic Oxide Semiconductor Random Access Memory：動態氧化物半導體隨機存取記憶體）。DOSRAM是包括1T（電晶體）1C（電容器）型記憶單元的RAM，其是指存取電晶體為在通道形成區域中包含氧化物半導體的電晶體（以下，也稱為“OS電晶體”）的記憶體。在OS電晶體中，在關閉狀態下流在源極與汲極之間的電流，即洩漏電流極小。在DOSRAM中，藉由使存取電晶體關閉（非導通狀態），可以長時間保持對應於電容器所保持的資料的電荷。由此，與由在通道

形成區域中包含矽的電晶體（以下，也稱為“Si電晶體”）構成的DRAM相比，DOSRAM可以降低更新工作的頻率。其結果是，可以降低功耗。

【0550】 佈線BL具有用來進行資料的寫入及讀出的位元線的功能。佈線WL具有用來控制被用作開關的存取電晶體的開啟或關閉（導通狀態或非導通狀態）的字線的功能。佈線PL具有與電容器連接的恆電位線的功能以及向作為存取電晶體的OS電晶體的背閘極供應背閘極電位的功能。注意，作為供應背閘極電位的佈線，可以另行設置佈線BGL（未圖示）。

【0551】 驅動電路21包括PSW22（功率開關）、PSW23及週邊電路31。週邊電路31包括週邊電路41、控制電路32（Control Circuit）及電壓生成電路33。

【0552】 在記憶體裝置50中，根據需要可以適當地取捨上述各電路、各信號及各電壓。或者，也可以增加其它電路或其它信號。信號BW、信號CE、信號GW、信號CLK、信號WAKE、信號ADDR、信號WDA、信號PON1、信號PON2為從外部輸入的信號，信號RDA為輸出到外部的信號。信號CLK為時脈信號。

【0553】 此外，信號BW、信號CE及信號GW為控制信號。信號CE為晶片賦能信號，信號GW為全局寫入賦能信號，信號BW為位元組寫入賦能信號。信號ADDR為位址信號。信號WDA為寫入資料，信號RDA為讀出資料。信號PON1、PON2為電源閘控控制用信號。此外，信號PON1、信號PON2也可以在控制電路32中生成。

【0554】 控制電路32為具有控制記憶體裝置50的整體工作的功能的邏輯電路。例如，控制電路對信號CE、信號GW及信號BW進行邏輯運算來決定記

憶體裝置50的工作模式（例如，寫入工作、讀出工作）。或者，控制電路32生成週邊電路41的控制信號，以執行上述工作模式。

【0555】 電壓生成電路33具有生成負電壓的功能。信號WAKE具有控制對電壓生成電路33輸入信號CLK的功能。例如，當信號WAKE被施加H位準的信號時，信號CLK被輸入到電壓生成電路33，電壓生成電路33生成負電壓。

【0556】 週邊電路41是用來對記憶單元10進行資料的寫入及讀出的電路。週邊電路41包括行解碼器42（Row Decoder）、列解碼器44（Column Decoder）、行驅動器43（Row Driver）、列驅動器45（Column Driver）、輸入電路47（Input Cir.）、輸出電路48（Output Cir.）及感測放大器46（Sense Amplifier）。

【0557】 行解碼器42及列解碼器44具有對信號ADDR進行解碼的功能。行解碼器42是用來指定要訪問行的電路，列解碼器44是用來指定要訪問列的電路。行驅動器43具有選擇由行解碼器42指定的佈線WL的功能。列驅動器45具有如下功能：將資料寫入記憶單元10的功能；從記憶單元10讀出資料的功能；保持所讀出的資料的功能等。

【0558】 輸入電路47具有保持信號WDA的功能。輸入電路47中保持的資料輸出到列驅動器45。輸入電路47的輸出資料是寫入記憶單元10的資料（Din）。由列驅動器45從記憶單元10讀出的資料（Dout）被輸出至輸出電路48。輸出電路48具有保持Dout的功能。此外，輸出電路48具有將Dout輸出到記憶體裝置50的外部的功能。從輸出電路48輸出的資料為信號RDA。

【0559】 PSW22具有控制向週邊電路31供給VDD的功能。PSW23具有控制向行驅動器43供給VHM的功能。在此，記憶體裝置50的高電源電壓為

VDD，低電源電壓為GND（接地電位）。此外，VHM是用來使字線成為高位準的高電源電壓，其高於VDD。利用信號PON1控制PSW22的開/關，利用信號PON2控制PSW23的開/關。在圖25A中，週邊電路31中被供應VDD的電源域的個數為1，但是也可以為多個。此時，可以對各電源域設置功率開關。

【0560】 記憶體陣列20可以重疊設置在驅動電路21上。藉由重疊設置驅動電路21與記憶體陣列20，可以縮短驅動電路21與記憶體陣列20之間的信號傳輸距離。因此，可以減少驅動電路21與記憶體陣列20之間的電阻及寄生電容而實現功耗及信號延遲的降低。此外，可以實現記憶體裝置50的小型化。

【0561】 記憶體陣列20可以在驅動電路21上重疊設置多個層的記憶體陣列20。藉由重疊設置多個層的記憶體陣列20，可以提高記憶單元10的記憶體密度。圖25B示出在驅動電路21上重疊設置k層（k為2以上的整數）的記憶體陣列20的例子。在圖25B等中，將在第一層設置的記憶體陣列20表示為記憶體陣列20[1]，將在第二層設置的記憶體陣列20表示為記憶體陣列20[2]，將在第k層設置的記憶體陣列20表示為記憶體陣列20[k]。

【0562】 圖25C示出設置在不同層的記憶體陣列20中的記憶單元10的電路圖的一個例子。圖25C示出設置在第一層的記憶體陣列20[1]中的記憶單元10[1]和設置在第二層的記憶體陣列20[2]中的記憶單元10[2]。

【0563】 記憶單元10[1]包括電晶體Tr1及電容器Cp1。記憶單元10[2]包括電晶體Tr2及電容器Cp2。注意，當說明在各層的記憶體陣列中共同的事項時，有時將各層的記憶單元稱為記憶單元10。電晶體Tr、電容器Cp及各佈線（BL及WL等）也是同樣的，例如有時將佈線BL[1]及佈線WL[1]分別稱為佈線BL及佈線WL等。

【0564】 在記憶單元10[1]中，電晶體Tr1的源極和汲極中的一個與佈線BL[1]連接。電晶體Tr1的源極和汲極中的另一個與電容器Cp1的一個電極連接。電容器Cp1的另一個電極與佈線PL[1]連接。電晶體Tr1的閘極與佈線WL[1]連接。電晶體Tr1的背閘極與佈線BGL連接。

【0565】 在記憶單元10[2]中，電晶體Tr2的源極和汲極中的一個與佈線BL[2]連接。電晶體Tr2的源極和汲極中的另一個與電容器Cp2的一個電極連接。電容器Cp2的另一個電極與佈線PL[2]連接。電晶體Tr2的閘極與佈線WL[2]連接。電晶體Tr2的背閘極與佈線PL[1]連接。

【0566】 雖然未圖示，但是第三層之後的層也具有與第二層同樣的結構。例如，在設置於第j層（j為滿足2≤j<k的整數）的記憶體陣列20[j]的記憶單元10[j]中，電晶體Trj的源極和汲極中的一個與佈線BL[j]連接。電晶體Trj的源極和汲極中的另一個與電容器Cpj的一個電極連接。電容器Cpj的另一個電極與佈線PL[j]連接。電晶體Trj的閘極與佈線WL[j]連接。電晶體Trj的背閘極與佈線PL[j-1]連接。

【0567】 佈線PL是供應用來儲存電容器Cp的電位的恆電位的佈線。供應到佈線PL的恆電位是用來控制供應到佈線BGL的電晶體Tr的臨界電壓的恆電位（V_{BG}）。藉由具有這種結構，可以控制各層的記憶體陣列20所包括的電晶體Tr的臨界電壓並減少施加到電容器Cp的電壓的變動。並且，因為第二層之後的記憶體陣列20可以具有佈線PL兼用作佈線BGL的結構，所以可以具有減少佈線BGL的結構。

【0568】 圖26A、圖26B是說明設置在多個層中的記憶體陣列20[1]至20[k]中的與佈線BL連接的記憶單元10的結構例子的示意圖。注意，一個佈線BL與多個記憶單元（記憶單元10）電連接的結構也被稱為“記憶體串”。

【0569】 圖26A作為一個例子示出連接於如第一層、第三層及第五層等第奇數個層的記憶體陣列20所包括的記憶單元10的佈線BL[OD]。佈線BL[OD]連接第奇數個層中的多個記憶單元10並連接於驅動電路21所包括的感測放大器46。各層的記憶體陣列20（作為一個例子示出記憶體陣列20[1]、20[3]、20[5]）包括各自配置為矩陣狀的多個記憶單元10[1]、10[3]、10[5]以及在X方向上延伸的佈線WL及佈線PL。注意，為了簡化起見，在圖式中省略各層的記憶體陣列20分別包括的佈線WL及佈線PL的記載。

【0570】 此外，圖26A是與佈線BL[OD]連接的記憶單元10[1]及10[3]的電路圖。因為佈線BL[OD]不與第偶數層的記憶體陣列20中的記憶單元10連接，所以將所對應的記憶體陣列20[2]、記憶體陣列20[4]表示為空白。

【0571】 圖26A是記憶單元10[1]及記憶單元10[3]的電路圖。記憶單元10[1]所包括的電晶體Tr1的背閘極與佈線BGL連接，記憶單元10[3]所包括的電晶體Tr3的背閘極與佈線PL[2]連接。

【0572】 供應到佈線PL[2]的恆電位是用來控制供應到佈線BGL的電晶體Tr1的臨界電壓的恆電位（V_{BG}）。因此，可以控制記憶體陣列20[3]所包括的電晶體Tr3的臨界電壓並減少施加到電容器Cp2（未圖示）的電壓的變動。並且，因為記憶體陣列20[3]可以具有佈線PL[2]兼用作佈線BGL的結構，所以可以具有減少記憶體陣列20[3]中的佈線BGL的結構。

【0573】 圖26B作為一個例子示出連接於如第二層、第四層及第六層等第偶數個層的記憶體陣列20所包括的記憶單元10的佈線BL[EV]。佈線BL[EV]連接第偶數個層中的多個記憶單元10並連接於驅動電路21所包括的感測放大器46。各層的記憶體陣列20（作為一個例子示出記憶體陣列20[2]、20[4]、20[6]）包括各自配置為矩陣狀的多個記憶單元10[2]、10[4]、10[6]以及在X方向上延伸的佈線WL及佈線PL。注意，為了簡化起見，在圖式中省略各層的記憶體陣列20分別包括的佈線WL及佈線PL的記載。

【0574】 此外，圖26B是與佈線BL[EV]連接的記憶單元10[2]及10[4]的電路圖。因為佈線BL[EV]不與第奇數層的記憶體陣列20中的記憶單元10連接，所以將記憶體陣列20[1]、記憶體陣列20[3]表示為空白。

【0575】 圖26B是記憶單元10[2]及記憶單元10[4]的電路圖。記憶單元10[2]所包括的電晶體Tr2的背閘極與佈線PL[1]連接，記憶單元10[4]所包括的電晶體Tr4的背閘極與佈線PL[3]連接。

【0576】 供應到佈線PL[1]的恆電位是用來控制供應到佈線BGL的電晶體Tr1的臨界電壓的恆電位（V_{BG}）。因此，可以控制記憶體陣列20[2]所包括的電晶體Tr2的臨界電壓並減少施加到電容器Cp1（未圖示）的電壓的變動。並且，因為記憶體陣列20[2]可以具有佈線PL[1]兼用作佈線BGL的結構，所以可以具有減少記憶體陣列20[2]中的佈線BGL的結構。第四層的記憶單元10[4]也是同樣的。

【0577】 在圖27A中，示出圖26A所示的包括與佈線BL[OD]連接的記憶單元10[1]、10[3]、10[5]的記憶體串以及圖26B所示的包括與佈線BL[EV]連接的

記憶單元10[2]、10[4]、10[6]的記憶體串的組合。作為圖27A所示的結構的一個例子，示出六層的記憶體陣列20[1]至20[6]。

【0578】 圖27A所示的各記憶體串包括在Z方向上延伸的佈線BL[OD]及佈線BL[EV]。在從Z方向看時，夾著佈線BL[OD]成對的記憶單元10[1]、10[3]、10[5]中的任一個重疊於夾著佈線BL[EV]成對的記憶單元10[2]、10[4]、10[6]中的任一個。就是說，在Z方向看時，與佈線BL[OD]及佈線BL[EV]連接的記憶單元10[1]至10[6]可以層疊設置。注意，記憶單元10[1]至10[6]除了位於記憶體陣列20的端部的記憶單元10之外具有各層層疊設置的結構。

【0579】 另外，如圖27B所示那樣，在連接於佈線BL[OD]或佈線BL[EV]且重疊配置的記憶單元10[1]至10[6]中，與下層的記憶單元10連接的佈線PL連接於上層的記憶單元10的電晶體Tr的背閘極。例如，如圖27B所示，與第三層的記憶單元10[3]連接的佈線PL3連接於上層的記憶單元10[4]的電晶體Tr4的背閘極。

【0580】 藉由將供應到佈線PL的恆電位設定為用來控制電晶體Tr的臨界電壓的恆電位（V_{BG}），可以控制第二層之後的各層的記憶體陣列20所包括的電晶體Tr的臨界電壓並減少施加到電容器Cp的電壓的變動。並且，因為第二層之後的記憶體陣列20可以具有佈線PL兼用作佈線BGL的結構，所以可以具有減少佈線BGL的結構。

【0581】 圖28是一種記憶體裝置50的立體圖，其示出將圖27A所示的連接第奇數個層中的記憶單元10的佈線BL[OD]以及連接第偶數個層中的記憶單元10的佈線BL[EV]設置在驅動電路21上的狀態。注意，為了簡化起見，在圖式中部分省略記憶體陣列20分別包括的佈線WL及佈線PL的記載。

【0582】 如圖28所示，在本發明的一個實施方式的記憶體裝置中，藉由交替配置連接第奇數個層中的記憶單元10的佈線BL[OD]與連接第偶數個層中的記憶單元10的佈線BL[EV]，可以以高密度配置記憶單元10。另外，藉由在從Z方向看時重疊配置的記憶單元10之間共同使用佈線PL，可以省略相當於佈線BGL的佈線，從而可以穩定記憶體裝置的電特性並實現記憶體裝置的小型化等。

【0583】

[記憶體陣列的配置例子]

圖29A是用來說明上述記憶單元10中的各佈線及半導體層的配置例子的佈局圖。圖29A示出在X方向上延伸設置的佈線WL及佈線PL、半導體層11及在Z方向上延伸設置的佈線BL。圖29A所示的半導體層11以與兩個佈線WL及兩個佈線PL交叉的方式設置，並且藉由連接於一個佈線BL來配置兩個記憶單元10。

【0584】 在記憶單元10中，佈線WL、佈線PL及導電層12重疊設置在在半導體層11上。在佈線WL與半導體層11重疊的區域中設置電晶體Tr。在佈線PL與半導體層11重疊的區域中設置電容器Cp。導電層12是用來將電晶體Tr連接於佈線BL的導電層。注意，關於記憶單元10，剖面圖的詳細說明是與實施方式1中的說明同樣的，所以援用上述說明。

【0585】 在層疊包括圖29A所示的記憶單元10的記憶體陣列20的情況下，較佳為採用上層的佈線PL與下層的佈線WL重疊的結構以及上層的佈線WL與下層的佈線PL重疊的結構。就是說，重疊設置的兩層的記憶體陣列20的佈局圖較佳為不重疊。藉由具有該結構，在向下層的佈線WL供應信號時，上層的佈線

PL可以為被供應恆電位的佈線，由此可以減小上層的記憶單元10的工作受到的影響。

【0586】 注意，圖29A示出在Y方向上延伸設置的半導體層11與佈線WL及佈線PL正交的結構，但是不侷限於此。例如，如圖29B所示，也可以具有在Y方向上延伸設置的半導體層11的一個端部向X方向傾斜且使半導體層11與佈線WL及佈線PL交叉的結構。藉由具有該結構，可以進一步提高記憶單元10的記憶體密度。

【0587】 圖30A是以將圖29所示的佈局圖排列為2×2的方式組態記憶體陣列20[3]及記憶體陣列20[4]並層疊它們時的平面示意圖。另外，圖30B是用來說明沿著包括圖30A中的粗虛線A-B的切斷面的上層和下層的佈線PL[3]、PL[4]及佈線WL[3]、WL[4]的配置的剖面示意圖。

【0588】 如圖30B所示，記憶體陣列20[3]中的佈線WL[3]可以以與記憶體陣列20[4]中的佈線PL[4]重疊的方式配置。注意，雖然未圖示，但是記憶體陣列20[4]中的佈線WL[4]可以以與上層的記憶體陣列20[5]（未圖示）中的佈線PL[5]（未圖示）重疊的方式配置。就是說，在本發明的一個實施方式的記憶體裝置50所包括的層疊的記憶體陣列20中，因為可以重疊配置佈線WL與佈線PL，上層的記憶體陣列20的佈線PL是被供應恆電位的佈線，所以即便下層的記憶體陣列20的佈線WL進行工作也可以減小對上層的記憶單元10的工作帶來的影響。

【0589】 在此，圖31是將包括圖30A中的粗虛線A-B的切斷面放大為記憶體陣列20[1]至20[5]並在各記憶體陣列中設置上述實施方式所示的電晶體200及電容器100的剖面圖。此外，同樣地，圖32是將包括圖30A中的粗虛線A-C-D的

切斷面放大為記憶體陣列20[1]至20[5]並在各記憶體陣列中設置上述實施方式所示的電晶體200及電容器100的剖面圖。

【0590】 在圖31及圖32中，與圖23所示的半導體裝置600同樣，設置在同一氧化物230上的兩組電晶體200及電容器100被記載為電晶體200a、電晶體200b、電容器100a及電容器100b。

【0591】 在圖31及圖32中，電晶體200a與電容器100a的組合或電晶體200b與電容器100b的組合對應於記憶單元10。此外，導電體260對應於佈線WL，導電體160對應於佈線PL。此外，氧化物230對應於半導體層11。

【0592】 如圖31所示，下層的電容器100a的導電體160上重疊設置有上層的電晶體200b的導電體260，下層的電晶體200a的導電體260上重疊設置有上層的電容器100b的導電體160。如此，與圖30B同樣，以佈線WL與佈線PL重疊的方式配置，下層的電晶體200的工作不容易影響到上層的電晶體200的工作。

【0593】 注意，圖31及圖32所示的半導體裝置與圖23所示的半導體裝置的不同之處在於設置導電體206而代替導電體246。導電體206設置在與被用作電晶體200的背閘極的導電體205相同的層中。就是說，被用作電晶體200a及電晶體200b的插頭的導電體240與設置在與上層的背閘極相同的層中的導電體206電連接。

【0594】 此外，以重疊於導電體160且與導電體240相同的方式配置導電體247。導電體247與被用作上層的背閘極的導電體205電連接。因此，因為第二層之後的導電體205的電位與導電體160的電位相同，所以可以由供應到佈線PL的恆電位控制電晶體Tr的臨界電壓並減少施加到電容器Cp的電壓的變動。此

外，在具有這種結構的情況下，由於導電體160被用作佈線，所以第二層之後的導電體205也可以不延伸設置。

【0595】 此外，如圖32所示，導電體206電連接於以與導電體240相同的方式設置的導電體248。並且，導電體248連接於設置在與導電體205相同的層中的導電體207。在此，導電體206、導電體248及導電體207設置在記憶體陣列的各層中，各層的導電體206、導電體248及導電體207連接而被用作佈線BL。在圖32中，記憶體陣列20[2]及記憶體陣列20[4]的導電體240連接於佈線BL，即示出連接於第偶數層的記憶體陣列20的佈線BL。雖然未圖示，但是連接於第奇數層的記憶體陣列20的佈線BL也同樣地設置。

【0596】 此外，如圖33所示，在設置於記憶體陣列20[1]下的驅動電路21中可以設置圖24所示的電晶體300。

【0597】 如上所述，藉由層疊設置多個記憶體陣列及驅動電路，可以實現記憶體裝置的高積體化及記憶容量的大容量化。

【0598】 本實施方式可以與本說明書所示的其他實施方式等適當地組合。

【0599】

實施方式4

在本實施方式中，參照圖34A及圖34B說明安裝有本發明的半導體裝置的晶片1200的一個例子。在晶片1200上安裝有多個電路（系統）。如此，在一個晶片上集成有多個電路（系統）的技術有時被稱為系統晶片（System on Chip：SoC）。

【0600】 如圖34A所示，晶片1200包括CPU1211、GPU1212、一個或多個類比運算部1213、一個或多個記憶體控制器1214、一個或多個介面1215、一個或多個網路電路1216等。

【0601】 晶片1200設置有凸塊（未圖示）且如圖34B所示與封裝基板1201的第一面連接。此外，在封裝基板1201的第一面的背面設置有多個凸塊1202，該凸塊1202與主機板1203連接。

【0602】 此外，也可以在主機板1203上設置有DRAM1221、快閃記憶體1222等記憶體裝置。例如，可以將上述實施方式所示的DOSRAM應用於DRAM1221。因此，DRAM1221可以實現高速化及大容量化。

【0603】 CPU1211較佳為具有多個CPU核心。此外，GPU1212較佳為具有多個GPU核。此外，CPU1211和GPU1212可以分別具有暫時儲存資料的記憶體。或者，也可以在晶片1200上設置有CPU1211和GPU1212共同使用的記憶體。可以將上述DOSRAM應用於該記憶體。此外，GPU1212適合用於多個資料的平行計算，其可以用於影像處理或積和運算。藉由在GPU1212中設置使用本發明的氧化物半導體的影像處理電路或積和運算電路，可以以低功耗執行影像處理及積和運算。

【0604】 此外，因為在同一晶片上設置有CPU1211和GPU1212，所以可以縮短CPU1211和GPU1212之間的佈線，並可以以高速進行從CPU1211到GPU1212的資料傳送、CPU1211及GPU1212所具有記憶體之間的資料傳送以及GPU1212中的運算結束之後的從GPU1212到CPU1211的運算結果傳送。

【0605】類比運算部1213具有A/D（類比/數位）轉換電路和D/A（數位/類比）轉換電路中的一者或兩者。此外，也可以在類比運算部1213中設置上述積和運算電路。

【0606】記憶體控制器1214具有用作DRAM1221的控制器的電路及用作快閃記憶體1222的介面的電路。

【0607】介面1215具有與如顯示裝置、揚聲器、麥克風、影像拍攝裝置、控制器等外部連接設備之間的介面電路。控制器包括滑鼠、鍵盤、遊戲機用控制器等。作為上述介面，可以使用通用序列匯流排（USB：Universal Serial Bus）、高清晰度多媒體介面（HDMI：High-Definition Multimedia Interface）（註冊商標）等。

【0608】網路電路1216具有LAN（Local Area Network：區域網路）等網路電路。此外，還可以具有網路安全用電路。

【0609】上述電路（系統）可以經同一製造程序形成在晶片1200上。由此，即使晶片1200所需的電路個數增多，也不需要增加製造程序，可以以低成本製造晶片1200。

【0610】可以將包括設置有具有GPU1212的晶片1200的封裝基板1201、DRAM1221以及快閃記憶體1222的主機板1203稱為GPU模組1204。

【0611】GPU模組1204因具有使用SoC技術的晶片1200而可以減少其尺寸。此外，GPU模組1204因具有高影像處理能力而適合用於智慧手機、平板終端、膝上型個人電腦、可攜式（可攜帶）遊戲機等可攜式電子裝置。此外，藉由利用使用GPU1212的積和運算電路，可以執行深度神經網路（DNN）、卷積神經網路（CNN）、遞迴神經網路（RNN）、自編碼器、深度波茲曼機

（DBM）、深度置信網路（DBN）等方法，由此可以將晶片1200用作AI晶片，或者，可以將GPU模組1204用作AI系統模組。

【0612】 以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式及其他實施例等適當地組合而實施。

【0613】

實施方式5

本實施方式示出安裝有上述實施方式所示的記憶體裝置等的電子構件及電子裝置的一個例子。

【0614】

<電子構件>

首先，參照圖35A和圖35B對組裝有記憶體裝置720的電子構件的例子進行說明。

【0615】 圖35A示出電子構件700及安裝有電子構件700的基板（電路板704）的立體圖。圖35A所示的電子構件700在模子711內包括記憶體裝置720。在圖35A中，省略電子構件700的一部分以表示其內部。電子構件700在模子711的外側包括連接盤（land）712。連接盤712電連接於電極焊盤713，電極焊盤713藉由引線714電連接於記憶體裝置720。電子構件700例如安裝於印刷電路板702上。藉由組合多個該電子構件並使其分別在印刷電路板702上電連接，由此完成電路板704。

【0616】 記憶體裝置720包括驅動電路層721及記憶體電路層722。

【0617】 圖35B示出電子構件730的立體圖。電子構件730是SiP（System in Package：系統封裝）或MCM（Multi Chip Module：多晶片模組）的一個例

子。在電子構件730中，封裝基板732（印刷電路板）上設置有插板（interposer）731，插板731上設置有半導體裝置735及多個記憶體裝置720。

【0618】 半導體裝置735可以使用CPU、GPU、FPGA等積體電路（半導體裝置）。

【0619】 封裝基板732可以使用陶瓷基板、塑膠基板、玻璃環氧基板等。插板731可以使用矽插板、樹脂插板等。

【0620】 插板731具有多個佈線並具有電連接端子間距不同的多個積體電路的功能。多個佈線由單層或多層構成。此外，插板731具有將設置於插板731上的積體電路與設置於封裝基板732上的電極電連接的功能。因此，有時將插板也稱為“重佈線基板（rewiring substrate）”或“中間基板”。此外，有時藉由在插板731中設置貫通電極，藉由該貫通電極使積體電路與封裝基板732電連接。此外，在使用矽插板的情況下，也可以使用TSV（Through Silicon Via：矽通孔）作為貫通電極。

【0621】 作為插板731較佳為使用矽插板。由於矽插板不需要設置主動元件，所以可以以比積體電路更低的成本製造。另一方面，矽插板的佈線形成可以在半導體製程中進行，因此很容易形成在使用樹脂插板時很難形成的微細佈線。

【0622】 在記憶體裝置720中，為了實現寬記憶體頻寬需要連接許多佈線。為此，要求安裝記憶體裝置720的插板上能夠高密度地形成微細的佈線。因此，作為安裝記憶體裝置720的插板較佳為使用矽插板。

【0623】 此外，在使用矽插板的SiP或MCM等中，不容易發生因積體電路與插板間的膨脹係數的不同而導致的可靠性下降。此外，由於矽插板的表面平

坦性高，所以設置在矽插板上的積體電路與矽插板間不容易產生連接不良。尤其較佳為將矽插板用於2.5D封裝（2.5D安裝），其中多個積體電路橫著排放並配置於插板上。

【0624】 此外，也可以與電子構件730重疊地設置散熱器（散熱板）。在設置散熱器的情況下，較佳為使設置於插板731上的積體電路的高度一致。例如，在本實施方式所示的電子構件730中，較佳為使記憶體裝置720與半導體裝置735的高度一致。

【0625】 為了將電子構件730安裝在其他的基板上，也可以在封裝基板732的底部設置電極733。圖35B示出用焊球形成電極733的例子。藉由在封裝基板732的底部以矩陣狀設置焊球，可以實現BGA（Ball Grid Array：球柵陣列）的安裝。此外，電極733也可以使用導電針形成。藉由在封裝基板732的底部以矩陣狀設置導電針，可以實現PGA（Pin Grid Array：針柵陣列）的安裝。

【0626】 電子構件730可以藉由各種安裝方式安裝在其他基板上，而不侷限於BGA及PGA。例如，可以採用SPGA（Staggered Pin Grid Array：交錯針柵陣列）、LGA（Land Grid Array：地柵陣列）、QFP（Quad Flat Package：四面扁平封裝）、QFJ（Quad Flat J-leaded package：四側J形引腳扁平封裝）或QFN（Quad Flat Non-leaded package：四側無引腳扁平封裝）等安裝方法。

【0627】 以上，本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結構、方法等適當地組合而實施。

【0628】

實施方式6

在本實施方式中，說明使用上述實施方式所示的半導體裝置的記憶體裝置的應用例子。上述實施方式所示的半導體裝置例如可以應用於各種電子裝置（例如，資訊終端、電腦、智慧手機、電子書閱讀器、數位相機（也包括攝影機）、錄影再現裝置、導航系統等）的記憶體裝置。注意，在此，電腦包括平板電腦、筆記型電腦、桌上型電腦以及大型電腦諸如伺服器系統。或者，上述實施方式所示的半導體裝置應用於記憶卡（例如，SD卡）、USB記憶體、SSD（固態硬碟）等各種卸除式存放裝置。圖36A至圖36E示意性地示出卸除式存放裝置的幾個結構例子。例如，上述實施方式所示的半導體裝置加工為被封裝的記憶體晶片並用於各種輔助記憶體裝置（storage device）或卸除式記憶體。

【0629】 圖36A是USB記憶體的示意圖。USB記憶體1100包括外殼1101、蓋子1102、USB連接器1103及基板1104。基板1104被容納在外殼1101中。例如，基板1104上安裝有記憶體晶片1105及控制器晶片1106。可以將上述實施方式所示的半導體裝置組裝於記憶體晶片1105等。

【0630】 圖36B是SD卡的外觀示意圖，圖36C是SD卡的內部結構的示意圖。SD卡1110包括外殼1111、連接器1112及基板1113。基板1113被容納在外殼1111中。例如，基板1113上安裝有記憶體晶片1114及控制器晶片1115。藉由在基板1113的背面一側也設置記憶體晶片1114，可以增大SD卡1110的容量。此外，也可以將具有無線通訊功能的無線晶片設置於基板1113。由此，藉由主機裝置與SD卡1110之間的無線通訊，可以進行記憶體晶片1114的資料的讀出及寫入。可以將上述實施方式所示的半導體裝置組裝於記憶體晶片1114等。

【0631】 圖36D是SSD的外觀示意圖，圖36E是SSD的內部結構的示意圖。SSD1150包括外殼1151、連接器1152及基板1153。基板1153被容納在外殼

1151中。例如，基板1153上安裝有記憶體晶片1154、記憶體晶片1155及控制器晶片1156。記憶體晶片1155為控制器晶片1156的工作記憶體，例如，可以使用DOSRAM晶片。藉由在基板1153的背面一側也設置記憶體晶片1154，可以增大SSD1150的容量。可以將上述實施方式所示的半導體裝置組裝於記憶體晶片1154等。

【0632】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式、其他實施例等適當地組合而實施。

【0633】

實施方式7

根據本發明的一個實施方式的半導體裝置可以應用於如CPU、GPU等處理器或晶片。圖37A至圖37H示出具有根據本發明的一個實施方式的如CPU、GPU等處理器或晶片的電子裝置的具體例子。

【0634】

<電子裝置及系統>

根據本發明的一個實施方式的GPU或晶片可以安裝在各種各樣的電子裝置。作為電子裝置的例子，除了電視機、用於桌上型或筆記本式資訊終端等的顯示器、數位看板（Digital Signage）、彈珠機等大型遊戲機等具有較大的螢幕的電子裝置以外，還可以舉出數位相機、數位攝影機、數位相框、電子書閱讀器、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置等。此外，藉由將根據本發明的一個實施方式的GPU或晶片設置在電子裝置中，可以使電子裝置具備人工智慧。

【0635】本發明的一個實施方式的電子裝置也可以包括天線。藉由使用天線接收信號，可以在顯示部上顯示影像或資訊等。此外，在電子裝置包括天線及二次電池時，可以將天線用於非接觸電力傳送。

【0636】本發明的一個實施方式的電子裝置也可以包括感測器（該感測器具有測定如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）。

【0637】本發明的一個實施方式的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊（靜態影像、動態圖片、文字影像等）顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；執行各種軟體（程式）的功能；進行無線通訊的功能；讀出儲存在存儲介質中的程式或資料的功能；等。圖37A至圖37H示出電子裝置的例子。

【0638】

[資訊終端]

圖37A示出資訊終端之一的行動電話機（智慧手機）。資訊終端5100包括外殼5101及顯示部5102，作為輸入介面在顯示部5102中具備觸控面板，並且在外殼5101上設置有按鈕。

【0639】藉由將本發明的一個實施方式的晶片應用於資訊終端5100，可以執行利用人工智慧的應用程式。作為利用人工智慧的應用程式，例如，可以舉出識別會話來將該會話的內容顯示在顯示部5102上的應用程式、識別由使用者輸入到顯示部5102所具備的觸控面板的文字或圖形等來將該文字或該圖形等

顯示在顯示部5102上的應用程式、執行指紋或聲紋等的生物識別的應用程式等。

【0640】 圖37B示出筆記本式資訊終端5200。筆記本式資訊終端5200包括資訊終端主體5201、顯示部5202及鍵盤5203。

【0641】 與上述資訊終端5100同樣，藉由將本發明的一個實施方式的晶片應用於筆記本式資訊終端5200，可以執行利用人工智慧的應用程式。作為利用人工智慧的應用程式，例如，可以舉出設計支援軟體、文章校對軟體、功能表自動生成軟體等。此外，藉由使用筆記本式資訊終端5200，可以研發新穎人工智慧。

【0642】 注意，在上述例子中，圖37A及圖37B分別示出智慧手機及筆記本式資訊終端作為電子裝置的例子，但是也可以應用智慧手機及筆記本式資訊終端以外的資訊終端。作為智慧手機及筆記本式資訊終端以外的資訊終端，例如可以舉出PDA（Personal Digital Assistant：個人數位助理）、桌上型資訊終端、工作站等。

【0643】

[遊戲機]

圖37C示出作為遊戲機的一個例子的可攜式遊戲機5300。可攜式遊戲機5300包括外殼5301、外殼5302、外殼5303、顯示部5304、連接部5305及操作鍵5306等。可以將外殼5302及外殼5303從外殼5301拆卸。藉由將設在外殼5301中的連接部5305安裝到其他外殼（未圖示），可以將輸出到顯示部5304的影像輸出到其他視頻顯示裝置（未圖示）。此時，外殼5302及外殼5303分別可以被用

作操作部。由此，多個遊戲玩者可以同時玩遊戲。可以將上述實施方式所示的晶片嵌入到設置在外殼5301、外殼5302及外殼5303的基板的晶片等。

【0644】 另外，圖37D示出遊戲機之一的固定式遊戲機5400。固定式遊戲機5400以無線或有線連接有控制器5402。

【0645】 藉由將本發明的一個實施方式的GPU或晶片應用於可攜式遊戲機5300及固定式遊戲機5400等遊戲機，可以實現低功耗的遊戲機。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

【0646】 再者，藉由將本發明的一個實施方式的GPU或晶片應用於可攜式遊戲機5300，可以實現具備人工智慧的可攜式遊戲機5300。

【0647】 遊戲的進展、遊戲中出現的生物的言行、遊戲上發生的現象等的表現本來是由該遊戲所具有的程式規定的，但是藉由將人工智慧應用於可攜式遊戲機5300，可以實現不侷限於遊戲的程式的表現。例如，可以實現遊戲玩者提問的內容、遊戲的進展情況、時間、遊戲上出現的人物的言行變化等的表現。

【0648】 此外，當使用可攜式遊戲機5300玩需要多個遊戲玩者的遊戲時，可以利用人工智慧構成擬人的遊戲玩者，由此可以將人工智慧的遊戲玩者當作對手，一個人也可以玩多個人玩的遊戲。

【0649】 雖然圖37C及圖37D示出可攜式遊戲機及固定式遊戲機作為遊戲機的一個例子，但是應用本發明的一個實施方式的GPU或晶片的遊戲機不侷限於此。作為應用本發明的一個實施方式的GPU或晶片的遊戲機，例如可以舉出

設置在娛樂設施（遊戲中心，遊樂園等）的街機遊戲機、設置在體育設施的擊球練習用投球機等。

【0650】

[大型電腦]

可以將本發明的一個實施方式的GPU或晶片應用於大型電腦。

【0651】 圖37E示出作為大型電腦的一個例子的超級電腦5500。圖37F示出超級電腦5500所包括的機架（rack mount）式電腦5502。

【0652】 超級電腦5500包括機架5501及多個機架式電腦5502。注意，多個電腦5502容納在機架5501中。另外，電腦5502設有多個基板5504，在該基板上可以安裝上述實施方式所說明的GPU或晶片 。

【0653】 超級電腦5500主要是適合於科學計算的大型電腦。科學計算需要以高速進行龐大的運算，因此功耗大且晶片的發熱高。藉由將本發明的一個實施方式的GPU或晶片應用於超級電腦5500，可以實現低功耗的超級電腦。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路及模組帶來的負面影響。

【0654】 在圖37E及圖37F中，作為大型電腦的一個例子示出超級電腦，然而應用本發明的一個實施方式的GPU或晶片的大型電腦不侷限於此。作為應用本發明的一個實施方式的GPU或晶片的大型電腦，例如可以舉出提供服務的電腦（伺服器）、大型通用電腦（主機）等。

【0655】

[移動體]

本發明的一個實施方式的GPU或晶片可以應用於作為移動體的汽車及汽車的駕駛席周邊。

【0656】 圖37G是示出移動體的一個例子的汽車內部的前擋風玻璃周邊的圖。圖37G示出安裝在儀表板的顯示面板5701、顯示面板5702、顯示面板5703以及安裝在支柱的顯示面板5704。

【0657】 藉由顯示速度表、轉速計、行駛距離、燃料表、排檔狀態、空調的設定等，顯示面板5701至顯示面板5703可以提供各種資訊。此外，使用者可以根據喜好適當地改變顯示面板所顯示的顯示內容及佈局等，可以提高設計性。顯示面板5701至顯示面板5703還可以用作照明設備。

【0658】 藉由將由設置在汽車的攝像裝置（未圖示）拍攝的影像顯示在顯示面板5704上，可以彌補被支柱遮擋的視野（死角）。也就是說，藉由顯示由設置在汽車外側的攝像裝置拍攝的影像，可以彌補死角，從而可以提高安全性。此外，藉由顯示彌補看不到的部分的影像，可以更自然、更舒適地確認安全。顯示面板5704還可以用作照明設備。

【0659】 因為可以將本發明的一個實施方式的GPU或晶片用作人工智慧的組件，例如可以將該晶片用於汽車的自動駕駛系統。該晶片也可以用於進行導航、危險預測等的系統。此外，也可以在顯示面板5701至顯示面板5704上顯示導航、危險預測等資訊。

【0660】 雖然在上述例子中作為移動體的一個例子說明了汽車，但是移動體不侷限於汽車。例如，作為移動體，也可以舉出電車、單軌鐵路、船舶、飛行物（直升機、無人駕駛飛機（無人機）、飛機、火箭）等，可以對這些移動體應用本發明的一個實施方式的晶片，以提供利用人工智慧的系統。

【0661】

[電器產品]

圖37H示出電器產品的一個例子的電冷藏冷凍箱5800。電冷藏冷凍箱5800包括外殼5801、冷藏室門5802及冷凍室門5803等。

【0662】 藉由將本發明的一個實施方式的晶片應用於電冷藏冷凍箱5800，可以實現具備人工智慧的電冷藏冷凍箱5800。藉由利用人工智慧，可以使電冷藏冷凍箱5800具有基於儲存在電冷藏冷凍箱5800中的食品或該食品的消費期限等自動生成功能表的功能、根據所儲存的食品自動調整電冷藏冷凍箱5800的溫度的功能。

【0663】 作為電器產品的一個例子說明了電冷藏冷凍箱，但是作為其他電器產品，例如可以舉出吸塵器、微波爐、電烤箱、電鍋、熱水器、IH炊具、飲水機、包括空氣調節器的冷暖空調機、洗衣機、乾衣機、視聽設備等。

【0664】 在本實施方式中說明的電子裝置、該電子裝置的功能、人工智慧的應用例子以及其效果等可以與其他的電子裝置的記載適當地組合而實施。

【0665】 以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式、其他實施例等適當地組合而實施。

【0666】

實施方式8

本發明的一個實施方式的半導體裝置包括OS電晶體。該OS電晶體的因被照射輻射線而導致的電特性變動小。換言之，對於輻射線的耐性高，所以在有可能入射輻射線的環境下也可以適當地使用。例如，可以在宇宙空間中使用的

情況下適當地使用OS電晶體。在本實施方式中，使用圖38說明將本發明的一個實施方式的半導體裝置應用於太空設備的情況的具體例子。

【0667】 在圖38中，作為太空設備的一個例子示出人造衛星6800。人造衛星6800包括主體6801、太陽能電池板6802、天線6803、二次電池6805以及控制裝置6807。另外，圖38示出在宇宙空間有行星6804的例子。注意，宇宙空間例如是指高度100km以上，但是本說明書所示的宇宙空間也可以包括熱層、中間層及平流層。

【0668】 另外，宇宙空間是其輻射劑量為地面的100倍以上的環境。作為輻射線，例如可以舉出：以X射線及γ射線為代表的電磁波（電磁輻射線）；以及以α射線、β射線、中子射線、質子射線、重離子射線、介子射線等為代表的粒子輻射線。

【0669】 在陽光照射到太陽能電池板6802時產生人造衛星6800進行工作所需的電力。然而，例如在陽光不照射到太陽能電池板的情況或者在照射到太陽能電池板的陽光量較少的情況下，所產生的電力量減少。因此，有可能不會產生人造衛星6800進行工作所需的電力。為了在所產生的電力較少的情況下也使人造衛星6800工作，較佳為在人造衛星6800中設置二次電池6805。另外，有時將太陽能電池板稱為太陽能電池模組。

【0670】 人造衛星6800可以生成信號。該信號藉由天線6803傳送，例如地面上的接收機或其他人造衛星可以接收該信號。藉由接收人造衛星6800所傳送的信號，可以測量接收該信號的接收機的位置。由此，人造衛星6800可以構成衛星定位系統。

【0671】另外，控制裝置6807具有控制人造衛星6800的功能。控制裝置6807例如使用選自CPU、GPU和記憶體裝置中的任一個或多個構成。另外，作為控制裝置6807較佳為使用包括本發明的一個實施方式的OS電晶體的半導體裝置。與Si電晶體相比，OS電晶體的因被照射輻射線而導致的電特性變動小。就是說，OS電晶體在有可能入射輻射線的環境下也可靠性高且可以適當地使用。

【0672】另外，人造衛星6800可以包括感測器。例如，藉由包括可見光感測器，人造衛星6800可以具有檢測地面上的物體反射的陽光的功能。或者，藉由包括熱紅外線感測器，人造衛星6800可以具有檢測從地表釋放的熱紅外線的功能。由此，人造衛星6800例如可以被用作地球觀測衛星。

【0673】注意，在本實施方式中，作為太空設備的一個例子示出人造衛星，但是不侷限於此。例如，本發明的一個實施方式的半導體裝置可以適當地應用於太空船、太空艙、太空探測器等的太空設備。

【符號說明】

【0674】

BGL:佈線

BL[1]:佈線

BL[2]:佈線

BL[EV]:佈線

BL[j]:佈線

BL[n]:佈線

BL[OD]:佈線

BL:佈線

BW:信號

CE:信號

CLK:信號

Cp:電容器

Cpj:電容器

GW:信號

PL[1]:佈線

PL[2]:佈線

PL[3]:佈線

PL[4]:佈線

PL[5]:佈線

PL[i]:佈線

PL[j-1]:佈線

PL[j]:佈線

PL[m]:佈線

PL:佈線

RDA:信號

Tr:電晶體

Trj:電晶體

WAKE:信號

WDA:信號

WL[1]:佈線

WL[2]:佈線

WL[3]:佈線

WL[4]:佈線

WL[i]:佈線

WL[j]:佈線

WL[m]:佈線

WL:佈線

10[1，1]:記憶單元

10[1]:記憶單元

10[2]:記憶單元

10[3]:記憶單元

10[4]:記憶單元

10[5]:記憶單元

10[6]:記憶單元

10[i，j]:記憶單元

10[j]:記憶單元

10[m，n]:記憶單元

10:記憶單元

11:半導體層

12:導電層

20[1]:記憶體陣列

20[2]:記憶體陣列

20[3]:記憶體陣列

20[4]:記憶體陣列

20[5]:記憶體陣列

20[6]:記憶體陣列

20[j]:記憶體陣列

20[k]:記憶體陣列

20:記憶體陣列

21:驅動電路

22:PSW

23:PSW

31:週邊電路

32:控制電路

33:電壓生成電路

41:週邊電路

42:行解碼器

43:行驅動器

44:列解碼器

45:列驅動器

46:感測放大器

47:輸入電路

48:輸出電路

50:記憶體裝置

100a:電容器

100b:電容器

100:電容器

112:導電體

130:絕緣體

146:絕緣體

150:絕緣體

152:絕緣體

154:絕緣體

158:開口

160a:導電體

160b:導電體

160:導電體

200a:電晶體

200b:電晶體

200:電晶體

205a:導電體

205b:導電體

205c:導電體

205:導電體

206:導電體

207:導電體

210:絕緣體

212:絕緣體

214:絕緣體

216:絕緣體

217:絕緣體

218:導電體

222:絕緣體

224A:絕緣膜

224:絕緣體

230a:氧化物

230A:氧化膜

230b:氧化物

230B:氧化膜

230ba:區域

230bb:區域

230bc:區域

230:氧化物

240:導電體

241:絕緣體

242a:導電體

242A:導電膜

242b:導電體

242B:導電層

242c:導電體

242:導電體

246:導電體

247:導電體

248:導電體

250a:絕緣體

250A:絕緣膜

250b:絕緣體

250:絕緣體

252A:絕緣膜

252:絕緣體

254A:絕緣膜

254:絕緣體

258:開口

259:遮罩層

260a:導電體

260b:導電體

260:導電體

263:開口

265:密封部

271a:絕緣體

271A:絕緣膜

271b:絕緣體

271B:絕緣層

271c:絕緣體

271:絕緣體

274:絕緣體

275:絕緣體

280:絕緣體

282:絕緣體

283:絕緣體

285:絕緣體

300:電晶體

311:基板

313:半導體區域

314a:低電阻區域

314b:低電阻區域

315:絕緣體

316:導電體

320:絕緣體

322:絕緣體

324:絕緣體

326:絕緣體

328:導電體

330:導電體

350:絕緣體

352:絕緣體

354:絕緣體

356:導電體

400:開口區域

500:半導體裝置

600:半導體裝置

700:電子構件

702:印刷電路板

704:電路板

711:模子

712:連接盤

713:電極焊盤

714:引線

720:記憶體裝置

721:驅動電路層

722:記憶體電路層

730:電子構件

731:插板

732:封裝基板

733:電極

735:半導體裝置

1001:佈線

1002:佈線

1003:佈線

1004:佈線

1005:佈線

1006:佈線

1007:佈線

1100:USB 記憶體

1101:外殼

1102:蓋子

1103:USB 連接器

1104:基板

1105:記憶體晶片

1106:控制器晶片

1110:SD 卡

1111:外殼

1112:連接器

1113:基板

1114:記憶體晶片

1115:控制器晶片

1150:SSD

1151:外殼

1152:連接器

1153:基板

1154:記憶體晶片

1155:記憶體晶片

1156:控制器晶片

1200:晶片

1201:封裝基板

1202:凸塊

1203:主機板

1204:GPU 模組

1211:CPU

1212:GPU

1213:類比運算部

1214:記憶體控制器

1215:介面

1216:網路電路

1221:DRAM

1222:快閃記憶體

2700:製造裝置

2701:大氣側基板供應室

2702:大氣側基板傳送室

2703a:負載鎖定室

2703b:卸載閉鎖室

2704:傳送室

2706a:處理室

2706b:處理室

2706c:處理室

2706d:處理室

2761:盒式介面

2762:對準機

2763a:傳送機器人

2763b:傳送機器人

2801:氣體供應源

2802:閥

2803:高頻產生器

2804:波導管

2805:模式轉換器

2806:氣體管

2807:波導管

2808:縫隙天線板

2809:電介質板

2810:高密度電漿

2811_1:基板

2811_2:基板

2811_3:基板

2811_n:基板

2811:基板

2812:基板支架

2813:加熱機構

2815:匹配器

2816:高頻電源

2817:真空泵

2818:閥

2819:排氣口

2820:燈

2821:氣體供應源

2822:閥

2823:氣體導入口

2824:基板

2825:基板支架

2826:加熱機構

2828:真空泵

2829:閥

2830:排氣口

2900:微波處理裝置

2901:石英管

2902:基板支架

2903:加熱單元

5100:資訊終端

5101:外殼

5102:顯示部

5200:筆記本式資訊終端

5201:主體

5202:顯示部

5203:鍵盤

5300:可攜式遊戲機

5301:外殼

5302:外殼

5303:外殼

5304:顯示部

5305:連接部

5306:操作鍵

5400:固定式遊戲機

5402:控制器

5500:超級電腦

5501:機架

5502:電腦

5504:基板

5701:顯示面板

5702:顯示面板

5703:顯示面板

5704:顯示面板

5800:電冷藏冷凍箱

5801:外殼

5802:冷藏室門

5803:冷凍室門

6800:人造衛星

6801:主體

6802:太陽能電池板

6803:天線

6804:行星

6805:二次電池

6807:控制裝置

【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

電晶體；以及

電容器，

其中，該電晶體包括：

氧化物；

該氧化物上的第一導電體及第二導電體；

配置在該第一導電體及該第二導電體上且具有第一開口及第二開口的第一絕緣體；

該第一絕緣體的該第一開口內的第二絕緣體；以及

該第二絕緣體上的第三導電體，

該第一絕緣體所具有的該第一開口具有與該氧化物重疊的區域，

該第三導電體具有隔著該第二絕緣體與該氧化物重疊的區域，

該第二絕緣體具有與該氧化物的頂面及該第一絕緣體所具有的該第一開口的側壁的每一個接觸的區域，

該電容器包括該第二導電體、該第二導電體上的第三絕緣體及該第三絕緣體上的第四導電體，

該第三絕緣體及該第四導電體配置在該第二開口內，

並且，在從該電晶體的通道長度方向的剖面看時，該第一導電體與該第二導電體之間的距離小於該第一開口的寬度。

【請求項2】 如請求項1之半導體裝置，

其中該第一絕緣體所具有的該第二開口具有與該第二導電體重疊的區域，

該第四導電體具有隔著該第三絕緣體與該第二導電體重疊的區域，

並且該第三絕緣體具有與該第二導電體的頂面及該第一絕緣體所具有的該第一開口的側壁的每一個接觸的區域。

【請求項3】 如請求項2之半導體裝置，

其中該第二絕緣體包括第四絕緣體、該第四絕緣體上的第五絕緣體及該第五絕緣體上的第六絕緣體，

該第三絕緣體包括第七絕緣體、該第七絕緣體上的第八絕緣體及該第八絕緣體上的第九絕緣體，

該第四絕緣體具有其厚度比該第五絕緣體的厚度小的區域，

該第六絕緣體與該第五絕緣體相比不容易使氧透過，

該第七絕緣體具有其厚度小於該第八絕緣體的厚度的區域，

並且該第九絕緣體與該第八絕緣體相比不容易使氧透過。

【請求項4】 如請求項3之半導體裝置，

其中該第四絕緣體包含與該第七絕緣體相同的絕緣性材料，

該第五絕緣體包含與該第八絕緣體相同的絕緣性材料，

該第六絕緣體包含與該第九絕緣體相同的絕緣性材料，

並且該第三導電體包含與該第四導電體相同的導電性材料。

【請求項5】 如請求項4之半導體裝置，

其中第十絕緣體位於該第一導電體及該第二導電體與該第一絕緣體之間，

該第十絕緣體具有與該第一開口重疊的第三開口及與該第二開口重疊的第四開口，

該第十絕緣體與該第四絕緣體及該第七絕緣體相比不容易使氧透過，

該第十絕緣體具有與該氧化物的側面、該第一導電體的側面及該第二導電體的側面的每一個接觸的區域，

並且在從該電晶體的通道長度方向的剖面看時，該第一導電體與該第二導電體之間的距離小於該第三開口的寬度。

【請求項6】 如請求項5之半導體裝置，其中該第一導電體及該第二導電體的彼此相對的側面與該氧化物的頂面大致垂直。

【請求項7】 如請求項5之半導體裝置，

其中該第一導電體包括第五導電體及該第五導電體上的第六導電體，

該第二導電體包括第七導電體及該第七導電體上的第八導電體，

並且在從該電晶體的通道長度方向的剖面看時，該第五導電體與該第七導電體之間的距離小於該第六導電體與該第八導電體之間的距離。

【請求項8】 如請求項5之半導體裝置，其中該氧化物包含銦、鋅以及選自鎵、鋁和錫中的一個或多個。

【請求項9】 如請求項8之半導體裝置，

其中該氧化物包含結晶，

並且該結晶的 c 軸大致垂直於該氧化物的表面或被形成面。

【請求項10】 如請求項1至9中任一項之半導體裝置，包括該氧化物下的第九導電體，

其中該第九導電體與該氧化物及該第三導電體重疊。

【請求項11】 一種記憶體裝置，包括：

包括設置有如請求項 10 之半導體裝置的記憶體陣列的多個層，

其中，該層各自包括與該第一導電體電連接的第一佈線、與該第三導電體電連接的第二佈線及與該第四導電體電連接的第三佈線，

在連續的該層中，上層的該第九導電體與下層的第三佈線電連接，

並且，在連續的該層中，下層的該第二佈線設置在與上層的該第三佈線重疊的位置。

【請求項12】 如請求項11之記憶體裝置，

其中第奇數個該層所包括的該第一佈線彼此電連接，

並且第偶數個該層所包括的該第一佈線彼此電連接。

【請求項13】 如請求項11之記憶體裝置，包括驅動電路，

其中多個該層重疊設置在該驅動電路上。

【請求項14】 一種半導體裝置的製造方法，該半導體裝置包括：

電晶體；以及

電容器，

其中，該電晶體包括氧化物、第一導電體至第三導電體、第一絕緣體及第二絕緣體，

並且，該電容器包括該第二導電體、第三絕緣體及第四導電體，

半導體裝置的製造方法包括如下步驟：

覆蓋該氧化物及該氧化物上的導電層形成該第一絕緣體；

在該第一絕緣體中形成使該導電層的頂面及側面以及該氧化物的側面露出的第一開口及第二開口；

形成覆蓋該第一絕緣體及該第二開口的遮罩層，其中該遮罩層具有與該第一開口的一部分重疊的第三開口，並且在從該電晶體的通道長度方向的剖面看時，該第三開口的寬度小於該第一開口的寬度；

使用該遮罩層對該導電層進行蝕刻來形成該第一導電體及該第二導電體；

覆蓋該第一絕緣體、該第一開口及該第二開口沉積絕緣膜；

在該絕緣膜上沉積導電膜；以及

去除該絕緣膜及該導電膜中的從該第一開口及該第二開口露出的部分，在該第一開口中形成該第二絕緣體及該第三導電體，在該第二開口中形成該第三絕緣體及該第四導電體。

[發明圖式]

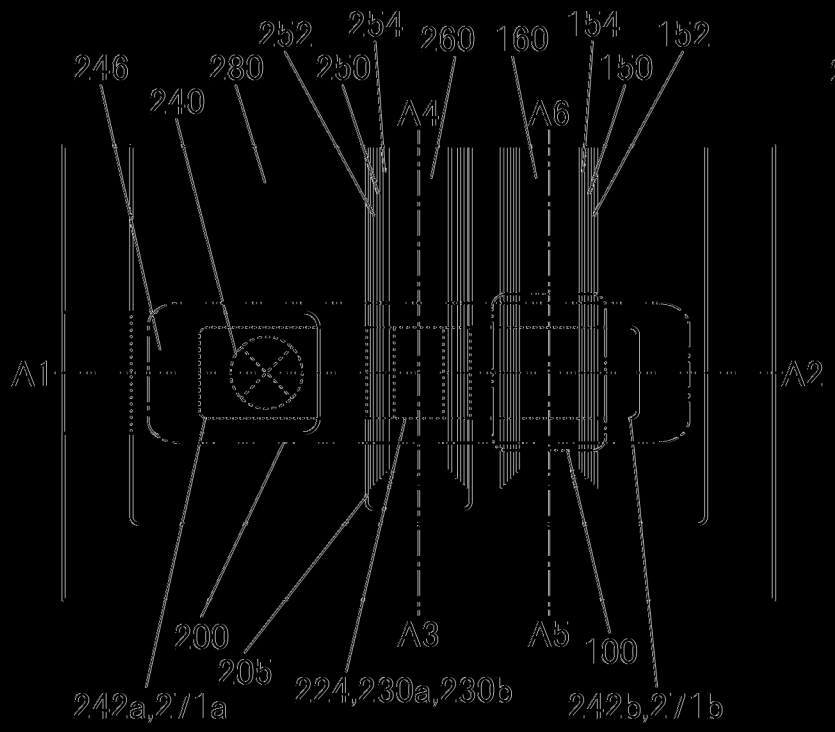


圖1A

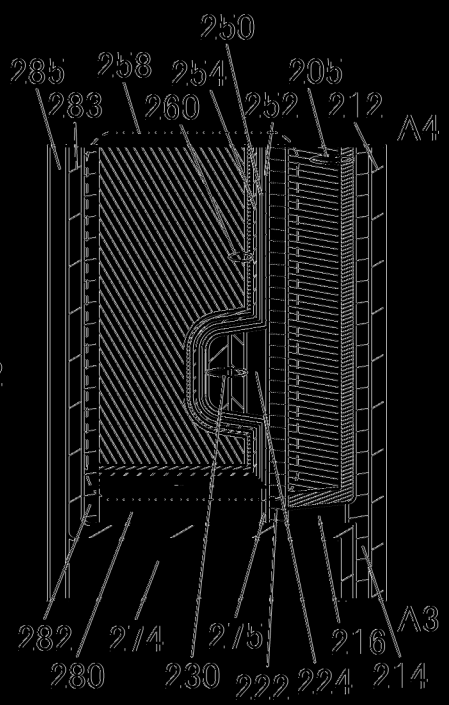


圖1C

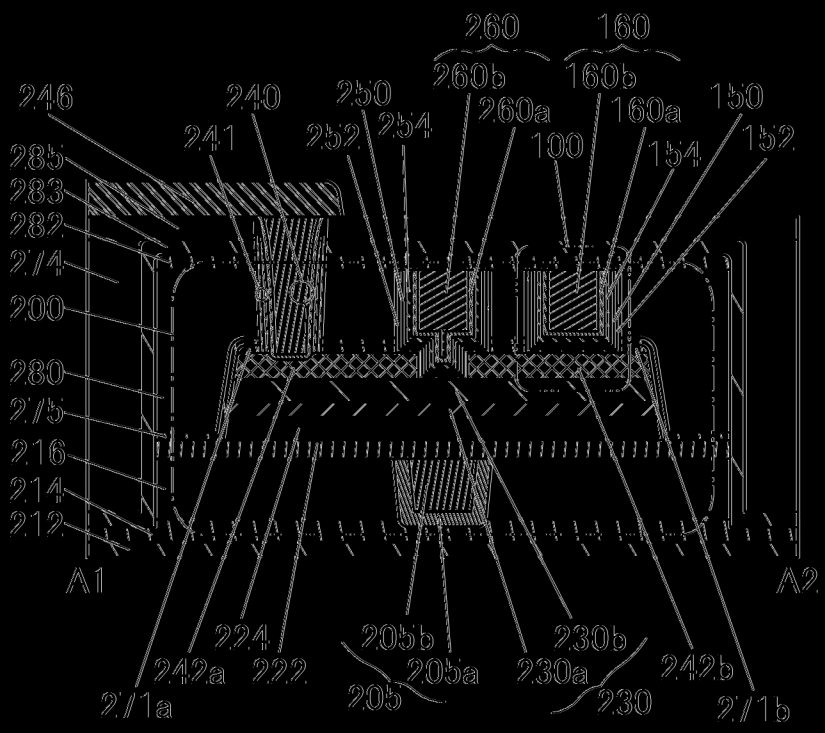


圖1B

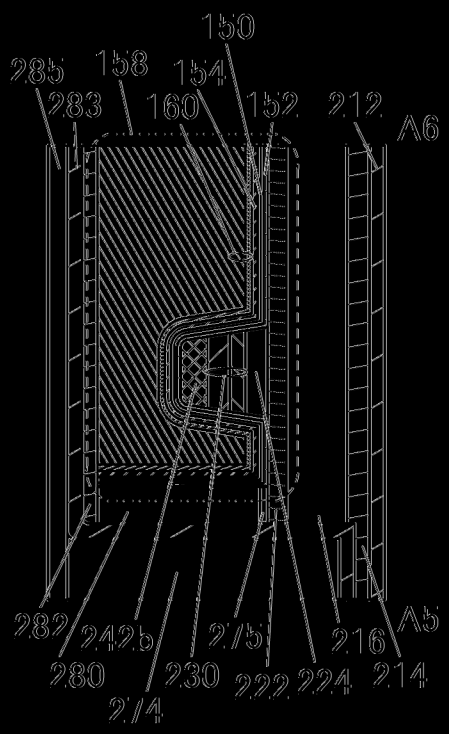


圖1D

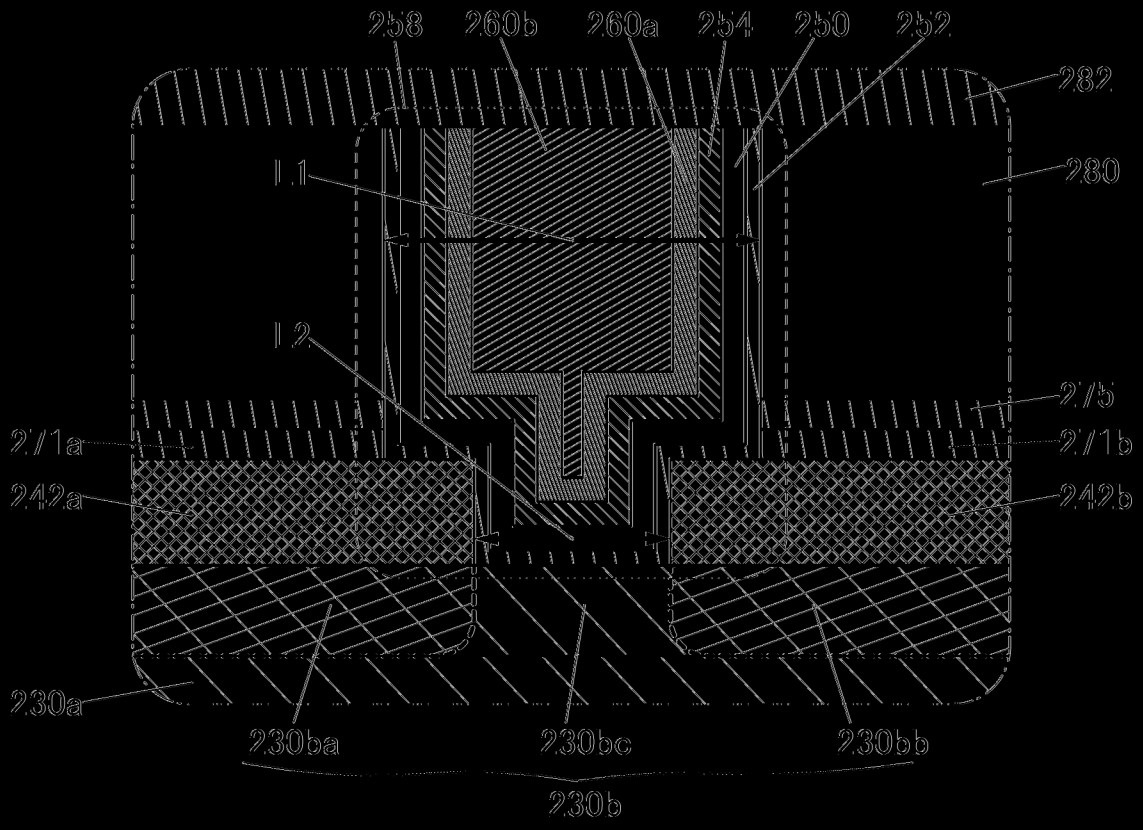

258
260b
260a
254
250
252
282
280
L1
L2
275
271a
271b
242a
242b
230a
230ba
230bc
230bb
230b

圖2A

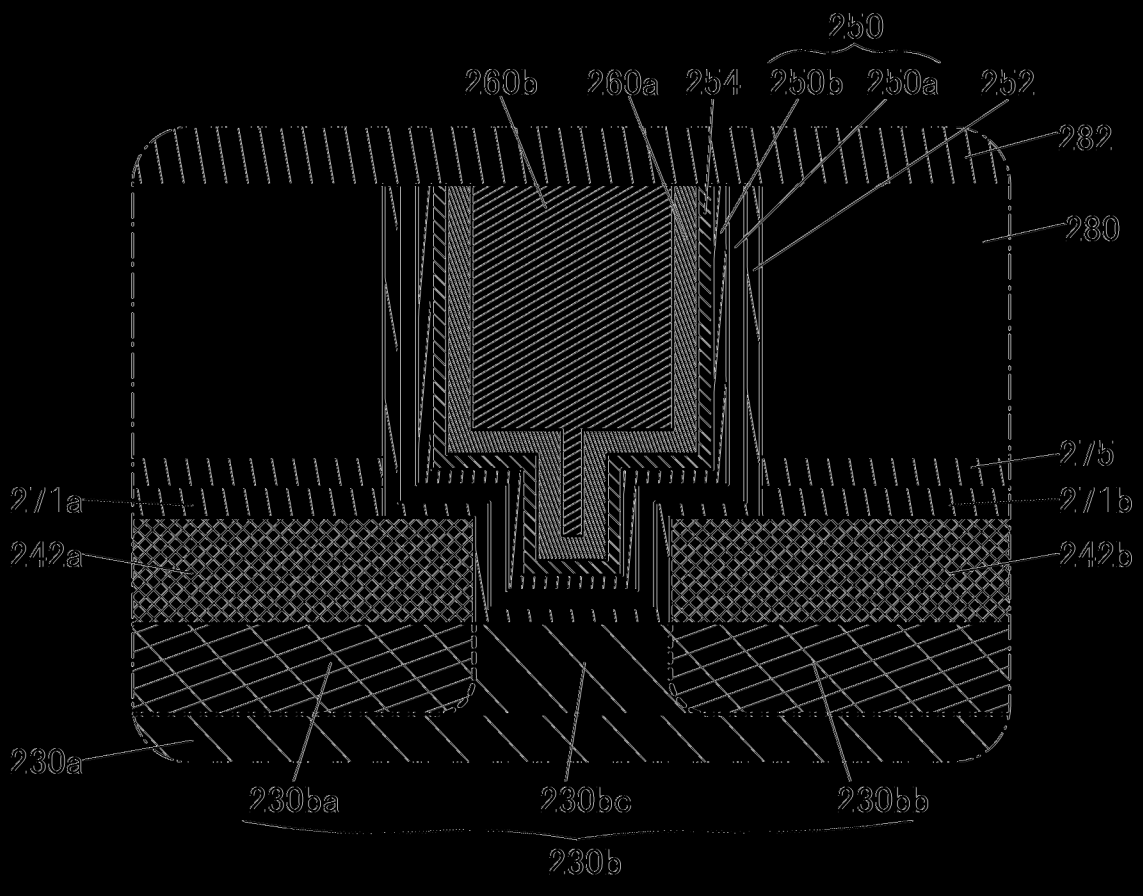

250
260b
260a
254
250b
250a
252
282
280
275
271a
271b
242a
242b
230a
230ba
230bc
230bb
230b

圖2B

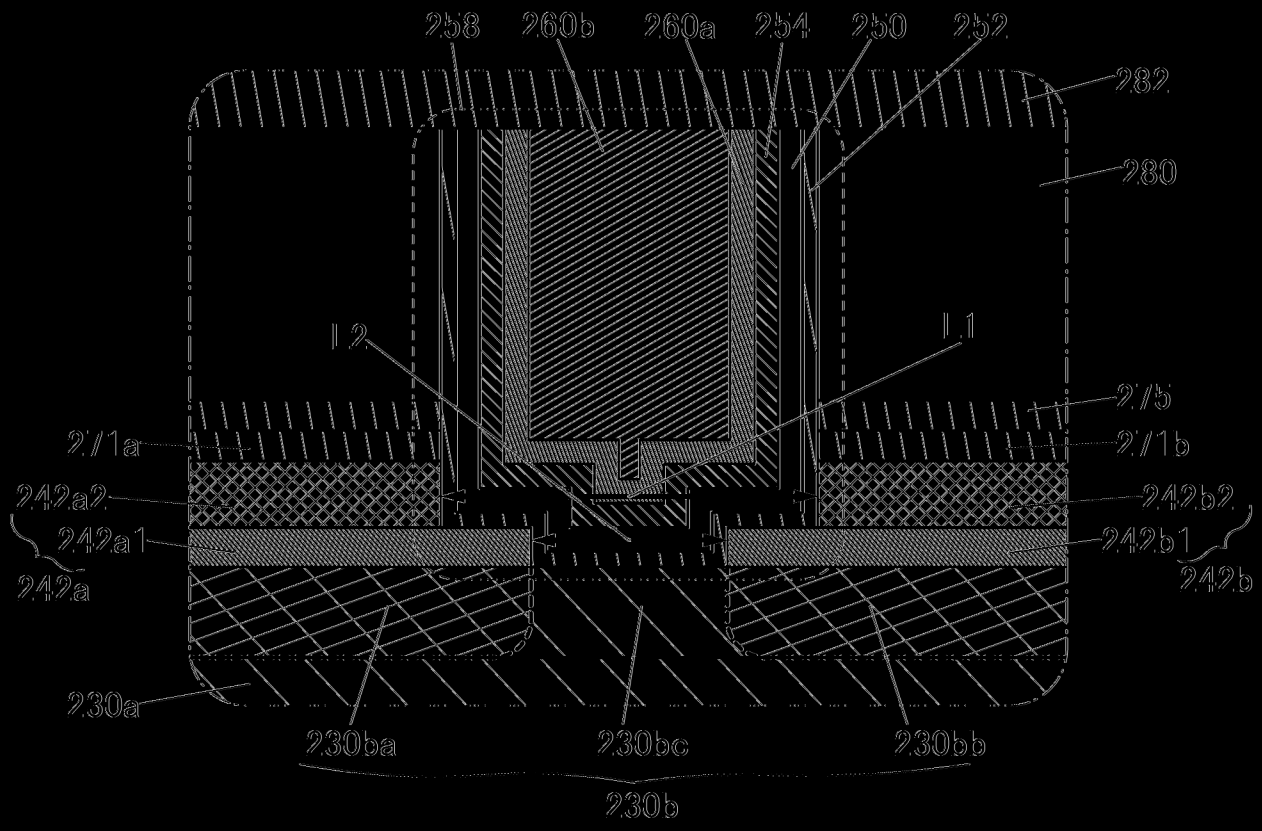

258
260b
260a
254
250
252
282
280
L2
L1
275
271a
271b
242a2
242b2
242a1
242b1
242a
242b
230a
230ba
230bc
230bb
230b

圖3A

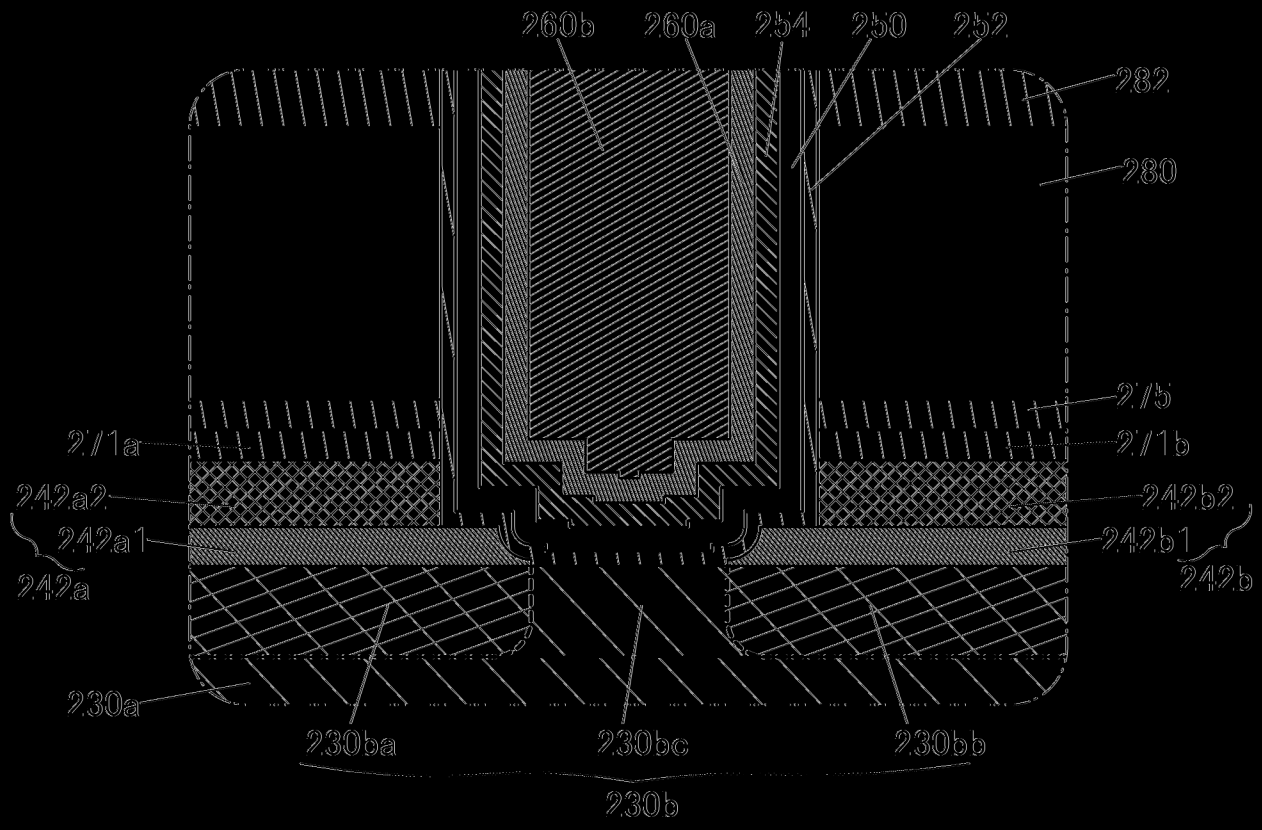

260b
260a
254
250
252
282
280
275
271a
271b
242a2
242b2
242a1
242b1
242a
242b
230a
230ba
230bc
230bb
230b

圖3B

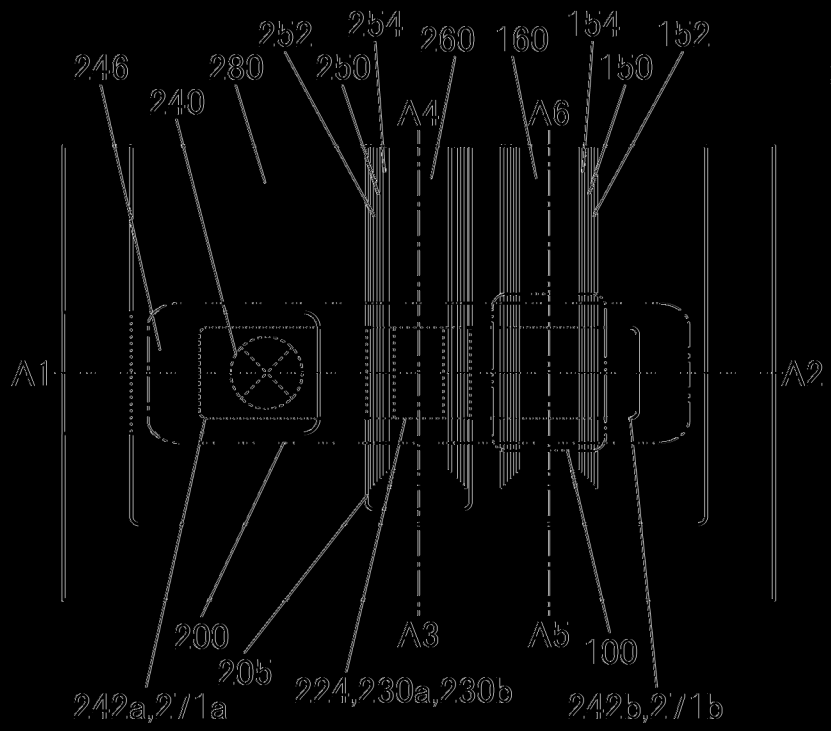


圖4A

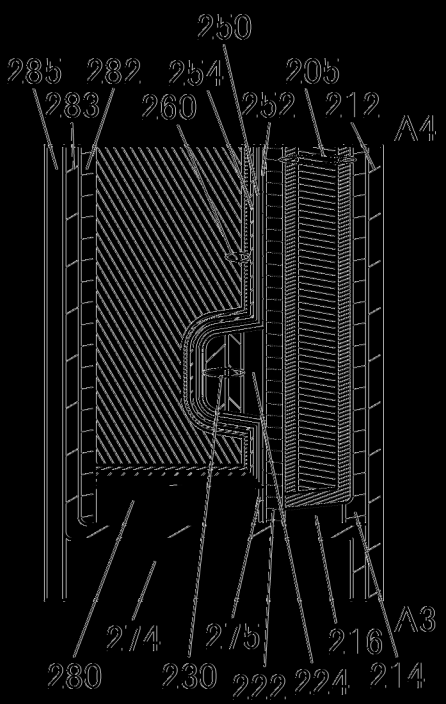


圖4C

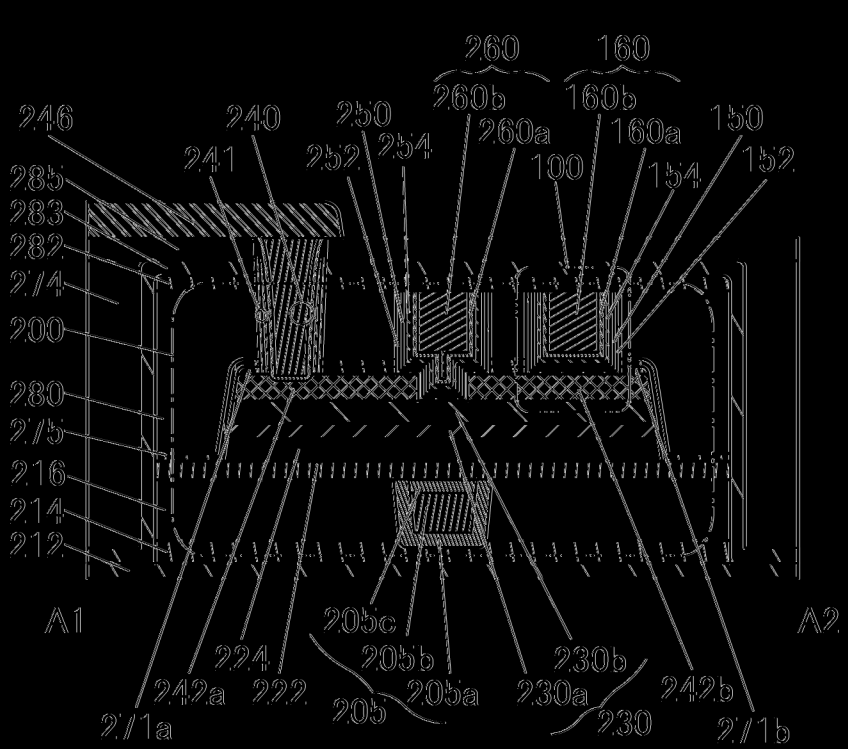


圖4B

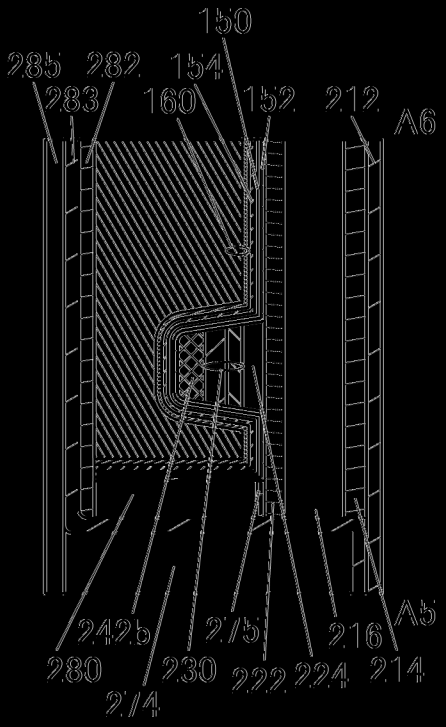


圖4D

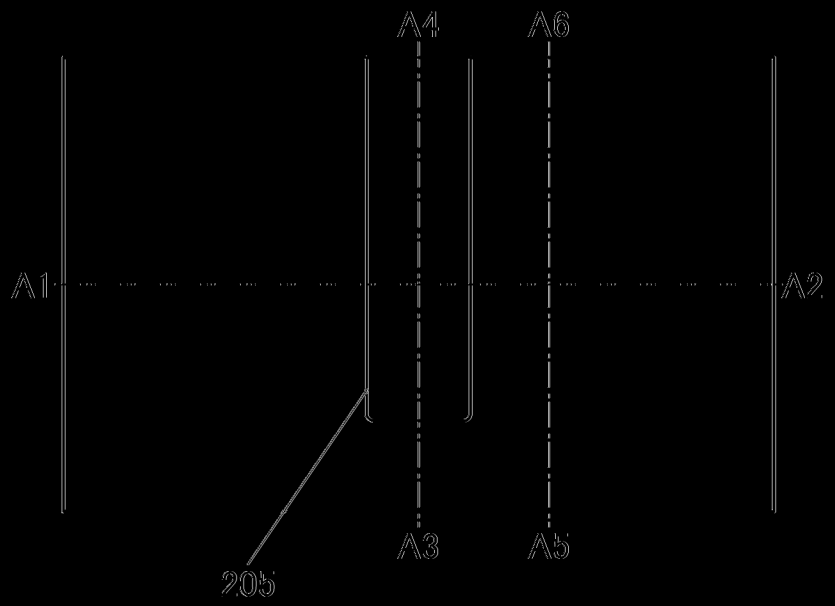


圖5A

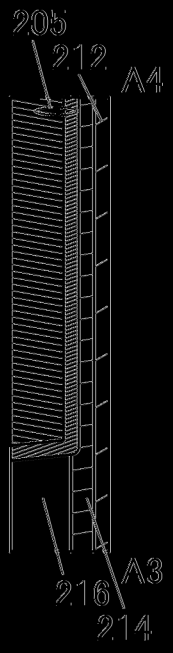


圖5C

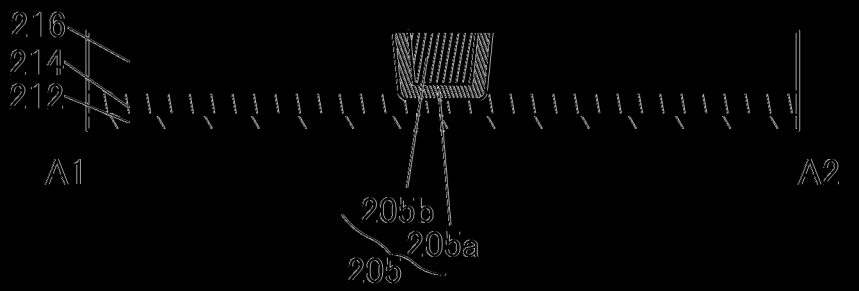


圖5B

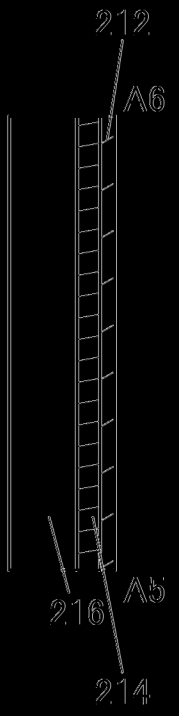


圖5D

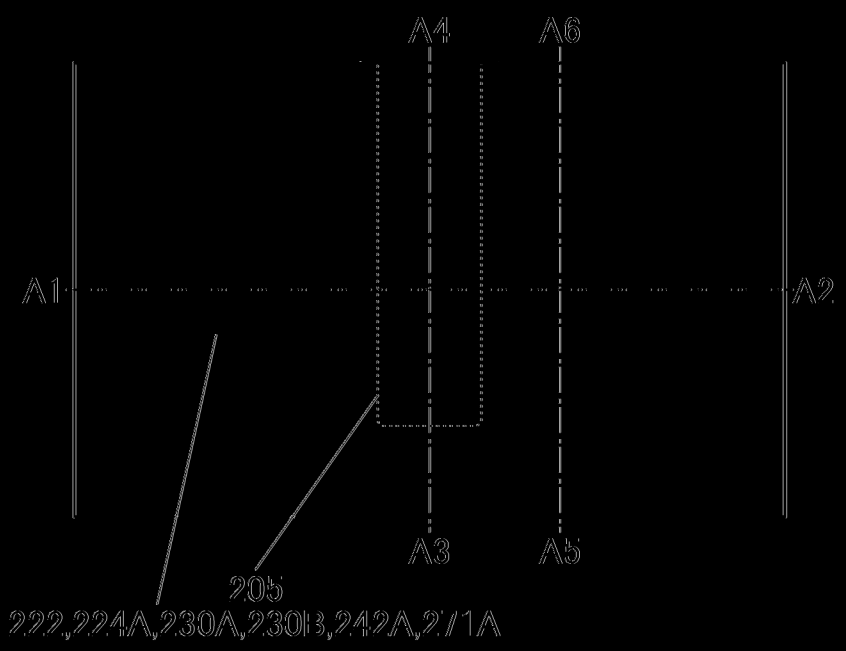


圖6A

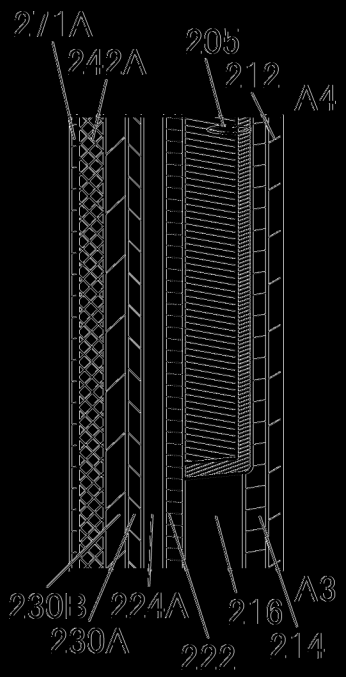


圖6C

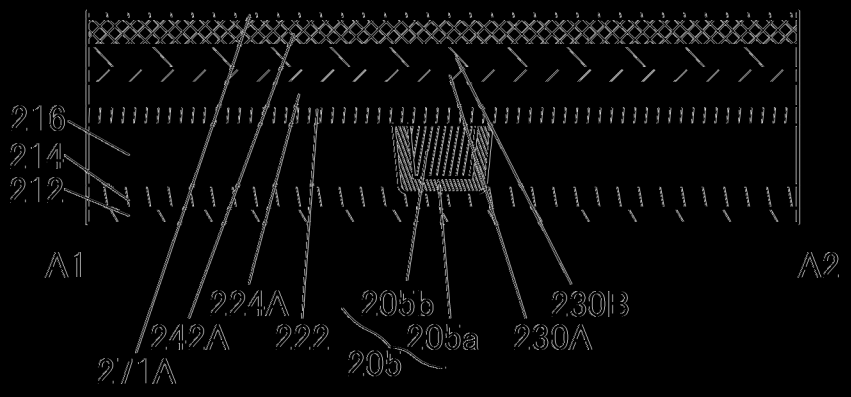


圖6B

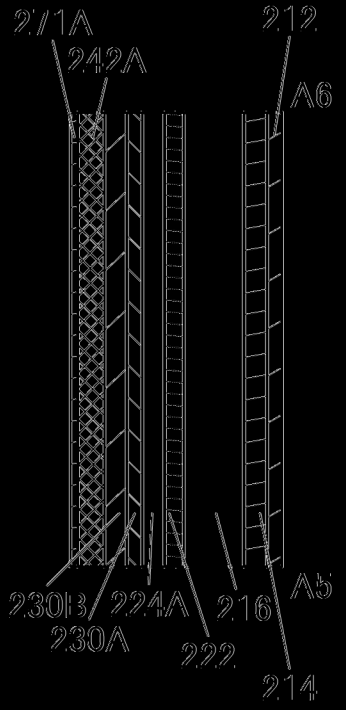


圖6D

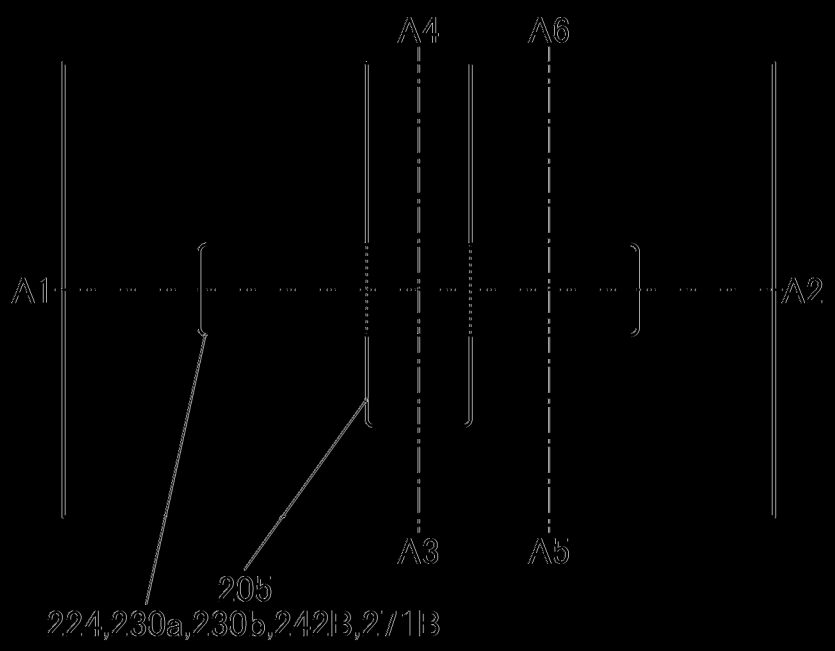


圖7A

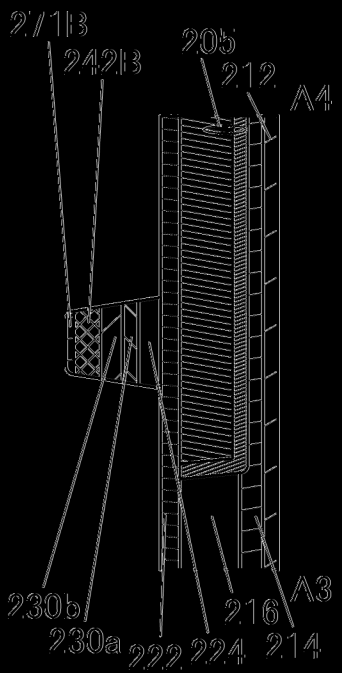


圖7C

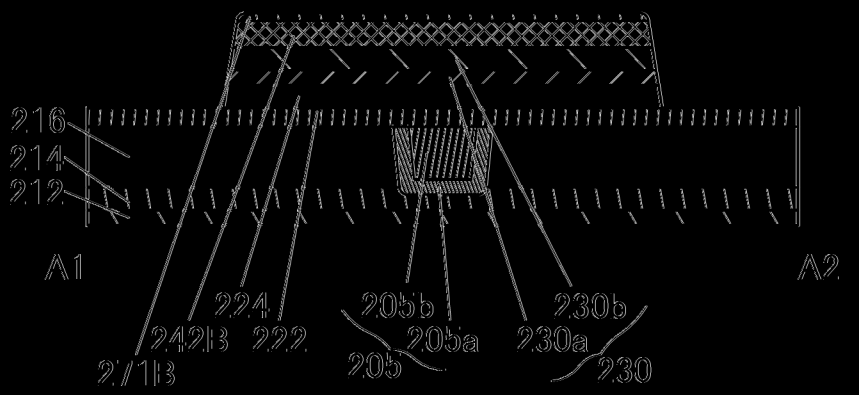


圖7B

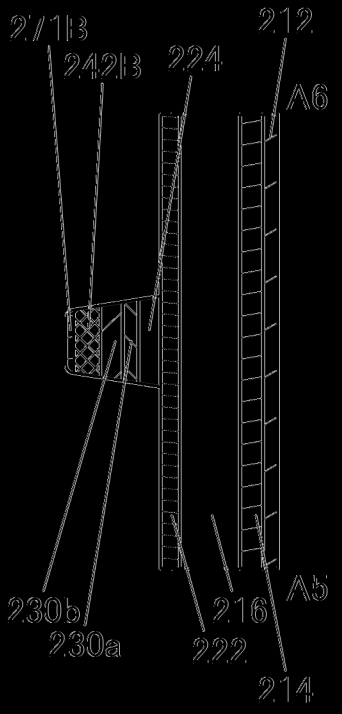
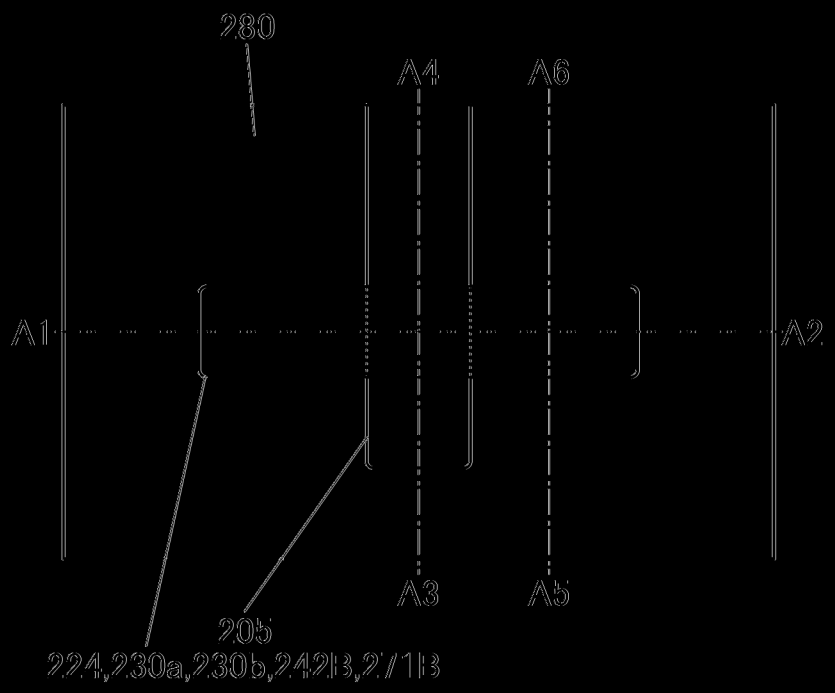
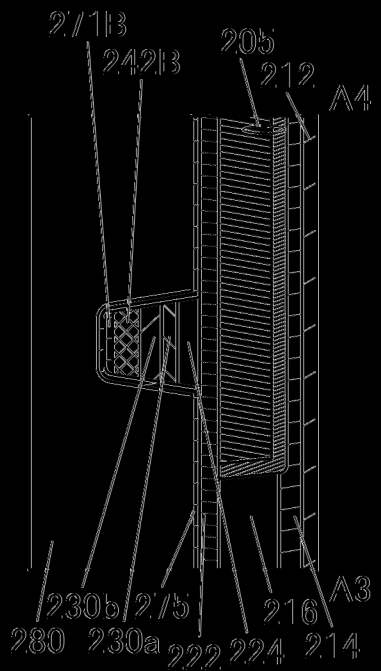


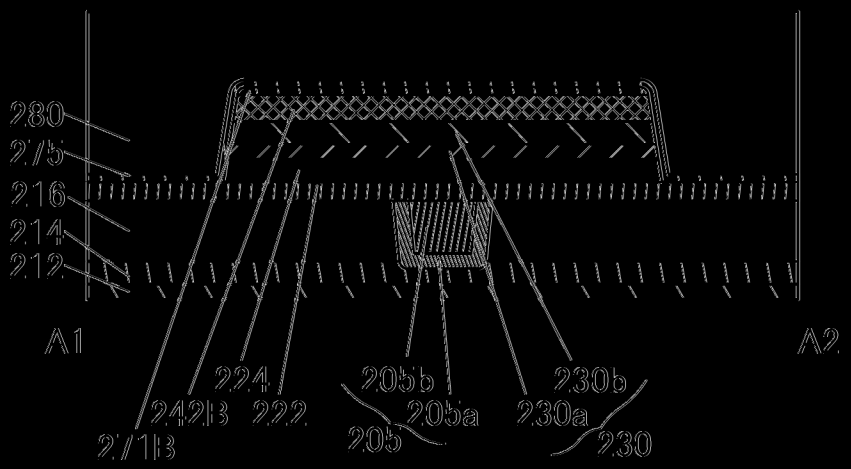
圖7D



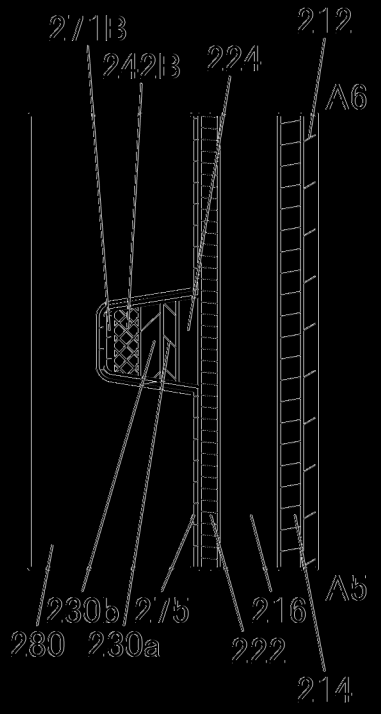
（圖8A）



（圖8C）



（圖8B）



（圖8D）

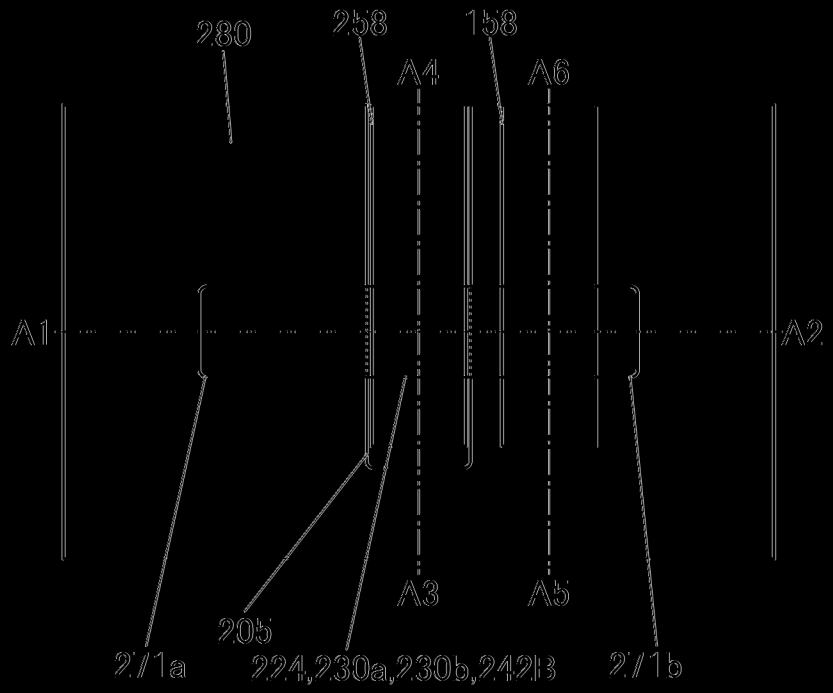


圖9A

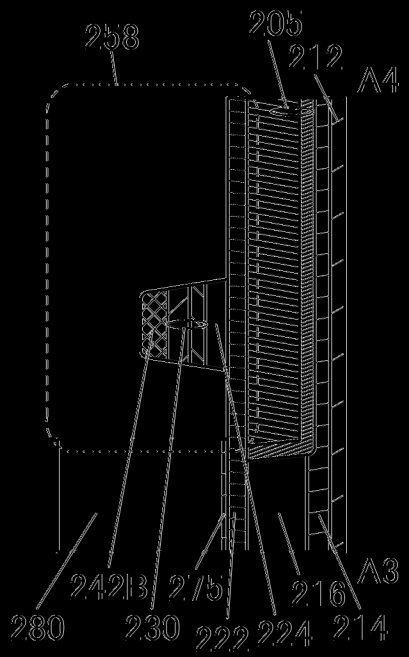


圖9C

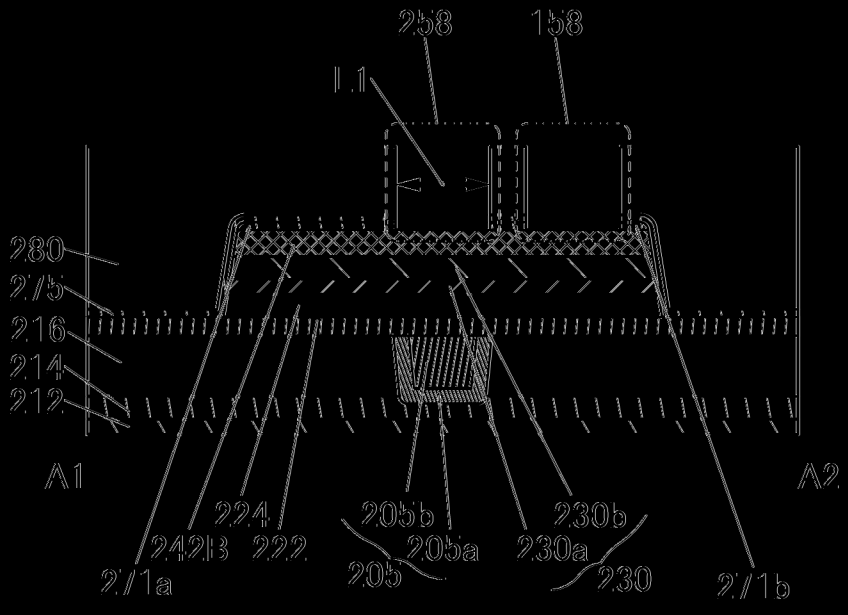


圖9B

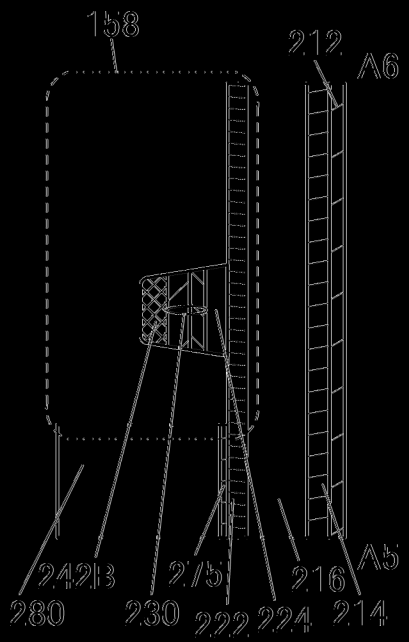
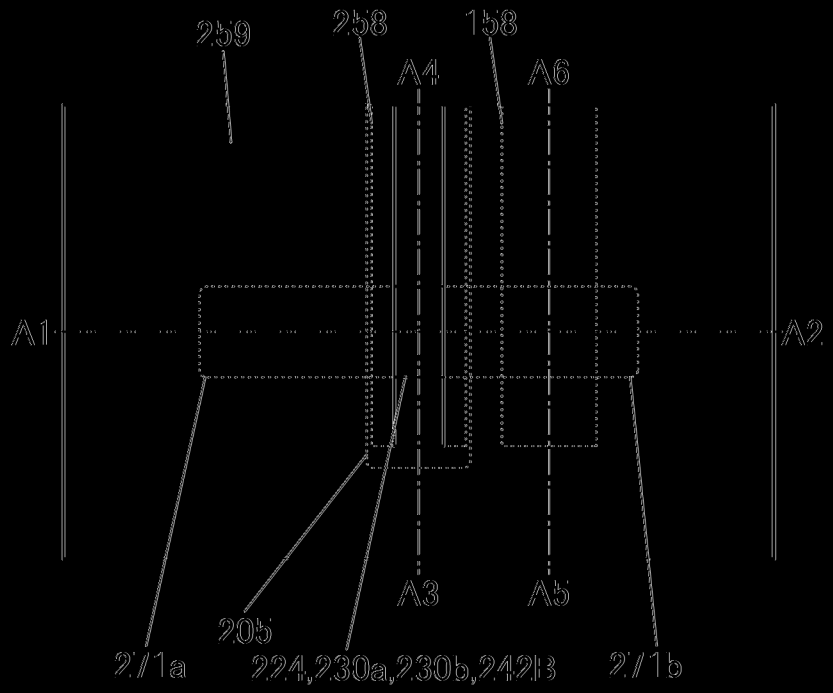
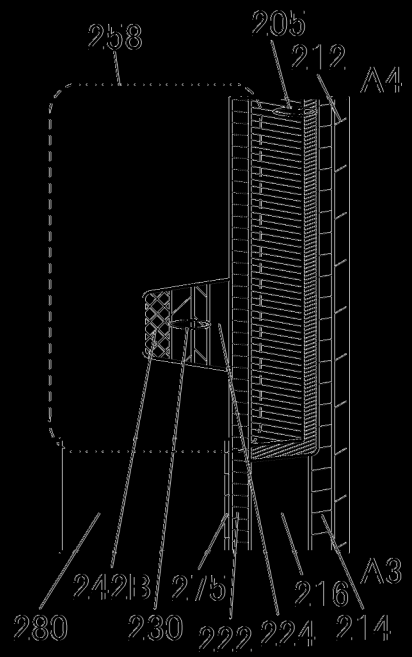


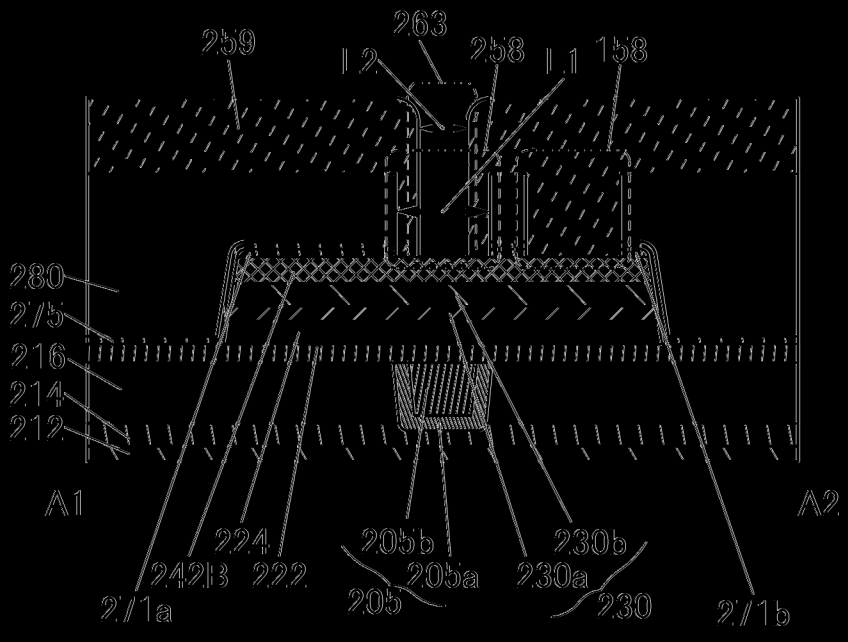
圖9D



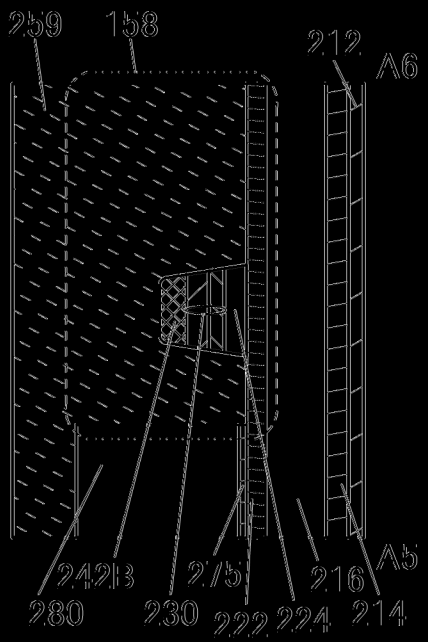
（圖10A）



（圖10C）



（圖10B）



（圖10D）

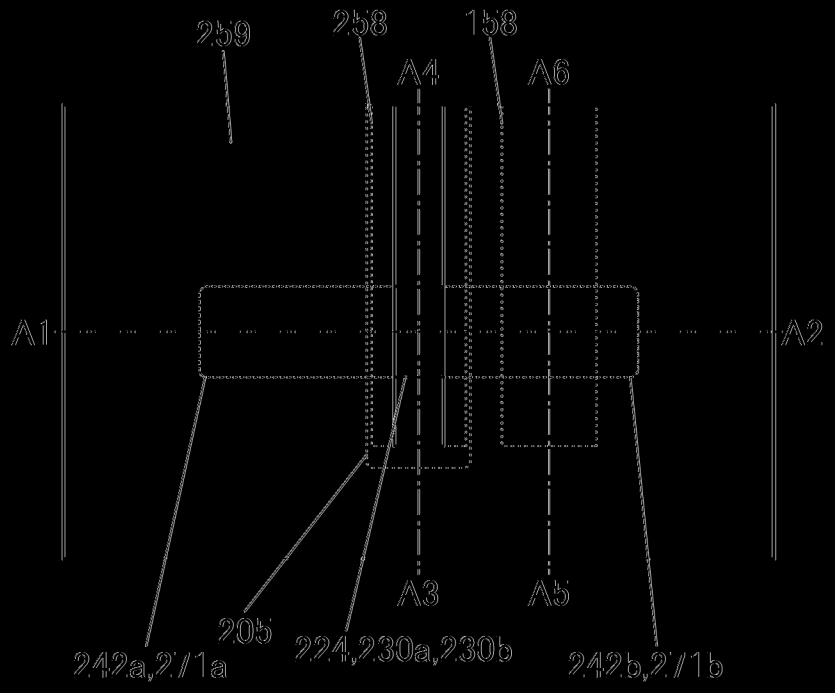


圖 11A

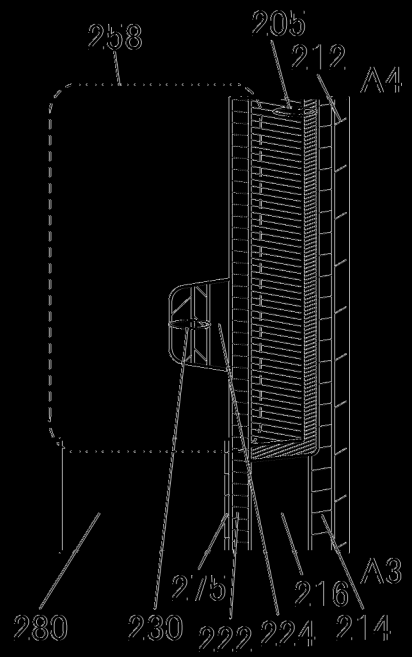


圖 11C

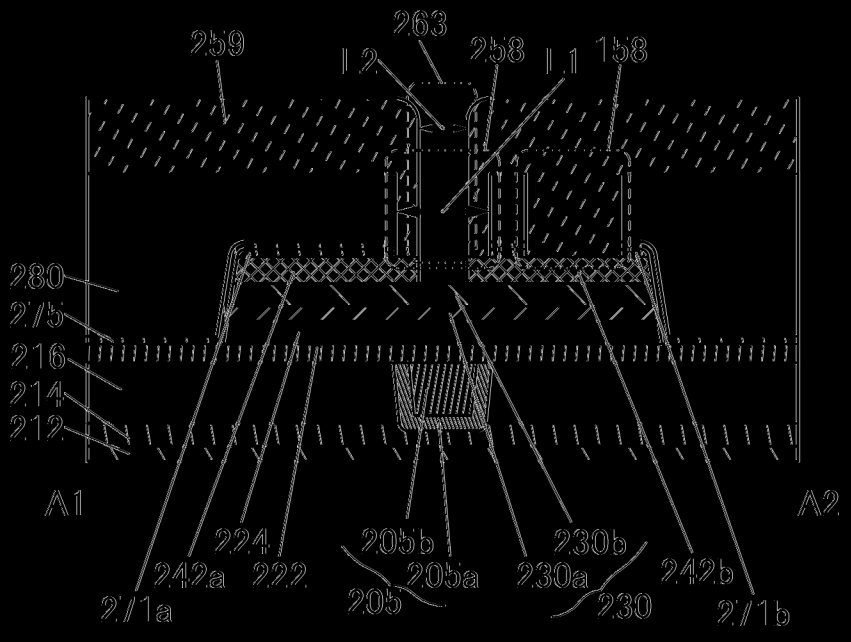


圖 11B

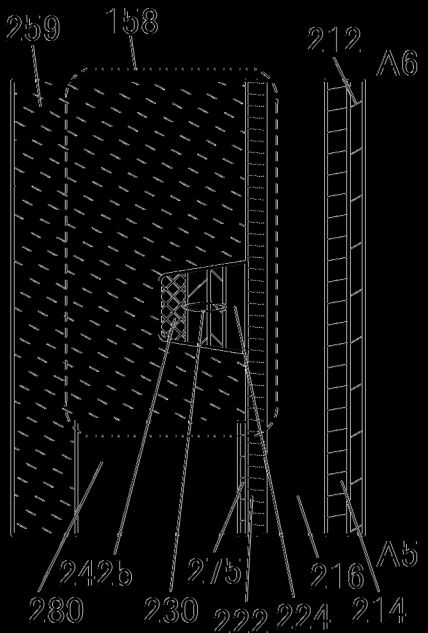
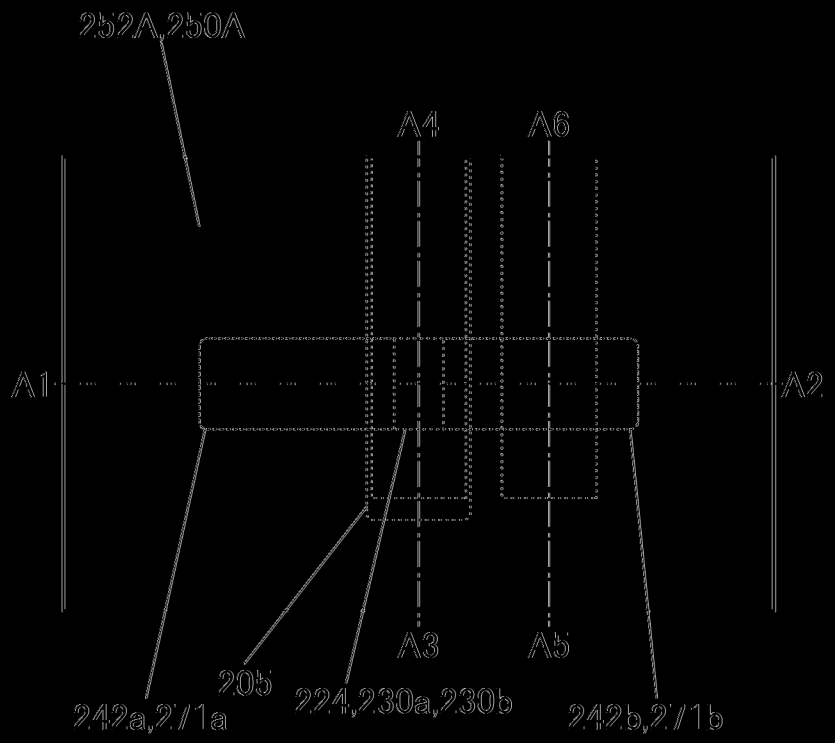
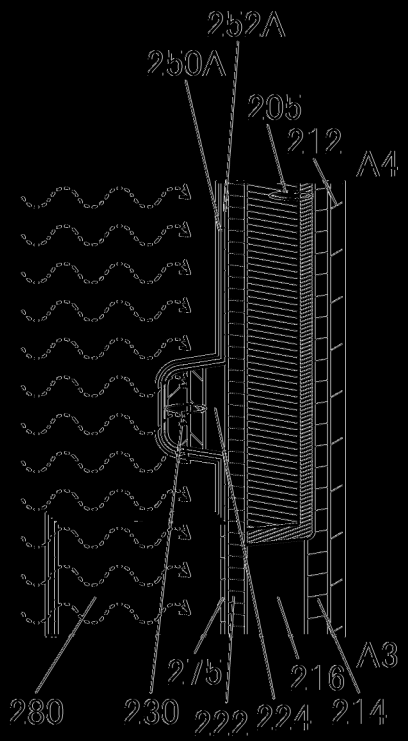


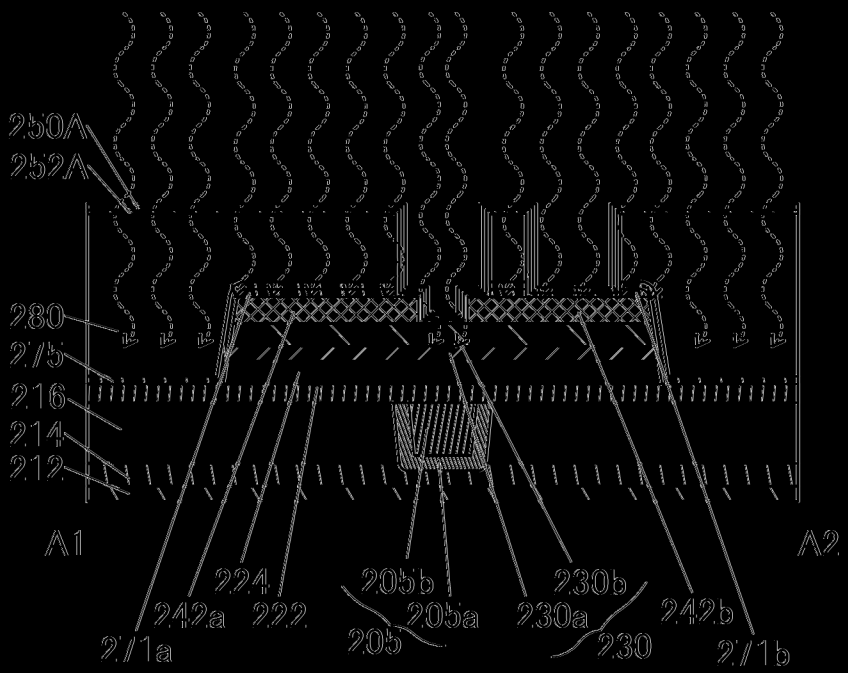
圖 11D



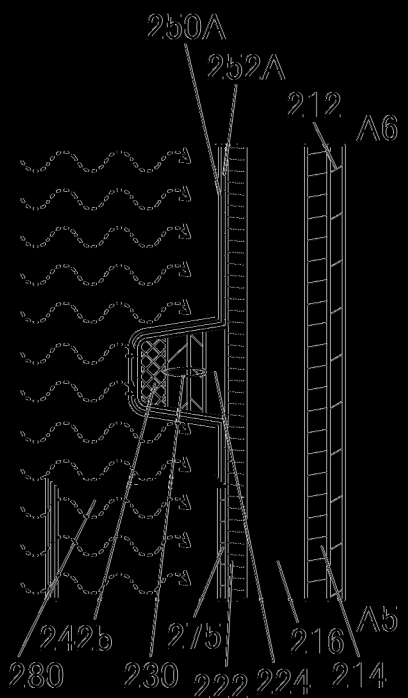
(圖12A)



(圖12C)



(圖12B)



(圖12D)

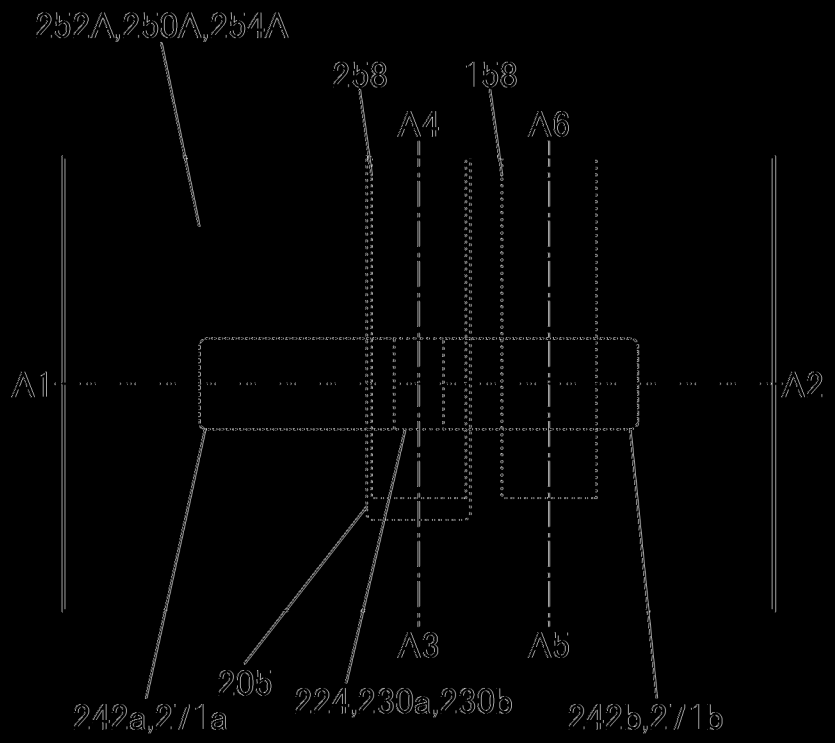


圖13A

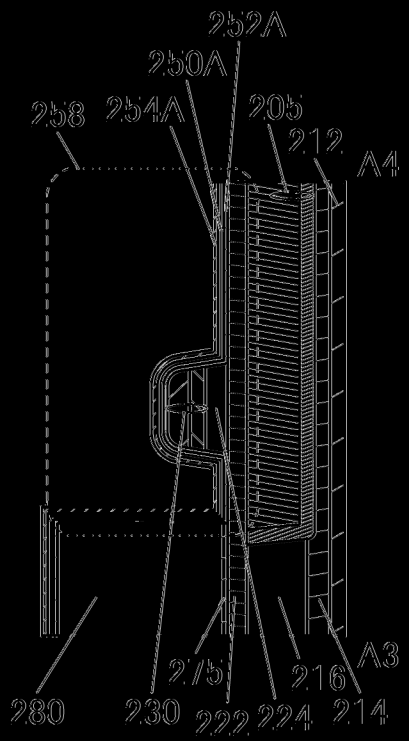


圖13C

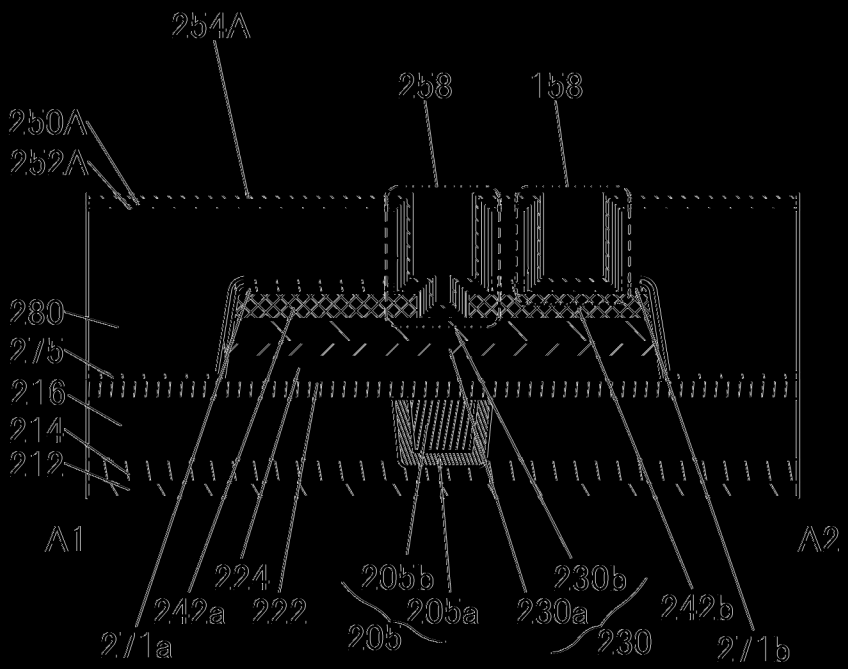


圖13B

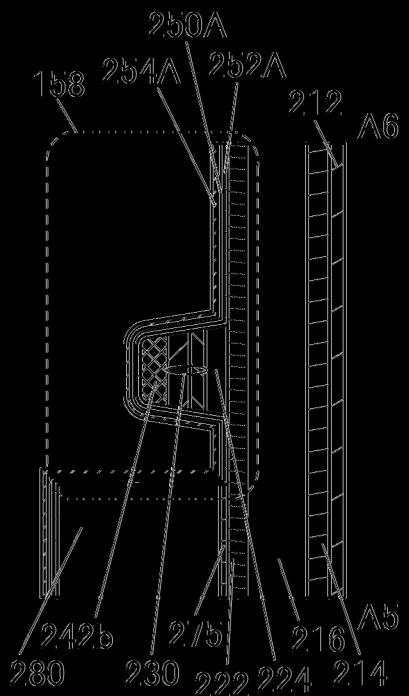
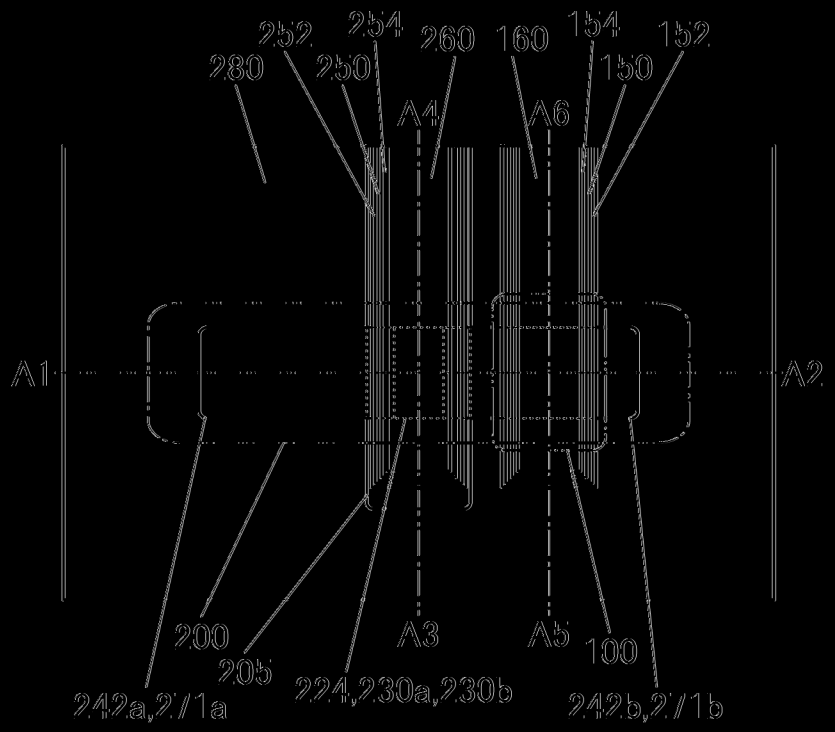
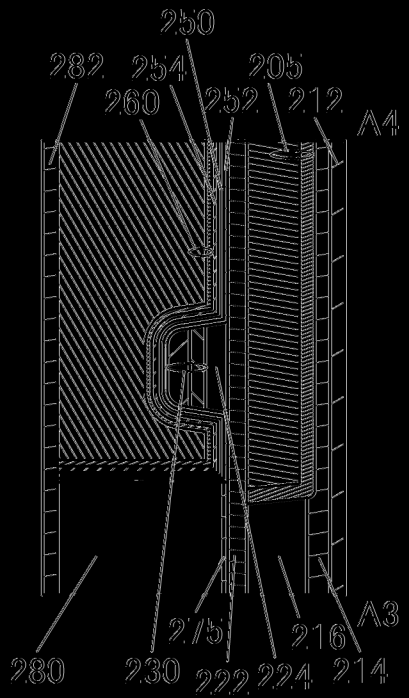


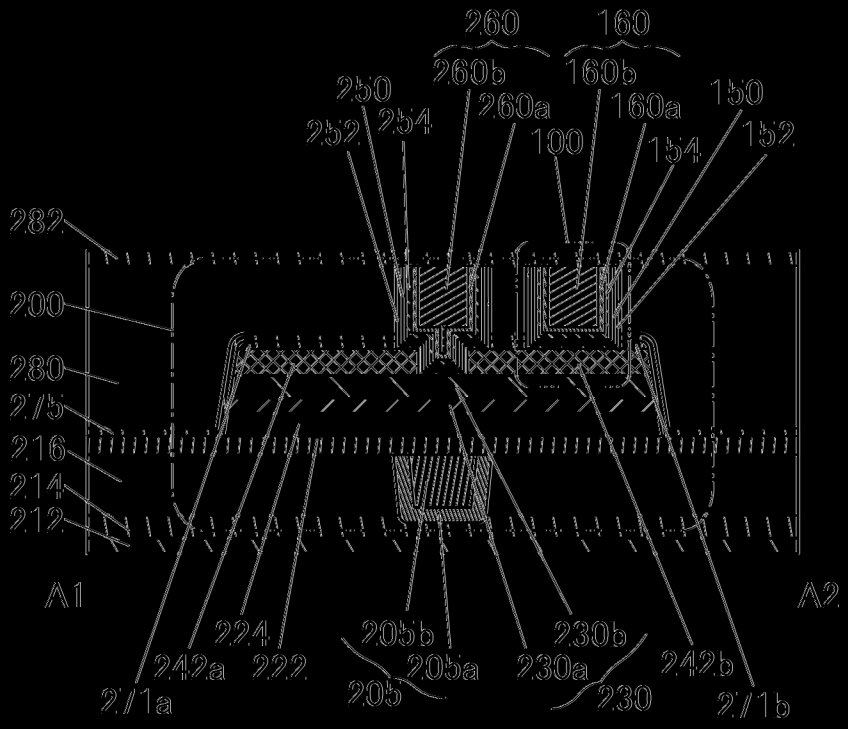
圖13D



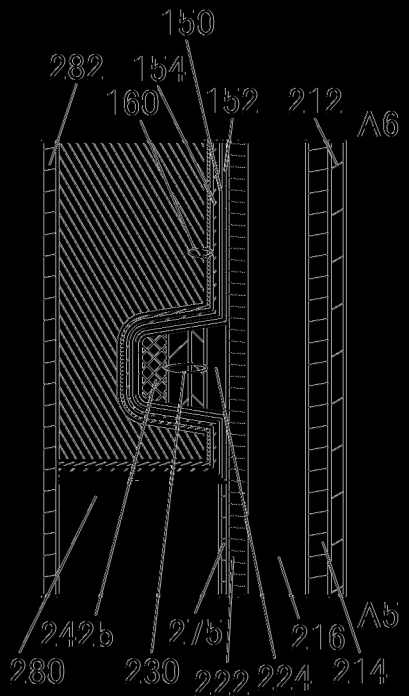
(圖14A)



(圖14C)



(圖14B)



(圖14D)

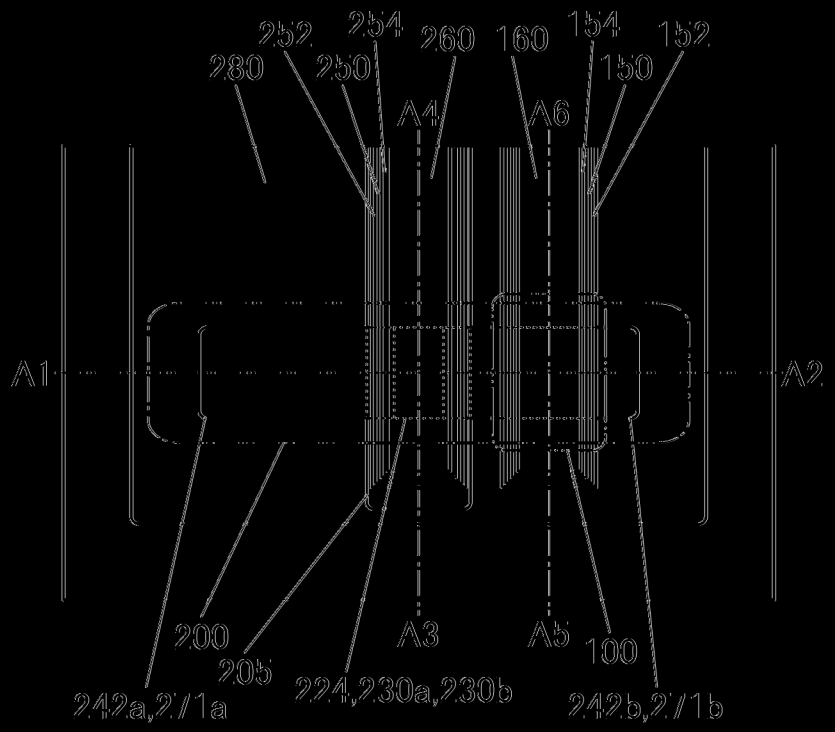


圖15A

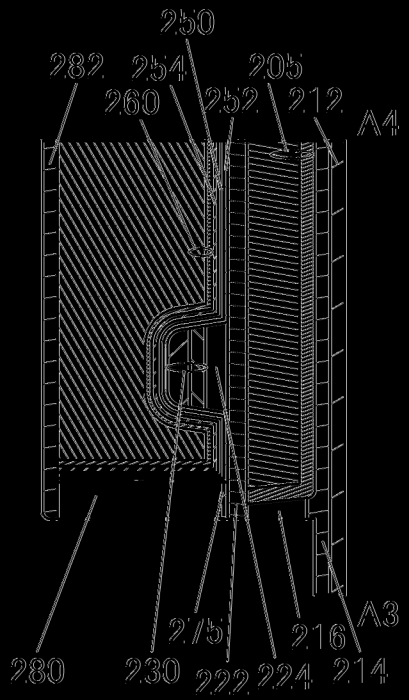


圖15C

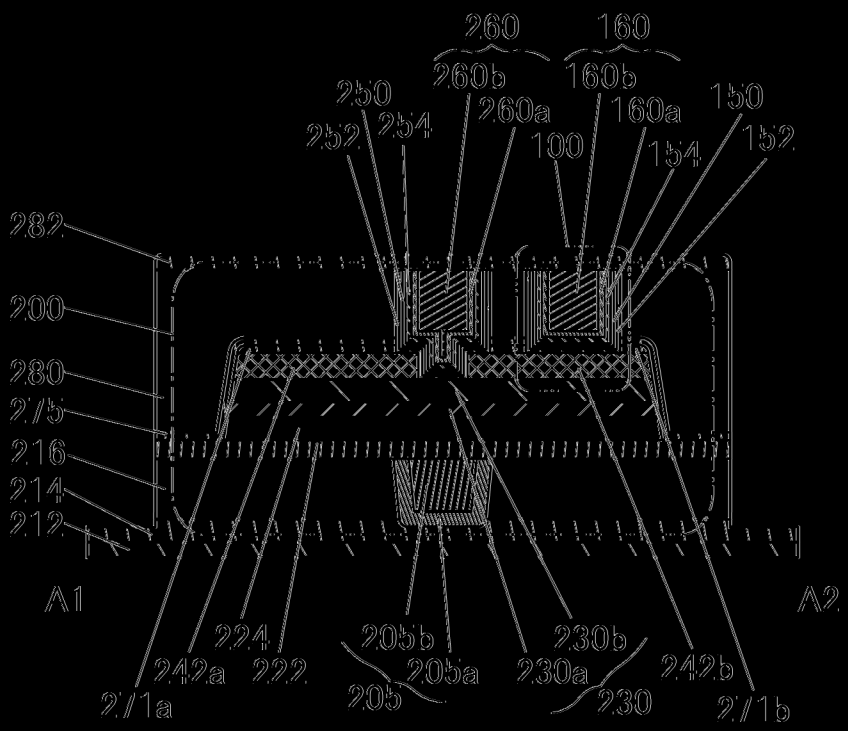


圖15B

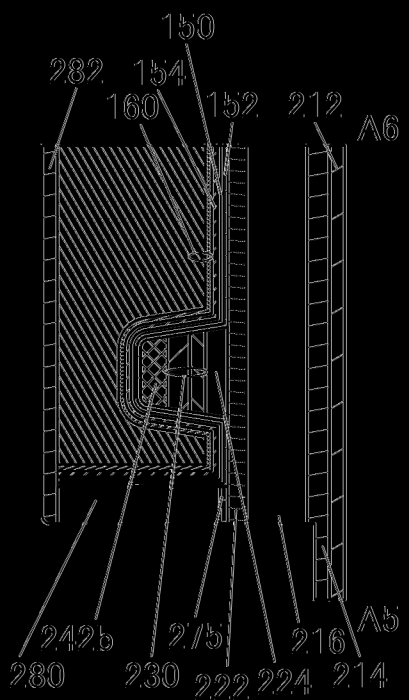
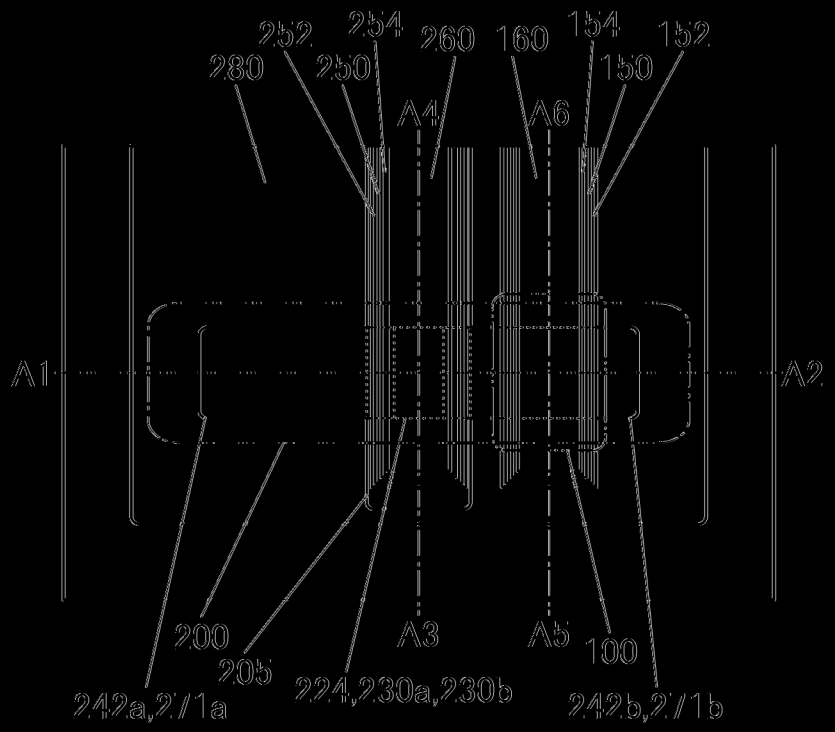
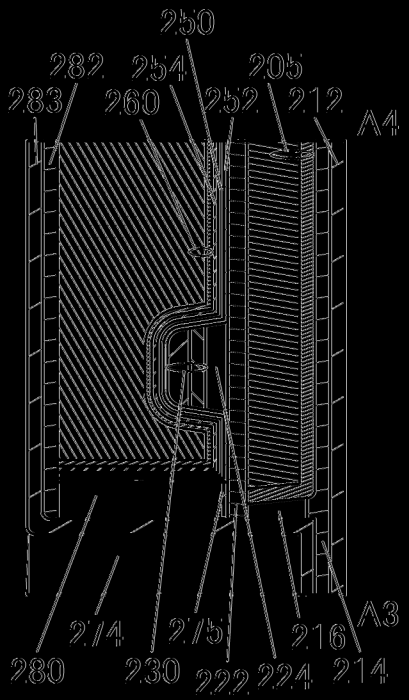


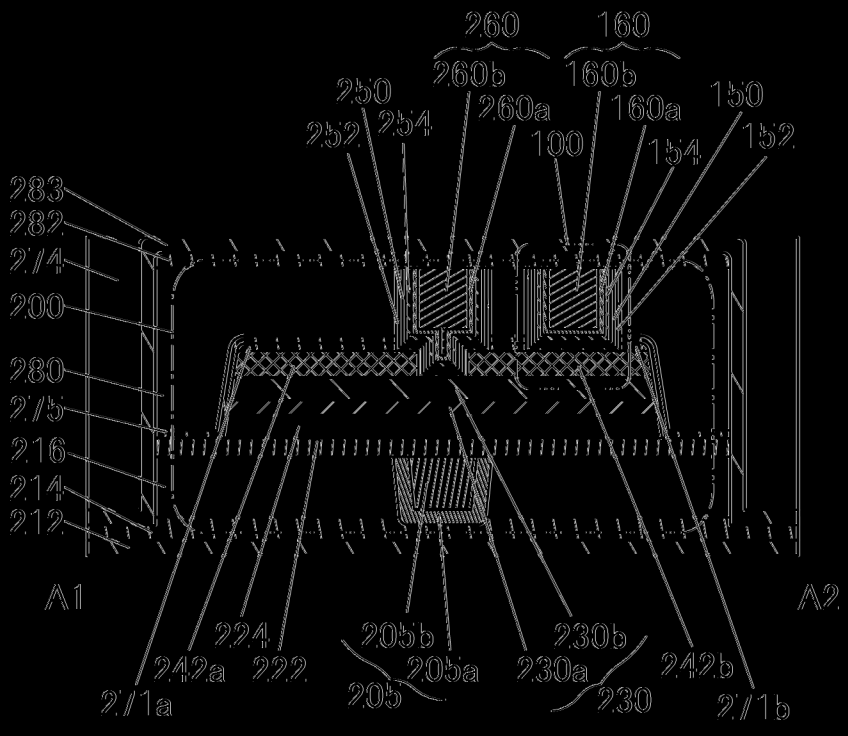
圖15D



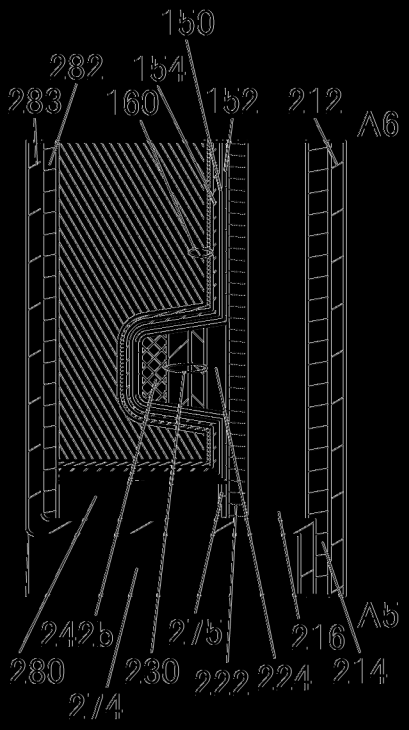
(圖16A)



(圖16C)



(圖16B)



(圖16D)

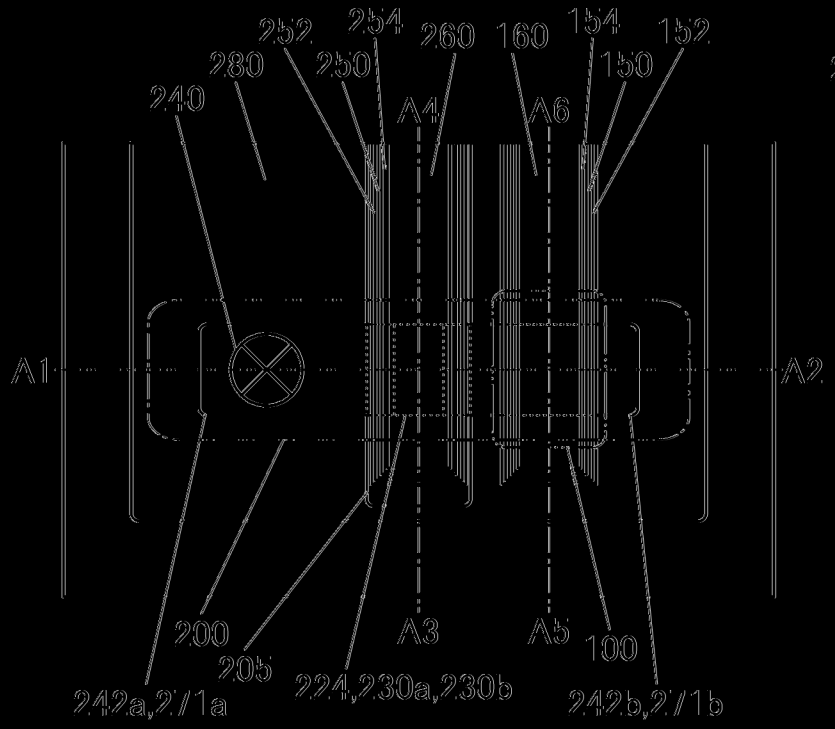


圖17A

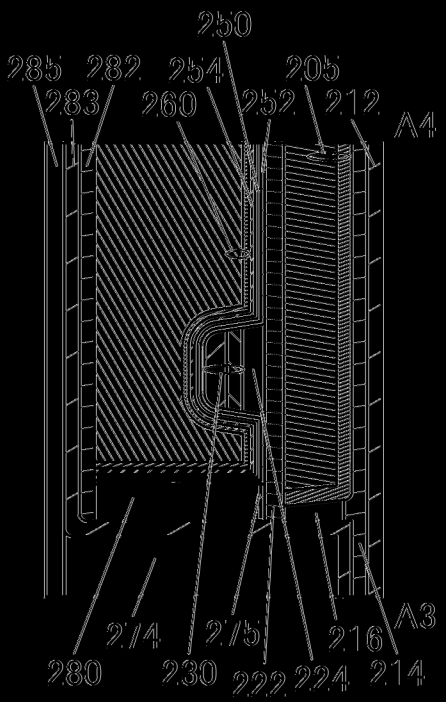


圖17C

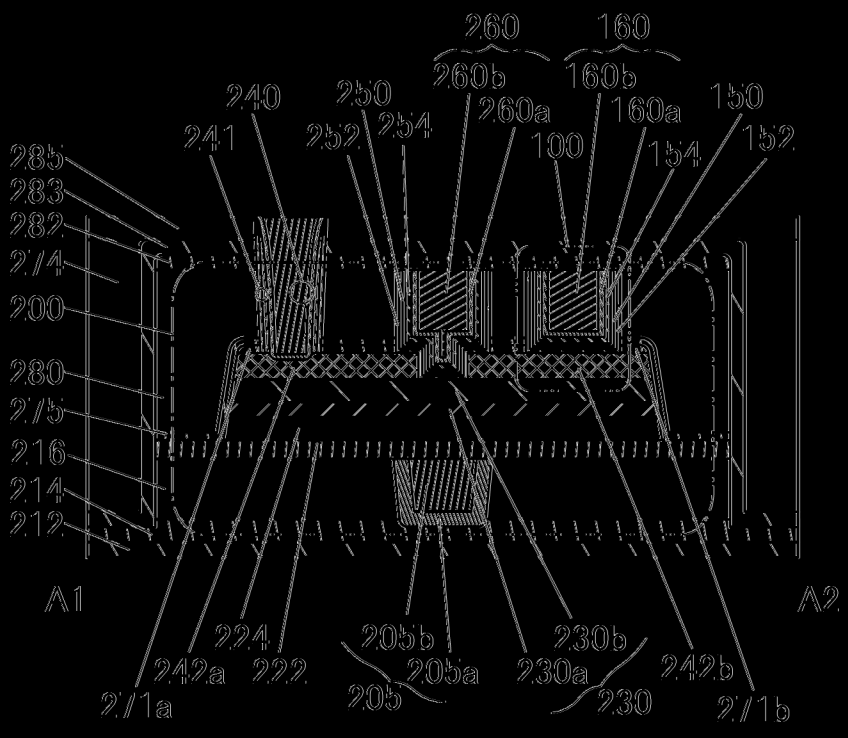


圖17B

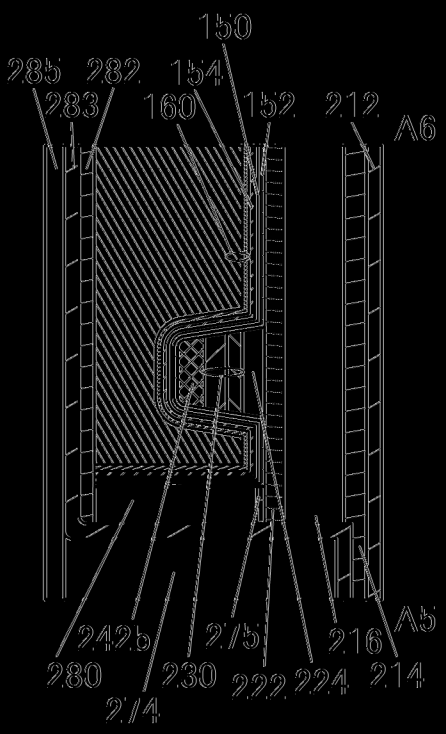


圖17D

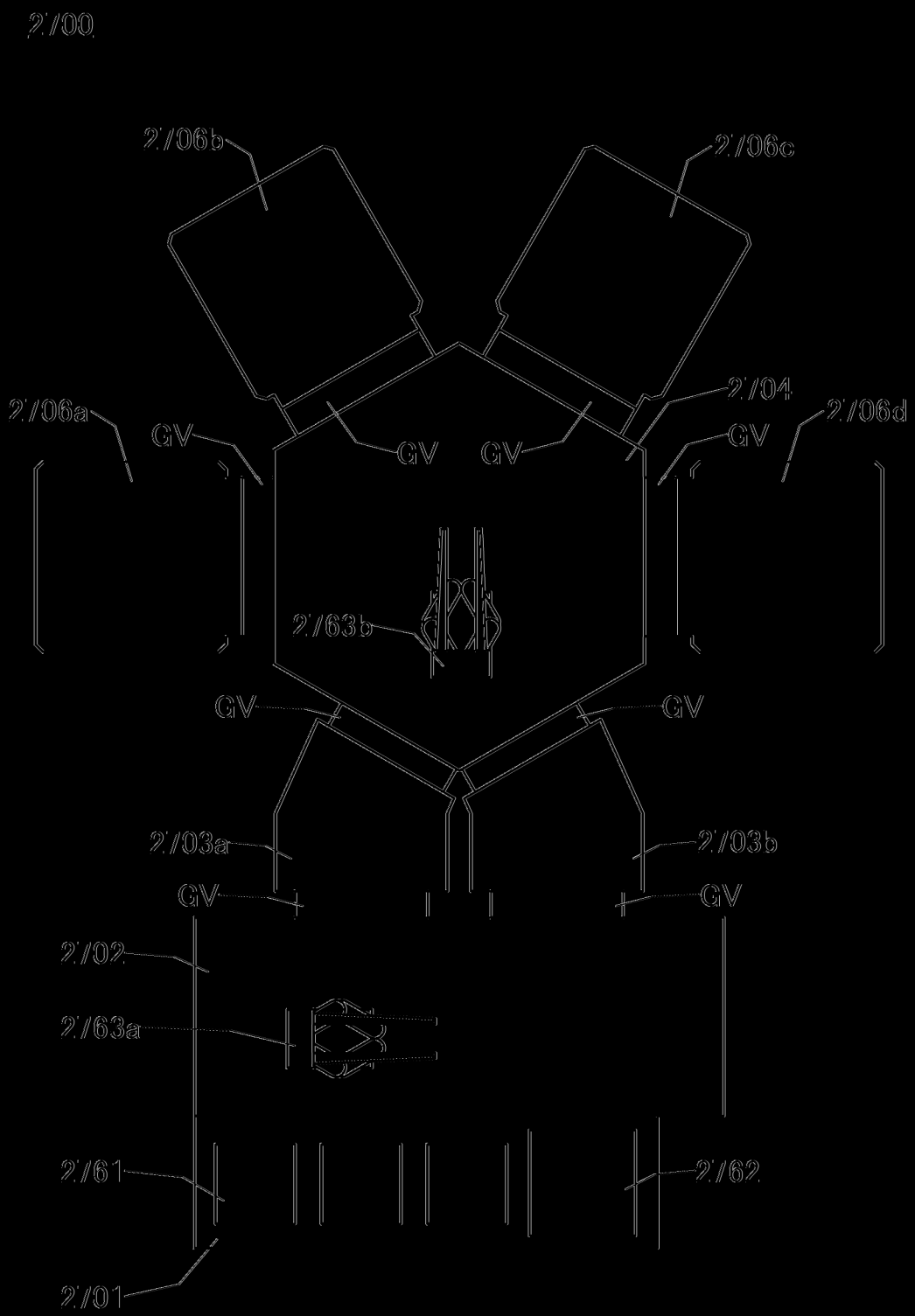
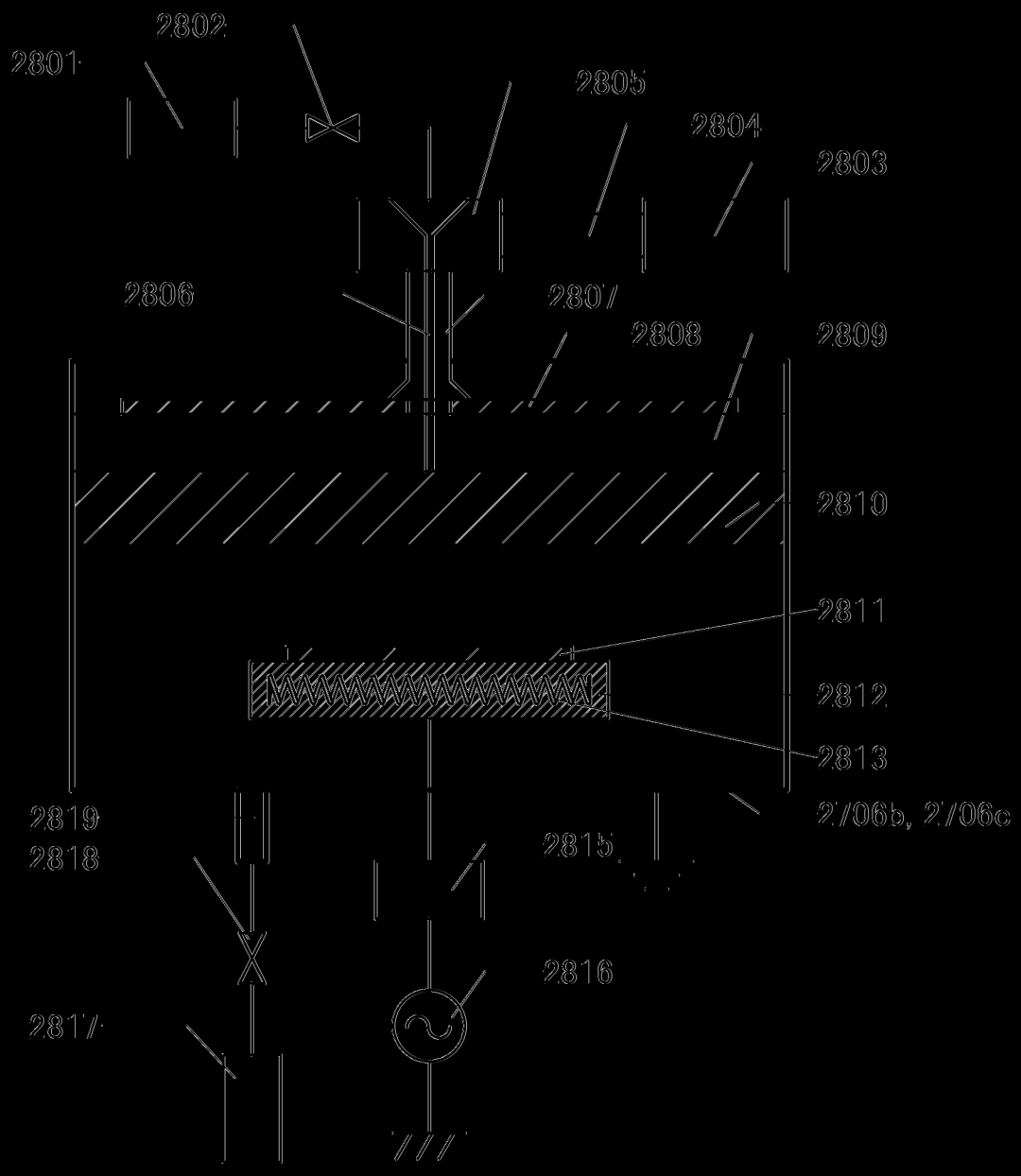
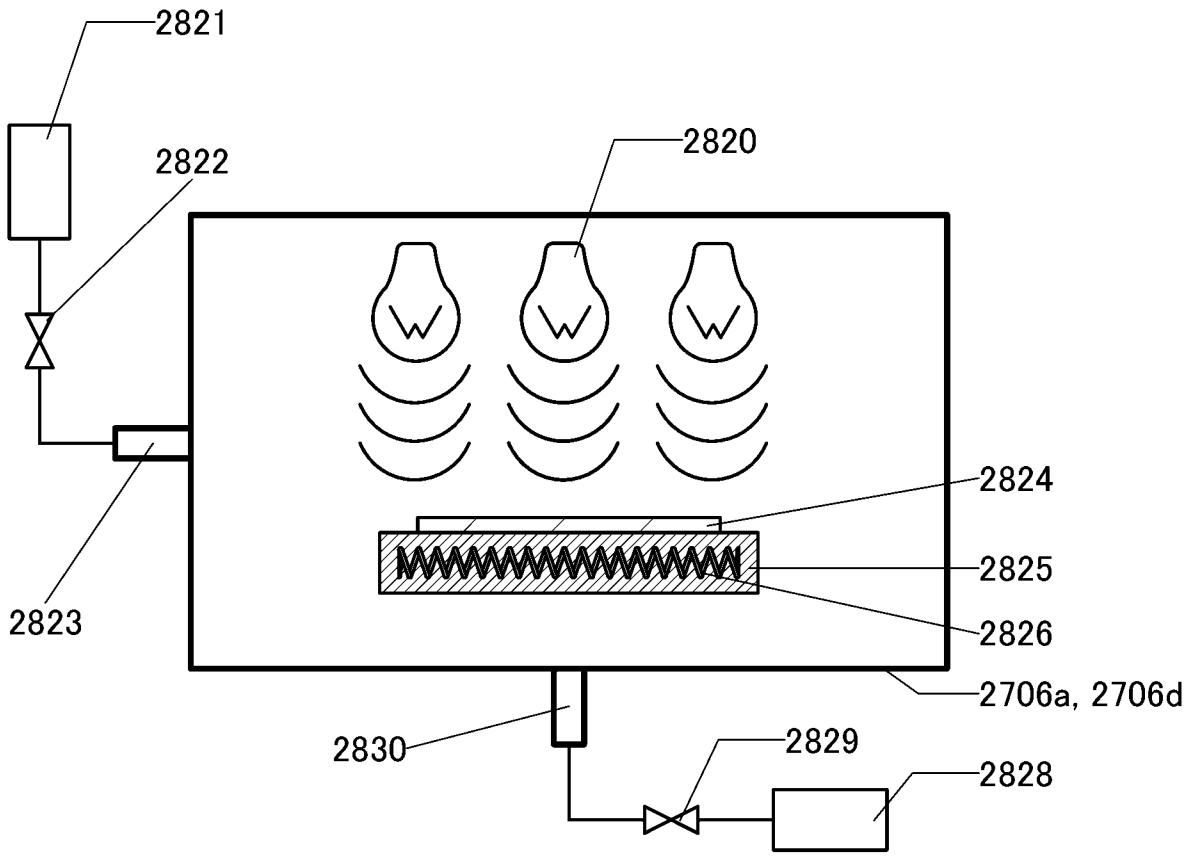

2'/00
2'/06b
2'/06c
2'/06a
GV
GV
GV
2'/04
2'/06d
GV
2'/63b
GV
GV
2'/03a
2'/03b
GV
GV
2'/02
2'/63a
2'/61
2'/62
2'/01

圖18


2802
2801
2805
2804
2803
2806
2807
2808
2809
2810
2811
2812
2813
2819
2818
2815
2706b, 2706c
2816
2817

（圖19）


2821
2822
2820
2824
2825
2826
2823
2706a, 2706d
2830
2829
2828

【圖20】

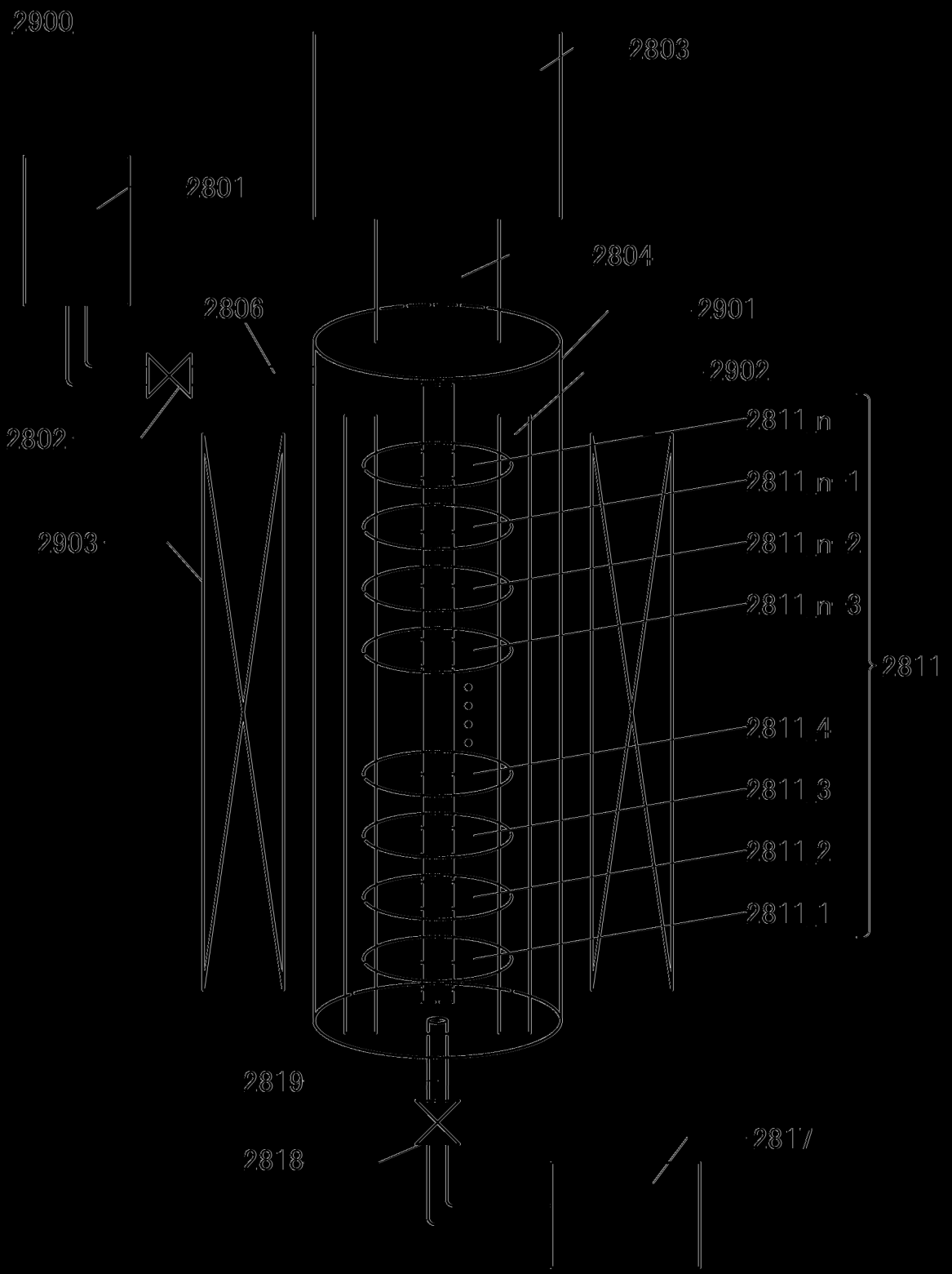
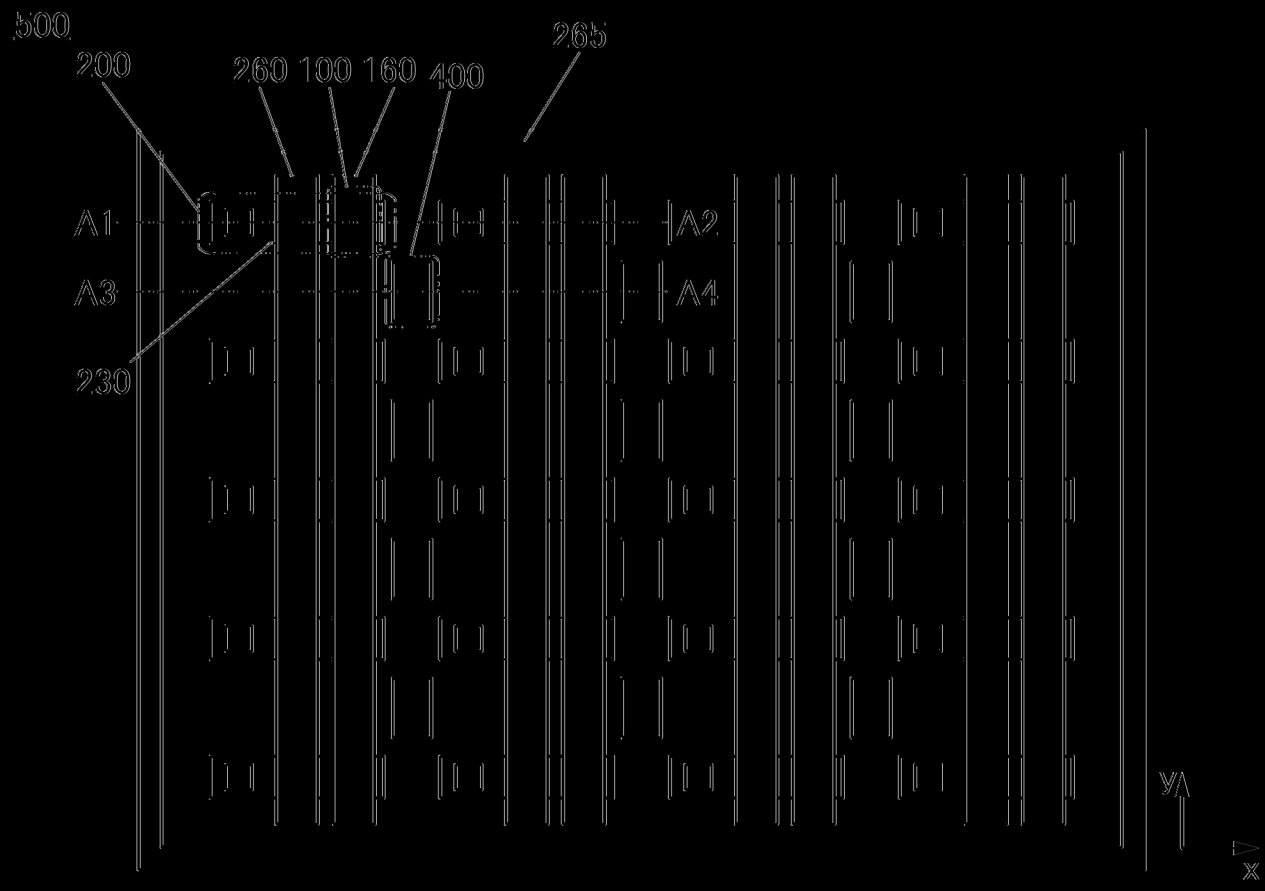
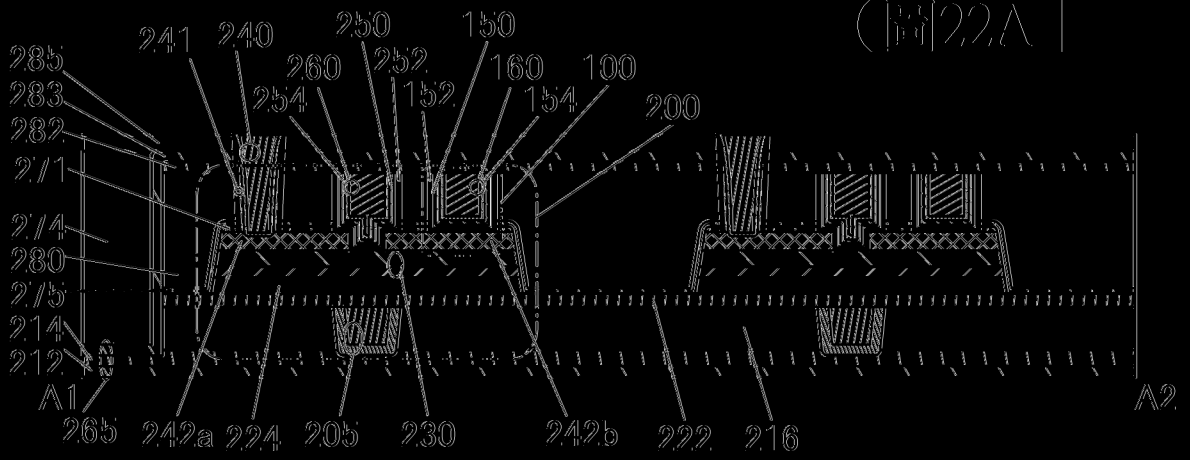

2900
2803
2801
2804
2806
2901
2902
2802
2811 n
2811 n-1
2903
2811 n-2
2811 n-3
2811
2811 4
2811 3
2811 2
2811 1
2819
2817
2818

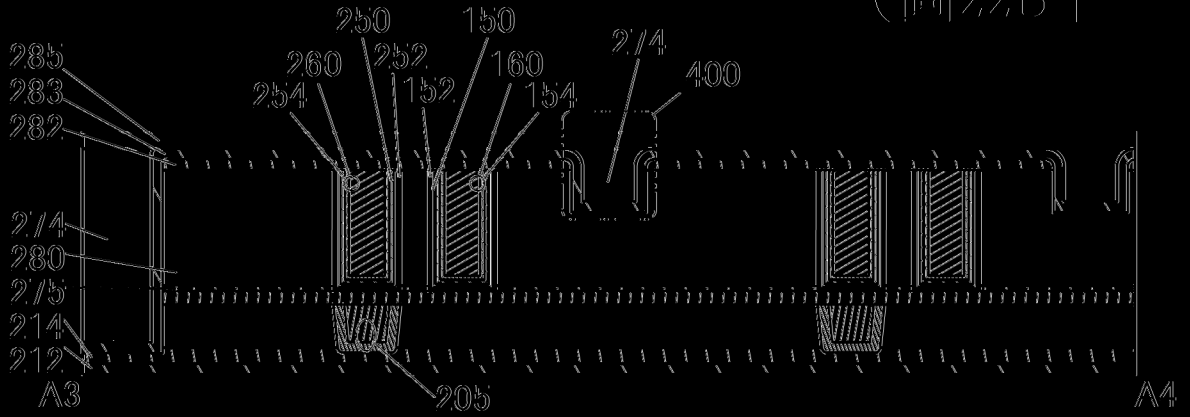
圖2



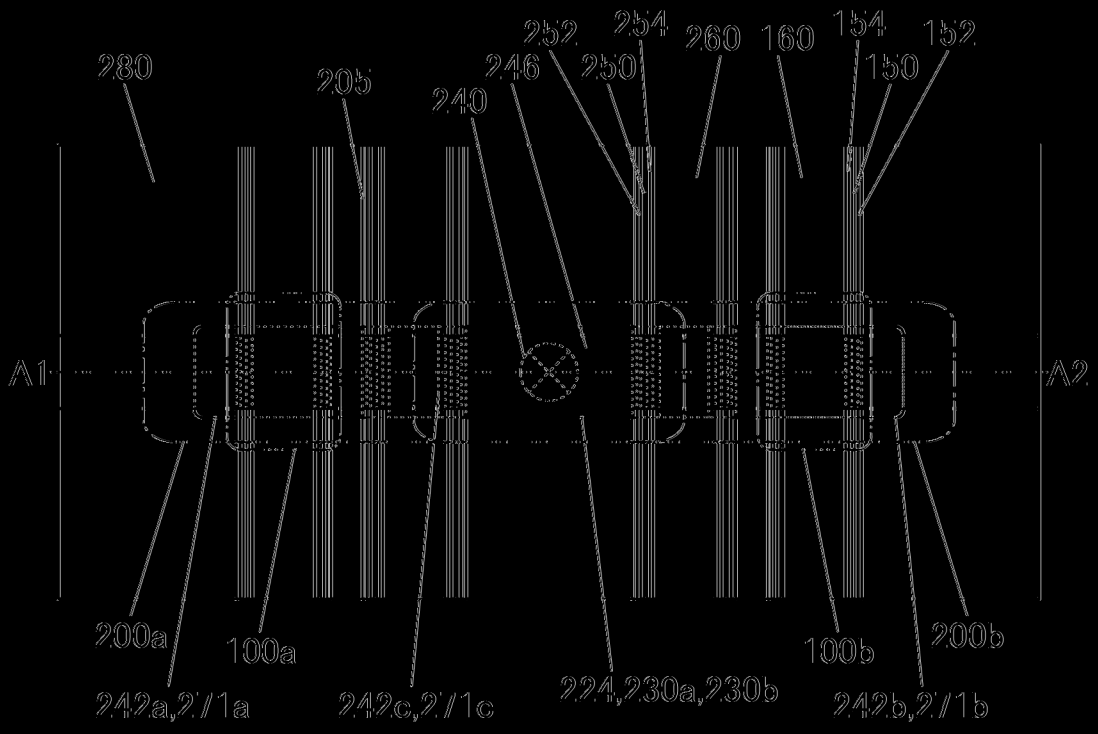
（圖22A）



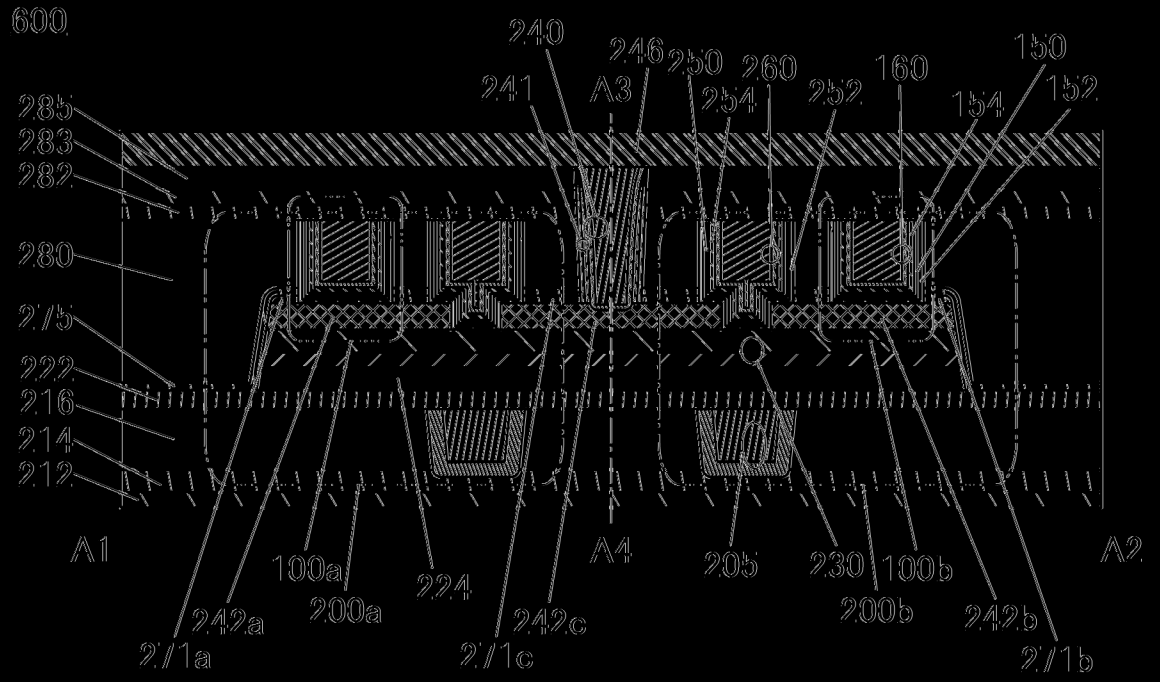
（圖22B）



（圖22C）


280
205
240
246
252
254
260
160
154
152
150
A1
A2
200a
100a
242a,271a
242c,271c
224,230a,230b
100b
200b
242b,271b

(圖23A)


600
240
241
A3
246
250
254
260
252
160
154
150
152
285
283
282
280
275
222
216
214
212
A1
A4
A2
100a
224
205
230
100b
200a
242a
271a
242c
271c
200b
242b
271b

(圖23B)

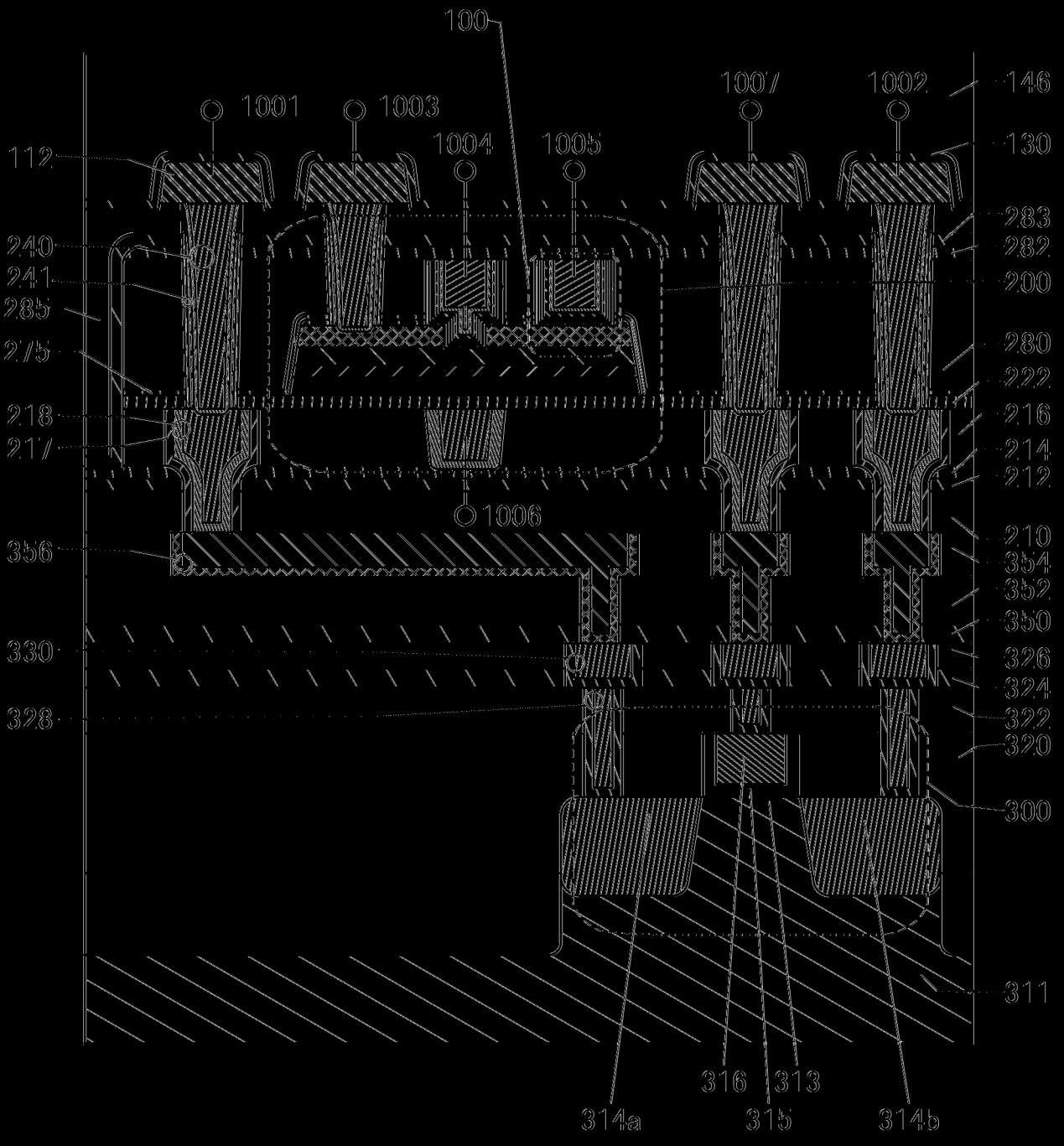
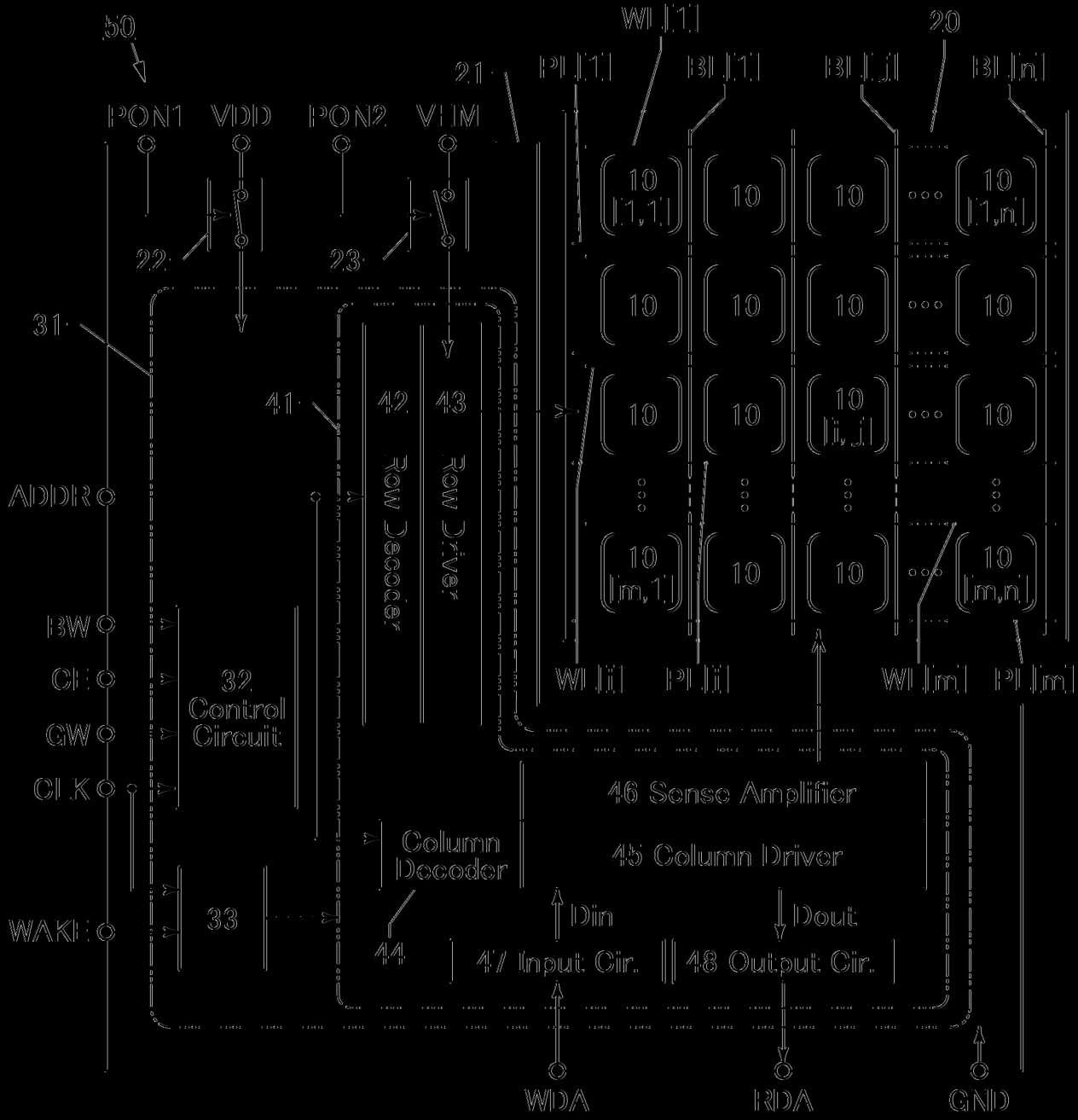
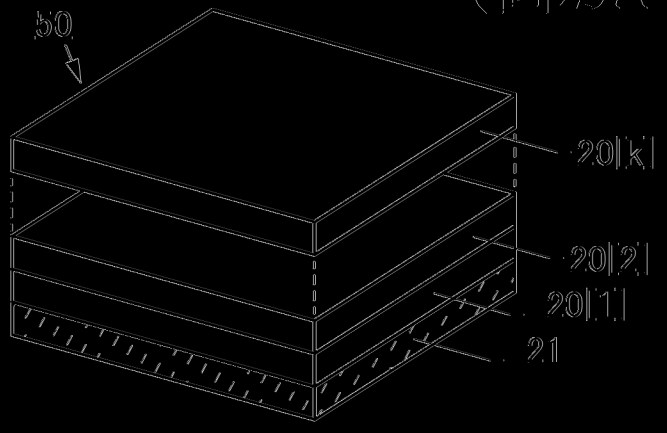

100
1001
1003
1004
1005
1007
1002
146
130
112
283
240
282
241
200
285
280
275
222
218
216
217
214
212
1006
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

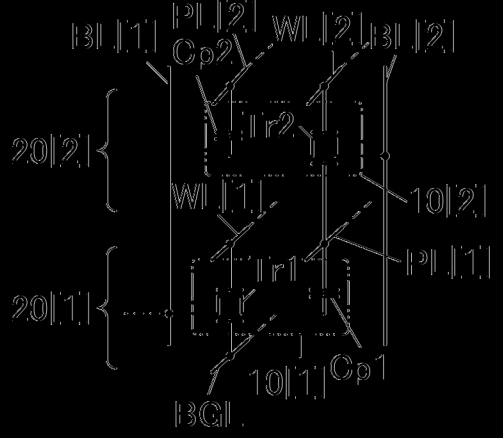
圖24



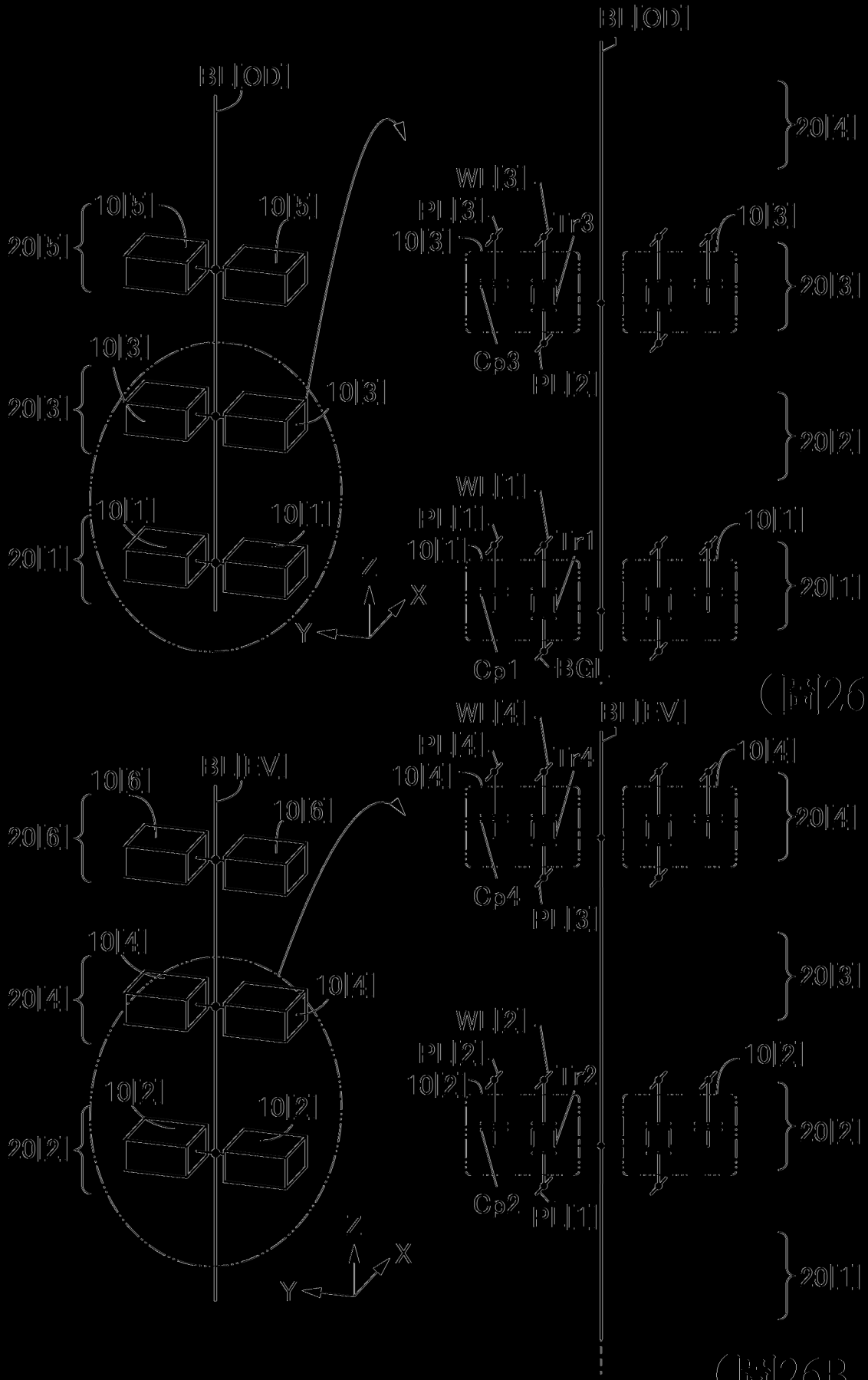
(圖25A)



(圖25B)



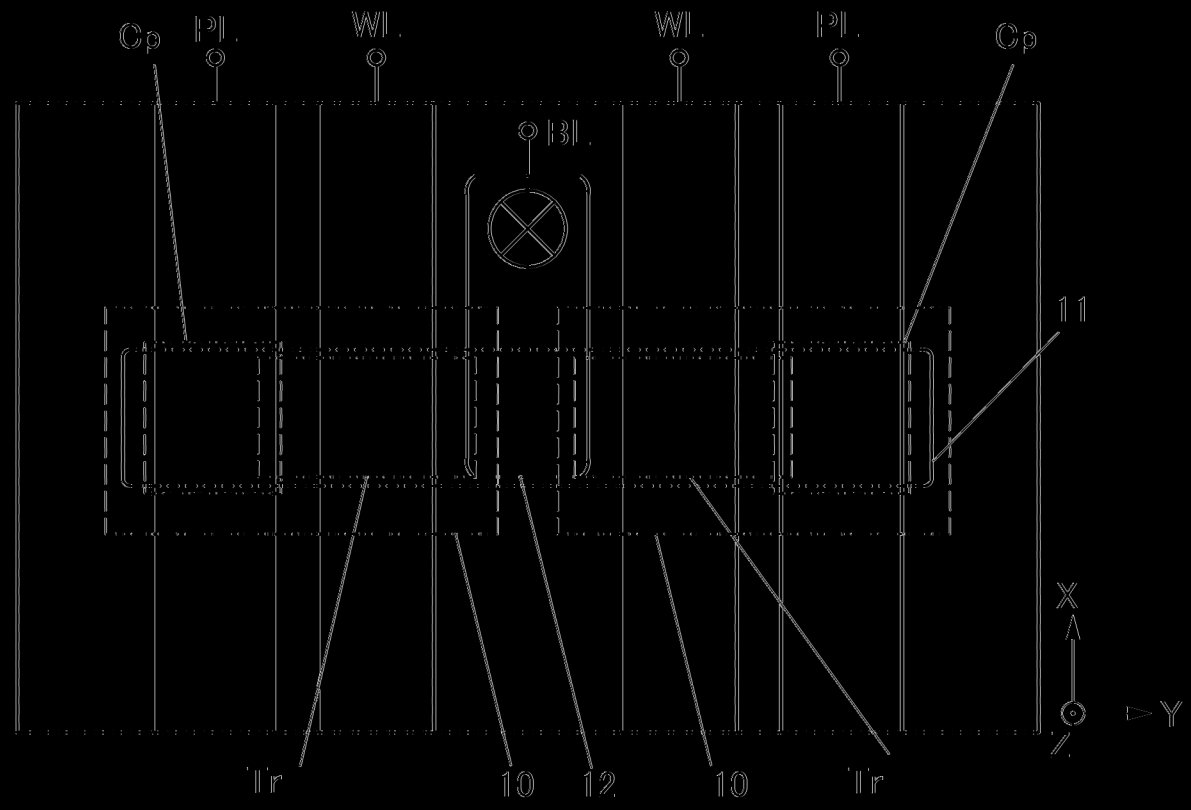
(圖25C)


BI[OD]
10[5]
20[5]
10[3]
20[3]
10[1]
20[1]
X
Y
Z
WI[3]
PI[3]
10[3]
Tr3
Cp3
PI[2]
20[4]
20[2]
WI[1]
PI[1]
10[1]
Tr1
Cp1
BG
BI[EV]
10[6]
20[6]
10[4]
20[4]
10[2]
20[2]
WI[4]
PI[4]
10[4]
Tr4
Cp4
PI[3]
WI[2]
PI[2]
10[2]
Tr2
Cp2
PI[1]

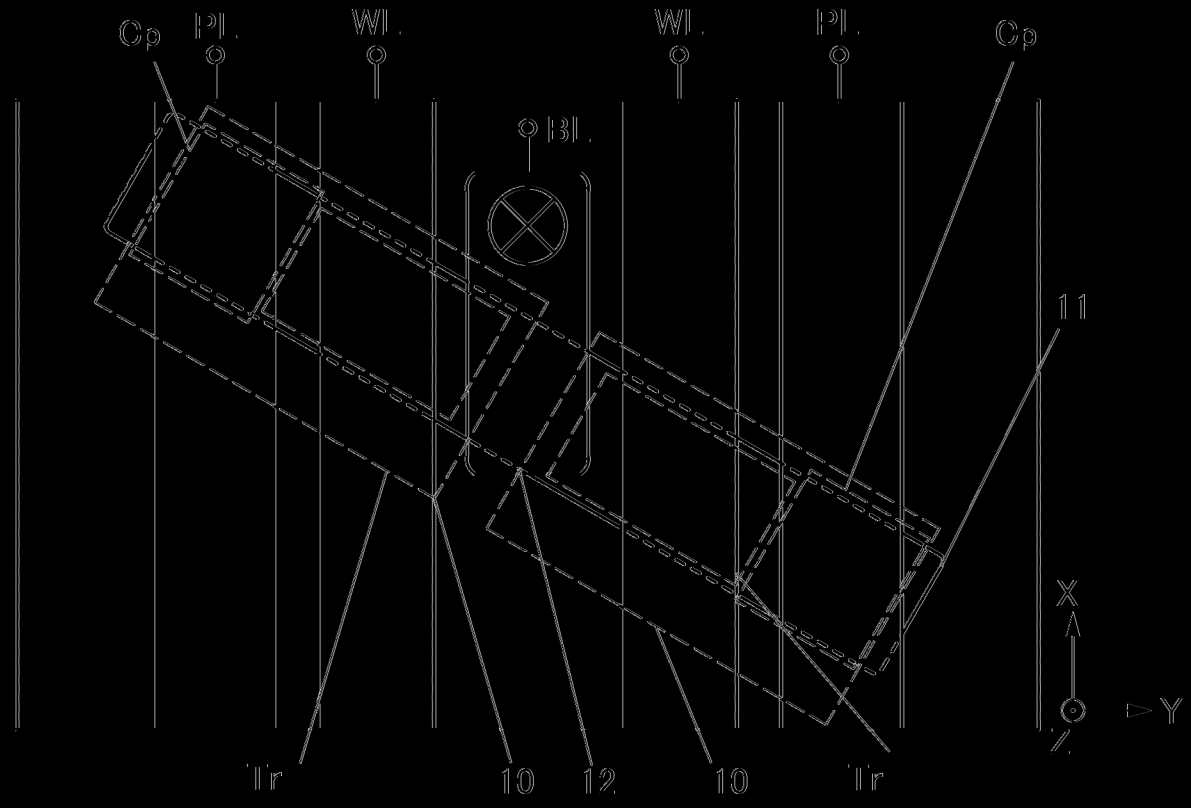
（圖2.6A）

（圖2.6B）

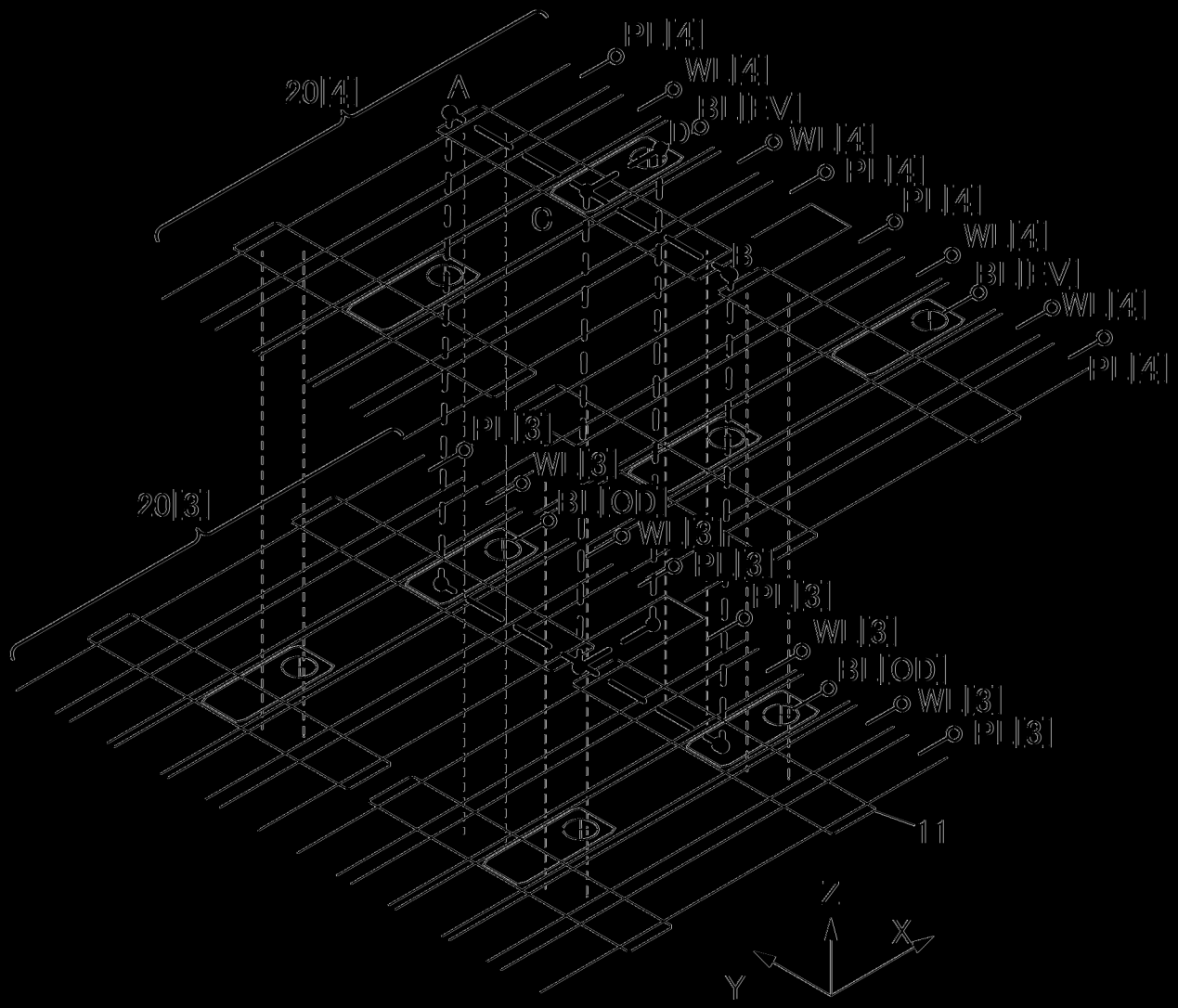
x
z
y
W1
W1
50
230
232
234
236
238
240


Cp
Pl.
Wl.
Wl.
Pl.
Cp
Bl.
11
X
Y
Z
Tr
10
12
10
Tr

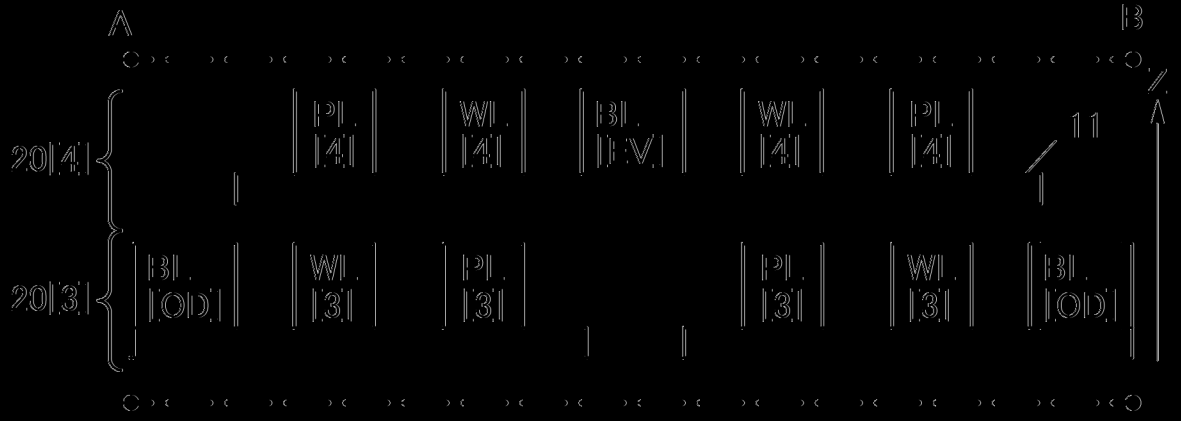
（圖29A）


Cp
Pl.
Wl.
Wl.
Pl.
Cp
Bl.
11
X
Y
Z
Tr
10
12
10
Tr

（圖29B）


PI 4
WI 4
20 4
A
BI DEV
D
WI 4
PI 4
PI 4
C
WI 4
B
BI DEV
WI 4
PI 4
PI 3
WI 3
20 3
BI OD
WI 3
PI 3
PI 3
WI 3
BI OD
WI 3
PI 3
11
Z
X
Y

（圖30A）


A
B
20 4
20 3
PI 4
WI 4
BI DEV
WI 4
PI 4
11
BI OD
WI 3
PI 3
PI 3
WI 3
BI OD

（圖30B）

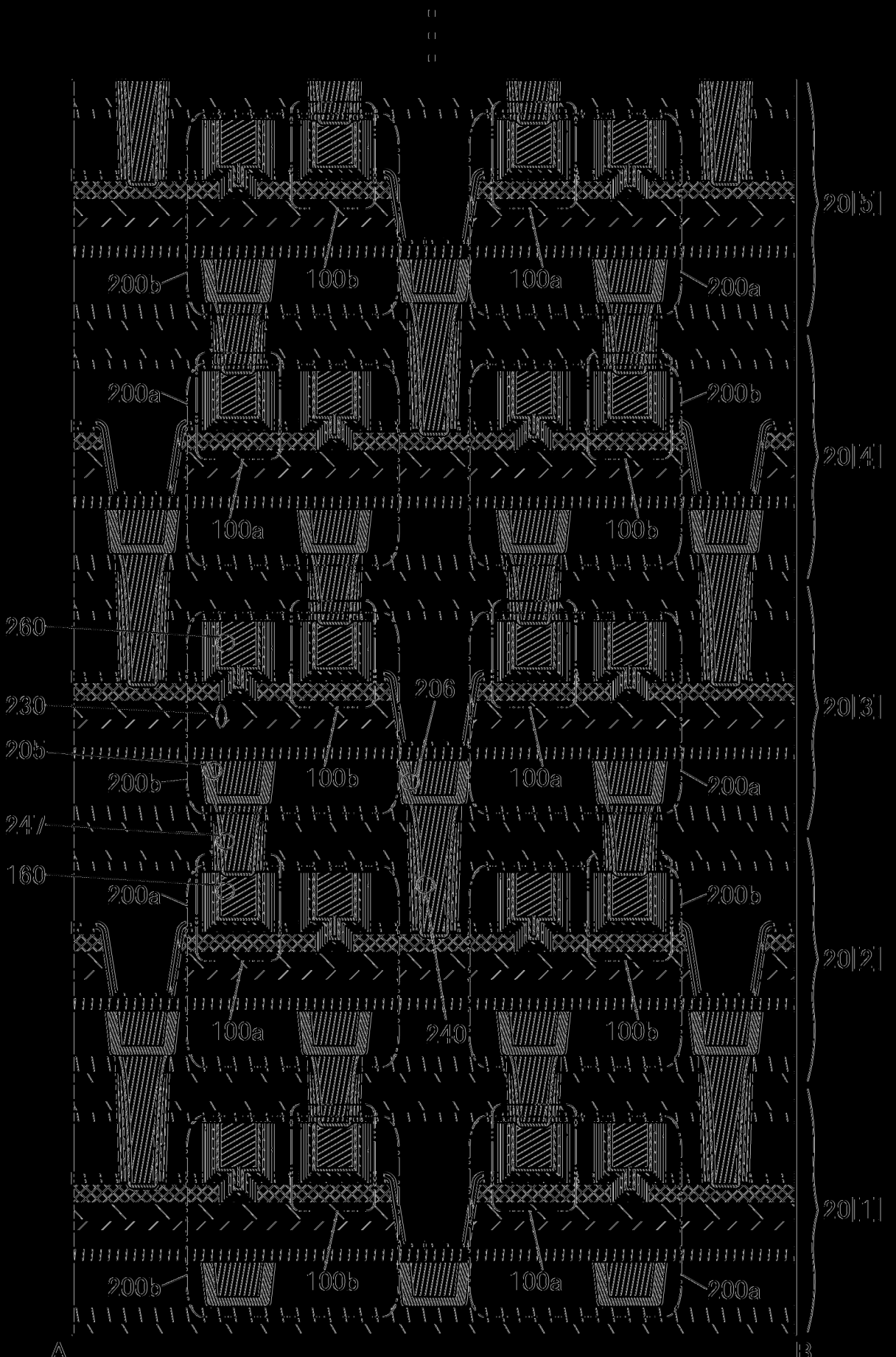

201
200b
100b
100a
200a
200a
200b
202
100a
100b
260
230
206
205
200b
100b
100a
200a
241
160
200a
200b
203
100a
240
100b
204
200b
100b
100a
200a
A
B

圖 3

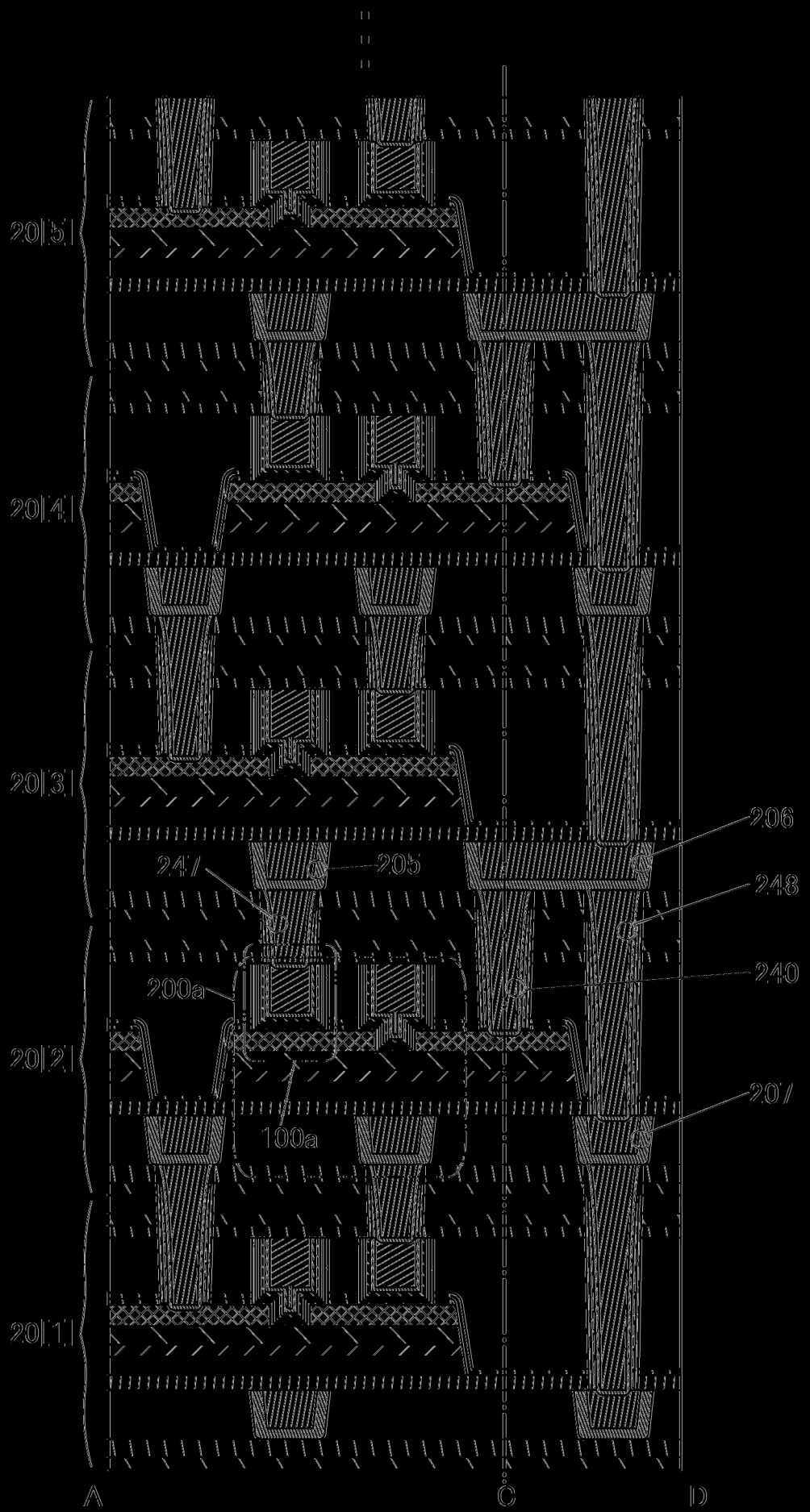


圖32

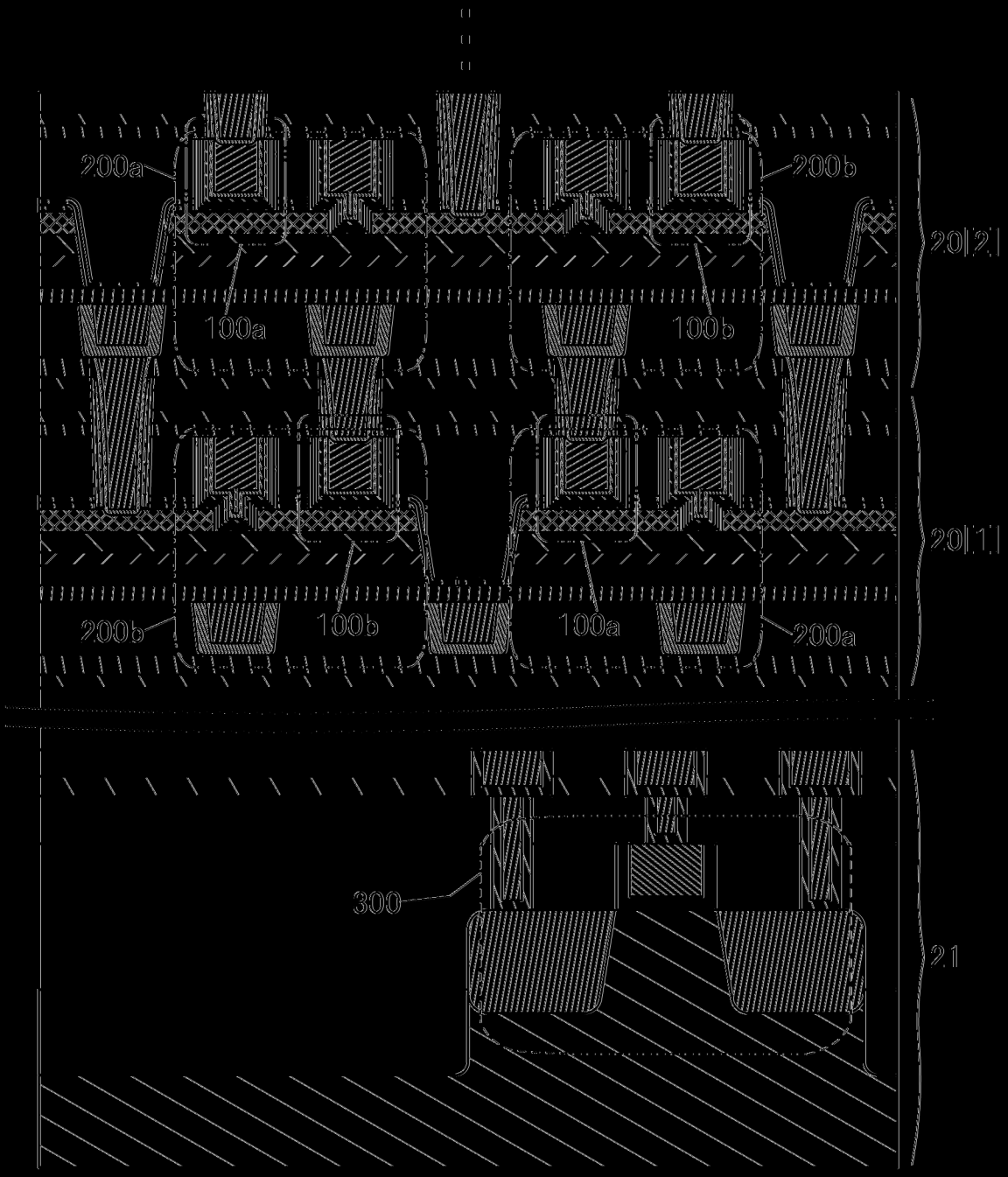


圖33

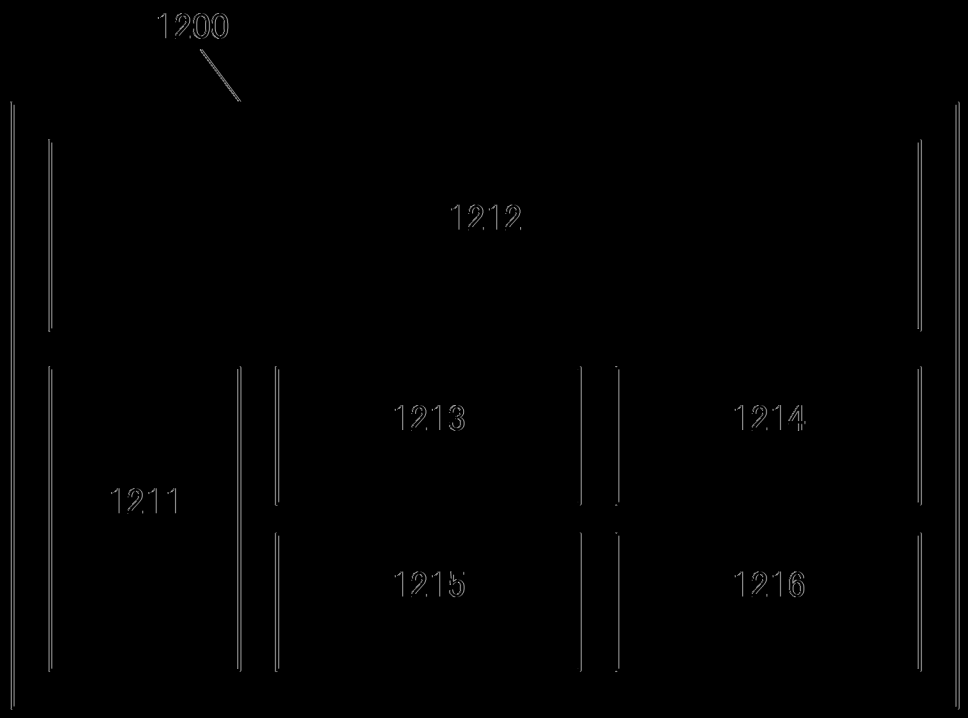

1200
1212
1213
1214
1211
1215
1216

圖34A

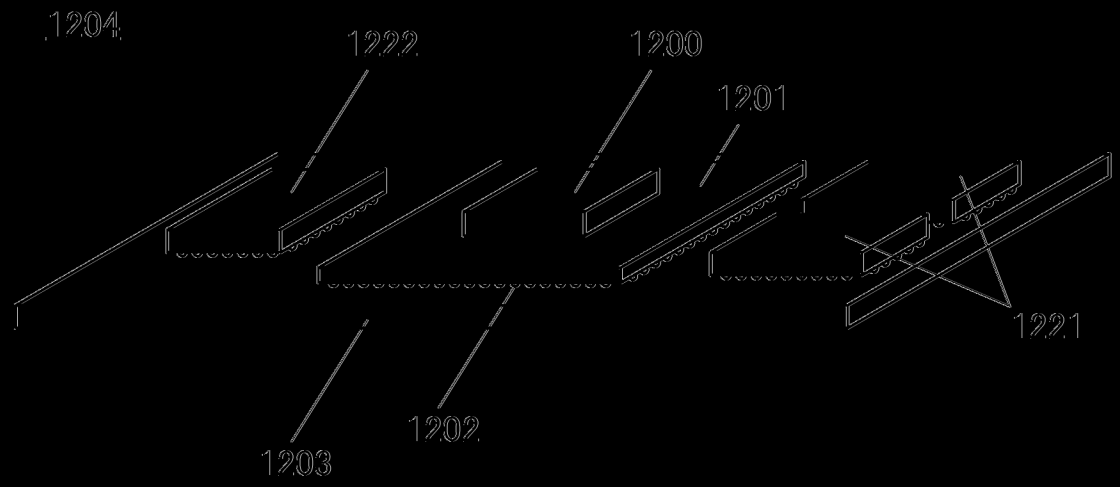

1204
1222
1200
1201
1221
1203
1202

圖34B

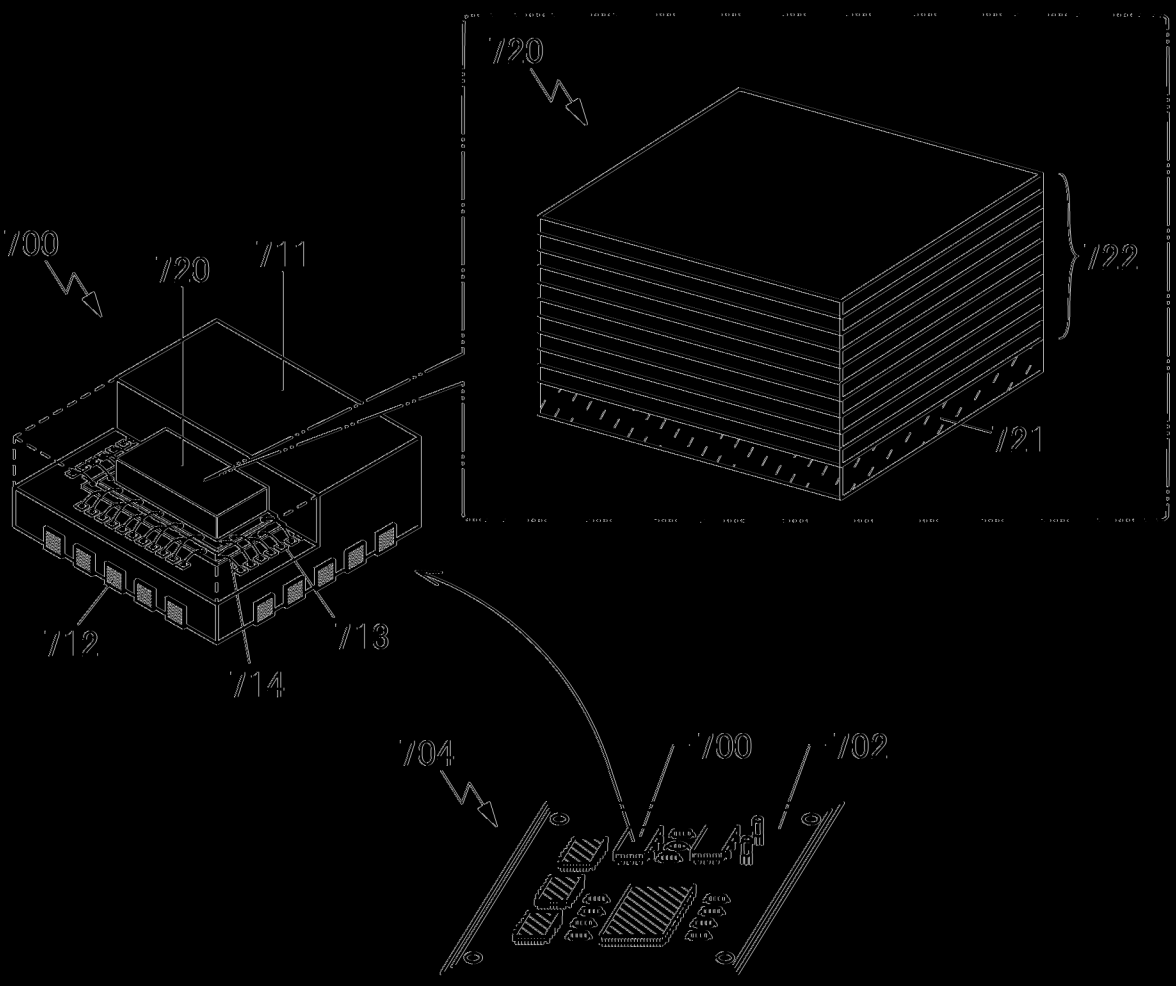

100
120
111
122
121
112
113
114
104
100
102

圖35A

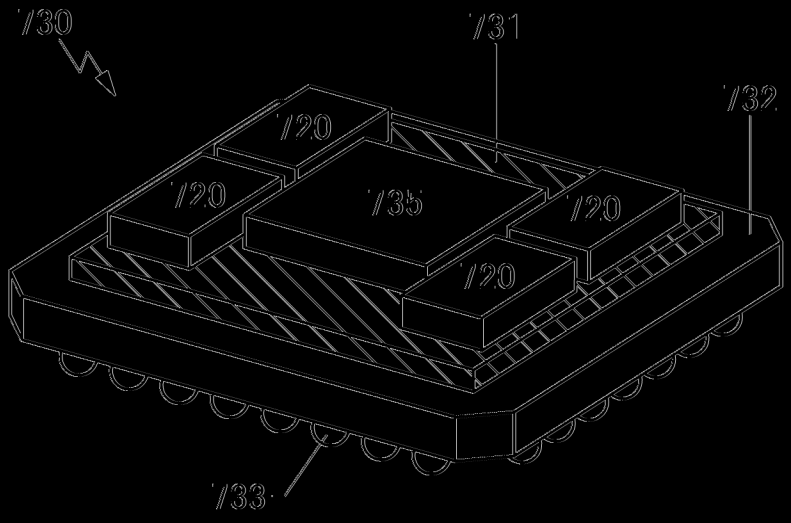

130
131
132
120
120
135
120
120
133

圖35B

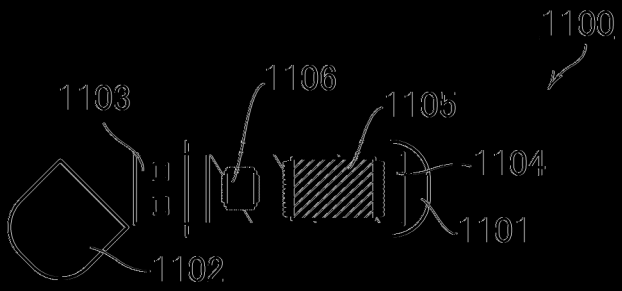


圖36A

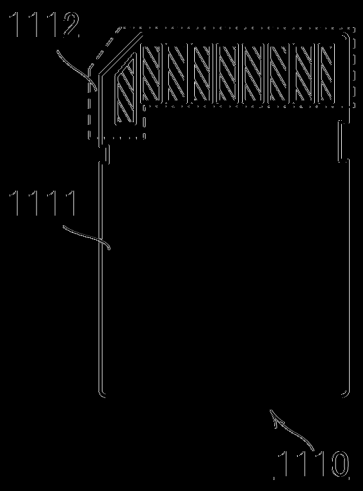


圖36B

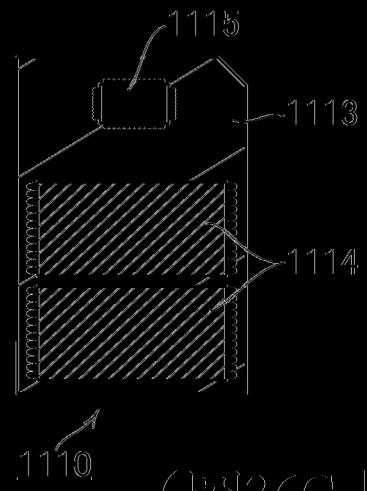


圖36C

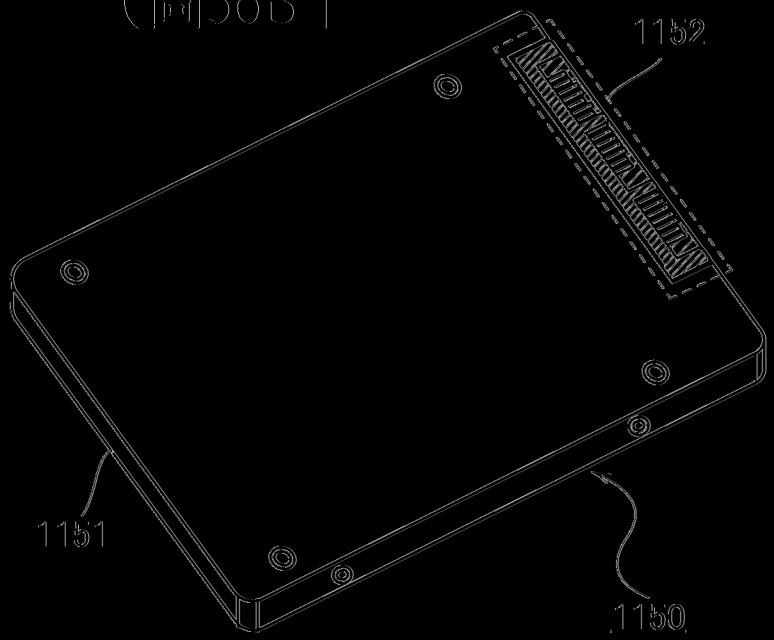


圖36D

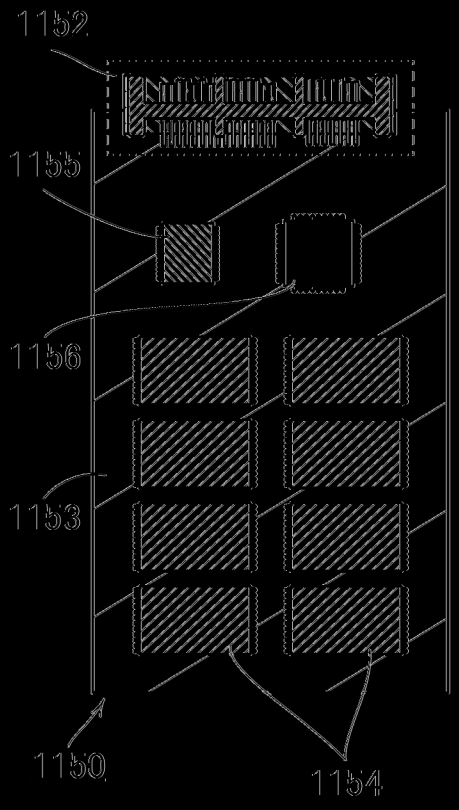


圖36E

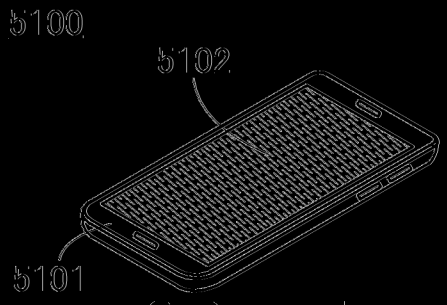


圖37A

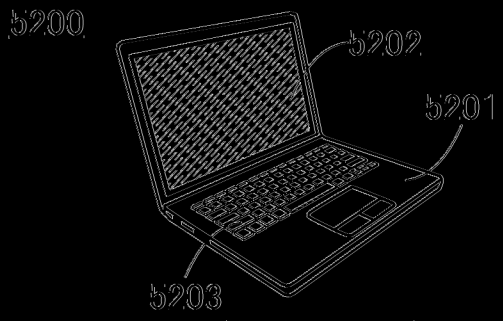


圖37B

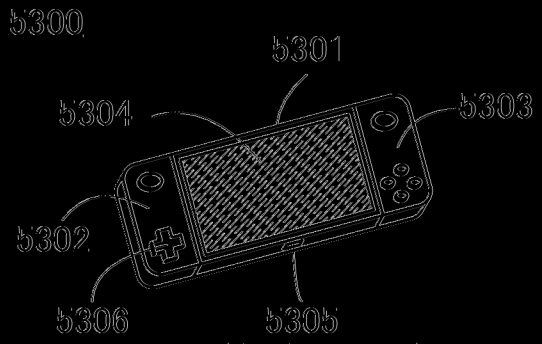


圖37C

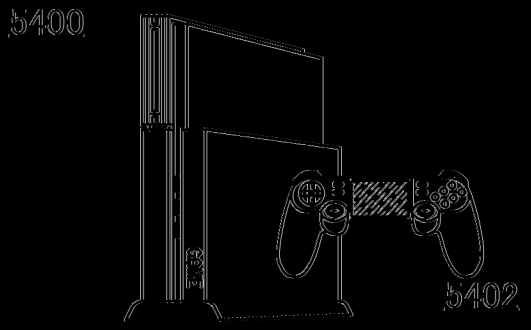


圖37D

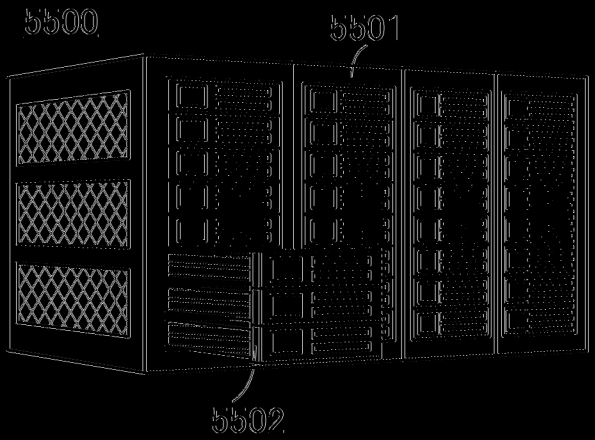


圖37E

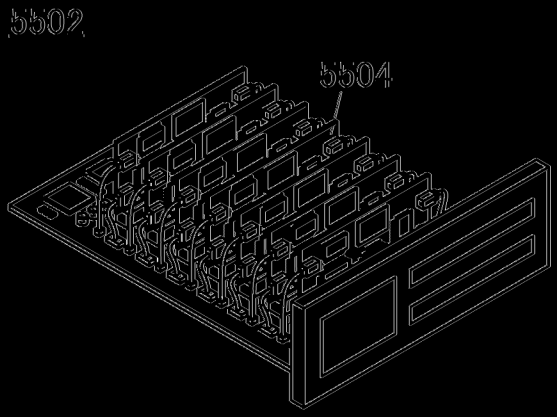


圖37F

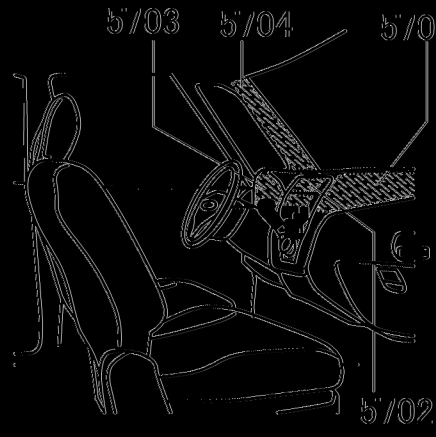


圖37G

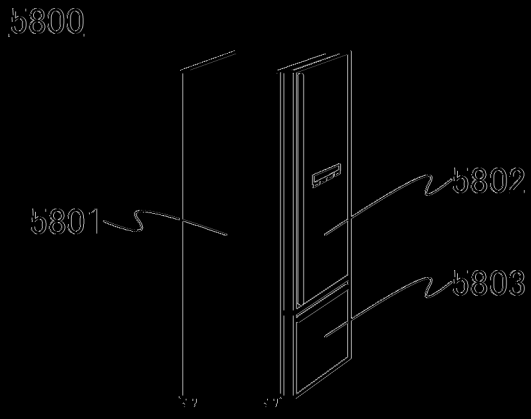


圖37H

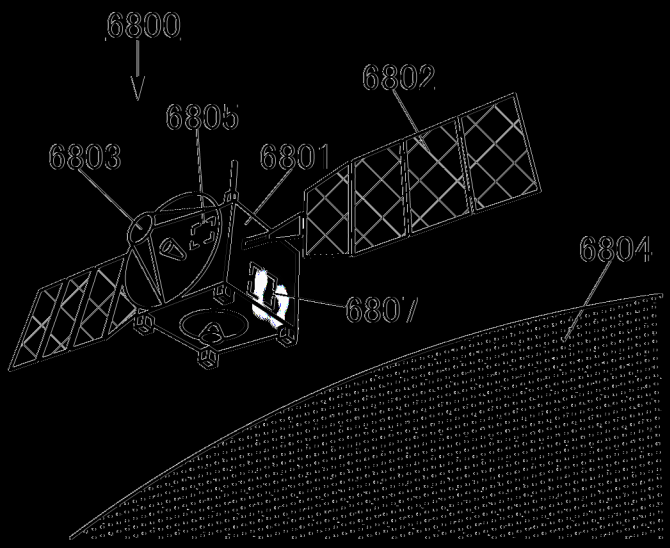


圖38