

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年10月14日 (2010.10.14)

【公表番号】特表2010-503217(P2010-503217A)

【公表日】平成22年1月28日 (2010.1.28)

【年通号数】公開・登録公報2010-004

【出願番号】特願2009-526823(P2009-526823)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/338 (2006.01)

H 0 1 L 29/812 (2006.01)

H 0 1 L 29/778 (2006.01)

H 0 1 L 21/337 (2006.01)

H 0 1 L 29/808 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

【 F I 】

H 0 1 L 27/04 H

H 0 1 L 29/80 P

H 0 1 L 29/80 H

H 0 1 L 29/80 C

H 0 1 L 27/06 3 1 1 C

H 0 1 L 27/06 3 1 1 B

H 0 1 L 27/06 3 1 1 A

H 0 1 L 27/08 1 0 2 F

【手続補正書】

【提出日】平成22年8月23日 (2010.8.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

静電放電 (E S D) 保護回路であって、

第 1 の端子および第 2 の端子と、

該第 1 の端子と該第 2 の端子との間に動作可能に連結されたトランジスタ分路要素であって、該トランジスタ分路要素は、正の放電事象および負の放電事象の両方に対して、該第 1 の端子と該第 2 の端子との間に放電経路を提供し、該トランジスタ分路要素は、エンハンスメントモードの化合物半導体電界効果トランジスタである、トランジスタ分路要素と、

該第 2 の端子に動作可能に連結された遮断要素であって、該トランジスタ分路要素をターンオフの状態に維持することができる遮断要素と

を備える、静電放電保護回路。

【請求項 2】

前記トランジスタ分路要素と前記遮断要素との間に動作可能に連結された直列要素であ

って、該トランジスタ分路要素のゲートへの電流を制限することができる、直列要素をさらに備える、請求項 1 に記載の回路。

【請求項 3】

前記遮断要素は、前記直列要素と前記第 2 の端子との間に直列に動作可能に連結されたレジスタを備える、請求項 2 に記載の回路。

【請求項 4】

前記遮断要素は、前記第 2 の端子と前記直列要素との間に直列に動作可能に連結された、ゲートソース連結トランジスタを備える、請求項 2 に記載の回路。

【請求項 5】

前記遮断要素は、ゲートソース連結トランジスタと前記直列要素との間に直列に動作可能に連結されたレジスタを備え、該ゲートソース連結トランジスタは、前記第 2 の端子と直列に動作可能に連結され、そして、該ゲートソース連結トランジスタのゲートは、該ゲートソース連結トランジスタのソースに連結される、請求項 2 に記載の回路。

【請求項 6】

前記遮断要素は、レジスタと前記直列要素との間に直列に動作可能に連結されたソースレジスタ連結トランジスタを備え、該レジスタ、および該ソースレジスタ連結トランジスタのゲートは、前記第 2 の端子と動作可能に連結される、請求項 2 に記載の回路。

【請求項 7】

前記直列要素は、前記トランジスタ分路要素と前記遮断要素との間に直列に動作可能に連結された短絡回路を備える、請求項 2 に記載の回路。

【請求項 8】

前記直列要素は、前記トランジスタ分路要素と前記遮断要素との間に直列に動作可能に連結されたレジスタを備える、請求項 2 に記載の回路。

【請求項 9】

前記直列要素は、前記トランジスタ分路要素と前記遮断要素との間に直列に動作可能に連結された複数のダイオードを備える、請求項 2 に記載の回路。

【請求項 10】

前記第 1 の端子と前記遮断要素との間に動作可能に連結されたトリガ要素であって、前記トランジスタ分路要素をターンオンするターンオン電圧を提供することができるトリガ要素をさらに備える、請求項 2 に記載の回路。

【請求項 11】

前記トリガ要素は、前記第 1 の端子と前記遮断要素および前記直列要素との間に直列に動作可能に連結された複数のダイオードを備える、請求項 10 に記載の回路。

【請求項 12】

前記トリガ要素は、前記複数のダイオードと直列に動作可能に連結されたレジスタをさらに備える、請求項 11 に記載の回路。

【請求項 13】

前記トリガ要素は、前記複数のダイオードと直列に連結されたゲートソース連結トランジスタをさらに備え、該ゲートソース連結トランジスタのゲートは、該ゲートソース連結トランジスタのソースと連結される、請求項 11 に記載の回路。

【請求項 14】

前記遮断要素は、前記第 2 の端子と前記トリガ要素および前記直列要素との間に直列に動作可能に連結されたレジスタを備える、請求項 10 に記載の回路。

【請求項 15】

前記遮断要素は、前記第 2 の端子と前記トリガ要素および前記直列要素との間に直列に動作可能に連結された、ゲートソース連結トランジスタを備える、請求項 10 に記載の回路。

【請求項 16】

前記遮断要素は、ゲートソース連結トランジスタと前記トリガ要素および前記直列要素との間に直列に動作可能に連結されたレジスタを備え、該ゲートソース連結トランジ

スタは、前記第 2 の端子と直列に動作可能に連結され、そして、該ゲートソース連結トランジスタのゲートは、該ゲートソース連結トランジスタのソースに連結される、請求項 10 に記載の回路。

【請求項 17】

前記遮断要素は、レジスタと前記トリガ要素および前記直列要素との間に直列に動作可能に連結された、ソースレジスタ連結トランジスタを備え、該レジスタ、および該ソースレジスタ連結トランジスタのゲートは、前記第 2 の端子に動作可能に連結される、請求項 10 に記載の回路。

【請求項 18】

前記直列要素は、前記トランジスタ分路要素と前記トリガ要素および前記遮断要素との間に直列に動作可能に連結された短絡回路を備える、請求項 10 に記載の回路。

【請求項 19】

前記直列要素は、前記トランジスタ分路要素と前記トリガ要素および前記遮断要素との間に直列に動作可能に連結されたレジスタを備える、請求項 10 に記載の回路。

【請求項 20】

前記直列要素は、前記トランジスタ分路要素と前記トリガ要素および前記遮断要素との間に直列に動作可能に連結された複数のダイオードを備える、請求項 10 に記載の回路。

【請求項 21】

前記第 1 の端子は、ESD 事象に対して保護されるように、集積回路に動作可能に連結される、請求項 1 に記載の回路。

【請求項 22】

前記第 2 の端子は、接地して動作可能に連結される、請求項 21 に記載の回路。

【請求項 23】

前記第 2 の端子は、基準電圧に動作可能に連結される、請求項 21 に記載の回路。

【請求項 24】

前記エンハンスメントモードの化合物半導体電界効果トランジスタは、
砒化アルミニウムガリウムと、
砒化インジウムガリウムと、
リン化インジウムガリウムと、
砒化インジウムアルミニウムと、
窒化アルミニウムガリウムと、
窒化インジウムガリウムと、
アンチモン化砒化ガリウムと、
窒化砒化インジウムガリウムと
から成る群から選択される材料を含む、請求項 1 に記載の回路。

【請求項 25】

静電放電保護を集積回路に提供する半導体素子であって、

第 1 の端子および第 2 の端子であって、該第 1 の端子は、該集積回路と動作可能に連結することができ、該第 2 の端子は、接地して動作可能に連結することができる、第 1 の端子および第 2 の端子と、

該第 1 の端子と該第 2 の端子との間に動作可能に連結されたトランジスタ分路要素であって、該トランジスタ分路要素は、正の ESD 事象および負の ESD 事象の両方を放散させる放電経路を提供し、該トランジスタ分路要素は、エンハンスメントモードの化合物半導体電界効果トランジスタである、トランジスタ分路要素と、

該第 2 の端子に動作可能に連結された遮断要素であって、該トランジスタ分路要素をターンオフの状態に維持することができる遮断要素と、

該トランジスタ分路要素と該遮断要素との間に動作可能に連結された直列要素であって、
該トランジスタ分路要素のゲートへの電流を制限することができる直列要素と
を備える、半導体素子。

【請求項 26】

前記第 1 の端子と前記遮断要素および直列要素との間に動作可能に連結されたトリガ要素であって、前記トランジスタ分路要素をターンオンするために、ターンオン電圧を制御することができるトリガ要素をさらに備える、請求項 25 に記載の素子。

【請求項 27】

E S D 保護を集積回路に提供する方法であって、

E S D 保護回路の第 1 の端子において電圧を検出することと、

該電圧の該検出に応答して、該 E S D 保護回路のトリガ要素をターンオンすることと、

該トリガ要素のターンオンに応答して、該 E S D 保護回路のトランジスタ分路要素をターンオンすることと、

正の E S D 事象および負の E S D 事象の両方を放散させるために、該トランジスタ分路要素を経由して該第 1 の端子と第 2 の端子との間に放電経路を提供することであって、該トランジスタ分路要素は、エンハンスメントモードの化合物半導体電界効果トランジスタである、ことと

を含む、方法。

【請求項 28】

前記電圧が検出されるまで、前記トランジスタ分路要素をターンオフの状態に維持することと、

該トランジスタ分路要素のゲートへの電流を制限することと

をさらに含む、請求項 27 に記載の方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【書類名】明細書

【発明の名称】化合物半導体素子および回路のための静電放電保護回路

【技術分野】

【0001】

本発明の実施形態は、概して、半導体素子に関し、より具体的には、化合物半導体素子および回路のための静電放電保護回路に関する。

【背景技術】

【0002】

半導体素子および他の集積回路は、静電放電 (E l e c t r o s t a t i c D i s c h a r g e : E S D) 事象からの損害を受けやすい。例えば、E S D 事象は、これらの素子および回路の組み立て中および包装中、または最終製品におけるこれらの素子および回路の通常動作中のいずれかに生じる場合がある。E S D 事象は、高電位の電圧および電流が、素子または回路内に急激に放電されたときに生じ、一般的に、E S D 事象から保護されていない素子および回路の破壊をもたらす。

【0003】

図 1 は、従来技術による E S D 保護回路の回路図である。E S D 保護回路 100 は、入出力パッド 110 と、内部回路 120 と、接地して直列に連結された多数のダイオード 130 および 140 とを含む。従来の E S D 保護回路では、E S D 事象は、一般的に、一連のダイオード要素を通して放散させられる。E S D 保護回路 100 内において、ダイオード 130 および 140 を使用して E S D 事象を放散させ、それによって、内部回路 120 を E S D 事象から保護することが、見られることができる。

【0004】

E S D 事象を放散させるために放電経路内にあるダイオードを使用することは、各ダイオードの直列抵抗により不利である。E S D 保護素子は、理想的には、迅速に E S D 事象を放散させるために、可能な最も低い抵抗を有するべきである。放電経路内のダイオード

の数が増加するにつれて、放電経路内の抵抗が大きくなる。ESD事象をできるだけ迅速に放散させることが、ESD保護素子の能力に影響を及ぼす。

【0005】

ESD保護回路100の別の不利な点は、該回路が、効率的にESD事象を放散させるために、大型ダイオード（すなわち、大きな幅を有するダイオード）を使用することである。これは、特に化合物半導体の電界効果トランジスタ（Field Effect Transistor：FET）技術におけるダイオードにも当てはまる。とりわけ、大型ダイオードは、ESD保護回路を収容する構成要素内の比較的大きな領域を消費する。結果的に、構成要素をより大きくしなければならならず、とりわけ、構成要素のコストを増加させる。

【0006】

図2は、従来技術によるESD保護回路の、電流対電圧の伝送線路パルス特性210の線図200である。伝送線路パルス特性210は、ESD保護回路の放電経路内のダイオードの存在を反映する。放電経路内の大きな直列抵抗を、伝送線路パルス特性210内に見出すことができ、電流の放散が電圧における増加効果を有する。

【0007】

特許文献1は、上述した不利な点のうちのいくつかに対処しようとした、従来技術のESD保護回路を例示している。特許文献1のESD保護回路は、放電経路内に、多数のダイオードではなく、トランジスタおよびレジスタを使用している。しかしながら、レジスタは、放電経路の抵抗を増加させる。結果的に、多数のダイオードではなく、トランジスタおよびレジスタを使用してもなお、上述した理由によって不利である。加えて、特許文献1のESD保護回路は、低レベルの電圧源および高レベルの電圧源を含む、2つの電源を必要とする。とりわけ、電源をESD保護回路に接続するために追加的な端子が必要であるので、電源の必要性がESD保護回路の複雑さを増加させ、したがって、コストを増加させる。

【0008】

特許文献2は、別の従来技術のESD保護回路を例示している。特許文献2のESD保護回路は、ヘテロ接合双極トランジスタ（Heterojunction Bipolar Transistor：HBT）技術を使用して実装される。このようなESD保護回路の1つの不利な点は、1つが正のESD事象を放散させ、もう1つが負のESD事象を放散させる、2つの別個の放電経路を必要とすることである。とりわけ、2つの放電経路が存在することで、ESD保護回路の複雑さを増加させ、領域を消費して、ESD保護回路のコストを増加させる。さらに、特許文献2のESD保護回路は、放電経路内のトランジスタと直列の、少なくとも1つのダイオードを使用している。これは、放電経路内の直列抵抗を増加させ、上述のように、ESD保護回路の不利な点である。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】米国特許第4,930,036号明細書

【特許文献2】米国特許出願公開第2004/0057172号明細書

【発明の概要】

【課題を解決するための手段】

例えば、本発明は以下の項目を提供する。

（項目1）

静電放電（ESD）保護回路であって、

第1の端子および第2の端子と、

該第1の端子と該第2の端子との間に動作可能に連結されたトランジスタ分路要素であって、該第1の端子と該第2の端子との間に双方向性の放電経路を提供することができる、トランジスタ分路要素と、

該第2の端子に動作可能に連結された遮断要素であって、該トランジスタ分路要素をタ

ーンオフの状態に維持することができる遮断要素と
を備える、静電放電保護回路。

(項目 2)

上記トランジスタ分路要素と上記遮断要素との間に動作可能に連結された直列要素であ
って、該トランジスタ分路要素のゲートへの電流を制限することができる、直列要素をさ
らに備える、項目 1 に記載の回路。

(項目 3)

上記遮断要素は、上記直列要素と上記第 2 の端子との間に直列に動作可能に連結された
レジスタを備える、項目 2 に記載の回路。

(項目 4)

上記遮断要素は、上記第 2 の端子と上記直列要素との間に直列に動作可能に連結された
、ゲートソース連結トランジスタを備える、項目 2 に記載の回路。

(項目 5)

上記遮断要素は、ゲートソース連結トランジスタと上記直列要素との間に直列に動作
可能に連結されたレジスタを備え、該ゲートソース連結トランジスタは、上記第 2 の端
子と直列に動作可能に連結され、そして、該ゲートソース連結トランジスタのゲートは
、該ゲートソース連結トランジスタのソースに連結される、項目 2 に記載の回路。

(項目 6)

上記遮断要素は、レジスタと上記直列要素との間に直列に動作可能に連結されたソース
ーレジスタ連結トランジスタを備え、該レジスタ、および該ソースーレジスタ連結ラン
ジスタのゲートは、上記第 2 の端子と動作可能に連結される、項目 2 に記載の回路。

(項目 7)

上記直列要素は、上記トランジスタ分路要素と上記遮断要素との間に直列に動作可能に
連結された直接接続を備える、項目 2 に記載の回路。

(項目 8)

上記直列要素は、上記トランジスタ分路要素と上記遮断要素との間に直列に動作可能に
連結されたレジスタを備える、項目 2 に記載の回路。

(項目 9)

上記直列要素は、上記トランジスタ分路要素と上記遮断要素との間に直列に動作可能に
連結された複数のダイオードを備える、項目 2 に記載の回路。

(項目 10)

上記第 1 の端子と上記遮断要素との間に動作可能に連結されたトリガ要素であって、上
記トランジスタ分路要素をターンオンするターンオン電圧を提供することができるトリガ
要素をさらに備える、項目 2 に記載の回路。

(項目 11)

上記トリガ要素は、上記第 1 の端子と上記遮断要素および上記直列要素との間に直列に
動作可能に連結された複数のダイオードを備える、項目 10 に記載の回路。

(項目 12)

上記トリガ要素は、上記複数のダイオードと直列に動作可能に連結されたレジスタをさ
らに備える、項目 11 に記載の回路。

(項目 13)

上記トリガ要素は、上記複数のダイオードと直列に連結されたゲートソース連結ラン
ジスタをさらに備え、該ゲートソース連結トランジスタのゲートは、該ゲートソー
ス連結トランジスタのソースと連結される、項目 11 に記載の回路。

(項目 14)

上記遮断要素は、上記第 2 の端子と上記トリガ要素および上記直列要素との間に直列に
動作可能に連結されたレジスタを備える、項目 10 に記載の回路。

(項目 15)

上記遮断要素は、上記第 2 の端子と上記トリガ要素および上記直列要素との間に直列に
動作可能に連結された、ゲートソース連結トランジスタを備える、項目 10 に記載の回

路。

(項目 1 6)

上記遮断要素は、ゲートソース連結トランジスタと上記トリガ要素および上記直列要素との間に直列に動作可能に連結されたレジスタを備え、該ゲートソース連結トランジスタは、上記第 2 の端子と直列に動作可能に連結され、そして、該ゲートソース連結トランジスタのゲートは、該ゲートソース連結トランジスタのソースに連結される、項目 1 0 に記載の回路。

(項目 1 7)

上記遮断要素は、レジスタと上記トリガ要素および上記直列要素との間に直列に動作可能に連結された、ソースレジスタ連結トランジスタを備え、該レジスタ、および該ソースレジスタ連結トランジスタのゲートは、上記第 2 の端子に動作可能に連結される、項目 1 0 に記載の回路。

(項目 1 8)

上記直列要素は、上記トランジスタ分路要素と上記トリガ要素および上記遮断要素との間に直列に動作可能に連結された直接接続を備える、項目 1 0 に記載の回路。

(項目 1 9)

上記直列要素は、上記トランジスタ分路要素と上記トリガ要素および上記遮断要素との間に直列に動作可能に連結されたレジスタを備える、項目 1 0 に記載の回路。

(項目 2 0)

上記直列要素は、上記トランジスタ分路要素と上記トリガ要素および上記遮断要素との間に直列に動作可能に連結された複数のダイオードを備える、項目 1 0 に記載の回路。

(項目 2 1)

上記第 1 の端子は、ESD 事象に対して保護されるように、集積回路に動作可能に連結される、項目 1 に記載の回路。

(項目 2 2)

上記第 2 の端子は、接地して動作可能に連結される、項目 2 1 に記載の回路。

(項目 2 3)

上記第 2 の端子は、基準電圧に動作可能に連結される、項目 2 1 に記載の回路。

(項目 2 4)

上記 ESD 保護回路は、

シュードモルフィック高電子移動度トランジスタと、

金属半導体電界効果トランジスタと、

接合型電界効果トランジスタと、

高電子移動度トランジスタと、

メタモルフィック高電子移動度トランジスタと、

ヘテロ構造電界効果トランジスタと、

変調ドープ電界効果トランジスタと

から成る群から選択される化合物半導体電界効果トランジスタ技術で製造される、項目 1 に記載の回路。

(項目 2 5)

上記化合物半導体技術は、

砒化ガリウムと、

リン化インジウムと、

窒化ガリウムと、

砒化アルミニウムガリウムと、

砒化インジウムガリウムと、

リン化インジウムガリウムと、

砒化インジウムアルミニウムと、

窒化アルミニウムガリウムと、

窒化インジウムガリウムと、

アンチモン化砒化ガリウムと、
窒化砒化インジウムガリウムと、
砒化アルミニウムと

から成る群から選択される材料を含む、項目 2 4 に記載の回路。

(項目 2 6)

上記トランジスタ分路要素は、エンハンスメントモード電界効果トランジスタである、
項目 2 4 に記載の回路。

(項目 2 7)

静電放電保護を集積回路に提供する半導体素子であって、

第 1 の端子および第 2 の端子であって、該第 1 の端子は、上記集積回路と動作可能に連
結することができ、該第 2 の端子は、接地して動作可能に連結することができる、第 1 の
端子および第 2 の端子と、

該第 1 の端子と該第 2 の端子との間に動作可能に連結されたトランジスタ分路要素であ
って、E S D 事象を放散させるために、双方向性の放電経路を提供することができるトラ
ンジスタ分路要素と、

該第 2 の端子に動作可能に連結された遮断要素であって、該トランジスタ分路要素をタ
ーンオフの状態に維持することができる遮断要素と、

該トランジスタ分路要素と該遮断要素との間に動作可能に連結された直列要素であって
、該トランジスタ分路要素のゲートへの電流を制限することができる直列要素と
を備える、半導体素子。

(項目 2 8)

上記第 1 の端子と上記遮断要素および直列要素との間に動作可能に連結されたトリガ要
素であって、上記トランジスタ分路要素をターンオンするために、ターンオン電圧を制御
することができるトリガ要素をさらに備える、項目 2 7 に記載の素子。

(項目 2 9)

E S D 保護を集積回路に提供する方法であって、

E S D 保護回路の第 1 の端子において電圧を検出することと、

該電圧の該検出に応答して、該 E S D 保護回路のトリガ要素をターンオンすることと、

該トリガ要素のターンオンに応答して、該 E S D 保護回路のトランジスタ分路要素をタ
ーンオンすることと、

E S D 事象を放散させるために、該トランジスタ分路要素を経由して該第 1 の端子から
第 2 の端子へ放電経路を提供することと

を含む、方法。

(項目 3 0)

上記電圧が検出されるまで、上記トランジスタ分路要素をターンオフの状態に維持する
ことと、

該トランジスタ分路要素のゲートへの電流を制限することと

をさらに含む、項目 2 9 に記載の方法。

【図面の簡単な説明】

【0 0 1 0】

【図 1】図 1 は、従来技術による静電放電（E S D）保護回路の概略図である。

【図 2】図 2 は、従来技術による E S D 保護回路の電流対電圧の伝送線路パルス特性
の線図である。

【図 3】図 3 は、本発明の一実施形態による E S D 保護回路のブロック図である。

【図 4】図 4 は、本発明の実施形態による、電流対電圧の伝送線路パルス特性の線図
である。

【図 5 A】図 5 A ～ 5 I は、本発明の実施形態による図 3 の E S D 保護回路を例示し
た図である。

【図 5 B】図 5 A ～ 5 I は、本発明の実施形態による図 3 の E S D 保護回路を例示し
た図である。

【図 5 C】図 5 A～5 I は、本発明の実施形態による図 3 の E S D 保護回路を例示した図である。

【図 5 D】図 5 A～5 I は、本発明の実施形態による図 3 の E S D 保護回路を例示した図である。

【図 5 E】図 5 A～5 I は、本発明の実施形態による図 3 の E S D 保護回路を例示した図である。

【図 5 F】図 5 A～5 I は、本発明の実施形態による図 3 の E S D 保護回路を例示した図である。

【図 5 G】図 5 A～5 I は、本発明の実施形態による図 3 の E S D 保護回路を例示した図である。

【図 5 H】図 5 A～5 I は、本発明の実施形態による図 3 の E S D 保護回路を例示した図である。

【図 5 I】図 5 A～5 I は、本発明の実施形態による図 3 の E S D 保護回路を例示した図である。

【図 6】図 6 は、本発明の別の実施形態による E S D 保護回路を例示した図である。

【図 7】図 7 は、本発明の実施形態による、化合物半導体素子および回路の E S D 保護のためのプロセスのフローチャートである。

【発明を実施するための形態】

【0011】

本発明の実施形態の特性であると考えられる斬新な特徴を、添付の特許請求の範囲に記載する。しかしながら、本発明の実施形態は、添付の図面を参照しながら以下の詳細な説明を参照することで最良に理解され、本発明の実施形態は、添付図面の図に一実施例として示されたものであり、限定することを目的としたものではなく、図中、同じ参照番号は同じ要素を示す。

【0012】

次の本発明の実施形態の詳細な説明への参照がなされる。当業者は、本発明の実施形態は、多くの発明的概念および斬新な特徴を提供するが、これらは例示的なものに過ぎず、また、限定するものとして解釈すべきではないと認識されよう。したがって、本願明細書において説明される具体的な実施形態は、一実施例として与えられたものであり、本発明の実施形態の範囲を限定するものではない。さらに、当業者は、説明のために多数の具体的な詳細が記載されるが、本発明の実施形態は、これらの具体的な詳細を用いずに実行することができ、また、特定の特徴は、本発明の実施形態をより明確に例示するために省略されているものと理解されよう。

【0013】

図 3 は、本発明の一実施形態による静電放電（E S D）保護回路 300 のブロック図である。E S D 保護回路 300 は、端子 310 および 320 と、トリガ要素 330 と、遮断要素 340 と、直列要素 350 と、トランジスタ分路要素 360 とを備える。トリガ要素 330、遮断要素 340、直列要素 350、およびトランジスタ分路要素 360 は、E S D 事象が、端子 310 および 320 と連結されることができる素子または集積回路に損害を与えないように、最小抵抗の放電経路を提供する。以下に詳述するように、端子 310 と 320 とにわたって E S D 事象が生じたときに、トリガ要素 330 は、トランジスタ分路要素 360 を作動させて、E S D 事象を放散させる。

【0014】

トリガ要素 330 は、トランジスタ分路要素 360 のターンオン電圧、すなわち E S D 事象を放散させるように、トランジスタ分路要素 360 がターンオンして作動させられる電圧の値を設定する能力を提供する。トリガ要素 330 内の複数のダイオードを使用して、ターンオン電圧レベルを設定することができる。遮断要素 340 は、トランジスタ分路要素 360 のターンオン電圧が到達する時間まで、E S D 放電経路が使用されないように、通常動作中に、E S D 放電経路をターンオフの状態に維持にする。直列要素 350 は、トランジスタ分路要素 360 へのゲート電流を制限する能力を提供する。トランジスタ分

路要素 360 は、ESD 事象を放散させるように、例えばトランジスタ分路要素 360 のドレインおよびソースを介して、双方向性の放電経路を提供する。

【0015】

本発明の実施形態は、端子 310 の電位が端子 320 の電位よりも高い正の ESD 事象か、または端子 320 の電位が端子 310 の電位よりも高い負の ESD 事象のいずれかに関連して動作する。ESD 事象の極性は、端子 310 と端子 320 との間の放電方向を決定する。例えば、正の ESD 事象が生じた場合、トリガ要素 330 が、トランジスタ分路要素 360 をターンオンする要素になるが、負の ESD 事象が生じた場合は、遮断要素 340 が、トランジスタ分路要素 360 をターンオンする要素になる。したがって、本発明の実施形態の原理によれば、ESD 保護回路 300 は、端子 310 と 320 とにわたる ESD 事象に対して双方向性の放電経路を提供する。正の ESD 事象の場合のように、直列要素 350 は、負の ESD 事象において、トランジスタ分路要素 360 へのゲート電流を制限する能力を提供する。

【0016】

本発明の一実施形態では、ESD 保護回路 300 は、化合物半導体の電界効果トランジスタ (FET) 技術である、シュードモルフィック高電子移動度トランジスタ (pseudomorphic High Electron Mobility Transistor: pHEMT) 技術を使用して製造される。しかしながら、ESD 保護回路 300 は、例えば、これに限定されないが、金属半導体電界効果トランジスタ (Metal Semiconductor FET: MESFET)、接合型電界効果トランジスタ (junction FET: jFET)、高電子移動度トランジスタ (HEMT)、メタモルフィック高電子移動度トランジスタ (metamorphic HEMT: mHEMT)、ヘテロ構造電界効果トランジスタ (Heterostructure FET: HFET)、変調ドーピング電界効果トランジスタ (Modulation-Doped FET: MODFET)、または他の任意の好適な化合物半導体 FET 技術を含む、他の化合物半導体 FET 技術を使用して製造することができる。ESD 保護回路 300 の製造に使用される化合物半導体材料には、例えば、砒化ガリウム (GaAs)、リン化インジウム (InP)、窒化ガリウム (GaN)、および、例えば、砒化アルミニウムガリウム (AlGaAs)、砒化インジウムガリウム (InGaAs)、リン化インジウムガリウム (InGaP)、砒化インジウムアルミニウム (InAlAs)、窒化アルミニウムガリウム (AlGaN)、窒化インジウムガリウム (InGaN)、アンチモン化砒化ガリウム (GaAsSb)、窒化砒化インジウムガリウム (InGaAsN)、および砒化アルミニウム (AlA) のような上述の誘導体等の材料が挙げられる。本発明の一実施形態では、ESD 保護回路 300 は、砒化ガリウム (GaAs) の基板上に形成される。しかしながら、ESD 保護回路 300 は、例えば、リン化インジウム (InP) および窒化ガリウム (GaN) のような、他のタイプの基板上に形成することができる。

【0017】

本発明の一実施形態では、端子 310 は、ESD 事象から保護されるために、素子または集積回路に連結されることができ、端子 320 は、接地して連結されることができ。本発明の別の実施形態では、端子 320 は、接地以外の基準電位に連結されることができる。例えば、基準電位は、以下により詳細に説明するように、追加的な電圧電位を提供して、ターンオン電圧のレベルを増減させることができる。加えて、または代替案として、端子 310 は、ボンディングパッド、入出力ピン、または ESD 保護回路 300 に関連する他の任意の接続部に連結することができ、端子 320 は、別のボンディングパッド、入出力ピン、または ESD 保護回路 300 内の他の任意の接続部に連結されることができる。

【0018】

本発明の一実施形態では、トランジスタ分路要素 360 は、エンハンスメントモード pHEMT である。トランジスタ分路要素 360 は、エンハンスメントモード pHEMT として説明されているが、本発明の実施形態は、例えば、MESFET、jFET、HEM

T、mHEMT、HFET、MODFET、または他の任意の好適な化合物半導体FETのような、任意の好適なエンハンスメントモードFETも考慮する。

【0019】

本発明の実施形態は、ゲートソース間の電圧に関連して、電圧制御ベースでトランジスタ分路要素360を作動させる。すなわち、電圧がトランジスタ分路要素360のゲートに印加され、ゲートソース間の電圧の大きさがトランジスタ分路要素360の閾値電圧よりも小さい場合は、トランジスタ分路要素360はターンオフされている。遮断要素340は、トリガ要素330に基づいて設定されたターンオン電圧が達成されるまで、トランジスタ分路要素360のゲートソース間の電圧を、トランジスタ分路要素360の閾値電圧よりも低く保持する。

【0020】

上述のように、ESD保護回路300のターンオン電圧は、トリガ要素330内のダイオードを使用して設定することができる。しかしながら、従来技術とは異なり、放電経路内には、いかなるダイオードまたはレジスタも使用されない。本発明の実施形態は、トランジスタ分路要素360を使用してESD事象を放電する。とりわけ、これは本発明の実施形態の放電経路内の直列抵抗を減じて、本発明の実施形態が、できるだけ迅速にESD事象を放散できるようにする。加えて、ダイオードは、ESD事象を放散させないため、それらを放電経路内では使用していないので、放電経路内にダイオードを使用した従来技術のESD保護回路内で使用されるものと比較して、より小さいダイオードを使用することができる。とりわけ、このことは、このような従来技術のESD保護回路と比較してESD保護回路300のサイズを減少させる。

【0021】

加えて、本発明の実施形態は、いくつかの従来技術のESD保護回路のように2つの放電経路を有するのではなく、正および負のESD事象の両方に対して1つの放電経路を有する。とりわけ、これは、本発明の実施形態の複雑さを減少させ、消費される領域の量を減少させ、また、本発明の実施形態のESD保護回路を含む構成要素のコストを減じる。さらに、いくつかの従来技術のESD保護回路とは異なり、本発明の実施形態には電源の使用を必要としない。とりわけ、これは、本発明の実施形態によるESD保護回路の複雑さ、したがって、コストを減じる。

【0022】

図4は、本発明の実施形態による、電流対電圧の伝送線路パルス特性410の線図400である。上述のように、ESD事象中に、ESD保護回路300は、ESD事象が素子および／または集積回路に損害を与えないように、放電経路を提供する。ESD保護回路内の放電経路は、トランジスタ分路要素360を通してESD事象の迅速な放散を可能とする接地への低抵抗経路である。したがって、図4から、ESD保護回路300が、電圧への影響を最小限に抑えて、増加する電流を放散させることが分かる。

【0023】

図4の伝送線路パルス特性410の場合、トリガ要素330は、およそ10ボルトのターンオン電圧を提供する。この場合において10ボルトであるターンオン電圧を超えると、伝送線路パルス特性410は、「スナップバック」を示す。「スナップバック」電圧は、トランジスタ分路要素360の構造によって決定される。

【0024】

図5A～5Iは、本発明の実施形態による図3のESD保護回路300を例示した図である。上述のように、ESD保護回路300は、端子310および320と、トリガ要素330と、遮断要素340と、直列要素350と、トランジスタ分路要素360とを備える。加えて、トランジスタ分路要素360のドレインは端子310に連結され、トランジスタ分路要素360のソースは端子320に連結され、トランジスタ分路要素360のゲートは直列要素350に連結される。

【0025】

図5Aでは、トリガ要素330は、端子310から遮断要素340および直列要素35

0へ直列に連結された、複数のダイオードD1、D2、・・・、DNを備える。図5A～5Iでは、ダイオードD1、D2、・・・、DNは、例えば、これに限定されないが、ショットキーダイオードのような任意のダイオードとすることができる。加えて、または代替案として、図5A～5IのダイオードD1、D2、・・・、DNは、ダイオード構成内に接続されたトランジスタを使用して、すなわち、トランジスタのドレインに接続されたトランジスタのゲートを使用して実装することができる。加えて、または代替案として、図5A～5Hでは、例えば、これに限定されないが、図5Iに示されるレジスタのような構成要素を、ダイオードD1、D2、・・・、DNに直列に連結することができる。

【0026】

図5Aでは、遮断要素340は、トリガ要素330および直列要素350と端子320との間に直列に連結されたゲートソース連結トランジスタ370（ゲートソース連結トランジスタ370は、そのソースに連結されたゲートを有する）に連結された、レジスタR1を備える。一実施形態では、ゲートソース連結トランジスタ370は、空乏モードFETである。しかしながら、本発明の実施形態は、空乏モードFETであるゲートソース連結トランジスタ370に限定されない。直列要素350は、トランジスタ分路要素360のゲート、トリガ要素330、および遮断要素340に連結された直列レジスタR2を備える。

【0027】

図5Bでは、トリガ要素330は、端子310から遮断要素340および直列要素350へ直列に連結された、複数のダイオードD1、D2、・・・、DNを備える。遮断要素340は、トリガ要素330および直列要素350と端子320との間に直列に連結されたゲートソース連結トランジスタ370に連結された、レジスタR1を備える。直列要素350は、トランジスタ分路要素360のゲートとトリガ要素330および遮断要素340との間に直接接続を提供する、直接接続を備える。

【0028】

図5Cでは、トリガ要素330は、端子310から遮断要素340および直列要素350へ直列に連結された、複数のダイオードD1、D2、・・・、DNを備える。遮断要素340は、トリガ要素330および直列要素350と端子320との間に直列に連結された、レジスタR1を備える。遮断要素340はまた、図5Hに示されるように、トリガ要素330および直列要素350と端子320との間に直列に連結された、ゲートソース連結トランジスタ370も備えることができる。直列要素350は、トランジスタ分路要素360のゲート、トリガ要素330、および遮断要素340に連結された直列レジスタR2を備える。

【0029】

図5Dでは、トリガ要素330は、端子310から遮断要素340および直列要素350へ直列に連結された、複数のダイオードD1、D2、・・・、DNを備える。遮断要素340は、トリガ要素330および直列要素350と端子320との間に直列に連結された、レジスタR1を備える。直列要素350は、トランジスタ分路要素360のゲートとトリガ要素330および遮断要素340との間に直接接続を提供する、直接接続を備える。

【0030】

図5Eでは、トリガ要素330は、端子310から遮断要素340および直列要素350へ直列に連結された、複数のダイオードD1、D2、・・・、DNを備える。遮断要素340は、ソースレジスタ連結トランジスタ380を備え、ソースレジスタ連結トランジスタ380のソースは、トリガ要素330および直列要素350と端子320との間に直列にレジスタR1に連結され、ソースレジスタ連結トランジスタ380のゲートは、端子320に連結される。一実施形態では、ソースレジスタ連結トランジスタ380は、空乏モードFETである。しかしながら、本発明の実施形態は、空乏モードFETであるソースレジスタ連結トランジスタ380に限定されない。直列要素350は、トランジスタ分路要素360のゲートとトリガ要素330および遮断要素340との間に直接

接続を提供する、直接接続を備える。

【0031】

図5Fでは、トリガ要素330は、端子310から遮断要素340および直列要素350へ直列に連結された、複数のダイオードD1、D2、・・・、DNを備える。遮断要素340は、トリガ要素330および直列要素350と端子320との間に直列に連結されたゲートソース連結トランジスタ370に連結された、レジスタR1を備える。直列要素350は、トランジスタ分路要素360のゲートからトリガ要素330および遮断要素340へ直列に連結された、複数のダイオードE1・・・ENを備える。

【0032】

図5Gでは、トリガ要素330は、端子310から遮断要素340および直列要素350へ直列に連結された複数のダイオードD1、D2、・・・、DNに連結された、ゲートソース連結トランジスタ370を備える。遮断要素340は、トリガ要素330および直列要素350と端子320との間に直列に連結されたゲートソース連結トランジスタ370に連結された、レジスタR1を備える。直列要素350は、トランジスタ分路要素360のゲート、トリガ要素330、および遮断要素340に連結された直列レジスタR2を備える。

【0033】

本発明の一実施形態では、トリガ要素330の複数のダイオードD1、D2、・・・、DNは、トランジスタ分路要素360のターンオン電圧の制御または設定を提供する。例えば、トリガ要素330のダイオード（例えば、D1、D2、・・・、DN）の数を増減させることによって、ターンオン電圧を調整および制御することができる。一実施例として、また、限定するためではなく、ターンオン電圧は、直列に接続されたダイオードの数を増やすことによって増加させることができ、代替例では、ターンオン電圧は、直列に接続されたダイオードの数を減らすことによって減少させることができる。本発明の実施形態は、例えば、これに限定されないが、ショットキーダイオードを含む任意のタイプのダイオードの使用を考慮する。

【0034】

上述のように、遮断要素340は、通常動作中（すなわち、動作電圧がターンオン電圧よりも小さいとき）に、ESD放電経路、より具体的にはトランジスタ分路要素360をターンオフの状態に維持する。しかしながら、負のESD事象中に、遮断要素340は、トランジスタ分路要素360をターンオンし、それによって、双方向性のESD放電保護を提供する要素になる。加えて、上述のように、直列要素350を使用して、トランジスタ分路要素360へのゲート電流を制限することができる。

【0035】

ESD保護回路300を、特定の構成要素の配列を有するように示して説明しているが、本発明の実施形態は、ESD保護を実行する、本願明細書の構成要素の任意の配列、および／または本願明細書の構成要素の任意の組み合わせを考慮する。

【0036】

図6は、本発明の一実施形態によるESD保護回路600を例示した図である。一実施形態では、ESD保護回路600は、端子310および320と、遮断要素340と、直列要素350と、トランジスタ分路要素360とを備える。遮断要素340は、直列要素350および端子320との間に直列にレジスタR1を備える。直列要素350は、トランジスタ分路要素360のゲートと遮断要素340との間に直接接続を提供する、直接接続を備える。

【0037】

ESD保護回路600では、トランジスタ分路要素360がESD事象を放散させる電圧は、トランジスタ分路要素360、および遮断要素340のレジスタR1の特性によって決定される。遮断要素340および直列要素350を、特定の構成要素を備えたように示して説明しているが、本発明の実施形態は、ESD保護を実行する、本願明細書の構成要素の任意の配列、および／または本願明細書の構成要素の任意の組み合わせを考慮する。

。例えば、図 5 A～5 I に関連して上述した任意の遮断要素 3 4 0 および／または直列要素 3 5 0 を、E S D 保護回路 6 0 0 で使用することができる。

【0038】

図 7 は、本発明の実施形態による、化合物半導体素子および回路の E S D 保護のためのプロセスのフローチャート 7 0 0 である。上述のように、端子 3 1 0 は、E S D 事象から保護されるように、素子または集積回路に連結することができ、端子 3 2 0 は、接地または接地以外の他の基準電位に連結することができる。したがって、E S D 保護回路 3 0 0 が、保護すべき素子または集積回路に動作可能に連結された後に、フローチャート 7 0 0 は、7 0 2 で始まり、E S D 保護回路は、通常動作で（すなわち、動作電圧がターンオン電圧より小さいときに）動作する。

【0039】

7 0 4 において、E S D 保護回路 3 0 0 は、E S D 事象を受けて、例えば端子 3 1 0 においてターンオン電圧を超える電圧を検出する。上述のように、トリガ要素 3 3 0 のダイオード（例えば、D 1、D 2、・・・、D N）の数を増減させることによって、ターンオン電圧を調整および制御することができる。7 0 6 で、トリガ要素 3 3 0 をターンオンして、7 0 8 で、トランジスタ分路要素 3 6 0 をターンオンする。プロセスは 7 1 0 へ続き、ここで、トランジスタ分路要素 3 6 0 は、E S D 事象が、端子 3 1 0 および 3 2 0 に連結された素子または集積回路に損害を与えないように、最小抵抗の放電経路を提供して、E S D 事象を放散させる。

【0040】

端子 3 1 0 の電圧が再びターンオン電圧を下回ると、プロセスは、7 1 2 で終了する。上述のように、本発明の実施形態は、正または負の E S D 事象に関連して動作する。したがって、E S D 事象が端子 3 1 0 に関して生じるように説明したが、E S D 保護回路 3 0 0 は、端子 3 1 0 または端子 3 2 0 のいずれかで生じる、正または負のいずれかの E S D 事象に対して双方向性の放電経路を提供する。

【0041】

上述の明細書内の「一実施形態」または「ある実施形態」という記述は、実施形態に関連して説明される特定の機能、構造、または特徴が、本発明の少なくとも 1 つの実施形態に含まれることを意味する。明細書内の様々な箇所に現れる「一実施形態では」という語句は、必ずしも全てが同じ実施形態を参照しているとは限らない。

本発明の例示的な実施形態を示して説明したが、当業者には、本発明の実施形態の精神および範囲から逸脱することなく、上述の実施形態に対して種々の変更および修正が行えることは明らかであると理解されよう。したがって、本発明は、開示された実施形態に限定されるのではなく、むしろ添付の特許請求の範囲およびそれらの同等物によって限定される。