(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月30日(30.09.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/191734 A1

(51) 国際特許分類:
H01L 45/00 (2006.01) *H01L 21/8239* (2006.01)
H01L 43/08 (2006.01) *H01L 27/105* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/786* (2006.01)
H01L 27/088 (2006.01) *H01L 29/82* (2006.01)

(21) 国際出願番号： PCT/IB2021/052197

(22) 国際出願日： 2021年3月17日(17.03.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-058397 2020年3月27日(27.03.2020) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (**SEMICONDUCTOR ENERGY LABORATORY CO., LTD.**) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

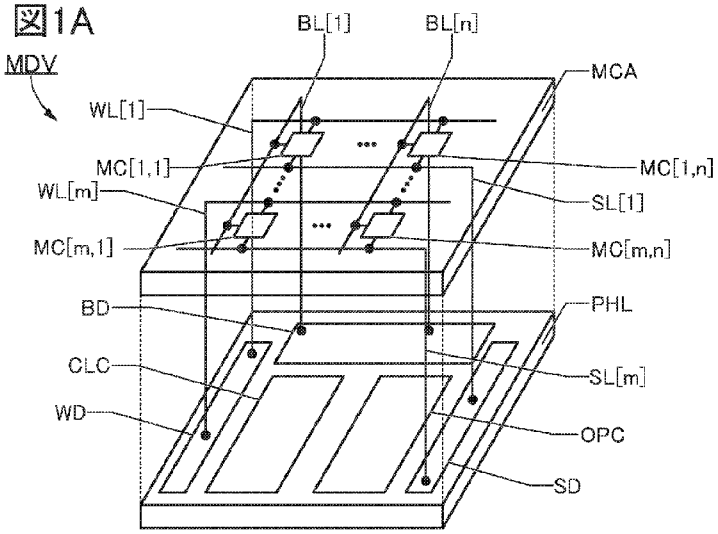
(72) 発明者: 大貫達也 (**ONUKI, Tatsuya**); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 池田隆之 (**IKEDA, Takayuki**); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,

(54) **Title:** STORAGE DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称： 記憶装置、及び電子機器

図1A



(57) **Abstract:** Provided is a storage device having high storage capacity and low power consumption. The storage device comprises a first layer and a second layer which includes the first layer. The first layer includes a circuit, and the second layer includes a first memory cell. The circuit comprises a bit-line driver circuit and/or word-line driver circuit for transmitting a signal to the first memory cell. The first memory cell comprises a first transistor, a second transistor, a conductor, and a MTJ element. The MTJ element comprises a free layer. The free layer is electrically connected to the

WO 2021/191734 A1

[続葉有]

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

— 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

conductor, and a first terminal of the first transistor is electrically connected to a first terminal of the second transistor via the conductor. The free layer is positioned above the conductor. The circuit has a transistor in which silicon is included in a channel formation region, and a metal oxide is included in respective channel formation regions of the first transistor and the second transistor.

(57) 要約：記憶容量が大きく、消費電力が小さい記憶装置を提供する。 第１層と、第１層を有する第２層と、を有する記憶装置であって、第１層は、回路を有し、第２層は、第１メモリセルを有する。回路は、第１メモリセルに信号を送信するビット線ドライバ回路、及び／又はワード線ドライバ回路を有する。第１メモリセルは、第１トランジスタと、第２トランジスタと、導電体と、ＭＴＪ素子と、を有する。また、ＭＴＪ素子は、自由層を有する。自由層は、導電体に電気的に接続され、第１トランジスタの第１端子は、導電体を介して、第２トランジスタの第１端子に電気的に接続されている。また、自由層は、導電体の上方に位置している。回路は、チャネル形成領域にシリコンが含まれているトランジスタを有し、第１トランジスタ、及び第２トランジスタのそれぞれのチャネル形成領域には、金属酸化物が含まれている。

明細書

発明の名称

記憶装置、及び電子機器

技術分野

［０００１］

本発明の一態様は、記憶装置、及び電子機器に関する。

［０００２］

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、動作方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、センサ、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、又はそれらの検査方法を一例として挙げることができる。

背景技術

［０００３］

近年、扱われるデータ量の増大に伴って、より大きな記憶容量を有する記憶装置が求められている。単位面積あたりの記憶容量を増加させるためには、３Ｄ　ＮＡＮＤ型の記憶装置などのように、メモリセルを積層して形成することが有効である（特許文献１、特許文献２、特許文献３参照）。メモリセルを積層して設けることにより、単位面積当たりの記憶容量をメモリセルの積層数に応じて増加させることができる。

［先行技術文献］

［特許文献］

［０００４］

［特許文献１］米国特許出願公開２０１１／００６５２７０号明細書

［特許文献２］米国特許出願公開２０１６／０１４９００４号明細書

［特許文献３］米国特許出願公開２０１３／００６９０５２号明細書

発明の概要

発明が解決しようとする課題

［０００５］

コンピュータのキャッシュメモリ、メインメモリなどに適用する記憶装置としては、アクセスに必要な時間が短いこと、換言すれば、例えば、書き込み速度、及び読み出し速度が速いことが求められている。例えば、ＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）、ＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）のアクセス時間（遅延時間、レイテンシなどと呼ばれる場合がある。）は、およそ数ｎｓから数十ｎｓであるため、コンピュータのキャッシュメモリ、メインメモリなどとして用いられている。しかし、ＳＲＡＭ、ＤＲＡＭなどは揮発性メモリであるため、データを保持している間は消費電力が高くなる場合がある。そのため、コンピュータのキャッシュメモリ、メインメモリに使われる記憶装置としては、大きい記憶容量であることに加えて、消費電力が低いことが求められている。

［０００６］

本発明の一態様は、消費電力が低い記憶装置を提供することを課題の一とする。又は、本発明の一態様は、記憶容量が大きい記憶装置を提供することを課題の一とする。

［０００７］

又は、本発明の一態様は、新規な記憶装置などを提供することを課題の一とする。又は、本発明の一態様は、上記記憶装置を有する電子機器を提供することを課題の一とする。

［０００８］

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

課題を解決するための手段

［０００９］

（１）

本発明の一態様は、第１層と、第１層と重なる第２層と、を有する記憶装置である。第１層は、回路を有し、第２層は、第１メモリセルを有する。回路は、第１メモリセルに信号を送信するビット線ドライバ回路、及び／又はワード線ドライバ回路を有する。第１メモリセルは、第１トランジスタと、第２トランジスタと、導電体と、ＭＴＪ素子と、を有し、ＭＴＪ素子は、自由層を有する。自由層は、導電体に電気的に接続され、第１トランジスタの第１端子は、導電体を介して、第２トランジスタの第１端子に電気的に接続されている。回路は、チャネル形成領域にシリコンが含まれているトランジスタを有し、第１トランジスタ、及び第２トランジスタのそれぞれは、チャネル形成領域に金属酸化物を含んでいる。

［００１０］

（２）

又は、本発明の一態様は、第１層と、第１層と重なる第２層と、を有し、かつ上記（１）の構成と異なる記憶装置である。第１層は、回路を有し、第２層は、第１メモリセルを有する。回路は、第１メモリセルに信号を送信するビット線ドライバ回路、及び／又はワード線ドライバ回路を有する。第１メモリセルは、第１トランジスタと、第２トランジスタと、導電体と、ＭＴＪ素子と、を有し、ＭＴＪ素子は、自由層と、固定層と、を有する。自由層は、導電体に電気的に接続され、第１トランジスタの第１端子は、第２トランジスタの第１端子に電気的に接続され、第２トランジスタの第２端子は、導電体に電気的に接続され、第１トランジスタの第２端子は、固定層に電気的に接続されている。また、固定層は、自由層の上方に位置している。回路は、チャネル形成領域にシリコンが含まれているトランジスタを有し、第１トランジスタ、及び第２トランジスタのそれぞれは、チャネル形成領域に金属酸化物を含んでいる。

［００１１］

（３）

又は、本発明の一態様は、上記（１）、又は（２）において、導電体は、電流が流れることでスピンホール効果が起きる金属材料を有することが好ましい。

［００１２］

（４）

又は、本発明の一態様は、上記（１）乃至（３）のいずれか一において、第３層を有する構成としてもよい。なお、第３層は、第２メモリセルを有し、第３層は、第２層に積層されていることが好ましい。

［００１３］

（５）

又は、本発明の一態様は、上記（１）乃至（４）のいずれか一の記憶装置と、筐体と、を有する電子機器である。

［００１４］

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品などは半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

［００１５］

また、本明細書等において、ＸとＹとが接続されていると記載されている場合は、ＸとＹとが電気的に接続されている場合と、ＸとＹとが機能的に接続されている場合と、ＸとＹとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。Ｘ、Ｙは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

［００１６］

ＸとＹとが電気的に接続されている場合の一例としては、ＸとＹとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス、負荷など）が、ＸとＹとの間に１個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

［００１７］

ＸとＹとが機能的に接続されている場合の一例としては、ＸとＹとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、ＮＡＮＤ回路、ＮＯＲ回路など）、信号変換回路（デジタルアナログ変換回路、アナログデジタル変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、ＸとＹとの間に１個以上接続されることが可能である。なお、一例として、ＸとＹとの間に別の回路を挟んでいても、Ｘから出力された信号がＹへ伝達される場合は、ＸとＹとは機能的に接続されているものとする。

［００１８］

なお、ＸとＹとが電気的に接続されている、と明示的に記載する場合は、ＸとＹとが電気的に接続されている場合（つまり、ＸとＹとの間に別の素子又は別の回路を挟んで接続されている場合）と、ＸとＹとが直接接続されている場合（つまり、ＸとＹとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。

［００１９］

また、例えば、「ＸとＹとトランジスタのソース（又は第１の端子など）とドレイン（又は第２の端子など）とは、互いに電気的に接続されており、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙの順序で電気的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第１の端子など）は、Ｘと電気的に接続され、トランジスタのドレイン（又は第２の端子など）はＹと電気的に接続され、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙは、この順序で電気的に接続されている」と表現することができる。又は、「Ｘは、トランジスタのソース（又は第１の端子など）とドレイン（又は第２の端子など）とを介して、Ｙと電気的に接続され、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第１の端子など）と、ドレイン（又は第２の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、Ｘ、Ｙは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

［００２０］

なお、回路図上は独立している構成要素同士が電気的に接続しているように図示されている場合であっても、１つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

［００２１］

また、本明細書等において、「抵抗素子」とは、例えば、０Ω よりも高い抵抗値を有する回路素子、配線などとすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースードレイン間に電流が流れるトランジスタ、ダイオード、コイルなどを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」、「抵抗値を有する領域」などの用語に言い換えることができ、逆に「抵抗」、「負荷」、「抵抗値を有する領域」という用語は、「抵抗素子」などの用語に言い換えることができる。抵抗値としては、例えば、好ましくは１ｍΩ 以上１０Ω 以下、より好ましくは５ｍΩ 以上５Ω 以下、更に好ましくは１０ｍΩ 以上１Ω 以下とすることができる。また、例えば、１Ω 以上１×１０^{9}Ω 以下としてもよい。

［００２２］

また、本明細書等において、「容量素子」とは、例えば、０Ｆよりも高い静電容量の値を有する回路素子、静電容量の値を有する配線の領域、寄生容量、トランジスタのゲート容量などとすることができる。そのため、本明細書等において、「容量素子」、「寄生容量」、「ゲート容量」などという用語は、「容量」などの用語に言い換えることができ、逆に、「容量」という用語は、「容

量素子」、「寄生容量」、「ゲート容量」などの用語に言い換えることができる。また、「容量」の「一対の電極」という用語は、「一対の導電体」、「一対の導電領域」、「一対の領域」などに言い換えることができる。なお、静電容量の値としては、例えば、０．０５ｆＦ以上１０ｐＦ以下とすることができる。また、例えば、１ｐＦ以上１０μＦ以下としてもよい。

［００２３］

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる３つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する２つの端子は、トランジスタの入出力端子である。２つの入出力端子は、トランジスタの導電型（ｎチャネル型、ｐチャネル型）及びトランジスタの３つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソース、及びドレインの用語は、互いに言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第１電極、又は第１端子）、「ソース又はドレインの他方」（又は第２電極、又は第２端子）という表記を用いる。なお、トランジスタの構造によっては、上述した３つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第１ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第２ゲートと呼称することがある。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、３以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第１ゲート、第２ゲート、第３ゲートなどと呼称することがある。

［００２４］

また、回路図上では、単一の回路素子が図示されている場合でも、当該回路素子が複数の回路素子を有する場合がある。例えば、回路図上に１個の抵抗が記載されている場合は、２個以上の抵抗が直列に電気的に接続されている場合を含むものとする。また、例えば、回路図上に１個の容量が記載されている場合は、２個以上の容量が並列に電気的に接続されている場合を含むものとする。また、例えば、回路図上に１個のトランジスタが記載されている場合は、２個以上のトランジスタが直列に電気的に接続され、かつそれぞれのトランジスタのゲート同士が電気的に接続されている場合を含むものとする。また、同様に、例えば、回路図上に１個のスイッチが記載されている場合は、当該スイッチが２個以上のトランジスタを有し、２個以上のトランジスタが直列に電気的に接続され、それぞれのトランジスタのゲート同士が電気的に接続されている場合を含むものとする。

［００２５］

また、本明細書等において、ノードは、回路構成、デバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

［００２６］

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも０Ｖを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

［００２７］

また、本明細書等において、「高レベル電位」、「低レベル電位」という用語は、特定の電位を意味するものではない。例えば、２本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、２本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

［００２８］

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正電荷となるキャリアが移動する方向とし、正の電流量で記載する。換言すると、負電荷となるキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Ａから素子Ｂに電流が流れる」等の記載は「素子Ｂから素子Ａに電流が流れる」等に言い換えることができるものとする。また、「素子Ａに電流が入力される」等の記載は「素子Ａから電流が出力される」等に言い換えることができるものとする。

［００２９］

また、本明細書等において、「第１」、「第２」、「第３」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第２」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

［００３０］

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを１８０度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

［００３１］

また、「上」、「下」などの用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層Ａ上の電極Ｂ」の表現であれば、絶縁層Ａの上に電極Ｂが直接接して形成されている必要はなく、絶縁層Ａと電極Ｂとの間に他の構成要素を含むものを除外しない。

［００３２］

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」、「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

［００３３］

また、本明細書等において「電極」、「配線」、「端子」などの用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」、及び／又は「配線」の用語は、複数の「電極」及び／又は「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」及び／又は「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」、「配線」、「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」、「端子」などの用語は、場合によって、「領域」などの用語に置き換える場合がある。

［００３４］

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」、「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

［００３５］

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が０．１原子％未満の元素は不純物である。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、キャリア移動度が低下すること、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第１族元素、第２族元素、第１３族元素、第１４族元素、第１５族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。具体的には、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、水素を除く第１族元素、第２族元素、第１３族元素、第１５族元素、酸素などがある。

［００３６］

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）に

なり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電気的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

［００３７］

電気的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、ＭＯＳトランジスタなど）、ダイオード（例えば、ＰＮダイオード、ＰＩＮダイオード、ショットキーダイオード、ＭＩＭ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｍｅｔａｌ）ダイオード、ＭＩＳ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電気的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電気的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

［００３８］

機械的なスイッチの一例としては、ＭＥＭＳ（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

［００３９］

本明細書において、「平行」とは、二つの直線が－１０°以上１０°以下の角度で配置されている状態をいう。したがって、－５°以上５°以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が－３０°以上３０°以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が８０°以上１００°以下の角度で配置されている状態をいう。したがって、８５°以上９５°以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が６０°以上１２０°以下の角度で配置されている状態をいう。

発明の効果

［００４０］

本発明の一態様によって、消費電力が低い記憶装置を提供することができる。又は、本発明の一態様によって、記憶容量が大きい記憶装置を提供することができる。

［００４１］

又は、本発明の一態様によって、新規な記憶装置などを提供することができる。又は、本発明の一態様によって、上記記憶装置を有する電子機器を提供することができる。

［００４２］

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

［００４３］

図１Ａ、及び図１Ｂは、記憶装置の構成例を示すブロック図である。

図２は、記憶装置の構成例を示すブロック図である。

図３Ａ乃至図３Ｄは、メモリセルの構成例を示す回路図である。

図４は、メモリセルに含まれているメモリ素子の構成例を説明する模式図である。

図５Ａ、及び図５Ｂは、記憶装置の構成例を示すブロック図である。

図６Ａ乃至図６Ｃは、メモリセルの構成例を示す回路図である。

図７は、記憶装置の構成例を示す断面模式図である。

図８Ａ乃至図８Ｃは、トランジスタの構成例を示す断面模式図である。

図９は、記憶装置の構成例を示す断面模式図である。

図１０は、記憶装置の構成例を示す断面模式図である。

図１１ＡはＩＧＺＯの結晶構造の分類を説明する図であり、図１１Ｂは結晶性ＩＧＺＯのＸＲＤスペクトルを説明する図であり、図１１Ｃは結晶性ＩＧＺＯの極微電子線回折パターンを説明する図である。

図１２Ａは半導体ウェハの一例を示す斜視図であり、図１２Ｂはチップの一例を示す斜視図であり、図１２Ｃ、及び図１２Ｄは電子部品の一例を示す斜視図である。

図１３は、ＣＰＵを説明するブロック図である。

図１４Ａ乃至図１４Ｊは、製品の一例を説明する斜視図、又は、模式図である。

図１５Ａ乃至図１５Ｅは、製品の一例を説明する斜視図、又は、模式図である。

発明を実施するための形態

［００４４］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ又は単にＯＳともいう）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも１つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（ｍｅｔａｌ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）と呼称することができる。また、ＯＳトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

［００４５］

また、本明細書等において、窒素を有する金属酸化物も金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（ｍｅｔａｌ　ｏｘｙｎｉｔｒｉｄｅ）と呼称してもよい。

［００４６］

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、１つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

［００４７］

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

［００４８］

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

［００４９］

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

［００５０］

本明細書に記載の実施の形態については、図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

［００５１］

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“＿１”、“［ｎ］”、“［ｍ，ｎ］”等の識別用の符号を付記して記載する場合がある。

［００５２］

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

［００５３］

（実施の形態１）

本実施の形態では、本発明の一態様の記憶装置について説明する。

［００５４］

＜記憶装置の構成例＞

図２は、本発明の一態様の記憶装置の構成を示している。記憶装置ＭＤＶは、周辺回路ＰＨＬ、及びメモリセルアレイＭＣＡを有する。周辺回路ＰＨＬは、ローデコーダ２６２１、ワード線ドライバ回路２６２２、ビット線ドライバ回路２６３０、及び出力回路２６４０、コントロールロジック回路２６６０を有する。

［００５５］

ビット線ドライバ回路２６３０は、カラムデコーダ２６３１、プリチャージ回路２６３２、センスアンプ２６３３、及び書き込み回路２６３４を有する。プリチャージ回路２６３２は、後述するメモリセルＭＣに電気的に接続されている配線（図２に図示していない）を所定の電位にプリチャージする機能を有する。センスアンプ２６３３は、メモリセルＭＣから読み出された電位（又は電流）をデータ信号として取得して、当該データ信号を増幅する機能を有する。増幅されたデータ信号は、出力回路２６４０を介して、デジタルのデータ信号ＲＤＡＴＡとして記憶装置ＭＤＶの外部に出力される。

［００５６］

また、記憶装置ＭＤＶには、外部から電源電圧として低電源電圧（ＶＳＳ）、周辺回路ＰＨＬ用の高電源電圧（ＶＤＤ）、メモリセルアレイＭＣＡ用の電源電圧（ＶＩＬ）が供給される。

［００５７］

また、記憶装置ＭＤＶには、制御信号（ＣＥ、ＷＥ、ＲＥ）、アドレス信号ＡＤＤＲ、データ信号ＷＤＡＴＡが外部から入力される。アドレス信号ＡＤＤＲは、ローデコーダ２６２１及びカラムデコーダ２６３１に入力され、データ信号ＷＤＡＴＡは書き込み回路２６３４に入力される。

［００５８］

コントロールロジック回路２６６０は、外部からの入力信号（ＣＥ、ＷＥ、ＲＥ）を処理して、ローデコーダ２６２１、カラムデコーダ２６３１の制御信号を生成する。ＣＥは、チップイネーブル信号であり、ＷＥは、書き込みイネーブル信号であり、ＲＥは、読み出しイネーブル信号である。コントロールロジック回路２６６０が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

［００５９］

なお、上述の各回路あるいは各信号は、必要に応じて、適宜、取捨することができる。

［００６０］

なお、本実施の形態の構成例は、図２の構成に限定されない。例えば、周辺回路ＰＨＬの全部、若しくは一部をメモリセルアレイＭＣＡの下層に設ける、などのように適宜構成を変更してもよい。

［００６１］

具体的には、例えば、図１Ａに示すとおり、記憶装置ＭＤＶは、周辺回路ＰＨＬを下層に設け、メモリセルアレイＭＣＡを周辺回路ＰＨＬの上方に設けた構成としてもよい。

［００６２］

図１Ａの記憶装置ＭＤＶにおいて、メモリセルアレイＭＣＡは、一例として、ｍ×ｎ個のメモリセルＭＣを有する。また、メモリセルアレイＭＣＡにおいて、メモリセルＭＣは、ｍ行ｎ列のマトリクス状に配置されている。なお、図１Ａでは、複数のメモリセルＭＣのうち、メモリセルＭＣ［１，１］、メモリセルＭＣ［ｍ，１］、メモリセルＭＣ［１，ｎ］、メモリセルＭＣ［ｍ，ｎ］を抜粋して示している。

［００６３］

また、図１Ａの記憶装置ＭＤＶにおいて、周辺回路ＰＨＬは、回路ＷＤと、回路ＢＤと、回路ＳＤと、回路ＣＬＣと、回路ＯＰＣと、を有する。なお、周辺回路ＰＨＬは、回路ＷＤと、回路ＢＤと、回路ＳＤと、回路ＣＬＣと、回路ＯＰＣと、の全部を有する構成でなく、回路ＷＤと、回路ＢＤと、回路ＳＤと、回路ＣＬＣと、回路ＯＰＣと、から選ばれた一以上の回路を有する構成としてもよい。

［００６４］

回路ＷＤは、一例として、図２におけるワード線ドライバ回路２６２２に相当する回路とすることができる。また、回路ＷＤは、一例として、配線ＷＬ［１］乃至配線ＷＬ［ｍ］に電気的に接続されている。回路ＷＤは、配線ＷＬ［１］乃至配線ＷＬ［ｍ］を介して、メモリセルアレイＭＣＡに含まれている複数のメモリセルＭＣに対して、選択信号を送信する機能する。

［００６５］

なお、図１Ａでは、配線ＷＬ［１］乃至配線ＷＬ［ｍ］を、メモリセルアレイＭＣＡの各行に１本ずつ設けている例を示しているが、メモリセルアレイＭＣＡの１行に対して複数本の配線を設けてもよい。

［００６６］

回路ＢＤは、一例として、図２におけるビット線ドライバ回路２６３０に相当する回路とすることができる。また、回路ＢＤは、一例として、配線ＢＬ［１］乃至配線ＢＬ［ｎ］に電気的に接続されている。回路ＢＤは、配線ＢＬ［１］乃至配線ＢＬ［ｎ］を介して、メモリセルアレイＭＣＡに含まれているメモリセルＭＣに対して、書き込み用の信号を送信するための回路として機能する。また、回路ＢＤは、配線ＢＬ［１］乃至配線ＢＬ［ｎ］を介して、メモリセルアレイＭＣＡに含まれているメモリセルＭＣに対して、読み出し時に所定の電圧、又は電流を与える回路として機能する。

［００６７］

なお、図１Ａでは、配線ＢＬ［１］乃至配線ＢＬ［ｎ］を、メモリセルアレイＭＣＡの各列に１本ずつ設けている例を示しているが、メモリセルアレイＭＣＡの１列に対して複数本の配線を設けてもよい。例えば、メモリセルアレイＭＣＡの１列に対して、書き込み用の信号を送信する配線と、読み出し用の信号を送信する配線と、を設けてもよい。

［００６８］

回路ＳＤは、一例として、メモリセルアレイＭＣＡの複数のメモリセルＭＣに所定の電圧を与えるための電圧生成回路とすることができる。また、回路ＳＤは、一例として、配線ＳＬ［１］乃至配線ＳＬ［ｍ］に電気的に接続されている。なお、記憶装置ＭＤＶは、図１Ａにおいて、回路ＳＤを設けず、図２に示しているメモリセルアレイＭＣＡ用の電源電圧（ＶＩＬ）を直接入力する構成としてもよい。

［００６９］

なお、図１Ａでは、配線ＳＬ［１］乃至配線ＳＬ［ｍ］を、メモリセルアレイＭＣＡの各列に１本ずつ設けている例を示しているが、メモリセルアレイＭＣＡの１列に対して複数本の配線を設けてもよい。

［００７０］

回路ＣＬＣは、一例として、図２におけるコントロールロジック回路２６６０に相当する回路とすることができる。

［００７１］

回路ＯＰＣは、一例として、図２における出力回路２６４０に相当する回路とすることができる。

［００７２］

図１Ａの記憶装置ＭＤＶの構成例において、周辺回路ＰＨＬは、例えば、半導体基板上に形成することができる。つまり、回路ＷＤと、回路ＢＤと、回路ＳＤと、回路ＯＰＣと、回路ＣＬＣと、

は、半導体基板上に形成することができる。また、半導体基板としては、例えば、シリコンを材料とした基板とすることで、当該基板上にシリコンをチャネル形成領域に含むトランジスタ（以後、Ｓｉトランジスタと呼称する。）を形成することができる。そのため、周辺回路ＰＨＬに含まれているトランジスタとして、Ｓｉトランジスタを適用することができる。

［００７３］

また、半導体基板としては、例えば、ゲルマニウムを材料とした基板としてもよい。また、周辺回路ＰＨＬは、化合物半導体基板上に形成してもよく、当該化合物半導体基板としては、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどを材料とした基板が挙げられる。また、周辺回路ＰＨＬは、半導体基板内部に絶縁体領域を有する半導体基板、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板上に形成してもよい。

［００７４］

また、周辺回路ＰＨＬは、例えば、絶縁体基板上に形成することができる。当該絶縁体基板としては、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などが挙げられる。また、周辺回路ＰＨＬは、例えば、導電体基板上に形成することができる。当該導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などが挙げられる。但し、絶縁体基板及び導電体基板は、半導体基板と異なって基板自体にチャネル形成領域を形成することができないため、絶縁体基板及び導電体基板に直接トランジスタを形成することができない。そのため、絶縁体基板又は導電体基板にトランジスタを形成するには、絶縁体基板又は導電体基板の上方に別途半導体膜を設ける必要がある。

［００７５］

図１Ａの記憶装置ＭＤＶの構成例において、メモリセルアレイＭＣＡを周辺回路ＰＨＬの上方に設ける方法としては、例えば、半導体工程によって形成する方法が挙げられる。特に、ＯＳトランジスタは、半導体工程によって形成することができるため、メモリセルアレイＭＣＡに含まれているトランジスタとしてＯＳトランジスタを適用することによって、半導体基板、及び周辺回路ＰＨＬの上方にメモリセルアレイＭＣＡを設けることができる。

［００７６］

また、図１Ａでは、周辺回路ＰＨＬの上方にメモリセルアレイＭＣＡが１個設けられた構成を示したが、本発明の一態様の記憶装置は、これに限定されない。例えば、本発明の一態様の記憶装置は、周辺回路ＰＨＬの上方には、積層された複数のメモリセルアレイＭＣＡを設けてもよい。図１Ｂでは、周辺回路ＰＨＬの上方に、メモリセルアレイＭＣＡ［１］乃至メモリセルアレイＭＣＡ［ｐ］（ｐは２以上の整数とする。）が積層された記憶装置の構成を示している。

［００７７］

＜＜メモリセルの構成例１＞＞

図３Ａは、記憶装置ＭＤＶに備えることができるメモリセルの一例を示している。なお、図３Ａに示すメモリセルＭＣは、３端子メモリ素子であるＳＯＴ－ＭＲＡＭ（Ｓｐｉｎ　Ｏｒｂｉｔ　Ｔｏｒｑｕｅ－Ｍａｇｎｅｔｏｒｅｓｉｓｔｉｖｅ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）の一例ということができる。

［００７８］

メモリセルＭＣは、例えば、トランジスタＭ１と、トランジスタＭ２と、抵抗変化デバイスＭＤ

と、を有する。

［００７９］

トランジスタＭ１、及びトランジスタＭ２としては、例えば、ＯＳトランジスタを適用することができる。ＯＳトランジスタのチャネル形成領域は、インジウム、ガリウム、亜鉛の少なくとも一を含む酸化物であることが好ましい。また、当該酸化物の代わりとしては、インジウム、元素Ｍ（元素Ｍとしては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種などが挙げられる。）、亜鉛の少なくとも一を含む酸化物を用いてもよい。ＯＳトランジスタは、特に実施の形態２で説明するトランジスタの構造であることが更に好ましい。

［００８０］

また、図３Ａに図示しているトランジスタＭ１、及びトランジスタＭ２は、バックゲートを有しているが、本発明の一態様の記憶装置は、これに限定されない。例えば、図３Ａに図示しているトランジスタＭ１、及びトランジスタＭ２は、バックゲートを有さない構成、つまり、シングルゲート構造のトランジスタとしてもよい。また、一部のトランジスタはバックゲートを有している構成であり、別の一部のトランジスタは、バックゲートを有さない構成であってもよい。

［００８１］

また、トランジスタＭ１、及びトランジスタＭ２のそれぞれのサイズ（例えば、チャネル長、チャネル幅、トランジスタの構成など）は互いに等しいことが好ましい。トランジスタのサイズを互いに等しくすることによって、それぞれのトランジスタの電気特性をほぼ等しくすることができる。そのため、トランジスタＭ１、及びトランジスタＭ２のサイズを等しくすることによって、トランジスタＭ１、及びトランジスタＭ２のそれぞれは、互いに同一の条件である場合において、ほぼ同じ動作を行うことができる。ここでの同一の条件とは、例えば、トランジスタＭ１及びトランジスタＭ２のそれぞれのソース、ドレイン、ゲートなどへの入力電位を指す。

［００８２］

なお、トランジスタＭ１、及びトランジスタＭ２のそれぞれは、特に断りの無い場合は、スイッチング素子として動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、スイッチング素子として動作する電圧範囲である場合を含むものとする。また、トランジスタＭ１、及びトランジスタＭ２のそれぞれは、オン状態時には、線形領域、又は飽和領域で動作してもよい。

［００８３］

なお、上記のトランジスタの構造、動作などに関する変更例は、トランジスタＭ１、及びトランジスタＭ２だけに限定されない。例えば、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタの構造、動作などについても同様に変更を行ってもよい。

［００８４］

抵抗変化デバイスＭＤは、ＭＴＪ（磁気トンネル接合）素子ＭＥを有する。また、抵抗変化デバイスＭＤは、端子ＩＴ１と、端子ＩＴ２と、端子ＯＴと、を有する。なお、抵抗変化デバイスＭＤの詳細については後述する。

［００８５］

トランジスタＭ１の第１端子は、抵抗変化デバイスＭＤの端子ＩＴ１に電気的に接続され、トラ

ンジスタＭ１の第２端子は、配線ＢＬ１に電気的に接続され、トランジスタＭ１のゲートは、配線ＷＬに電気的に接続されている。トランジスタＭ２の第１端子は、抵抗変化デバイスＭＤの端子ＩＴ２に電気的に接続され、トランジスタＭ２の第２端子は、配線ＢＬ２に電気的に接続され、トランジスタＭ２のゲートは、配線ＷＬに電気的に接続されている。抵抗変化デバイスＭＤの端子ＯＴは、配線ＲＢＬに電気的に接続されている。

［００８６］

配線ＢＬ１、及び配線ＢＬ２は、一例として、メモリセルＭＣに対する書き込みビット線、又は定電圧を与える配線として機能する。

［００８７］

配線ＷＬは、一例として、メモリセルＭＣに対するワード線として機能する。

［００８８］

配線ＲＢＬは、一例として、メモリセルＭＣに対する読み出しビット線として機能する。

［００８９］

図３Ａにおいて、トランジスタＭ１、及び／又はトランジスタＭ２には、バックゲートが図示され、当該バックゲートの接続構成については図示されていないが、当該バックゲートの電気的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのオン電流を高めるために、ゲートとバックゲートとを電気的に接続してもよい。つまり、例えば、トランジスタＭ１のゲートとバックゲートとを電気的に接続してもよいし、また、トランジスタＭ２のゲートとバックゲートとを電気的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるため、又は、そのトランジスタのオフ電流を小さくするために、そのトランジスタのバックゲートと外部回路などとを電気的に接続するための配線を設けて、当該外部回路などによってそのトランジスタのバックゲートに電位を与える構成としてもよい。具体的には、メモリセルＭＣは、図３Ｂに示す構成とすることができる。図３ＢのメモリセルＭＣは、図３ＡのメモリセルＭＣに含まれているトランジスタＭ１、及びトランジスタＭ２のそれぞれのバックゲートに配線ＢＧＥが電気的に接続された構成となっている。配線ＢＧＥに所定の電位を与えることによって、トランジスタＭ１、及びトランジスタＭ２のそれぞれのしきい値電圧を変動させることができる。

［００９０］

次に、抵抗変化デバイスＭＤについて、説明する。

［００９１］

図４は、抵抗変化デバイスＭＤの一例を示したブロック図である。図４の抵抗変化デバイスＭＤは、層ＲＬと、層ＴＩＳと、層ＦＬと、層ＣＡと、を有する。なお、層ＲＬと、層ＴＩＳと、層ＦＬと、は、ＭＴＪ素子ＭＥに含まれている。

［００９２］

層ＣＡは、例えば、導電性を有する膜を有する。また、端子ＩＴ１と、端子ＩＴ２と、は当該膜を介して電気的に接続されている。そのため、端子ＩＴ１と端子ＩＴ２との間に電圧を印加することによって、端子ＩＴ１－端子ＩＴ２間に電流が流れる。また、層ＣＡは、チャネル層と呼ばれる場合がある。

［００９３］

また、当該膜は、端子ＩＴ１－端子ＩＴ２間に電流を流すことによって、スピンホール効果が起

きる材料とする。スピンホール効果とは、電流の流れる方向に対して略垂直方向にスピン流が発生する現象である。具体的には、例えば、薄膜などの２次元平面内に電流が流れる場合、スピン方向の異なる電子が薄膜の上面、及び下面のそれぞれに分極し、これによって、薄膜に略垂直方向にスピン流が発生する。このため、層ＣＡは、端子ＩＴ１－端子ＩＴ２間に電流が流れることで、層ＣＡの略垂直方向にスピン流を発生させることができる。

［００９４］

層ＣＡとしては、スピンホール効果が起きる金属材料を有することが好ましい。具体的には、当該金属材料としては、スピン軌道相互作用が強い遷移金属を用いることが好ましい。当該遷移金属としては、例えば、タングステン、白金、タンタルなどが挙げられる。また、層ＣＡとしては、金属材料でなく、スピンホール効果を起こすトポロジカル絶縁体を有してもよく、この場合、ビスマスとアンチモンの合金、ビスマスとセレンの合金などを用いてもよい。

［００９５］

層ＦＬは、ＭＴＪ素子ＭＥにおける自由層として機能する。層ＦＬは、強磁性体を有し、当該強磁性体によって、後述する層ＲＬの磁化方向と平行、又は反平行となるような磁気モーメントの状態をとることができる。

［００９６］

層ＦＬに含まれる強磁性体としては、例えば、当該強磁性体の磁化が、小さいスピン流で反転する材料であることが好ましい。また、層ＦＬに含まれる強磁性体材料としては、熱エネルギーで磁化反転が起こりにくい材料であることが好ましい。

［００９７］

当該強磁性体としては、例えば、鉄、コバルト、ニッケルから選ばれた一種、又は二種以上の合金を用いることができる。例えば、コバルトと鉄とホウ素の合金を用いることができる。また、マンガンとガリウムの合金、マンガンとゲルマニウムの合金などが挙げられる。

［００９８］

層ＦＬの磁気モーメントは、層ＣＡで発生するスピン流によって、スピントルクを受ける。層ＦＬの磁気モーメントは、例えば、当該スピントルクがしきい値を超えることで、向きが反転する。つまり、層ＣＡ（端子ＩＴ１－端子ＩＴ２間）に電流を流すことによって、層ＦＬの磁化方向を変更することができる。この動作によって、ＭＴＪ素子MEに情報を記録することができる。

［００９９］

層ＴＩＳは、ＭＴＪ素子ＭＥにおけるトンネル絶縁体を有する層として機能する。層ＴＩＳは、層ＦＬと層ＲＬ（端子ＯＴ）との間に電圧が印加されることによって、トンネル磁気抵抗効果により、層ＴＩＳにトンネル電流を流すことができる。このとき、層ＦＬの磁気モーメントの向きによって、層ＴＩＳの電気抵抗値が変化する。具体的には、層ＦＬと層ＲＬとのそれぞれの磁化方向が平行であるか、反平行であるかによって、層ＴＩＳの電気抵抗値が変化する。

［０１００］

当該トンネル絶縁体としては、例えば、酸化マグネシウム、酸化アルミニウム等を用いることができる。特に、当該トンネル絶縁体としては、結晶の酸化マグネシウムを用いることが好ましい。

［０１０１］

層ＲＬは、ＭＴＪ素子ＭＥにおける固定層として機能する。層ＲＬは、強磁性体を有する。なお、層ＲＬの強磁性体は、層ＦＬの強磁性体と異なり、磁化方向が固定されているものとする。

［０１０２］

層ＲＬに含まれている強磁性体としては、例えば、層ＦＬに含まれている強磁性体に適用できる材料を用いることができる。

［０１０３］

なお、ＭＴＪ素子ＭＥに含まれる強磁性体材料、トンネル絶縁体は、ＭＴＪ素子ＭＥの磁気抵抗比（ＭＲ比）が大きくなるように、組み合わせることが好ましい。

［０１０４］

ここで、図３ＡのメモリセルMCにおける、情報の書き込み方法の一例、及び読み出し方法の一例について説明する。

［０１０５］

メモリセルMCに情報を書き込むとき、配線ＷＬに高レベル電位を与えて、トランジスタＭ１と、トランジスタＭ２と、のそれぞれをオン状態にする。次に、配線ＢＬ１からトランジスタＭ１を介して端子ＩＴ１に第１電位を与え、かつ配線ＢＬ２からトランジスタＭ２を介して端子ＩＴ２に第２電位を与える。これにより、抵抗変化デバイスMDにおいて、端子ＩＴ１－端子ＩＴ２間に第１電位と第２電位の電位差に応じた電流が流れる。このため、ＭＴＪ素子ＭＥの層ＣＡに電流が流れて、層ＣＡにスピン流が発生し、当該スピン流によって層ＦＬの強磁性体の磁化方向が定まる。なお、第１電位は、第２電位よりも高くてもよく、低くてもよい。また、配線ＲＢＬが与える電位は、端子ＩＴ１－端子ＯＴ間、及び／又は端子ＩＴ２－端子ＯＴ間に電流が流れない範囲の電位であることが好ましい。

［０１０６］

メモリセルMCから情報を読み出すとき、配線ＷＬに高レベル電位を与えて、トランジスタＭ１と、トランジスタＭ２と、のそれぞれをオン状態にする。次に、端子ＩＴ１－端子ＯＴ間、及び／又は端子ＩＴ２－端子ＯＴ間に電流が流れるように、端子ＩＴ１、端子ＩＴ２、端子ＯＴのそれぞれに所定の電圧を印加する。このとき、層ＲＬと層ＦＬのそれぞれの磁化方向が平行であるか、反平行であるかによって、ＭＴＪ素子ＭＥの電気抵抗値が変化するため、ＭＴＪ素子ＭＥの層ＴＩＳに流れるトンネル電流の量も変化する。ここで、ＭＴＪ素子ＭＥと端子ＯＴとの間に流れる電流量を測定することで、ＭＴＪ素子ＭＥに記録された情報を読み出すことができる。また、端子ＩＴ１と端子ＩＴ２とのそれぞれに所定の電位を与え、ＭＴＪ素子ＭＥと端子ＯＴとの間に定電流を流して、端子ＯＴの電位を測定することでもＭＴＪ素子ＭＥに記録された情報を読み出すことができる。

［０１０７］

［周辺回路の構成例１］

次に、図３ＡのメモリセルMCを、図１Ａの記憶装置MDVに適用した構成例を図５Ａに示す。なお、図５Ａでは、見易くするために各構成要素を平面上に図示しているが、メモリセルアレイＭＣＡは、図１Ａの記憶装置MDVのとおり、周辺回路ＰＨＬの上方に設けられているものとする。

［０１０８］

なお、図５Ａの記憶装置MDVにおいて、図１Ａの記憶装置MDVの内容と重複する箇所については、説明を省略する。

［０１０９］

図５Ａの記憶装置MDVにおいて、周辺回路ＰＨＬは、回路WDと、回路ＢＤと、回路ＲＢＤと、を有する。回路WDと、回路ＢＤと、については、図１Ａの記憶装置MDVの説明を参酌する。

［０１１０］

回路ＲＢＤは、一例として、配線ＲＢＬ［１］乃至配線ＲＢＬ［ｍ］に電気的に接続されている。また、回路ＲＢＤは、配線ＲＢＬ［１］乃至配線ＲＢＬ［ｍ］を介して、メモリセルアレイＭＣＡに含まれているメモリセルＭＣから、読み出し情報を受け取るための回路として機能する。つまり、回路ＲＢＤは、例えば、図２の記憶装置ＭＤＶにおけるセンスアンプ２６３３に相当する回路とすることができる。そのため、回路ＲＢＤは、ビット線ドライバ回路２６３０に相当する回路ＢＤに含まれている構成としてもよい。

［０１１１］

また、回路ＢＤは、図１Ａの記憶装置ＭＤＶにおける配線ＢＬ［１］乃至配線ＢＬ［ｎ］として、配線ＢＬ１［１］乃至配線ＢＬ１［ｎ］、及び配線ＢＬ２［１］乃至配線ＢＬ２［ｎ］に電気的に接続されている。つまり、メモリセルアレイＭＣＡの１列ごとに、配線ＢＬ１、及び配線ＢＬ２が設けられている。

［０１１２］

このとき、回路ＢＤは、配線ＢＬ１、及び配線ＢＬ２に、メモリセルＭＣに情報を書き込む場合と、メモリセルＭＣから情報を読み出す場合と、のそれぞれにおいて、異なる電圧（又は電流）を入力する構成とすることが好ましい。

［０１１３］

なお、図３Ａのメモリセルを、図１Ａの記憶装置ＭＤＶに適用した構成例は、図５Ａの記憶装置ＭＤＶの構成に限定されない。図５Ａの記憶装置ＭＤＶは、状況に応じて、その回路構成を変更してもよい。

［０１１４］

＜＜メモリセルの構成例２＞＞

図３Ｃは、図３Ａと異なる、記憶装置ＭＤＶに備えることができるメモリセルの一例を示している。なお、図３Ｃに示すメモリセルＭＣも、ＳＯＴ－ＭＲＡＭの一例ということができる。

［０１１５］

メモリセルＭＣは、例えば、トランジスタＭ３と、トランジスタＭ４と、抵抗変化デバイスＭＤと、を有する。

［０１１６］

トランジスタＭ３、及びトランジスタＭ４としては、例えば、トランジスタＭ１、及びトランジスタＭ２と同様に、ＯＳトランジスタを適用することができる。また、抵抗変化デバイスＭＤは、図３Ａの抵抗変化デバイスＭＤと同様に図４のＭＴＪ素子ＭＥを有する。

［０１１７］

トランジスタＭ３の第１端子は、抵抗変化デバイスＭＤの端子ＩＴ２に電気的に接続され、トランジスタＭ３の第２端子は、配線ＳＬに電気的に接続され、トランジスタＭ３のゲートは、配線ＷＬａに電気的に接続されている。トランジスタＭ４の第１端子は、抵抗変化デバイスＭＤの端子ＯＴに電気的に接続され、トランジスタＭ４の第２端子は、配線ＳＬに電気的に接続され、トランジスタＭ４のゲートは、配線ＷＬｂに電気的に接続されている。抵抗変化デバイスＭＤの端子ＩＴ１は、配線ＢＬに電気的に接続されている。

［０１１８］

配線ＢＬは、一例として、メモリセルＭＣに対するビット線、又は定電圧を与える配線として機

能する。

［０１１９］

配線ＳＬは、一例として、定電圧を与える配線として機能する。

［０１２０］

配線ＷＬａは、一例として、メモリセルＭＣに対する書き込みワード線、及び読み出しワード線として機能する。

［０１２１］

配線ＷＬｂは、一例として、メモリセルＭＣに対する読み出しワード線として機能する。

［０１２２］

次に、図３Ｃのメモリセルにおける、情報の書き込み方法の一例、及び読み出し方法の一例について説明する。なお、配線ＳＬには、一例として、低レベル電位が与えられているものとする。

［０１２３］

メモリセルＭＣに情報を書き込むとき、配線ＷＬａに高レベル電位を与えてトランジスタＭ３をオン状態にし、配線ＷＬｂに低レベル電位を与えてトランジスタＭ４をオフ状態にする。次に、配線ＢＬから端子ＩＴ１に低レベル電位よりも高い第３電位を与える。これにより、抵抗変化デバイスＭＤにおいて、端子ＩＴ１－端子ＩＴ２間に第３電位と低レベル電位の電位差に応じた電流が流れる。このため、ＭＴＪ素子ＭＥの層ＣＡに電流が流れて、層ＣＡにスピン流が発生し、当該スピン流によって層ＦＬの強磁性体の磁化方向が定まる。

［０１２４］

メモリセルＭＣから情報を読み出すとき、配線ＷＬａに高レベル電位を与えてトランジスタＭ３をオン状態にし、配線ＷＬｂに高レベル電位を与えてトランジスタＭ４をオン状態にする。次に、配線ＢＬから端子ＩＴ１に低レベル電位よりも高く、第３電位よりも低い第４電位を与えることで、端子ＩＴ１－端子ＩＴ２間、及び／又は端子ＩＴ１－端子ＯＴ間に電流が流れる。このとき、層ＲＬと層ＦＬのそれぞれの磁化方向が平行であるか、反平行であるかによって、ＭＴＪ素子ＭＥの電気抵抗値が変化するため、ＭＴＪ素子ＭＥの層ＴＩＳに流れるトンネル電流の量も変化する。つまり、ＭＴＪ素子ＭＥと端子ＩＴ１に流れる電流量を測定することで、ＭＴＪ素子ＭＥに記録された情報を読み出すことができる。また、配線ＳＬに所定の電位を与え、配線ＢＬからＭＴＪ素子ＭＥの端子ＩＴ１に定電流を流して、端子ＩＴ１の電位を測定することでもＭＴＪ素子ＭＥに記録された情報を読み出すことができる。

［０１２５］

また、図３ＣのメモリセルＭＣは、図３Ｂと同様に、トランジスタＭ３と、トランジスタＭ４と、のそれぞれのバックゲートを、配線ＢＧＥに電気的に接続した構成としてもよい。具体的には、メモリセルＭＣは、図３Ｄに示す構成とすることができる。配線ＢＧＥに所定の電位を与えることによって、トランジスタＭ３、及びトランジスタＭ４のそれぞれのしきい値電圧を変動させることができる。

［０１２６］

［周辺回路の構成例２］

次に、図３ＣのメモリセルＭＣを、図１Ａの記憶装置ＭＤＶに適用した構成例を図５Ｂに示す。なお、図５Ｂでは、見易くするために各構成要素を平面上に図示しているが、メモリセルアレイＭＣＡは、図５Ａと同様に、図１Ａの記憶装置ＭＤＶのとおり、周辺回路ＰＨＬの上方に設けられて

いるものとする。

［０１２７］

なお、図５Ｂの記憶装置ＭＤＶにおいて、図１Ａの記憶装置ＭＤＶの内容と重複する箇所については、説明を省略する。

［０１２８］

図５Ｂの記憶装置ＭＤＶにおいて、周辺回路ＰＨＬは、回路ＷＤと、回路ＢＤと、回路ＳＤと、を有する。また、回路ＷＤと、回路ＢＤと、回路ＳＤと、については、図１Ａの記憶装置ＭＤＶの説明を参酌する。

［０１２９］

図５Ｂの記憶装置ＭＤＶにおいて、配線ＳＬ［１］乃至配線ＳＬ［ｎ］は行方向ではなく、列方向に設けている点で図１Ａの記憶装置ＭＤＶと異なっている。このように、記憶装置ＭＤＶにおいて、配線を延設する方向については特に限定されない。

［０１３０］

また、回路ＷＤは、図１Ａの記憶装置ＭＤＶにおける配線ＷＬ［１］乃至配線ＷＬ［ｍ］として、配線ＷＬａ［１］乃至配線ＷＬａ［ｍ］、及び配線ＷＬｂ［１］乃至配線ＷＬｂ［ｍ］に電気的に接続されている。つまり、メモリセルアレイＭＣＡの１行ごとに、配線ＷＬａ、及び配線ＷＬｂが設けられている。

［０１３１］

このとき、回路ＷＤは、配線ＷＬａ、及び配線ＷＬｂに、メモリセルＭＣに情報を書き込む場合と、メモリセルＭＣから情報を読み出す場合と、のそれぞれにおいて、異なる電圧を入力する構成とすることが好ましい。

［０１３２］

なお、図３Ｃのメモリセルを、図１Ａの記憶装置ＭＤＶに適用した構成例は、図５Ｂの記憶装置ＭＤＶの構成に限定されない。図５Ｂの記憶装置ＭＤＶは、状況に応じて、その回路構成を変更してもよい。

［０１３３］

＜＜メモリセルの構成例３＞＞

図６Ａは、記憶装置ＭＤＶに備えることができるメモリセルの一例を示している。なお、図６Ａに示すメモリセルは、ＳＴＴ－ＭＲＡＭ（Ｓｐｉｎ　Ｔｒａｎｓｆｅｒ　Ｔｏｒｑｕｅ－Ｍａｇｎｅｔｏｒｅｓｉｓｔｉｖｅ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）の一例ということができる。

［０１３４］

メモリセルＭＣは、トランジスタＭ１０と、先述したＭＴＪ素子ＭＥと、を有する。

［０１３５］

トランジスタＭ１０としては、例えば、トランジスタＭ１、及びトランジスタＭ２と同様に、ＯＳトランジスタを適用することができる。

［０１３６］

ＭＴＪ素子ＭＥは、図４に示したＭＴＪ素子と同様に、自由層を有する層ＦＬと、トンネル絶縁体を有する層ＴＩＳと、固定層を有する層ＲＬと、を有し、層ＴＩＳを介して層ＦＬと層ＲＬとが重畳している。

［０１３７］

トランジスタＭ１０の第１端子は、ＭＴＪ素子ＭＥの層ＲＬに電気的に接続され、トランジスタＭ１０の第２端子は、配線ＳＬに電気的に接続され、トランジスタＭ１０のゲートは配線ＷＬに電気的に接続されている。ＭＴＪ素子ＭＥの層ＦＬは、配線ＢＬに電気的に接続されている。

［０１３８］

配線ＢＬは、一例として、メモリセルＭＣに対する書き込みビット線、又は読み出しビット線として機能する。

［０１３９］

配線ＷＬは、一例として、メモリセルＭＣに対するワード線として機能する。

［０１４０］

配線ＳＬは、一例として、定電圧を与える配線として機能する。当該定電圧としては、例えば、低レベル電位とすることができる。

［０１４１］

ここで、図６Ａのメモリセル ＭＣにおける、情報の書き込み方法の一例、及び読み出し方法の一例について説明する。

［０１４２］

メモリセルＭＣに情報を書き込むとき、配線ＷＬに高レベル電位を与えて、トランジスタＭ１０をオン状態にする。これにより、層ＲＬと配線ＳＬとの間が導通状態となる。また、配線ＢＬと配線ＳＬとの間の電圧の条件によって、層ＴＩＳにトンネル電流が発生するため、配線ＢＬと配線ＳＬとの間に電流が流れる。このとき、層ＦＬにスピンが一定方向に揃った電子を大量に流すことによって、層ＦＬの磁化方向を変化させることができる。これにより、ＭＴＪ素子ＭＥに情報を記録することができる。

［０１４３］

メモリセルＭＣから情報を読み出すとき、配線ＷＬに高レベル電位を与えて、トランジスタＭ１０をオン状態にする。これにより、層ＲＬと配線ＳＬとの間が導通状態となる。ここで、配線ＢＬに定電圧を与えたとき、ＭＴＪ素子ＭＥに流れる電流量は、層ＲＬと層ＦＬのそれぞれの磁化方向が平行であるか、反平行であるかによって決まる。具体的には、例えば、層ＲＬと層ＦＬのそれぞれの磁化方向が平行であるときの当該電流量は、層ＲＬと層ＦＬのそれぞれの磁化方向が反平行であるときの当該電流量よりも大きくなる。つまり、ＭＴＪ素子ＭＥに流れる電流量を測定することで、ＭＴＪ素子ＭＥに記録された情報を読み出すことができる。

［０１４４］

図６Ａのメモリセル ＭＣは、ＭＴＪ素子ＭＥにスピンが一定方向に揃った電子を流して、層ＦＬの磁化方向を変化させることで、情報を記録することができるが、本発明の一態様の記憶装置に設けられるメモリセルＭＣの構成はこれに限定されない。例えば、ＭＴＪ素子ＭＥ付近に、磁場を発生させる機能を有する配線を設けた構成としてもよい。当該構成では、当該配線から磁場を発生させて、ＭＴＪ素子ＭＥの層ＦＬの磁化方向を変化させることによって、ＭＴＪ素子ＭＥに情報を書き込むことができる。

［０１４５］

＜＜メモリセルの構成例４＞＞

図６Ｂは、記憶装置ＭＤＶに備えることができるメモリセルの一例を示している。なお、図６Ｂ

に示すメモリセルは、ＲｅＲＡＭ（Ｒｅｓｉｓｔｉｖｅ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）の一例ということができる。

［０１４６］

メモリセルＭＣは、トランジスタＭ１０と、抵抗変化素子ＲＭと、を有する。

［０１４７］

トランジスタＭ１０としては、例えば、トランジスタＭ１、及びトランジスタＭ２と同様に、ＯＳトランジスタを適用することができる。

［０１４８］

図６Ｂに示す通り、図６Ｂのメモリセルは、図６Ａのメモリセルのｍｔｊ素子ＭＥを抵抗変化素子ＲＭに置き換えた構成となっている。なお、図６Ｂのメモリセルでは、抵抗変化素子ＲＭの第１端子は、トランジスタＭ１０の第１端子に電気的に接続され、抵抗変化素子ＲＭの第２端子は、配線ＢＬに電気的に接続されているものとする。

［０１４９］

配線ＢＬは、一例として、メモリセルに対する書き込みビット線、又は読み出しビット線として機能する。

［０１５０］

配線ＷＬは、一例として、メモリセルに対するワード線として機能する。

［０１５１］

配線ＳＬは、一例として、定電圧を与える配線として機能する。当該定電圧としては、例えば、基準電位とすることができる。

［０１５２］

ここで、図６Ｂのメモリセルにおける、情報の書き込み方法の一例、及び読み出し方法の一例について説明する。

［０１５３］

メモリセルに情報を書き込むとき、配線ＷＬに高レベル電位を与えて、トランジスタＭ１０をオン状態にする。これにより、配線ＢＬと配線ＳＬとの間が導通状態となる。また、配線ＢＬに基準電位より高いパルス電圧（正パルス電圧）、又は基準電位より低いパルス電圧（負パルス電圧）を与えることによって、当該パルス電圧が抵抗変化素子ＲＭの第２端子に入力される。このとき、抵抗変化素子ＲＭの第２端子に与えられた電圧が正パルス電圧か、又は負パルス電圧かによって、抵抗変化素子ＲＭの電気抵抗が変化する。これにより、メモリセルの抵抗変化素子ＲＭに情報を記録することができる。

［０１５４］

メモリセルから情報を読み出すとき、配線ＷＬに高レベル電位を与えて、トランジスタＭ１０をオン状態にする。これにより、配線ＢＬと配線ＳＬとの間が導通状態となる。ここで、配線ＢＬに負パルス電圧よりも大きく正パルス電圧よりも小さい定電圧を与えたとき、抵抗変化素子ＲＭに流れる電流量は、抵抗変化素子ＲＭの電気抵抗の値によって決まる。つまり、抵抗変化素子ＲＭに流れる電流量を測定することで、抵抗変化素子ＲＭに記録された情報を読み出すことができる。

［０１５５］

＜＜メモリセルの構成例５＞＞

図６Ｃは、記憶装置ＭＤＶに備えることができるメモリセルの一例を示している。なお、図６Ｃ

に示すメモリセルは、相変化メモリ（ＰＣＭ、ＰＲＡＭなどと呼称する場合がある。）の一例ということができる。

［０１５６］

メモリセルＭＣは、トランジスタＭ１０と、相変化メモリＰＣＭ１と、を有する。

［０１５７］

トランジスタＭ１０としては、例えば、トランジスタＭ１、及びトランジスタＭ２と同様に、ＯＳトランジスタを適用することができる。

［０１５８］

相変化メモリＰＣＭ１は、一例として電極ＴＥと、相変化層ＣＨＬと、電極ＢＥと、を有し、電極ＴＥ、相変化層ＣＨＬ、電極ＢＥの順に電気的に接続されている。

［０１５９］

また、相変化層ＣＨＬとしては、例えばカルコゲナイドガラスを適用することができる。なお、本実施の形態では、相変化層ＣＨＬは、カルコゲナイドガラスを適用したものとして説明する。

［０１６０］

電極ＴＥと、電極ＢＥと、は互いに相変化層ＣＨＬと接触する面積が異なることが好ましい。例えば、図６Ｃでは、電極ＴＥと相変化層ＣＨＬとの接触面積は、電極ＢＥと相変化層ＣＨＬとの接触面積よりも大きく図示している。電極ＢＥの相変化層ＣＨＬとの接触面積を小さくすることで、相変化層ＣＨＬに対して局所的に熱を与えることができるため、電極ＴＥ付近の相変化層ＣＨＬよりも電極ＢＥ付近の相変化層ＣＨＬでの相変化が起こりやすくなる。

［０１６１］

図６Ｃに示す通り、図６ＣのメモリセルＭＣは、図６ＡのメモリセルＭＣのＭＴＪ素子ＭＥを相変化メモリＰＣＭ１に置き換えた構成となっている。なお、図６ＣのメモリセルＭＣでは、相変化メモリＰＣＭ１の電極ＢＥは、トランジスタＭ１０の第１端子に電気的に接続され、相変化メモリＰＣＭ１の電極ＴＥは、配線ＢＬに電気的に接続されているものとする。

［０１６２］

配線ＢＬは、一例として、メモリセルＭＣに対する書き込みビット線、又は読み出しビット線として機能する。

［０１６３］

配線ＷＬは、一例として、メモリセルＭＣに対するワード線として機能する。

［０１６４］

配線ＳＬは、一例として、定電圧を与える配線として機能する。当該定電圧としては、例えば、低レベル電位とすることができる。

［０１６５］

ここで、図６ＣのメモリセルＭＣにおける、情報の書き込み方法の一例、及び読み出し方法の一例について説明する。

［０１６６］

メモリセルＭＣに情報を書き込むとき、配線ＷＬに高レベル電位を与えて、トランジスタＭ１０をオン状態にする。これにより、配線ＢＬと配線ＳＬとの間が導通状態となる。また、相変化層ＣＨＬのカルコゲナイドガラスが、例えば、アモルファス状態のときに、配線ＢＬから高レベル電位を与えて（具体的には、電極ＴＥと電極ＢＥとの間に高電圧をかけて）、相変化メモリＰＣＭ１に

流れる電流量を増やすことで、カルコゲナイドガラス内においてインパクトイオン化が起きてキャリアが増大して、カルコゲナイドガラスの電気抵抗が急激に低下する。これにより、カルコゲナイドガラスにはより大きな電流が流れるため、カルコゲナイドガラスにおいてジュール熱が発生して、カルコゲナイドガラスの温度が上昇する。これにより、カルコゲナイドガラスが溶融する。その後、配線ＢＬからの電圧を制御して、カルコゲナイドライドガラスの温度を結晶化温度領域に保持することで、カルコゲナイドガラスは多結晶状態に遷移することができる。カルコゲナイドガラスを多結晶状態にした後に、配線ＢＬ、及び配線ＳＬからの電圧供給を止めても、カルコゲナイドガラスは多結晶状態を維持することができる。

［０１６７］

また、ジュール熱によってカルコゲナイドガラスの温度を上昇させて、カルコゲナイドガラスを溶融させた後に、配線ＢＬ、及び配線ＳＬからの電圧供給を止めて、カルコゲナイドガラスを急激に冷やすことによって、カルコゲナイドガラスをアモルファス状態に遷移させることができる。

［０１６８］

メモリセルＭＣは、相変化層ＣＨＬに含まれているカルコゲナイドガラスの相を変化させることで、相変化メモリＰＣＭ１に情報を記録することができる。

［０１６９］

メモリセルＭＣから情報を読み出すとき、配線ＷＬに高レベル電位を与えて、トランジスタＭ１０をオン状態にする。これにより、配線ＢＬと配線ＳＬとの間が導通状態となる。ここで、配線ＢＬに書き込み時よりも低い電圧を与えたとき、相変化メモリＰＣＭ１の電極ＴＥと電極ＢＥとの間に流れる電流量は、相変化層ＣＨＬのカルコゲナイドガラスがアモルファス状態か多結晶状態かによって決まる。具体的には、例えば、カルコゲナイドガラスがアモルファス状態のとき、当該電流量は小さくなり、カルコゲナイドガラスが多結晶状態のとき、当該電流量は大きくなる。つまり、相変化メモリＰＣＭ１に流れる電流量を測定することで、相変化メモリＰＣＭ１に記録された情報を読み出すことができる。

［０１７０］

ＭＴＪ素子ＭＥ、抵抗変化素子ＲＭ、相変化メモリＰＣＭ１などのメモリ素子を有するメモリセルは、不揮発性メモリとして機能するため、データを保持するための電力を低くすることができる。このため、上述した構成を、記憶装置として適用することによって、消費電力が低い記憶装置を提供することができる。また、当該メモリセルのトランジスタとしてＯＳトランジスタなどを適用することによって、メモリセルアレイを半導体工程で作製することができるため、周辺回路の上方にメモリセルアレイを積層することができる。複数のメモリセルアレイを積層することにより、記憶容量が大きい記憶装置を提供することができる。

［０１７１］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０１７２］

（実施の形態２）

本実施の形態では、上記実施の形態で説明した記憶装置の断面構造の一例について、説明する。

［０１７３］

図７は、図１Ｂの記憶装置ＭＤＶの構成例を模式的に表した断面図である。具体的には、図７に示す記憶装置ＭＤＶは、層ＳＩＬと、層ＳＩＬの上方に設けられている層ＯＳＬ［１］乃至層ＯＳ

Ｌ［ｐ］（ここでのｐは１以上の整数である。）と、を有する。なお、層ＳＩＬは、例えば、実施の形態１で説明した周辺回路ＰＨＬを有する。また、層ＯＳＬ［１］乃至層ＯＳＬ［ｐ］のそれぞれは、例えば、実施の形態１で説明したメモリセルアレイＭＣＡを有する。

［０１７４］

一例として、層ＳＩＬは、トランジスタ３００を有し、層ＯＳＬ［１］乃至層ＯＳＬ［ｐ］のそれぞれは、トランジスタ５００Ａと、トランジスタ５００Ｂと、メモリ素子４００と、を有する。特に、本明細書等では、トランジスタ５００Ａ、及びトランジスタ５００Ｂの一方、又は両方をトランジスタ５００と呼称する場合がある。

［０１７５］

また、図８Ａには、トランジスタ５００のチャネル長方向の断面図を示しており、図８Ｂには、トランジスタ５００のチャネル幅方向の断面図を示しており、図８Ｃには、トランジスタ３００のチャネル幅方向の断面図を示している。なお、図８Ａ乃至図８Ｃのそれぞれに示すトランジスタは、説明のため、図７に示すトランジスタと一部形状が異なっている場合がある。

［０１７６］

また、層ＯＳＬ［１］乃至層ＯＳＬ［ｐ］のそれぞれは、メモリセル６００を有し、メモリセル６００には、トランジスタ５００Ａと、トランジスタ５００Ｂと、メモリ素子４００と、が含まれている。

［０１７７］

また、メモリセル６００の構成としては、一例として、図３ＡのメモリセルＭＣとしている。具体的には、トランジスタ５００Ａは、トランジスタＭ１又はトランジスタＭ２の一方に相当し、トランジスタ５００Ｂは、トランジスタＭ１又はトランジスタＭ２の他方に相当し、メモリ素子４００は、抵抗変化デバイスＭＤに相当する。このため、図７の記憶装置ＭＤＶにおいて、トランジスタ５００Ａの第１端子は、トランジスタ５００Ｂの第１端子と、メモリ素子４００の第１端子と、に電気的に接続されている。

［０１７８］

なお、図３Ａの配線ＢＬ１、又は配線ＢＬ２の一方は、例えば、トランジスタ５００Ａ、又はトランジスタ５００Ｂの一方の第２端子に電気的に接続している、導電体４５０とすることができる。また、図３Ａの配線ＢＬ１、又は配線ＢＬ２の他方は、例えば、トランジスタ５００Ａ、又はトランジスタ５００Ｂの他方の第２端子に電気的に接続している、導電体４５０とすることができる。なお、導電体４５０については後述する。

［０１７９］

また、図３Ａの配線ＷＬは、例えば、トランジスタ５００Ａ、及びトランジスタ５００Ｂのそれぞれのゲートに相当する導電体５６０とすることができる。また、図３Ａの配線ＲＢＬは、例えば、メモリ素子４００の第２端子に電気的に接続されている、導電体４６０とすることができる。なお、導電体４６０については後述する。

［０１８０］

トランジスタ５００は、チャネル形成領域に金属酸化物を有するトランジスタ（ＯＳトランジスタ）である。トランジスタ５００は、オフ電流が小さく、また、高温でも電界効果移動度が変化しにくい特性を有する。トランジスタ５００を、例えば、上記の記憶装置などに含まれるトランジスタに適用することにより、高温でも動作能力が低下しにくい記憶装置を実現できる。

［０１８１］

層ＳＩＬに含まれている周辺回路ＰＨＬは、一例として、図１Ｂの記憶装置ＭＤＶの構成のとおり、回路ＷＤ、回路ＢＤ、回路ＳＤ、回路ＣＬＣ、回路ＯＰＣなどを有する。このため、トランジスタ３００は、回路ＷＤ、回路ＢＤ、回路ＲＢＤ、回路ＳＤ、回路ＣＬＣ、回路ＯＰＣなどに含まれているトランジスタとすることができる。

［０１８２］

トランジスタ３００は、導電体３１６、素子分離層３１２、絶縁体３１５、基板３１０の一部からなる半導体領域３１３、ソース領域又はドレイン領域として機能する低抵抗領域３１４ａ、及び低抵抗領域３１４ｂを有する。

［０１８３］

基板３１０としては、例えば、半導体基板を適用することができる。当該半導体基板としては、上述したとおり、シリコンを材料とした基板、ゲルマニウムを材料とした基板などが挙げられる。又は、基板３１０としては、例えば、化合物半導体基板を適用することができる。当該化合物半導体基板としては、上述したとおり、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどを材料とした基板が挙げられる。

［０１８４］

トランジスタ３００は、図８Ｃに示すように、半導体領域３１３の上面及びチャネル幅方向の側面が絶縁体３１５を介して導電体３１６に覆われている。このように、トランジスタ３００をＦｉｎ型とすることにより、実効上のチャネル幅が増大することによりトランジスタ３００のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ３００のオフ特性を向上させることができる。

［０１８５］

なお、トランジスタ３００は、ｐチャネル型、あるいはｎチャネル型のいずれでもよい。

［０１８６］

半導体領域３１３のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域３１４ａ、及び低抵抗領域３１４ｂなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ｇｅ（ゲルマニウム）、ＳｉＧｅ（シリコンゲルマニウム）、ＧａＡｓ（ガリウムヒ素）、ＧａＡｌＡｓ（ガリウムアルミニウムヒ素）、ＧａＮ（窒化ガリウム）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はＧａＡｓとＧａＡｌＡｓ等を用いることで、トランジスタ３００をＨＥＭＴ（Ｈｉｇｈ　Ｅｌｅｃｔｒｏｎ　Ｍｏｂｉｌｉｔｙ　Ｔｒａｎｓｉｓｔｏｒ）としてもよい。

［０１８７］

低抵抗領域３１４ａ、及び低抵抗領域３１４ｂは、半導体領域３１３に適用される半導体材料に加え、ヒ素、リンなどのｎ型の導電性を付与する元素、又はホウ素などのｐ型の導電性を付与する元素を含む。

［０１８８］

ゲート電極として機能する導電体３１６は、ヒ素、リンなどのｎ型の導電性を付与する元素、もしくはホウ素などのｐ型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

［０１８９］

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン、アルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

［０１９０］

素子分離層３１２は、基板３１０上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層３１２は、例えば、ＬＯＣＯＳ（Ｌｏｃａｌ　Ｏｘｉｄａｔｉｏｎ　ｏｆ　Ｓｉｌｉｃｏｎ）法、ＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法、メサ分離法などを用いて形成することができる。

［０１９１］

なお、図７、及び図８Ｃに示すトランジスタ３００は、一例であり、その構造に限定されず、回路構成、駆動方法などに応じて適切なトランジスタを用いればよい。例えば、図７、及び図８Ｃに示すトランジスタ３００は、プレーナ型のトランジスタとしてもよい。

［０１９２］

図７に示すトランジスタ３００には、絶縁体３２０、絶縁体３２２、絶縁体３２４、絶縁体３２６が、基板３１０側から順に積層して設けられている。

［０１９３］

絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

［０１９４］

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０１９５］

絶縁体３２２は、絶縁体３２０及び絶縁体３２２に覆われているトランジスタ３００などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体３２２の上面は、平坦性を高めるために化学機械研磨（ＣＭＰ）法等を用いた平坦化処理により平坦化されていてもよい。

［０１９６］

また、絶縁体３２４には、基板３１０、又はトランジスタ３００などから、トランジスタ５００が設けられる領域に、水、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

［０１９７］

水素に対するバリア性を有する膜の一例として、例えば、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００などの酸化物半導体を有する半導体素子に、水素

が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と、トランジスタ３００との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

［０１９８］

水素の脱離量は、例えば、昇温脱離ガス分析法（ＴＤＳ）などを用いて分析することができる。例えば、絶縁体３２４の水素の脱離量は、ＴＤＳ分析において、膜の表面温度が５０℃から５００℃の範囲において、水素原子に換算した脱離量が、絶縁体３２４の面積当たりに換算して、１０×10^{15}ａｔｏｍｓ／ｃｍ^{2}以下、好ましくは５×10^{15}ａｔｏｍｓ／ｃｍ^{2}以下であればよい。

［０１９９］

なお、絶縁体３２６は、絶縁体３２４よりも誘電率が低いことが好ましい。例えば、絶縁体３２６の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁体３２６の比誘電率は、絶縁体３２４の比誘電率の０．７倍以下が好ましく、０．６倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

［０２００］

また、絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６には、導電体３２８、及び導電体３３０等が埋め込まれている。なお、導電体３２８、及び導電体３３０は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

［０２０１］

各プラグ、及び配線（導電体３２８、導電体３３０等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０２０２］

絶縁体３２６、及び導電体３３０上に、配線層を設けてもよい。例えば、図７において、絶縁体３５０、絶縁体３５２、及び絶縁体３５４が、絶縁体３２６上、及び導電体３３０上に順に積層して設けられている。また、絶縁体３５０、絶縁体３５２、及び絶縁体３５４には、導電体３５６が形成されている。導電体３５６は、一例として、トランジスタ３００と接続するプラグ、又は配線としての機能を有する。なお、導電体３５６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０２０３］

なお、例えば、絶縁体３５０は、絶縁体３２４と同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁体３５２、及び絶縁体３５４としては、絶縁体３２６と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、導電体３５６は、水、水素などに対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３５０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ３００とトランジ

スタ５００とは、バリア層により分離することができ、トランジスタ３００からトランジスタ５００への水素の拡散を抑制することができる。

［０２０４］

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ３００からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体３５０と接する構造であることが好ましい。

［０２０５］

また、絶縁体３５４、及び導電体３５６上には、絶縁体３６０と、絶縁体３６２と、絶縁体３６４が順に積層されている。

［０２０６］

絶縁体３６０は、絶縁体３２４などと同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体３６０としては、例えば、絶縁体３２４などに適用できる材料を用いることができる。

［０２０７］

絶縁体３６２、及び絶縁体３６４は、層間絶縁膜、及び平坦化膜としての機能を有する。また、絶縁体３６２、及び絶縁体３６４は、絶縁体３２４と同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。このため、絶縁体３６２、及び／又は絶縁体３６４としては、絶縁体３２４に適用できる材料を用いることができる。

［０２０８］

また、絶縁体３６０、絶縁体３６２、及び絶縁体３６４のそれぞれの、一部の導電体３５６と重畳する領域に開口部が形成されて、当該開口部を埋めるように導電体３６６が設けられている。また、導電体３６６は、絶縁体３６２上にも形成されている。導電体３６６は、一例として、トランジスタ３００と接続するプラグ、又は配線としての機能を有する。なお、導電体３６６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０２０９］

絶縁体３６４、及び導電体３６６上には絶縁体５１０、絶縁体５１２、絶縁体５１３、絶縁体５１４、及び絶縁体５１６が、順に積層して設けられている。絶縁体５１０、絶縁体５１２、絶縁体５１３、絶縁体５１４、及び絶縁体５１６のいずれかは、酸素、及び／又は水素に対してバリア性のある物質を用いることが好ましい。

［０２１０］

例えば、絶縁体５１０、及び絶縁体５１４には、基板３１０などから、トランジスタ５００を設ける領域に、水、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体３２４などと同様の材料を用いることができる。

［０２１１］

水素に対するバリア性を有する膜の一例として、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と基板３１０との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、

具体的には、水素の脱離量が少ない膜とする。

［０２１２］

また、水素に対するバリア性を有する膜として、例えば、絶縁体５１０、及び絶縁体５１４には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

［０２１３］

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ５００への混入を防止することができる。また、トランジスタ５００を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ５００に対する保護膜として用いることに適している。

［０２１４］

また、例えば、絶縁体５１３としては、絶縁体５１０、及び絶縁体５１４と同様に、水、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。特に、図７では、絶縁体５１３は、後述する絶縁体５７６と共に、トランジスタ５００を封止する膜として機能している。このため、絶縁体５１３は、絶縁体５７６に適用できる材料を用いることが好ましい。また、絶縁体５１３は、絶縁体５１０、又は絶縁体５１４に適用できる材料を用いてもよい。

［０２１５］

また、例えば、絶縁体５１２、及び絶縁体５１６には、絶縁体３２０、又は絶縁体３２６と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５１２、及び絶縁体５１６として、酸化シリコン、酸化窒化シリコンなどを用いることができる。

［０２１６］

また、絶縁体５１０、絶縁体５１２、絶縁体５１３、絶縁体５１４、及び絶縁体５１６には、導電体５１８、及びトランジスタ５００を構成する導電体（例えば、図８Ａ、及び図８Ｂに示す導電体５０３）等が埋め込まれている。なお、導電体５１８は、後述する導電体４５０、導電体４６０、トランジスタ３００などを接続するプラグ、又は配線としての機能を有する。導電体５１８は、例えば、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０２１７］

特に、絶縁体５１０、及び絶縁体５１４と接する領域の導電体５１８は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ３００とトランジスタ５００とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ３００からトランジスタ５００への水素の拡散を抑制することができる。

［０２１８］

絶縁体５１６の上方には、トランジスタ５００が設けられている。

［０２１９］

図８Ａ、及び図８Ｂに示すように、トランジスタ５００は、絶縁体５１４及び絶縁体５１６に埋め込まれるように配置された導電体５０３と、絶縁体５１６及び導電体５０３の上に配置された絶縁体５２０と、絶縁体５２０の上に配置された絶縁体５２２と、絶縁体５２２の上に配置された絶縁体５２４と、絶縁体５２４の上に配置された酸化物５３０ａと、酸化物５３０ａの上に配置され

た酸化物５３０ｂと、酸化物５３０ｂ上に互いに離れて配置された導電体５４２ａ及び導電体５４２ｂと、導電体５４２ａ及び導電体５４２ｂ上に配置され、導電体５４２ａと導電体５４２ｂの間に重畳して開口が形成された絶縁体５８０と、開口の底面及び側面に配置された酸化物５３０ｃと、酸化物５３０ｃの形成面に配置された絶縁体５５０と、絶縁体５５０の形成面に配置された導電体５６０と、を有する。なお、本明細書等では、導電体５４２ａと導電体５４２ｂとをまとめて、導電体５４２と記載する。

［０２２０］

また、図８Ａ、及び図８Ｂに示すように、酸化物５３０ａ、酸化物５３０ｂ、導電体５４２ａ、及び導電体５４２ｂと、絶縁体５８０との間に絶縁体５４４が配置されることが好ましい。また、図８Ａ、及び図８Ｂに示すように、導電体５６０は、絶縁体５５０の内側に設けられた導電体５６０ａと、導電体５６０ａの内側に埋め込まれるように設けられた導電体５６０ｂと、を有することが好ましい。また、図８Ａ、及び図８Ｂに示すように、絶縁体５８０、導電体５６０、及び絶縁体５５０の上に絶縁体５７４が配置されることが好ましい。

［０２２１］

なお、以下において、酸化物５３０ａ、酸化物５３０ｂ、及び酸化物５３０ｃをまとめて酸化物５３０という場合がある。

［０２２２］

なお、トランジスタ５００では、チャネルが形成される領域と、その近傍において、酸化物５３０ａ、酸化物５３０ｂ、及び酸化物５３０ｃの３層を積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、酸化物５３０ｂの単層、酸化物５３０ｂと酸化物５３０ａの２層構造、酸化物５３０ｂと酸化物５３０ｃの２層構造、又は４層以上の積層構造を設ける構成にしてもよい。また、トランジスタ５００では、導電体５６０を２層の積層構造として示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体５６０が、単層構造であってもよいし、３層以上の積層構造であってもよい。また、図７、図８Ａ、及び図８Ｂに示すトランジスタ５００は一例であり、その構造に限定されず、回路構成、駆動方法などに応じて適切なトランジスタを用いればよい。

［０２２３］

ここで、導電体５６０は、トランジスタのゲート電極として機能し、導電体５４２ａ及び導電体５４２ｂは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体５６０は、絶縁体５８０の開口、及び導電体５４２ａと導電体５４２ｂに挟まれた領域に埋め込まれるように形成される。導電体５６０、導電体５４２ａ及び導電体５４２ｂの配置は、絶縁体５８０の開口に対して、自己整合的に選択される。つまり、トランジスタ５００において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体５６０を位置合わせのマージンを設けることなく形成することができるので、トランジスタ５００の占有面積の縮小を図ることができる。これにより、記憶装置の微細化、高集積化を図ることができる。

［０２２４］

さらに、導電体５６０が、導電体５４２ａと導電体５４２ｂの間の領域に自己整合的に形成されるので、導電体５６０は、導電体５４２ａ又は導電体５４２ｂと重畳する領域を有さない。これにより、導電体５６０と導電体５４２ａ及び導電体５４２ｂとの間に形成される寄生容量を低減することができる。よって、トランジスタ５００のスイッチング速度を向上させ、高い周波数特性を有

せしめることができる。

［０２２５］

導電体５６０は、第１のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体５０３は、第２のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体５０３に印加する電位を、導電体５６０に印加する電位と、連動させず、独立して変化させることで、トランジスタ５００のしきい値電圧を制御することができる。特に、導電体５０３に負の電位を印加することにより、トランジスタ５００のしきい値電圧を大きくし、オフ電流を低減することが可能となる。したがって、導電体５０３に負の電位を印加したほうが、印加しない場合よりも、導電体５６０に印加する電位が０Ｖのときのドレイン電流を小さくすることができる。

［０２２６］

導電体５０３は、酸化物５３０、及び導電体５６０と、重なるように配置する。これにより、導電体５６０、及び導電体５０３に電位を印加した場合、導電体５６０から生じる電界と、導電体５０３から生じる電界と、がつながり、酸化物５３０に形成されるチャネル形成領域を覆うことができる。本明細書等において、第１のゲート電極、及び第２のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（Ｓ－ｃｈａｎｎｅｌ）構造とよぶ。

［０２２７］

また、導電体５０３は、導電体５１８と同様の構成であり、絶縁体５１４及び絶縁体５１６の開口の内壁に接して導電体５０３ａが形成され、さらに内側に導電体５０３ｂが形成されている。なお、トランジスタ５００では、導電体５０３ａ及び導電体５０３ｂを積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体５０３は、単層、又は３層以上の積層構造として設ける構成にしてもよい。

［０２２８］

ここで、導電体５０３ａは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

［０２２９］

例えば、導電体５０３ａが酸素の拡散を抑制する機能を持つことにより、導電体５０３ｂが酸化して導電率が低下することを抑制することができる。

［０２３０］

また、導電体５０３が配線の機能を兼ねる場合、導電体５０３ｂは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。また、当該配線の導電性を高く維持できる場合、導電体５０３ａは、必ずしも設けなくともよい。なお、導電体５０３ｂを単層で図示したが、積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層としてもよい。

［０２３１］

絶縁体５２０、絶縁体５２２、及び絶縁体５２４は、第２のゲート絶縁膜としての機能を有する。

［０２３２］

ここで、酸化物５３０と接する絶縁体５２４は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体５２４には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物５３０に接して設けることにより、酸化物５３０中の酸素欠損を低減し、トランジスタ５００の信頼性を向上させることができる。なお、本明細書等では、金属酸化物中の酸素欠損をV_O（ｏｘｙｇｅｎ　ｖａｃａｎｃｙ）と呼称する場合がある。

［０２３３］

金属酸化物を用いたトランジスタは、金属酸化物中のチャネルが形成される領域に不純物または酸素欠損（V_O）が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損（V_O）近傍の水素が、酸素欠損（V_O）に水素が入った欠陥（以下、V_OHと呼称する場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、およびV_OHはできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、ｉ型（真性化）または実質的にｉ型であることが好ましい。

［０２３４］

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、ＴＤＳ（Ｔｈｅｒｍａｌ　Ｄｅｓｏｒｐｔｉｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）分析にて、酸素原子に換算しての酸素の脱離量が１．０×10^{18}ａｔｏｍｓ／ｃｍ^{3}以上、好ましくは１．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、さらに好ましくは２．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、又は３．０×10^{20}ａｔｏｍｓ／ｃｍ^{3}以上である酸化物膜である。なお、上記ＴＤＳ分析時における膜の表面温度としては１００℃以上７００℃以下、又は１００℃以上４００℃以下の範囲が好ましい。

［０２３５］

また、上記過剰酸素領域を有する絶縁体と、酸化物５３０と、を接して加熱処理、マイクロ波処理、またはＲＦ処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物５３０中の水、または水素を除去することができる。例えば、酸化物５３０において、ＶｏＨの結合が切断される反応が起きる、別言すると「$V_OH \rightarrow V_O + H$」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合してH_2Oとして、酸化物５３０、または酸化物５３０近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体５４２ａ、及び導電体５４２ｂに拡散または捕獲（ゲッタリングともいう）される場合がある。

［０２３６］

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にＲＦを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にＲＦを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物５３０、または酸化物５３０近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力

を１３３Ｐａ以上、好ましくは２００Ｐａ以上、さらに好ましくは４００Ｐａ以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比（O_2／（O_2＋Ａｒ））が５０％以下、好ましくは１０％以上３０％以下で行うとよい。

［０２３７］

また、トランジスタ５００の作製工程中において、酸化物５３０の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、１００℃以上４５０℃以下、より好ましくは３５０℃以上４００℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物５３０に酸素を供給して、酸素欠損（V_O）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で行ってもよい。または、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気で加熱処理を行ってもよい。

［０２３８］

なお、酸化物５３０に加酸素化処理を行うことで、酸化物５３０中の酸素欠損を、供給された酸素により修復させる、別言すると「V_O＋Ｏ→ｎｕｌｌ」という反応を促進させることができる。さらに、酸化物５３０中に残存した水素に供給された酸素が反応することで、当該水素をH_2Oとして除去する（脱水化する）ことができる。これにより、酸化物５３０中に残存していた水素が酸素欠損に再結合してV_OＨが形成されるのを抑制することができる。

［０２３９］

また、絶縁体５２４が、過剰酸素領域を有する場合、絶縁体５２２は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

［０２４０］

絶縁体５２２が、酸素、不純物などの拡散を抑制する機能を有することで、酸化物５３０が有する酸素は、絶縁体５２０側へ拡散することがなく、好ましい。また、導電体５０３が、絶縁体５２４、及び酸化物５３０が有する酸素と反応することを抑制することができる。

［０２４１］

絶縁体５２２は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）、又は（Ｂａ，Ｓｒ）TiO_3（ＢＳＴ）などのいわゆるｈｉｇｈ－ｋ材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

［０２４２］

特に、不純物、及び酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いること

が好ましい。このような材料を用いて絶縁体５２２を形成した場合、絶縁体５２２は、酸化物５３０からの酸素の放出、トランジスタ５００の周辺部から酸化物５３０への水素等の不純物の混入などを抑制する層として機能する。

［０２４３］

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

［０２４４］

また、絶縁体５２０は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、ｈｉｇｈ－ｋ材料の絶縁体と、酸化シリコン又は酸化窒化シリコンと、を組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体５２０を得ることができる。

［０２４５］

なお、図８Ａ、及び図８Ｂのトランジスタ５００では、３層の積層構造からなる第２のゲート絶縁膜として、絶縁体５２０、絶縁体５２２、及び絶縁体５２４が図示されているが、第２のゲート絶縁膜は、単層、２層、又は４層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

［０２４６］

トランジスタ５００は、チャネル形成領域を含む酸化物５３０に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物５３０として、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Ｍは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、酸化物５３０として適用できるＩｎ－Ｍ－Ｚｎ酸化物は、ＣＡＡＣ－ＯＳ（Ｃ－Ａｘｉｓ Ａｌｉｇｎｅｄ Ｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、ＣＡＣ－ＯＳ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ Ｃｏｍｐｏｓｉｔｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）であることが好ましい。また、酸化物５３０として、Ｉｎ－Ｇａ酸化物、Ｉｎ－Ｚｎ酸化物、Ｉｎ酸化物などを用いてもよい。

［０２４７］

また、トランジスタ５００には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

［０２４８］

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。また、酸化物５３０中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合しV_OHを形成する場合がある。V_OHはドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャ

リアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物５３０中のV_OHをできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、V_OHが十分低減された金属酸化物を得るには、金属酸化物中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。V_OHなどの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０２４９］

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

［０２５０］

よって、金属酸化物を酸化物５３０に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる水素濃度を、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０２５１］

また、酸化物５３０に金属酸化物を用いる場合、当該金属酸化物は、バンドギャップが大きく、真性（Ｉ型ともいう。）、又は実質的に真性である半導体であって、かつチャネル形成領域の金属酸化物のキャリア濃度は、1×10^{18}ｃｍ$^{-3}$未満であることが好ましく、1×10^{17}ｃｍ$^{-3}$未満であることがより好ましく、1×10^{16}ｃｍ$^{-3}$未満であることがさらに好ましく、1×10^{13}ｃｍ$^{-3}$未満であることがさらに好ましく、1×10^{12}ｃｍ$^{-3}$未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、1×10^{-9}ｃｍ$^{-3}$とすることができる。

［０２５２］

また、酸化物５３０に金属酸化物を用いる場合、導電体５４２ａ及び導電体５４２ｂと酸化物５３０とが接することで、酸化物５３０中の酸素が導電体５４２ａ及び導電体５４２ｂへ拡散し、導電体５４２ａ及び導電体５４２ｂが酸化する場合がある。導電体５４２ａ及び導電体５４２ｂが酸化することで、導電体５４２ａ及び導電体５４２ｂの導電率が低下する蓋然性が高い。なお、酸化物５３０中の酸素が導電体５４２ａ及び導電体５４２ｂへ拡散することを、導電体５４２ａ及び導電体５４２ｂが酸化物５３０中の酸素を吸収する、と言い換えることができる。

［０２５３］

また、酸化物５３０中の酸素が導電体５４２ａ及び導電体５４２ｂへ拡散することで、導電体５４２ａと酸化物５３０ｂとの間、および、導電体５４２ｂと酸化物５３０ｂとの間に異層が形成される場合がある。当該異層は、導電体５４２ａ及び導電体５４２ｂよりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体５４２ａ又は導電体５４２ｂと、当該異層と、酸化物５３０ｂとの３層構造は、金属－絶縁体－半導体からなる３層構造とみなすことができ、ＭＩＳ（Ｍｅｔａｌ－Ｉｎｓｕｌａｔｏｒ－Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）構造と呼称する、またはＭＩＳ構造を主としたダイオード接合構造と呼称する場合がある。

［０２５４］

なお、上記異層は、導電体５４２ａ及び導電体５４２ｂと酸化物５３０ｂとの間に形成されることに限られず、例えば、異層が、導電体５４２ａ及び導電体５４２ｂと酸化物５３０ｃとの間に形成される場合がある。

［０２５５］

酸化物５３０においてチャネル形成領域として機能する金属酸化物は、バンドギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

［０２５６］

酸化物５３０は、酸化物５３０ｂ下に酸化物５３０ａを有することで、酸化物５３０ａよりも下方に形成された構造物から、酸化物５３０ｂへの不純物の拡散を抑制することができる。また、酸化物５３０ｂ上に酸化物５３０ｃを有することで、酸化物５３０ｃよりも上方に形成された構造物から、酸化物５３０ｂへの不純物の拡散を抑制することができる。

［０２５７］

なお、酸化物５３０は、各金属原子の原子数比が異なる複数の酸化物層により、積層構造を有することが好ましい。具体的には、酸化物５３０ａに用いる金属酸化物において、構成元素中の元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、構成元素中の元素Ｍの原子数比より、大きいことが好ましい。また、酸化物５３０ａに用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原子数比より大きいことが好ましい。また、酸化物５３０ｂに用いる金属酸化物において、元素Ｍに対するＩｎの原子数比が、酸化物５３０ａに用いる金属酸化物における、元素Ｍに対するＩｎの原子数比より大きいことが好ましい。また、酸化物５３０ｃは、酸化物５３０ａ又は酸化物５３０ｂに用いることができる金属酸化物を、用いることができる。

［０２５８］

具体的には、酸化物５３０ａとして、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝１：３：４、または１：１：０．５の金属酸化物を用いればよい。また、酸化物５３０ｂとして、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝４：２：３、または１：１：１の金属酸化物を用いればよい。また、酸化物５３０ｃとして、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝１：３：４、またＧａとＺｎの原子数比がＧａ：Ｚｎ＝２：１、またはＧａ：Ｚｎ＝２：５の金属酸化物を用いればよい。また、酸化物５３０ｃを積層構造とする場合の具体例としては、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝４：２：３と、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４との積層構造、またＧａとＺｎの原子数比がＧａ：Ｚｎ＝２：１と、ＩｎとＧａとＺｎとの原子数比がＩ

ｎ：Ｇａ：Ｚｎ＝４：２：３との積層構造、ＧａとＺｎの原子数比がＧａ：Ｚｎ＝２：５と、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝４：２：３との積層構造、酸化ガリウムと、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝４：２：３との積層構造などが挙げられる。

［０２５９］

また、例えば、酸化物５３０ａに用いる金属酸化物における元素Ｍに対するＩｎの原子数比が、酸化物５３０ｂに用いる金属酸化物における元素Ｍに対するＩｎの原子数比より小さい場合、酸化物５３０ｂとして、ＩｎとＧａとＺｎとの原子数比がＩｎ：Ｇａ：Ｚｎ＝５：１：６またはその近傍、Ｉｎ：Ｇａ：Ｚｎ＝５：１：３またはその近傍、Ｉｎ：Ｇａ：Ｚｎ＝１０：１：３またはその近傍などの組成であるＩｎ－Ｇａ－Ｚｎ酸化物を用いることができる。

［０２６０］

また、上述した以外の組成としては、酸化物５３０ｂには、例えば、Ｉｎ：Ｚｎ＝２：１の組成、Ｉｎ：Ｚｎ＝５：１の組成、Ｉｎ：Ｚｎ＝１０：１の組成、これらのいずれか一の近傍の組成などを有する金属酸化物を用いることができる。

［０２６１］

これらの酸化物５３０ａ、酸化物５３０ｂ、酸化物５３０ｃを上記の原子数比の関係を満たして組み合わせることが好ましい。例えば、酸化物５３０ａ、および酸化物５３０ｃを、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４の組成およびその近傍の組成を有する金属酸化物、酸化物５３０ｂを、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３から４．１の組成およびその近傍の組成を有する金属酸化物とすることが好ましい。なお、上記組成は、基体上に形成された酸化物中の原子数比、またはスパッターゲットにおける原子数比を示す。また、酸化物５３０ｂの組成として、Ｉｎの比率を高めることで、トランジスタのオン電流、または電界効果移動度などを高めることが出来るため好適である。

［０２６２］

また、酸化物５３０ａ及び酸化物５３０ｃの伝導帯下端のエネルギーが、酸化物５３０ｂの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物５３０ａ及び酸化物５３０ｃの電子親和力が、酸化物５３０ｂの電子親和力より小さいことが好ましい。

［０２６３］

ここで、酸化物５３０ａ、酸化物５３０ｂ、及び酸化物５３０ｃの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物５３０ａ、酸化物５３０ｂ、及び酸化物５３０ｃの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物５３０ａと酸化物５３０ｂとの界面、及び酸化物５３０ｂと酸化物５３０ｃとの界面において形成される混合層の欠陥準位密度を低くするとよい。

［０２６４］

具体的には、酸化物５３０ａと酸化物５３０ｂ、酸化物５３０ｂと酸化物５３０ｃが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物５３０ｂがＩｎ－Ｇａ－Ｚｎ酸化物の場合、酸化物５３０ａ及び酸化物５３０ｃとして、Ｉｎ－Ｇａ－Ｚｎ酸化物、Ｇａ－Ｚｎ酸化物、酸化ガリウムなどを用いるとよい。

［０２６５］

このとき、キャリアの主たる経路は酸化物５３０ｂとなる。酸化物５３０ａ、酸化物５３０ｃを上述の構成とすることで、酸化物５３０ａと酸化物５３０ｂとの界面、及び酸化物５３０ｂと酸化

物５３０ｃとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ５００は高いオン電流を得られる。

［０２６６］

酸化物５３０ｂ上には、ソース電極、及びドレイン電極として機能する導電体５４２ａ、及び導電体５４２ｂが設けられる。導電体５４２ａ、及び導電体５４２ｂとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

［０２６７］

また、図８Ａ、及び図８Ｂでは、導電体５４２ａ、及び導電体５４２ｂを単層構造として示したが、２層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

［０２６８］

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

［０２６９］

また、図８Ａに示すように、酸化物５３０の、導電体５４２ａ及び導電体５４２ｂとの界面とその近傍には、それぞれ、低抵抗領域として、領域５４３ａ、及び領域５４３ｂが形成される場合がある。このとき、領域５４３ａはソース領域又はドレイン領域の一方として機能し、領域５４３ｂはソース領域又はドレイン領域の他方として機能する。また、領域５４３ａと領域５４３ｂに挟まれる領域にチャネル形成領域が形成される。

［０２７０］

酸化物５３０と接するように導電体５４２ａ（導電体５４２ｂ）を設けることで、領域５４３ａ（領域５４３ｂ）の酸素濃度が低減する場合がある。また、領域５４３ａ（領域５４３ｂ）に導電体５４２ａ（導電体５４２ｂ）に含まれる金属と、酸化物５３０の成分とを含む金属化合物層が形成される場合がある。このような場合、領域５４３ａ（領域５４３ｂ）のキャリア濃度が増加し、領域５４３ａ（領域５４３ｂ）は、低抵抗領域となる。

［０２７１］

絶縁体５４４は、導電体５４２ａ、及び導電体５４２ｂを覆うように設けられ、導電体５４２ａ、及び導電体５４２ｂの酸化を抑制する。このとき、絶縁体５４４は、酸化物５３０及び絶縁体５２４のそれぞれの側面を覆い、絶縁体５２２と接するように設けられてもよい。

［０２７２］

絶縁体５４４として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体５４４として、窒化酸化シリコン又は窒化シリコンなども用いることができる。

［０２７３］

特に、絶縁体５４４として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体５４２ａ、及び導電体５４２ｂが耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない場合、絶縁体５４４は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

［０２７４］

絶縁体５４４を有することで、絶縁体５８０に含まれる水、及び水素などの不純物が酸化物５３０ｂに拡散することを抑制することができる。また、絶縁体５８０が有する過剰酸素により、導電体５６０が酸化するのを抑制することができる。

［０２７５］

絶縁体５５０は、第１のゲート絶縁膜として機能する。絶縁体５５０は、酸化物５３０ｃの内側（上面、及び側面）に接して配置することが好ましい。絶縁体５５０は、上述した絶縁体５２４と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

［０２７６］

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

［０２７７］

加熱により酸素が放出される絶縁体を、絶縁体５５０として、酸化物５３０ｃの上面に接して設けることにより、絶縁体５５０から、酸化物５３０ｃを通じて、酸化物５３０ｂのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体５２４と同様に、絶縁体５５０中の水又は水素などの不純物濃度が低減されていることが好ましい。絶縁体５５０の膜厚は、１ｎｍ以上２０ｎｍ以下とすることが好ましい。

［０２７８］

また、絶縁体５５０が有する過剰酸素を、効率的に酸化物５３０へ供給するために、絶縁体５５０と導電体５６０との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体５５０から導電

体５６０への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体５５０から導電体５６０への過剰酸素の拡散が抑制される。つまり、酸化物５３０へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体５６０の酸化を抑制することができる。当該金属酸化物としては、絶縁体５４４に用いることができる材料を用いればよい。

［０２７９］

なお、絶縁体５５０は、第２のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、ｈｉｇｈ－ｋ材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

［０２８０］

第１のゲート電極として機能する導電体５６０は、図８Ａ、及び図８Ｂでは２層構造として示しているが、単層構造でもよいし、３層以上の積層構造であってもよい。

［０２８１］

導電体５６０ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、NO、NO_2など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体５６０ａが酸素の拡散を抑制する機能を持つことにより、絶縁体５５０に含まれる酸素により、導電体５６０ｂが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。また、導電体５６０ａとして、酸化物５３０に適用できる酸化物半導体を用いることができる。その場合、導電体５６０ｂをスパッタリング法で成膜することで、導電体５６０ａの電気抵抗値を低下させて導電体にすることができる。これをＯＣ（Ｏｘｉｄｅ　Ｃｏｎｄｕｃｔｏｒ）電極と呼称することができる。

［０２８２］

また、導電体５６０ｂは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体５６０ｂは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体５６０ｂは積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層構造としてもよい。

［０２８３］

絶縁体５８０は、絶縁体５４４を介して、導電体５４２ａ、及び導電体５４２ｂ上に設けられる。絶縁体５８０は、過剰酸素領域を有することが好ましい。例えば、絶縁体５８０として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などを有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

［０２８４］

絶縁体５８０は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体５８０を、酸化物５３０ｃと接して設けることで、絶縁体５８０中の酸素を、酸化物５３０ｃを通じて、酸化物５３０へと効率良く供給することができる。なお、絶縁体５８０中の水又は水素などの不純物濃度が低減されていることが好ましい。

［０２８５］

絶縁体５８０の開口は、導電体５４２ａと導電体５４２ｂの間の領域に重畳して形成される。これにより、導電体５６０は、絶縁体５８０の開口、及び導電体５４２ａと導電体５４２ｂに挟まれた領域に、埋め込まれるように形成される。

［０２８６］

記憶装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体５６０の導電性が下がらないようにする必要がある。そのために導電体５６０の膜厚を大きくすると、導電体５６０はアスペクト比が高い形状となりうる。本実施の形態では、導電体５６０を絶縁体５８０の開口に埋め込むように設けるため、導電体５６０をアスペクト比の高い形状にしても、工程中に導電体５６０を倒壊させることなく、形成することができる。

［０２８７］

絶縁体５７４は、絶縁体５８０の上面、導電体５６０の上面、及び絶縁体５５０の上面に接して設けられることが好ましい。絶縁体５７４をスパッタリング法で成膜することで、絶縁体５５０、及び絶縁体５８０へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物５３０中に酸素を供給することができる。

［０２８８］

例えば、絶縁体５７４として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

［０２８９］

特に、酸化アルミニウムはバリア性が高く、０．５ｎｍ以上３．０ｎｍ以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

［０２９０］

トランジスタ５００を囲むように、かつ絶縁体５１３が露出するように、絶縁体５７４、絶縁体５８０、絶縁体５４４、絶縁体５２２、絶縁体５２０、絶縁体５１６、及び絶縁体５１４の一部分を除去して開口を形成し、水素、または水に対するバリア性が高い絶縁体５７６を形成する。このため、絶縁体５７４、絶縁体５８０、絶縁体５４４、絶縁体５２２、絶縁体５２０、絶縁体５１６、及び絶縁体５１４のそれぞれの側面は、絶縁体５７６と接する。これにより、トランジスタ５００に対して、外部から水分、および水素が侵入することを防止することができる。

［０２９１］

絶縁体５１３及び絶縁体５７６は、上述したとおり、水素（例えば、水素原子、水素分子などの少なくとも一）又は水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体５１３及び絶縁体５７６として、水素バリア性が高い材料である、窒化シリコン又は窒化酸化シリコンを用

いることが好ましい。これにより、酸化物５３０に水素等が拡散することを抑制することができるので、トランジスタ５００の特性が低下することを抑制することができる。よって、本発明の一態様の記憶装置の信頼性を高めることができる。

［０２９２］

また、絶縁体５７６の上に、層間膜、平坦化膜として機能する絶縁体５８１を設けることが好ましい。絶縁体５８１は、絶縁体５２４などと同様に、膜中の水又は水素などの不純物濃度が低減されていることが好ましい。

［０２９３］

また、絶縁体５８１、絶縁体５７６、絶縁体５７４、絶縁体５８０、及び絶縁体５４４に形成された開口の側面に、絶縁体５５２が設けられる。そして、絶縁体５５２の側面と当該開口の底面に接するように、導電体５４０ａ及び導電体５４０ｂが設けられる。なお、図８Ａでは、導電体５４０ａ及び導電体５４０ｂは、導電体５６０を挟んで対向して設けられている。

［０２９４］

絶縁体５５２は、例えば、絶縁体５８１、絶縁体５７６、絶縁体５７４、絶縁体５８０、及び絶縁体５４４に接して設けられる。絶縁体５５２は、水素又は水分子の拡散を抑制する機能を有することが好ましい。たとえば、絶縁体５５２として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、又は窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるので、絶縁体５５２として用いると好適である。絶縁体５５２として水素バリア性が高い材料を用いることにより、水又は水素等の不純物が、絶縁体５８０等から導電体５４０ａ及び導電体５４０ｂを通じて酸化物５３０に拡散することを抑制することができる。また、絶縁体５８０に含まれる酸素が導電体５４０ａ及び導電体５４０ｂに吸収されることを抑制することができる。以上により、本発明の一態様の記憶装置の信頼性を高めることができる。

［０２９５］

導電体５４０ａ、及び導電体５４０ｂとしては、例えば、導電体３２８、導電体３３０、導電体５０３などと同様の材料を用いて設けることができる。特に、導電体５４０ａ、及び導電体５４０ｂのそれぞれは、２層以上の積層構造として、絶縁体５５２に接する１層目には、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を形成し、２層目以降にはタングステン、銅、アルミニウムなどを主成分とする、導電性が高い導電性材料を形成することが好ましい。

［０２９６］

図７において、絶縁体５８１上には、絶縁体５８２が設けられている。絶縁体５８２は、酸素、及び／又は水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体５８２には、絶縁体５１４と同様の材料を用いることができる。例えば、絶縁体５８２には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

［０２９７］

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ５００への混入を防止することができる。また、トランジスタ５００を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ５００に対する保護膜として用いることに適して

いる。

［０２９８］

また、絶縁体５８２上には、絶縁体５８６が設けられている。絶縁体５８６は、絶縁体３２０と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５８６として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

［０２９９］

また、図７、及び図８Ａに示す通り、絶縁体５２０、絶縁体５２２、絶縁体５２４、絶縁体５４４、絶縁体５８０、絶縁体５７４、絶縁体５７６、絶縁体５８１、絶縁体５８２、及び絶縁体５８６には、導電体５４０ａ、導電体５４０ｂ、導電体５４６等が埋め込まれている。なお、導電体５４６としては、例えば、導電体５４０ａ、及び導電体５４０ｂに適用できる材料を用いることができる。

［０３００］

導電体５４０ａ、導電体５４０ｂ、及び導電体５４６は、トランジスタ５００、トランジスタ３００、後述する導電体４５０、導電体４６０などを接続するプラグ、又は配線として機能する。また、導電体５４０ａ、及び導電体５４０ｂは、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。特に、図７では、導電体５４６は、導電体５１８と接触するように形成されている。

［０３０１］

また、導電体５４０ａ、導電体５４０ｂ、導電体５４６、絶縁体５８６上に、導電体４５０を設けてもよい。導電体４５０は、後述する導電体４６０、トランジスタ３００、トランジスタ５００などを接続する配線として機能する。特に、図７では、導電体４５０は、導電体５４０ａ、導電体５４０ｂ、導電体５４６などと接触するように形成されている。

［０３０２］

導電体４５０には、例えば、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

［０３０３］

図７では、導電体４５０は単層構造を示したが、当該構成に限定されず、２層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

［０３０４］

次に、メモリ素子４００の構成について説明する。なお、本構成例では、メモリ素子４００は、図３Ａ、図３Ｂなどのメモリセル ＭＣの抵抗変化デバイス ＭＤに含まれている ＭＴＪ素子 ＭＥとする。

［０３０５］

メモリ素子４００は、導電体４５０上の一部の領域に設けられている。メモリ素子４００は、導電体４０１と、絶縁体４０２と、導電体４０３と、導電体４０４と、を有し、導電体４０１、絶縁体４０２、導電体４０３、及び導電体４０４は、この順に当該領域に積層されている。

［０３０６］

導電体４０１は、メモリ素子４００における自由層であって、図４におけるＭＴＪ素子ＭＥの層ＦＬに相当する。絶縁体４０２は、メモリ素子４００におけるトンネル絶縁体であって、図４におけるＭＴＪ素子ＭＥの層ＴＩＳに相当する。導電体４０３は、ＭＴＪ素子ＭＥにおける固定層であって、図４におけるＭＴＪ素子ＭＥの層ＲＬに相当する。そのため、導電体４０１、絶縁体４０２、及び導電体４０３のそれぞれに適用できる材料については、図４のＭＴＪ素子ＭＥの説明を参酌する。

［０３０７］

導電体４０４は、導電体４０１と、絶縁体４０２と、導電体４０３と、を形成するためのハードマスクとして設けられたものである。そのため、導電体４０４は、例えば、導電体３２８、導電体３３０などに適用できる材料を用いることができる。

［０３０８］

絶縁体４５２は、絶縁体５８６と、導電体４５０と、導電体４０１と、絶縁体４０２と、導電体４０３と、導電体４０４と、を覆うように設けられている。

［０３０９］

絶縁体４５２としては、例えば、絶縁体３２４などと同様に、トランジスタ５００が設けられる領域に、水、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。つまり、絶縁体４５２としては、絶縁体３２４などに適用できる材料を用いることが好ましい。

［０３１０］

絶縁体４５２上には、絶縁体４５４が設けられている。絶縁体４５４は、導電体４５０、メモリ素子４００、絶縁体４５２などによって生じる段差を平坦化する平坦化膜として機能する。また、絶縁体４５４は、例えば、絶縁体４５４となる絶縁体が絶縁体４５２上に成膜された後に、化学機械研磨（ＣＭＰ）法等を用いて、導電体４０４が露出するまで平坦化処理を行うことで、形成することができる。

［０３１１］

絶縁体４５４、絶縁体４５２、及び導電体４０４上には、絶縁体４５６が設けられている。

［０３１２］

絶縁体４５４、及び絶縁体４５６としては、例えば、絶縁体３２６と同様に、比誘電率が比較的低い絶縁体を用いることが好ましい。つまり、絶縁体４５４、及び絶縁体４５６としては、絶縁体３２６に適用できる材料を用いることが好ましい。

［０３１３］

絶縁体４５６には、導電体４５７が埋め込まれている。また、絶縁体４５２、絶縁体４５４、及び絶縁体４５６には、導電体４５８が埋め込まれている。なお、導電体４５７、及び導電体４５８は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

［０３１４］

絶縁体４５６、導電体４５７、及び導電体４５８上には、導電体４６０が設けられている。導電体４６０は、例えば、メモリ素子４００に電気的に接続されている配線とすることができる。具体的には、図４のメモリセルＭＣに示している配線ＲＢＬとすることができる。

［０３１５］

導電体４６０としては、例えば、導電体４５０に適用できる材料を用いることができる。

［０３１６］

絶縁体４５６上には、絶縁体４５９が設けられている。また、場合によっては、導電体４５７、及び／又は導電体４５８上にも絶縁体４５９が設けられていてもよい。絶縁体４５９は、例えば、配線間を分離するための絶縁体として機能する。なお、図７の記憶装置ＭＤＶでは、絶縁体４５９は、化学機械研磨（ＣＭＰ）法等などの平坦化処理によって、導電体４６０と同じ高さとなっている。

［０３１７］

絶縁体４５９としては、例えば、例えば、絶縁体３２６と同様に、比誘電率が比較的低い絶縁体を用いることが好ましい。つまり、絶縁体４５９としては、絶縁体３２６に適用できる材料を用いることが好ましい。

［０３１８］

また、導電体４６０、及び絶縁体４５９上には、絶縁体４６２が設けられている。

［０３１９］

絶縁体４６２は、例えば、上層と下層のそれぞれの層ＯＳＬ同士で、水、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。そのため、絶縁体４６２としては、例えば、絶縁体３２４などと同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。

［０３２０］

また、絶縁体４６２の上方には、層ＯＳＬ［２］（図示しない。）乃至層ＯＳＬ［ｐ］が設けられており、層ＯＳＬ［２］乃至層ＯＳＬ［ｐ］は、層ＯＳＬ［１］と同様の工程で作製することができる。このため、絶縁体４６２は、絶縁体５１０と同様の材料として、形成してもよい。また、層ＯＳＬ［２］乃至層ＯＳＬ［ｐ］を、層ＯＳＬ［１］と同様の工程で作製することより、層ＯＳＬ［１］に含まれているメモリセルアレイＭＣＡの上方に、例えば、層ＯＳＬ［２］乃至層ＯＳＬ［ｐ］のそれぞれのメモリセルアレイＭＣＡを積層することができる。換言すると、層ＯＳＬ［１］に含まれているメモリセル６００の上方に、層ＯＳＬ［２］乃至層ＯＳＬ［ｐ］のそれぞれのメモリセル６００を積層することができる。なお、図７に示す記憶装置ＭＤＶの構成例は、図１Ｂの記憶装置ＭＤＶに適用することができる。

［０３２１］

なお、図７では、メモリセル６００を図３Ａのメモリセルとした記憶装置ＭＤＶの構成例を示したが、本発明の一態様は、これに限定されない。

［０３２２］

例えば、メモリセル６００を図３Ｃのメモリセルとして記憶装置ＭＤＶを構成してもよい。図９は、メモリセル６００を図３Ｃのメモリセルとした記憶装置ＭＤＶの構成を示している。

［０３２３］

具体的には、図９の記憶装置ＭＤＶにおいて、トランジスタ５００Ａは、図３Ｃのトランジスタ Ｍ４に相当し、トランジスタ５００Ｂは、トランジスタＭ３に相当し、メモリ素子４００は、抵抗変化デバイスＭＤに相当する。

［０３２４］

ところで、図９の記憶装置ＭＤＶにおいて、トランジスタ５００Ａとトランジスタ５００Ｂは、絶縁体５２４と、酸化物５３０ａと、酸化物５３０ｂと、導電体５４２ａ又は導電体５４２ｂの一方と、を互いに共有するように形成されている。そして、絶縁体５８０、及び導電体５４２には、酸化物５３０に達する開口部が２か所設けられており、それぞれの開口部に酸化物５３０ｃと、絶縁体５５０と、導電体５６０と、が設けられている。これにより、トランジスタ５００Ａの第１端子と、トランジスタ５００Ｂの第１端子と、は導電体５４２ａ又は導電体５４２ｂの一方を互いに共有する構成として設けることができる。また、トランジスタ５００Ａとトランジスタ５００Ｂとの形成されている面積を、トランジスタ５００Ａとトランジスタ５００Ｂとを別々に形成した面積よりも小さくすることができる。これにより、メモリセル６００を形成するための領域を小さくすることができるため、ビット密度として１ビット当たりの面積を小さくすることができる。

［０３２５］

図９の記憶装置ＭＤＶにおいて、トランジスタ５００Ａの第１端子は、トランジスタ５００Ｂの第１端子に電気的に接続され、トランジスタ５００Ｂの第２端子は、メモリ素子４００の第１端子に電気的に接続され、メモリ素子４００の第２端子は、トランジスタ５００Ａの第２端子に電気的に接続されている。

［０３２６］

なお、図３Ｃの配線ＳＬは、例えば、トランジスタ５００Ａの第１端子と、トランジスタ５００Ｂの第１端子と、に電気的に接続されている導電体４５０とすることができる。また、図３Ｃの配線ＢＬは、例えば、トランジスタ５００Ｂの第２端子とメモリ素子４００との間に電気的に接続されている導電体４５０とすることができる。

［０３２７］

また、図３ＣのＷＬａは、例えば、トランジスタ５００Ｂのゲートに相当する導電体５６０とすることができる。また、図３ＣのＷＬｂは、例えば、トランジスタ５００Ａのゲートに相当する導電体５６０とすることができる。

［０３２８］

また、例えば、メモリセル６００を図６Ａ乃至図６ＣのメモリセルＭＣとして記憶装置ＭＤＶを構成してもよい。図１０は、メモリセル６００を図６Ａ乃至図６ＣのメモリセルＭＣとした記憶装置ＭＤＶの構成を示している。

［０３２９］

具体的には、図１０の記憶装置ＭＤＶにおいて、トランジスタ５００Ａは、図６Ａ乃至図６Ｃのトランジスタ Ｍ１０に相当し、メモリ素子４００は、図６ＡのＭＴＪ素子、図６Ｂの抵抗変化素子ＲＭ、図６Ｃの相変化メモリＰＣＭ１などに相当する。このため、図１０の記憶装置ＭＤＶにおいて、トランジスタ５００Ａの第１端子は、メモリ素子４００の第１端子に電気的に接続されている。

［０３３０］

なお、図６Ａ乃至図６Ｃの配線ＳＬは、例えば、トランジスタ５００Ａの第２端子に電気的に接続されている、導電体４５０とすることができる。また、図６Ａ乃至図６Ｃの配線ＢＬは、例えば、

メモリ素子４００の第２端子に電気的に接続されている、導電体４６０とすることができる。また、図６Ａ乃至図６Ｃの配線ＷＬは、例えば、トランジスタ５００Ａのゲートに電気的に接続されている、導電体５６０とすることができる。

［０３３１］

なお、メモリ素子４００の構成は、図６Ａ乃至図６ＣのそれぞれのメモリセルMCごとに異なっている。そのため、図１０の記憶装置MDVでは、メモリ素子４００が形成されている箇所を縦縞のハッチングで示している。また、図１０では、メモリ素子４００の側面に絶縁体４５２が設けられているが、メモリ素子４００の構成によっては、メモリ素子４００の側面に絶縁体４５２が設けられていなくてもよい。

［０３３２］

上記の構成を、記憶装置として適用することによって、消費電力が低い記憶装置を提供することができる。又は、記憶容量が大きい記憶装置を提供することができる。又は、新規な記憶装置を提供することができる。

［０３３３］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０３３４］

（実施の形態３）

本実施の形態では、上記の実施の形態で説明したＯＳトランジスタに用いることができる金属酸化物（以下、酸化物半導体ともいう。）について説明する。

［０３３５］

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

［０３３６］

＜結晶構造の分類＞

まず、酸化物半導体における、結晶構造の分類について、図１１Ａを用いて説明を行う。図１１Ａは、酸化物半導体、代表的にはＩＧＺＯ（Ｉｎと、Ｇａと、Ｚｎと、を含む金属酸化物）の結晶構造の分類を説明する図である。

［０３３７］

図１１Ａに示すように、酸化物半導体は、大きく分けて「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌｌｉｎｅ（結晶性）」と、「Ｃｒｙｓｔａｌ（結晶）」と、に分類される。また、「Ａｍｏｒｐｈｏｕｓ」の中には、ｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓが含まれる。また、「Ｃｒｙｓｔａｌｌｉｎｅ」の中には、ＣＡＡＣ（ｃ－ａｘｉｓ－ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ）、ｎｃ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ）、及びＣＡＣ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ　Ｃｏｍｐｏｓｉｔｅ）が含まれる（ｅｘｃｌｕｄｉｎｇ　ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ　ａｎｄ　ｐｏｌｙ　ｃｒｙｓｔａｌ）。なお、「Ｃｒｙｓｔａｌｌｉｎｅ」の分類には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、ｐｏｌｙ　ｃｒｙｓｔａｌ、及びｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓは除かれる。また、「Ｃｒｙｓｔａｌ」の中には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、及びｐｏ

ｌｙ　ｃｒｙｓｔａｌが含まれる。

［０３３８］

なお、図１１Ａに示す太枠内の構造は、「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌ（結晶）」との間の中間状態であり、新しい境界領域（Ｎｅｗ　ｃｒｙｓｔａｌｌｉｎｅ　ｐｈａｓｅ）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Ａｍｏｒｐｈｏｕｓ（無定形）」、及び「Ｃｒｙｓｔａｌ（結晶）」とは全く異なる構造と言い換えることができる。

［０３３９］

なお、膜または基板の結晶構造は、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）スペクトルを用いて評価することができる。ここで、「Ｃｒｙｓｔａｌｌｉｎｅ」に分類されるＣＡＡＣ－ＩＧＺＯ膜のＧＩＸＤ（Ｇｒａｚｉｎｇ－Ｉｎｃｉｄｅｎｃｅ　ＸＲＤ）測定で得られるＸＲＤスペクトルを図１１Ｂに示す（縦軸は強度（Ｉｎｔｅｎｓｉｔｙ）を任意単位（ａ．ｕ．）で表している）。なお、ＧＩＸＤ法は、薄膜法またはＳｅｅｍａｎｎ－Ｂｏｈｌｉｎ法ともいう。以降、図１１Ｂに示すＧＩＸＤ測定で得られるＸＲＤスペクトルを、単にＸＲＤスペクトルと記す場合がある。なお、図１１Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］近傍である。また、図１１Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の厚さは、５００ｎｍである。

［０３４０］

図１１Ｂに示すように、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、２θ＝３１°近傍に、ｃ軸配向を示すピークが検出される。なお、図１１Ｂに示すように、２θ＝３１°近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

［０３４１］

また、膜または基板の結晶構造は、極微電子線回折法（ＮＢＥＤ：Ｎａｎｏ　Ｂｅａｍ　Ｅｌｅｃｔｒｏｎ　Ｄｉｆｆｒａｃｔｉｏｎ）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。ＣＡＡＣ－ＩＧＺＯ膜の回折パターンを、図１１Ｃに示す。図１１Ｃは、電子線を基板に対して平行に入射するＮＢＥＤによって観察される回折パターンである。なお、図１１Ｃに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］近傍である。また、極微電子線回折法では、プローブ径を１ｎｍとして電子線回折が行われる。

［０３４２］

図１１Ｃに示すように、ＣＡＡＣ－ＩＧＺＯ膜の回折パターンでは、ｃ軸配向を示す複数のスポットが観察される。

［０３４３］

＜＜酸化物半導体の構造＞＞

なお、酸化物半導体は、結晶構造に着目した場合、図１１Ａとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のＣＡＡＣ－ＯＳ、及びｎｃ－ＯＳがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（ａ－ｌｉｋｅ　ＯＳ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、非晶質酸化

物半導体、などが含まれる。

［０３４４］

ここで、上述のＣＡＡＣ－ＯＳ、ｎｃ－ＯＳ、及びａ－ｌｉｋｅ　ＯＳの詳細について、説明を行う。

［０３４５］

［ＣＡＡＣ－ＯＳ］

ＣＡＡＣ－ＯＳは、複数の結晶領域を有し、当該複数の結晶領域はｃ軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、ＣＡＡＣ－ＯＳ膜の厚さ方向、ＣＡＡＣ－ＯＳ膜の被形成面の法線方向、またはＣＡＡＣ－ＯＳ膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、ＣＡＡＣ－ＯＳは、ａ－ｂ面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、ＣＡＡＣ－ＯＳは、ｃ軸配向し、ａ－ｂ面方向には明らかな配向をしていない酸化物半導体である。

［０３４６］

なお、上記複数の結晶領域のそれぞれは、１つまたは複数の微小な結晶（最大径が１０ｎｍ未満である結晶）で構成される。結晶領域が１つの微小な結晶で構成されている場合、当該結晶領域の最大径は１０ｎｍ未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十ｎｍ程度となる場合がある。

［０３４７］

また、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Ｍは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、ＣＡＡＣ－ＯＳは、インジウム（Ｉｎ）、及び酸素を有する層（以下、Ｉｎ層）と、元素Ｍ、亜鉛（Ｚｎ）、及び酸素を有する層（以下、（Ｍ，Ｚｎ）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Ｍは、互いに置換可能である。よって、（Ｍ，Ｚｎ）層にはインジウムが含まれる場合がある。また、Ｉｎ層には元素Ｍが含まれる場合がある。なお、Ｉｎ層にはＺｎが含まれる場合もある。当該層状構造は、例えば、高分解能ＴＥＭ像において、格子像として観察される。

［０３４８］

ＣＡＡＣ－ＯＳ膜に対し、例えば、ＸＲＤ装置を用いて構造解析を行うと、θ／２θ スキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、ｃ軸配向を示すピークが２θ＝３１°またはその近傍に検出される。なお、ｃ軸配向を示すピークの位置（２θ の値）は、ＣＡＡＣ－ＯＳを構成する金属元素の種類、組成などにより変動する場合がある。

［０３４９］

また、例えば、ＣＡＡＣ－ＯＳ膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

［０３５０］

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、

五角形、七角形などの格子配列を有する場合がある。なお、ＣＡＡＣ－ＯＳにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、ＣＡＡＣ－ＯＳが、ａ－ｂ面方向において酸素原子の配列が稠密でないこと、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

［０３５１］

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（ｐｏｌｙｃｒｙｓｔａｌ）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないＣＡＡＣ－ＯＳは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、ＣＡＡＣ－ＯＳを構成するには、Ｚｎを有する構成が好ましい。例えば、Ｉｎ－Ｚｎ酸化物、及びＩｎ－Ｇａ－Ｚｎ酸化物は、Ｉｎ酸化物よりも結晶粒界の発生を抑制できるため好適である。

［０３５２］

ＣＡＡＣ－ＯＳは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、ＣＡＡＣ－ＯＳは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、及び欠陥の生成などによって低下する場合があるため、ＣＡＡＣ－ＯＳは不純物、及び欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、ＣＡＡＣ－ＯＳを有する酸化物半導体は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する酸化物半導体は熱に強く、信頼性が高い。また、ＣＡＡＣ－ＯＳは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、ＯＳトランジスタにＣＡＡＣ－ＯＳを用いると、製造工程の自由度を広げることが可能となる。

［０３５３］

［ｎｃ－ＯＳ］

ｎｃ－ＯＳは、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。別言すると、ｎｃ－ＯＳは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、１ｎｍ以上１０ｎｍ以下、特に１ｎｍ以上３ｎｍ以下であることから、当該微小な結晶をナノ結晶ともいう。また、ｎｃ－ＯＳは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、ｎｃ－ＯＳは、分析方法によっては、ａ－ｌｉｋｅ　ＯＳ、及び非晶質酸化物半導体と区別が付かない場合がある。例えば、ｎｃ－ＯＳ膜に対し、ＸＲＤ装置を用いて構造解析を行うと、θ／２θ スキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、結晶性を示すピークが検出されない。また、ｎｃ－ＯＳ膜に対し、ナノ結晶よりも大きいプローブ径（例えば５０ｎｍ以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、ｎｃ－ＯＳ膜に対し、ナノ結晶の大きさと近いかナノ結晶より小さいプローブ径（例えば１ｎｍ以上３０ｎｍ以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

［０３５４］

［ａ－ｌｉｋｅ　ＯＳ］

ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳと非晶質酸化物半導体との間の構造を有する酸化物半導体で

ある。ａ－ｌｉｋｅ　ＯＳは、鬆又は低密度領域を有する。即ち、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳ及びＣＡＡＣ－ＯＳと比べて、結晶性が低い。また、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳ及びＣＡＡＣ－ＯＳと比べて、膜中の水素濃度が高い。

［０３５５］

＜＜酸化物半導体の構成＞＞

次に、上述のＣＡＣ－ＯＳの詳細について、説明を行う。なお、ＣＡＣ－ＯＳは材料構成に関する。

［０３５６］

［ＣＡＣ－ＯＳ］

ＣＡＣ－ＯＳとは、例えば、金属酸化物を構成する元素が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

［０３５７］

さらに、ＣＡＣ－ＯＳとは、第１の領域と、第２の領域と、に材料が分離することでモザイク状となり、当該第１の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、ＣＡＣ－ＯＳは、当該第１の領域と、当該第２の領域とが、混合している構成を有する複合金属酸化物である。

［０３５８］

ここで、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳを構成する金属元素に対するＩｎ、Ｇａ、およびＺｎの原子数比のそれぞれを、［Ｉｎ］、［Ｇａ］、および［Ｚｎ］と表記する。例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳにおいて、第１の領域は、［Ｉｎ］が、ＣＡＣ－ＯＳ膜の組成における［Ｉｎ］よりも大きい領域である。また、第２の領域は、［Ｇａ］が、ＣＡＣ－ＯＳ膜の組成における［Ｇａ］よりも大きい領域である。または、例えば、第１の領域は、［Ｉｎ］が、第２の領域における［Ｉｎ］よりも大きく、且つ、［Ｇａ］が、第２の領域における［Ｇａ］よりも小さい領域である。また、第２の領域は、［Ｇａ］が、第１の領域における［Ｇａ］よりも大きく、且つ、［Ｉｎ］が、第１の領域における［Ｉｎ］よりも小さい領域である。

［０３５９］

具体的には、上記第１の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第２の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第１の領域を、Ｉｎを主成分とする領域と言い換えることができる。また、上記第２の領域を、Ｇａを主成分とする領域と言い換えることができる。

［０３６０］

なお、上記第１の領域と、上記第２の領域とは、明確な境界が観察できない場合がある。

［０３６１］

例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳでは、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて取得したＥＤＸマッピングにより、Ｉｎを主成分とする領域（第１の領域）と、Ｇａを主成分とする領域（第２の領域）とが、偏在し、混合している構造を有することが確認できる。

［０３６２］

ＣＡＣ－ＯＳをトランジスタに用いる場合、第１の領域に起因する導電性と、第２の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（Ｏｎ／Ｏｆｆさせる機能）をＣＡＣ－ＯＳに付与することができる。つまり、ＣＡＣ－ＯＳとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、ＣＡＣ－ＯＳをトランジスタに用いることで、高いオン電流（I_{on}）、高い電界効果移動度（μ）、および良好なスイッチング動作を実現することができる。

［０３６３］

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、ａ－ｌｉｋｅ　ＯＳ、ＣＡＣ－ＯＳ、ｎｃ－ＯＳ、ＣＡＡＣ－ＯＳのうち、二種以上を有していてもよい。

［０３６４］

＜酸化物半導体を有するトランジスタ＞

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

［０３６５］

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

［０３６６］

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は1×10^{17}ｃｍ$^{-3}$以下、好ましくは1×10^{15}ｃｍ$^{-3}$以下、さらに好ましくは1×10^{13}ｃｍ$^{-3}$以下、より好ましくは1×10^{11}ｃｍ$^{-3}$以下、さらに好ましくは1×10^{10}ｃｍ$^{-3}$未満であり、1×10^{-9}ｃｍ$^{-3}$以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体を呼称する場合がある。

［０３６７］

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

［０３６８］

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

［０３６９］

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

［０３７０］

＜不純物＞

ここで、酸化物半導体中における各不純物の影響について説明する。

［０３７１］

酸化物半導体において、第１４族元素の一つであるシリコン、又は炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコン、又は炭素の濃度と、酸化物半導体との界面近傍のシリコン、又は炭素の濃度（二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる濃度）を、2×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは2×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０３７２］

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、ＳＩＭＳにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは2×10^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０３７３］

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、ＳＩＭＳにより得られる酸化物半導体中の窒素濃度を、5×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは5×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０３７４］

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、ＳＩＭＳにより得られる水素濃度を、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満にする。

［０３７５］

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０３７６］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０３７７］

（実施の形態４）

本実施の形態は、上記実施の形態に示す記憶装置などが形成された半導体ウェハ、及び当該記憶装置が組み込まれた電子部品の一例を示す。

［０３７８］

＜半導体ウェハ＞

初めに、記憶装置などが形成された半導体ウェハの例を、図１２Ａを用いて説明する。

［０３７９］

図１２Ａに示す半導体ウェハ４８００は、ウェハ４８０１と、ウェハ４８０１の上面に設けられた複数の回路部４８０２と、を有する。なお、ウェハ４８０１の上面において、回路部４８０２の無い部分は、スペーシング４８０３であり、ダイシング用の領域である。

［０３８０］

半導体ウェハ４８００は、ウェハ４８０１の表面に対して、前工程によって複数の回路部４８０２を形成することで作製することができる。また、その後に、ウェハ４８０１の複数の回路部４８０２が形成された反対側の面を研削して、ウェハ４８０１を薄膜化してもよい。この工程により、ウェハ４８０１の反りなどを低減し、部品としての小型化を図ることができる。

［０３８１］

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインＳＣＬ１及びスクライブラインＳＣＬ２（ダイシングライン、又は切断ラインと呼ぶ場合がある）に沿って行われる。なお、スペーシング４８０３は、ダイシング工程を容易に行うために、複数のスクライブラインＳＣＬ１が平行になるように設け、複数のスクライブラインＳＣＬ２が平行になるように設け、スクライブラインＳＣＬ１とスクライブラインＳＣＬ２が垂直になるように設けるのが好ましい。

［０３８２］

ダイシング工程を行うことにより、図１２Ｂに示すようなチップ４８００ａを、半導体ウェハ４８００から切り出すことができる。チップ４８００ａは、ウェハ４８０１ａと、回路部４８０２と、スペーシング４８０３ａと、を有する。なお、スペーシング４８０３ａは、極力小さくなるようにするのが好ましい。この場合、隣り合う回路部４８０２の間のスペーシング４８０３の幅が、スクライブラインＳＣＬ１の切りしろと、又はスクライブラインＳＣＬ２の切りしろとほぼ同等の長さであればよい。

［０３８３］

なお、本発明の一態様の素子基板の形状は、図１２Ａに図示した半導体ウェハ４８００の形状に限定されない。例えば、矩形の形状の半導体ウェハあってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

［０３８４］

＜電子部品＞

図１２Ｃに電子部品４７００および電子部品４７００が実装された基板（実装基板４７０４）の斜視図を示す。図１２Ｃに示す電子部品４７００は、モールド４７１１内にチップ４８００ａを有している。なお、図１２Ｃに示すチップ４８００ａには、回路部４８０２が積層された構成を示している。つまり、回路部４８０２として、上記の実施の形態で説明した記憶装置を適用することができる。図１２Ｃは、電子部品４７００の内部を示すために、一部を省略している。電子部品４７００は、モールド４７１１の外側にランド４７１２を有する。ランド４７１２は電極パッド４７１３と電気的に接続され、電極パッド４７１３はチップ４８００ａとワイヤ４７１４によって電気的に接続されている。電子部品４７００は、例えばプリント基板４７０２に実装される。このような

電子部品が複数組み合わされて、それぞれがプリント基板４７０２上で電気的に接続されることで実装基板４７０４が完成する。

［０３８５］

図１２Ｄに電子部品４７３０の斜視図を示す。電子部品４７３０は、ＳｉＰ（Ｓｙｓｔｅｍ ｉｎ ｐａｃｋａｇｅ）またはＭＣＭ（Ｍｕｌｔｉ Ｃｈｉｐ Ｍｏｄｕｌｅ）の一例である。電子部品４７３０は、パッケージ基板４７３２（プリント基板）上にインターポーザ４７３１が設けられ、インターポーザ４７３１上に半導体装置４７３５、および複数の半導体装置４７１０が設けられている。

［０３８６］

電子部品４７３０では、半導体装置４７１０を有する。半導体装置４７１０としては、例えば、上記実施の形態で説明した記憶装置、広帯域メモリ（ＨＢＭ：Ｈｉｇｈ Ｂａｎｄｗｉｄｔｈ Ｍｅｍｏｒｙ）などとすることができる。また、半導体装置４７３５は、ＣＰＵ、ＧＰＵ、ＦＰＧＡ、記憶装置などの集積回路（半導体装置）を用いることができる。

［０３８７］

パッケージ基板４７３２は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ４７３１は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

［０３８８］

インターポーザ４７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ４７３１は、インターポーザ４７３１上に設けられた集積回路をパッケージ基板４７３２に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ４７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板４７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶ（Ｔｈｒｏｕｇｈ Ｓｉｌｉｃｏｎ Ｖｉａ）を用いることも出来る。

［０３８９］

インターポーザ４７３１としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

［０３９０］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０３９１］

また、シリコンインターポーザを用いたＳｉＰ、ＭＣＭなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケ

ージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０３９２］

また、電子部品４７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ４７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品４７３０では、半導体装置４７１０と半導体装置４７３５の高さを揃えることが好ましい。

［０３９３］

電子部品４７３０を他の基板に実装するため、パッケージ基板４７３２の底部に電極４７３３を設けてもよい。図１２Ｄでは、電極４７３３を半田ボールで形成する例を示している。パッケージ基板４７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。また、電極４７３３を導電性のピンで形成してもよい。パッケージ基板４７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０３９４］

電子部品４７３０は、ＢＧＡおよびＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、またはＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）などの実装方法を用いることができる。

［０３９５］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０３９６］

（実施の形態５）

本実施の形態では、上記の実施の形態の記憶装置を備えることができるＣＰＵについて説明する。

［０３９７］

図１３は、上記の実施の形態で説明した記憶装置を一部に用いたＣＰＵの一例の構成を示すブロック図である。

［０３９８］

図１３に示すＣＰＵは、基板１１９０上に、ＡＬＵ１１９１（ＡＬＵ：Ａｒｉｔｈｍｅｔｉｃ　ｌｏｇｉｃ　ｕｎｉｔ、演算回路）、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、タイミングコントローラ１１９５、レジスタ１１９６、レジスタコントローラ１１９７、バスインターフェース１１９８（Ｂｕｓ　Ｉ／Ｆ）、書き換え可能なＲＯＭ１１９９、及びＲＯＭインターフェース１１８９（ＲＯＭ　Ｉ／Ｆ）を有している。基板１１９０は、半導体基板、ＳＯＩ基板、ガラス基板などを用いる。ＲＯＭ１１９９及びＲＯＭインターフェース１１８９は、別チップに設けてもよい。もちろん、図１３に示すＣＰＵは、その構成を簡略化して示した一例にすぎず、実際のＣＰＵはその用途によって多種多様な構成を有している。例えば、図１３に示すＣＰＵまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成、つまりＧＰＵのような構成としてもよい。また、ＣＰＵが内部演算回路、データバスなどで扱えるビット数は、例えば８ビット、１６ビット、３２ビット、６４ビットなどとすることができる。

［０３９９］

バスインターフェース１１９８を介してＣＰＵに入力された命令は、インストラクションデコーダ１１９３に入力され、デコードされた後、ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５に入力される。

［０４００］

ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５は、デコードされた命令に基づき、各種制御を行なう。具体的にＡＬＵコントローラ１１９２は、ＡＬＵ１１９１の動作を制御するための信号を生成する。また、インタラプトコントローラ１１９４は、ＣＰＵのプログラム実行中に、外部の入出力装置、周辺回路などからの割り込み要求を、その優先度、マスク状態などから判断し、処理する。レジスタコントローラ１１９７は、レジスタ１１９６のアドレスを生成し、ＣＰＵの状態に応じてレジスタ１１９６の読み出し、書き込みを行なう。

［０４０１］

また、タイミングコントローラ１１９５は、ＡＬＵ１１９１、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、及びレジスタコントローラ１１９７の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ１１９５は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

［０４０２］

図１３に示すＣＰＵでは、レジスタ１１９６に、メモリセルが設けられている。レジスタ１１９６は、例えば、先の実施の形態に示した記憶装置などを有してもよい。

［０４０３］

図１３に示すＣＰＵにおいて、レジスタコントローラ１１９７は、ＡＬＵ１１９１からの指示に従い、レジスタ１１９６における保持動作の選択を行う。すなわち、レジスタ１１９６が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ１１９６内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ１１９６内のメモリセルへの電源電圧の供給を停止することができる。

［０４０４］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０４０５］

（実施の形態６）

本実施の形態では、上記実施の形態で説明した記憶装置を有する電子機器の一例について説明する。なお、図１４Ａ乃至図１４Ｊ、図１５Ａ乃至図１５Ｅには、当該記憶装置を有する電子部品４７００が各電子機器に含まれている様子を図示している。

［０４０６］

［携帯電話］

図１４Ａに示す情報端末５５００は、情報端末の一種である携帯電話（スマートフォン）である。情報端末５５００は、筐体５５１０と、表示部５５１１と、を有しており、入力用インターフェー

スとして、タッチパネルが表示部５５１１に備えられ、ボタンが筐体５５１０に備えられている。

［０４０７］

情報端末５５００は、上記実施の形態で説明した記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイル（例えば、ウェブブラウザの使用時のキャッシュなど）を保持することができる。

［０４０８］

［ウェアラブル端末］

また、図１４Ｂには、ウェアラブル端末の一例である情報端末５９００が図示されている。情報端末５９００は、筐体５９０１、表示部５９０２、操作ボタン５９０３、操作子５９０４、バンド５９０５などを有する。

［０４０９］

ウェアラブル端末は、先述した情報端末５５００と同様に、上記実施の形態で説明した記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

［０４１０］

［情報端末］

また、図１４Ｃには、デスクトップ型情報端末５３００が図示されている。デスクトップ型情報端末５３００は、情報端末の本体５３０１と、ディスプレイ５３０２と、キーボード５３０３と、を有する。

［０４１１］

デスクトップ型情報端末５３００は、先述した情報端末５５００と同様に、上記実施の形態で説明した記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

［０４１２］

なお、上述では、電子機器としてスマートフォン、ウェアラブル端末、デスクトップ用情報端末を例として、それぞれ図１４Ａ乃至図１４Ｃに図示したが、スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末としては、例えば、ＰＤＡ（Ｐｅｒｓｏｎａｌ　Ｄｉｇｉｔａｌ　Ａｓｓｉｓｔａｎｔ）、ノート型情報端末、ワークステーションなどが挙げられる。

［０４１３］

［電化製品］

また、図１４Ｄには、電化製品の一例として電気冷凍冷蔵庫５８００が図示されている。電気冷凍冷蔵庫５８００は、筐体５８０１、冷蔵室用扉５８０２、冷凍室用扉５８０３等を有する。

［０４１４］

電気冷凍冷蔵庫５８００に上記実施の形態で説明した記憶装置を適用することによって、電気冷凍冷蔵庫５８００を、例えば、ＩｏＴ（Ｉｎｔｅｒｎｅｔ　ｏｆ　Ｔｈｉｎｇｓ）として利用することができる。ＩｏＴを利用することによって、電気冷凍冷蔵庫５８００は、電気冷凍冷蔵庫５８００に保存されている食材、その食材の消費期限などの情報を、インターネットなどを通じて、上述したような情報端末などに送受信することができる。また、電気冷凍冷蔵庫５８００は、当該情報を送信する際に、当該情報を一時ファイルとして、当該記憶装置に保持することができる。

［０４１５］

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、ＩＨ調理器、ウォーターサーバ、エアーコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

［０４１６］

［ゲーム機］

また、図１４Ｅには、ゲーム機の一例である携帯ゲーム機５２００が図示されている。携帯ゲーム機５２００は、筐体５２０１、表示部５２０２、ボタン５２０３等を有する。

［０４１７］

更に、図１４Ｆには、ゲーム機の一例である据え置き型ゲーム機７５００が図示されている。据え置き型ゲーム機７５００は、本体７５２０と、コントローラ７５２２を有する。なお、本体７５２０には、無線または有線によってコントローラ７５２２を接続することができる。また、図１４Ｆには示していないが、コントローラ７５２２は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネル、スティック、回転式つまみ、スライド式つまみなどを備えることができる。また、コントローラ７５２２は、図１４Ｆに示す形状に限定されず、ゲームのジャンルに応じて、コントローラ７５２２の形状を様々に変更してもよい。例えば、ＦＰＳ（Ｆｉｒｓｔ　Ｐｅｒｓｏｎ　Ｓｈｏｏｔｅｒ）などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

［０４１８］

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

［０４１９］

携帯ゲーム機５２００、及び据え置き型ゲーム機７５００に上記実施の形態で説明した記憶装置を適用することによって、低消費電力の携帯ゲーム機５２００を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

［０４２０］

更に、携帯ゲーム機５２００、及び据え置き型ゲーム機７５００に上記実施の形態で説明した記憶装置を適用することによって、ゲームの実行中に発生する演算に必要な一時ファイルなどの保持をおこなうことができる。

［０４２１］

図１４Ｅ、及び図１４Ｆでは、ゲーム機の一例として携帯ゲーム機、及び据え置き型ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

［０４２２］

［移動体］

上記実施の形態で説明した記憶装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

［０４２３］

図１４Ｇには移動体の一例である自動車５７００が図示されている。

［０４２４］

自動車５７００の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

［０４２５］

特に当該表示装置には、自動車５７００に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。

［０４２６］

上記実施の形態で説明した記憶装置は、情報を一時的に保持することができるため、例えば、当該記憶装置を自動車５７００の自動運転システム、当該記憶装置を道路案内、危険予測などを行うシステムなどにおける、必要な一時的な情報の保持に用いることができる。また、当該表示装置には、道路案内、危険予測などの一時的な情報を表示する構成としてもよい。また、自動車５７００に備え付けられたドライビングレコーダの映像を保持する構成としてもよい。

［０４２７］

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができる。

［０４２８］

［カメラ］

上記実施の形態で説明した記憶装置は、カメラに適用することができる。

［０４２９］

図１４Ｈには、撮像装置の一例であるデジタルカメラ６２４０が図示されている。デジタルカメラ６２４０は、筐体６２４１、表示部６２４２、操作ボタン６２４３、シャッターボタン６２４４等を有し、また、デジタルカメラ６２４０には、着脱可能なレンズ６２４６が取り付けられている。なお、ここではデジタルカメラ６２４０を、レンズ６２４６を筐体６２４１から取り外して交換することが可能な構成としたが、レンズ６２４６と筐体６２４１とが一体となっていてもよい。また、デジタルカメラ６２４０は、ストロボ装置、ビューファインダー等を別途装着することができる構成としてもよい。

［０４３０］

デジタルカメラ６２４０に上記実施の形態で説明した記憶装置を適用することによって、低消費電力のデジタルカメラ６２４０を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

［０４３１］

［ビデオカメラ］

上記実施の形態で説明した記憶装置は、ビデオカメラに適用することができる。

［０４３２］

図１４Ｉには、撮像装置の一例であるビデオカメラ６３００が図示されている。ビデオカメラ６３００は、第１筐体６３０１、第２筐体６３０２、表示部６３０３、操作キー６３０４、レンズ６３０５、接続部６３０６等を有する。操作キー６３０４及びレンズ６３０５は第１筐体６３０１に設けられており、表示部６３０３は第２筐体６３０２に設けられている。そして、第１筐体６３０１と第２筐体６３０２とは、接続部６３０６により接続されており、第１筐体６３０１と第２筐体６３０２の間の角度は、接続部６３０６により変更が可能である。表示部６３０３における映像を、接続部６３０６における第１筐体６３０１と第２筐体６３０２との間の角度に従って切り替える構成としてもよい。

［０４３３］

ビデオカメラ６３００で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。上述した記憶装置を利用することによって、ビデオカメラ６３００は、エンコードの際に発生する一時的なファイルの保持を行うことができる。

［０４３４］

［ＩＣＤ］

上記実施の形態で説明した記憶装置は、植え込み型除細動器（ＩＣＤ）に適用することができる。

［０４３５］

図１４（Ｊ）は、ＩＣＤの一例を示す断面模式図である。ＩＣＤ本体５４００は、バッテリー５４０１と、電子部品４７００と、レギュレータと、制御回路と、アンテナ５４０４と、右心房へのワイヤ５４０２、右心室へのワイヤ５４０３とを少なくとも有している。

［０４３６］

ＩＣＤ本体５４００は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈５４０５及び上大静脈５４０６を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

［０４３７］

ＩＣＤ本体５４００は、ペースメーカのとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善しない場合（速い心室頻拍、心室細動など）、電気ショックによる治療が行われる。

［０４３８］

ＩＣＤ本体５４００は、ペーシング及び電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、ＩＣＤ本体５４００は、心拍数を検知するためのセンサを有する。また、ＩＣＤ本体５４００は、当該センサなどによって取得した心拍数のデータ、ペーシングによる治療を行った回数、時間などを電子部品４７００に記憶することができる。

［０４３９］

また、アンテナ５４０４で電力が受信でき、その電力はバッテリー５４０１に充電される。また、ＩＣＤ本体５４００は複数のバッテリーを有することにより、安全性を高くすることができる。具体的には、ＩＣＤ本体５４００の一部のバッテリーが使えなくなったとしても残りのバッテリーが

機能させることができるため、補助電源としても機能する。

［０４４０］

また、電力を受信できるアンテナ５４０４とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温などの生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

［０４４１］

［ＰＣ用の拡張デバイス］

上記実施の形態で説明した記憶装置は、ＰＣ（Ｐｅｒｓｏｎａｌ　Ｃｏｍｐｕｔｅｒ）などの計算機、情報端末用の拡張デバイスに適用することができる。

［０４４２］

図１５Ａは、当該拡張デバイスの一例として、持ち運びのできる、情報の記憶が可能なチップが搭載された、ＰＣに外付けする拡張デバイス６１００を示している。拡張デバイス６１００は、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）などでＰＣに接続することで、当該チップによる情報の記憶を行うことができる。なお、図１５Ａは、持ち運びが可能な形態の拡張デバイス６１００を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きい形態の拡張デバイスとしてもよい。

［０４４３］

拡張デバイス６１００は、筐体６１０１、キャップ６１０２、ＵＳＢコネクタ６１０３及び基板６１０４を有する。基板６１０４は、筐体６１０１に収納されている。基板６１０４には、上記実施の形態で説明した記憶装置などを駆動する回路が設けられている。例えば、基板６１０４には、電子部品４７００、コントローラチップ６１０６が取り付けられている。ＵＳＢコネクタ６１０３は、外部装置と接続するためのインターフェースとして機能する。

［０４４４］

［ＳＤカード］

上記実施の形態で説明した記憶装置は、情報端末、デジタルカメラなどの電子機器に取り付けが可能なＳＤカードに適用することができる。

［０４４５］

図１５ＢはＳＤカードの外観の模式図であり、図１５Ｃは、ＳＤカードの内部構造の模式図である。ＳＤカード５１１０は、筐体５１１１、コネクタ５１１２及び基板５１１３を有する。コネクタ５１１２が外部装置と接続するためのインターフェースとして機能する。基板５１１３は筐体５１１１に収納されている。基板５１１３には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板５１１３には、電子部品４７００、コントローラチップ５１１５が取り付けられている。なお、電子部品４７００とコントローラチップ５１１５とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、電子部品に備えられている書き込み回路、ロードライバ、読み出し回路などは、電子部品４７００でなく、コントローラチップ５１１５に組み込んだ構成としてもよい。

［０４４６］

基板５１１３の裏面側にも電子部品４７００を設けることで、ＳＤカード５１１０の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板５１１３に設けてもよい。これによって、外部装置とＳＤカード５１１０との間で無線通信を行うことができ、電子部品４７００の

データの読み出し、書き込みが可能となる。

［０４４７］

［ＳＳＤ］

上記実施の形態で説明した記憶装置は、情報端末など電子機器に取り付けが可能なＳＳＤ（Ｓｏｌｉｄ　Ｓｔａｔｅ　Ｄｒｉｖｅ）に適用することができる。

［０４４８］

図１５ＤはＳＳＤの外観の模式図であり、図１５Ｅは、ＳＳＤの内部構造の模式図である。ＳＳＤ５１５０は、筐体５１５１、コネクタ５１５２及び基板５１５３を有する。コネクタ５１５２が外部装置と接続するためのインターフェースとして機能する。基板５１５３は筐体５１５１に収納されている。基板５１５３には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板５１５３には、電子部品４７００、メモリチップ５１５５、コントローラチップ５１５６が取り付けられている。基板５１５３の裏面側にも電子部品４７００を設けることで、ＳＳＤ５１５０の容量を増やすことができる。メモリチップ５１５５にはワークメモリが組み込まれている。例えば、メモリチップ５１５５には、ＤＲＡＭチップを用いればよい。コントローラチップ５１５６には、プロセッサ、ＥＣＣ回路などが組み込まれている。なお、電子部品４７００と、メモリチップ５１５５と、コントローラチップ５１５６と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、コントローラチップ５１５６にも、ワークメモリとして機能するメモリを設けてもよい。

［０４４９］

実施の形態１、又は実施の形態２の記憶装置を、上述した電子機器に含まれている記憶装置に適用することによって、新規の電子機器を提供することができる。

［０４５０］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［符号の説明］

［０４５１］

ＭＤＶ：記憶装置、ＭＣＡ：メモリセルアレイ、ＭＣＡ［１］：メモリセルアレイ、ＭＣＡ［ｐ－１］：メモリセルアレイ、ＭＣＡ［ｐ］：メモリセルアレイ、ＰＨＬ：周辺回路、ＭＣ：メモリセル、ＭＣ［１，１］：メモリセル、ＭＣ［ｍ，１］：メモリセル、ＭＣ［１，ｎ］：メモリセル、ＭＣ［ｍ，ｎ］：メモリセル、ＢＤ：回路、ＷＤ：回路、ＳＤ：回路、ＲＢＤ：回路、ＣＬＣ：回路、ＯＰＣ：回路、Ｍ１：トランジスタ、Ｍ２：トランジスタ、Ｍ３：トランジスタ、Ｍ４：トランジスタ、Ｍ１０：トランジスタ、ＭＤ：抵抗変化デバイス、ＭＥ：ＭＴＪ素子、ＲＭ：抵抗変化素子、ＰＣＭ１：相変化メモリ、ＩＴ１：端子、ＩＴ２：端子、ＯＴ：端子、ＢＬ１：配線、ＢＬ１［１］：配線、ＢＬ１［ｎ］：配線、ＢＬ２：配線、ＢＬ２［１］：配線、ＢＬ２［ｎ］：配線、ＷＬ：配線、ＷＬａ：配線、ＷＬａ［１］：配線、ＷＬａ［ｍ］：配線、ＷＬｂ：配線、ＷＬｂ［１］：配線、ＷＬｂ［ｍ］：配線、ＷＬ［１］：配線、ＷＬ［ｍ］：配線、ＲＢＬ：配線、ＲＢＬ［１］：配線、ＲＢＬ［ｍ］：配線、ＳＬ［１］：配線、ＳＬ［ｍ］：配線、ＢＧＥ：配線、ＲＬ：層、ＴＩＳ：層、ＦＬ：層、ＣＡ：層、ＴＥ：電極、ＣＨＬ：相変化層、ＢＥ：電極、ＳＩＬ：層、ＯＳＬ［１］：層、ＯＳＬ［ｐ］：層、３００：トランジスタ、３１０：基板、３１２：素子分離層、３１３：半導体領域、３１４ａ：低抵抗領域、３１４ｂ：低抵抗領域、３１５：絶縁体、３１６：導電体、３２０：絶縁体、３２２：絶縁体、３２４：絶縁体、３２６：絶縁体、３２

８：導電体、３３０：導電体、３５０：絶縁体、３５２：絶縁体、３５４：絶縁体、３５６：導電体、３６０：絶縁体、３６２：絶縁体、３６４：絶縁体、３６６：導電体、４００：メモリ素子、４０１：導電体、４０２：絶縁体、４０３：導電体、４０４：導電体、４５０：導電体、４５２：絶縁体、４５４：絶縁体、４５６：絶縁体、４５７：導電体、４５８：導電体、４５９：絶縁体、４６０：導電体、４６２：絶縁体、５００Ａ：トランジスタ、５００Ｂ：トランジスタ、５０３：導電体、５０３ａ：導電体、５０３ｂ：導電体、５１０：絶縁体、５１２：絶縁体、５１３：絶縁体、５１４：絶縁体、５１６：絶縁体、５１８：導電体、５２０：絶縁体、５２２：絶縁体、５２４：絶縁体、５３０：酸化物、５３０ａ：酸化物、５３０ｂ：酸化物、５３０ｃ：酸化物、５４０ａ：導電体、５４０ｂ：導電体、５４２：導電体、５４２ａ：導電体、５４２ｂ：導電体、５４３ａ：領域、５４３ｂ：領域、５４４：絶縁体、５４６：導電体、５５０：絶縁体、５５２：絶縁体、５６０：導電体、５６０ａ：導電体、５６０ｂ：導電体、５７４：絶縁体、５７６：絶縁体、５８０：絶縁体、５８１：絶縁体、５８２：絶縁体、５８６：絶縁体、６００：メモリセル、１１８９：ＲＯＭインターフェース、１１９０：基板、１１９１：ＡＬＵ、１１９２：ＡＬＵコントローラ、１１９３：インストラクションデコーダ、１１９４：インタラプトコントローラ、１１９５：タイミングコントローラ、１１９６：レジスタ、１１９７：レジスタコントローラ、１１９８：バスインターフェース、２６２１：ローデコーダ、２６２２：ワード線ドライバ回路、２６３０：ビット線ドライバ回路、２６３１：カラムデコーダ、２６３２：プリチャージ回路、２６３３：センスアンプ、２６３４：書き込み回路、２６４０：出力回路、２６６０：コントロールロジック回路、４７００：電子部品、４７０２：プリント基板、４７０４：実装基板、４７１０：半導体装置、４７１４：ワイヤ、４７３０：電子部品、４７３１：インターポーザ、４７３２：パッケージ基板、４７３３：電極、４７３５：半導体装置、４８００：半導体ウェハ、４８００ａ：チップ、４８０１：ウェハ、４８０１ａ：ウェハ、４８０２：回路部、４８０３：スペーシング、４８０３ａ：スペーシング、５１１０：ＳＤカード、５１１１：筐体、５１１２：コネクタ、５１１３：基板、５１１５：コントローラチップ、５１５０：ＳＳＤ、５１５１：筐体、５１５２：コネクタ、５１５３：基板、５１５５：メモリチップ、５１５６：コントローラチップ、５２００：携帯ゲーム機、５２０１：筐体、５２０２：表示部、５２０３：ボタン、５３００：デスクトップ型情報端末、５３０１：本体、５３０２：ディスプレイ、５３０３：キーボード、５４００：ＩＣＤ本体、５４０１：バッテリー、５４０２：ワイヤ、５４０３：ワイヤ、５４０４：アンテナ、５４０５：鎖骨下静脈、５４０６：上大静脈、５５００：情報端末、５５１０：筐体、５５１１：表示部、５７００：自動車、５８００：電気冷凍冷蔵庫、５８０１：筐体、５８０２：冷蔵室用扉、５８０３：冷凍室用扉、５９００：情報端末、５９０１：筐体、５９０２：表示部、５９０３：操作ボタン、５９０４：操作子、５９０５：バンド、６１００：拡張デバイス、６１０１：筐体、６１０２：キャップ、６１０３：ＵＳＢコネクタ、６１０４：基板、６１０６：コントローラチップ、６２４０：デジタルカメラ、６２４１：筐体、６２４２：表示部、６２４３：操作ボタン、６２４４：シャッターボタン、６２４６：レンズ、６３００：ビデオカメラ、６３０１：第１筐体、６３０２：第２筐体、６３０３：表示部、６３０４：操作キー、６３０５：レンズ、６３０６：接続部、７５２０：本体、７５２２：コントローラ

請求の範囲

［請求項１］

第１層と、前記第１層と重なる第２層と、を有し、

前記第１層は、回路を有し、

前記第２層は、第１メモリセルを有し、

前記回路は、前記第１メモリセルに信号を送信するビット線ドライバ回路、及び／又はワード線ドライバ回路を有し、

前記第１メモリセルは、第１トランジスタと、第２トランジスタと、導電体と、ＭＴＪ素子と、を有し、

前記ＭＴＪ素子は、自由層を有し、

前記自由層は、前記導電体に電気的に接続され、

前記第１トランジスタの第１端子は、前記導電体を介して、前記第２トランジスタの第１端子に電気的に接続され、

前記回路は、チャネル形成領域にシリコンが含まれているトランジスタを有し、

前記第１トランジスタ、及び前記第２トランジスタのそれぞれは、チャネル形成領域に金属酸化物を含む、

記憶装置。

［請求項２］

第１層と、前記第１層と重なる第２層と、を有し、

前記第１層は、回路を有し、

前記回路は、前記第１メモリセルに信号を送信するビット線ドライバ回路、及び／又はワード線ドライバ回路を有し、

前記第２層は、第１メモリセルを有し、

前記第１メモリセルは、第１トランジスタと、第２トランジスタと、導電体と、ＭＴＪ素子と、を有し、

前記ＭＴＪ素子は、自由層と、固定層と、を有し、

前記自由層は、前記導電体に電気的に接続され、

前記第１トランジスタの第１端子は、前記第２トランジスタの第１端子に電気的に接続され、

前記第２トランジスタの第２端子は、前記導電体に電気的に接続され、

前記第１トランジスタの第２端子は、前記固定層に電気的に接続され、

前記固定層は、前記自由層の上方に位置し、

前記回路は、チャネル形成領域にシリコンが含まれているトランジスタを有し、

前記第１トランジスタ、及び前記第２トランジスタのそれぞれは、チャネル形成領域に金属酸化物を含む、

記憶装置。

［請求項３］

請求項１、又は請求項２において、

前記導電体は、電流が流れることでスピンホール効果が起きる金属材料を有する、

記憶装置。

［請求項４］

請求項１乃至請求項３のいずれか一において、

第３層を有し、

前記第３層は、第２メモリセルを有し、

前記第３層は、前記第２層に積層されている、

記憶装置。

［請求項５］

請求項１乃至請求項４のいずれか一の記憶装置と、筐体と、を有する電子機器。

図1A

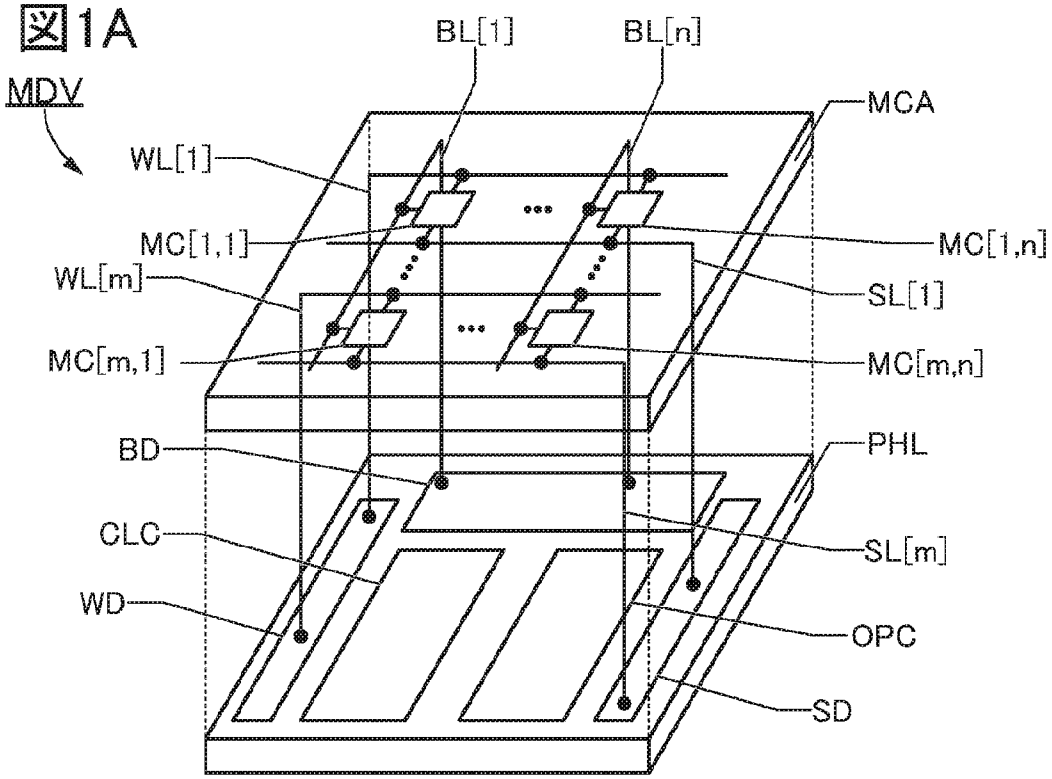

MDV
BL[1]
BL[n]
MCA
WL[1]
MC[1,1]
MC[1,n]
WL[m]
SL[1]
MC[m,1]
MC[m,n]
BD
PHL
CLC
SL[m]
WD
OPC
SD

図1B

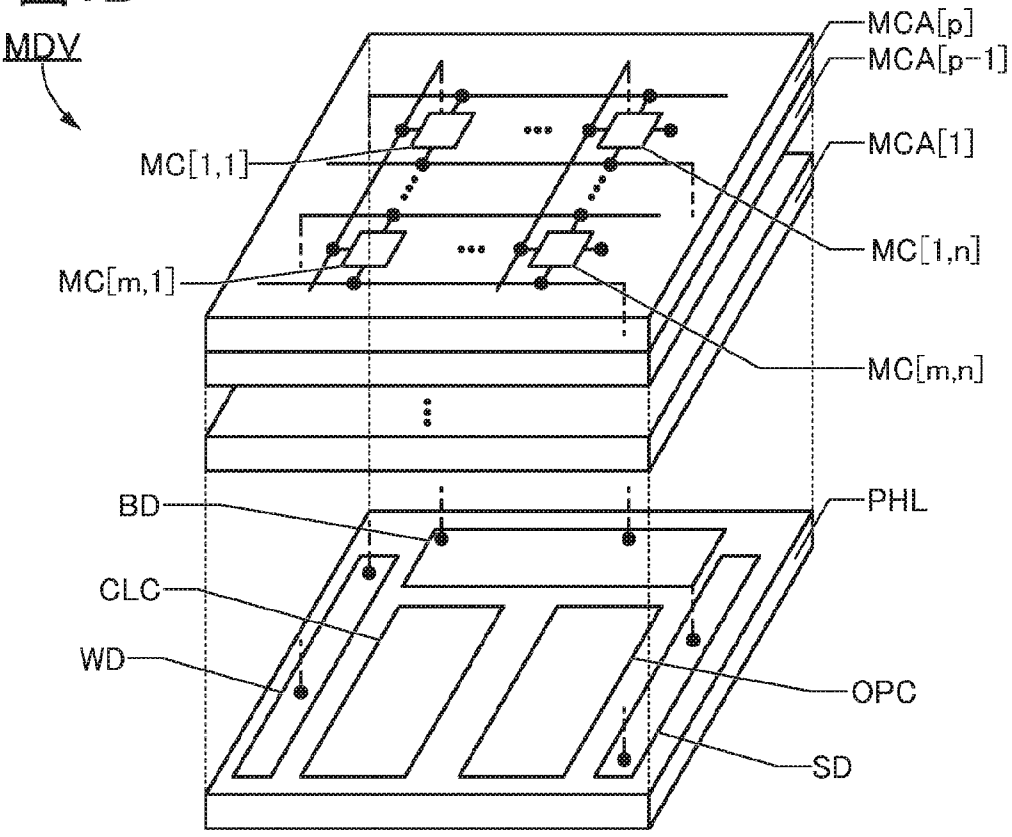

MDV
MCA[p]
MCA[p-1]
MC[1,1]
MCA[1]
MC[1,n]
MC[m,1]
MC[m,n]
BD
PHL
CLC
WD
OPC
SD

図2

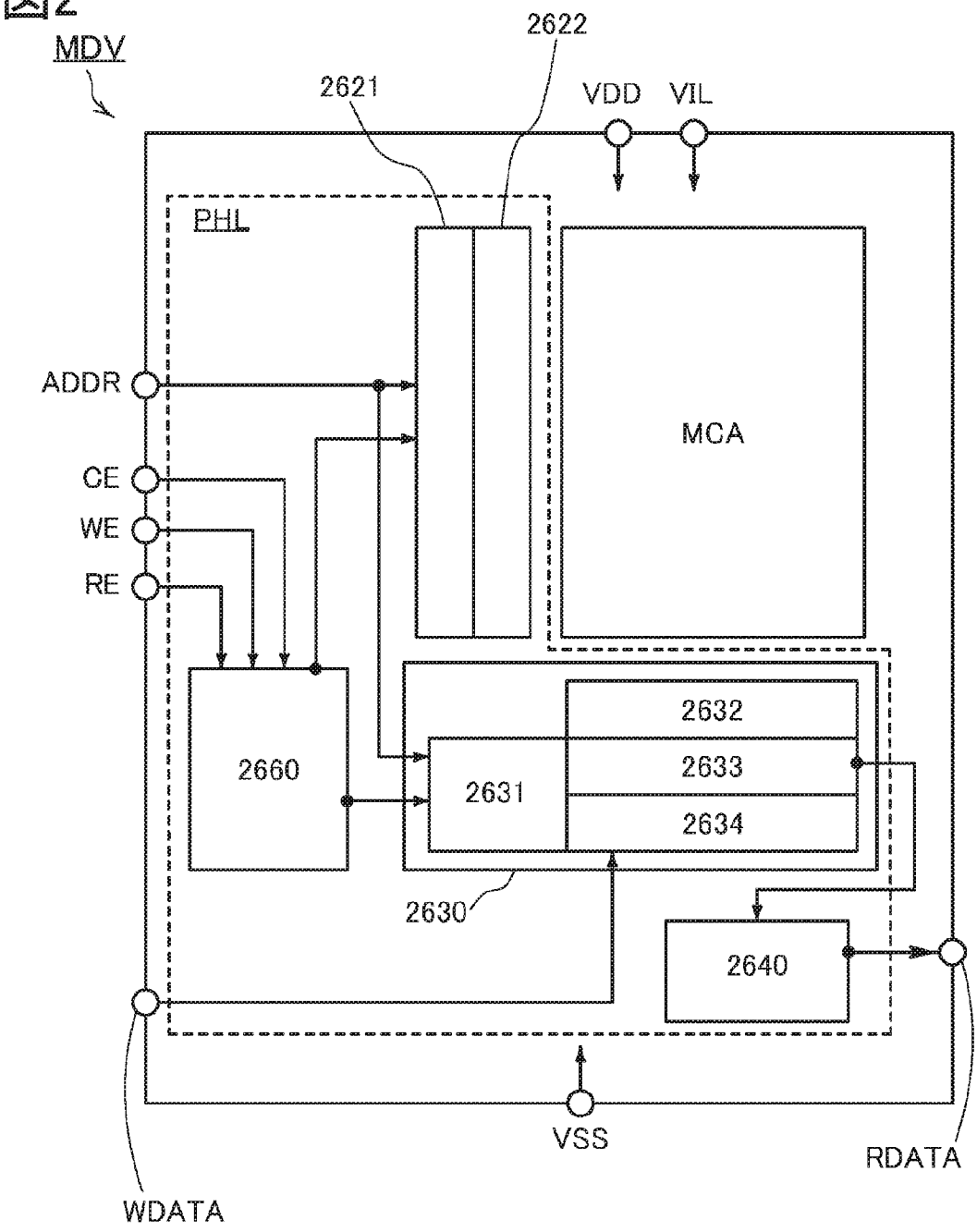

MDV
2622
2621
VDD
VIL
PHL
ADDR
CE
WE
RE
MCA
2660
2632
2631
2633
2634
2630
2640
VSS
RDATA
WDATA

図3A

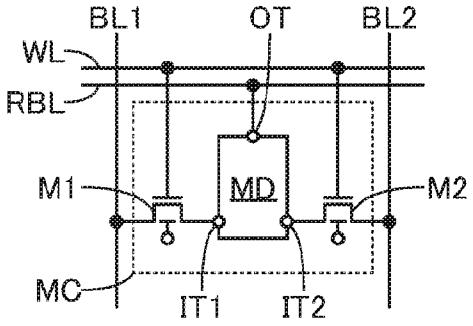


図3B

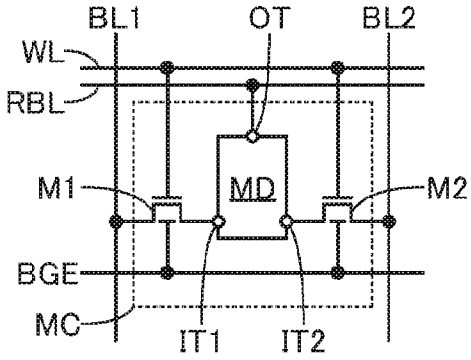


図3C

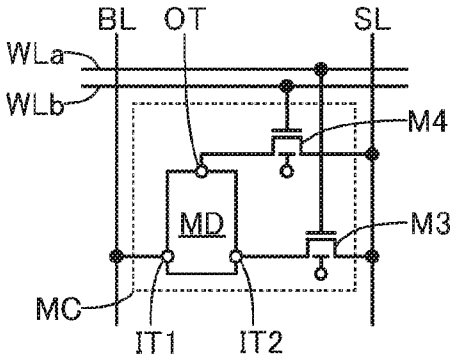


図3D

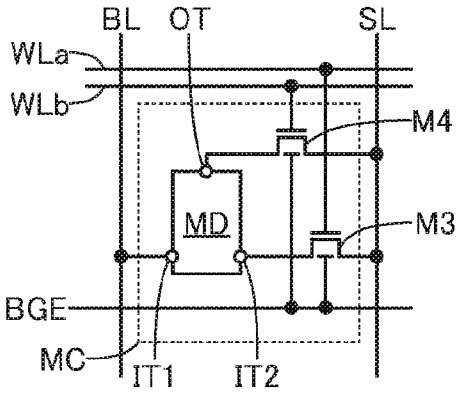


図4

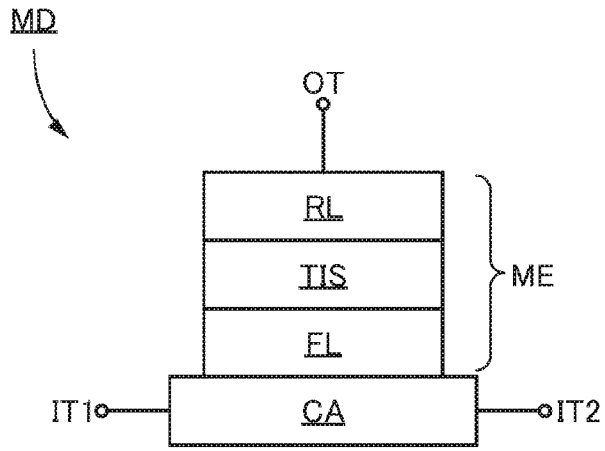


図5A

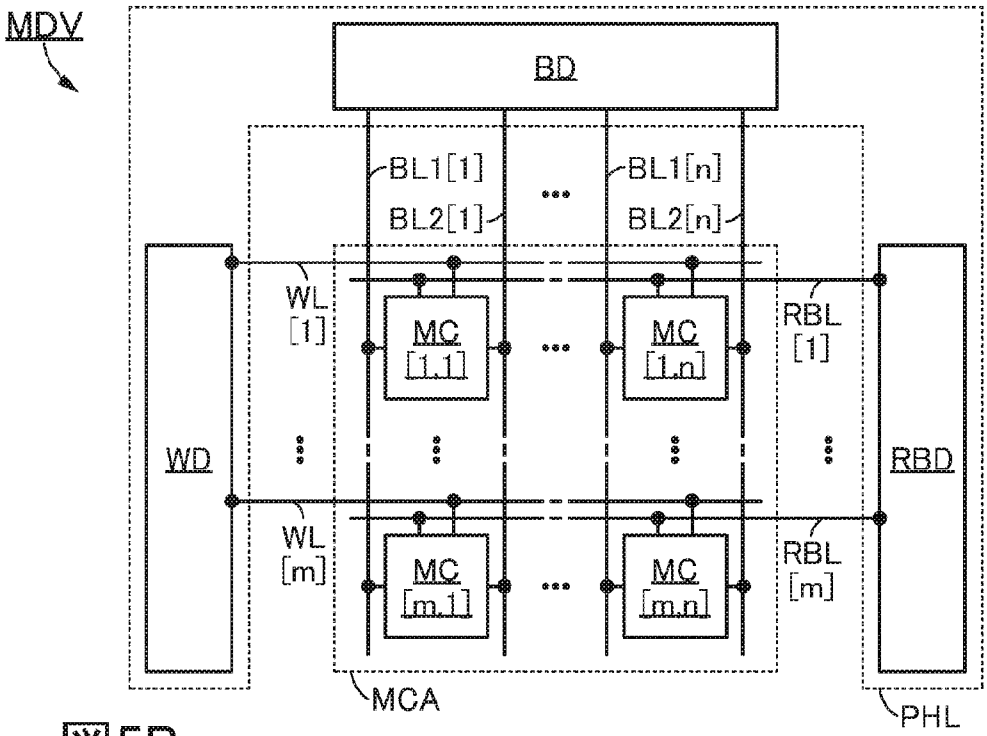

MDV
BD
BL1[1]
BL1[n]
BL2[1]
BL2[n]
WL
[1]
MC
[1,1]
MC
[1,n]
RBL
[1]
WD
RBD
WL
[m]
MC
[m,1]
MC
[m,n]
RBL
[m]
MCA
PHL

図5B

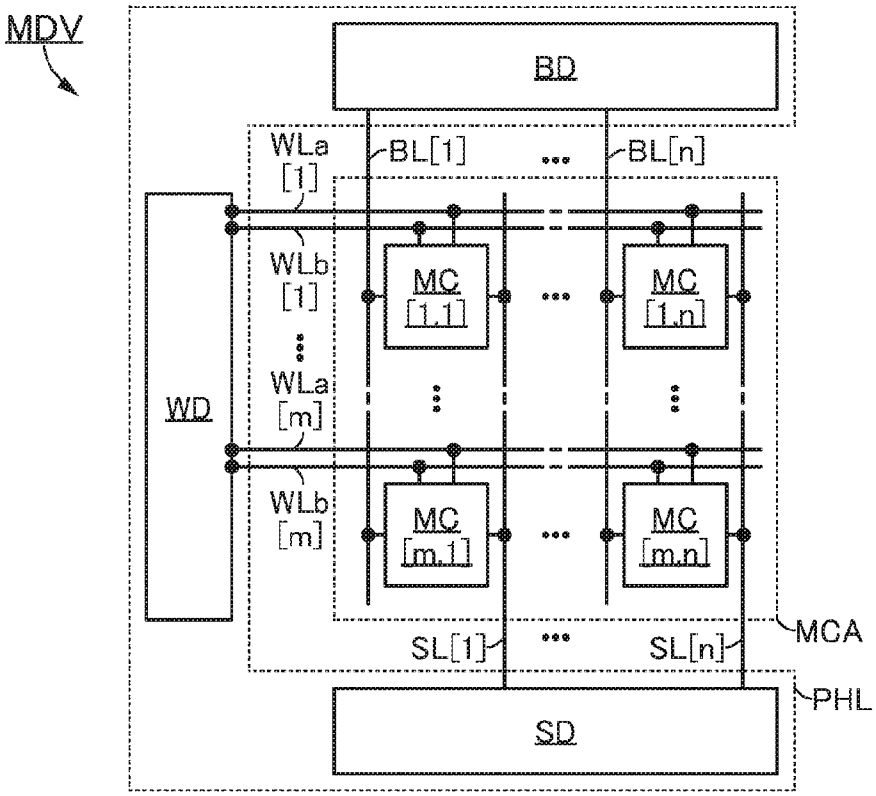

MDV
BD
WLa
[1]
BL[1]
BL[n]
WLb
[1]
MC
[1,1]
MC
[1,n]
WLa
[m]
WD
WLb
[m]
MC
[m,1]
MC
[m,n]
MCA
SL[1]
SL[n]
PHL
SD

図6A

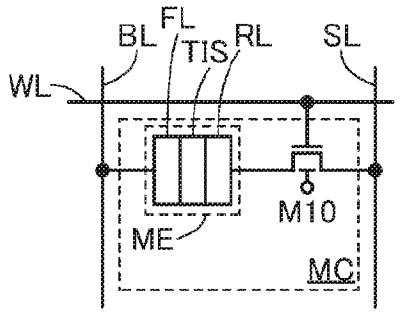

BL
FL
TIS
RL
SL
WL
M10
ME
MC

図6B

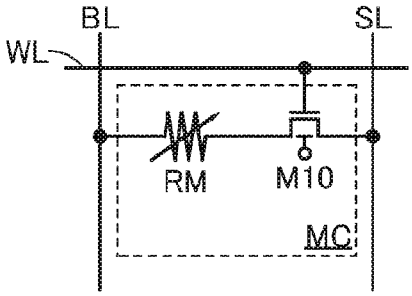

BL
SL
WL
RM
M10
MC

図6C

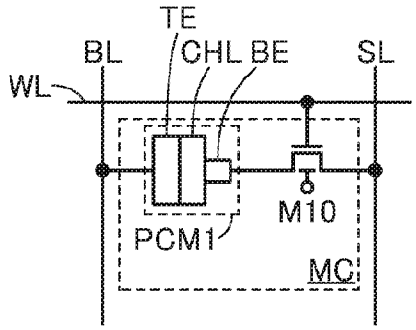

TE
BL
CHL
BE
SL
WL
M10
PCM1
MC

図7

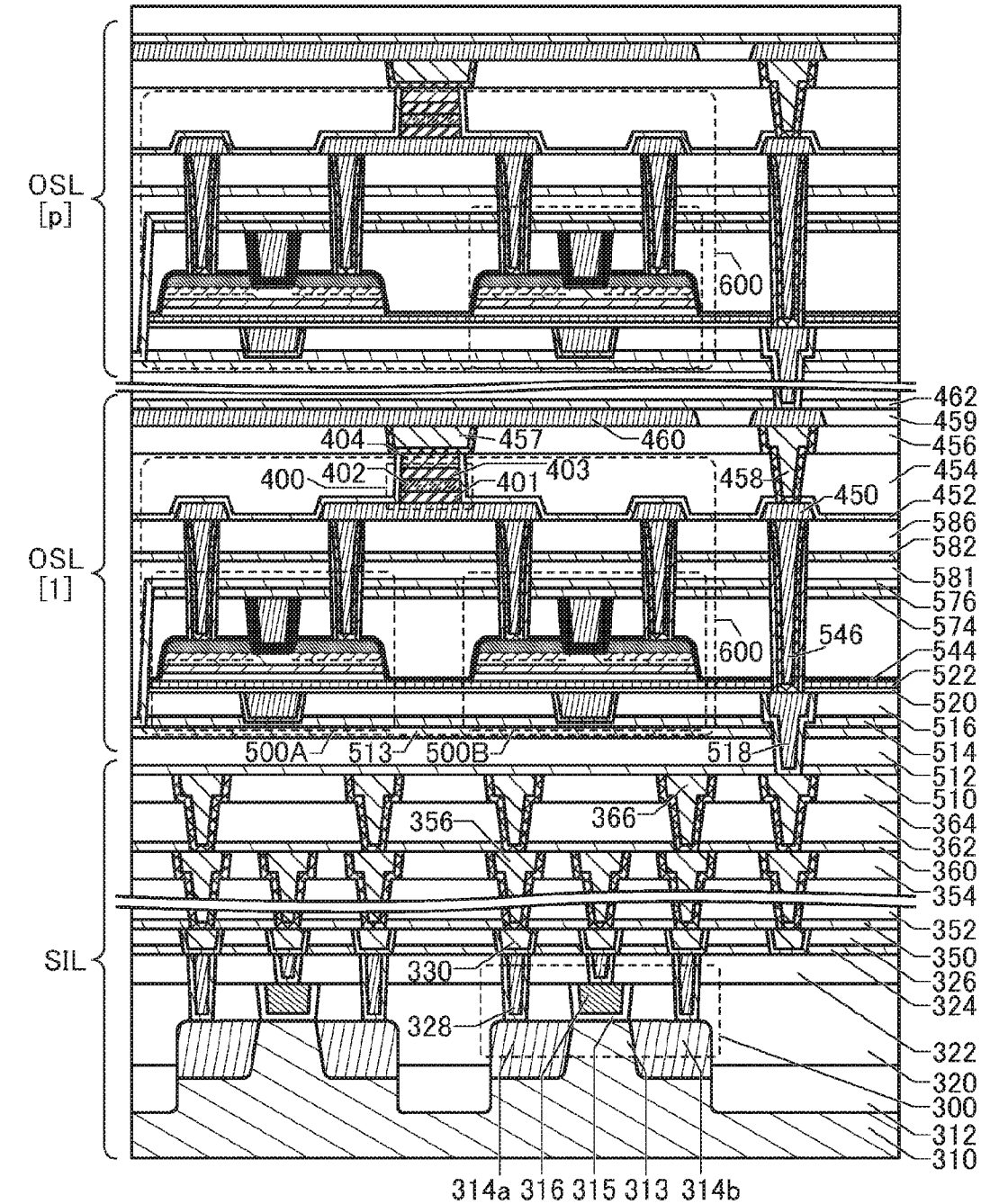

MDV
OSL
[p]
OSL
[1]
SIL
600
462
459
404
457
460
456
454
400
402
401
403
458
450
452
586
582
581
576
574
546
600
544
522
520
516
514
500A
513
500B
518
512
510
356
366
364
362
360
354
352
350
330
326
324
328
322
320
300
312
310
314a
316
315
313
314b

図8A

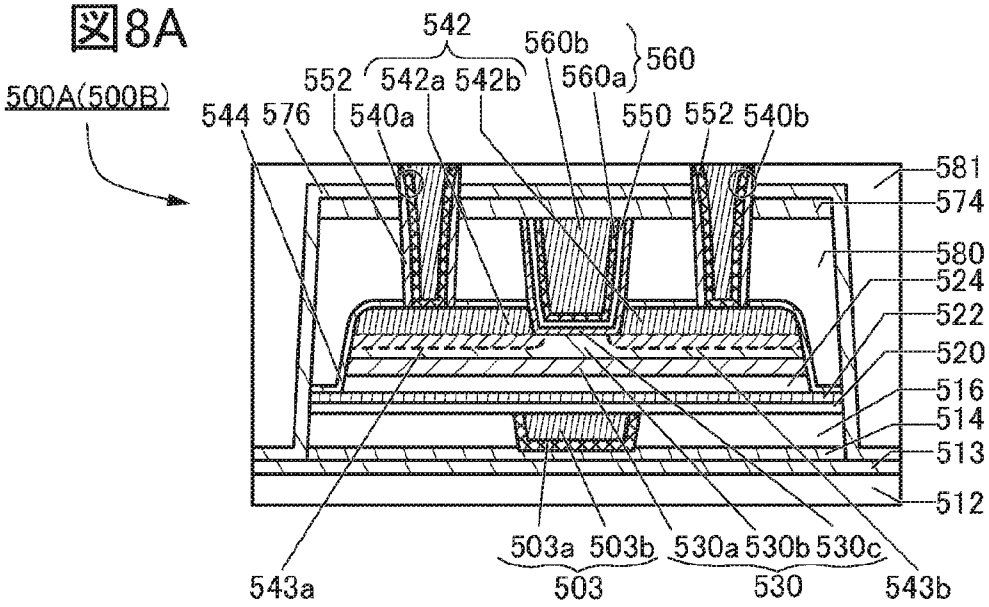

500A(500B)
542
560b
560
552
542a
542b
560a
544
576
540a
550
552
540b
581
574
580
524
522
520
516
514
513
512
503a
503b
530a
530b
530c
543a
503
530
543b

図8B

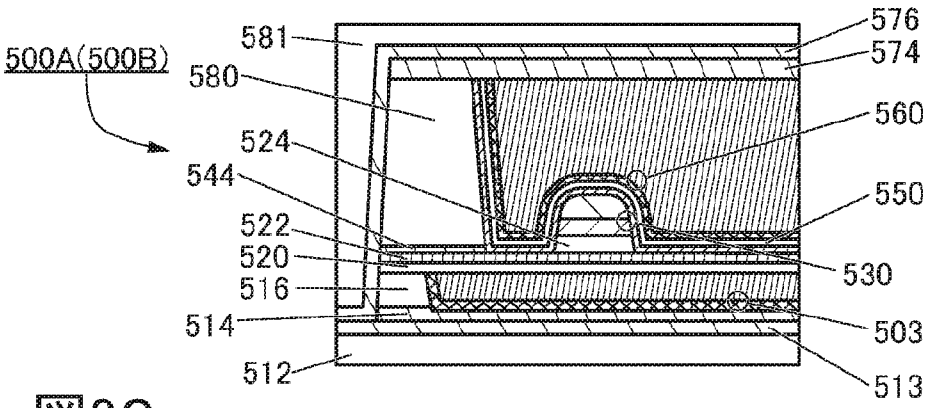

500A(500B)
581
576
574
580
560
524
544
550
522
520
530
516
514
503
512
513

図8C

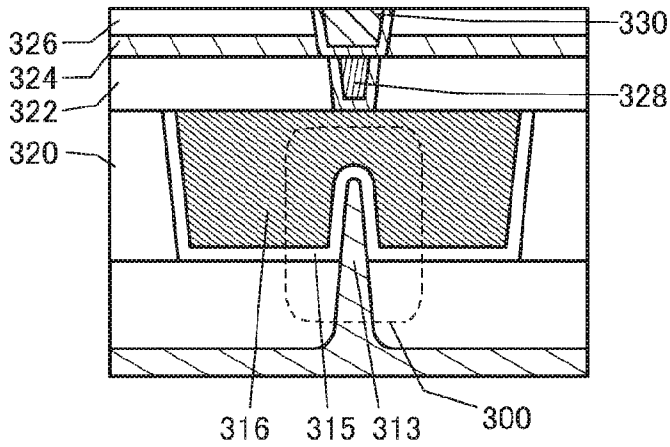

330
326
324
328
322
320
316
315
313
300

図9

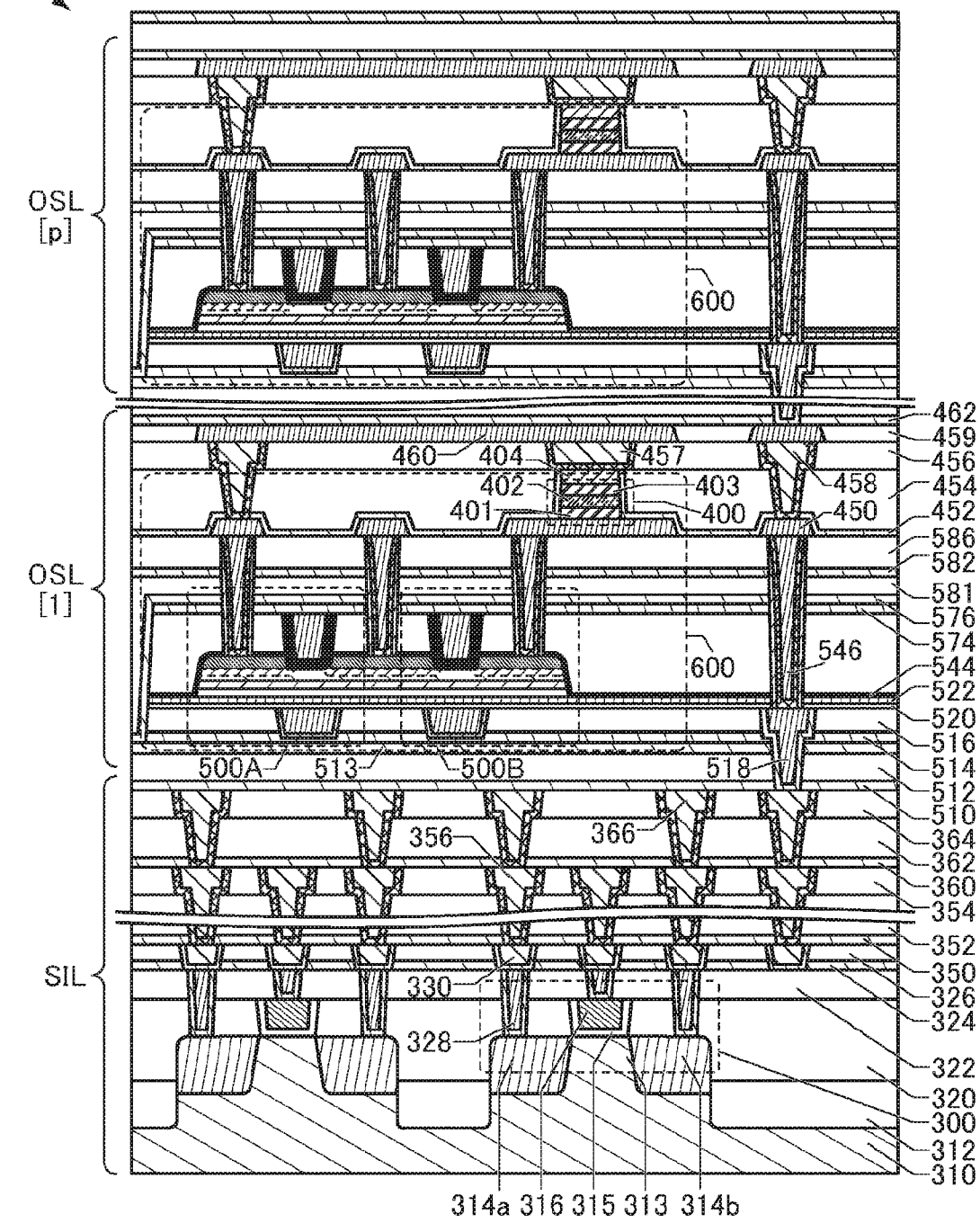

MDV
OSL
[p]
OSL
[1]
SIL
600
460
404
457
462
459
456
458
454
402
403
401
400
450
452
586
582
581
576
574
546
544
522
520
516
514
512
510
364
362
360
354
352
350
326
324
322
320
300
312
310
500A
513
500B
518
356
366
330
328
314a
316
315
313
314b

図10

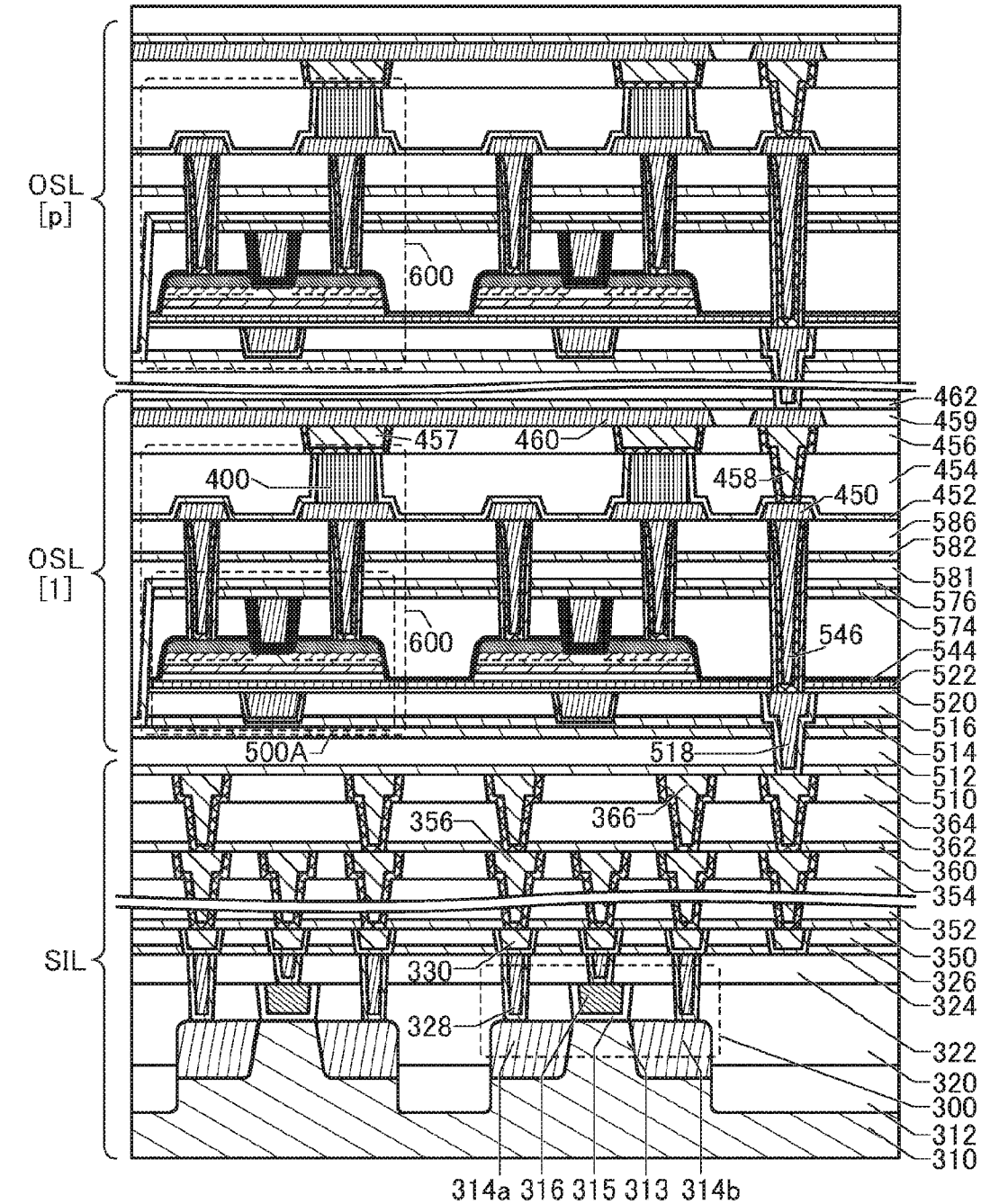

MDV
OSL
[p]
OSL
[1]
SIL
600
600
400
457
460
458
450
546
500A
518
356
366
330
328
462
459
456
454
452
586
582
581
576
574
544
522
520
516
514
512
510
364
362
360
354
352
350
326
324
322
320
300
312
310
314a
316
315
313
314b

図11A

中間状態
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
・completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

図11B

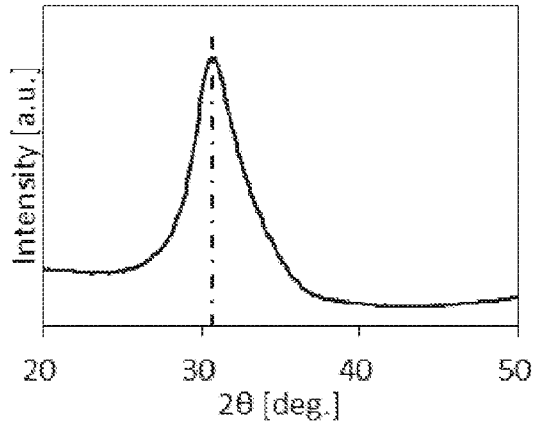


図11C

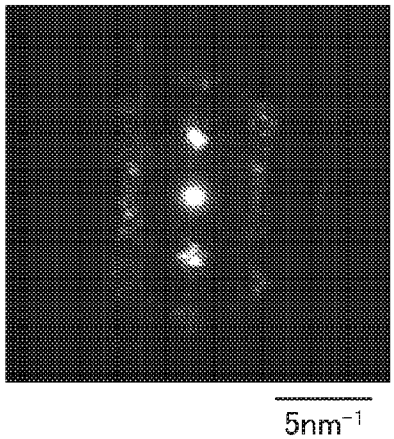


図12A

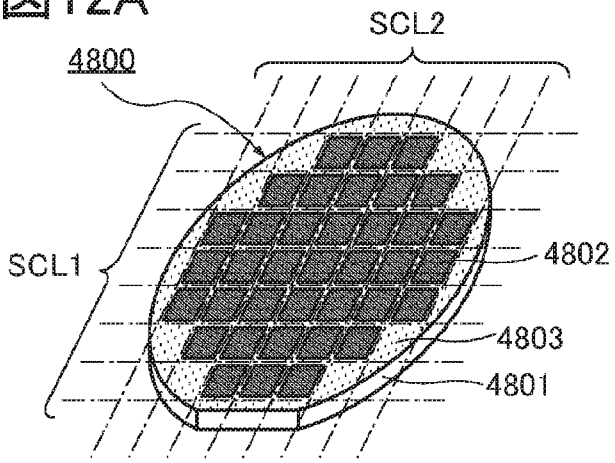


図12B

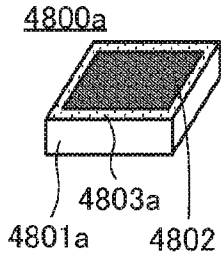


図12C

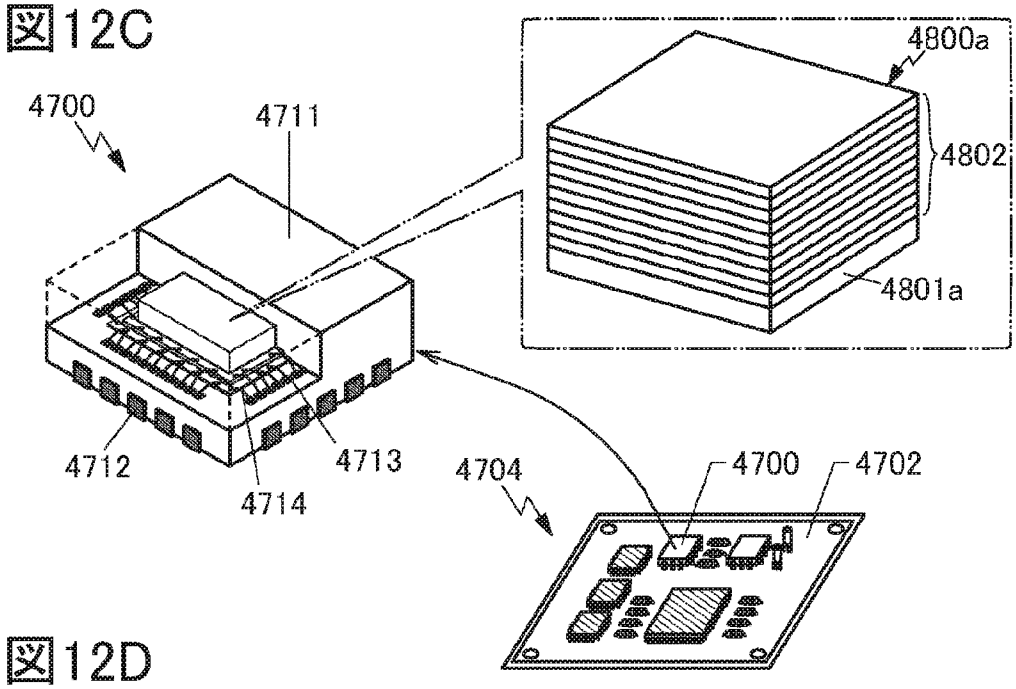


図12D

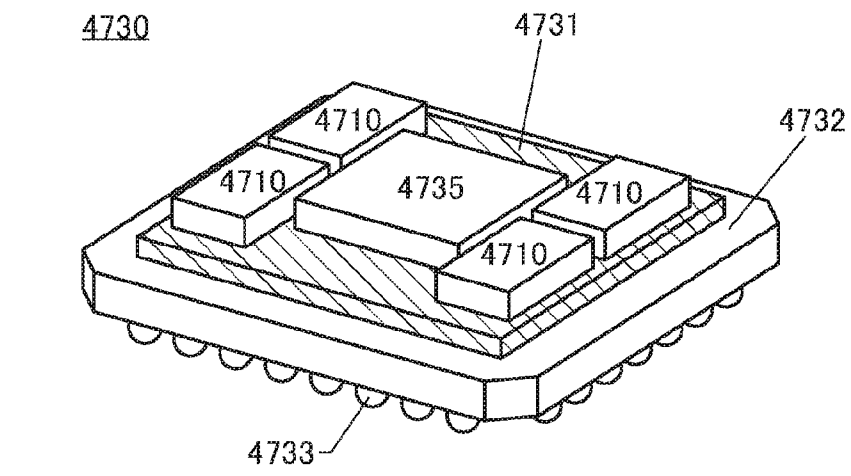


図13

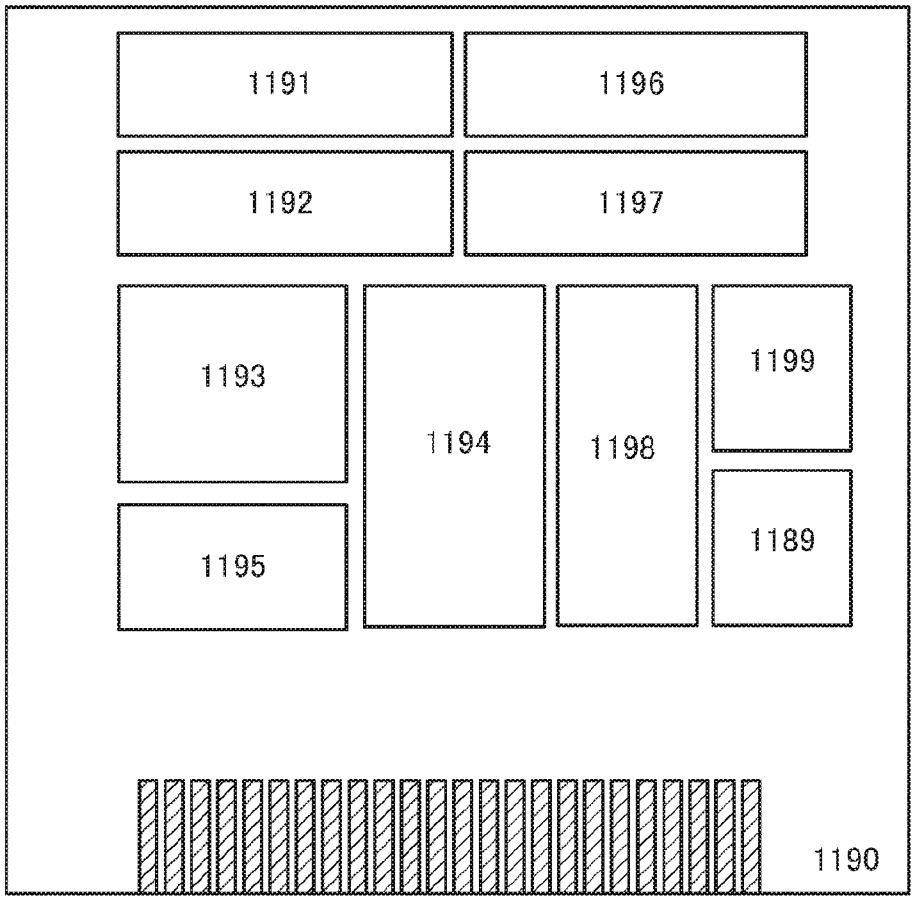


図14A

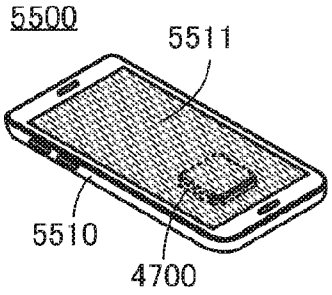


図14B

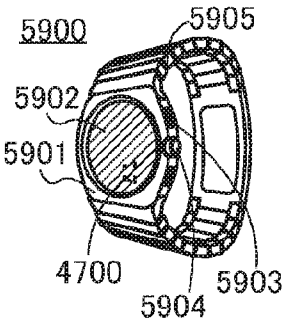


図14C

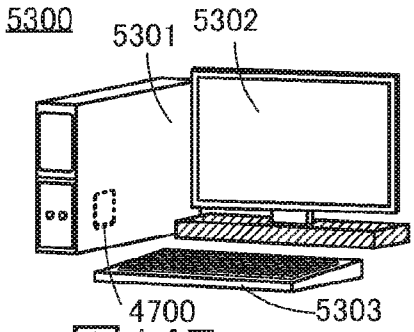


図14D

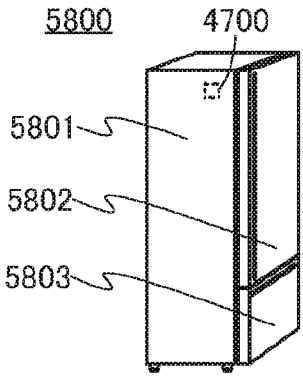


図14E

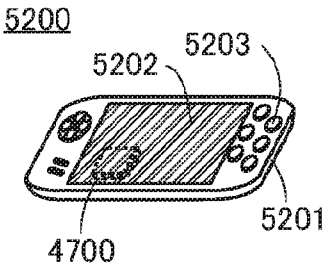


図14F

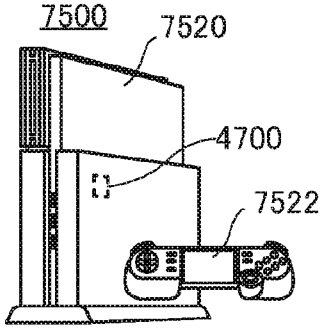


図14G

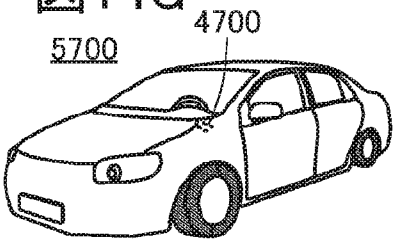


図14H

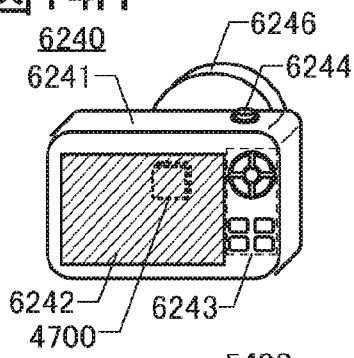


図14I

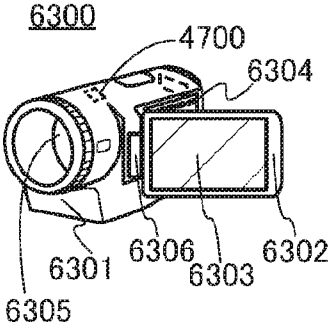


図14J

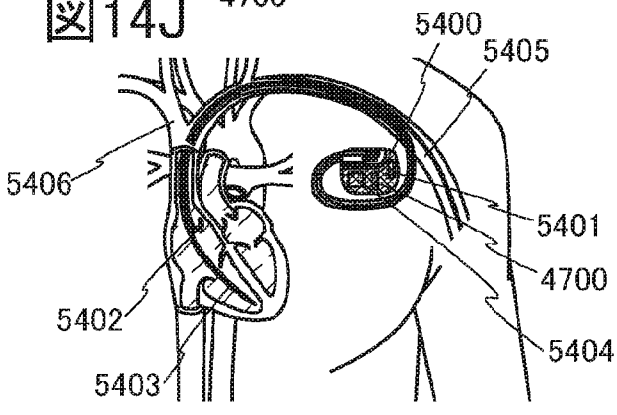


図15A

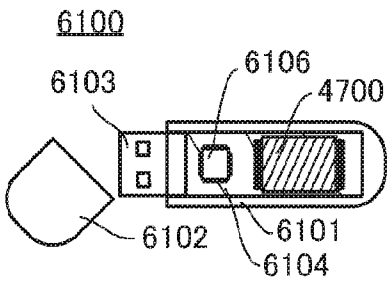


図15B

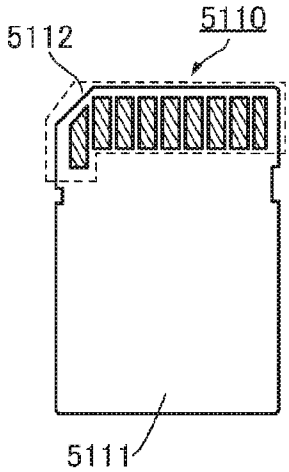


図15C

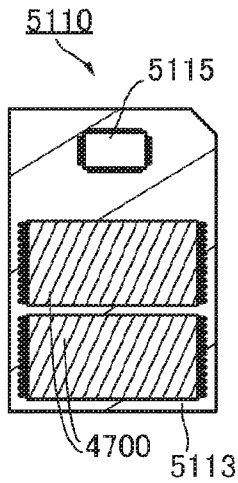


図15D

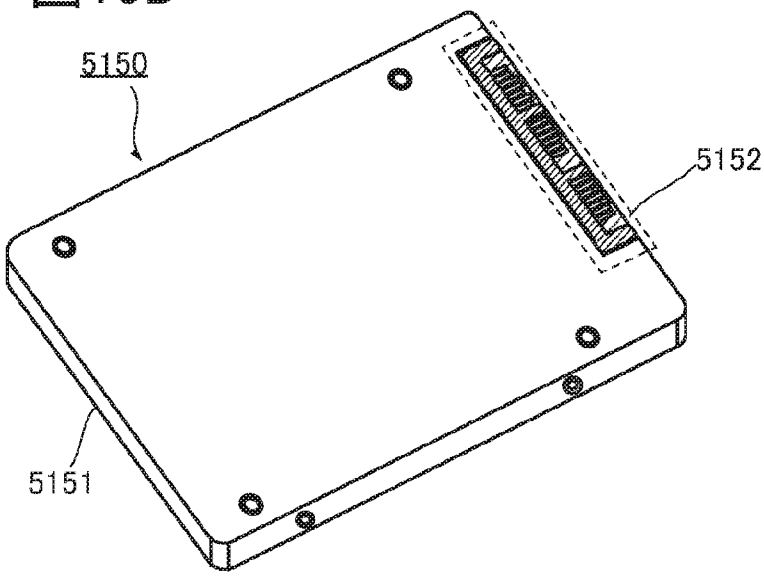
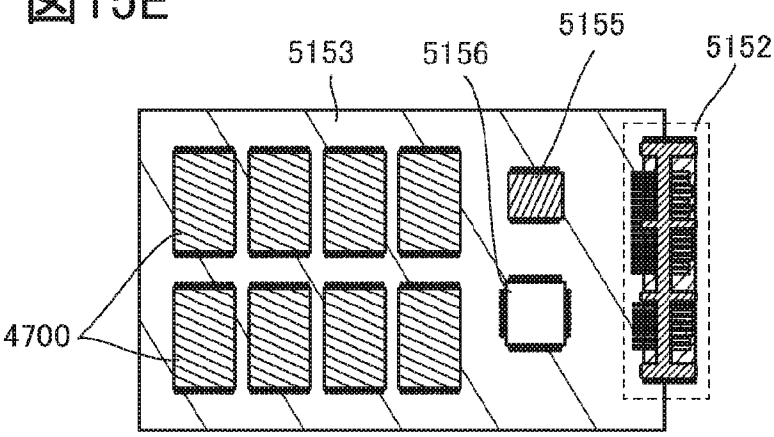


図15E



INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2021/052197

A. CLASSIFICATION OF SUBJECT MATTER
H01L 45/00(2006.01)i; H01L 43/08(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/088(2006.01)i; H01L 21/8239(2006.01)i; H01L 27/105(2006.01)i; H01L 29/786(2006.01)i; H01L 29/82(2006.01)i
FI: H01L27/105 447; H01L27/088 331E; H01L27/088 E; H01L29/82 Z; H01L43/08 Z; H01L27/105 449; H01L45/00 A; H01L29/78 613B; H01L29/78 618B
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
H01L45/00; H01L43/08; H01L21/8234; H01L27/088; H01L21/8239; H01L27/105; H01L29/786; H01L29/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922–1996
Published unexamined utility model applications of Japan	1971–2021
Registered utility model specifications of Japan	1996–2021
Published registered utility model applications of Japan	1994–2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-228493 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17 December 2015 (2015-12-17) paragraphs [0006], [0039]-[0042], [0045], [0050], [0152], fig. 2, 4, 9(A)	1-5
Y	WO 2019/073333 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 April 2019 (2019-04-18) paragraphs [0032], [0066], [0070]-[0075], [0081], [0089], [0090], fig. 2(B), 7-9	1-5
Y	US 2019/0334080 A1 (AGENCY FOR SCIENCE, TECHNOLOGY AND RESEARCH) 31 October 2019 (2019-10-31) paragraphs [0066], [0111]-[0114], fig. 6A	1-5

☒ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 June 2021 (15.06.2021)	22 June 2021 (22.06.2021)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2021/052197

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-186109 A (TOSHIBA CORP.) 13 July 2006 (2006-07-13) entire text, all drawings	1-5
A	JP 2017-59679 A (TOSHIBA CORP.) 23 March 2017 (2017-03-23) entire text, all drawings	1-5

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2021/052197

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2015-228493 A	17 Dec. 2015	(Family: none)	
WO 2019/073333 A1	18 Apr. 2019	(Family: none)	
US 2019/0334080 A1	31 Oct. 2019	WO 2018/136003 A1	
JP 2006-186109 A	13 Jul. 2006	(Family: none)	
JP 2017-59679 A	23 Mar. 2017	JP 6089081 B1 US 2017/0077177 A1 entire text, all drawings	

国際調査報告

国際出願番号
PCT/IB2021/052197

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 45/00(2006.01)i; H01L 43/08(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/088(2006.01)i; H01L 21/8239(2006.01)i; H01L 27/105(2006.01)i; H01L 29/786(2006.01)i; H01L 29/82(2006.01)i
FI: H01L27/105 447; H01L27/088 331E; H01L27/088 E; H01L29/82 Z; H01L43/08 Z; H01L27/105 449; H01L45/00 A; H01L29/78 613B; H01L29/78 618B

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L45/00; H01L43/08; H01L21/8234; H01L27/088; H01L21/8239; H01L27/105; H01L29/786; H01L29/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2015-228493 A (株式会社半導体エネルギー研究所) 17.12.2015 (2015-12-17) [0006], [0039] - [0042], [0045], [0050], [0152], 図2, 4, 9(A)	1-5
Y	WO 2019/073333 A1 (株式会社半導体エネルギー研究所) 18.04.2019 (2019-04-18) [0032], [0066], [0070] - [0075], [0081], [0089], [0090], 図2(B), 7 - 9	1-5
Y	US 2019/0334080 A1 (AGENCY FOR SCIENCE, TECHNOLOGY AND RESEARCH) 31.10.2019 (2019-10-31) [0066], [0111] - [0114], 図6A	1-5
A	JP 2006-186109 A (株式会社東芝) 13.07.2006 (2006-07-13) 全文, 全図	1-5
A	JP 2017-59679 A (株式会社東芝) 23.03.2017 (2017-03-23) 全文, 全図	1-5

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
15.06.2021	22.06.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
宮本　博司 5F 6313
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2021/052197

引用文献	公表日	パテントファミリー文献	公表日
JP 2015-228493 A	17.12.2015	（ファミリーなし）	
WO 2019/073333 A1	18.04.2019	（ファミリーなし）	
US 2019/0334080 A1	31.10.2019	WO 2018/136003 A1	
JP 2006-186109 A	13.07.2006	（ファミリーなし）	
JP 2017-59679 A	23.03.2017	JP 6089081 B1 US 2017/0077177 A1 全文，全図	