(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3698439号
(P3698439)
(45)発行日　平成17年9月21日(2005.9.21)　(24)登録日　平成17年7月15日(2005.7.15)

(51)Int.Cl.[7]　F I
G06F 3/00　G06F 3/00 F

請求項の数 9 (全 9 頁)

(21)出願番号　特願平8-518511
(86)(22)出願日　平成7年11月8日(1995.11.8)
(65)公表番号　特表平9-512371
(43)公表日　平成9年12月9日(1997.12.9)
(86)国際出願番号　PCT/IB1995/000975
(87)国際公開番号　WO1996/017305
(87)国際公開日　平成8年6月6日(1996.6.6)
審査請求日　平成14年11月7日(2002.11.7)
(31)優先権主張番号　94203510.6
(32)優先日　平成6年12月2日(1994.12.2)
(33)優先権主張国　オーストリア(AT)

(73)特許権者
コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴイ
オランダ国　５６２１　ベーアー　アインドーフェン　フルーネヴァウツウェッハ　１
(74)代理人
弁理士　津軽　進
(74)代理人
弁理士　沢田　雅男
(72)発明者　シュッテ　ヘルマン
オランダ国　５６２１　ベーアー　アインドーフェン　フルーネヴァウツウェッハ　１

最終頁に続く

(54)【発明の名称】データ通信バスを有する回路

(57)【特許請求の範囲】
【請求項１】
複数の副回路が接続される通信バスを有する回路であって、各副回路が、優性なようにまたは劣性なように二者択一的に前記バスを駆動してデータを送信するよう構成され、前記バスが、前記副回路の何れか１つが優性なように該バスを駆動する場合に優性状態に入り、全ての副回路が劣性なように該バスを駆動する場合に劣性状態に入るよう構成され、前記副回路が、前記バスの状態を検出してデータを受け取るよう構成され、前記バスが、中継インタフェースを介して相互接続される第１バスライン及び第２バスラインを有し、前記第１バスライン及び前記第２バスラインの各々が、該バスラインに接続される少なくとも１つの副回路を有し、前記優性状態と前記劣性状態とが、前記第１バスライン及び前記第２バスラインの電位の優性レベルと劣性レベルとに各々対応し、前記中継インタフェースが、前記第１バスライン及び前記第２バスライン上に、対応するレベルの電位を論理的に供給するよう構成される回路において、
当該回路が、前記第１バスライン及び前記第２バスラインの電位に、互いに独立であると共に優性な駆動のない各々の劣性レベルを呈させるよう構成される手段を有し、
前記中継インタフェースが、前記第１バスライン及び／または前記第２バスラインの電位が関連する該バスラインの基準レベルと前記優性レベルとの間である場合に該第１バスライン及び該第２バスラインの間の接続を導電状態にし、前記第１バスライン及び前記第２バスラインの電位が関連する該バスラインの前記基準レベルと関連する該バスラインの各々の劣性レベルとの間である場合に前記接続を絶縁状態にするよう構成されることを特徴

とする回路。
【請求項２】
請求項１に記載の回路において、
動作中、前記第１バスラインの前記劣性レベルと前記優性レベルとの差である第１の差が、前記第２バスラインの前記劣性レベルと前記優性レベルとの差である第２の差よりも大きくなるよう構成されることを特徴とする回路。
【請求項３】
請求項１または２に記載の回路において、
前記中継インタフェースが、主電流チャネル及び制御電極を有するトランジスタを有し、前記第１バスライン及び前記第２バスラインの間の接続が前記主電流チャネルを介して延在し、前記制御電極が所定のレベルの電位に結合されて前記基準レベルがトランジスタのしきい電圧を引いた該所定のレベルに対応するようにすることを特徴とする回路。
【請求項４】
請求項３に記載の回路において、
前記トランジスタがＮチャネルの通常オフ状態のIGFETまたはMOSFETであることを特徴とする回路。
【請求項５】
請求項３に記載の回路において、
前記トランジスタがバイポーラトランジスタであることを特徴とする回路。
【請求項６】
請求項４または５に記載の回路において、
前記トランジスタの前記制御電極が、前記第２バスラインの前記劣性レベルの電位を受け取ることを特徴とする回路。
【請求項７】
請求項１乃至６の何れか一項に記載の回路において、
前記第２バスラインに接続される前記副回路または複数の前記副回路へのエネルギ供給を遮断し、
前記第２バスラインの電位の前記劣性レベルを実質的に前記優性レベルまで低減させ、
前記基準レベルを少なくとも前記優性レベルまで低減させて、前記第１バスライン及び前記第２バスラインの間の接続が絶縁し続けるようにするスイッチング手段を有することを特徴とする回路。
【請求項８】
請求項７に記載の回路において、
前記第１バスラインに接続される副回路が制御のために前記スイッチング手段に結合されることを特徴とする回路。
【請求項９】
請求項７または８に記載の回路において、
前記第２バスラインが、連続的に、前記接続と、第３バスラインと、機能性が該接続の機能性と類似している他の接続とを介して前記第１バスラインに結合され、当該回路が、前記第３バスラインを優性な駆動のない劣性レベルに至らせる手段を有することを特徴とする回路。
【発明の詳細な説明】
技術分野
本発明は、複数の副回路が接続される通信バスを有する回路であって、各副回路が、二者択一的に優性なようにまたは劣性なように前記バスを駆動してデータを送信するよう構成され、前記バスが、前記副回路の何れか１つが優性なように該バスを駆動する場合に優性状態に入り、全ての副回路が劣性なように該バスを駆動する場合に劣性状態に入るよう構成され、前記副回路が、前記バスの状態を検出してデータを受け取るよう構成され、前記バスが、中継インタフェースを介して相互接続される第１バスライン及び第２バスラインを有し、当該回路において、前記第１バスライン及び前記第２バスラインの各々が、該バ

スラインに接続される少なくとも１つの副回路を有し、前記優性状態と前記劣性状態とが、各々、前記第１バスライン及び前記第２バスラインの電位の優性レベルと劣性レベルとに対応し、前記中継インタフェースが、前記第１バスライン及び前記第２バスライン上の電位の論理的に対応するレベルを供給するよう構成される回路に関する。

上述のような回路は、Philips Semiconductors発行、“ IC20 Data Handbook 1994 ”の第４章から既知である。この文献は、データ通信バス（I2Cバス）及び中継インタフェース（82B715 IC）について記述している。

I2Cバスを有する回路中の副回路は、バスライン（SDAライン）を介して通信する。副回路は、バスラインと共にワイヤードAND回路を構成する。このようにして、各副回路は、バスライン上の電位を低い「優性」レベルに下げることができる。バスライン上の電位は、副回路のいずれも該バスライン上の電位を下げない場合に高い「劣性」レベルを呈する。

背景技術

前述の回路は、データ通信及び調停のために使用される。データ通信の場合には、１つの副回路が送信機として働き、１つ（以上）の副回路が受信機として働く。この送信機は、バスラインの電位のレベルを、交互に該レベルを優性レベルに至らせ、再び該レベルを開放することにより、制御する。これが行なわれる瞬間は、送信されるべきデータに依存する。受信機は、連続する瞬間においてバスラインの電位のレベルを検出し、この検出結果を基に送信データを得る。

各副回路は、送信機として働くことができる。これは、他の回路がバスラインを優性レベルに至らせないという条件下では、各副回路がバスライン上の電位のレベルを制御することができるからである。更に、各副回路はまた、受信機として働くこともできる。このようにして、副回路の種々の対の間の通信が、バスラインを介して可能である。

調停は、データ通信において、他の副回路が不所望にバスラインを優性状態に至らせるという理由で送信機が妨害されないことを確実にするのに役立つ。それ故、データ通信よりも調停段階が先行する。

調停段階の間には、バスラインの制御を望む種々の副回路が、バスラインの電位を優性レベルに至らせることを許容される。調停段階の間に、これら副回路はまた、バスラインの電位を再び解放し、次いでこの電位を検出するであろう。その場合、電位の継続的な優性レベルは、別の副回路がバスラインの制御を獲得することを望んでいることを意味する。その後、この電位を検出する副回路は、調停を解き、バスラインの電位を自由にする。

中継インタフェースは、２つのバスラインの透過的な相互接続に役立つ。多数の副回路が、バスラインの各々に接続される。中継インタフェースは、個々の副回路から見た場合に、他の全ての副回路が１つバスラインにしか接続されていないかのように見えることを確実にする。

これは、個々の副回路が、該副回路に接続されるバスラインの電位を優性レベルに至らせる場合に、中継インタフェースは、他のバスラインの電位もまた優性レベルを呈することを確実にすることを意味する。副回路のいずれもバスラインを優性レベルに至らせない場合には、両バスラインの電位は劣性レベルを呈する。

バスは、異なる集積回路の副回路間の通信に著しく役立つ。このような集積回路のうちの幾つかは、該集積回路が異なる電源電圧で動作する場合であっても、１つの回路装置において用いられ得ることが望ましい。データが、第１電源電圧で動作する第１集積回路中の副回路と、この第１電源電圧に対処することができない第２集積回路中の副回路との間で交換され得ることがとりわけ望ましい。

既知の回路において、全ての副回路が、バスラインの電位の同じ劣性レベル及び同じ優性レベルで動作することができることが必要である。これらのレベルは、電源端子の電位に対応し、該電位から得られる。それ故、これらの副回路のうちの１つが他の副回路と共用できない電源電圧で動作する場合には、異なる集積回路中の副回路間でバスを介してデータを通信することは不可能である。

この問題は、最も高い電源電圧で動作する集積回路の電源端子の電位の間の差よりも小さくなるように、優性レベルと劣性レベルとの間の差を選択することにより基本的には解決

され得る。しかしながら、これは、これらの集積回路が他の集積回路との通信のために特別に設計されなければならないであろうことを意味するであろう。
さらに、エネルギ節減のために、副回路の一部に対するエネルギの供給が、これらの副回路が必要ない場合には停止され得ることが望ましい。しかしながら、他の副回路の間のデータ通信用には、バスラインの電位の変更が依然として可能であろう。これらの電位の変更は、エネルギの供給が停止される副回路に損害を与え得る、またはこれらの副回路は、バスラインの電位の変更を妨げ得る。
発明の開示
本発明の目的は、とりわけ、データ通信が、異なる電源電圧で動作する異なる集積回路中に組み込まれる副回路の間で可能である回路を提供することにある。
本発明による回路は、当該回路が、第１バスライン及び第２バスラインの電位に、優性な駆動のない、かつ互いと無関係の各々の劣性レベルを呈させるよう構成される手段を有し、中継インタフェースが、前記第１バスライン及び／または前記第２バスラインの電位が関連する該バスラインの基準レベルと優性レベルとの間である場合に該第１バスライン及び該第２バスラインの間の接続を導電状態にし、前記第１バスライン及び前記第２バスラインの電位が関連する該バスラインの前記基準レベルと関連する該バスラインの各々の劣性レベルとの間である場合に前記接続を絶縁状態にするよう構成されることを特徴とする。このようにして、前記バスラインは、該バスラインの電位が前記劣性レベルにある場合に、前記副回路のいずれもがどのバスラインも前記優性レベルに至らせないことから、相互に絶縁される。このようにして、前記バスラインの電位は、各々の劣性レベルを呈することができる。それ故、比較的高い劣性レベルを必要とする副回路は、前記第１バスラインに接続され得る。比較的低い劣性レベルにしか耐えることができない副回路は、前記第２バスラインに接続され得る。
副回路の１つがバスラインの電位を優性レベルに至らせる場合、他のバスラインの電位もまたインタフェース回路を介して前記優性レベルに至らされるであろう。その場合、データ通信及び調停は、関連する副回路が接続されるバスラインと関係なく、通常どおり実行され得る。
本発明による回路の実施例は、中継インタフェースが、主電流チャネル及び制御電極を有するトランジスタを有し、第１バスライン及び第２バスラインの間の接続が前記主電流チャネルを介して延在し、前記制御電極が所定のレベルの電位に結合されて基準レベルがトランジスタのしきい電圧を引いた該所定のレベルに対応するようにすることを特徴とする。前記トランジスタの使用は、前記中継インタフェースの非常に簡単な実施を可能にする。
本発明による回路の他の実施例は、トランジスタがＮチャネルの通常オフ状態のMOSFETであり、このトランジスタのゲート電極が第２バスラインの劣性レベルの電位を受け取ることを特徴とする。このようにして、基準電位は簡単に実現される。
本発明による回路の実施例は、当該回路が、第２バスラインに接続される副回路または複数の副回路へのエネルギ供給を遮断し、
前記第２バスラインの電位の劣性レベルを実質的に優性レベルまで低減させ、
基準レベルを少なくとも前記優性レベルまで低減させて、第１バスライン及び前記第２バスラインの間の接続が絶縁し続けるようにするスイッチング手段を有することを特徴とする。前記第２バスラインに接続される副回路へのエネルギ供給及び基準電位をオフにすることにより、該副回路が損害を与えられることなく、または他の副回路の動作が妨げられることなく、エネルギが節減される。
本発明の他の実施例は、第１バスラインに接続される副回路が、制御のためにスイッチング手段に結合されることを特徴とする。斯くして第２バスラインに接続される副回路は、前記第１バスラインを介して受け取られるコマンドによって再び作動され得る。
本発明の他の実施例は、第２バスラインが、連続的に、前記接続と、第３バスラインと、機能性が該接続の機能性と類似している他の接続とを介して第１バスラインに結合され、当該回路が、前記第３バスラインを優性な駆動のない劣性レベルに至らせる手段を有する

ことを特徴とする。斯くして、前記第１バスラインに接続される副回路及び／または前記第２バスラインに接続される副回路は、互いと無関係に所望なように停止され得る。

【図面の簡単な説明】

第１図は本発明による回路の第１実施例を示す図である。

第２図は本発明による回路の第２実施例を示す図である。

第３図は本発明による回路の第３実施例を示す図である。

第４図は本発明による回路の第４実施例を示す図である。

発明を実施するための最良の形態

第１図に、本発明による回路の第１実施例を示す。この回路は第１バスライン２０と第２バスライン１０とを有する。

例として、２つの副回路２２，２４は、対応するバスインタフェース出力224,244を介して第１バスライン２０に結合される。副回路２２，２４は、それぞれ第１及び第２電源端子V_0，V_1に結合された２つの電源入力220，222，240，242を有する。第２電源端子V_1は、抵抗素子Ｒ１を介して第１バスラインに結合される。

例として、２つの副回路１２，１４が対応するバスインタフェース出力124，144，を介して第２バスライン１０に結合される。副回路１２，１４は、それぞれ第１電源端子V_0及び第３電源端子V_2に結合された２つの電源入力120，122，140，142を有する。第３電源端子V_2は、抵抗素子Ｒ２を介して第２バスライン１０に結合されている。

第１及び第２バスライン２０，１０は、ＮチャネルFET（電界効果トランジスタ）として示されたトランジスタ１６のチャネルを介して相互結合される。このトランジスタの制御電極は、第３電源端子V_2に結合される。ダイオード１８は、トランジスタ１６のチャネルと平行に示されている。トランジスタ１６がMOSFET（より一般的にはIGFET）の場合、バックゲート（基板）が望ましくはソースに結合される。この結果として、バックゲート・ドレインダイオードがトランジスタ１６のチャネルと平行になる。このダイオードは、ダイオード１８として示されている。

第１電源電圧であるＶＡ（ＶＡ＝V_1－V_0）は、動作中、第１及び第２電源端子V_0，V_1間に印加される。第１及び第３電源端子V_0，V_2間には、第２電源電圧であるＶＢ（ＶＢ＝V_2－V_0）が印加される。第１電源電圧ＶＡは、第２電源電圧ＶＢよりも高く、これら電圧は、例えば、それぞれ５Ｖ及び3.3Ｖである（上下１０％の変動可）。

トランジスタ１６は、例えば、ゲート（第３バスラインに結合される）の電位がソース（第２バスライン１０に結合される）の電位に等しくかつ、ドレイン（第１バスライン２０に結合される）の電位よりも低い場合にチャネルが非導通であるＮチャネル・エンハンスメントFETである。このチャネルは、ソース及び／またはドレインの電位が、ゲートの電位よりも低いしきい電圧ＶＴ（例えば1.5Ｖ）以上の場合にのみターンオフされる。

副回路が構築する第１電源端子への導電経路を可能な限り短くすることにより、第１バスライン２０の電位は、第２バスライン１０の電位が第１電源端子V_0の電位よりも高い第２電源電圧ＶＢであっても、第１電源端子V_0の電位よりも高い第１電源電圧ＶＡになる。第２バスライン１０の電位は、第１バスライン２０の電位よりも低く（例えば５Ｖ及び3.3Ｖの場合よりも低い1.7Ｖ）、トランジスタ１６のゲートの電位に等しい。

副回路（例えば副回路１２）の１つが、第２バスライン１０と第１電源端子V_0との間の導電経路を設ける場合、第２バスライン１０の電位が、第１電源端子V_0の電位に引き寄せられる。この結果、トランジスタ１６のソースの電位が、トランジスタ１６のチャネルを活性化するためには十分な値により、ゲートの電位よりも低くなる。この結果、第１バスライン２０の電位が、第１電源端子V_0の電位に同様に引き寄せられる。

導電経路を設ける副回路１２がこの経路を再び寸断する場合、バスライン１０，２０の電位が抵抗素子Ｒ１，Ｒ２の影響の基で再び引き寄せられる（もちろん、他の副回路がバスライン１０，２０と第１電源端子V_0との間の導電結合を設定することなく設けられる）。トランジスタ１６のチャネルは、この場合、トランジスタ１６のゲートの電位を下回る或るしきい電圧ＶＴを下回る領域の様に増加した第２バスライン１０の電位に到るまでの時間について活性化を維持する。次いで、トランジスタ１６のチャネルが非活性化され、

そして第１及び第２バスライン２０，１０の電位が、独立した方法で、再び第１バスライン２０の電位が第２電源端子V_1の電位に到り、そして第２バスライン１０の電位が第３電源端子V_2に到るまで更に上昇する。
副回路の１つ（例えば副回路２２）が第１バスライン２０と第１電源端子V_0との間の導電経路を設定する場合、第２バスライン１０の電位が第１バスライン２０を介して下げられるという小さな作用が生じる。トランジスタのバックゲートがそのソースに結合される場合、ダイオード１８は、導通のために、第２バスライン１０を第２バスライン１０を引き下げることを開始する。ダイオード１６により、ドレインの電位を、ソースの電位を遥か下回るように下げることはできない。もちろん、トランジスタ１６のバックゲートを、例えばV_0の電位を維持することができる。この場合、第２バスライン１０の電位は、第１バスライン２０の電位がトランジスタ１６のゲートの電位を急激に下回るとき、トランジスタ１６のチャネルの導電性を得るために引き下げられる。
複数の副回路が、連続的にバスライン１０，２０と第１電源端子V_0との間の導電経路を設定するとき、バスライン１０，２０の両者は、第１電源端子V_0の電位に引き寄せられる。この電位は、バスライン１０，２０の電位の優性レベルに対応する。第２及び第３電源端子の電位は、それぞれ第１バスライン２０及び第２バスライン１０の電位の劣性レベルに対応する。
回路は、バス（ワイヤードロジック）の優性及び劣性モードをもたらす副回路１２，１４，２２，２４間のデータ通信に適する。回路及びプロトコルの例は、例えば、本明細書で参照する、Philips Semiconductors著、“IC20 Data Handbook 1994”の第４章に記述されたようなI2Cバスに関するものである。この部分は同様に副回路の多くの例を含む。I2Cバスは、データラインSDAとクロックラインSCLを使用し、何れも、優性／劣性モードに応じて制御される。
第２図は、I2Cバスと連動して使用する本発明による回路を示す図である。ここで、第１図の第１バスライン２０は、それぞれ対応する抵抗素子Ｒ３，Ｒ４を介して電源端子V_1に結合される２つの導電ラインSDA1, SCL1に置き換えられる。第１図の第２バスライン１０は、それぞれ抵抗素子Ｒ３，Ｒ４を介して第３電源端子V_2に結合された２つの導電ラインSDA2, SCL2に置き換えられる。導電ラインSDA1, SCL1は、それぞれトランジスタ５８，５９のチャネルを介して導電ラインSDA2, SCL2に結合される。トランジスタ５８，５９のゲートは、第３電源端子V_2に結合される。副回路５４，５６は、導電ラインSDA1, SCL1に結合される。副回路５０，５２は、導電ラインSDA2, SCL2に結合される。副回路５０，５２，５４，５６の電源入力は、明確な目的のために省かれた。
接続トランジスタ５８を持つ導電ラインSDA1, SDA2の各々は、第１図のバスライン１０，２０について説明されたものと同様の方法で動作する。ラインSCL1, SCL2用の同一のホルダは、結合トランジスタ５９を持つ。これらラインを使用するロジックは、上述の“データ　ハンドブック”に記述されている。
本発明は、I2Cバスに限定されるものでなく、例えばパラレルバス、ポイント間結合のような他のバス用に使用できる。
第３図は、本発明の回路の第３実施例を示す図である。同図と第１図との間に存在する同一部分及び同一要素は、同一番号で示す。第１図に対する相違点は、スイッチング回路３０が第３電源端子V_2の一方の側と抵抗素子Ｒ２の他方の側と、トランジスタ１６のゲートと、第２バスライン１０に結合された副回路１２，１４の電源入力120, 140との間に挿入されたという点である。第１バスライン２０に結合された副回路の１つ（２２）は、スイッチング回路３０の制御入力に結合された制御出力を持つ。
スイッチング回路３０は、データ通信の不必要な中断無しで第２バスライン１０に結合された副回路１２，１４の印加電圧を低減する状況を提供する。スイッチング回路の第１実施例は、導通状態と非導通状態の２つの状態を有する。導通状態において、スイッチング回路３０が第３電源端子V_2の電位を伝える。この導通状態において、副回路１２，１４及び第２バスライン１０は、第１図を参照して説明したように動作する。
非導通状態において、トランジスタ１６のゲートの電位が、第２バスライン１０及び副回

路１２，１４の電源入力120，140上で、第１電源端子V_0の電位のレベルに実質的に一致する。副回路１２，１４は、この場合は非活性化され、そしてトランジスタ１６がターンオフされる。この結果、トランジスタ１６が第１バスライン２０から回路の非活性化部分を分離するため、第１バスライン２０に結合されかつ活性化される副回路２２，２４が、通常は第２バスライン１０による遮断無しで通信できるのに反して、エネルギ消費が低減される。

明確には、副回路１２，１４、トランジスタ１６のゲート、そして第２バスライン１０用のエネルギ供給を総括的に非活性化することは、種々の方法で実施できる。第３図に簡略化を目的として示されたように、この方法としては、お互いに直接結合されるべきこれら素子については必要ない。

スイッチング回路３０は、望ましくは、第１バスライン２０に結合された副回路２２に制御される。即ち、第２バスラインは、第１バスライン２０の制御の基でスイッチオン及びオフできる。スイッチング回路３０のスイッチオン及びオフは、しかしながら、図示しない中央制御ユニットもしくは手動操作スイッチにより実現できる。

スイッチング回路３０の更なる実施例は、制御信号に応じて、トランジスタ１６のゲートと、第２バスライン１０と、副回路１２，１４の電源入力120，140に、介在状態における低減電位レベル（第３電源端子V_2と第１電源端子V_0との間の電位のレベル）を供給するために配置される。副回路１２，１４は、ローエネルギモード（低速モードも可）に切替えられ、そしてバスライン１０，２０を介して他の副回路２２，２４と通信を継続する。

第４図は、本発明による回路の更なる実施例を示す図である。図は、第３図と類似しており、同一部品は同一符号で示す。

第３バスライン４４は、第１及び第２バスライン２０，１０の間に挿入される。第３バスライン４４は、トランジスタ４６のチャネルを介して、第１バスライン２０に結合される。ダイオード４８は、このチャネルに平行に結合される。第３バスライン４４は、トランジスタ１６のチャネルを介して第２バスライン１０に結合される。第３バスライン４４は、抵抗素子Ｒ３を介して、第４電源端子V_3に結合される。

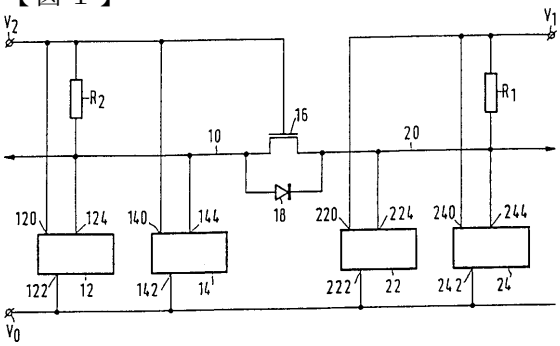
トランジスタ４６のゲートは、第１バスライン２０に結合された副回路２２，２４の電源入力220，240に結合される。このゲートは同様に、抵抗素子Ｒ１を介して、第１バスライン２０に結合される。このゲートは、第１スイッチング素子４２を介して、第２電源端子V_1に結合される。

第２バスライン１０に結合された副回路１２，１４は、エネルギ低消費状態（非消費状態）で駆動できる第２バスライン１０に結合されかつ／もしくは副回路２２，２４がエネルギ低消費状態（非消費状態）で駆動できる第１バスライン２０に結合される。エネルギを受け取る副回路１２，１４，２２，２４は相互に通信することができる。この関係は、一方の側の第１及び第２バスライン２０，１０の電位レベルと、他方の側の第３バスライン４４の電位のレベルとの間に設定される。この関係は、第１図を参照して説明した関係に類似しており、一方の側の第２バスライン１０と他方の側の第１バスライン２０のレベルの間に存在する。

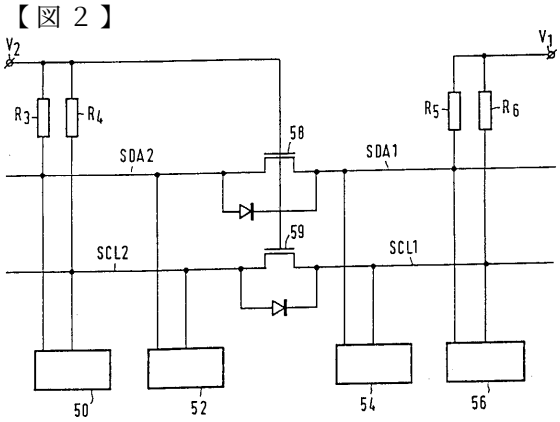
更に、トランジスタを介した結合に類似した結合を介して、調停される多数の更なるバスラインを、第３バスラインに結合できる。各バスラインは、結合された副回路と共に、他のバスラインとは区別してスイッチオン及びオフできる。更に、更なるバスラインが、対応する方法で第１もしくは第２バスラインに結合できる。

本発明を、NMOS型電界効果トランジスタ１６を基本として説明したが、明らかに、他の形式のトランジスタもしくは他のスイッチング素子を、本発明の視野を外れない限り使用できる。スイッチング素子は、バスが劣性モードの場合に絶縁し、回路が優性モードの場合に導通すれば十分である。抵抗素子の使用は、例えば、抵抗から構築できるが、優性駆動の休止時にバスラインの電位を所定のレベルに下げる、例えば負荷トランジスタであっても良い。

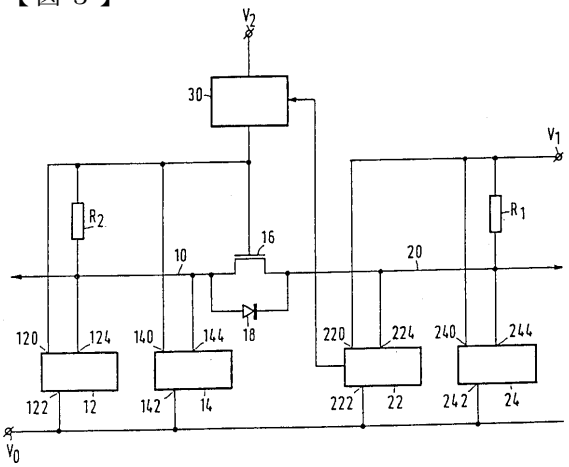
【図１】


V2
V1
R2
R1
16
10
20
18
120
124
140
144
220
224
240
244
122
12
142
14
222
22
242
24
V0

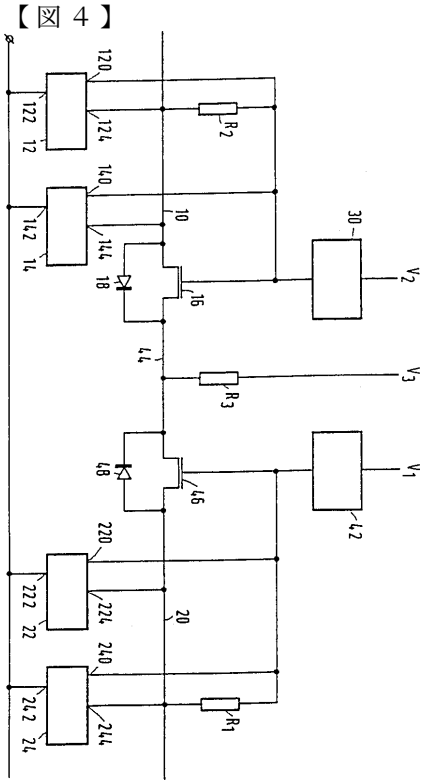
【図２】


V2
V1
R3
R4
R5
R6
58
SDA2
SDA1
59
SCL2
SCL1
50
52
54
56

【図３】


V2
30
V1
R2
R1
16
10
20
18
120
124
140
144
220
224
240
244
122
12
142
14
222
22
242
24
V0

【図４】


120
122
12
124
R2
140
142
14
144
10
30
18
16
V2
44
V3
R3
48
46
V1
42
220
222
22
224
20
240
242
24
244
R1

フロントページの続き

審査官　山崎　慎一

(56)参考文献　特開平０５－１８１７９４（ＪＰ，Ａ）
特開平０８－０８４１５４（ＪＰ，Ａ）
特開平１－１０６１５６（ＪＰ，Ａ）
特開平１－２２４８１９（ＪＰ，Ａ）
特開昭５７－９０７３３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G06F 3/00