

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
 G06F 3/00

(45) 공고일자 2005년04월19일
 (11) 등록번호 10-0459738
 (24) 등록일자 2004년11월24일

(21) 출원번호	10-1996-0053573	(65) 공개번호	10-1997-0028966
(22) 출원일자	1996년11월13일	(43) 공개일자	1997년06월26일

(30) 우선권주장 555,456 1995년11월13일 미국(US)

(73) 특허권자
 모토로라 인코포레이티드
 미국, 일리노이 60196, 샤움버그, 이스트 앤공퀸 로드 1303

(72) 발명자
 버논 버나드 골러
 미국, 텍사스 78749, 오스틴, 라콘차 패스 6808

게리 린 밀러
 미국, 텍사스 78681, 라운드 록, 퍼플 사지 410

데이빗 리베라
 미국, 텍사스 78749, 오스틴 마리코파 코브 7404

(74) 대리인
 신현문
 이병호
 이범래
 정상구

심사관 : 퇴-김형철

(54) 향상된타이머성능을가진집적회로입력/출력프로세서

요약

도 1과 도 2에서, I/O 제어 모듈들(IOCM(25 내지 29))은 타이머 버스들(71, 72)과 핀/상태 버스들(75 내지 77)을 통하여 통신하는 채널들을 가진다. 채널들(86, 87)은 각각의 타이머 버스들(71, 72)에 의해 채널들(86, 87)의 분리된 블록들로 분할되고, 상기 채널들은 각각의 타이머 버스들(71, 72)에 의해 타임베이스 채널들(timebase channels; 80, 81)로부터 나온 서로 다른 타임베이스 값들에 대한 액세스를 구비하고, 따라서, 타이머 버스 블록(예를들면, 86)내의 각각의 채널이 대응 타이머 버스(71)로부터 동일한 타임베이스 값을 동시에 수신할 수 있기 때문에 해상도의 손실이 없다. 핀/상태 버스들(75 내지 77)은 동일한 핀/상태 버스들(예를들면, 76)에 결합된 채널들(예를들면, 58) 사이에서 동시에 제어할 수 있다. 핀/상태 버스들(75 내지 77)과 타이머 버스들(71, 72)은 독립적으로 분할될 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 데이터 처리 시스템(10)의 블록 다이어그램.

도 2는 본 발명의 일 실시예에 따른 도 1의 회로(25)의 일부를 도시한 블록 다이어그램.

도 3은 본 발명의 일 실시예에 따른 도 1의 회로(26)의 일부를 도시한 블록 다이어그램.

도 4는 본 발명의 일 실시예에 따른 도 1의 회로(25)의 일부를 도시한 블록 다이어그램.

도 5는 본 발명의 일 실시예에 따른 도 1의 회로(25)의 일부를 도시한 블록 다이어그램.

도 6은 결과 컨덕터(result conductor)(168)의 논리 레벨을 결정하기 위하여 도 5 내의 핀 제어 회로(64)에 이용되는 진리 표.

도 7은 본 발명의 일 실시예에 따른 도 5의 제어 레지스터(166)의 한 부분과 제어 레지스터(167)의 한 부분을 도시한 블록 다이어그램.

도 8은 도 7의 핀 출력 자극(stimulus) 제어 비트(182 또는 183)에 의해 사용자가 프로그램할 수 있는 기능 세트를 도시한 표.

도 9는 매치 채널들(160과 161)의 논리 AND와 논리 OR 상태에 의해 도 5의 핀(165)에서 발생된 결과의 한 예를 도시한 표.

도 10은 본 발명의 일 실시예에 따른 도 1의 회로(26과 27)의 일부를 도시한 블록 다이어그램.

도 11은 본 발명의 일 실시예에 따른 도 10의 제어 레지스터(226)의 일부를 도시한 블록다이어그램.

도 12는 본 발명의 일 실시예에 따른 도 10의 회로(26)의 일부를 도시한 블록 다이어그램.

도 13은 본 발명의 일 실시예에 따른 도 2의 회로(61, 62, 80, 81 및 86)내의 각 채널의 일부를 도시한 블록 다이어그램.

도 14는 본 발명의 일 실시예에 따른 도 2의 회로(25)의 일부를 도시한 블록 다이어그램.

도 15는 타이머 버스의 서로 다른 타임 슬롯에서 사용자가 하나 또는 그 이상의 타임베이스 값을 선택적으로 제공할 수 있는 방법을 나타낸 여덟 개의 실시예를 도시한 도면.

도 16은 본 발명의 일 실시예에 따른 타이머 시스템 집적 회로(280)를 도시한 블록 다이어그램.

도 17은 본 발명의 일 실시예에 따른 데이터 처리 시스템(315)을 도시한 블록 다이어그램.

도 18은 본 발명의 일 실시예에 따른 도 16의 마스터 타임베이스 채널(285)의 한 부분과 슬레이브 타임베이스 채널(288)의 한 부분을 도시한 블록 다이어그램.

도 19는 본 발명의 일 실시예에 따른 도 17의 마스터 타임베이스 채널(304)의 한 부분과 슬레이브 타임베이스 채널(310)의 한 부분을 도시한 블록 다이어그램.

도 20은 본 발명의 일 실시예에 따른 도 1의 회로(25)의 일부를 도시한 블록 다이어그램.

도 21은 본 발명의 일 실시예에 따른 도 20의 캡쳐 채널(401)의 일부를 도시한 블록 다이어그램.

도 22는 본 발명의 일 실시예에 따른 도 20의 캡쳐 채널(401)의 일부를 도시한 블록 다이어그램.

도 23은 각각의 동작 모드에서 구성되는 동안 데이터 전송 동작을 지지하는 각 채널의 DVB 비트(예를 들면, 도 22의 425)를 설정하고 삭제할 수 있는 액션을 도시한 표.

도 24는 데이터를 전송하는 각각의 채널에서 데이터 전송 제어 비트(DTC)(예를 들면, 도 21 및 22에서 423 내지 424)에 의해 제어된 데이터 전송 동작을 도시한 표.

도 25는 본 발명의 일 실시예에 따라서 종래보다 누적 에러가 더 적은 주기 누적 측정을 수행하는 향상된 방법을 도시한 타이밍 다이어그램.

도 26은 본 발명의 일 실시예에 따른 주기 누적 측정을 수행하는 향상된 방법을 도시한 타이밍 다이어그램.

도 27은 본 발명의 일 실시예에 따른 도 2의 카운터 채널(58)의 일부를 도시한 도면.

도 28은 본 발명의 일 실시예에 따른 도 2의 레지스터(67)의 제 1 부분을 도시한 블록 다이어그램.

도 29는 본 발명의 일 실시예에 따른 도 2의 레지스터(67)의 제 2 부분을 도시한 블록 다이어그램.

도 30은 본 발명의 일 실시예에 따른 도 2의 레지스터(67)의 제 3 부분을 도시한 블록 다이어그램.

도 31은 본 발명의 일 실시예에 따른 주기 누적 측정을 수행하는 향상된 방법을 도시한 블록 다이어그램.

도 32는 본 발명의 일 실시예에 따른 도 2의 카운터 채널(58)의 일부를 도시한 블록 다이어그램.

도 33은 본 발명의 일 실시예에 따른 타임베이스 값을 캡쳐하는 향상된 방법을 도시한 타이밍 다이어그램.

도 34는 본 발명의 일 실시예에 따른 타임베이스 값을 캡쳐하는 향상된 방법을 도시한 타이밍 다이어그램.

도 35는 본 발명의 일 실시예에 따른 도 2의 레지스터(66)의 제 1 부분을 도시한 블록 다이어그램.

도 36은 본 발명의 일 실시예에 따른 도 2의 레지스터(66)의 제 2 부분을 도시한 블록 다이어그램.

도 37은 본 발명의 일 실시예에 따른 도 2의 캡쳐 채널(55)의 일부를 도시한 블록 다이어그램.

도 38은 본 발명의 일 실시예에 따른 도 2의 레지스터(65)의 제 1 부분을 도시한 블록 다이어그램.

도 39는 본 발명의 일 실시예에 따른 도 2의 레지스터(65)의 제 2 부분을 도시한 블록 다이어그램.

도 40은 본 발명의 일 실시예에 따른 도 2의 매치 채널(57)의 일부를 도시한 블록 다이어그램.

* 도면의 주요 부분에 대한 부호의 설명 *

22 : 집적 회로 타이머 50 : 타임베이스 선택 신호

56 : 제 2 워크 채널 57 : 제 1 워크 채널

61 : 제 1 타이머 버스 제어 채널 71 : 제 1 타이머 버스

200 : 클로벌 통신 버스 281 : 제 1 타이머 모듈

328 : 클럭 컨터터 329 : 동기 컨터터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 입력/출력 프로세서에 관한 것으로, 특히 향상된 타이머 성능을 가진 입력/출력 프로세서에 관한 것이다.

발명이 이루고자 하는 기술적 과제

복잡한 실시간 제어 시스템들, 예를 들면, 자동 추진 및 로봇식의 제어 시스템들에 이용된 데이터 처리 시스템들은 더 정교한 제어, 더 빠른 시스템 응답, 더 많은 입력/출력(I/O) 성능을 요구한다. 그 결과, 상기 데이터 처리 시스템에 의한 대량의, 더 빠르고, 향상된 입력/출력(I/O) 처리에 대한 요구가 크게 증가했다. 마이크로 컴퓨터들은 더 정교한 제어를 위하여 디지털과 아날로그 양자 모두 더 높은 해상도 출력을 제공할 것으로 예상된다. 더 높은 주파수 제어 기능들에 대하여, 중앙 처리 장치(CPU)는 오버헤드 처리 때문에, 소요된 속도로 응답할 수 없다. CPU에게 과부담을 주지 않고 더 빠르고, 향상된 I/O 처리 성능을 제공하는 해결책이 요구된다.

또한, 마이크로 컴퓨터들은 폭넓은 응용들을 수용하도록 상당한 유연성이 요구된다. 기존의 마이크로 컴퓨터들에서, I/O 처리에서의 유연성은 포트들 또는 단순한 타이머 채널들에서 동작하는 중앙 처리 장치(CPU) 소프트웨어를 통하여 제공되었다. 또한 아날로그와 디지털 방식의 I/O도 CPU 소프트웨어를 통하여 링크되었다. 그러나, I/O 대역폭은 주로 CPU가 모든 I/O에 포함된 이후 시스템 오버헤드로 인해 손실되었다. 따라서, 유연성과 증가된 I/O 성능 모두를 제공하는 해결책이 요구된다.

발명의 구성 및 작용

용어 "버스(bus)"는 데이터, 주소, 제어 또는 상태와 같은 하나 또는 그 이상의 다양한 형태의 정보를 전송하는데 이용될 수 있는 복수의 신호들 또는 도선들을 의미한다. 용어 "표명(assert)"와 "부정(negate)"는 신호, 상태 비트, 집적 회로 핀, 또는

유사한 장치를 논리적으로 참 또는 논리적으로 거짓 상태로 각각 표시할 때 사용될 것이다. 만약 논리적으로 참인 상태가 논리 레벨 1이면, 논리적으로 거짓인 상태는 논리 레벨 0일 것이다. 그리고 만약 논리적으로 참인 상태가 논리 레벨 0이면, 논리적으로 거짓인 상태는 논리 레벨 1이 될 것이다.

용어 "설정(set)"은 신호, 상태 비트, 집적 회로 펈, 또는 이와 유사한 장치를 논리 레벨 1로 표시할 때 사용된다. 용어 "클리어(clear)"는 신호, 상태 비트, 집적 회로 펈, 또는 유사한 장치를 논리 레벨 0으로 표시할 때 사용된다. 그리고, 용어 "토글(toggle)"은 신호, 상태 비트, 집적 회로 펈, 또는 유사한 장치를 현재 상태가 논리 레벨 0이면 논리 레벨 1로 표시하고, 현재 상태가 논리 레벨 1이면 논리 레벨 0으로 표시할 때 사용된다.

숫자 앞의 기호 "%"는 상기 숫자가 이진수 형태로 표시된다는 것을 나타낸다. 숫자 앞의 기호 "\$"는 상기 숫자가 십육진수 형태로 표시된다는 것을 나타낸다. 용어 "집적 회로 펈" 및 "핀"은 교환 가능하게 사용된다. 또한, 용어 "집적 회로 펈" 또는 "핀"이 사용될 때, 본딩 패드, 또는 집적 회로로부터 외부 장치에 전기적인 결합을 제공하기 위한 어떠한 커넥터가 대신 사용될 수 있다.

본 발명을 철저히 이해하기 위하여, 특정 단어 또는 바이트 길이 등과 같은 많은 특정 상세가 하기 예준비된다. 그러나, 이와 같은 특정 상세없이 본 발명이 실시될 수 있음을 본 기술에 숙련된 사람에게 자명할 것이다. 다른 예에서, 회로는 불필요한 상세를 통하여 본 발명을 이해하기 어렵게 하지 않도록 하기 위하여 블록 다이어그램으로 도시되었다. 대부분의 경우에, 상세가 본 발명을 완전히 이해하는데 필요하지 않고 관련 기술 분야에 일반적인 기술을 가진 사람의 기술 범위내에 있는 한, 타이밍 고려 등에 관련된 상세는 생략되었다.

용어 "집적 회로 펈" 및 "핀"(예를 들면, 도 1에서 31내지 35와 19)은 본 명세서를 통하여 사용되는데, 상기 용어는 전기 신호가 예를 들면, 집적 회로 본딩 패드, 솔더 범프, 도선 등과 같은 집적 회로와 교통하도록 하는 어떤 형태의 장치를 둘러싸는 것을 의미한다.

도면에 있어서, 도시된 소자는 반드시 축척으로 도시될 필요는 없고 비슷하거나 유사한 소자는 몇몇 도면에서 같은 참조 번호로 표시된다.

입력/출력 제어 모듈들(도 1의 IOCM(25 내지 29) 참조)은 유연성과 향상된 I/O 성능을 데이터 처리 시스템에 제공한다. 본 발명의 일 실시예에서, 하나 또는 그 이상의 IOCM(25 내지 29)은 중앙 처리 장치(CPU)(13)로부터 개별적인 집적 회로에 위치되지만, 상기 하나 또는 그 이상의 IOCM들(25 내지 29)은 버스(30)를 통하여 CPU(13)와 통신한다. 본 발명의 다른 실시예에서, 하나 또는 그 이상의 IOCM들은 CPU와 같은 집적 회로상에 위치될 수 있다. 예를 들면, 도 1에 있어서, 다른 회로(15)는 버스(17)를 통하여 통신하는 입력/출력 제어 모듈(IOCM)로 실행될 수 있다.

각각의 IOCM(25내지 29)은 모듈러 아키텍처를 이용하여 설계된다. 최고 레벨에서, 각각의 IOCM들(25 내지 29)은 상호 모듈 버스(24)를 통하여 다른 모듈들과 통신할 수 있는 모듈이다. 예를 들면, 일 실시예에서, 각각의 IOCM들(25 내지 29)은 텍사스주 오스틴 주도의 모토롤라 회사 제품인 MC68HC300 마이크로컴퓨터 군과 함께 사용될 수 있는 모듈일 수 있다.

모듈 그 자체일 수도 있지만, IOCM들(25 내지 29)중의 각 하나는 또한 서브 모듈들, 또는 모듈러 I/O 채널들로 구성될 수도 있다. 서로 다른 IOCM 버전들은 어떤 결합(combination)에서 "채널들의 실리콘 라이브러리(silicon library of channels)"로부터 모듈러 채널들을 결합함으로써 쉽게 만들어질 수 있다. 채널들은 특정 동작들을 수행하기 위하여, 디지털 또는 아날로그 I/O 성능을 포함하는 서로 다른 하드웨어를 구비할 수 있다. 예기치 않은 I/O 기능들을 위한 성장 경로를 위하여, 새로운 채널들이 상기 라이브러리에 추가될 수 있다. 따라서, 모듈러 채널들의 서로 다른 배열들은 IOCM들(25 내지 29)의 서로 다른 버전들을 형성하기 위하여 결합될 수 있다.

IOCM들(25 내지 29)의 다른 중요한 특성은 이들의 아키텍처가 사용자에게 소프트웨어와 하드웨어 사이의 분할 태스크들(partition tasks)을 허용한다는 것이다. 상기 채널들은 단순한 고주파수 기능들을 수행하기 위하여, 하드웨어에서 함께 동작하도록 프로그램될 수 있다. 일제히 동작하는 채널들은 반드시 고주파수 I/O 이벤트들을 수용하기 위하여 전처리기(pre-processor)처럼 작동한다. 이것은 CPU로부터 모든 I/O 이벤트들의 소프트웨어 서비스(software servicing)을 경감하고, CPU가 더 낮은 주파수 I/O 이벤트들의 소프트웨어 서비스를 수행하도록 요구하여, 더 정교한 제어와 더 빠른 시스템 응답을 제공하는데 필수적이다.

각각의 IOCM(25 내지 29)의 디지털 I/O 부분은 그것이 수행할 수 있는 I/O 기능의 수와 특징 모두에서 탄력적이다. 각각의 IOCM(25 내지 29)는 펈, 채널 및 버스와 관련된 모듈리이기 때문에 상기 유연성을 얻을 수 있다. 즉, 서로 다른 IOCM 버전은 "채널들의 실리콘 라이브러리"로부터 쉽게 만들어질 수 있고, 채널들의 수와 무관하게 집적 회로 펈들은 또한 추가될 수 있다. 또한, IOCM들(25 내지 29)의 아키텍처는 채널들의 수가 다양한 IOCM 버전들로 증가될 때 데이터와 제어를 위하여 더 많은 버스들을 추가할 수 있다. 또한, 미래의 I/O 기능들을 위한 성장 경로를 제공하기 위하여, 새로운 채널들이 설계될 수 있고 라이브러리에 추가될 수 있다.

IOCM들(25 내지 29)의 아키텍처의 제 2의 중요한 특징은 단순한 고 주파수 기능들을 수행하기 위하여, 채널들이 하드웨어에서 함께 동작하도록 프로그램될 수 있다. 사용자가 소프트웨어와 하드웨어 사이의 분할 태스크들을 허용하는 것은 상기 시스템에서 CPU 인터럽트들의 수를 줄임으로써 시스템 처리량을 최대화하는데 중요하다.

복잡한 실시간 제어 시스템들에 요구된 I/O 처리량은 동일한 형태의 타이머 기능들을 포함한다. 따라서, 비교적 작은 채널들의 라이브러리는 대부분의 소비자의 요구에 부합하는 다양한 IOCM들(25 내지 29)을 형성하는 서로 다른 방법으로 결합될 수 있다.

본 발명의 일 실시예에서, 채널들의 라이브러리는 몇 개의 서로 다른 채널들의 형태들 또는 카테고리들, 즉 "워크 채널들(work channels)", "타임베이스 채널들" 및 "다른 채널들"을 포함한다. 상기 카테고리 이름은 유사한 기능을 가진 채널들

을 허용하거나 또는 함께 그룹화될 구조를 허용한다. "워크 채널들"은 시간 이벤트가 발생할 때 입력 값을 캡쳐하고, 매치 이벤트가 발생할 때 신호를 공급하고, 카운트하는 전형적인 타이머 기능들을 수행하는 채널들을 포함한다. 워크 채널들은 또한 기본적인 타이머 기능들의 더 복잡한 결합들을 형성하는 채널들을 포함한다. 예를 들면, 매칭과 카운터 기능들 모두를 수행하는 채널은 매치 이벤트들의 수를 카운트할 수 있고 소정수의 매치 이벤트들이 발생한 후 신호를 공급할 수만 있다.

본 발명의 일 실시예에서, 워크 채널은 (1)캡쳐 채널(CC)과, (2)매치 채널(MC)과, (3)카운터 채널(CMTC)과, (4)엔진을 위하여 스파크 타이밍(spark timing)을 제공하는 타이머 기능들의 결합을 수행하기 위한 스파크 접속 채널(SIC; spark integrated channel)과, (5)엔진을 위한 연료 주입 타이밍을 제공하는 타이밍 기능의 결합을 수행하기 위한 연료 접속 채널(FIC; fuel integrated channel)과, (6)데이터 값들을 저장하기 위하여 2-deep FIFO를 제공하는 이중 FIFO 채널(DFC)을 포함한다. 상기 이중 FIFO 채널(DFC)은 타이머 기능을 수행하지 않지만, 대신에 데이터 저장 기능을 제공한다는 것에 유념하라.

본 발명의 일 실시예에서, 타임베이스 채널들은 (1)타이머 버스의 마스터 또는 슬레이브 제어중 어느 하나를 제공하기 위한 타이머 버스 제어 채널(TBCC)과, (2)네 개의 타임베이스들까지 제공하기 위한 디그리 클록 채널(DC; degree clock channel)과, (3)내부적으로 또는 외부적으로 발생될 수 있는 타임베이스를 제공하기 위한 타이머 채널(TC)을 포함한다. 본 발명의 일 실시예에서, 타이머 채널은 하나 또는 그 이상의 워크 채널들 또는 하나 또는 그 이상의 외부 신호들에 의해서 제어(예를 들면, 클록되거나, 로드된 모듈러스 값을 가지고, 또는 결정된 카운트의 방향성을 가짐)될 수 있다는 것에 유념하라.

본 발명의 일 실시예에서, 다른 채널들은 (1)직렬 전송들을 수행하기 위한 동기 직렬 채널과, (2)직렬 전송들을 수행하기 위한 비동기 직렬 채널과, (3)워크 채널들과 접속 회로 펈들을 인터페이스 하기 위한 펈 제어 채널(PCC)과, (4)내부의 상호 모듈 버스를 접속 회로 외부 버스에의 외부 버스와 인터페이스하기 위한 슬레이브 외부 버스 인터페이스 채널(SEBI)과, (5)버전들(예를 들면, 클록과 몇몇 시스템 보호 특성) 사이에 변경될 수 있는 개별화되거나 특별화된 회로를 포함하는 클로벌 리소스 채널(GRC)과, (6)내부의 상호 모듈 버스와 인터페이스하기 위한 슬레이브 버스 인터페이스 채널(SBIU)과, (7)내부의 상호 모듈 버스(IMB)가 디그리 클록(degree chock)과 인터페이스하기 위한 마스터 버스 인터페이스 채널(MBIU)(CPU 고장의 경우, 모든 CPU 기록들은 소정의 한 레지스터를 제외하고 방지되며, 상기 MBIU는 상기 디그리 클록이 IMB를 수용하도록 하고, MBIU는 CPU없이 자동차 엔진과 같이, 상기 시스템을 가동시키기 위하여 어떤 채널을 재구성 한다)과, (8)효과를 테스트하기 위하여 이용되는 회로를 포함한다.

본 발명의 일 실시예에서, 상기 직렬 채널들은 하나 또는 그 이상의 대응하는 접속 회로 펈들을 대로 제어를 할 수 있거나, 또는 펈 제어 채널을 통하여 대응하는 접속 회로 펈들을 교대로 이용할 수 있음에 유념하라.

본 발명의 일 실시예에서, 분명히 채널 라이브러리의 일부는 아니지만, 모듈러 방식으로 설계되고 결합된 하나 또는 그 이상의 채널들에 사용될 수 있는 부가적인 회로가 있을 수 있다. 예를 들면, 편 제어 공용 논리는 두 개의 인접 PCC가 버스 정보를 공유하도록 두 개의 인접 편 제어 채널(PCC) 사이에 결합될 수 있다. 본 발명의 다른 실시예는 채널의 라이브러리의 일부로 모든 상기 접속 회로를 포함할 수 있다.

각각의 워크 채널은 입력과 출력 이벤트를 포함하는 많은 프로그램 가능한 특징을 제공한다. 입력 이벤트의 소스는 접속 회로 펈 또는 다른 워크 채널일 수 있는 반면, 출력 이벤트는 접속 회로 펈 또는 다른 워크 채널에 영향을 미칠 수 있다. 입력 캡쳐 및 인접 워크 채널 사이의 데이터 전송과 같은 채널 동작은 입력 이벤트에 의해 제어될 수 있다. 역으로, 워크 채널의 출력 이벤트, 또는 접속 회로 펈은 워크 채널의 동작과 워크 채널 간의 데이터 전송에 영향을 미칠 수 있다. 각각의 워크 채널의 다른 특징은 입력 이벤트를 위해 수행된 워크 채널 동작과 출력 이벤트로 끝나는 동작을 정의하는 선택 가능한 구성 모드이다. 상기 및 다른 특징은 상기 워크 채널이 넓은 범위의 I/O 기능을 실행하기 위하여 함께 동작할 수 있도록 프로그램되게 한다.

채널 라이브러리에 포함된 채널은 IOCM(25 내지 29)의 서로 다른 버전을 만들어내기 위한 다양한 결합에 추가될 수 있다. 본 발명의 다른 실시예는 IOCM(25 내지 29)을 형성하기 위해 사용되는 채널의 라이브러리내에 더 많거나, 더 적거나, 또는 서로 다른 채널을 가질 수 있다. 모듈러 아키텍처와 모듈러 채널의 유연한 라이브러리를 이용하면, 수요자의 아주 다양한 I/O 요구는 빠르고 효과적인 방법으로 해결될 수 있다.

도 1은 데이터 처리 시스템(10)을 도시한다. 데이터 처리 시스템(10)은 CPU 접속 회로(12)와 입력/출력(I/O) 접속 회로(22)를 구비한다. CPU 접속 회로(12)는 중앙 처리 장치(CPU)(13), 시스템 접속화 모듈(14) 및 버스(17)를 통하여 모두 양 방향으로 결합된 기타 회로(15)를 구비한다. 시스템 인테그레이션 모듈(14)은 양방향으로 버스(30)에 결합된 외부 버스 인터페이스 회로(16)를 포함한다. 기타 회로(15)는 버스 인터페이스 회로(18)를 포함한다. 기타 회로(15)는 접속 회로 편(19)을 통하여 CPU 접속 회로(12)의 외부에 선택적으로 결합된다.

I/O 접속 회로(22)는 회로(25 내지 29)와 버스(24)를 통하여 모두 양방향으로 결합되는 외부 버스 인터페이스 회로(23)를 포함한다. 외부 버스 인터페이스 회로(23)는 CPU 접속 회로(12)와 정보를 주고받기 위해 양방향으로 버스(30)에 결합된다. I/O 제어 모듈 회로(25 내지 29)는 접속 회로 편(31 내지 35)을 통하여 I/O 접속 회로(22)의 외부에 결합된다. 본 발명의 다른 실시예에서, 도 1의 블록(31 내지 35)은 접속 회로 편이라기 보다는 접속 회로 본딩 패드를 나타낸다. 각각의 모듈들(25 내지 29)은 채널의 라이브러리로부터 하나 또는 그 이상의 채널(도2 참조)을 포함한다. 각각의 모듈들(25 내지 29)은 또한 하나 또는 그 이상의 채널이 상기 내부의 상호 모듈 버스(24)와 인터페이스하도록 슬레이브 버스 인터페이스 채널(SBIU)(36 내지 40)을 포함한다.

본 발명의 다른 실시예는 하나 또는 그 이상의 모듈들(25 내지 29)을 가질 수 있다. 각각 버스 인터페이스(36 내지 40)를 가지는 하나 또는 그 이상의 모듈들(25 내지 29)로 채널을 분할하는 것은 모듈들(25 내지 29)에 대한 내부 버스로의 로딩의 제한 때문이다. 각 모듈들(25 내지 29)에 포함된 채널의 수는 각각의 모듈들(25 내지 29)내의 내부 버스로 로드되는 결과에 의해 결정된다. 상기 아키텍처의 모듈 방식은 각각의 모듈들(25 내지 29)이 채널의 라이브러리와 서로 다른 채널을 이용하여 형성되도록 한다. 따라서 각각의 모듈들(25 내지 29)은 개개의 소비자의 요구를 충족시킬 수 있다.

모듈러 채널 아키텍처의 특징

모듈러 채널의 라이브러리를 이용하는 것 외에, 본 발명은 또한 상기 다양한 채널 사이에 정보를 전송하는데 이용되는 채널 버스에 대한 모듈러 접근을 이용한다. 채널의 배열은 IOCM 버전 사이에서 변하기 때문에, 상기 채널 버스 구조는 유연해야 한다.

도 1 및 2와 관련된 본 발명의 일 실시예에서, IOCM(예를 들면, IOCM(25))내의 채널은 채널 버스를 통하여 통신한다. 다음의 채널 버스 즉, (1)상호 모듈 버스(IMB)(24)의 번지와 데이터 컨덕터, (2)하나 또는 그 이상의 버스 및 (3)하나 또는 그 이상의 펌/상태 버스는 IOCM 내의 채널을 횡단할 수 있다. 상기 채널은 또한 인접 채널간의 데이터 흐름을 위하여 서로간에 상호접속 경로를 가질 수 있다. 상호 모듈 버스(24)의 상기 번지와 데이터 컨덕터는 채널 레지스터, 제어 레지스터 및 상태 레지스터에 대하여 액세스한다. 본 발명의 일 실시예에서, 버스 인터페이스 회로(36 내지 40)(도 1 참조)는 특정 IOCM(25내지 29)의 번지가 지정되었는지를 결정하기 위하여 글로벌 번지를 해독하지만, 모든 로컬 번지 해독은 각 채널 내에서 이루어진다.

타이머 버스 구조

도 2에 있어서, 본 발명은 다른 채널로 방송할 수 있는 타임베이스의 수를 증가시키기 위하여 마스터 및 슬레이브 타이머 버스 제어 채널(TBCC) (61 내지 64)을 이용하여 세그먼트로 쉽게 분할될 수 있는 하나 또는 그 이상의 타이머 버스들(71 내지 72)을 사용한다.

IOCM(25 내지 29)의 아키텍처와 버스 구조는 길이를 따라 어디로든 타이머 버스를 쉽게 분할하는 길을 제공한다. 결국, 상기 채널은 각각의 타이머 버스에 의해 각각의 타이머 버스에 의해 서로 다른 타임베이스에 액세스되는 분리된 채널 블록으로 분할된다. 한 개의 타이머 버스 블록내의 채널은 타이머 버스 블록에 있는 각각의 채널이 상기 타이머 버스로부터 동일한 타임베이스 값을 수신할 수 있기 때문에 해상도의 손실이 없을 가능성을 가진 서로 다른 기능을 실행하는데 이용될 수 있다.

예를 들면, 도 2에서, 타이머 버스(71)는 워크 및 기타 채널(86)이라는 라벨이 붙은 채널 블록에 대응하고, 타이머 버스(72)는 워크 및 기타 채널(87)이라는 라벨이 붙은 채널 블록에 대응함에 유념하라. 타이머 버스(71)는 타임베이스 값을 워크 및 기타 채널(86)로 전송하는데 사용되고, 마찬가지로 타이머 버스(72)는 타임베이스 값을 워크 및 기타 채널(87)로 전송하는데 사용된다.

각각의 타이머 버스들(71 내지 72)의 한 단부는 마스터 타이머 버스 제어 채널(TBCC)에 의해 설계되고 상기 타이머 버스의 다른 단부는 슬레이브 타이머 버스 제어 채널(TBCC)에 의해 설계된다는 것에 유념하라. 예를 들면, 타이머 버스(71)의 한 단부는 마스터 타이머 버스 제어 채널(TBCC)(61)에 의해 설계되고, 타이머 버스(71)의 다른 단부는 슬레이브 타이머 버스 제어 채널(TBCC)에 의해 설계된다. 마찬가지로, 타이머 버스(72)의 한 단부는 마스터 타이머 버스 제어 채널(TBCC)(63)에 의해 설계되고, 타이머 버스(72)의 다른 단부는 슬레이브 타이머 버스 제어 채널(TBCC)(64)에 의해 설계된다. 상기 마스터 및 슬레이브 타이머 버스 제어 채널은 상기 타이머 버스의 각각의 부분 또는 세그먼트를 설계하는데 이용된다.

도 2에서, 타이머 버스(71)와 타이머 버스(72)는 서로 다른 타임베이스 값을 동시에 전송할 수 있기 때문에, 서로 다른 컨덕터를 이용해야 한다는 점에 유념하라. 그러나, 타이머 버스(71)와 타이머 버스(72)는 개념적으로 분리된 버스로 생각될 수 있거나 또는 동일한 글로벌 타이머 버스의 서로 다른 부분 또는 세그먼트로 생각될 수 있다. 상기 문맥에서, 상기 글로벌 타이머 버스는 모든 요구된 타임베이스 값을 집적 회로(22)상의 모든 필요한 워크 및 기타 채널로 전송하기 위한 버스로 생각될 수 있다. 핵심은 동시에 전송되어야 하는 각각의 타임베이스 세트 값을 대하여, 서로 다른 타이머 버스 컨덕터 세트가 이용되어야 한다는 것이다. 이런 분리된 컨덕터 세트는 분리된 버스로 간주되거나, 또는 한 개의 글로벌 버스의 분리된 부분 또는 세그먼트로 간주될 수 있다.

본 발명의 몇몇 실시예에서, 마스터 타이머 버스 제어 채널(TBCC)은 단독으로 타이머 버스를 제어하는데 사용될 수 있다. 슬레이브 타이머 버스 제어 채널(TBCCF)은 타임베이스 채널 블록에 의해 제공된 타임베이스 값이 두 개의 타이머 버스 사이에 공용될 때 요구될 뿐이다. 또한, 마스터 TBCC는 두 개의 타이머 버스 사이의 타임베이스 값의 공용을 위해 슬레이브 TBCC 대신 사용될 수 있다. 예를 들면, 도 2에서, 만약 타이머 버스(72)가 타임베이스 채널(81)로부터 나온 타임베이스 값을 요구하면, 슬레이브 TBCC(64)는 요구되지 않을 것이다. 슬레이브 TBCC(64)는 타임베이스 채널(82)로부터 나온 타임베이스 값을 타이머 버스(72)로 공급하는데 사용된다. 슬레이브 TBCC(64)는 마스터 TBCC(63)에 의해 제어된다.

본 발명의 다른 실시예는 타이머 버스에 결합된 채널의 각 블록내에 더 적거나, 더 많거나, 또는 서로 다른 채널을 포함할 수 있다는 것에 유념하라. 예를 들면, 워크 및 기타 채널들(86과 87)은 이용가능한 채널의 라이브러리로부터 더 많거나, 더 적거나, 또는 서로 다른 워크 채널 또는 다른 채널을 포함할 수 있다.

모듈러 채널의 빌딩 블록을 포함하는 타이머 시스템에서, 분리된 타이머 버스 구조는 상기 타이머 버스의 길이를 따라 어디로든 상기 타이머 시스템의 서로 다른 부분에 해상도의 손실없이 복수의 서로 다른 타임베이스를 쉽게 공급하는 방법을 제공한다.

예를 들면, 종래의 타이머 시스템에서, 워크 및 기타 채널(87)은 채널(86)과 관련된 동일한 몇몇 타임베이스에 대하여 액세스할 필요가 있지만, 워크 및 기타 채널(86)은 가장 먼저 소정의 해상도를 가진 어떤 타임베이스에 두번째 소정의 해상도를 가진 부가적인 타임베이스를 더한 타임베이스에 대한 액세스가 필요할 수 있다. 본 발명은 각각의 IOCM(25 내지 29)를 통하여 요구된 상기 글로벌 타이머 버스를 분할한다. 결국, 개개의 타이머 버스(예를 들면, 71과 72)에 대응하는 상기 채널은 해상도를 손상시키지 않는 요구된 기능의 수행할 필요가 있는 상기 타임베이스를 수신한다.

또한 상기 타이머 버스가 아주 길 가능성이 있는 타이머 시스템에서, 지원되어야 하는 많은 기능 때문에, 본 발명은 상기 타이머 버스의 각 부분에 대하여 충분한 구동력을 보장할 수 있도록 타이머 버스를 분할하는 방법을 제공한다.

본 발명에서, 타이머 버스는 타임베이스 채널(예를 들면, 도 2의 타임베이스 채널(80)중 한 채널)로부터 타임베이스 값을 수신하고 상기 타임베이스 값을 하나 또는 그 이상의 워크 및 채널(예를 들면, 도 2의 워크 및 기타 채널(86))에 제공한다. 상기 타임베이스 값을 복수의 워크 및 기타 채널에 동시에 공급하면, 상기 워크 및 기타 채널 사이에 일관성이 유지된다.

본 발명의 일 실시예에서, 타이머 버스는 동일한 타이머 버스에서 시간 다중화된 8 개까지의 서로 다른 타임베이스 값을 공급하는 8 개까지의 타임베이스 채널을 허용하는 시간 다중화 버스이다. 본 발명의 다른 실시예에서, 상기 타이머 버스는 시간 다중화되지 않을 수도 있고, 또는 서로 다른 시간 세그먼트로 시간 다중화 될 수도 있다.

도 2에 있어서, 본 발명의 일 실시예에서, 마스터 타이머 버스 제어 채널(TBCC)(61)은 어떤 하나 또는 그 이상의 타임베이스 채널(80)과 어떤 하나 또는 그 이상의 타임베이스 채널(81)이 타이머 버스(71)에서 구동될 타임베이스 값을 제공할 수 있는지 선택한다. 만약 마스터 TBCC(61)가 타임베이스 채널(80)의 한 채널, 예를 들면, 타이머 채널(91)을 선택하면, 마스터 TBCC(61)는 타이머 채널(91)에 의해 제공된 상기 타임베이스 값을 가진 타이머 버스(71)를 구동한다. 따라서, 단지 마스터 TBCC만 어떤 타임베이스 채널이 타임베이스 값을 제공하는지 선택하지만, 마스터와 슬레이브 TBCC 모두 타임베이스 채널로부터 타임베이스 값을 수신할 수 있고, 상기 타임베이스 값을 가진 상기 타이머 버스를 구동할 수 있다.

본 발명의 일 실시예에서, 각각의 마스터 TBCC는 모든 제어를 대응하는 슬레이브 TBCC에 제공한다. 각각의 마스터 TBCC에서 제어 레지스터 저장 비트는 각각의 8 개의 시간 분할 동안 상기 타이머 버스(예를 들면, TBCC(61)에서의 제어 레지스터 저장 비트(68)와 TBCC(63)에서의 제어 레지스터 저장 비트(69))의 활성화 윈도우인 타임베이스 선택 신호를 제어하는데 이용된다. 상기 마스터 TBCC로부터 나온 타임베이스 선택 신호는 상기 (타임베이스 채널(80)로부터 나온) 마스터 TBCC 또는 (타임베이스 채널(81)로부터 나온) 슬레이브 TBCC를 통하여 대응하는 시간 분할 다중화 타이머 버스(71)로 게이트로 제어될 활성화 타임베이스를 선택하는데 이용된다.

따라서, 도 2에 있어서, 시간 기초 선택 신호(50)는 상기 마스터 TBCC(61)로부터 상기 마스터 TBCC(61)에 결합된 타임베이스 채널(80)까지 스팬하고, 상기 마스터 TBCC(61)로부터 상기 워크 및 기타 채널(86)을 가로질러 상기 슬레이브 TBCC(62)와 결합된 타임베이스 채널(81)까지 스팬한다. 또한 상기 타임베이스 선택신호(50)는 매치 또는 캡쳐와 같은 어떤 동작을 수행하는 시간을 알기 위해, 타이머 버스(71)에서 실제로 가동 중인 타임베이스를 결정하는 워크 및 기타 채널(86)에 이용된다. 따라서, 상기 타임베이스 선택 신호(50)는 마스터 TBCC(61)로부터 워크 및 기타 채널(86), 타임베이스 채널(80) 및 타임베이스 채널(81)로 태그 값을 효과적으로 전송한다. 타임베이스 선택 신호(50)에 의해 전송된 태그 값을 현재 타이머 버스(71)에서 이용가능한 타임베이스이다.

본 발명의 일 실시예에서, 도 2에 도시된 각 채널은 하나 또는 그 이상의 사용자 프로그램 가능한 채널 제어 레지스터(260)(도 13 참조)를 포함한다는 것에 유념하라. 서로 다른 형태의 채널은 몇몇 같은 레지스터를 가질 수도 있고, 몇몇 다른 레지스터를 가질 수도 있다. 도 2 및 도 13에 있어서, 본 발명의 일 실시예에서, 채널(61과 62과 함께 80, 81 및 86)내의 각각의 채널은 도 13에 도시된 것과 같이 결합된 하나 또는 그 이상의 채널 레지스터(260)를 가진다.

도 13에 있어서, 채널 제어 레지스터(260)의 일부(264)는 코드화될 수도 있고 또는 코드화될 수 없는 사용자 프로그램 가능한 태그 값을 저장한다. 만약 태그 값이 코드화되면, 상기 코드화된 태그 값은 출력에서 해독된 태그 값을 공급하는 해독기 회로(261)에 공급된다. 그 다음에 해독된 태그 값은 타임베이스 선택 신호(50)에 의해 공급된 태그 값과 비교된다. 만약 상기 해독된 태그 값이 상기 타임베이스 선택 신호(50)에서 공급된 상기 태그 값과 부합되면, 상기 매치 신호(263)는 채널이 (타임베이스 채널을 위하여)상기 타이머 버스에 타임베이스 값을 공급하거나 또는 (워크 및 기타 채널을 위하여)상기 타이머 버스로부터 타임베이스 값을 수신하는 채널을 지시하도록 표명된다.

본 발명의 다른 실시예에서, 채널 제어 레지스터(260)의 일부(264)에 저장된 태그 값은 해독되지 않는다. 결국, 해독기(261)는 요구되지 않는다. 대신에, 부분(264)은 멀티플렉서(MUX) 회로(262)의 입력에 직접 공급된다. 부분(264)은 출력에서 매치 신호(263)로 공급하기 위하여 타임베이스 선택 신호(50)중 한 신호를 선택하는 MUX 회로(262)에 대하여 제어 입력으로 이용된다.

본 발명의 타이머 버스 구조는 다음의 특성을 지원한다. 첫째, 타이머 버스 구조는 그 길이를 따라 어디로든 분할될 수 있다. 둘째, 상기 구조 때문에, 한 쌍의 타이머 버스 제어 채널(TBCC), 즉 마스터 TBCC 및 슬레이브 TBCC가 상기 타이머 버스의 분할을 제어할 수 있다. 셋째, 상기 구조로 인해, 동일한 타임베이스 채널(예를 들면, 도 2의 타임베이스 채널(81))을 동시에 두 개의 서로 다른 타이머 버스 세그먼트(예를 들면, 버스(71과 72))로 공급할 수 있다.

넷째, 본 발명의 타이머 버스 구조는 각각의 타이머 버스 세그먼트가 N 개의 시간 분할 다중화 타이밍 윈도우로 분할될 수 있도록 한다. 다섯째, 상기 타이머 버스 구조는 각각의 타이머 버스 세그먼트의 N 개의 타이밍 윈도우로 있는 동안 공급된 M 개의 타임베이스 값을 어느 한 값을 선택하기 위하여 사용자 프로그램이 가능하도록 지원한다. 예를 들면, 도 2의 타임베이스 채널(81)은 다양한 수의 타임베이스 채널(예를 들면, 타이머 채널(92)과 타이머 채널(95))을 포함할 수 있다. 각각의 타임베이스 채널은 하나 또는 그 이상의 타임베이스 값을 타이머 버스(71), 타이머 버스(72) 또는 타이머 버스(71과 72) 모두에게 동시에 공급될 수 있다. 상기 N과 M은 양의 정수이다.

예를 들면, 도 2에 있어서, 본 발명의 일 실시예에서, 타임베이스 채널(81)은 다섯 개의 타임베이스 값을(즉, M=5)을 공급할 수 있고, 여기서 타이머 채널(92)은 두 개의 타임베이스 값을 "A"와 "B"를 공급하고, 타이머 채널(95)은 세 개의 타임베이스 값을 "C", "D" 및 "E"를 공급하고, 타이머 버스(71)와 타이머 버스(72)는 8개의 타이밍 윈도우(즉, N=8)로 각각 시간 다중화될 수 있다. 타이머 버스(71)의 여덟 개의 타이밍 윈도우는 물론 타이머 버스(71)의 다음 여덟 개의 타이밍 윈도우 동안 반복되는 다음의 타임베이스 값을 A, D, A, B, A, D, A, C를 구동할(drive) 수 있다. 반면에, 타이머 버스(72)의 여덟 개의 타이

링 원도우는 물론 타이머 버스(72)의 다음 여덟 개의 타이밍 원도우 동안 반복되는 다음의 타임베이스 값 B, D, B, D, B, D, B, D를 전송할 수 있다. 제 2 및 제 6 타이밍 원도우 동안, 타이머 버스(71)와 타이머 버스(72) 모두 타이머 채널(95)에 의해 공급된 동일한 타임베이스 값 "D"를 전송한다.

도 15는 타이머 버스(예를 들면, 도 2의 타이머 버스(71))의 서로 다른 시간 슬롯 동안 사용자가 하나 또는 그 이상의 값(즉 TB1, TB2, TB3, TB4, TB5, TB6, TB7 및 TB8)을 선택적으로 공급하는 방법을 나타내는 여덟 개의 실시예를 도시한다. 각각의 타임베이스 채널(80)은 타임베이스 값(TB1 내지 TB8) 중 한 값을 공급한다. 각각의 타임베이스 채널(80)은 태그 값을 저장하는 사용자 프로그램 가능한 레지스터 저장 비트(264)(도 13 참조)를 가진다. 타임베이스 선택 신호(50)가 타임베이스 채널에서 프로그램된 태그 값과 부합하는 태그 값을 구동하는 각각의 시간 슬롯 동안, 상기 타임베이스 채널은 상기 타임베이스 소스 버스(271)(도 14 참조)를 구동하고, 따라서 그 타임베이스 값(즉, 타임베이스 값(TB1 내지 TB8))으로 상기 타이머 버스(71)를 구동할 것이다.

본 발명의 다른 실시예에서, 타임베이스 채널은 채널이 타이머 버스(71)에 공급할 수 있는 각각의 분리된 타임베이스 값(TB1 내지 TB8)을 위한 한 세트의 프로그램 가능한 레지스터 저장 비트(264)를 가질 수 있다는 것에 유념하라. 프로그램 가능한 레지스터 저장 비트(264)의 각각의 세트는 (예를 들면, 도 1의 CPU(13)로부터 나온)저장 비트(264)에 대한 기록 액세스를 수행함으로써 프로그램될 수 있다. 본 발명의 다른 실시예에서, 태그 저장 비트(264)는 대신에 프로그램 가능하게 마스크되어 I/O 집적 회로(22)를 제조하는 동안 고정된 소정값으로 프로그램될 수 있다.

타임베이스 채널(81)외에, 타임베이스 채널(80)도 또한 타이머 버스(71)를 위한 하나 또는 그 이상의 타임베이스 값을 공급하도록 사용자에 의해 프로그램될 수 있다는 것에 유념하라. 마찬가지로, 타임베이스 채널(81)외에, 타임베이스 채널(82)도 또한 타이머 버스(72)를 위한 하나 또는 그 이상의 타임베이스 값을 공급하도록 사용자에 의해 프로그램될 수 있다. 따라서, 타이머 버스(71)에서 선택되고 구동될 수 있는 이용가능한 타임베이스 값의 총 수는 타임베이스 채널(80)과 타임베이스 채널(81)에 의해 제공된 타임베이스 값의 합이다. 마찬가지로, 타이머 버스(72)에서 선택되고 구동될 수 있는 이용가능한 타임베이스 값의 총 수는 타임베이스 채널(81)과 타임베이스 채널(82)에 의해 제공된 타임베이스 값의 합이다.

본 발명의 타이머 버스 구조에 있어서 훨씬 더 많은 특성이 있다. 여섯째, 본 발명의 타이머 버스 구조는 다수의 타임베이스 값을 공통 타이머 버스 세그먼트(예를 들면, 타이머 버스(71))로 전송하는 것을 제어하기 위하여 마스터와 슬레이브 타이머 버스 제어 채널(예를 들면, 도 2의 TBCC(61과 62))을 이용한다. 타임베이스 선택 신호(50)는 타임베이스 채널(80과 81)에서 각각의 타임베이스 채널을 위한 한 개의 선택 신호를 포함한다. 마스터 TBCC(61)는 적절한 타이밍 원도우 동안 타임베이스 선택 신호(50) 중 한 신호를 표명함으로써 게이트를 통하여 타이머 버스(71)로 향하는 타임베이스 채널을 선택한다.

일곱 번째, 본 발명의 타이머 버스 구조는 현재 타임베이스 값을 타이머 버스(71)로 공급하는 타임베이스 채널을 결정하기 위하여 상기 워크 및 기타 채널(86)이 상기 타임베이스 선택 채널(50)을 감시하도록 한다. 결국, 각각의 워크 및 기타 채널(86)은 타이머 버스(71)로부터 상기 선택된 타임베이스 값의 매칭 또는 캡쳐와 같은 각각의 동작을 수행할 때를 결정할 수 있다. 상기 워크 및 기타 채널(86)은 적절한 시간에 상기 타임베이스 선택 신호(50)에 의해 결정된 타이머 버스(71)를 판독하고, 타이머 버스(71)로부터 판독된 타임베이스 값을 이용하여 동작한다.

타임베이스 채널들과 타임베이스 동기

도 2에서, 본 발명은 타이머 버스들(예를 들면, 71, 72)을 통하여 워크 및 다른 채널들(86, 87)에 공급되는 타임베이스 값을 들을 발생하기 위하여 하나 또는 그 이상의 채널들(예를 들면, 81)을 이용한다. IOCM(25 내지 29)(도 1 참조)의 아키텍처와 버스 구조는 각각의 IOCM을 다양한 타임베이스 채널(예를 들면, 80 내지 81)에 대한 액세스를 구비하는 워크 및 기타 채널(85 내지 87)의 개별적인 블록으로 분할한다. 블록내의 각각의 워크 및 기타 채널은 상기 타이머 버스로부터 동일한 타임베이스 값을 수신할 수 있기 때문에 해상도의 손실없이 서로 다른 기능을 수행하는데 이용될 수 있다.

본 발명의 일 실시예에서, 타임베이스 채널들(예를 들면, 80, 81)은 (1)타이머 버스의 마스터 또는 슬레이브를 제어하기 위한 타이머 버스 제어 채널(TBCC), (2)네 개의 타임베이스까지 제공하기 위한 (degree)클록 채널과, (3)내부적으로 또는 외부적으로 발생될 수 있는 타임베이스를 제공하기 위한 타이머 채널 중 하나 이상을 포함할 수 있다.

도 2와 도 14에서, 본 발명의 일 실시예에서, 각각의 타임베이스 채널(80)은 타임베이스 소스 버스(271)에 결합된다. 상기 타임베이스 버스(271)는 타이머 버스(71)와 같은 방식으로 시간 다중화된다. 각각의 타임베이스 채널(80)은 상기 타임베이스 선택 신호(50)의 태그 값을 레지스터 부분(264)(도 13 참조)에 저장된 사용자 프로그램 태그 값과 비교한다. 만약 매치가 발견되면, 상기 매치를 가진 채널은 상기 채널의 타임베이스를 가진 상기 타임베이스 소스 버스(271)를 구동한다. 매치를 발견하지 않은 채널은 상기 특정 시간 간격 동안 타임베이스 소스 버스(271)를 구동하지 않는다. 결합 논리(270)(도 14 참조)는 적절한 시간에 상기 타임베이스 소스 버스(271)로부터 상기 타이머 버스(71)로 다음 타임베이스 값을 제공하는데 이용된다.

복잡한 데이터 처리 시스템(예를 들면, 도 17의 데이터 처리 시스템(315))은 타이머 버스 드라이브 성능, 상기 타이머 버스에서의 데이터 주파수 변화, 다양한 타이머 시스템의 물리적인 배치, 또는 경로 관계 때문에 단일 타임베이스로 작용하기에는 너무 클 수 있다. 몇몇 데이터 처리 시스템에서, 몇 개의 모듈(도 16 참조) 또는 심지어 몇 개의 집적 회로(도 17 참조) 사이에서 타이머 시스템을 분할할 필요가 있을 수 있다. 전체 시스템의 크기 때문에, 또는 전력 출력 구동기들, 아날로그 입력 조절 및 복잡한 디지털 회로와 같은 다른 기술의 요구 때문에 몇 개의 집적 회로간의 분할이 요구될 수 있다. 도 17에서, 16 비트 또는 32 비트 타임베이스 값을 인터페이스 집적 회로(301) 또는 전력 집적 회로(302)로 분배하는 것은 상기 형태의 집적 회로에 대하여 현재 이용가능한 패키징 기술을 가지고는 불가능하다.

도 16 내지 19에서, 본 발명은 두 개 이상의 타임베이스 채널(예를 들면, 도 16과 도 18의 마스터 타임베이스 채널(285)과 슬레이브 타임베이스 채널(288))이 동기되도록 하고 단지 두 개의 신호, 즉 클록 신호(328)와 동기 신호(329)를 이용하여 동기 상태에 있도록 한다. 상기 클록 신호(328)와 동기 신호(329)는 개별적인 집적 회로(도 17 참조)상의 타이머 시스템

사이에서 또는 접적 회로(도 16 참조)의 서로 다른 모듈에서 방송될 수 있다. 마스터 타임베이스 채널은 마스터와 슬레이브 타임베이스 채널이 동시에 같은 비율로 증가하거나 감소하도록 하나 또는 그 이상의 슬레이브 타임베이스 채널에 접속되는 마스터 클록 신호를 발생하거나 수신한다.

예를 들면, 도 18에서 마스터 타임베이스 채널(285)은 상기 시스템 클록 신호(327)를 기준화하여 마스터 클록 신호(328)를 발생한다. 그 다음에 마스터 타임베이스 채널(285)은 마스터 타임베이스 채널(285)과 슬레이브 타임베이스 채널(288)이 동시에 같은 비율로 증가하거나 감소하도록 상기 마스터 클록 신호(328)를 하나 또는 그 이상의 슬레이브 타임베이스 채널(예를 들면, 288)에 공급한다. 도 19에 도시된 다른 실시예에서, 마스터 타임베이스 채널(304)과 슬레이브 타임베이스 채널(310)은 모두 동일한 마스터 클록 신호(348)를 수신하며, 본 발명의 몇몇 실시예에서 상기 신호는 시스템 클록(327)(도 18 참조)과 동일한 신호이다. 그러나, 마스터 타임베이스 채널(304)과 슬레이브 타임베이스 채널(310)은 모두 같은 양으로 상기 마스터 클록 신호(348)를 기준화한다. 따라서, 타임베이스 다운 카운터(340)와 타임베이스 다운 카운터(341)는 동시에 같은 비율로 감소된다.

만약 데이터 처리 시스템(예를 들면, 도 17의 315)이 고정된 주파수 시스템 클록을 이용하면, 그리고 상기 시스템 클록이 마스터 타임베이스 채널에 대한 입력으로 유효하고 하나 또는 그 이상의 슬레이브 타임베이스 채널에 대한 입력으로 유효하다면, 동일한 프리스케일(prescale) 분할 값이 마스터와 슬레이브 타임베이스 채널의 프리스케일(prescale) 회로(326, 346 및 350)(도 18 및 19 참조)에서 선택될 수 있는 한, 상기 시스템 클록은 마스터 클록 신호로 이용될 수 있다. 이것은 상기 마스터 클록 신호에 대한 새로운 상호 접속 컨덕터를 추가해야 하는 부담을 감소시킬 수 있다. 시간 범위에 있지 않거나 또는 불규칙한 주파수를 가진 시스템 클록 신호를 이용하는 데이터 처리 시스템에서, 상기 마스터 타임베이스 채널은 마스터 클록 신호를 발생할 필요가 있다. 동기화되는 모든 타임베이스 채널(예를 들면, 도 18의 285와 288과, 도 19의 304와 310)은 동일한 주파수와 위상을 가지는 마스터 클록 신호(예를 들면, 도 18의 328과, 도 19의 348)로 시간 측정되어야 한다는 것이 핵심이다.

그 다음에 모든 타임베이스 채널(예를 들면, 도 18의 285 및 288과, 도 19의 304 및 310)을 동일한 초기 값으로 설정하기 위하여 동기 신호(예를 들면, 도 18의 327과, 도 19의 349)가 요구되고, 상기 초기 값으로부터 전술한 마스터 클록 신호에 의해 상기 채널은 증가/감소될 수 있다. 자유 동작 카운터를 이용하는 타임베이스 채널에 대하여, 가장 편리한 동기점은 다운 카운터인지 또는 업 카운터(도 18 참조)인지에 따라서 \$0000 또는 \$FFFF에 대한 룰 오버 점이다. 계수 타임베이스에 대하여 계수 값이 상기 카운터로 로드되는 점은 가장 편리한 동기점(도 19 참조)이다.

상기 동기점은 마스터 타임베이스 채널(예를 들면, 도 18의 285와, 도 19의 304)이 다른 목적을 위하여 요구되는 이미 요구된 검출 회로(예를 들면, 도 18의 330과, 도 19의 351)를 가지고 있기 때문에 선택되었다. 또한, 상기 선택된 동기점에서 타임베이스 값은 유효하거나 또는 모든 슬레이브 타임베이스 채널(예를 들면, 다운 카운터에 대한 \$0000, 업 카운터에 대한 \$FFFF 와, 계수 카운터에 대한 계수 값)에 의해 쉽게 발생된다. 마스터 타임베이스 채널은 동기점의 발생을 감지하고, 상기 동기 신호를 발생하는데 이용된다. 그 다음에 동기점은 하나 또는 그 이상의 슬레이브 타임베이스 채널에 공급되고, 여기서 상기 동기 신호는 모든 타임베이스 값을 동시에 동일한 값으로 설정하는데 이용된다.

각각의 타임베이스 채널에서 일단 카운터들(도 18의 320 및 321과, 도 19의 340 및 341)이 동일한 값으로 설정되고, 동일한 주파수와 위상 마스터 클록 신호에 의해 시간이 측정되면, 상기 카운터들은 모든 카운트 값에 대하여 완전히 동기된 상태로 유지되어야 한다. 상기 타임베이스들 중 한 타임베이스가 잡음 또는 다른 간섭에 의해 동기가 깨어지면, 다음 동기점에서 동기 신호에 의해 재동기될 것이다.

따라서 본 발명은 서로 다른 I/O 제어 모듈(IOCM)(281 내지 284)(도 16 참조) 또는 서로 다른 접적 회로(300 내지 302)(도 17 참조)에서 타임베이스 채널이 동기된 결합 타임베이스 값을 발생시켜 이용한다. 회로로딩/loading)의 제약 때문에, 타임베이스 채널(80과 81)로부터 나온 타임베이스 값을 수신하기 위하여 같은 타이머 버스(71)에 결합될 수 있는 워크 및 기타 채널(예를 들면, 도 2의 86) 수에 대한 상한이 있다. 따라서 본 발명은 서로 다른 IOC(281)과 서로 다른 접적 회로에서 타임베이스 채널이 서로 다른 타이머 버스에 결합되어 있는 동기된 결합 타임베이스 값을 서로 다른 워크 및 기타 채널로 공급하도록 한다. 최소한의 접적 회로 펈을 사용하면, 타이머 채널을 주변 장치의 접적 회로에 추가하는 능력이 중요하다.

도 16에 있어서, 본 발명의 일 실시예에서, 타이머 시스템 접적 회로(280)의 IOC(281)는 도 2에 도시된 모든 회로를 포함할 수 있다는 것에 유념하라. 마찬가지로, 타이머 시스템 접적 회로(280)의 IOC(284)는 도 2에 도시된 모든 회로의 복제를 포함할 수 있다. 상호 모듈 버스(24)(도 1 참조), 가능하게는 글로벌 채널통신 버스(200)(도 10 참조), 마스터 클록 신호(328)와, 동기 신호(329)와는 달리, IOC(281)과 IOC(288)은 정보 전송을 위하여 이들 사이에 결합된 다른 어떤 컨덕터를 필요하지 않는다.

동기 시간 주기 채널의 문맥에서, 용어 "마스터"와 "슬레이브"는 동기 신호(마스터)를 공급하고 동기 신호(슬레이브)를 수신하는 타임베이스 채널을 표시하는데 사용된다는 것을 유념하라. 용어 "마스터"와 "슬레이브"는 마스터 및 슬레이브 타이머 버스 제어 채널의 문맥에서 서로 다른 의미를 가지고, 마스터 및 슬레이브 펈 제어 채널의 문맥에서 서로 다른 의미를 가진다. 그러나, 일반적으로, 용어 "마스터"는 더 많은 제어 신호를 공급하는 회로를 나타내고, 용어 "슬레이브"는 더 적은 제어 신호를 공급하거나 상기 마스터로부터 더 많은 제어 신호를 수신하는 회로를 나타낸다.

핀/상태 버스 구조

도 1 및 도 2에 있어서, 타이머 버스(71과 72)와 마찬가지로 펈/상태 버스들(75 내지 77)은 확장될 수 있거나 또는 다른 신호를 운반하는 개별적인 버스를 만들기 위해 교대로 갈라진다는 점에서 모듈리이다. 본 발명은 펈 제어 채널(PCC)(51 내지 53)을 사용하여 개별적인 버스 또는 세그먼트로 쉽게 분할될 수 있는 하나 또는 그 이상의 펈/상태 버스들(75 내지 77)을 이용한다.

핀/상태 버스들(75 내지 77)은 IOC(25)내의 채널 사이에서 정보를 전송하는데 이용된다. 본 발명의 몇몇 실시예에서, 하나 또는 그 이상의 펈/상태 버스(예를 들면, 77)는 또한 한 개의 IOC(예를 들면, 25)로부터 다른 IOC(예를 들면, 26)

으로 정보를 전송하는데 이용된다. 또한, 핀/상태 버스들(75 내지 77)은 IOCM(25)에서 집적 회로 핀(33)과 하나 또는 그 이상의 채널 사이에서 정보를 전송하는데 이용된다. 집적 회로 핀(31 내지 35)은 I/O 집적 회로(22)에 대하여 외부의 정보를 송수신하는데 이용된다. 각각의 IOCM(25 내지 29)은 IOCM 채널 사이에서, 그리고 IOCM 채널과 하나 또는 그 이상의 집적 회로 핀(31 내지 35) 사이에서 정보를 전송하는 하나 또는 그 이상의 핀/상태 버스를 가진다.

본 발명의 몇몇 실시예에서, 핀/상태 버스들(75 내지 77)은 같은 핀/상태 버스에 결합된 다른 채널에 작용하고 제어하는 채널을 위한 통로 역할을 한다. 상기 핀/상태 버스들(75 내지 77)은 또한 출력 집적 회로 핀의 논리 레벨에 작용하고 제어하는 채널과, 입력 집적 회로 핀의 논리 레벨에 의해 작용되거나 또는 제어되는 채널을 위한 통로 역할을 한다.

본 발명의 일 실시예에서, 각각의 핀/상태 버스들(예를 들면, 도 2의 75 내지 77)는 네 개의 주 목적, 즉 (1)입력으로 프로그램된 하나 또는 그 이상의 회로 핀의 논리 레벨을 나타내는 것, (2)출력으로 프로그램된 하나 또는 그 이상의 집적 회로 핀의 논리 레벨을 결정하는 것, (3)하나 또는 그 이상의 채널에 대하여 입력 이벤트의 소스로 작용하는 것과, (4)하나 또는 그 이상의 채널로부터 출력 이벤트의 데스티네이션으로 작용하는 목적을 달성할 수 있다.

CPU(13)(도 1 참조)에 의해 채널에 기록된 데이터의 결합은 필수적인 요구이다. 핀/상태 버스를 사용하면 결합은 보장된다. 채널 사이에서 제어의 동시성은 상기 버스를 가지고 있어서, 채널의 동작은 서로 동기될 수 있다. CPU(13)은 또한 팬 제어 채널내의 제어 레지스터를 통하여 상기 버스에 작용할 수 있기 때문에, 채널 동작은 CPU(13) 동작과 동기될 수 있다. 결국, 채널 데이터의 결합 액세스는 상기 핀/상태 버스의 CPU(13) 제어로 보장될 수 있다.

IOCM(25 내지 29)의 아키텍처와 버스 구조는 상기 핀/상태 버스를 길이 방향을 따라 어디로든 쉽게 갈라지는 길을 제공한다. 결국, 상기 채널은 서로 다른 집적 회로 핀에 대한 액세스를 구비하는 개별적인 채널 블록으로 분할된다. 블록내의 각각의 채널은 다수, 또는 한 개 또는 no 집적 회로 핀으로부터 정보를 송수신할 수 있다. 또한, 블록내의 하나 또는 그 이상의 채널은 같은 집적 회로 핀과 정보를 송수신할 수 있다. 도 2에 있어서, 서로 다른 핀/상태 버스들(75 내지 77)에 대한 액세스를 가진 개별적인 블록으로 채널을 분리하는 것은 서로 다른 타이머 버스들(71 내지 72)에 대한 액세스를 가지는 개별적인 블록으로 채널을 분리하는 것과 독립적이라는 것에 유념하라.

예를 들면, 도 2에 있어서, 상기 핀/상태 버스(75)는 채널(57)의 블록에 대응하고, 핀/상태 버스(76)는 채널(58)의 블록에 대응한다는 것에 유념하라. 핀/상태 버스(75)는 채널(57) 사이에서 핀 또는 상태 정보를 전송하는데 사용되고, 마찬가지로 핀/상태 버스(76)는 채널(58) 사이에서 핀 또는 상태 정보를 전송하는데 사용된다.

타이머 버스 제어 채널(예를 들면, 도 2의 61 내지 64)과는 달리, 상기 핀 제어 채널은 "마스터"와 "슬레이브" 버전에 응답되지 않는다. 대신에, 각각의 핀 제어 채널은 대응 핀/상태 버스를 제어해야 한다. 예를 들면, 도 2에서, 핀 제어 채널(51)은 핀/상태 버스(75)를 제어하고, 핀 제어 채널(52)은 핀/상태 버스(76)를 제어하고, 핀 제어 채널(53)은 핀/상태 버스(77)를 제어한다.

그러나, 도 3에 도시된 것과 같이, 핀 제어 공용 논리(106)는 핀/상태 버스(118)의 하나 또는 그 이상의 컨덕터를, 핀/상태 버스(119)의 하나 또는 그 이상의 컨덕터에 선택적으로 결합하는데 사용될 수 있고, 따라서 한 개의 연장된 핀/상태 버스들(118, 119)을 형성할 수 있다. 예를 들면, 핀 제어 공용 논리(106)는 핀/상태 버스(118)와 핀/상태 버스(119)를 연결하여 버스들(118과 119)의 하나 또는 그 이상의 컨덕터는 동일한 값 또는 신호를 전송하는데 사용될 수 있다. 결국, 핀 제어 공용 논리(106)는 일부 또는 모든 핀/상태 버스들(118과 119)이 두 배의 채널과 두 배의 집적 회로 핀 사이에서도 동일한 신호를 운반하고 동일한 정보를 전송하는 한 개의 버스에 효과적으로 결합되거나 연장되도록 한다.

도 3에 있어서, 도 3에 도시된 IOCM(26) 부분은 네 개의 핀/상태 버스들(116 내지 119)을 포함한다. 핀/상태 버스(116)는 핀 제어 채널(109)에 의해 제어되고 다른 어떤 핀/상태 버스로도 정보를 전송하지 않는다. 핀/상태 버스(117)는 핀 제어 채널(108)에 의해 제어되고 다른 어떤 핀/상태 버스로도 정보를 전송하지 않는다. 핀/상태 버스(118)는 핀 제어 채널(105)에 의해 제어되고 핀 제어 공용 논리(106)를 통하여 핀/상태 버스(119)와 정보를 주고받는다. 핀/상태 버스(119)는 핀 제어 채널(107)에 의해 제어되고 핀 제어 공용 논리(106)를 통하여 핀/상태 버스(118)와 정보를 주고받는다.

본 발명의 일 실시예에서, 각각의 핀/상태 버스(예를 들면, 118)는 핀 정보(예를 들면, 112)를 전송하는데 이용되는 여덟 개의 컨덕터와, 핀 정보 또는 상태 정보(예를 들면, 113)를 전송하도록 독립적으로 프로그램될 수 있는 여덟 개의 컨덕터를 가진다. 핀 제어 채널(105)내의 제어 레지스터 저장 비트(120)는 각각의 핀/상태 정보 컨덕터(113)에 대하여, 상기 컨덕터가 채널(123)과 하나 또는 그 이상의 집적 회로 핀(110) 사이에서 핀 정보를 전송할 것인지 또는 상기 채널(123) 사이에서만 상태 정보를 전송할 것인지 선택적으로 결정하는데 이용된다. 마찬가지로, 핀 상태 채널(107)내의 제어 레지스터 저장 비트(122)는 각각의 핀/상태 정보 컨덕터(115)에 대하여, 상기 컨덕터가 채널(125)과 하나 또는 그 이상의 집적 회로 핀(111) 사이에서 핀 정보를 전송할 것인지, 또는 상기 컨덕터가 단지 상기 채널(125) 사이에서만 상태 정보를 전송할 것인지 선택적으로 결정하는데 이용된다.

핀 제어 공용 논리(106)내의 제어 레지스터 저장 비트(121)의 일부는 핀/상태 버스(118)와 핀/상태 버스(119)의 컨덕터의 선택적인 결합을 제어하는데 이용된다. 본 발명의 다른 실시예에서, 핀 제어 공용 논리(106)에 대한 상기 제어 레지스터 저장 비트(121)의 일부는 복사될 수 있고 핀 제어 채널(PCC)(105와 107) 회로의 일부로 물리적으로 위치될 수 있다. 두 개의 PCC(105와 107)중 한 PCC에서 제어 레지스터 저장 비트(121)의 일부를 활성화하기 위하여 마스크 옵션 변화가 요구될 수 있다.

예를 들면, 마스크 옵션 변화는 PCC(105)에서 제어 레지스터 저장 비트(121)의 일부를 활성화하는데 이용될 수 있지만, PCC(107)에서 제어 레지스터 저장 비트(121)의 복사부는 휴지중인 상태로 남아있다. 따라서, PCC(105)에서 제어 레지스터 저장 비트(121)의 활성부는 핀 제어 공용 논리(106)에 결합되고 핀 제어 공용 논리(106)를 제어하는데 사용되지만, PCC(107)에서 제어 레지스터 저장 비트(121)의 휴지중인 복사부는 제어 공용 논리(106)에 결합되지 않고 핀 제어 공용 논리(106)에 아무런 영향을 미치지 않는다. 본 발명의 일 실시예에서, 제어 레지스터 저장 비트(121)의 활성부를 가지는 PCC(105)는 "마스터" PCC로 간주되지만, 제어 레지스터 저장 비트(121)의 휴지부를 가지는 PCC(107)는 "슬레이브" PCC로 간주된다.

도 2에 있어서, 핀/상태 버스들(75 내지 77)은 각각 서로 다른 컨덕터를 사용해야 하는데 상기 버스는 각각 동시에 서로 다른 핀/상태 값의 세트를 전송할 수 있어야 하기 때문이다. 그러나, 핀/상태 버스들(75 내지 77)은 개념적으로 개별적인 버스로 간주될 수 있으며, 또한 상기 버스는 개념적으로 동일한 글로벌 핀/상태 버스의 서로 다른 부분 또는 세그먼트로 간주될 수 있다. 상기 문맥에서, 글로벌 핀/상태 버스는 모든 요구된 핀/상태 값을 모든 필요한 채널과 접속 회로(22)의 모든 필요한 핀으로 전송하는 버스로 간주된다. 동시에 전송되어야 하는 각각의 핀/상태 값 세트를 위하여, 서로 다른 핀/상태 버스 컨덕터 세트가 이용되어야 한다는 것이 핵심이다. 상기 개별적인 컨덕터 세트는 개별적인 버스로 간주될 수도 있고, 또는 한 글로벌 버스의 개별적인 부분 또는 세그먼트로 간주될 수 있다.

본 발명의 다른 실시예는 핀/상태 버스에 결합된 각각의 채널 블록내에 더 적거나, 더 많거나 또는 서로 다른 채널을 포함한다는 것에 유념하라. 예를 들면, 도 2에 있어서, 채널(57과 58)은 이용가능한 채널 라이브러리로부터 더 많거나, 더 적거나, 또는 서로 다른 채널을 포함할 수 있다.

모듈러 채널의 빌딩 블록을 구성하는 타이머 시스템에서, 상기 분리된 핀/상태 버스 구조는 핀/상태 버스의 길이를 따른 다수의 서로 다른 핀/상태 정보 세트를 쉽게 공급하는 길을 해상도의 손실없이 타이머 시스템의 서로 다른 부분으로 공급한다.

예를 들면, 종래의 타이머 시스템(도 2 참조)에서, 채널(58)은 서로 정보를 교환할 필요가 있을 수 있고 핀 제어 채널(52)에 의해 제어되는 접속 회로 핀(도시되지 않음)에 액세스할 필요가 있을 수 있지만, 채널(57)은 서로 정보를 교환할 필요가 있고 핀 제어 채널(51)에 의해 제어되는 접속 회로 핀(도시되지 않음)에 액세스 할 필요가 있을 수 있다. 도 3에 있어서, 만약 하나 또는 그 이상의 채널(123)이 하나 또는 그 이상의 채널(125)로부터 정보를 제공하거나 수신할 필요가 있으면 핀에 어려운 논리(106)는 핀/상태 버스(118)와 핀/상태 버스(119)가 정보를 공용하고 동시에 동일한 세트의 핀/상태 값을 제공하도록 하기 위하여 핀 제어 채널(105와 107) 사이에 삽입되어야 한다. 본 발명은 각각의 IOCM(25 내지 29)을 통하여 요구된 글로벌 핀/상태 버스를 분리한다. 결국, 각각의 독립적인 핀/상태 버스들(예를 들면, 75, 76과 77)에 대응하는 채널은 요구된 채널 기능을 수행하기 위하여 필요한 상기 핀/상태 정보를 수신하고 제공한다.

또한 핀/상태 버스가 아주 길 가능성 있는 타이머 시스템에서, 지원되어야 하는 다수의 기능 때문에, 본 발명은 핀/상태 버스의 각 부분을 위한 충분한 구동 특성을 보장하기 위하여 핀/상태 버스를 분리하는 방법을 제공한다.

출력 핀의 유연한 논리곱과 논리합

도 3에 도시된 핀/상태 버스의 실시예는 단지 가능한 일 실시예이고, 기타 여러 가지가 있다. 도 4는 사용자가 출력 핀의 논리 상태를 결정하기 위하여 다중 채널의 출력을 논리적으로 결합하도록 하는 핀/상태 버스의 다른 실시예를 도시한다.

도 4에 도시된 실시예에서, 도 1의 각각의 핀/상태 버스들(75 내지 77)은 입력 상태 버스들(143 내지 145)과 출력 이벤트 버스들(131 내지 133)을 각각 이용하여 수행된다. 각각의 입력 상태 버스들(143 내지 145)은 여덟 개의 핀 컨덕터(147, 149, 151)와 여덟 개의 핀 컨덕터(146, 148, 150)를 각각 포함한다. 각각의 출력 이벤트 버스들(131 내지 133)은 여덟 개의 설정 컨덕터(134, 137, 140), 여덟 개의 클리어 컨덕터(135, 138, 141)와 여덟 개의 토글 컨덕터(136, 139, 142)를 각각 포함한다.

상기 출력 이벤트 버스(132)는 핀(195)의 출력 상태를 결정하는데 이용되며, 상기 핀은 핀 제어 채널(52)에 대응하고 핀 제어 채널에 의해 제어된다. 채널(58)에서 다양한 채널은 핀(195)의 논리 상태에 작용하기 위하여 출력 이벤트 버스를 이용한다. 각각의 핀(195)은 상기 설정 컨덕터(137) 중 한 컨덕터, 한 개의 클리어 컨덕터 및 한 개의 토글 컨덕터(139)에 결합된다. 따라서 특정 출력 핀(195)의 논리 상태는 상기 특정 핀에 결합된 세 개의 컨덕터, 즉 세트, 클리어 및 토글의 논리 상태에 의해 결정된다. 그러나, 상기 세트, 클리어 및 토글 컨덕터는 핀 제어 채널(52)에 의해 입력으로 구성되는 핀(195)에 영향을 미치지 않는다는 것에 유념하라. 핀에 결합된 상기 세트, 클리어 및 토글 컨덕터는 상기 핀이 출력 핀으로 구성될 때 사용될 뿐이다.

도 4에 있어서, 본 발명의 일 실시예에서, 24개의 컨덕터(137 내지 139) 각각은 다른 컨덕터에 와이어-NOR될 수 있는 와이어-NOR 컨덕터이다. 본 발명의 일 실시예에서, 워크 채널 블록(예를 들면, 160, 161)내의 모든 설정 컨덕터(137)는 함께 와이어-NOR된다. 마찬가지로, 워크 채널 블록(예를 들면, 160, 161)내의 모든 클리어 컨덕터(138)는 함께 와이어-NOR된다. 마찬가지로, 워크 채널 블록(예를 들면, 160, 161)내의 모든 토글 컨덕터(139)는 함께 와이어-NOR된다.

예로서, 핀/상태 버스(76)(도 4 참조)가 상술될 것이다. 도 5는 핀(165)이 출력 핀으로 구성될 때 접속 회로 핀(165)의 출력 상태를 제어하기 위해 사용되는 핀/상태 버스(76)의 일부를 도시한다. 설정 컨덕터(157)는 도 4에 도시된 여덟 개의 컨덕터(137) 중 한 컨덕터이고, 클리어 컨덕터(158)는 도 4에 도시된 여덟 개의 클리어 컨덕터(138) 중 한 컨덕터이고, 토글 컨덕터(159)는 도 4에 도시된 여덟 개의 토글 컨덕터(139) 중 한 컨덕터이다. 각각의 컨덕터(157 내지 159)는 논리 레벨 1로 미리 충전된 와이어-NOR 컨덕터이다. 따라서 만약 매치 채널(160)의 핀 제어 회로가 매치 채널(161)의 상기 핀 제어 회로(163)가 컨덕터(168)에서 논리 레벨 0으로 작동하는 동안 컨덕터(171)에서 논리 레벨 1로 작동하면, 상기 설정 컨덕터(157)의 논리 레벨은 논리 레벨 0이 될 것이다. 결국, 와이어-NOR 컨덕터에 대하여, 논리 레벨 0이 표시될 것이다. 다른 실시예는 와이어-OR 컨덕터를 이용할 수 있다.

핀 제어 회로(164)는 설정 컨덕터(157), 클리어 컨덕터(158) 및 토글 컨덕터(159)의 와이어-NOR 결과를 수신한다. 핀 제어 회로(164)는 또한 컨덕터(174)를 통하여 핀(165)의 현 논리 레벨을 수신한다. 핀 제어 회로(164)는 결과 컨덕터(168)의 논리 레벨을 결정하여 접속 회로 핀(165)의 다음 출력 논리 레벨을 결정하기 위하여 컨덕터(157 내지 159 및 174)의 논리 레벨을 이용한다.

도 6은 결과 컨덕터(168)의 논리 레벨을 결정하여 접속 회로 핀(165)의 다음 출력 논리 레벨을 결정하기 위하여 핀 제어 회로(164)의 일 실시예에 이용된 진리표를 나타낸다. 결과 컨덕터(168)는 핀(165)의 출력 논리 레벨을 구동하는데 이용된

다. 도 6에 도시된 진리표는 세트, 클리어 및 토글 컨덕터(157 내지 159)의 가능한 모든 상태에 대하여 핀(165)의 작용을 결정하는 프로토콜을 정의한다. 도 6의 표에 있어서, 세트, 클리어 및 토글 컨덕터(157 내지 159)의 표명된 상태는 논리 레벨 "0"이고, 세트, 클리어 및 토글 컨덕터(157 내지 159)의 부정된 상태는 논리 레벨 "1"이다. 프로토콜은 다음과 같이 기술될 수 있다. (1) 만약 토글 컨덕터(159)가 표명되면, 토글은 항상 이기고 핀(165)은 토글된다 (2) 만약 모든 컨덕터(157 내지 159)가 부정되면, 핀(165)은 동일한 논리 레벨을 가진다. (3) 만약 설정 컨덕터(157)와 클리어 컨덕터(158)가 표명되고 토글 컨덕터(159)가 부정되면, 핀(165)은 동일한 논리 레벨을 가진다. 다른 실시예는 다른 프로토콜 및 다른 진리표를 이용할 수 있다.

세트(137), 클리어(138) 및 토글(139)에 대하여 개별적인 컨덕터를 가진 출력 이벤트 버스(132)를 이용하여, 본 발명은 서비스 처리기의 간섭없이 다중 채널의 출력에서 논리 동작을 수행할 수 있다. 이것은 아주 강력하고 유연한 특성이다.

종래 기술에서, 서비스 처리기에 의한 간섭(예를 들면, 중앙 처리 장치)은 다중 타이머 채널의 상태에 따라 타이머 출력 핀 논리 레벨 변화를 시작하도록 요구되었다. 서비스 처리기는 인터럽트를 통하여, 몇몇 다른 메카니즘에 의해 간섭하도록 요구되었다. 상기 서비스 처리기는 다중 타이머 채널의 상태를 감지하고, 이에 대한 응답으로 타이머 출력 핀에서 대응하는 논리 레벨 변화를 발생시켰다. 매치 채널 상태의 예는 매치가 발생했느냐는 것이다.

선택된 채널의 상태를 감지하자마자 서비스 처리기는 상태 비교를 수행하고, 어떤 자동 추진 애플리케이션에 대한 다음의 결과 중 하나를 발생한다. (1) 모든 선택된 채널의 상태가 참인지 출력 핀 설정, (2) 모든 선택된 채널의 상태가 참인지 출력 핀 클리어, (3) 어떤 선택된 채널의 상태가 참인지 출력 핀 설정, 또는 (4) 어떤 선택된 채널의 상태가 참인지 출력 핀 클리어 불행히도, 다양한 채널의 상태를 비교하고 출력 핀이 적절한 출력 논리 레벨로 구동되도록 하기 위하여 서비스 처리기를 이용하면 상당한 소프트웨어 오버헤드가 요구된다. 서비스 처리기에 의한 간섭은 다중 채널의 상태에 따른 타이밍 정확성 출력 핀의 상태를 설정하거나 클리어하기 위하여 요구되었기 때문에, 타이밍 정확도 출력에서의 타이밍 에러는 서비스 처리기의 대기 시간에 기인한다.

본 발명은 타이머 채널이 서비스 처리기에 의한 간섭없이, 전술한 네 가지 형태의 "논리" 동작을 수행하도록 구성한다. 결국, 서비스 처리기 대기 시간에 기인하는 어떤 타이밍 에러도 타이밍 정확도 출력에 삽입되지 않는다. 논리적으로 결합될 수 있는 타이머 채널 출력은 타이머 시스템에 이용가능한 채널의 총 수에 의해서만 이론적으로 제한된다.

본 발명은 사용자가 프로그램할 수 있는 도 5의 핀(165)과 같은, 타이머 채널 출력 핀의 논리곱과 논리합을 제공한다. 일 실시예에서, 본 발명은 다수의 독립적인 타이머 채널과 다음 알고리즘 중 한 알고리즘에 따라서 서비스 처리기에 의한 간섭 없이 핀의 상태를 제어하는 채널의 서브세트를 선택적으로 구성할 수 있는 출력 타이머 핀을 가지는 시스템을 제공한다. (1) 모든 선택된 채널의 출력 상태가 참이면 핀을 설정한다. (2) 모든 선택된 채널의 출력 상태가 참이면 핀을 클리어한다. (3) 어떤 선택된 채널의 출력 상태가 참이면 상기 핀을 설정한다. (4) 어떤 선택된 채널의 출력 상태가 참이면 상기 핀을 클리어한다.

도 5에 있어서, 각 채널은 하나 또는 그 이상의 제어 레지스터를 가진다. 매치 채널(160)은 에어 레지스터(166)를 가지고, 매치 채널(161)은 제어 레지스터(167)를 가지고, 핀제어 채널은 제어 레지스터(184)를 가진다. 도 7은 도 5의 제어레지스터(166과 167)의 일부를 도시한다. 일 실시예에서, 제어 레지스터(166)는 16개의 집적 회로 핀 중 한 핀을 선택하는데 이용되는 네 개의 핀 선택 제어 비트(180)를 가지고, 제어 레지스터(167)는 16개의 집적 회로 핀 중 한 핀을 선택하는데 이용되는 네 개의 핀 선택 제어 비트(181)를 가진다. 도 5에 도시된 본 발명의 일 실시예에서, 핀 선택 제어 비트(180과 181)는 핀(165)을 선택하기 위해 사용자에 의해 프로그램되었다.

또한, 본 발명의 일 실시예에서, 제어 레지스터(166)는 매치 채널(160)이 출력 핀(165)에서 발생하는 기능을 선택하는데 이용되는 세 개의 핀 출력 자극 제어 비트(182)를 가진다. 마찬가지로, 제어 레지스터(167)는 매치 채널(161)이 출력 핀(165)에서 발생하는 기능을 선택하는데 이용되는 세 개의 핀 출력 자극 제어 비트(183)를 가진다. 도 8은 본 발명의 일 실시예에서 핀 출력 자극 제어 비트(182와 183)에 의해 사용자 프로그램될 수 있는 기능을 도시한다. 본 발명의 다른 실시예는 다양한 제어 비트를 위하여 더 많거나, 더 적거나 또는 다른 비트 엔코딩을 이용할 수 있다.

도 8에 있어서, 사용자 프로그램 기능은 매치가 발생할 때 각각의 매치 채널들(160 내지 161)이 설정 컨덕터(157), 클리어 컨덕터(158) 및 토글 컨덕터(159)에 작용하는 방법을 결정한다. 예를 들면, 매치 채널(160)이 기능억제(disable) 기능을 위하여 프로그램되면, 매치 채널(160)은 매치가 발생할 때 컨덕터(157 내지 159)에 작용하지 않는다. 만약 매치 채널(160)이 상승(rising) 기능에 대하여 프로그램되면, 매치 채널(160)은 매치가 발생할 때 1 클록 주기동안 (설정 컨덕터(157)에 논리 레벨 0을 구동하여) 설정 컨덕터(157)를 표명할 것이다. 만약 매치 채널(160)이 하강(falling) 기능에 대하여 프로그램되면, 매치 채널(160)은 매치가 발생할 때 1 클록 주기동안 (클리어 컨덕터(158)에 논리 레벨 0을 구동하여) 클리어 컨덕터(158)를 표명할 것이다. 만약 매치 채널(160)이 토글 기능에 대하여 프로그램되면, 매치 채널(160)은 매치가 발생할 때 1 클록 주기동안 (토글 컨덕터(159)에 논리 레벨 0을 구동하여 토글 컨덕터(159)를 표명할 것이다).

나머지 네 개의 기능, 즉 AND 클리어, AND 설정, OR 클리어, 그리고 OR 설정은 사용자가 타이머 채널 출력의 논리곱과 논리합을 프로그램할 수 있도록 한다. 도 9는 매치 채널들(160과 161) 상태의 논리곱과 논리합에 의해 핀(165)에서 발생하는 결과의 한 예를 도시한다. 참인 "T"는 매치가 발생했다는 것을 나타내고, 거짓인 "F"는 매치가 발생하지 않았음을 나타낸다. 만약 매치 채널들(160과 161)이 AND 설정에 대해 프로그램되면, 핀(165)의 다음 논리 레벨은 매치 채널(160)과 매치 채널(161) 모두에서 발생할 때만 설정(즉, 논리 레벨 "1")될 것이다. 따라서 AND 설정은 매치가 상기 출력 핀(165)을 설정하기 위하여 매치 채널(160)과 매치 채널(161) 모두에서 발생해야 한다는 것을 의미한다. 마찬가지로, AND 클리어는 매치가 상기 출력 핀(165)을 클리어하기 위하여 매치 채널(160)과 매치 채널(161) 모두에서 발생해야 한다는 것을 의미한다.

만약 매치 채널들(160과 161) 모두가 OR 설정에 대하여 프로그램되면, 핀(165)의 다음 논리 레벨은 매치가 매치 채널(160) 또는 매치 채널(161)에서 발생되었을 때 설정(즉, 논리 레벨 "1")될 것이다. 따라서 OR 설정은 매치가 출력 핀(165)

을 설정하기 위하여 매치 채널들(160과 161)중 어느 한 채널에서 발생해야 한다는 것을 의미한다. 마찬가지로 OR 클리어 매치가 출력 핀(165)을 클리어하기 위하여 매치 채널들(160과 161)중 어느 한 채널에서 발생해야 한다는 것을 의미한다. 비록 도 9에서 도시된 예가 두 개의 매치 채널을 이용하지만, 몇 개의 채널도 이용될 수 있다.

또한, 다양한 논리곱과 논리 합 기능은 결합될 수 있다. 예를 들면, 카운터 채널(185)과 같은 부가적인 채널은 도 5에서 매치 채널(160)과 핀 제어 채널(52) 사이에 위치될 수 있다. 상기 카운터 채널(185)은 핀(165)을 선택하도록 사용자에 의해 프로그램되는 제어 레지스터(187)내에 핀 선택 비트를 가질 수 있다. 따라서 카운터 채널(185)은 컨덕터(157 내지 159)를 구동할 수 있다. 만약 매치 채널들(160과 161)이 AND 설정에 대하여 프로그램되고, 카운터 채널(185)이 OR 설정에 대하여 프로그램되면, 만약 카운터 채널(185)이 카운트 값에 근접하거나, 또는 채널들(160과 161)이 매치를 가지면 핀(165)은 설정될 것이다. 본 발명은 다양한 채널의 상태를 포함하는 훨씬 더 복잡한 불린 방정식을 형성하는데 이용될 수 있다.

도 5에 있어서, 상기 세트, 클리어 및 토글 컨덕터(157 내지 159)는 이들의 와이어 NOR 특성 때문에, 실제로 논리합 및 논리곱 연산을 수행하는데 이용된다. 논리합 및 논리곱이 실행되는 방법이 하기에 기술된다. 본 QKFAD의 일 실시예에서, 설정 컨덕터(157)와 클리어 컨덕터(158)는 AND 클리어와 AND 설정 기능을 실행하는데 이용될 수 있고, 토글 컨덕터(159)는 OR 클리어 및 OR 설정 기능을 실행하는데 이용될 수 있다.

만약 매치 채널(160)이 AND 설정에 대하여 프로그램되면, 매치 채널(160)은 매치가 발생할 때까지 클리어 컨덕터(158)를 표명한다. 설정 컨덕터(157)와 토글 컨덕터(159)는 부정된 상태(즉, 논리 레벨 "1")로 미리 충전(precharge)되어 있다는 것에 유념하라. 매치가 발생할 때, 매치 채널(160)은 상기 설정 컨덕터(157)를 표명하고 핀(165)의 논리 레벨이 논리 레벨 1(즉, 설정)로 변할 때까지 계속 표명한다. 매치 채널(160)은 입력 상태 버스(144)(도 4 참조)를 통하여 핀(165)의 출력 논리 레벨을 수신한다는 것에 유념하라. 핀(165)이 설정 상태로 남아있는 한, 매치 채널(160)은 어떠한 컨덕터(157 내지 159)도 표명하지 않는다. 그 다음에 핀(165)은 소프트웨어에 의해 재구성되면 다른 채널, 또는 매치 채널(160)에 의해 클리어될 수 있다. 일단 핀(165)이 클리어되면, 매치 채널(160)은 매치가 발생할 때까지 다시 한 번 상기 클리어 컨덕터(158)를 표명한다.

만약 매치 채널(160)이 AND 클리어에 대하여 프로그램되면, 매치 채널(160)은 매치가 발생할 때까지 설정 컨덕터(157)를 표명한다. 클리어 컨덕터(158)와 토글 컨덕터(159)는 부정 상태로 미리 충전(precharge)되어 있다는 것에 유념하라. 매치가 발생할 때, 매치 채널(160)은 클리어 컨덕터(158)를 표명하고 핀(165)의 논리 레벨이 논리 레벨 0(즉, 클리어)으로 변할 때까지 계속 표명한다. 매치 채널(160)은 입력 상태 버스(144)(도 4 참조)를 통하여 핀(165)의 출력 논리 레벨을 수신한다는 것에 유념하라. 핀(165)이 클리어 상태로 남아있는 한, 매치 채널(160)은 어떠한 컨덕터(157 내지 159)도 표명하지 않는다. 그 다음에 핀(165)은 소프트웨어에 의해 재구성되면 다른 채널, 또는 매치 채널(160)에 의해 클리어될 수 있다. 일단 핀(165)이 클리어되면, 매치 채널(160)은 매치가 발생할 때까지 다시 한 번 상기 설정 컨덕터(157)를 표명한다.

만약 매치 채널(160)이 OR 설정에 대하여 프로그램되면, 매치 채널(160)은 매치가 발생할 때까지 어떠한 컨덕터(157 내지 159)도 표명하지 않는다. 컨덕터(157 내지 159)는 부정 상태(즉, 논리 레벨 1)로 미리 충전(precharge)되어 있다는 것에 유념하라. 핀(165)은 다른 채널, 또는 다르게 구성된 매치 채널(160)에 의해 클리어되어야 한다. 매치가 발생할 때, 매치 채널(160)은 토글 컨덕터(159)를 표명하고 핀(165)의 논리 레벨이 그 반대의 논리 레벨(즉, 설정)로 변할 때까지 계속 표명한다. 매치 채널(160)은 입력 상태 버스(144)(도 4 참조)를 통하여 핀(165)의 출력 논리 레벨을 수신한다는 것에 유념하라. 핀(165)이 설정 상태로 남아있는 한, 매치 채널(160)은 어떠한 컨덕터(157 내지 159)도 표명하지 않는다. 그 다음에 핀(165)은 소프트웨어에 의해 재구성되면 다른 채널, 또는 매치 채널(160)에 의해 클리어될 수 있다. 일단 핀(165)이 클리어되면, 매치 채널(160)은 토글 컨덕터(159)를 표명하기 위하여 매치가 발생할 때까지 다시 한번 대기한다.

만약 매치 채널(160)이 OR 클리어에 대하여 프로그램되면, 매치 채널(160)은 매치가 발생할 때까지 어떠한 컨덕터(157 내지 159)도 표명하지 않는다. 컨덕터(157 내지 159)는 부정 상태(즉, 논리 레벨 1)로 미리 충전(precharge)되어 있다는 것에 유념하라. 핀(165)은 다른 채널, 또는 다르게 구성된 매치 채널(160)에 의해 클리어되어야 한다. 매치가 발생할 때, 매치 채널(160)은 토글 컨덕터(159)를 표명하고 핀(165)의 논리 레벨이 그 반대의 논리 레벨(즉, 클리어)로 변할 때까지 계속 표명한다. 매치 채널(160)은 입력 상태 버스(144)(도 4 참조)를 통하여 핀(165)의 출력 논리 레벨을 수신한다는 것에 유념하라. 핀(165)이 클리어 상태로 남아있는 한, 매치 채널(160)은 어떠한 컨덕터(157 내지 159)도 표명하지 않는다. 그 다음에 핀(165)은 소프트웨어에 의해 재구성되면 다른 채널, 또는 매치 채널(160)에 의해 클리어될 수 있다. 일단 핀(165)이 클리어되면, 매치 채널(160)은 토글 컨덕터(159)를 표명하기 위하여 매치가 발생할 때까지 다시 한번 대기한다.

본 발명의 일 실시예에서, 매치 채널(160)이 핀(165)의 응답을 기다리는 동안 매치 채널(160)에서 발생하는 매치는 무시되는 것에 유념하라. 다른 실시예에서, 하나 또는 그 이상의 매치가 발생했다는 정보는 저장되어 다음의 유효 기회에서 핀(165)을 실행하는데 이용된다.

도 5에서 회로 동작에 대한 상기 상술은 또한 다른 채널들(57 내지 58)과 도 4에 도시된 다른 출력 이벤트 버스 컨덕터(131 내지 133)에 적용된다는 것에 유념하라.

도 4에 도시된 입력 상태 버스(143 내지 145)의 동작이 이제 상술될 것이다. 일 실시예에서, 입력 상태 버스(143, 144, 145) 각각은 여덟 개의 핀/상태 컨덕터(147, 149, 151)를 각각 포함하고, 여덟 개의 편 컨덕터(146, 148, 150)를 각각 포함한다. 따라서, 각각의 핀/상태 버스(예를 들면, 118)는 편 정보(예를 들면, 112)에 이용되는 여덟 개의 컨덕터와, 편 정보 또는 상태 정보(예를 들면, 113)를 전송하도록 개별적으로 프로그램될 수 있는 여덟 개의 컨덕터를 가진다.

핀 제어 채널(52)에서 제어 레지스터 저장 비트(192)는 각각의 핀/상태 컨덕터(149)에 대하여, 상기 컨덕터가 채널(58)과 하나 또는 그 이상의 집적 회로 핀(195) 사이에서 편 정보를 전송할지, 또는 상기 컨덕터가 단지 상기 채널(58) 사이에서만 상태 정보를 전송할지를 선택적으로 결정하는데 이용된다. 마찬가지로, 핀 제어 채널(51)에서 제어 레지스터 저장 비트(191)는 각각의 핀/상태 컨덕터(151)에 대하여, 상기 컨덕터가 채널(57)과 하나 또는 그 이상의 집적 회로 핀(194) 사이에서 편 정보를 전송할지, 또는 상기 컨덕터가 단지 상기 채널(57) 사이에서만 상태 정보를 전송할지를 선택적으로 결정하는데 이용된다.

따라서 핀/상태 컨덕터(147, 149 및 151)는 핀에 영향을 미치지 않는 상태 컨덕터로 이용될 수 있지만, 이벤트(예를 들면, 매치)가 특정 채널에서 발생했음을 다른 채널에 전달하는데 이용될 수 있다. 따라서 다른 채널은 특정 채널에서 발생한 이벤트에 기초된 작용을 동시에 조정할 수 있다. 상태 컨덕터로 이용될 때, 컨덕터(149)는 다양한 채널(58)을 하드웨어적으로 연결하는 방법을 제공한다. 마찬가지로, 상태 컨덕터로 이용될 때, 컨덕터(151)는 다양한 채널(57)을 하드웨어적으로 연결하는 방법을 제공한다. 예를 들면, 매치 채널(161)은 컨덕터(149) 중 한 컨덕터를 표명하여 매치가 발생되었다는 정보를 제공할 수 있다. 따라서 채널들(58) 내의 하나 또는 그 이상의 채널은 채널(161)에서 매치가 발생했을 때를 결정하는 한 개의 컨덕터를 검사한다.

핀 컨덕터들(148)은 집적 회로 핀(195)의 현 논리 상태를 채널(58)로 다시 전송하는데 이용되고, 핀 컨덕터들(150)은 집적 회로 핀(194)의 현 논리 상태를 다시 채널(57)로 전송하는데 이용된다. 특히, 각각의 핀 컨덕터들(148)은 집적 회로 핀(195)의 대응하는 핀의 현 논리 레벨을 상기 핀으로부터 다시 채널(58)로 전송한다. 마찬가지로, 각각의 핀 컨덕터(150)는 집적 회로 핀(194)의 대응하는 한 개의 핀의 현 논리 레벨을 상기 핀으로부터 다시 채널(57)로 전송하는데 이용된다.

따라서, 본 발명은 다수의 채널(예를 들면, 도 4에서 채널(58))이 같은 핀/상태 버스 컨덕터(예를 들면, 핀/상태 버스 컨덕터(76))에 정보를 제공하도록 한다. 결국 하나 또는 그 이상의 채널은 집적 회로 핀(예를 들면, 핀(195) 중 한 핀)의 논리 레벨에 작용할 수 있고, 다수의 채널은 하드웨어적으로 연결될 수 있다. 전술한 실시예에는 논리곱과 논리합의 논리 기능이 실행되도록 하지만, 본 발명의 다른 실시예는 NORD, NAND, exclusive-OR, 또는 더욱 복잡한 불린 함수를 포함하여 어떠한 논리 연산도 실행할 수 있다.

글로벌 채널 통신 버스

도 10과 관련하여 상술하면, 본 발명의 몇몇 실시예에서, 글로벌 채널 통신버스(200)는 서로 다른 핀/상태 버스(216 내지 218)에 결합된 채널 사이에서 정보를 통신하는데 사용된다. 글로벌 채널 통신 버스(200)의 목적은 서로 다른 IOCM(25 내지 29)(도 1 참조)내의 채널 사이에서 정보를 전송하고, 서로 다른 핀/상태 버스들(예를 들면, 도 10의 216 및 217)에 결합된 IOCM내의 채널 사이에서 정보를 전송하는 것이다. 또한, 본 발명의 몇몇 실시예에서, 글로벌 채널 통신 버스(200)는 집적 회로 핀(223)을 통하여 외부에서 입력/출력 집적 회로(22)(도 1 참조)로 정보를 주고받을 수 있다. 본 발명의 일 실시예에서, 도 1에 도시된 핀(34)은 핀(213 내지 215)과 도 10에 도시된 하나 또는 그 이상의 핀을 포함할 수 있다는 것에 유념하라.

종래의 기술에서, 논리적으로 발생된 상태 또는 제어 정보는 서비스 처리기에 의해 하나 또는 그 이상의 집적 회로에서 회로의 다른 독립적인 함수(functional) 블록으로 전달되었다. 예를 들면, 많은 제어 애플리케이션은 다수의 독립적인 회로의 함수 블록에서 발생되는 다양한 액션을 트리거하기 위하여 한 개의 채널에 의해 발생된 이벤트(예를 들면, 매치, 캡처, 타임아웃 등)를 이용한다. 상기 독립적인 회로의 함수 블록은 실제로 개별적인 모듈 또는 개별적인 집적 회로상에 위치될 수 있다. 종래의 기술에서, 단일 이벤트는 인터럽트를 발생하도록 요구되고, 인터럽트 서비스 루틴은 각각의 독립적인 회로의 함수 블록 내에서 발생하는 액션을 트리거하도록 요구되었을 것이다. 또한, 인터럽트 서비스 루틴은 각각의 액션을 순차적으로 트리거함으로써 동작되었다.

인터럽트 대신 글로벌 채널 통신 버스(200)(도 10 참조)를 이용하여, 본 발명은 상태 및 제어 정보가 동시에 모든 채널로 방송되도록 하여 다양한 독립적인 회로의 함수 블록내의 모든 액션은 동기적으로 트리거될 수 있고, 따라서 전체 데이터 처리 시스템(10)(도 1 참조)내의 글로벌 신호를 전달하는 결합 수단을 제공한다.

글로벌 채널 통신 버스(200)(도 10 참조)에 의해 제공된 글로벌 방송 특성으로 서로 다른 핀/상태 버스에 결합된 다양한 채널에 전달되어야 하는 이벤트가 발생할 때마다 서비스 처리기를 인터럽트할 필요가 없어졌다. 상기 글로벌 채널 통신 버스(200)는 또한 서비스 처리기를 사용하는 종래 기술의 접근보다 더 빠른 통신 및 응답 시간을 가지는데, 왜냐하면 인터럽트 서비스 루틴의 속도는 통상적으로 상기 글로벌 채널 통신 버스(200)의 방송 특성의 속도보다 한 크기 단위 더 느리기 때문이다.

또한, 소프트웨어 에러 상태에서 상기 서비스 처리기는 일반적으로 동작하지 않는다. 서비스 처리기가 동작하지 않기 때문에, 서로간에 통신해야하는 많은 I/O 기능은 인터럽트가 발생할 수 없으므로 불가능하게된다. 과거에는, 만약 소프트웨어 에러 상태에서 I/O 시스템이 몇몇 제한된 동작을 수행하도록 요구되면, 특별히 설계된 하드웨어가 요구되었다. 독립적인 회로의 함수 블록이 글로벌 채널 통신 버스(200)를 통하여 서로 직접 통신할 수 있기 때문에 본 발명의 방송 특성으로 많은 상기 특정 하드웨어를 제거한다.

또한, 본 발명의 방송 특성으로 설계와 데이터 처리 시스템(10)(도 1 참조)에 대하여 수정하고 첨가하는 것이 훨씬 간단해진다. 많은 다양한 데이터 처리 시스템(10)에서, IOCM(25 내지 29)내의 채널은 특정 기능 또는 제한된 수의 기능을 실행하도록 배치되고, 오리지널 애플리케이션의 대역폭을 증가하거나 다른 일을 실행하는 애플리케이션을 변경하기 위하여 하드웨어를 재구성하는 것은 어렵다. 글로벌 채널 통신 버스(200)에 의해 주어진 방송 특성으로 다수의 독립적인 회로의 함수 블록(예를 들면, IOCM(25 내지 29))은 상호간에 통신할 수 있으며, 따라서 대역 폭은 증가하고 서로 다른 한 수가 IOCM 경계를 가로질러 실행된다.

도 10에 있어서, 글로벌 채널 통신 버스(200)는 서로 다른 핀/상태 버스(216 내지 218)에 결합된 채널 사이에서 정보를 전달하는데 이용된다. 서로 다른 핀/상태 버스(216 내지 217)는 같은 IOCM(예를 들면, IOCM(27))에 위치되거나, 또는 서로 다른 핀/상태 버스들(217 내지 218)이 서로 다른 IOCM(예를 들면, IOCM(26)과 IOCM(27))에 위치될 수 있다. 본 발명의 몇몇 실시예에서 글로벌 채널 통신 버스(200)는 집적 회로(22)(도 1 참조)상의 모든 핀/상태 버스에 연결될 수 있다.

본 발명의 몇몇 실시예에서, 글로벌 채널 통신 버스(200)는 동일한 핀/상태 버스에 결합되지 않은 채널과 통신해야하는 핀/상태 버스에만 결합될 수 있다. 예를 들면, 만약 채널(206)에서 어떠한 채널도 채널(206)과 다른 어떤 채널로 정보를 주고 받을 필요가 없다면, 핀/상태 버스(218)는 글로벌 채널 통신 버스(200)에 결합될 필요가 없다.

도 1에 있어서, 상호 모듈 버스(24)는 CPU(13)으로부터 외부 버스 인터페이스(23)에 위치된 레지스터와, IOCM(25 내지 29)의 채널에 위치된 레지스터로 판독 및 기록 액세스를 실행하는데 사용된다. 상호 모듈 버스(24)는 또한 인터럽트 정보와 같은 시스템 정보를 전송한다. 상호 모듈 버스(24)는 버스 인터페이스 장치(36 내지 40)를 통하여 각각의 IOCM(25 내지 29)에 각각 인터페이스한다. 본 발명의 일 실시예에서, 글로벌 채널 통신 버스(200)는 상호 모듈 버스(24)의 일부로 단순히 통합될 수 있다.

그러나, 본 발명의 다른 실시예에서, 글로벌 채널 통신 버스(200)는 상호 모듈 버스(24)로부터 뚜렷이 구별된다. 글로벌 채널 통신 버스(200)는 각각의 IOCM(25 내지 29)에서 편 제어 채널들(예를 들면, 201 내지 203)로 직접적으로 발송된다. 상기 글로벌 채널 통신 버스(200)는 버스 인터페이스 장치(36 내지 40)를 통하여 간접적으로 통신하지 않고, 각각의 편 제어 채널들(예를 들면, 201 내지 203)과 직접 통신한다.

각각의 편 제어 채널들(201 내지 203)에서 결합 회로(220 내지 222)는 각각 하나 또는 그 이상의 제어 레지스터(224 내지 226)에 각각 결합된다. 예를 들면, 제어 레지스터(224)에서 제어 레지스터 저장 비트는 글로벌 채널 통신 버스(200)에 결합되는 편/상태 버스(216)의 하나 또는 그 이상의 컨덕터를 선택하도록 사용자 프로그램될 수 있다. 따라서 사용자는 편/상태 버스(216)의 컨덕터에 제어 레지스터(229 내지 230)와 편 제어 회로(227 내지 228)를 통하여 편/상태 버스(216)의 컨덕터와, 제어 레지스터(224)와 결합 회로(220)를 통하여 글로벌 채널 통신 버스(200)의 컨덕터에 결합될 채널을 선택할 수 있다.

본 발명의 일 실시예에서, 글로벌 채널 통신 버스(200)의 각각의 컨덕터는 약한 풀다운 장치(도시되지 않음)에 의해 논리 레벨 0으로 접속되는 와이어 OR 컨덕터이다. 따라서 만약 워크 채널(212)이 결합 회로(222)를 통하여, 글로벌 채널 통신 버스(200)의 동일한 제 1 컨덕터에 논리 레벨 1을 두는 반면, 워크 채널(210)이 결합 회로(221)를 통하여, 글로벌 채널 통신 버스(200)의 동일한 제 1 컨덕터에 논리 레벨 0을 두면, 글로벌 채널 통신 버스(200)의 상기 제 1 컨덕터의 논리 레벨은 논리 레벨 1이 될 것이다. 결국, 와이어 OR 컨덕터에 대하여, 논리 레벨 1이 도미네이트될 것이다. 다른 실시예는 와이어 NOR 컨덕터를 이용할 수 있다.

도 10에 있어서, 본 발명의 일 실시예에서, 편/상태 버스(예를 들면, 216 내지 218)는 와이어 OR 또는 와이어 NOR 버스가 아니다. 결국, 전달된 값을 주용하는 채널들(예를 들면, 204 내지 206)을 위하여, 결합 회로(예를 들면, 220 내지 222)는 글로벌 채널 통신 버스(200)의 컨덕터로부터 나온 값을 수신하고 그 다음에 적절한 값을 편/상태 버스(예를 들면, 216 내지 218)의 선택된 컨덕터를 구동한다. 마찬가지로, 전달된 값을 제공하는 채널들(예를 들면, 204 내지 206)을 위하여, 상기 결합 회로(예를 들면, 220 내지 222)는 상기 편/상태 버스들(예를 들면, 216 내지 218)의 적절한 컨덕터로부터 나온 값을 판독하고 그 다음에 상기 적절한 값을 글로벌 채널 통신 버스(200)를 구동한다.

결국, 본 발명은 데이터 처리 시스템(10)(도 1 참조)의 사용자가 회로(22), 또는 서로 다른 접적 회로(예를 들면, 접적 회로(12))에서 글로벌 채널 통신 버스(200)의 정보를 제공할 수 있는 채널을 프로그램 가능하게 선택할 수 있도록 한다. 그 다음에 글로벌 채널 통신 버스(200)에 제공된 정보는 사용자가 서비스 처리기에 의한 간접 없이 접적 회로(22), 또는 서로 다른 접적 회로(예를 들면, 회로(12))에서 선택한 모든 채널에 동기적으로 방송된다.

따라서 본 발명은 데이터 처리 시스템(10)내의 모든 채널에 포괄적으로 신호 또는 정보를 동기적으로 전달하는 방법을 제공한다. 본 발명은 다수의 독립적인 회로(예를 들면, IOCM(25 SOWL 29))의 함수 블록 사이에서 정보를 공유하는 유연성을 제공하여, 상기 IOCM(25 내지 29)이 함께 워크하도록 하고 이들이 실행하는 하나 또는 그 이상의 함수를 통합하도록 한다. 또한, 본 발명은 서비스 처리기에 의해 서비스되어야 하는 인터럽트의 수를 감소시키고 더 많은 함수가 데이터 처리 시스템(10)내에서 동기적으로 실행되도록 한다.

도 11은 도 10의 제어 레지스터(226)의 일부 실시예를 도시한다. 본 발명의 일 실시예에서, 글로벌 채널 통신 버스(200)는 여덟 개의 컨덕터를 포함한다. 글로벌 채널 통신 버스(200)의 8개의 컨덕터 각각에 대하여 한 개의 대응하는 SFUN(상태 함수 제어) 레지스터 저장 비트(250), 한 개의 SDAT(상태 데이터) 레지스터 저장 비트(251), 한 개의 GLS(글로벌/로컬 선택 제어) 레지스터 저장 비트(252)와, 한 개의 GDO(글로벌 데이터 출력) 레지스터 저장 비트(253)가 있다. 예를 들면, 컨덕터(246)(도 12 참조)는 SFUN 비트(254), SDAT 비트(255), GLS 비트(256)와, GDO 비트(257)에 대응한다.

상기 SDAT 비트(251)는 채널 대 채널 통신과 채널 대 CPU 통신을 목적으로 글로벌 또는 로컬 채널에 의해 발생된 출력 상태 이벤트의 결과를 나타내는 상태 데이터를 포함한다. 각각의 SDAT 비트(251)는 대응하는 SFUN 비트(250)에 의해 제어된다. 각각의 SFUN 비트(250)는 대응하는 SDAT 비트(251)와 결합된 모드를 지정한다. 각각 SDAT 비트(251)에 지정된 모드는 "제어된 하드웨어" 모드와 "제어된 소프트웨어" 모드이다. SFUN 비트(250) 외에, SDAT 비트(251)도 또한 GSL 비트(252)로 구성될 수 있다. 각각의 GLS 비트(252)는 대응하는 SDAT 비트(251)가 로컬 상태 데이터를 나타낼지 또는 글로벌 상태 데이터를 나타낼지 제어한다.

예를 들면, 도 10과 도 12에 있어서, 만약 SDAT 비트(255)는 대응하는 GLS 비트(256)에 의해 로컬로 구성되고 대응하는 SFUN 비트(254)에 의해 "제어된 하드웨어"로 구성되면, 상기 SDAT 비트(255)는 채널(206)에 의해 컨덕터(241)로 전송된 채널 출력 상태 이벤트의 결과를 포함한다. 만약 상기 SDAT 비트(255)가 대응하는 GLS 비트(256)에 의해 글로벌로 구성되고 대응하는 SGUN 비트(254)에 의해 "제어된 하드웨어"로 구성되면, 상기 SDAT 비트(255)는 접적 회로(22)(도 1 참조)상에 위치된 선택된 채널에 의해 컨덕터(246)로 전송된 글로벌 상태 이벤트의 결과를 나타내는 데이터를 포함한다. SDAT 비트(255)는 상기 데이터를 컨덕터(240)를 통하여 채널에 공급한다. SDAT 비트(251)는 "제어된 하드웨어" 모드에서 CPU(13)(도 1 참조)에 의해 기록될 수 없다.

만약 SDAT 비트(255)가 대응하는 GLS 비트(256)에 의해 로컬로 구성되고 대응하는 SGUN 비트(254)에 의해 "제어된 소프트웨어"로 구성되면, 상기 SDAT 비트(255)는 컨덕터(241)의 상태를 에뮬레이트하기 위하여 CPU(13)에 의해 기록된 데이터를 포함한다. 그러나, SDAT 비트(255)가 대응하는 GLS 비트(256)에 의해 글로벌로 구성되면, 상기 SDAT 비트(255)는 소프트웨어 제어 모드에서 기록될 수 없다. 상기 SDAT 비트(255)는 컨덕터(246)로부터 상기 글로벌 상태를 반영

할 것이다. 상기 SDAT 비트(255)는 항상 컨덕터(240)를 위한 값을 공급한다. 소프트웨어 제어 모드에서, 상기 SDAT 비트(255)는 로컬 상태로 구성되면 CPU(13)에 의해서만 기록될 수 있다. 글로벌 상태를 기록하기 위하여, 상기 GDO비트(257)가 기록된다.

SDAT 비트(251)를 기록할 때, 나머지 비트에 영향을 주지 않고 단일 SDAT 비트를 새로운 상태로 할 수 있다. 이것을 달성하기 위하여, SDAT 비트(251)와 SFUN 비트(250)는 모두 동시에 CPU(13)에 의해 기록되어야 한다. 각각의 상기 SFUN 비트(250)는 상기 SDAT 비트(251)중 대응하는 한 비트를 제어하기 때문에, SFUN 비트(250)의 내용은 상기 기록이 SDAT 비트(251)에 영향을 주는지 결정한다. 상기 SDAT 비트(251)중 한 비트에 영향을 주는 기록을 위하여, 상기 SFUN 비트(250)중 대응하는 한 비트는 %0으로 기록되어야 한다. 상기 기록이 상기 SDAT 비트(251)중 한 비트에 영향을 주지 않기 위하여, 상기 SFUN 비트(250)중 대응하는 한 비트는 %1로 기록되어야 한다. 상기 방식으로, SFUN 비트(250)는 특정 SDAT 비트(251)의 비트 기록을 제어하기 위하여 대응하는 SDAT 비트(251)를 마스크하는데 이용된다.

도 11과 도 12에 있어서, GDO 비트(253)는 글로벌 채널 통신 버스(200)에 공급되는 글로벌 데이터를 포함한다. GDO 비트(257)에 저장된 데이터는 두 개의 가능한 소스, 즉 컨덕터(241)와 CPU(13)중 한 소스에 의해 공급된다. SFUN 비트(250)와 GLS 비트(256)는 컨덕터(241) 또는 CPU(13)가 글로벌 데이터를 GDO 비트(257)에 제공할지 결정한다.

GLS 비트(256)가 글로벌로 구성되면, GDO 비트(257)는 글로벌 상태 값을 컨덕터(246)에 제공하는데 이용된다. 상기 GDO 비트(257)는 소프트웨어 제어 보드와 하드웨어 제어 모드에서, 상기 글로벌 상태 값을 컨덕터(246)로 전송함으로써 글로벌 상태 값을 공급한다. 만약 GDO 비트(257)가 대응하는 SFUN 비트(254)에 의해 제어된 소프트웨어로 구성되면, CPU(13)는 GDO 비트(257)에 저장된 글로벌 상태 값을 갱신할 수 있다.

GLS 비트(256)가 로컬로 구성될 때, GDO 비트(257)는 전체 상태를 컨덕터(246)에 공급하는데 이용된다. 상기 GDO 비트(257)는 CPU(13)에 의해 기록될 수 없다. 상기 GDO 비트(257)는 컨덕터(241)에 의해서만 갱신될 수 있다.

도 3에 있어서, (PCC(105)에 대응하는) 핀들(110)중 한 핀을 (쌓으로 다른 PCC(107)에 대응하는) 핀/상태 정보 컨덕터들(115)중 한 컨덕터에 결합할 수 있기 때문에, 사용자는 글로벌 채널 통신 버스(200)로부터 나온 채널 출력을 출력 핀(110)으로 제공할 수 있다는 것에 유념하라. 따라서 출력 이벤트는 글로벌 채널 통신 버스(200)를 통하여 어떤 출력 핀(31 내지 35)을 향하는 접속 회로(22)(도 1 참조)상의 어떤 채널에 의해 발생될 수 있다. 본 발명의 일 실시예에서, 입력 핀(110)의 논리 레벨은 핀/상태 정보 컨덕터(115)에 영향을 미치지 않고, 따라서 핀 입력들은 글로벌 채널 통신 버스(200)를 통하여 전체적으로 전달될 수 없다.

본 발명의 다른 실시예에서, 입력 핀(110)의 논리 레벨은 핀/상태 정보 컨덕터(115)에 영향을 미칠 수 있고, 따라서 핀 입력은 글로벌 채널 통신 버스(200)를 통하여 전체적으로 전달될 수 있다.

본 발명의 일 실시예에서, GDO 비트(253)는 CPU(13)에 의해 언제든지 판독될 수 있고, 소프트웨어 제어 모드에서 글로벌 상태로 구성될 때만 CPU(13)에 의해 기록될 수 있다.

도 11과 도 12에 있어서, 각각의 SFUN 비트(250)는 SDAT 비트(251)와 GDO 비트(253)중 각각 대응하는 한 개의 비트를 위하여 모드, 즉 소프트웨어 제어 모드 또는 하드웨어 제어 모드를 선택하는데 이용된다. CPU(13)는 언제든지 SFUN 비트(250)를 판독하고 기록할 수 있다.

도 11과 도 12에 있어서, 각각의 GLS 비트(252)는 SCAT 비트(251)중 대응 비트가 로컬(local)인지 글로벌(global)인지 를 선택하는데 이용된다. SDAT 비트(251)에 저장된 로컬 상태 값을 로컬 핀 제어 채널(예를 들면, 도 10의 203)에 의해 제어되는 로컬 핀/상태 버스(예를 들면, 도 10의 218)에서만 전달된다. GDO 비트(257)에 저장된 글로벌 상태 값을 글로벌 채널 통신 버스(200) 또는 로컬 핀/상태 버스(예를 들면, 도 10의 218)로부터 공급될 수 있다. CPU(13)는 언제든지 GLS 비트(252)를 판독하고 기록할 수 있다.

도 12에 있어서, SDAT 비트(255)는 개별적으로 대응 GLS 비트(256)에 의해 글로벌 또는 로컬로 구성될 수 있음을 유념하라. 글로벌로 구성되면, 컨덕터(241)는 글로벌 상태 값을 SDAT 비트(255)로 공급하지 않고, GDO 비트(257)로 공급한다. GDO 비트(257)는 글로벌 상태 값을 컨덕터(246)를 통하여 글로벌 채널 통신 버스(200)에 공급하는 소스이다. 와이어 OR 컨덕터(246)(즉, 글로벌 상태 값을 SDAT 비트(255)에 저장된다. 상기 글로벌 상태 값을 채널(206)(도 10 참조)의 입력으로 컨덕터(240)로 전송된다.

본 발명의 일 실시예에서, 접속 회로(22)(도 1 참조)에서 하나 또는 그 이상의 타임베이스 값을 다수의 타이머 버스들(예를 들면, 도 2의 71과 72)에 전달하기 위하여 각각의 마스터 타이머 버스들 제어 채널들(예를 들면, 61과 63)에 결합되는 한 개의 글로벌 타이머 버스(도시되지 않음)가 있다는 것을 유념하라. 상기 글로벌 타이머 버스(도시되지 않음)는 글로벌 채널 통신 버스(200)(도 10 참조)에 대하여 유사한 방식으로 작동한다. 본 발명의 다른 실시예에서, 글로벌 타이머 버스는 사용되지 않는다. 대신, 만약 분리된 IOCM(25 내지 29)이 동일한 타임베이스 값을 요구하면, 요구된 타임베이스를 발생하는 타임베이스 채널(예를 들면, 도 2의 디그리(degree) 클록 채널(94))은 다수의 IOCM(25 내지 29)에서 복사된다.

상호 채널 데이터 전송

"채널의 실리콘 라이브러리"내에 데이터 전송 동작을 수행하도록 프로그램될 수 있는 다수의 채널이 있다. 데이터 전송 동작에서, 데이터는 상부 채널(예를 들면, 도 20의 400)의 데이터 레지스터로부터 채널 그 자체(예를 들면, 401)의 데이터 레지스터로 전송될 수 있고, 상기 채널 그 자체(예를 들면, 401)의 데이터 레지스터로부터 하부 채널(예를 들면, 402)로 전송될 수 있다. 상기 상호 채널 데이터 전송을 수행하기 위하여 채널의 제어 레지스터 비트를 프로그램하면, 스택과 선입선출(FIFO) 구조는 모두 형성될 수 있고 이용될 수 있다. 본 발명의 일 실시예에서, 상호 채널 데이터 전송을 지원하는 워크 네트(1)매치 채널, (2)캡쳐 채널 및 (3)업 카운터 채널을 포함한다. 일 실시예에서, 상기 다운/업 카운터 채널은 또한 몇몇 데이터 전송 특성을 허용한다.

본 발명의 일 실시예에서, 데이터 전송 동작을 지원하는 채널을 이용하여 구성될 수 있는 세 가지 기본 형태의 구조가 있다. (1)스택, 이것은 다수의 타임베이스 값 또는 카운트 동작 값을 수집하는데 유용한 구조이고, (2)FIFO, 다수의 매치 출력 이벤트는 FIFO 구조(상기 출력 이벤트는 I/O 집적 회로(예를 들면, 도 1의 22)에 대하여 외부의 다른 채널 또는 장치에 의해 이용될 수 있다)내에 저장된 타임베이스값의 수집을 이용하여 편 또는 상태 컨덕터로 출력될 수 있으며, (3)FIFO는 또한 가장 최근에 캡쳐된 타임베이스값 또는 가장 최근의 카운트 동작을 수집하고 저장하는데 이용될 수 있다.

상기 형태의 스택과 FIFO 데이터 저장 구조는 채널에 의해 요구된 서비스의 주파수를 감소시킬 수 있고, 따라서 CPU(13)(도 1 참조)에 의해 대응되어야 하는 인터럽트의 수를 감소시킬 수 있다. 도 20은 인접 채널(400 내지 402)간의 데이터 전송 동작의 일 실시예를 도시한다.

도 20에서 도시된 것과 같이, 매치 채널(400), 캡쳐 채널(401) 및 카운터 채널(402)은 각각 상부 인접 채널로부터 자신의 다운 데이터 레지스터로 데이터의 전송을 제어한다. 데이터 전송을 제어하기 위하여, 채널의 데이터 전송 논리(예를 들면, 407 내지 409중 하나)는 상부 인접 채널의 데이터 전송 논리와 통신한다. 각 채널의 데이터 전송 논리는 두 형태의 출력 이벤트, 즉, 상기 채널과 상부 인접 채널 모두 유효 데이터를 가지는 것을 나타내는 출력 이벤트와, 상기 채널과 상부 인접 채널 모두 무효 데이터를 가지는 것을 나타내는 출력 이벤트를 상태 버스(414)로 발생할 수 있다. 또한, 상기 캡쳐 채널(401)은 데이터 레지스터(404)의 데이터를 무효로 하기 위하여 상태 버스(414)로부터 입력 이벤트를 이용할 수 있다.

본 발명의 일 실시예에서, 편 제어 채널(PCC)(예를 들면, 도 2의 52)은 PCC를 지나가는 32비트 데이터 경로를 가지며 따라서 PCC의 상부 인접 채널은 상기 PCC를 통하여 하부 인접 채널로 데이터를 전송할 수 있다. PCC를 통하여 전송된 데이터는 상기 PCC에 아무런 영향을 미치지 못한다(즉, 상기 PCC는 데이터 전송을 제어하지 않고 PCC를 통하여 지나간 데이터를 저장하지 않는다).

도 21 및 도 22는 제어 및 상태 레지스터 저장 회로를 포함하여, 채널에서 데이터 전송 동작을 지원하기 위해 요구되는 회로를 도시한다. 도 21은 16 비트 데이터 전송 동작에 요구된 회로를 도시하고, 도 22는 32 비트 데이터 전송 동작에 요구된 회로를 도시한다. 상기 32/16 비트 데이터 전송 기능, 데이터 전송 동작에 이용된 레지스터 비트, 인접 채널 간에 전달된 신호 및 이용된 입력 이벤트와 채널의 데이터 전송 논리에 의해 발생된 출력 이벤트는 하기에 상술될 것이다. 제어 및 상태 레지스터 저장 회로는 실제로 하나 또는 그 이상의 사용자 프로그램 가능한 레지스터의 일부를 차지할 수 있기 때문에 점선(dashed) 박스로 도시된다는 것에 유념하라. 또한 클리어 DVB 입력 이벤트 신호는 캡쳐 채널(예를 들면, 도 20의 404)에 의해서만 이용된다는 것을 유념하라.

매치 채널(400), 캡쳐 채널(401) 및 카운터 채널(402)은 각각 데이터 전송 모드에서 완전히 독립적인 16 비트 반분 채널 또는 한 개의 32 비트 채널로 동작하도록 구성될 수 있다. 예를 들면, 도 21은 16 비트 데이터 전송 동작을 위하여 구성된 캡쳐 채널(401)을 도시하고, 도 22는 32 비트 데이터 전송 동작을 위하여 구성된 캡쳐 채널(401)을 도시한다. 매치 채널(400)과 카운터 채널(402)은 동일한 방식으로 데이터가 전송되도록 구성된다.

도 21에 있어서, 각각의 16 비트에 대한 논리는 다른 16 비트에 대한 논리와 동일하고 독립적이라는 것에 유념하라. 본 발명의 일 실시예에서, 16비트 연산을 위해 구성된 채널의 절반 모두가 동일한 동작 모드에 이용되도록 요구되지는 않는다. 예를 들면, 매치 채널(400)의 상위부는 타이머 버스(예를 들면, 도 2의 타이머버스(71))에서 16 비트 값을 매치하도록 구성될 수 있고, 매치 채널(400)의 하위부는 16 비트 데이터 전송 동작을 위하여 구성될 수 있다.

도 21에 있어서, 채널의 상위 16 비트를 제어하는데 사용되는 레지스터 저장 비트는 "0"으로 분류되고, 채널의 하위 16 비트를 제어하는데 사용되는 레지스터 저장 비트는 "1"(예를 들면, DTC0과 DTC1)로 분류된다. 채널(예를 들면, 401)이 도 22에서와 같이, 32 비트 데이터 전송 동작을 위해 구성되면, 채널의 상위 16비트를 제어하는 레지스터 저장 비트는 32 비트 데이터 전송을 제어하는데 이용된다.

본 발명의 일 실시예에서, 데이터 전송 동작을 지원하는 채널은 데이터 전송을 제어하고 상태 정보를 CPU(13)(도 1 참조)에 공급하는데 사용되는 세 개의 서로 다른 레지스터 비트 필드를 가진다. 상기 세 개의 레지스터 비트 필드는 데이터 유효 비트(DVB), 데이터 전송 제어 비트(DTC) 및 데이터 전송 상태 비트(DTS)이다. 본 발명의 일 실시예에서, 각각의 캡쳐 채널과 각각의 카운터 채널은 또한 데이터 전송 동작을 제어하기 위해 입력 이벤트 에지 선택(IE) 비트를 사용한다.

도 21과 22에 있어서, 각각의 데이터 유효 비트(DVB)(425 내지 426)는 상태 및 제어 모두를 위하여 대응하는 데이터 전송 논리(422, 429, 430)에 의해 사용된다. 상태 비트로써, DVB는 대응하는 데이터 레지스터내의 유효 또는 무효 데이터의 존재를 나타내는데 이용된다. 제어 비트로써, DVB는 채널의 상부 인접 채널로부터 데이터 전송을 제어하기 위하여 대응하는 데이터 전송 논리에 의해 사용된다.

본 발명의 일 실시예에서, 상기 DVB 비트가 논리 레벨 1일 때, 이것은 상기 채널의 데이터 레지스터내의 유효 데이터의 존재를 나타낸다. 예를 들면, 캡쳐 채널(401)에서, 상기 DVB 비트는 캡쳐 동작이 수행될 때마다 논리 레벨 1로 설정되고, 카운터 채널(402)에서, DVB는 카운트 동작이 수행될 때마다 논리 레벨 1로 설정된다. 예를 들면, 도 20과 도 22에 있어서, 데이터가 (예를 들면, 상부 인접 채널(400)로부터)데이터 레지스터(404)로 전송될 때, 캡쳐 채널의 데이터 전송 논리(430)는 DVB 비트(425)를 논리 레벨 1로 설정한다.

또한, 만약 CPU(13)(도 1 참조)가 데이터 전송 모드에서 구성되는 어떤 채널의 데이터 레지스터에 기록되면, DVB 비트는 상기 데이터가 유효함을 나타내기 위하여 자동으로 논리 레벨 1로 설정된다. 본 발명의 일 실시예에서, 매치 채널에서 상기 DVB비트는 또한 상기 매치 채널이 매치 모드에 있을 때 데이터 레지스터에 기록함으로써 논리 레벨로 설정될 수 있다.

본 발명의 일 실시예에서, 상기 DVB비트가 논리 레벨 0일 때, 이것은 상기 채널의 데이터 레지스터내의 무효 데이터의 존재를 나타낸다. 예를 들면, 매치 채널(400)에서, 상기 DVB 비트는 논리 레벨 0으로 클리어된다. 예를 들면, 도 20과 도 22

에 있어서, 데이터가 데이터 레지스터(404)로부터 데이터 레지스터(405)(하부 인접 채널)로 전송될 때, 전송 논리(409)는 캡쳐 채널(401)의 DVB 비트(425)를 논리 레벨 0으로 클리어한다. 일단 상기 데이터가 전송되면, 채널(401)의 상기 DVB 비트(425)는 상기 데이터가 더 이상 유효하지 않다는 것을 나타내기 위하여 논리레벨 0으로 클리어된다.

또한, CPU(13)는 대응하는 DVB 비트(425)를 논리 레벨 0으로 클리어 함으로써 데이터 레지스터(404)에서 상기 데이터를 무효로 할 수 있다. 상기 CVB 비트(435)를 클리어하기 위하여, CPU(13)는 표명된 상태에서, DVB 비트(425)를 판독해야 하고, 그 다음에 상기 DVB 비트(425)에 논리 레벨 1을 기록해야 한다. DVB 비트(425)에서 논리 레벨 1은 데이터 레지스터(404)의 데이터가 무효임을 나타낸다.

DVB 비트는 상태 및 제어 비트 모두일 수 있기 때문에, CPU(13)에 의한 DVB 비트의 클리어는 주의하지 않으면 유효 데이터를 데이터 전송 동작에 의해 잠재적으로 중복 기록되도록 한다는 것에 유념하라.

본 발명의 일 실시예를 위하여, 도 23은 각각의 동작 모드로 구성되지만 데이터 전송 동작을 지원하는 각 채널의 DVB 비트(예를 들면, 도 22의 425)를 설정하고 클리어할 수 있는 액션을 도시한다. 도 20과 도 22에 있어서, 채널(402)이 데이터 전송 동작을 위하여 구성되면, 상부 인접 채널의 DVB 비트(채널(401)의 DVB 비트(425))가 논리 레벨 1이고, 채널의 DVB 비트(즉, 채널(402)의 DVB 비트)가 논리 레벨 0일 때 데이터 전송이 일어난다. 채널의 데이터 전송 논리(즉, 채널(402)의 전송 논리)는 먼저 상부 인접 채널의 데이터 레지스터(404)로부터 나온 데이터를 채널의 데이터 레지스터(405)로 복사한다. 그 다음에, 상기 상부 인접 채널의 DVB 비트(채널(401)의 DVB 비트(425))는 논리 레벨 0으로 클리어된다. 마지막으로, 채널의 자체 DVB 비트(즉, 채널(402)의 DVB 비트)는 논리 레벨 1로 설정된다.

도 21과 도 22에 있어서, 데이터 전송 제어(DTC) 비트(423 내지 424)는 대응하는 데이터 전송 논리(422, 429, 430)를 사용가능하게 또는 사용불가능하게 하는데 이용된다. 채널의 데이터 전송 논리가 가능하면, 상부 인접 채널의 데이터 레지스터의 내용은 채널의 자체 데이터 레지스터로 전송될 수 있다. 상기 전송은 채널의 DVB 비트가 논리 레벨 0이고 상부 인접 채널이 논리 레벨 1일 때 이루어진다.

두 가지 모드의 데이터 전송 동작으로, 출력 이벤트가 발생될 수 있다. (1) 만약 채널과 상부 인접 채널의 DVB 비트가 모두 논리 레벨 1이면(상기 출력 이벤트는 상기 채널과 상부 인접 채널 모두에서 유효 데이터의 존재를 나타내고 유효 인접 데이터 페어(VADP) 출력 이벤트로 호칭됨) 데이터를 전송하고 출력 이벤트를 발생시키고, (2) 만약 채널과 상부 인접 채널의 DVB 비트가 모두 논리 레벨 0이면(상기 출력 이벤트는 상기 채널과 상부 인접 채널 모두에서 무효 데이터의 존재를 나타내고 무효 인접 데이터 페어(IADP) 출력 이벤트로 호칭됨) 데이터를 전송하고 출력 이벤트를 발생시킨다.

본 발명의 일 실시예에서, 상기 두 모드에 대하여 데스티네이션(출력 이벤트 컨덕터)과 출력 이벤트(상승(rising), 하강(falling), 토클) 형태는 소프트웨어 방식으로 제어되지 않는다. 두 출력 이벤트는 모두 상태 버스(414)(도 21과 도 22 참조)의 동일한 컨덕터에 하드웨어로 되어 있고, 둘 다 토클 이벤트를 발생시킨다.

도 24는 데이터 전송 동작을 가지는 각 채널에서 데이터 전송 제어 비트(DTC)(예를 들면, 도 21과 도 22의 423 내지 424)에 의해 제어된 데이터 전송 동작 모드를 도시한다.

도 21과 도 22에 있어서, 데이터 전송 상태(DTS) 비트(427 내지 428)는 출력 이벤트가 대응하는 데이터 전송 논리(422, 429, 430)에 의해 발생되었다는 것을 표시하는데 사용된다. 만약 DTC=%10이고, VADP 검출 출력 이벤트가 대응하는 데이터 전송 논리에 의해 발생되면, DTS 비트는 논리 레벨 1로 설정된다. 마찬가지로, 만약 DTC=%11이고, 상기 IADP 검출 출력 이벤트가 대응하는 데이터 전송 논리에 의해 발생되면, 상기 DTS 비트는 논리 레벨 1로 설정된다. 상기 DTS 비트(427)를 클리어하기 위하여, CPU(13)는 표명된 상태에서 상기 DTS 비트(427)를 판독해야하고, 그 다음에 상기 DTS 비트(427)에 논리 레벨 1을 기록해야 한다.

데이터 전송 동작을 실행하는데 이용되는 제어 신호가 이제 상술될 것이다. 도 21과 도 22에 있어서, 데이터 전송 동작으로 구성된 채널의 상부 인접 채널과 통신하는 다수의 데이터 전송 제어 신호가 있다. 두 채널 사이의 세 개의 통신 경로는 32/16 비트 데이터 컨덕터, 판독 신호 컨덕터 및 클리어 신호 컨덕터이다. 32/16 비트 데이터 컨덕터는 상부 인접 채널(예를 들면, 도 20의 채널(400))로부터 나온 데이터를 채널의 자체 데이터 레지스터(예를 들면, 채널(401)의 데이터 레지스터(404))로 전송하는데 이용된다.

판독 신호는 상부 인접 채널의 DVB 비트를 상기 채널의 자체 데이터 전송 논리로 전달하는데 사용된다. 상기 정보는 두 가지 목적을 위하여 사용된다. 첫째, 데이터 전송 동작에 있어서, 만약 상부 인접 채널의 DVB 비트가 논리 레벨 1이고 채널의 자체 DVB가 논리 레벨 0이면, 데이터 전송이 일어난다. 둘째, 상기 판독 신호는 상기 채널이 VADP 또는 IADP 출력 이벤트를 발생하도록 프로그램될 때 유효 또는 무효 인접 데이터 페어가 존재하는데 이용된다.

상기 클리어 신호는 데이터가 상부 인접 채널의 데이터 레지스터로부터 채널의 자체 데이터 레지스터로 전송된 후 DVB 비트를 조건적으로 클리어하기 위하여 상부 인접 채널에 의해 이용된다.

도 22에서 데이터 전송 채널은 하부 인접 채널로 향하는 세 개의 통신 경로를 가진다는 것을 유념하라. 상기 경로는 전술한 데이터, 판독 및 클리어 신호 컨덕터이다. 데이터 전송 채널(예를 들면, 도 20의 400 내지 402)을 위한 회로가 집적 회로상에서 서로에 대하여 실제로 인접하게 위치하면, 상기 데이터 판독 및 클리어 신호 컨덕터는 한 개의 채널로부터 다음 인접 채널까지 직접 발송된다. 본 발명의 일 실시예에서, 각각의 데이터 전송 채널은 상부 인접 채널로부터 자체 데이터 레지스터로 데이터의 전송을 제어한다. 본 발명의 다른 실시예는 I/O 집적 회로(22)(도 1 참조)에서 인접 채널간에 데이터를 전송하기 위하여 다른 접근 방법을 이용할 수 있고, 다른 상태 및 제어 레지스터 비트를 이용할 수 있고, 다른 데이터 전송 제어 신호를 이용할 수 있고, 다른 회로를 이용할 수 있다.

본 발명의 일 실시예에서, 모든 데이터 전송 채널은 두 종류의 출력 이벤트, 즉 유효 인접 데이터 페어(VADP) 출력 이벤트와, 무효 인접 데이터 페어(IADP) 출력 이벤트를 발생할 수 있다. 또한, 본 발명의 ZUCAUC 실시예에서, 데이터 전송 동작에서 캡쳐 채널과 카운터 채널 기능은 캡쳐 또는 카운터 채널의 자체 DVB 비트(도 21과 도 22 참조)를 클리어하기 위하여 입력 이벤트를 이용할 수 있다.

도 21과 도 22에 있어서, 본 발명의 일 실시예에서, 유효 인접 데이터 페어(VADP) 또는 무효 인접 데이터 페어(IADP) 출력 이벤트 신호는 하드웨어 상태라인(414)에 대한 출력이고 토글 이벤트를 발생한다. 상기 VADP와 IADP 출력 이벤트는 스택이 차있거나 FIFO가 비어있음을 나타내기 위하여 CPU(13)(도 1 참조)를 인터럽트하는데 이용될 수 있다. VADP/IADP 출력 이벤트가 출력되는 상태 컨덕터(414)(예를 들면, 편/상태 버스(76)의 컨덕터)를 검사하는 상기 편 제어 채널(PCC)(예를 들면, 도 2의 52)은 토글 이벤트가 상기 상태 컨덕터에서 인식될 때 인터럽트를 유발하도록 프로그램될 수 있다.

캡쳐 채널 또는 카운터 채널의 입력 이벤트 논리는 데이터 전송 동작 중에, DVB 비트를 클리어하기 위하여 입력 이벤트를 이용하도록 프로그램될 수 있다(도 21과 도 22에서 클리어 DVB 입력 이벤트 신호(431과 433) 참조). 이것은 FIFO내의 하부 데이터 전송 채널의 데이터를 무효로 하는데 유용하며, 따라서 하부 데이터 전송 채널 상위의 모든 데이터 값은 한 채널 아래로 전송된다.

타이머 애플리케이션에 일반적으로 이용되는 세 가지 기본 형태의 데이터 전송 구조가 있다. 상기 제 1 데이터 전송 구조는 캡쳐된 타임베이스 값 또는 카운트 동작 값을 취하는 스택이다. 제 2 데이터 전송 구조는 일련의 매치 출력 이벤트를 발생하는데 이용되는 타임베이스 값의 FIFO이다. 그리고, 제 3 데이터 전송 구조는 가장 최근에 캡쳐된 다수의 타임베이스 값 또는 가장 최근의 카운트 동작 값을 포함하는 FIFO이다. 본 발명은 상기 세 가지 기본 형태의 데이터 전송 구조가 데이터 전송 특성과 하나 또는 그 이상의 채널 동작을 통하여 사용자 프로그램되도록 한다.

카운트 동작 제어 특징

제어 애플리케이션에 기초된 많은 마이크로콘트롤러는 아주 정밀한 타겟 신호의 누산 측정을 요구한다. 예를 들면, 도 2의 카운터 채널(58)은 타겟 신호의 누산 측정을 수행하는데 이용된다. 상기 타겟 신호는 외부에서 입력/출력(I/O) 접점회로(22)(도 1 참조)로 공급될 수도 있고, 또는 내부에서 I/O 접점 회로(22)에 발생할 수 있다. 카운터 채널(58)은 소정의 제어 값을 카운터 채널(58)(도 2 참조)에서 하나 또는 그 이상의 사용자 프로그램 가능한 제어 레지스터 저장 비트(67)로 기록함으로써 다양한 카운팅 동작을 실행할 수 있다.

예를 들면, 도 26에 있어서, 제 1 프로그램 가능한 선택으로써, 카운터 채널(58)은 타겟 신호가 "하이"일 때, 또는 타겟 신호가 "로우"일 때에 기초된 카운터 값을 증가하거나 감소할 수 있다. 둘째, 카운터 채널(58)은 타겟 신호의 활성 에지를 주신하는 매 시간마다 카운터 값을 증가할 수 있다. 상기 활성 에지는 타겟 신호의 상승 또는 하강 에지로 프로그램 가능하게 선택될 수 있다. 셋째, 카운터 채널(58)은 상기 타겟 신호의 제 1 활성 에지에서 계속 시작하는 카운터 값을 증가하거나 감소할 수 있다. 넷째, 카운터 채널(58)은 타겟 신호의 활성 에지가 수신되는 매 시간에 카운터 값을 감소할 수 있다. 본 발명의 다른 실시예는 다른 카운팅 동작을 이용할 수 있다.

몇몇 제어 애플리케이션은 타겟 신호에 대한 카운트 동작이 가능하도록 보장하기 위하여 제 2 채널(예를 들면, 매치 채널(56), 캡쳐 채널(55), 채널(87)의 다른 카운터 채널 등)에 의해 발생된 제 2 신호를 요구한다. 종래의 기술에서, 만약 카운터 채널이 시간 간격에 대하여 타겟 신호의 누산을 실행했다면, 제 2 신호가 상기 타겟 신호와 게이트되거나 또는 제 2 신호가 인터럽트 서비스 처리기에 인터럽트를 발생하도록 요구될 것이다. 그 다음에 인터럽트 처리기는 상기 카운터 채널 내에서 상기 타겟 신호의 카운팅 동작이 가능하게 개입되도록 요구될 것이다.

또한 종래의 기술에서, 상기 카운터 채널 내에서 타겟 신호의 카운팅 동작이 이루어지지 않게 하기 위하여, 상기 타겟 신호와 게이트된 제 2 신호는 부정되거나 또는 제 2 신호가 상기 인터럽트 서비스 처리기에 인터럽트를 발생하도록 요구될 것이다. 그 다음에 인터럽트 서비스 처리기는 카운터 채널 내에서 타겟 신호의 카운팅 동작을 불가능하게 하기 위하여 개입하도록 요구될 것이다. 불행히도 상기 종래의 기술 방법은 가끔 카운팅 동작에 누산 에러를 발생시켰다.

도 25의 실시예가 도시하는 바와 같이, 상기 제 2 신호가 상기 카운터 채널 내의 타겟 신호의 카운팅 동작을 불가능하게 하는데 이용될 때 종래 기술에서 누산 에러가 나타날 수 있다. 상기 제 2 신호는 타겟 신호의 에지를 떨어뜨리기 전에 부정되기 때문에, 상기 카운터 채널은 상기 타겟 신호의 글로벌 주기를 수행하기 전에 카운팅을 중지할 것이다. 따라서 종래 기술의 카운터 채널에 저장된 주기 누산 값은 상기 수정 값보다 누산 에러만큼 더 낮을 수 있다. 도 25와 도 26에서 상향으로 뾰족한 화살표는 카운터 채널(58)에서 카운터의 증가를 나타내고, 도 25와 도 26에서 하향으로 뾰족한 화살표는 카운터 채널(58)에서 카운터의 감소를 나타낸다는 것에 유념하라.

도 25에 있어서, 종래 기술은 시간 간격, 즉 "카운트 윈도우"에 대하여 주기 누산을 수행했는데 이것은 전적으로 카운트 윈도우 신호의 표명과 부정에 의해 정의되었다. 일반적으로 제 1 카운터 채널은 상기 타겟 신호의 이벤트를 카운트하는데 이용되는 반면에, 제 2 채널은 카운트 윈도우 신호를 발생하는데 이용되었다. 제 1 카운터 채널은 타겟 신호와 카운트 윈도우 신호 모두 수신하였다. 도 25에 도시된 예에서, 카운트 윈도우 신호의 표명된 상태는 "하이"이고 상기 타겟 신호의 활성 에지는 하강 에지이다.

도 25에 도시된 종래 기술의 주기 누산 접근 방법에 있어서, 제 1 카운터 채널에 의해 수신된 상기 카운트 윈도우 신호가 표명되었을 때, 상기 제 1 카운터 채널은 상기 타겟 신호의 다음 활성 에지에서 카운트를 시작했다. 상기 제 1 카운터 채널은 카운트 윈도우 신호가 활성 상태로 남아있는 동안 계속 카운트했다. 상기 제 1 카운터 채널에 의해 수신된 상기 카운트 윈도우 신호는 다음에 부정되었을 때, 상기 제 1 카운터 채널은 즉시 카운팅을 중지했다. 결국, 만약 카운트 윈도우 신호가 상기 타겟 신호의 주기 경계에 부정되지 않았다면, 누산 에러는 가끔 도 25에 도시된 것과 같이 된다.

그러나, 본 발명은 카운터 채널(58)이 제 3 채널(예를 들면, 도 2와 관련하여, 매치 채널(56), 캡쳐 채널(55), 채널(87)의 다른 카운터 채널 등) 또는 외부 소스에 의해 I/O 접적 회로(22)(도 1 참조)로 공급된 제 3 신호를 수신하도록 한다. 도 26에서 "카운트 중지 신호" 라벨이 붙은 상기 제 3 신호는 카운터 채널(58)에 의해 수신되어 카운팅 동작을 중지할 때를 결정하는데 이용된다. 카운터 채널(58)의 사용가능과 사용불가능은 처리기(예를 들면, 도 1의 CPU(13))에 의해 어떤 인터럽트 서비스도 요구하지 않는다는 것을 유념하라. 또한, 카운트 동작의 사용불가능을 제어하기 위한 제 3 신호를 사용하면, 카운트 동작은 타겟 신호의 주기 경계에서 중지되고, 따라서 어떠한 누산 에러도 방지된다.

카운트 중지 신호로 사용된 제 3 신호의 추가는 에러없이 시간 간격동안 타겟 신호 이벤트를 정확히 누산하는 방법을 제공한다. 종래의 기술에서, 외부 이벤트 또는 채널에 의해 발생된 제 3 신호가 카운트 동작 불가능을 더욱 확실히 보장하는 방법은 존재하지 않는다는 것에 유념하라. 제 3 신호를 추가하면 인터럽트 서비스 개입이 필요 없고 에러없이 시간 간격동안 타겟 신호 이벤트를 정확히 누산할 수 있다.

본 발명의 몇몇 실시예에서, 타겟 신호는 또한 카운트 중지 신호로 사용될 수 있다는 것에 유념하라. 예를 들면, 도 25에 있어서, 카운트 중지 조건이 타겟 신호의 특정 에지가 되도록 프로그램될 수 있다. 예를 들면, 도 25에서, 타겟 신호의 하강 에지는 소정값을 카운터 채널(58)(도 2 참조)내의 제어 레지스터 저장 비트(67)에 기록함으로써 카운트 중지 신호로 선택된다. 따라서 카운터 채널(58)에서 카운트 동작은 카운트 윈도우 신호가 부정되고 상기 카운트 중지 이벤트가 일어날 때 중지한다(즉, 타겟 신호의 하강 에지). 따라서 카운터 채널(58)은 상기 카운트 윈도우 신호가 표명된 후 발생하는 타겟 신호의 제 1 하강 에지에서 카운팅을 시작하고, 카운트 윈도우 신호가 부정된 후 발생하는 타겟 신호의 제 1 하강 에지에서 카운팅을 중지한다. 결국, 카운터 채널(58)은 종래 기술에 비하여 실제로 누산 에러없이 아주 정확한 주기 누산 값을 카운트하고 저장한다.

본 발명에 따라서 타겟 신호에 기초된 카운트 동작은 제 2 신호의 상태에 의해 한정되며 따라서 제 2 신호에 의해 정의된 "카운트 윈도우" 동안 카운팅이 가능하고, 제 2 신호 또는 제 3 신호에 의해 더욱 제한된 제 2 신호에 의해 카운팅은 불가능할 수 있다. 몇몇 경우에, 타겟 신호의 에지는 제 3 신호로 이용될 수 있다. 일 실시예에서, 카운터 채널(58)(도 2 참조)의 제어 레지스터 저장 비트(67)의 일부는 카운트 중지 신호가 사용되는지를 선택하는데 이용된다. 또한, 제어 레지스터 저장 비트(67)의 일부는 카운트 동작을 중지하는 이벤트가 제 3 신호(즉, 도 26에 도시된 카운트 중지 신호)의 이벤트인지, 도 25에 도시된 타겟 신호인지, 또는 종래 기술에서와 같이 카운트 윈도우 신호의 이벤트인지 선택한다. 종래 기술에서, 카운트 윈도우 신호의 부정은 항상 카운트 동작을 중지하는데 이용될 수 있었다.

도 27은 카운터 채널(58)(도 2 참조)의 일부의 일 실시예를 도시한다. 카운터 채널(58)은 카운터 회로(440)와 데이터 레지스터(447)를 포함한다. 데이터 레지스터(447)는 버스(24)(도 1 참조)에 양방향으로 결합된다. 카운터 회로(440)는 카운터(441), 카운터 회로(442), 및 제어 회로(443)를 포함한다. 제어 회로(442)는 컨덕터(448)를 통하여 카운트 윈도우 신호를 수신한다. 제어 회로(443)는 컨덕터(448)를 통하여 카운트 윈도우 신호를 수신하고, 컨덕터(449)를 통하여 카운트 중지 신호를 수신하고, 컨덕터(450)를 통하여 타겟 신호를 수신한다. 제어 회로(442)는 카운트 가능 신호를 컨덕터(444)를 통하여 카운터(441)로 공급하고, 제어 회로(443)는 카운트 불능 신호를 컨덕터(445)를 통하여 카운터(441)로 공급한다. 카운터(441)는 또한 컨덕터(450)를 통하여 타겟 신호를 수신한다. 카운터(441)는 카운트 값을 컨덕터(446)를 통하여 데이터 레지스터(447)로 공급한다.

제어 및 상태 정보는 컨덕터(451)를 통하여 카운터(441), 제어 회로(442) 및 제어 회로(443) 사이에서 전송된다. 예를 들면, 제어 회로(442와 443)중 한 회로는 컨덕터(451)를 통하여 데이터 전송 제어 신호를 카운터(441)로 공급한다. 카운터(441)로 공급된 상기 데이터 전송 제어 신호가 표명될 때, 카운터(441)는 컨덕터(446)를 통하여 현재의 카운트 값을 데이터 레지스터(447)로 전송한다. 데이터 레지스터(447)는 판독 액세스와 기록 액세스를 이용하여 버스(24)를 통하여 액세스될 수 있다. 카운터(441)는 컨덕터(452)를 통하여 클록 신호를 수신한다. 제어 레지스터 저장 비트(67)는 컨덕터(453)를 통하여 제어 회로(442와 443)에 결합된다.

도 28은 제어 레지스터(67)(도 2와 도 27 참조)의 일부의 일 실시예를 도시한다. 몇몇 레지스터 비트는 카운터 채널(58)에 대하여 선택된 모드에 따라 다른 기능을 가질 수 있다는 것에 유념하라. 예를 들면, CZO/WTO/DTO 비트(478)는 상기 카운트 윈도우 모드가 불능일 때 제로 출력(CZO) 비트에 대한 카운트로 작용하고, 카운트 윈도우 모드가 사용가능할 때 윈도우 종결 출력(WTO)비트로 작용하고, 데이터 전송 모드가 선택될 때 데이터 전송 출력(DTO)비트로 작용한다. 일 실시예에서, 도 28에 도시된 제어 레지스터 비트는 다음의 기능을 제공한다.

16/8 & 24/32 - 16비트, 8- 및 24-비트, 또는 32-비트 연산 비트(469)

00 - 32 비트 연산

01 - 결합된 업/다운 8비트와 24비트 연산

1X - 16비트 연산

CCS : 카운터 클록 선택 비트(470)

0 - 입력 이벤트를 이용하여 클록된 카운터

1 - 클록 버스 입력을 이용하여 클록된 카운터

DTC : 데이터 전송 제어 비트(471)

0X - 사용가능한 카운트 모드

10 - 사용가능한 w/VADP 검출 출력 이벤트

11 - 사용가능한 w/IADP 검출 출력 이벤트

CLK : 클록 버스 소스 선택 비트(472)

000-111 - 클록 버스 라인 0-7

SCC : 단일/연속 카운트 연산 비트(473)

0 - 연속 카운트 연산

1 - 단일 카운트 연산

CI : 카운트 입력 비트(474)

0000-0111 - 핀 라인(0)-핀 라인(7)

1000-1111 - 상태 라인(0)-상태라인(7)

CIEL : 카운트 입력 에지 또는 레벨 비트(475)

CCS=0

X00-입력 불능

X01-상승-에지 입력 이벤트 카운트

X10-하강-에지 입력 이벤트 카운트

X11-두 에지 입력 모두 카운트

CCS=1

000-입력 불능

001-클록을 이용하여 상승 에지에서 시작

010-클록을 이용하여 하강 에지에서 시작

011-클록을 이용하여 상승 또는 하강 에지에서 시작

100-클록을 이용하여 로우 입력에서 시작

101-클록을 이용하여 하이 입력에서 시작

110-클록을 이용하여 입력이 로우인 동안 카운트

111-클록을 이용하여 입력이 하이인 동안 카운트

USI/MTI/CDVI : 업 카운트 중지 입력/

전송 입력 계수/

클리어 데이터 유효 입력 비트(476)

0000-0111 - 핀(0)-핀(7)

1000-1111 -상태(0)-상태(7)

USIE/MTIE/CDVE : 업 카운트 중지 입력 예지/

전송 입력 예지 계수/

클리어 데이터 유효 예지 비트(477)

00-입력 불능

01-상승 예지에서 cnt/Xfer 모드/Clr DVB 중지

10-하강 예지에서 cnt/Xfer 모드/Clr DVB 중지

11-상승 또는 하강 예지에서 cnt/Xfer 모드/Clr DVB 중지

CZO/WTO/DTO : 제로 출력까지 카운트

윈도우 종결 출력/

데이터 전송 출력 비트(478)

0000-0111 - 핀 라인(0) - 핀 라인(7)

1000-1110 - 상태 라인(0) - 상태 라인(7)

CZOEL/WTOEL/DTOE : 제로 출력 예지까지 카운트 또는 논리 연산/

윈도우 종결 출력 예지 또는 논리 연산/

데이터 전송 출력 예지 비트(479)

CZOEL/WTOEL

000-출력 불능

001-출력 상승 예지

010-출력 하강 예지

011-출력 토글

100-핀/상태 설정에 대한 조건부 AND 출력

101-핀/상태 설정에 대한 조건부 OR 출력

110-핀/상태 클리어에 대한 조건부 AND 출력

111-핀/상태 클리어에 대한 조건부 OR 출력

DTOE

X00-출력 불능

X01-출력 상승 예지

X10-출력 하강 예지

X11-출력 토글

도 29는 제어 레지스터(67)(도 27 참조)의 일부의 일 실시예를 도시한다. 일 실시예에서, 도 29에 도시된 제어 레지스터 비트는 다음의 기능을 담당한다.

CM : 카운터 모드 비트(480)

0-다운 카운트 모드

1-업 카운트 모드

CWE : 카운트 윈도우 사용가능 비트(481)

00-카운트 윈도우 연산 불능

01-선택된 상태 라인 이용가능

1X-하부 인접 이중 FIFO 채널(적절하다면)로부터 입력 이용 가능

주의 : 만약 하부 인접 이중 FIFO 채널이 존재하지 않고 CWE=1X가 선택되면, 윈도우 입력은 항상 로우이다.

WTOC : 윈도우 종결 출력 제어 비트(482)

00-제로 출력 가능까지 카운트

윈도우 종결 출력 불능

01-제로 출력 불능까지 카운트

윈도우 내의 제 1 카운트 연산에 대하여 가능한 윈도우 종결 출력

10-제로 출력 가능까지 카운트

윈도우 내의 제 1 카운트 연산에 대하여 가능한 윈도우 종결 출력

11-제로 출력 가능까지 카운트

윈도우 내의 어떤 연산에 대하여도 가능한 윈도우 종결 출력

OFC : 오버플로우 제어 비트(483)

0-오버플로우 제로에서 중지

1-오버플로우에서 계속 증가

LCE : 논리 실행 가능 비트(485)

0-논리 실행 출력 불능

1-논리 실행 출력 가능

CWI : 카운트 윈도우 입력 비트(484)

000-111 - 상태 라인(0)-상태 라인(7)

도 30은 레지스터(67)(도 27 참조)의 일부의 일 실시예를 도시한다. 몇몇 실시예에서, 레지스터(67)는 제어 레지스터 비트와 상태 레지스터 비트 모두를 포함한다는 것을 유념하라. 도 30에 도시된 실시예에서, 레지스터(67)의 일부는 상태 정보를 저장하는데 이용된다. 일 실시예에서, 도 30에 도시된 상태 레지스터 비트는 다음의 기능을 담당한다.

WTS : 윈도우 종결 상태 비트(490)

0-윈도우 내에서 단일 카운트 연산, 또는 제 1 연속 카운트 연산은 종결되지 않았다.

1-윈도우 내에서 단일 카운트 연산, 또는 제 1 연속 카운트 연산은 종결되었다.

USIS/MTS/CDVS : 업 카운트 중지 입력 상태/

전송 상태 계수/

클리어 데이터 유효 상태 비트(491)

0-중지 카운터/전송 계수/유효 데이터 클리어는 일어나지 않았다.

1-중지 카운터/전송 계수/유효 데이터 클리어는 일어났다.

CZS/DTS : 제로 상태까지 카운트/

데이터 전송 상태 비트(492)

0-Inc/Dec to zero 또는 VADP/IADP는 발생하지 않았다.

1-Inc/Dec to zero 또는 VADP/IADP는 발생했다.

DVB : 데이터 유효 비트(493)

0-데이터 레지스터내의 데이터는 무효이다.

1-데이터 레지스터내의 데이터는 유효하다.

CIS : 카운트 입력 상태 비트(494)

0-업/다운 카운트 입력은 일어나지 않았다.

1-업/다운 카운트 입력은 일어났다.

도 31은 카운터(441)(도 27 참조)와 도 28 내지 29에 도시된 몇몇 제어 레지스터 비트 사이의 관계를 도시한다. 도 31에 있어서, CCS=0이고 CIEL=X01이면, 카운터(441)는 카운트 원도우 신호가 하이(high)가 된 후 모든 상승 에지 입력에서 증가한다. 상기 카운트 원도우 신호가 로우가 된 후 카운터(441)는 계속 증가한다는 것에 유념하라. 카운트 원도우 신호가 로우가 된 후 제 1 카운트 중지 신호 이벤트가 일어날 때 카운터(441)는 중지된다. 이 때, 카운트 동작은 완료되고, 제어레지스터(67)에서 업 카운트 중지 입력 상태 비트는 설정되고, 카운트 값은 데이터 레지스터(447)로 전송되고, 제어 레지스터(67)에서 DVB 비트는 설정된다.

CCS=1이고 CIEL=111이면, 카운터(441)는 타겟 신호가 하이이고 카운트 원도우 신호가 하이일 때마다 CLK 비트 필드에 의해 선택된 클록 입력을 이용하여 증가한다. 또한, 카운터(441)는 카운트 원도우 신호가 로우가 된 후 제 1 카운트 중지 신호 이벤트가 일어날 때 중지된다. CCS=1이고 CIEL=010일 때, 카운터(441)는 충분에 대하여 컨덕터(452)로부터 나온 클록 신호를 이용하고 카운트 원도우 신호가 하이일 때 타겟 신호의 제 1 하강 에지에서 카운트 동작을 시작한다. 또한, 상기 카운트 원도우 신호가 부정된 수 제 1 카운트 중지 신호 이벤트가 일어날 때 카운터(441)는 중지된다.

도 32는 카운터 채널(58)(도 2 참조)의 일부의 다른 실시예를 도시한다. 본 실시예에서, 카운터 채널(58)은 카운터 레지스터(460), 데이터 레지스터(461) 및 출력 이벤트 논리(467)를 포함한다. 일 실시예에서, 카운터 레지스터(460)는 독립적으로 동작할 수 있는 두 카운터 부분으로 분할될 수 있다. 제 1 카운터 부분은 카운터 제어 논리(462)와 입력 이벤트 논리(464)에 응답한다. 제 2 카운터 부분은 카운터 제어 논리(463)와 입력 이벤트 논리(465)에 응답한다. 일 실시예에서, 각각의 카운터 부분은 또한 도 28과 도 29에 도시된 것과 같은 제어 레지스터 비트의 개별적인 세트를 가진다.

도 32에 도시된 다양한 제어 및 상태 비트는 판독 및 기록 접근 가능 레지스터에 위치되었지만, 도 32에 도시된 것과 같이 카운터 채널(58)의 작용에 영향을 미친다. DTC 레지스터 비트(471), DVB 레지스터 비트(493) 및 DTS 레지스터 비트(492)는 도 20 내지 24와 본 명세서의 수반된 부분에 도시된 것과 같은 방식으로 채널 사이의 데이터 전송에 이용된다는 것에 유념하라.

일 실시예에서, 카운트 중지 신호는 만약 카운터(예를 들면, 도 27의 카운터(441))가 다운 카운터이면 불필요하다는 것에 유념하라. 다운 카운터를 이용하는 몇몇 실시예에서, 모두 0인 카운트 값은 카운트 동작이 중지함을 나타내는데 이용될 수 있다. 따라서 다운 카운터에 대하여 모두 0인 카운트 값은 업 카운터에 대하여 카운트 중지 신호와 같은 기능을 담당할 수 있다. 결국, 다운 카운터는 상기 카운트 원도우 신호가 부정된 후 처음으로 카운트 값이 모두 0으로 될 때 카운팅을 중지할 것이다.

캡쳐 원도우 특징

제어 애플리케이션에 기초한 많은 마이크로콘트롤러는 각 상승 에지, 하강 에지, 또는 타겟 신호의 상승 및 하강 에지에서 시간기준 값이 캡쳐되도록 요구한다. 예를 들면, 도 2의 캡쳐 채널(55)은 타겟 신호의 선택된 에지가 발생될 때에 기초된 타이머 버스(71)로부터 타임베이스 값을 캡쳐하는데 이용될 수 있다. 상기 타겟 신호는 외부에서 입력/출력(I/O) 접속 회

로(22)(도 1 참조)로 공급될 수 있고, I/O 집적 회로(22)에서 발생할 수도 있다. 캡쳐 채널(55)은 소정의 제어 값을 캡쳐 채널(55)내의 하나 또는 그 이상의 사용자 프로그램 가능한 제어 레지스터 저장 비트(66)에 다양한 캡쳐 동작을 수행할 수 있다(도 2, 5, 35 및 36).

많은 제어 애플리케이션은 타겟 신호의 에지가 발생하는 시간에 기초된 타임베이스 값을 캡쳐할 때와 캡쳐하지 않을 때를 보장하기 위하여 제 2 채널에 의해 발생된 제 2 신호를 요구한다. 예를 들면, 도 2에 있어서, 제 2 신호를 발생하는 상기 제 2 채널은 채널(54)일 수 있고, 상기 채널은 매치 채널, 카운터 채널, 또는 채널(57)내의 다른 종류의 워크 채널일 수 있다. 이상적으로는, 타임베이스 값을 캡쳐하는 처리기(예를 들면, 도 1의 CPU(13))에 의한 직접적인 서비스를 요구하지 않고, 상기 캡쳐 타임베이스 값을 타겟 신호의 주파수에 관계없이 결합해야 한다.

그러나, 종래의 제어 애플리케이션에서, 제 2 신호가 인터럽트 발생에 요구되었고, 처리기(예를 들면, 도 1의 CPU(13))에 의해 실행된 인터럽트 서비스 루틴이 캡쳐 채널내의 캡쳐 동작을 가능하게 하기 위하여 개입하도록 요구되었다. 또한, 상기 캡쳐 채널내의 캡쳐 동작을 불가능하게 하기 위하여, 제 2 신호가 인터럽트를 발생하도록 요구되었고, 인터럽트 서비스 루틴은 상기 캡쳐 채널내의 캡쳐 동작을 불가능하게 하기 위하여 개입하도록 요구되었다.

또한, 캡쳐된 타임베이스 값을 결합을 유지하기 위하여, 종래 기술의 제어 애플리케이션은 일반적으로 각각의 캡쳐된 타임베이스 값을 홀딩 레지스터 또는 타겟 신호의 다음 활성 에지에 선행하는 메모리로 전송하기 위하여 인터럽트 서비스 처리를 요구했다. 따라서 만약 타겟 신호의 주파수가 충분히 높다면, 인터럽트 서비스 루틴은 타겟 신호의 다음 활성 에지가 일어나기 전에 캡쳐된 타임베이스 값을 홀딩 레지스터 또는 메모리로 항상 전송할 수는 없으며, 따라서 캡쳐된 타임베이스 값을 통일성을 잃는다.

도 33은 제 2 신호, 즉 캡쳐 윈도우 신호가 타이머 버스로부터 타임베이스 값을 캡쳐를 보장하는데 이용될 수 있다. 첫 번째 프로그램 가능한 선택으로써, 캡쳐 채널(55)은 타겟 신호의 마지막 이벤트(즉, 마지막 활성 에지)에 기초된 타임베이스 값을 캡쳐하고 저장할 수 있다. 활성 에지는 상승 에지, 하강 에지, 또는 타겟 신호의 어떤 에지로 프로그램 가능하게 선택될 수 있다. 둘째, "N-1"개의 다른 캡쳐 채널과 관련하여 캡쳐 채널(55)은 "N"개의 타임베이스 값을, 상기 타겟 신호의 "N"개의 마지막 에지 각각에 대한 한 타임베이스 값을 캡쳐하고 저장할 수 있다. 셋째, "N-1"개의 다른 캡쳐 채널과 관련하여 캡쳐 채널(55)은 "N"개의 타임베이스 값을, 타겟 신호의 "N"개의 마지막 양의 에지 각각에 대한 한 개의 타임베이스 값을 캡쳐하고 저장할 수 있다. 교대로, 다른 "N-1"개의 다른 캡쳐 채널과 관련하여 캡쳐 채널(55)은 "N"개의 타임베이스 값을, 타겟 신호의 "N"개의 마지막 음의 에지 각각에 대한 한 개의 타임베이스 값을 캡쳐하고 저장할 수 있다. 넷째, "N-1"개의 다른 캡쳐 채널과 관련하여 캡쳐 채널(55)은 "N"개의 타임베이스 값을, 타겟 신호의 "N"개의 제 1 활성 에지 각각에 대한 한 개의 타임베이스 값을 캡쳐하고 저장할 수 있다. 본 발명의 일 실시예에서, 두 개의 캡쳐 채널이 사용되어, 상기 수 "N"은 2이다. 상기 절에 사용된 것과 같이, "N"은 양의 정수를 나타낸다. 본 발명의 다른 실시예에는 다른 캡쳐 동작을 이용할 수 있다.

전술한 바와 같이, 캡쳐 윈도우 특징은 처리기(예를 들면, 도 1의 CPU(13))에 의한 서비스 간섭이 불필요하게 하고 상기 타겟 신호의 주파수에 관계없이 데이터의 인터로크를 제공한다. 상기 캡쳐 윈도우 특징으로 캡쳐 채널은 타임베이스를 캡쳐 할 때와 캡쳐하지 않을 때를 결정하는 자극(즉, 캡쳐 윈도우 신호)을 직접 수신할 수 있다. 따라서, 타겟 신호의 주파수에 상관없이, 처리기(예를 들면, 도 1의 CPU(13))에 의한 인터럽트 서비스는 꽤 감소되고 캡쳐된 타임베이스 값을 결합이 유지된다.

상기 캡쳐 윈도우 특징으로 캡쳐 채널에 의한 타임베이스 값을 캡쳐는 제 2 신호, 즉 캡쳐 윈도우 신호의 논리 상태에 의해 보장되고, 따라서 타임베이스 값을 캡쳐는 제 2 신호의 의해 정의된 "윈도우" 동안 가능할 수 있다.

캡쳐 윈도우 가능 레지스터 비트(도 35의 CWE(501))는 상기 캡쳐 윈도우 특징을 가능하게 하는데 이용된다. 캡쳐 윈도우는 타임베이스 캡쳐 동작이 실행되는 시간/각의 간격 또는 윈도우이다. 상기 캡쳐 윈도우 비트가 설정되는 동안, 타겟 신호에 기초된 타임베이스 캡쳐는 제 2 신호, 즉 캡쳐 윈도우 신호의 상태에 의해 보장된다. 타겟 신호에 기인하는 타임베이스 캡쳐는 캡쳐 윈도우 신호의 상태가 표명(도 33 내지 34에서 논리 레벨 1)되는 동안 허용되고, 제 2 신호 상태가 부정(도 33 내지 34에서 논리 레벨 0)되는 동안 불가능하게 된다.

도 34는 상기 캡쳐 윈도우 특징의 사용 예와 캡쳐 채널(55)(도 2 참조)의 레지스터(66)에 위치된 레지스터 제어 비트의 사용 예를 도시한다. 상기 예에서, 캡쳐 윈도우 가능 비트(도 35의 CWE(501))가 설정되어 캡쳐 윈도우 기능이 가능해진다. 캡쳐 채널(55)은 타겟 신호의 상승 에지가 일어날 때 타이머 버스(71)(도 2 참조)에 존재하는 타임베이스 값을 캡쳐한다. 그러나, 채널(55)은 캡쳐 윈도우 신호가 표명되고 타겟 신호의 선택된 에지가 발생할 때 타이머 버스(71)에 존재하는 타임베이스 값을만 캡쳐한다는 것에 유념하라. 따라서, 상기 캡쳐 윈도우 신호가 표명되는 간격은 캡쳐가 제한되는 "윈도우"를 정의한다. 상기 캡쳐 윈도우 신호가 부정되는 동안, 타겟 신호의 다른 타임베이스 캡쳐는 불가능하게 된다.

도 34에 도시된 예에서, 상기 캡쳐 윈도우 신호는 핀/상태 버스(75)를 통하여 또는 하부 인접 이중 FIFO 채널(만약 실행되면)로부터 캡쳐 채널(55)로 제공된다는 것에 유념하라. 일 실시예에서, 이중 FIFO 채널은 값을 저장하기 위하여 2배로 깊은 FIFO로 작용할 수 있는 워크 채널이다. 예를 들면, 도 20에 있어서, 카운터 채널(402)은 캡쳐 채널(401)에 대한 하부 인접 이중 FIFO 채널로 작용할 수 있는 이중 FIFO 채널에 의해 교체될 수 있다. 만약 CWE 비트(501)가 상기 캡쳐 윈도우 신호의 소스로 핀/상태 버스(75)를 선택하면, 상기 CWI 비트(505)는 상기 캡쳐 윈도우 신호를 캡쳐 채널(55)에 공급하는데 사용될 핀/상태 버스 컨덕터(75)를 선택하는데 이용된다. 만약 CWE 비트(501)가 캡쳐 윈도우 신호의 소스로 하부 인접 이중 FIFO 채널을 선택하면, CWI 비트(505)는 무시된다. 만약 상기 하부 인접 채널이 이중 FIFO 채널이 아니고, 상기 CWE 비트(505)가 하부 인접 이중 FIFO 채널을 선택하도록 프로그램되면, 상기 캡쳐 윈도우는 불능 상태로 유지된다는 것을 유념하라.

도 34에 도시된 예에 있어서, 레지스터(66)(도 35 참조)의 CI 비트(506)는 상기 캡쳐 타겟 신호를 캡쳐 채널(55)에 공급하는데 이용될 핀/상태 버스 컨덕터(75)를 선택하는데 이용된다. CIE 비트(507)는 타이머 버스(71)로부터 타임베이스 값을 캡쳐를 트리거하는데 이용되는 캡쳐 타겟 신호의 에지, 즉 상승 에지, 하강 에지, 또는 상기 어떤 에지든지 선택하는데 이용된다. 그리고, CTB 비트(503)는 타이머 버스(71)로부터 캡쳐 채널(55)에 의해 캡쳐될 타임베이스 값을 선택하는데 이용된다.

도 35는 레지스터(66)(도 2와 도 27 참조)의 일부의 일 실시예를 도시한다. 몇몇 레지스터 비트는 캡쳐 채널(55)을 위하여 선택된 모드에 따라 서로 다른 기능을 가질 수 있다는 것에 유념하라. 예를 들면, CI/CDVI 비트(506)는 캡쳐 윈도우 모드가 사용가능할 때 캡쳐 입력(CI) 비트로 작용하고 데이터 전송 보드가 선택될 때 클리어 데이터 유효 입력(CDVI) 비트로 작용한다. 일 실시예에서, 도 35에 도시된 제어 레지스터 비트는 다음 기능을 담당한다.

16/32 : 16비트 또는 32 비트 기능 비트(500)

0 - 32-비트

1 - 16-비트

CWE : 캡쳐 윈도우 가능 비트(501)

00 - 캡쳐 윈도우 불능

01 - CWI 비트 필드에 의해 선택된 상태 라인을 이용하여 캡쳐 윈도우 사용가능

1x - 하부 인접 이중 FIFO 채널(만약 적용할 수 있으면)로부터 입력을 이용하여 사용가능한 캡쳐 윈도우

DTC : 데이터 전송 제어 비트(502)

0X - 데이터 전송 불능; 캡쳐 가능

10 - VADP

11 - IADP

CTB : 캡쳐 타임베이스 비트(503)

000-111 타임베이스(0-7)

SCC : 단일/연속 캡쳐 비트(504)

0 - 연속 캡쳐 동작

1 - 단일 캡쳐 동작

CWI : 캡쳐 윈도우 입력 비트(505)

000-111 상태 버스(0-7)

CI/CDVI : 캡쳐 입력/클리어 데이터 유효 입력 비트(506)

0000-0111 핀 버스(0-7)

1000-1111 상태 버스(0-7)

CIE/CDVE : 캡쳐 입력 예지/클리어 데이터 유효 예지 비트(507)

00 - 입력 불능

01 - 상승 예지

10 - 하강 예지

11 - 상승 또는 하강 예지

CO/DTO : 캡쳐 출력/데이터 전송 출력 비트(508)

000-111 상태 라인(0-7)

COE/DTOE : 캡쳐 출력 예지/데이터 전송 출력 예지 비트(509)

00 - 출력 불능

01 - 상승 예지

10 - 하강 예지

11 - 토글

도 36은 레지스터(66)(도 2 참조)의 일부의 일 실시예를 도시한다. 몇몇 실시예에서, 레지스터(66)는 제어 레지스터 비트와 상태 레지스터 비트 모두를 포함한다는 것을 유념하라. 도 36에 도시된 실시예에서, 레지스터(66)의 일부는 상태정보를 저장하는데 이용된다. 일 실시예에서, 도 36에 도시된 상태 레지스터 비트는 다음 기능을 담당한다.

CES : 캡쳐 예지 상태 비트(510)

0 - 하강 예지 입력 이벤트 검출과 관련된 캡쳐 동작 발생

1 - 상승 예지 입력 이벤트 검출과 관련된 캡쳐 동작 발생

CDVS : 클리어 데이터 유효 상태 비트(511)

0 - 검출된 DVB=1을 가진 수식되지 않은 입력 이벤트

1 - 검출된 DVB=1을 가진 수식된 않은 입력 이벤트

COS : 캡쳐 출력 상태 비트(512)

0 - 캡쳐 동작이 일어나지 않았거나 COE 비트 필드=00

1 - 캡쳐 동작이 일어났거나 COE 비트 필드=00

DTS : 데이터 전송 출력 상태 비트(512)

0 - VADP 또는 IADP가 검출되지 않을 조건

1 - VADP 또는 IADP가 검출될 조건

DVB : 데이터 유효 비트(513)

0 - 데이터 레지스터의 데이터는 유효하지 않다

1 - 데이터 레지스터의 데이터는 유효하다

CIS : 캡쳐 입력 상태/클리어 데이터 유효 상태 비트(514)

0 - 캡쳐가 일어나지 않았다

1 - 캡쳐가 일어났다

도 37은 캡쳐 채널(55)(도 2 참조)의 일부의 일 실시예를 도시한다. 본 실시예에서, 캡쳐 채널(55)은 데이터 레지스터(520), 캡쳐 논리(521), 데이터 전송 논리(522), 단일/연속 캡쳐 논리(523), 출력 이벤트 논리(524), 입력 이벤트 논리(525) 및 16/32 비트 논리(526)를 포함한다.

도 37에 도시된 다양한 제어 및 상태 비트는 비록 판독 및 기록 액세스 가능한 레지스터에 위치되지만, 도 37에 도시된 것과 같이 캡쳐 채널(55)의 작동에 영향을 준다. 상기 DTC 레지스터 비트(502), DVB 레지스터 비트(513), 및 DTS 레지스터 비트(512)는 도 20 내지 24와 본 명세서의 수반되는 부분에 도시된 것과 같은 방식으로 채널 사이의 데이터 전송에 이용된다는 것에 유념하라.

단일/연속 동작 타이머 채널의 특징

I/O 집적 회로(22)(도 1 참조)의 일 실시예에서, 각각의 워크 채널은 단일 동작 모드와 연속 동작 모드를 가진다. 본 발명의 일 실시예에서, 각각의 카운터 채널(예를 들면, 카운터 채널(58)), 각각의 캡쳐 채널(예를 들면, 캡쳐 채널(55)) 및 각각의 매치 채널(예를 들면, 매치 채널(57))은 채널이 단일 모드 또는 연속 모드에서 동작되도록 하는 사용자 프로그램 가능한 레지스터 비트를 가진다.

예를 들면, 단일/연속 카운트 동작(SCC) 레지스터 비트(473)(도 28 참조)는 카운터 채널(58)(도 2 참조)이 단일 동작 모드에 있는지 또는 연속 동작 모드에 있는지 결정한다. 단일/연속 캡쳐(SCC) 레지스터 비트(504)(도 35 참조)는 캡쳐 채널(55)(도 2 참조)이 단일 동작 모드에 있는지 또는 연속 동작 모드에 있는지 결정한다. 그리고, 단일/연속 매치(SCM) 레지스터 비트(531)(도 38 참조)는 매치 채널(57)(도 2 참조)이 단일 동작 모드에 있는지 또는 연속 동작 모드에 있는지 결정한다.

단일 동작 모드가 되면, 결합된 타이머 기능 상태 비트(예를 들면, 도 30의 카운트 입력 상태(CIS) 비트(494), 도 36의 캡쳐 출력 상태(COS) 비트(512) 및 도 39의 매치 상태(MS) 비트(534))는 클리어되고 그 다음에 상기 타이머 기능의 상태 및 제어 모두 공급할 것이다. 워크 채널이 단일 동작 모드를 위해 구성되면, 상기 채널은 결합된 타이머 기능 상태 비트가 설정되면 사용불가능하고, 상기 채널은 결합된 타이머 기능 상태 비트가 클리어되면 사용가능할 것이다.

그러나, 불행히도, 단일 동작 모드/연속 동작 모드 워크 채널과 관련하여 세가지 문제점이 있다. 첫 번째 문제점은 연속 동작 모드에서 단일 동작 모드로 간접적으로(coherently) 변화한다는 것이다. 두 번째 문제점은 단일 동작 모드에서 우연히 매치 채널의 재사용 가능을 막는다는 것이다. 세 번째 문제점은 연속 동작 모드에서 매치 채널로부터 과다한 매치 이벤트에 기초된 다수의 출력을 막는다는 것이다.

연속 동작 모드에서 단일 동작 모드로 간접적으로 변화하는데 있어서의 문제점은 다음의 방식으로 해결된다. 단일 동작 모드(즉, "단일 셋(shot)" 매치, 캡쳐 등)에서 타이머 기능을 수행할 때, 타이머 기능과 결합된 상태 비트(즉, 도 30의 CIS 비트(494), 도 36의 COS 비트(512), 및 도 39의 MS 비트(534))는 상기 타이머 기능이 사용가능한지 아닌지 나타낸다. 일 실시예에서, 상태 비트가 클리어되면, 상기 타이머 기능은 사용가능하고, 상태 비트가 설정되면, 상기 타이머 기능은 사용불가능하다. 사실, 상태 비트는 상기 타이머 기능의 동작을 "제어한다".

연속동작 모드(즉 "연속" 매치, 캡쳐 등)에서 타이머 기능을 수행할 때, 상기 타이머 기능과 결합된 동일한 상태 비트는 하나이상의 이벤트(즉, 매치, 캡쳐 등)가 일어났는지 나타낸다. 상기 상태 비트는 동작에 대한 정보만 제공하지만, 어떤 방법으로든 상기 타이머 기능에 영향을 미치거나 통제하지는 않는다. 연속 동작 모드에서 단일 동작 모드로 변화할 때, 결합된 타이머 기능 상태 비트는 "상태" 기능 실행으로부터 "상태 및 제어" 기능 수행으로 변화해야 한다. 상태 비트는 워크 채널이 연속 동작 모드에 있는 동안 설정되었을 가능성이 가장 높다. 단일 동작 모드로 변화할 때, 만약 상태 비트가 설정 상태로 남아 있으면 상기 워크 채널은 한 타이머 기능을 수행하지 않고 즉시 자신을 사용불능으로 만들 것이다. 만약 상기 워크 채널이 단일 동작 모드로 들어가자마자 사용불능이 되면, 상기 채널은 자극을 "미스(miss)"할 것이며, 따라서 연속 동작 모드로부터 단일 동작 모드로 간접 변환을 유발할 것이다.

상기 워크 채널 회로는 결합된 상태 비트가 단일 동작 모드로 들어가면 자신을 클리어하도록 하고 상기 상태 비트가 "상태 및 제어" 기능을 수행하도록 한다. 상기 워크 채널 회로는 상태 비트가 사용되는 방법은 모드에 따라 다르지만, 연속 및 단일 동작 모드에서 동일한 상태 비트를 사용한다. 또한, 두 모드간의 변화는 두 모드 사이에서 변화하는 동안 상기 워크 채널에 대한 자극이 없어지지 않기 때문에 간접적이다.

단일 동작 모드에 있을 때 매치 채널의 우연한 재사용 가능을 막는 문제점은 다음의 방식으로 해결된다. 매치 채널(예를 들면, 도 2와 도 40의 매치 채널(57))이 단일 동작 모드(즉, 단지 한 개의 진리 비교를 하고 매치 채널을 사용불능으로 하는 것)로 동작될 때, 매치 채널은 결합된 매치 상태 비트(예를 들면, 도 39의 MS 비트(534))가 매치가 발생하지 않았다는 것을 나타낼 때($MS=0$) 사용가능할 것이다. 매치 채널은 결합된 매치 상태 비트가 매치가 발생했다는 것을 나타낼 때($MS=1$) 사용불가능할 것이다.

몇몇 경우에 매치 상태 비트와 재사용불가능한 매치 채널을 클리어하는 것이 바람직하다. 상기 매치 채널 회로는 단지 매치 상태 비트를 클리어하여 상기 매치 채널이 재사용할 수 있도록 한다. 상기 매치 채널을 재사용가능하게 하기 위하여, 매치 상태 비트는 클리어되어야 하고 상기 데이터 레지스터(예를 들면, 도 40의 데이터 레지스터(540))는 기록되어야 한다. 이것은 CPU(13)(도 1 참조)가 상기 매치 채널을 재사용가능하게 하지 않고 상기 매치 채널(즉, 상기 제어 레지스터에 저장된 제어 값을 변화시키고, 상기 매치 레지스터를 조종하기 위한(예를 들면, 도 40의 540)에 저장된 데이터 값을 변화시키고, 상기 매치 상태 비트를 부정하기 위한) 결합 방법을 제공한다. CPU(13)(도 1 참조)가 매치 기능을 재사용가능하게 하지 않고 상기 매치 상태 비트를 클리어하는 것은 유용한 특성이다.

연속 동작 모드에서 과다한 매치 이벤트에 기초된 다수의 출력을 막는 문제점은 다음의 방식으로 해결된다. 연속 동작 모드의 매치 채널이 "슬로우" 타임베이스일 때(즉, 매치 비율의 절반보다 더 적은 주파수로 증가할 때), 동일한 타임베이스 값에 대하여 다수의 비교를 가질 수 있다. 타임베이스 값이 데이터 레지스터내의 값과 같고 다수의 비교동안 동일한 상태로 유지될 때, 상기 데이터 레지스터는 비교를 수행하는 매 시간마다 진리 비교 신호를 표명할 것이다.

얼마나 많은 "진리 비교" 신호가 발생되든지 간에, 타임베이스 값과 매치 레지스터내의 값 사이의 매치에 대하여 단지 한 개의 출력만 표명하는 것이 바람직하다. 상기 매치 채널 회로는 단지 다음의 진리 비교 즉, (1)마지막 거짓 비교 이후 첫 번째 진리 비교와, (2)매치 레지스터가 데이터 레지스터에(즉, CPU(13)에 의해 기록되거나 인접 채널로부터 전송된)새로운 데이터를 수신한 후의 첫 번째 진리 비교 신호만 출력을 발생하게 한다. 연속 매치 인터로크는 제 1 진리 매치가 발생하고 동일한 타임베이스에 마지막 진리 비교된 후 첫 번째 거짓 비교가 발생하자마자 클리어될 때(매치 가능), 또는 매치가 연속 모드(즉, $SCM=0$ 및 $MOE=0$)에서 사용불능일 때 설정(매치 억제)된다. 결국, 상기 매치 타임베이스의 주파수에 관계없이 과다한 매치는 발생하지 않을 것이다.

도 38은 레지스터(65)(도 2 참조)의 일부의 일 실시예를 도시한다. 일 실시예에서, 도 38에 도시된 제어 레지스터는 다음 기능을 담당한다.

12/16/32:12/반 단어/단어 선택 비트(529)

0x - 32 비트(단어)

10 - 12 비트

11 - 16 비트

MTB : 매치 타임베이스 비트(530)

000-111 타임베이스(0-7)

SCM : 단일/연속 매치 비트(531)

0 - 연속 매치 동작

1 - 단일 매치 동작

MO : 매치 출력 비트(532)

0000-0111 핀 버스(0-7)

1000-1111 상태 버스(0-7)

MOE : 매치 출력 에지 비트(533)

000 - 출력 및 균등 비교 불능

001 - 상승 에지 출력

010 - 하강 에지 출력

011 - 토클 출력

100 - 핀/상태 설정을 위한 조건부 AND 출력

101 - 핀/상태 설정을 위한 조건부 OR 출력

110 - 핀/상태 클리어를 위한 조건부 AND 출력

111 - 핀/상태 클리어를 위한 조건부 OR 출력

도 39는 레지스터(65)(도 27 참조)의 일부의 일 실시예를 도시한다. 몇몇 실시예에서, 레지스터(65)는 제어 레지스터 비트와 상태 레지스터 비트를 포함한다는 것을 유념하라. 도 39에 도시된 실시예에서, 레지스터(65)의 일부는 상태 정보를 저장하는데 이용된다. 일 실시예에서, 도 39에 도시된 상태 레지스터 비트는 다음의 기능을 담당한다.

MS : 매치 상태

0 - 매치가 발생되지 않았다

1 - 매치 이벤트가 일어났다

도 40은 매치 채널(57)(도 2 참조)의 일부의 일 실시예를 도시한다. 상기 실시예에서, 매치 채널(57)은 데이터 레지스터(540), 균등 비교기 논리(541), 12/16/32 선택 논리(542), 매치 논리(543) 및 출력 이벤트 논리(544)를 포함한다. 일 실시예에서, 데이터 레지스터(540)는 독립적으로 동작할 수 있는 두 부분, 즉 상위부와 하위부로 분할될 수 있다. 일 실시예에서, 각각의 두 매치 부분은 분할을 제어하는 단지 한 개의 12/16/32 선택 비트(529) 세트와, 도 38과 도 39에 도시된 것과 같은 개별적인 제어 및 상태 레지스터 비트 세트를 가진다. 제 1 매치 부분은 데이터 레지스터(540), 균등 비교기 논리(541), 매치 논리(543) 및 출력 이벤트 논리(544)를 이용하고, 제 2 매치 부분은 데이터 레지스터(540)의 제 2 부분, 균등 비교기 논리(541), 매치 논리(543) 및 출력 이벤트 논리(544)를 이용한다.

도 40에 도시된 다양한 제어 및 상태 비트는 비록 판독 및 기록 액세스가능 레지스터에 위치되지만, 도 40에 도시된 바와 같이 매치 채널(57)의 작용에 영향을 미친다. 도 40에 도시된 실시예에서, 매치 채널(57)은 레지스터 비트와 인접 채널 사이에 데이터 전송을 수행하는데 필요한 회로를 포함하지 않는다는 것에 유념하라. 그러나, 도 40과 도 37과 관련하여, 본 발명의 다른 실시예에서 매치 채널(57)은 데이터 전송 논리와 데이터 전송 논리(522)와 같은 기능을 담당하는 레지스터 비

트(DTC, DVB 및 DTS)와 캡쳐 채널(55)내의 레지스터 비트(DTC(471), DVB(493) 및 DTS(492))를 포함할 수 있다. 만약 실행되면, 도 20 내지 24와 본 명세서의 수반되는 부분에 상술된 것과 같은 방법으로 매치 채널과의 데이터 전송이 일어날 것이다.

도 40과 관련하여, 매치 채널(57)은 단일 및 연속 매치 동작을 지원한다. 단일 또는 연속 매치 동작으로 작동하는 동안, 데이터 레지스터(540)내의 값은 타이머 버스(71)로부터 나온 여덟 개의 값 중 한 개와 비교된다. 출력 이벤트는 발생되어 핀/상태 버스(76)로 공급되도록 프로그램될 수 있다. 매치 채널의 일 실시예의 동작은 동작 목적, 동작을 구성하는 제어 비트와, 발생되는 출력 이벤트에 따라서 상술될 것이다.

단일 및 연속 매치 동작에서, 매치는 유효 데이터와 타이머 버스(71)(32 비트 또는 12/16 비트 타임베이스 값)로부터 나온 값 사이에서 일어난다. 상기 타임베이스 값은 MTB 레지스터 비트(530)(도 38 참조)를 프로그램함으로써 선택된다. 상기 타임베이스 값의 비트 수는 12/16/32 선택 비트(529)를 프로그램함으로써 선택된다. 예를 들면, 만약 12 비트 동작이 선택되면, 상기 타임베이스 값의 하위 12비트와 데이터 레지스터(540)내의 값의 하위 12 비트는 균등 비교기(541)에 의해 비교될 것이다.

만약 MOE 비트(533)가 %000과 같지 않고, 데이터 레지스터(540)내의 값이 타이머 버스(71)로부터 나온 타임베이스 값과 같으면, 매치는 발생하고 MS 비트(534)(도 39 참조)는 설정된다. 그 다음에 출력 이벤트가 일어나서 핀/상태 버스 컨덕터(76)중 한 컨덕터에 공급된다. 상기 형태의 출력 이벤트는 MOE 비트(533)(도 38 참조)를 프로그램함으로써 선택된다. 만약 MOE 비트(533)가 %000과 같으면, 출력 이벤트 논리(544)와 균등 비교기(541)는 모두 사용불가능해진다. 출력 이벤트의 테스터네이션은 MO 비트(532)(도 38 참조)를 프로그램함으로써 선택된다.

단일/연속 매치(SCM) 비트(531)(도 38 참조)는 상기 매치 채널이 CPU(13)(도 1 참조)에 의한 소프트웨어 서비싱 사이에 단지 한 개의 출력 이벤트(즉, 단일 동작 모드)만 발생할지 또는 한 개 이상의 출력 이벤트(즉, 연속 동작 모드)를 발생할지 선택하는데 이용된다.

단일/연속 매치(SCM) 비트(531)(도 38 참조)가 %1일 때, 단일 매치 동작은 선택된다. 단일 매치 동작 중에, 일단 타이머 버스(71)로부터 나온 기간 기준 값과 데이터 레지스터(540)에 저장된 값이 같으면, 출력 이벤트는 핀/상태 버스(76)에서 발생되고 단일 매치 인터로크 메카니즘은 과다한 매치를 막도록 표명될 것이다. 다음의 출력 이벤트는 단일 매치 인터로크 메카니즘이 릴리스된 후에만 발생될 수 있다. 다음의 두 액션은 단일 매치 인터로크 메카니즘(두 액션은 어떤 순서로든 실행될 수 있다)을 릴리스하는데 요구된다. (1)매치 상태(MS) 비트(534)(도 39 참조)는 표명된 상태(즉, 논리레벨 1)에서 판독되고 부정된 상태(즉, 논리 레벨 0)는 다시 MS 비트(534)에 기록되고, (2)값은 데이터 레지스터(540)에 기록된다.

CPU(13)(도 1 참조) 상기 단일 매치 인터로크 메카니즘에 의해 요구된 판독 및 기록을 수행하는데 이용될 수 있다는 것을 유념하라. 또한, 액션(2)은 다음의 이유 때문에 단일 매치 인터로크 메카니즘을 릴리스할 필요가 있다. 만약 동일한 핀/상태 버스 컨덕터(76)에 출력 이벤트와 인터럽트 요구를 발생하는 다수의 매치 채널이 있으면, 액션(2)은 MS 비트(534)가 어떤 매치 채널에 대하여도 클리어되도록 하며, 따라서 매치를 재사용 가능하게 하지 않고, 인터럽팅 소스의 상태를 클리어 한다.

상기 단일/연속 매치(SCM) 비트(531)(도 38 참조)가 %0이면, 연속 매치 동작이 선택된다. 연속 매치 동작중, 일단 타이머 버스(71)로부터 나온 타임베이스 값과 데이터 레지스터(540)에 저장된 값이 동일하면, 출력 이벤트는 핀/상태 버스(76)에 발생되고 상기 연속 매치 인터로크 메카니즘은 과다한 매치를 막도록 표명될 것이다. 그 다음의 출력 이벤트는 상기 연속 매치 인터로크 메카니즘이 릴리스된 후에만 발생될 수 있다. 상기 연속 매치 인터로크는 불균등 비교가 발생한 후 릴리스되거나 또는 만약 MOE 비트(533)가 %000로 클리어되면, 릴리스된다. 제 1 매치가 발생한 후 상기 MS 비트(534)는 설정되지만, MS 비트(534)의 클리어링은 그다음 매치가 일어나는 동안 요구되지 않는다.

본 발명은 특정 실시예와 관련하여 도시되고 상술되었지만, 더 이상의 변형과 수정이 본 기술에 숙련된 사람에 의해 제시될 수 있다. 따라서 본 발명은 예증된 특정 형태에 제한되지 않고, 첨부된 청구항은 본 발명의 정신과 범주를 벗어나지 않는 모든 변형을 커버하기 위한 것이라는 것을 유념하라.

(57) 청구의 범위

청구항 1.

타이머 프로세서(22)에 있어서:

제 1 타이머 버스(71);

제 2 타이머 버스(72);

복수의 타임베이스 선택 신호들(50);

제 1 타임베이스 값을 발생하기 위한 제 1 타임베이스 채널(80중의 하나)로서, 상기 제 1 타임베이스 채널(80중의 하나)은 복수의 타임베이스 선택 신호들(50)에 결합되는, 상기 제 1 타임베이스 채널(80중의 하나);

제 2 타임베이스 값을 발생하기 위한 제 2 타임베이스 채널(81중의 하나)로서, 상기 제 2 타임베이스 채널(81중의 하나)은 상기 복수의 타임베이스 선택 신호들에 결합되는, 상기 제 2 타임베이스 채널(81중의 하나);

상기 제 1 타임베이스 채널(80중의 하나)에 대응하여, 상기 제 1 및 제 2 타임베이스 채널(80, 81)중의 하나를 선택하고, 상기 제 1 타임베이스 채널(80중의 하나)이 선택되면, 상기 제 1 타이머 버스(71)를 상기 제 1 타임베이스 값으로 구동하는 제 1 타이머 버스 제어 채널(61)로서, 상기 제 1 타이머 버스 제어 채널(61)은 상기 제 1 타이머 버스(71)와 상기 복수의 타임베이스 선택 신호들(50)에 결합되는, 상기 제 1 타이머 버스 제어 채널(61);

상기 제 2 타임베이스 채널(81중의 하나)에 대응하여, 상기 제 2 타임베이스 채널(81중의 하나)이 선택되면 상기 제 1 타이머 버스(71)를 상기 제 2 타임베이스 값으로 구동하는 제 2 타이머 버스 제어 채널(62)로서, 제 2 타이머 버스 제어 채널(62)은 상기 제 1 타이머 버스(71)와 상기 복수의 타임베이스 선택 신호들(50)에 결합되는, 상기 제 2 타이머 버스 제어 채널(62);

핀과 상태 정보를 제공하기 위한 핀/상태 버스;

상기 핀/상태 버스에 의한 상기 핀과 상태 정보의 전송을 제어하기 위한 핀 제어 채널(52);

상기 제 1 타임베이스 값은 수신하기 위해 상기 제 1 타이머 버스(71)에 결합되고, 상기 핀과 상태 정보를 수신하기 위해 상기 핀/상태 버스에 결합되는 제 1 워크 채널(57); 및

제 3 타임베이스 값을 수신하기 위해 상기 제 2 타이머 버스(72)에 결합되고, 상기 핀과 상태 정보를 수신하기 위해 상기 핀/상태 버스에 결합되는 제 2 워크 채널(56)을 포함하는, 타이머 프로세서.

청구항 2.

집적 회로 타이머(22)에 있어서;

제 1 타이머 버스(71);

제 1 타임베이스 값을 발생하기 위한 제 1 타임베이스 채널(80중의 하나);

제 2 타임베이스 값을 발생하기 위한 제 2 타임베이스 채널(81중의 하나);

상기 제 1 타임베이스 채널(80중의 하나)에 대응하여, 상기 제 1 및 제 2 채널 타임베이스 채널들(80, 81)중의 하나를 선택하고, 상기 제 1 타임베이스 채널(80중의 하나)이 선택되면, 상기 제 1 타이머 버스(71)를 상기 제 1 타임베이스 값으로 구동하기 위한 제 1 타이머 버스 제어 채널(61); 및

상기 제 2 타임베이스 채널(81중의 하나)에 대응하여, 상기 제 2 타임베이스 채널(81중의 하나)이 선택되면 상기 제 1 타이머 버스(71)를 상기 제 2 타임베이스 값으로 구동하기 위한 제 2 타이머 버스 제어 채널(62)을 포함하는, 집적 회로 타이머.

청구항 3.

집적 회로 타이머(22)에 있어서;

복수의 데이터 컨터터들(435);

제 1 데이터 값을 저장하기 위한 제 1 데이터 저장 회로(403)를 포함하는 상기 제 1 타이머 채널(400); 및

제 2 데이터 저장 회로(404)와, 상기 제 1 데이터 저장 회로로부터 상기 제 2 데이터 저장 회로에의 상기 제 1 데이터 값의 전송을 제어하기 위한 전송 회로(408)를 포함하는 제 2 타이머 회로(404)로서, 상기 제 1 데이터 값을 상기 복수의 컨터터들에 의해 전송되는, 상기 제 2 타이머 채널(404)을 포함하며,

상기 제 1 및 제 2 타이머 채널들(400, 404)중의 제 1 채널은 상기 제 1 데이터 값에 관련하는 타이머 기능을 수행하고, 상기 제 1 및 제 2 타이머 채널들(400, 404)중의 제 2 채널은 상기 제 1 데이터 값에 관련하는 어떤 타이머 기능도 수행하지 않고 상기 제 1 데이터 값을 저장하는, 집적 회로 타이머.

청구항 4.

타이머 프로세서(22)에 있어서;

제 1 집적 회로 본딩 패드(110중의 하나);

제 2 집적 회로 본딩 패드(111중의 하나);

제 1 워크 채널(101);

제 2 워크 채널(102);

제 3 워크 채널(103);

제 1 핀/상태 버스로서,

제 1 핀 정보 컨덕터(112중의 하나)와;

제 1 핀/상태 정보 컨덕터(113중의 하나)를 포함하는, 상기 제 1 핀/상태 버스; 및

제 2 핀/상태 버스로서,

제 2 핀 정보 컨덕터(114중의 하나)와;

제 2 핀/상태 정보 컨덕터(115중의 한 컨덕터)를 포함하는, 상기 제 2 핀/상태 버스를 포함하며,

상기 제 1 핀 정보 컨덕터(112중의 하나)를 통하여 상기 제 1 워크 채널(101)과 상기 제 1 집적 회로 본딩 패드(110중의 하나) 사이에서 정보를 선택적으로 전송하고, 상기 제 1 핀/상태 정보 컨덕터(113중의 하나)를 통하여 상기 제 1 워크 채널(101)과 상기 제 2 집적 회로 본딩 패드(111중의 하나) 사이에서 정보를 선택적으로 전송하고, 상기 제 1 핀/상태 컨덕터(113중의 하나)를 통하여 상기 제 1 워크 채널(101)과 상기 제 2 워크 채널(102) 사이에서 정보를 선택적으로 전송하고, 상기 제 1 및 제 2 핀/상태 컨덕터들(113, 115)을 통하여 상기 제 1 워크 채널(101)과 상기 제 3 워크 채널(103) 사이에서 정보를 선택적으로 전송하기 위한 제어 수단(105, 106, 107)으로서, 상기 제어 수단(105, 106, 107)은 상기 제 1 및 제 2 집적 회로 본딩 패드들(110, 111), 상기 제 1 및 제 2 및 제 3 워크 채널들(101, 102, 103), 및 상기 제 1 및 제 2 핀/상태 버스들에 결합되는, 상기 제어 수단(105, 106, 107)을 포함하는, 타이머 프로세서.

청구항 5.

집적 회로 타이머(22)에 있어서:

제 1 복수의 워크 채널들(206);

상기 제 1 복수의 워크 채널들(206)의 각각에 결합된 제 1 로컬 버스(218);

제 2 복수의 워크 채널들(205);

상기 제 2 복수의 워크 채널들(205)의 각각에 결합된 제 2 로컬 버스(217); 및

상기 제 1 복수의 워크 채널들(206)중 적어도 하나에 선택적으로 결합되고, 상기 제 2 복수의 워크 채널들(205)중 적어도 하나에 선택적으로 결합되는 글로벌 통신 버스(200)로서, 상기 글로벌 통신 버스(200)는 상기 제 1 복수의 워크 채널들(206)중 적어도 하나로부터 타이밍 신호를 수신하고, 상기 제 2 복수의 워크 채널들(205)중 적어도 하나에 타이밍 신호를 제공하는, 상기 글로벌 통신 버스(200)를 포함하는, 집적 회로 타이머.

청구항 6.

집적 회로 타이머(22)에 있어서:

제 1 워크 채널(160);

제 2 워크 채널(161);

상기 제 1 워크 채널(160)로부터 제 1 설정 값을 수신하고, 상기 제 2 워크 채널(161)로부터 제 2 설정 값을 수신하고, 결과 설정 값을 제공하기 위한 설정 컨덕터 수단(157)으로서, 상기 설정 컨덕터 수단(157)은 상기 제 1 및 제 2 워크 채널들(160, 161)에 결합되는, 상기 설정 컨덕터 수단(157);

상기 제 1 워크 채널(160)로부터 제 1 클리어 값을 수신하고, 상기 제 2 워크 채널(161)로부터 제 2 클리어 값을 수신하고, 결과 클리어 값을 제공하기 위한 클리어 컨덕터 수단(158)으로서, 상기 클리어 컨덕터 수단(158)은 상기 제 1 및 제 2 워크 채널들(160, 161)에 결합되는, 상기 클리어 컨덕터 수단(158);

상기 제 1 워크 채널(160)로부터 제 1 토글 값을 수신하고, 상기 제 2 워크 채널(161)로부터 제 2 토글 값을 수신하고, 결과 토글 값을 제공하기 위한 토글 컨덕터 수단(159)으로서, 상기 토글 컨덕터 수단(159)은 상기 제 1 및 제 2 워크 채널들(160, 161)에 결합되는, 상기 토글 컨덕터 수단(159); 및

상기 결과 설정 값, 상기 결과 클리어 값, 및 상기 결과 토글 값을 수신하기 위한 제어 수단(64)으로서, 상기 제어 수단(64)은, 상기 결과 설정 값, 상기 결과 클리어 값 및 상기 결과 토글 값에 의해 상기 출력 신호의 논리 상태가 결정되도록 출력 신호(168)를 제공하고, 상기 제어 수단(64)은 상기 설정 컨덕터(157), 상기 클리어 컨덕터(158) 및 상기 토글 컨덕터(159)에 결합되는, 상기 제어 수단(64)을 포함하는, 집적 회로 타이머.

청구항 7.

집적 회로 타이머(280)에 있어서:

제 1 타임베이스 값을 전송하기 위해 제 1 타임베이스 버스(71 또는 271)를 가지는 제 1 타이머 모듈(281);

제 2 타임베이스 값을 전송하기 위해 제 2 타임베이스 버스를 가지는 제 2 타이머 모듈(282);

상기 제 1 및 제 2 타이머 모듈들(281, 282)중의 하나에 의해 발생되는 클록 신호를 전송하기 위한 클록 컨덕터(328)로서, 상기 클록 컨덕터(328)는 상기 제 1 및 제 2 타이머 모듈들(281, 282)에 결합되는, 상기 클록 컨덕터(328); 및

상기 제 1 및 제 2 타이머 모듈들(281, 282)중의 하나에 의해 표명되는 동기 신호를 전송하는 동기 컨덕터(329)로서, 상기 동기 컨덕터는 상기 제 1 및 제 2 타이머 모듈들(281, 282)에 결합되는, 상기 동기 컨덕터(329)를 포함하며,

상기 제 1 타이머 모듈(281)은,

상기 제 1 타임베이스 값을 발생하기 위한 제 1 타임베이스 카운터(320)로서, 상기 제 1 타임베이스 카운터(320)는 상기 클록 신호에 의해 증가 및 감소되고, 상기 제 1 타임베이스 카운터(320)는 상기 동기 신호가 표명될 때 소정값으로 로드되는, 상기 제 1 타임베이스 카운터(320)를 포함하고,

상기 제 2 타이머 모듈(282)은,

상기 제 2 타임베이스 값을 발생하기 위한 제 2 타임베이스 카운터(321)로서, 상기 제 2 타임베이스 카운터(321)는 상기 클록 신호에 의해 증가 및 감소되고, 상기 제 2 타임베이스 카운터(321)는 상기 동기 신호가 표명될 때 소정값으로 로드되는, 상기 제 2 타임베이스 카운터(321)를 포함하는, 집적 회로 타이머.

청구항 8.

집적 회로 타이머(22)에 있어서:

제 1 타이머 채널(55);

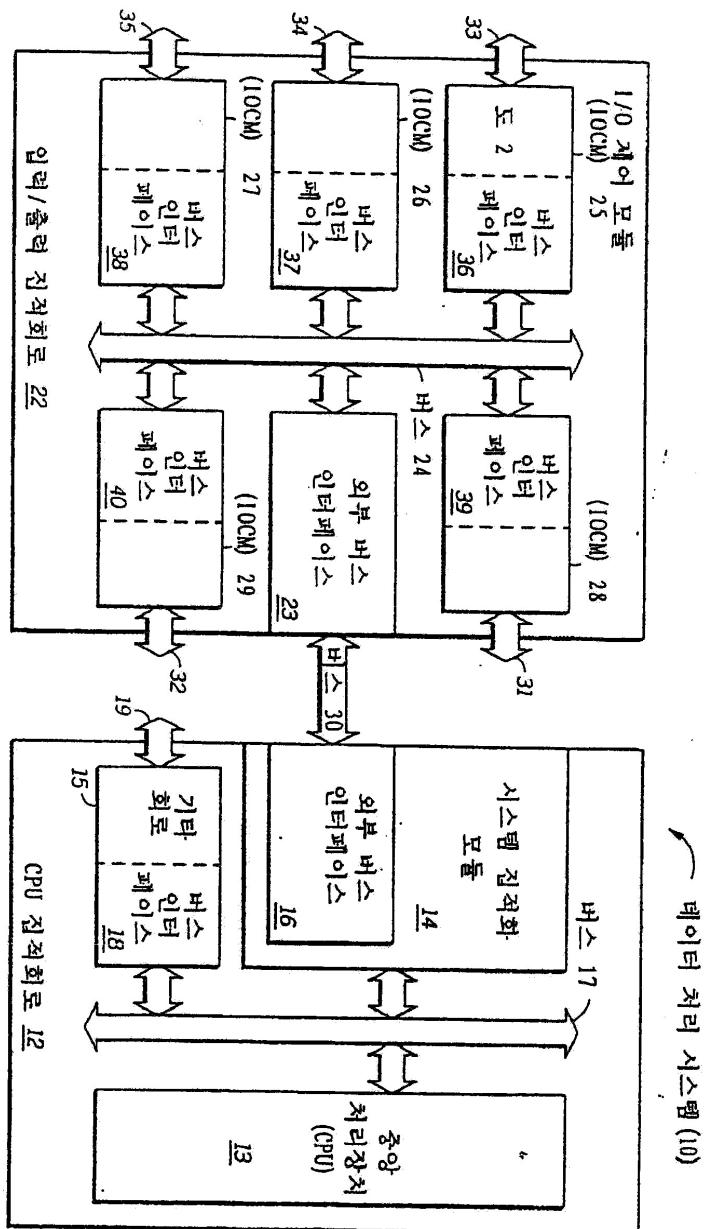
제 2 타이머 채널(57);

제 1 시간 기간동안 제 1 타임베이스 값을 전송하고, 제 2 시간 기간동안 제 2 타임베이스 값을 전송하기 위한 타이머 버스 컨덕터 수단(71)으로서, 상기 타이머 버스 컨덕터 수단(71)은 상기 제 1 및 제 2 타이머 채널들(55, 57)에 결합되는, 상기 타이머 버스 컨덕터 수단(71); 및

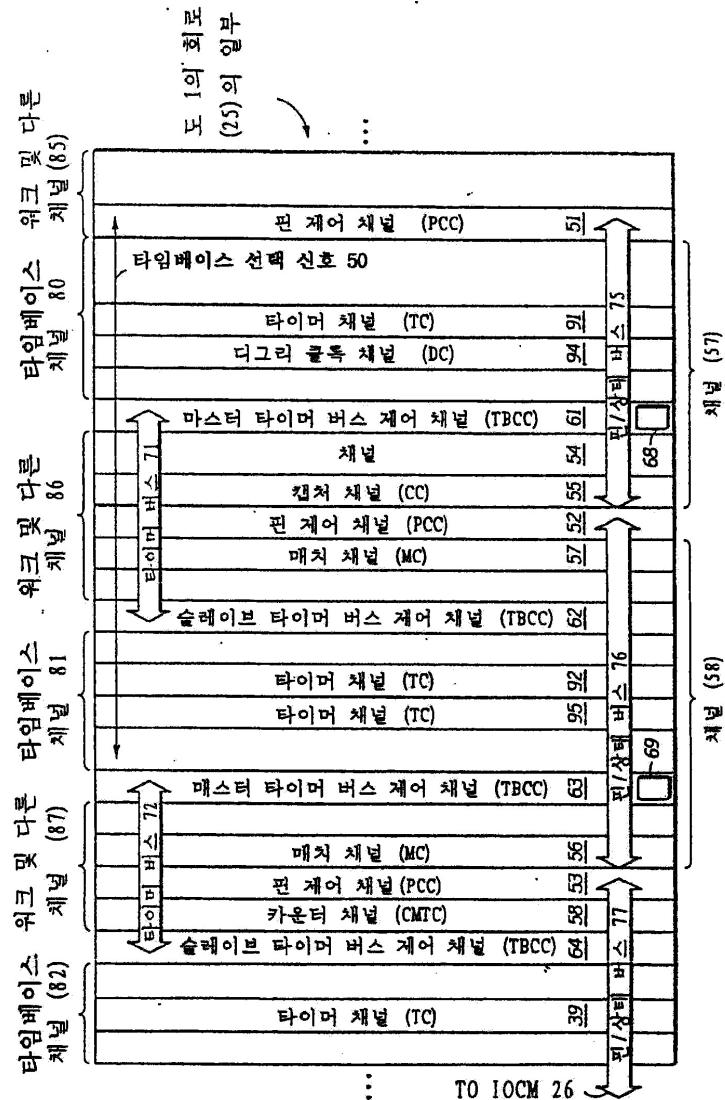
상기 제 1 타임베이스 값을 대응하는 제 1 태그 값을 전송하고, 상기 제 2 타임베이스 값을 대응하는 제 2 태그 값을 전송하기 위한 태그 컨덕터 수단(50)으로서, 상기 태그 컨덕터 수단(50)은 상기 제 1 및 제 2 타이머 채널들(55, 57)에 결합되는, 상기 태그 컨덕터 수단(50)을 포함하는, 집적 회로 타이머.

도면

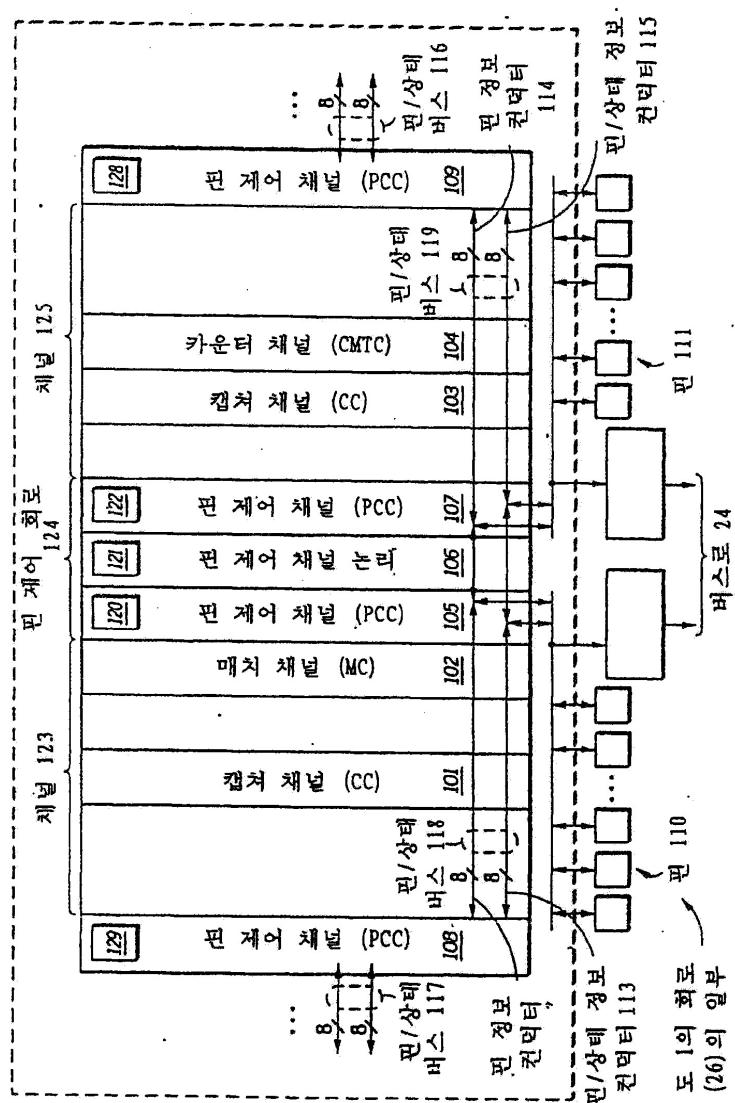
도면1



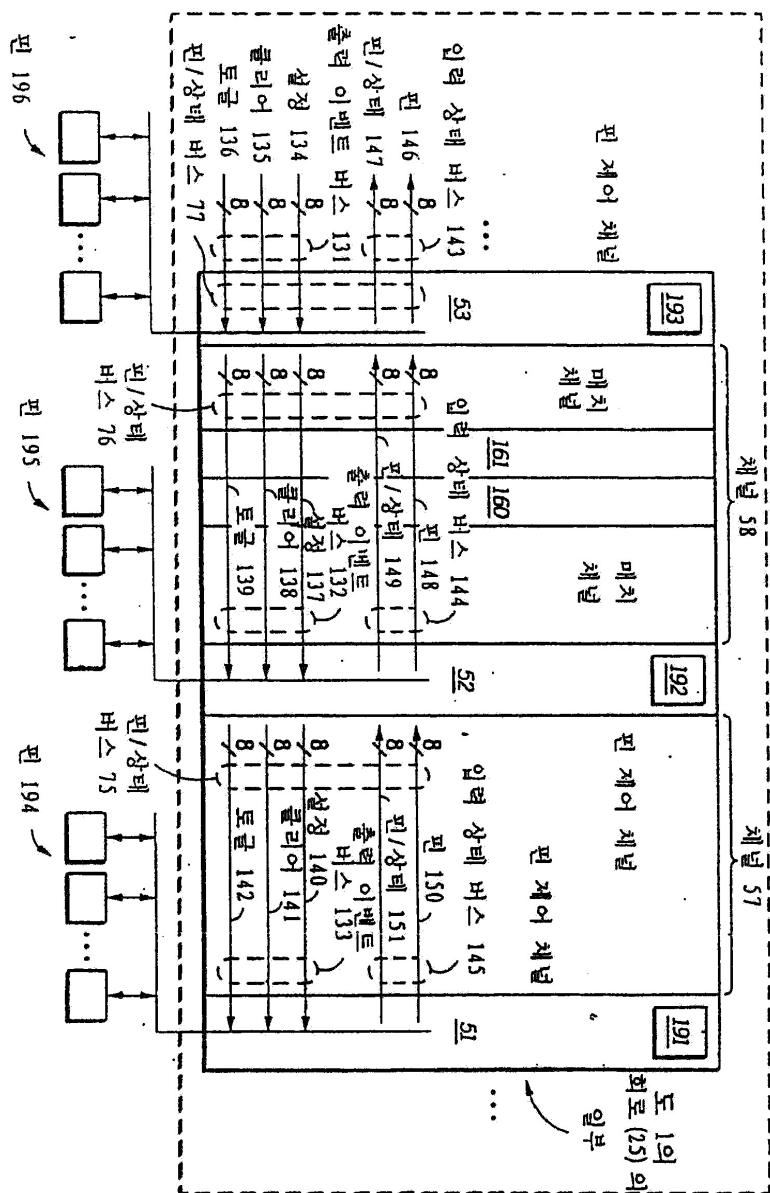
도면2



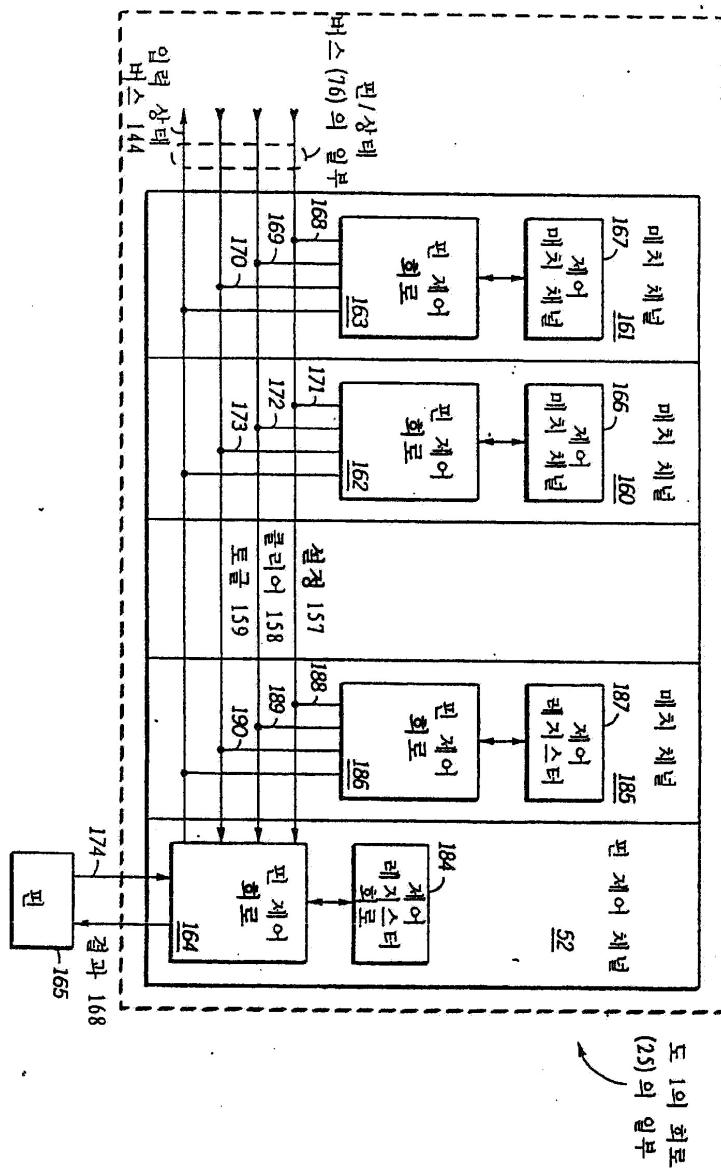
도면3



도면4



도면5



도면6

토글 컨덕터의 논리레벨	설정 컨덕터의 논리레벨	클리어 컨덕터의 논리레벨	결과 컨덕터의 현 논리레벨	결과 컨덕터의 다음 논리레벨
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

주의 :

논리레벨 '0'은 컨덕터(157-159)의 표명 상태이다.

논리레벨 '1'은 컨덕터(157-159)의 부정 상태이다.

도면7

제어 레지스터(166)의 일부				
32	핀 선택 제어 비트 <u>180</u>		핀 출력 자극 제어 비트 <u>182</u>	0
제어 레지스터(167)의 일부				
32	핀 선택 제어비트 <u>181</u>		핀 출력 자극 제어 비트 <u>183</u>	0

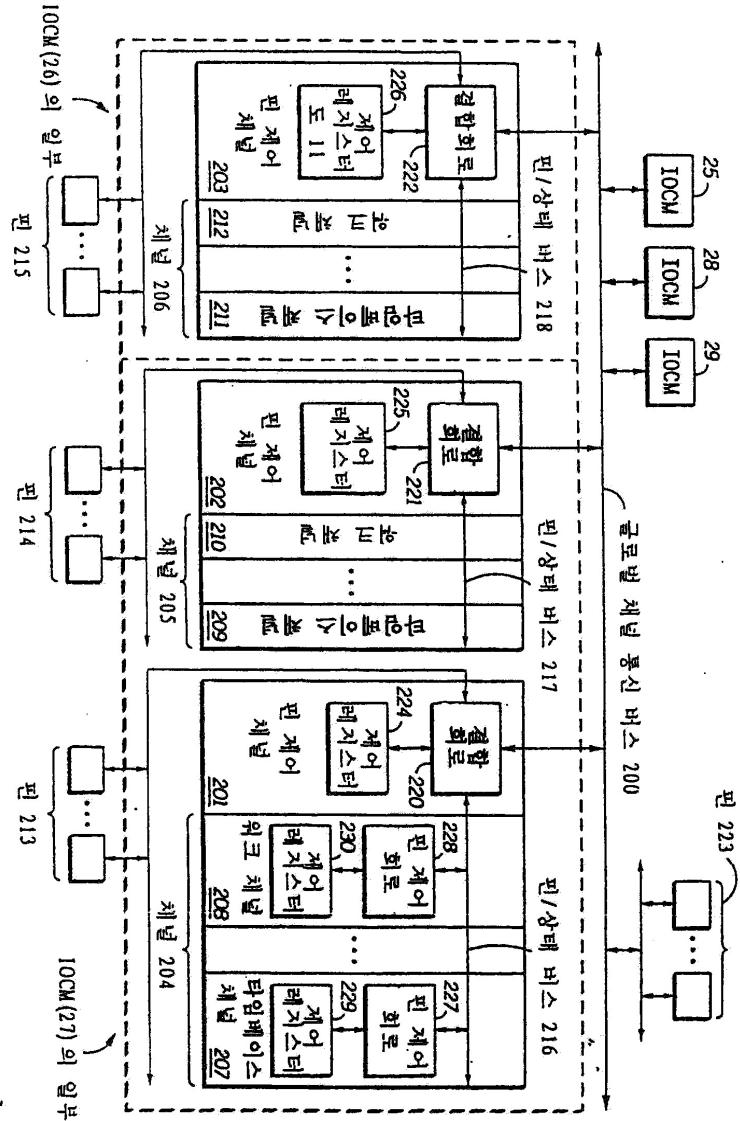
도면8

핀 출력 자극 제어 비트	기능
000	불능
001	상승
010	하강
011	토글
100	엔드-투-클리어
101	엔드-투-설정
110	오아-투-클리어
111	오아-투-설정

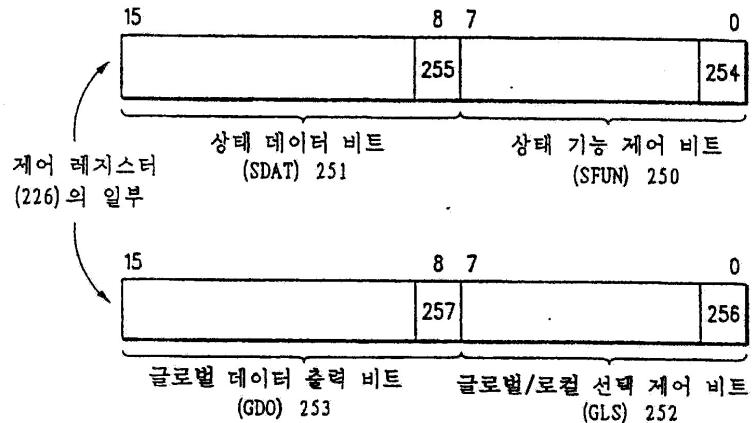
도면9

채널 출력의 논리 조합 (도 5를 보시오)									
매치 채널의 출력 160	매치 채널의 출력 161	핀 (165)의 논리 테이블							
		엔드-투-설정		오아-투-설정		엔드-투-클리어		오아-투-클리어	
		현재	다음	현재	다음	현재	다음	현재	다음
T	F	0	0	0	0	1	1	1	1
F	T	0	0	0	1	1	1	1	0
T	F	0	0	0	1	1	1	1	0
T	T	0	1	0	1	1	0	1	0

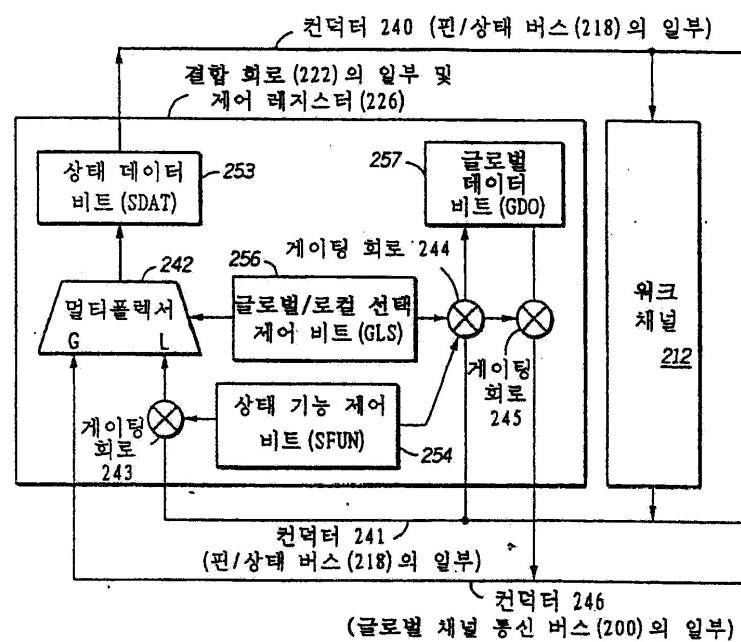
도면10



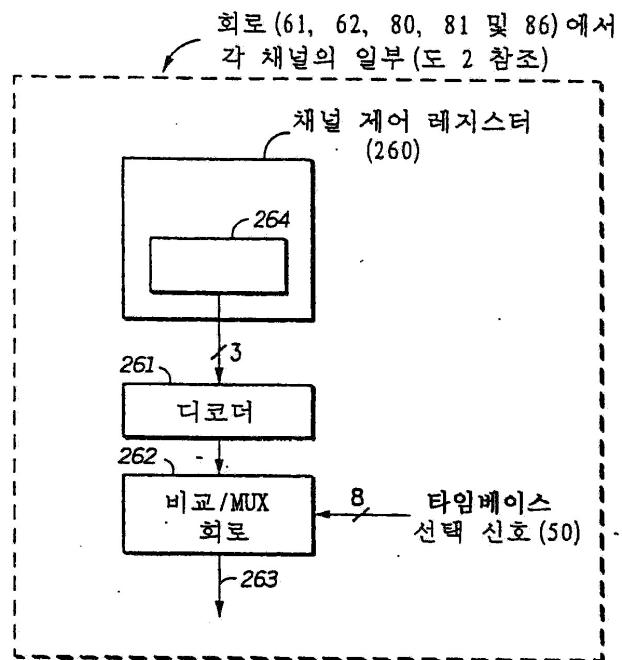
도면 11



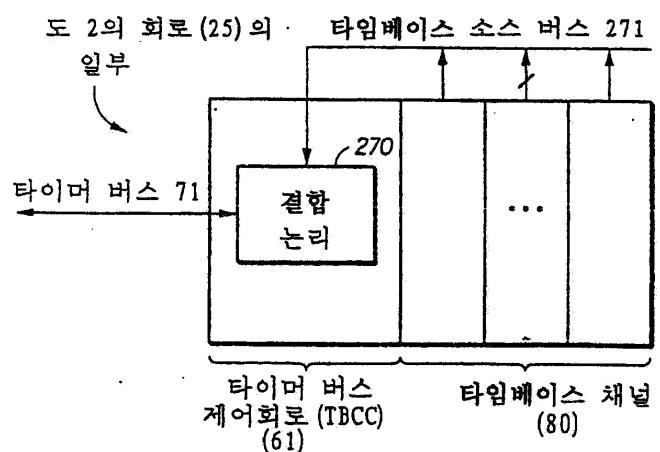
도면12



도면13



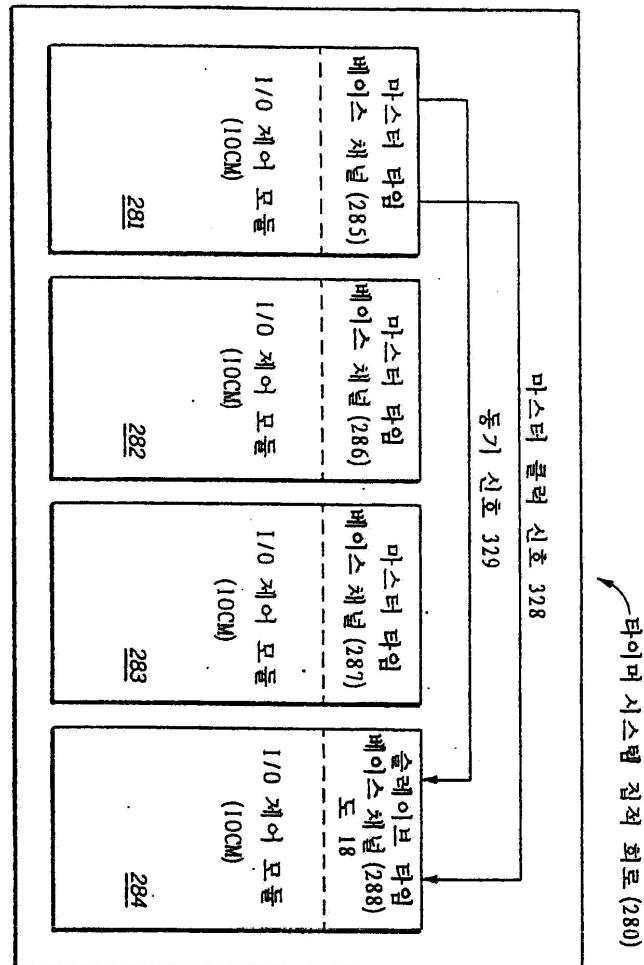
도면14



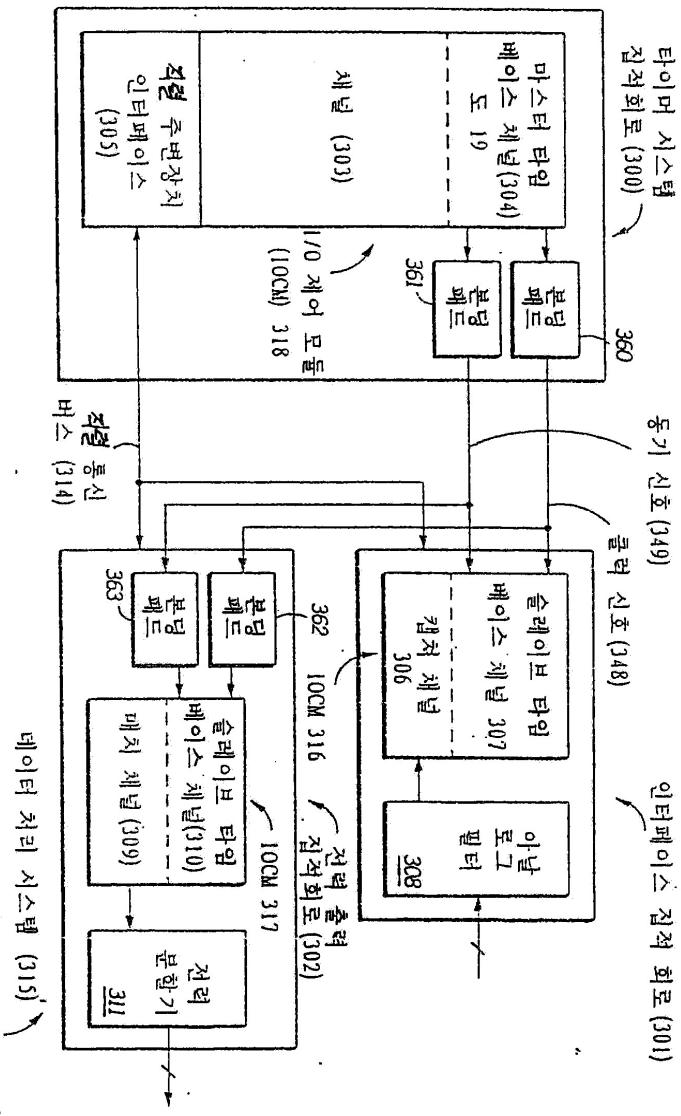
도면15

타이머 버스의 8개의 타임 슬롯을 이용하여 타임베이스 값(TB1 내지 TB2)을 공급하는 8개의 예								최대 해상도 (시스템 클럭)				
예	타임 슬롯 1	타임 슬롯 2	타임 슬롯 3	타임 슬롯 4	타임 슬롯 5	타임 슬롯 6	타임 슬롯 7	타임 슬롯 8	2	4	8	16
1	TB1	TB1	TB1	TB2	TB1	TB1	TB2	TB1	TB1	TB1-2	TB1-3	TB1-4
2	TB1	TB2	TB1	TB2	TB1	TB2	TB1	TB3	TB1	TB1-2	TB2-3	TB1-4
3	TB1	TB2	TB1	TB3	TB1	TB2	TB1	TB3	TB1	TB1-2	TB2-3	TB1-4
4	TB1	TB2	TB3	TB4	TB1	TB2	TB3	TB4	TB1	TB1-2	TB3-6	TB1-4
5	TB1	TB2	TB3	TB4	TB1	TB2	TB3	TB5	TB1	TB1-3	TB4-5	TB1-5
6	TB1	TB2	TB3	TB4	TB1	TB2	TB5	TB6	TB1	TB1-2	TB2-7	TB1-6
7	TB1	TB2	TB3	TB4	TB1	TB5	TB6	TB7	TB1	TB1-8	TB2-8	TB1-8
8	TB1	TB2	TB3	TB4	TB5	TB6	TB7	TB8	TB1	TB1-8	TB2-8	TB1-8

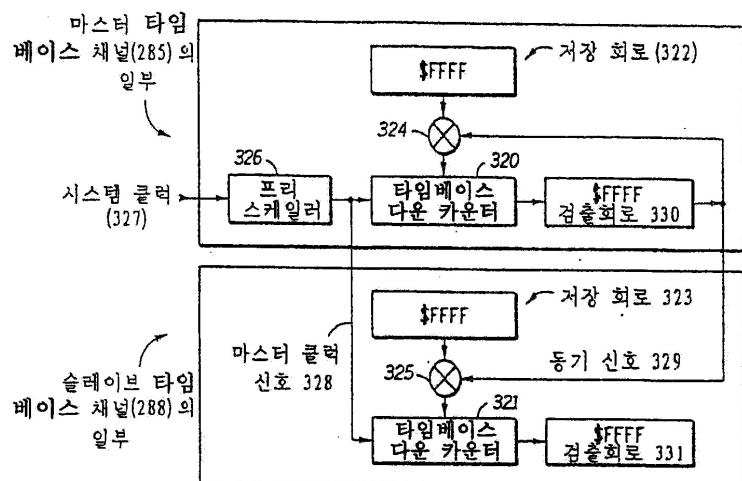
도면16



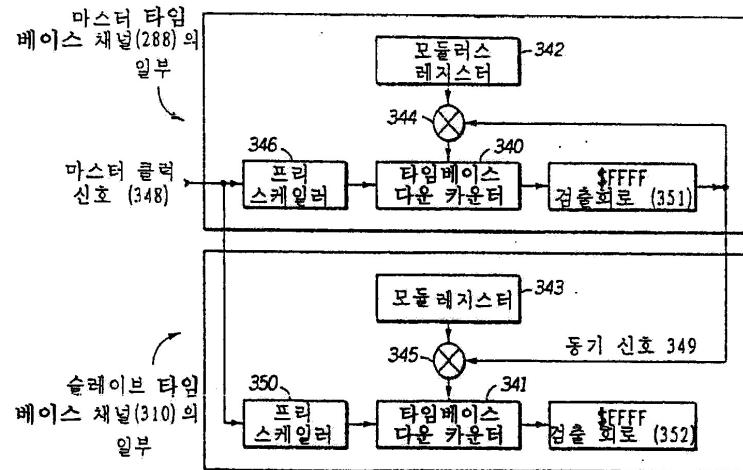
도면17



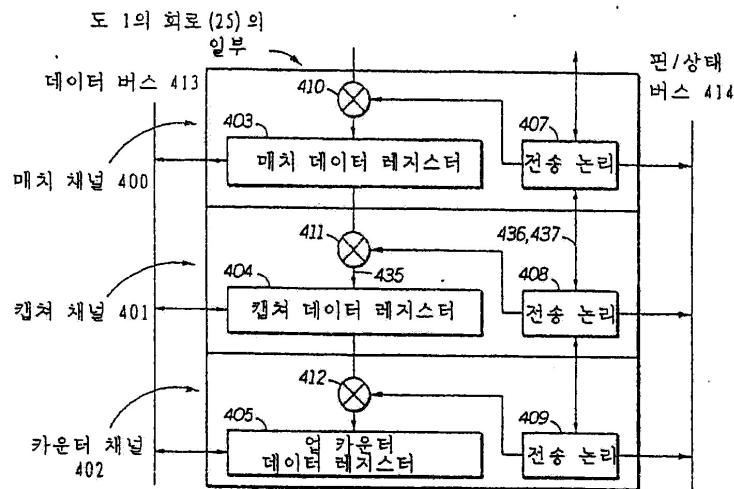
도면18



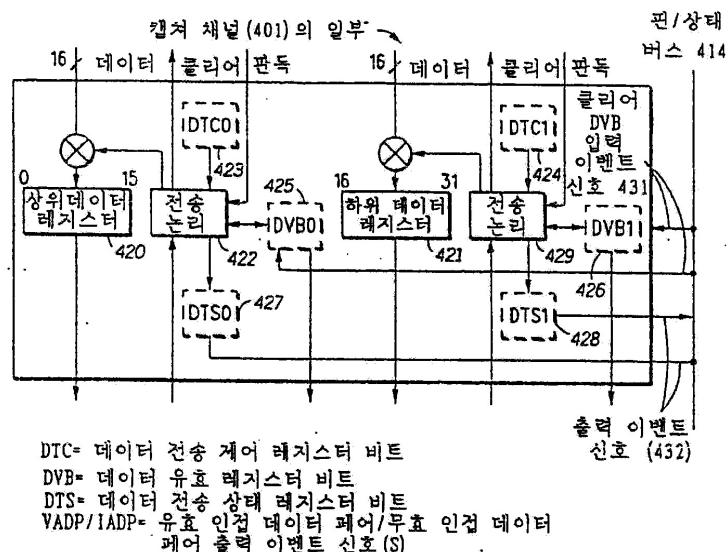
도면19



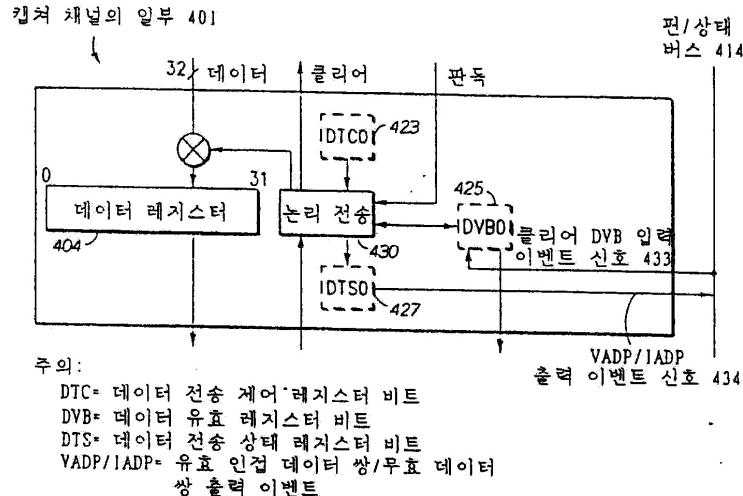
도면20



도면21



도면22



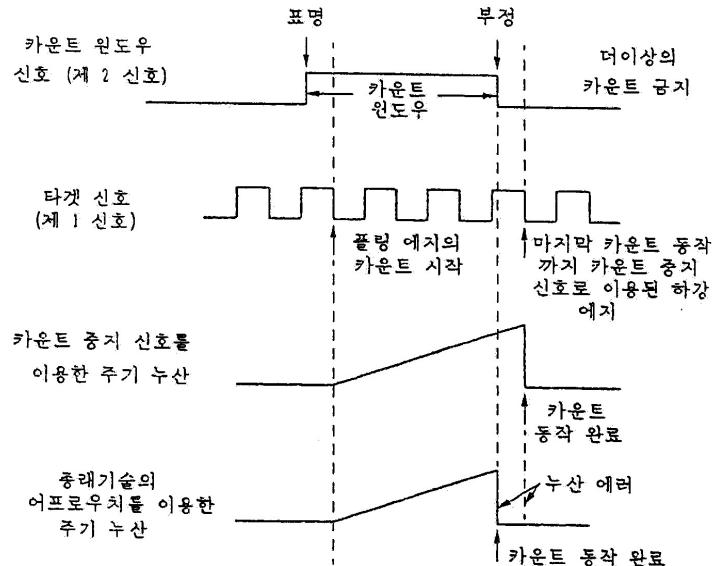
도면23

채널 타입	모드	데이터 유효 비트 셋 (DVB=1)			데이터 유효 비트 클리어 (DVB=0)		
		데이터 레지스터에 채널로 기록	정상 인접 채널로 기록	동작 꼴	판독 1 기록 DVB로	바닥 인접 채널로 전송	동작 꼴
매치	매치	X			X	X	X
	전송	X	X		X	X	
	매치 전송	X	X		X	X	X
캡처	캡처	X		X	X	X	
	전송	X	X		X	X	
업 카운터	카운트	X		X	X	X	
	전송	X	X		X	X	
다운/업 카운터	카운트/전송			업 카운터	X	X	

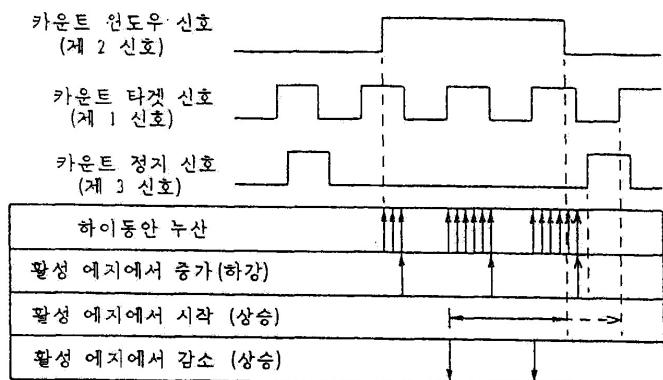
도면24

데이터 전송 제어 비트의 논리 레벨 (DTC)	대응하는 데이터 전송 동작
0 0	불가능
0 1	출력 이벤트로 인에이블되지 않음
1 0	유효 인접 데이터 쌍 검출 출력 이벤트로 인에이블됨
1 1	유효 인접 데이터 쌍 검출 출력 이벤트로 인에이블됨

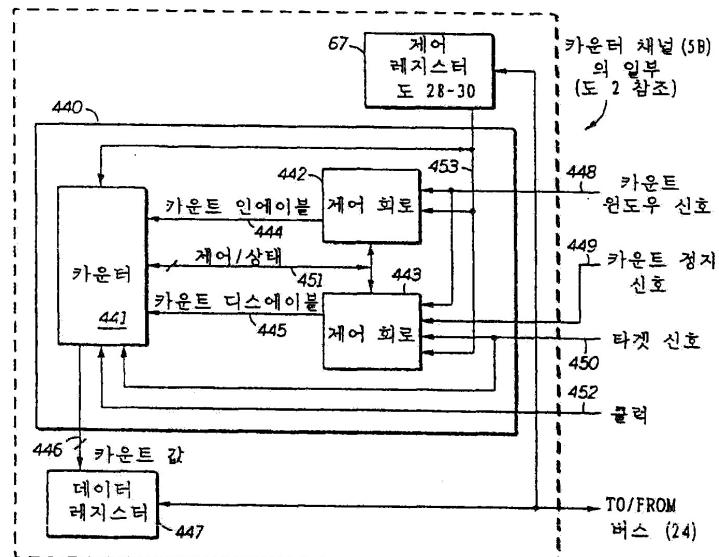
도면25



도면26



도면27



도면28

비트 수:

제어 레지스터 (67) 의 일부

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
16/B 및 24/32	CCS 470	DTC 471		CLK 472	SCC 473		CI 474		CIEL 475						

비트 수:

469

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
		USI/MTI/CDVI 476						CZO/WTO/DTO 478							

보존됨

보존됨

보존됨

CZOEL/

WTOEL/DTOE
479USIE/MTIE/
CDVE
477

16/8 및 24/32: 16-비트, 8-비트 및 24-비트, 또는 32-비트 동작

CCS : 카운터 클럭 선택

USIE/MTIE/CDVE: 업 카운트 정지

DTC : 데이터 전송 제어

입력 에지/모듈러스 전송 입력 에지/
클리어 데이터 유효 에지

CLK : 클럭 소스 선택

CZO/WTO/DTO: 영까지 카운트 출력

SCC : 단일/연속 카운트 동작

원도우 터미네이션 출력/데이터
전송 출력

CI : 카운트 입력

CZOEL/WTOEL/DTOE: 영까지 카운트
출력 에지 또는 논리 동작 /원도우
터미네이션 출력 에지 또는 논리 동작
데이터 전송 출력 에지CIEL : 카운트 입력 에지 또는
레벨
USI/MTI/CDVI : 업 카운트 정지
입력/모듈 전송 입력/클리어
데이터 유효 입력

데이터 유효 입력

도면29

비트 수 :

제어 레지스터 (67) 의 일부

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
CM 480	CWE 481	WTOC 482	OFC 483	LCE 485	보존됨		CWI 484	보존됨							

CM : 카운터 모드

OFC : 오버플로우 제어

CWE : 카운트 원도우 인에이블

CWI : 카운트 원도우 입력

WTOC : 원도우 터미네이션 출력
제어

도면30

비트 수:

제어 레지스터 (67) 의 일부

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
보존됨					WTS 490			DVB 493							

USIS/MTS/CDVS
491CZS/DTS
492

WTS : 원도우 터미네이션 상태

CZS/DTS : 제로 상태까지 카운트/
데이터 전송 상태

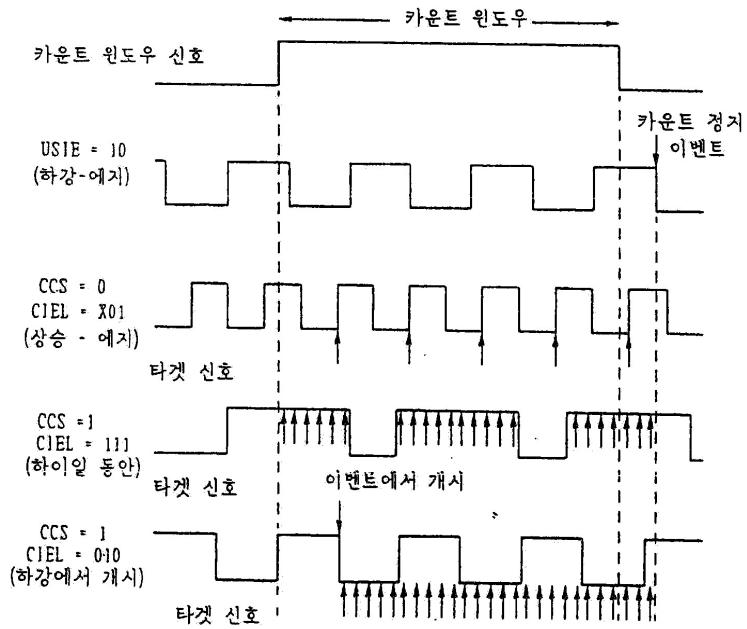
USIS/MTS/CDVS : 업 카운트 정지

DVB : 데이터 유효 비트

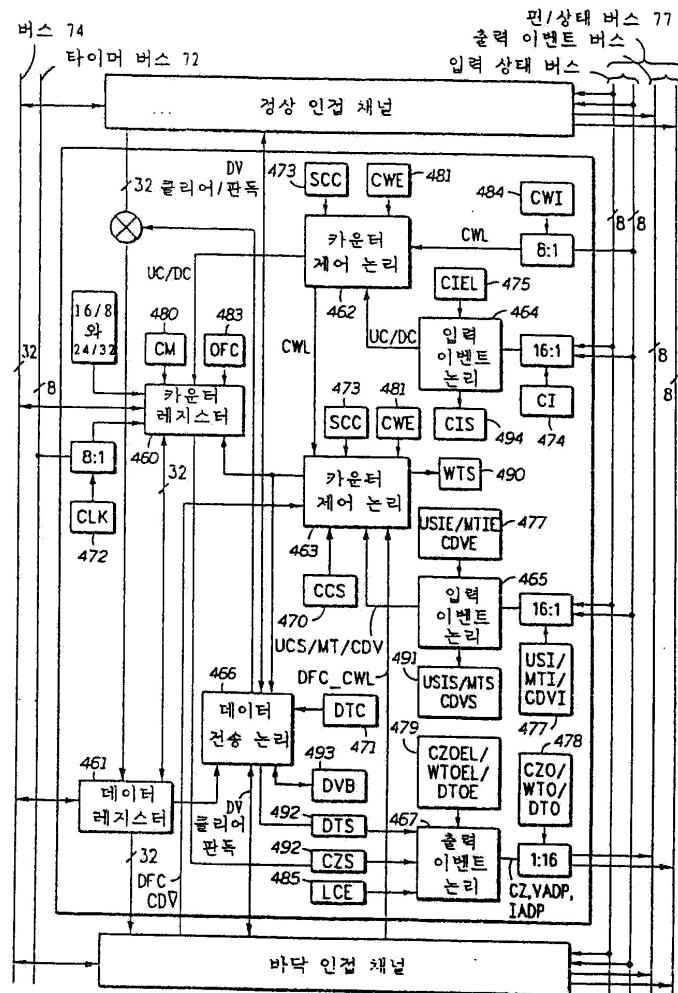
입력 상태/모듈러스 전송 상태/
클리어 데이터 유효 상태

CIS : 카운트 입력 상태

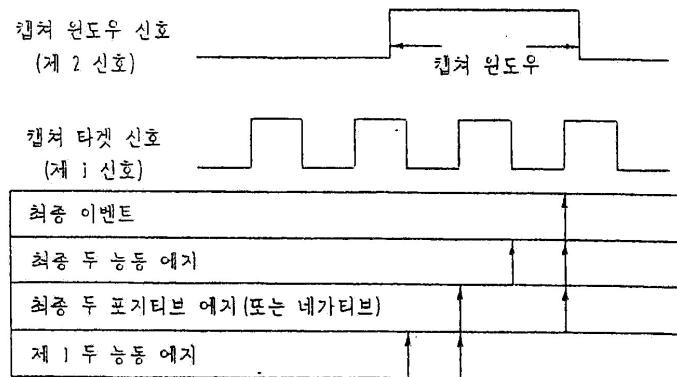
도면31



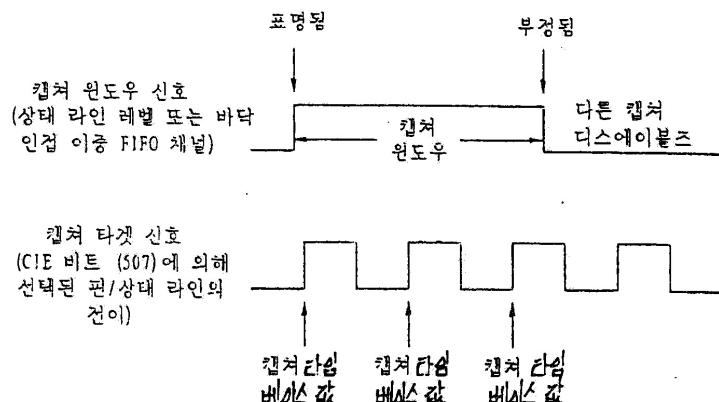
도면32



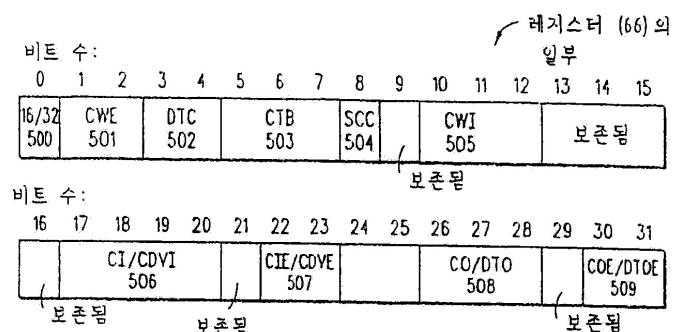
도면33



도면34



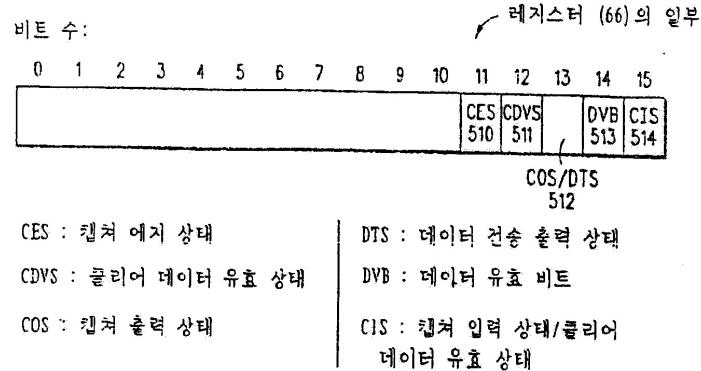
도면35



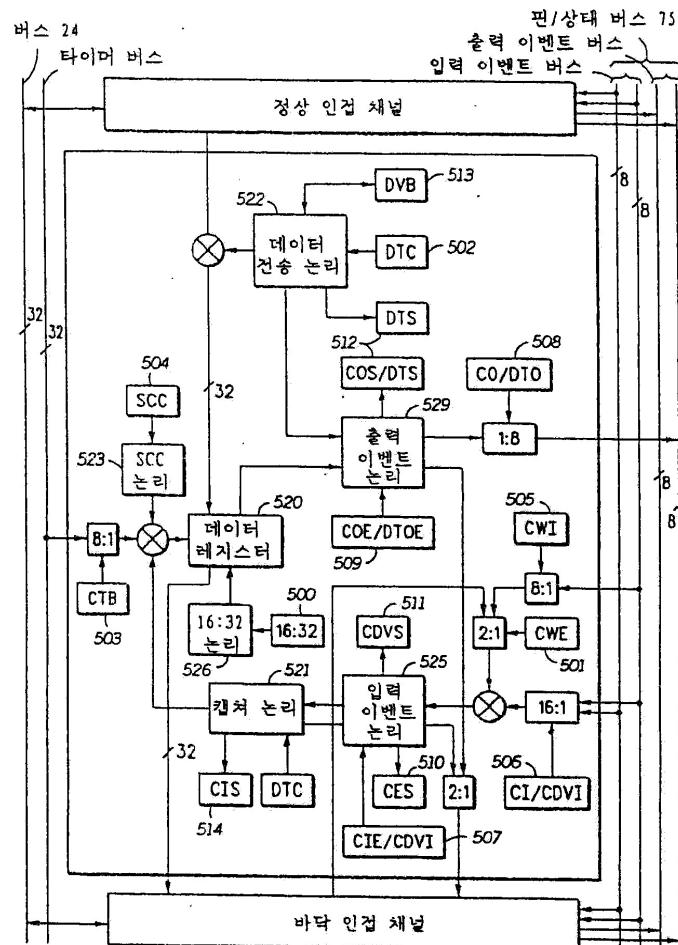
16:32 16-비트 또는 32-비트
기능
CWE : 캡쳐 윈도우 인에이블
DTC : 데이터 전송 제어
CTB : 캡쳐 탄압 베이스
SCC : 단일/연속 캡쳐
CWI : 캡쳐 윈도우 입력

CI/CDVI : 캡쳐 입력/클리어
데이터 유효 입력
CIE/CDVE: 캡쳐 입력 에지/
클리어 데이터 유효 에지
CO/DTO : 캡쳐 출력/
데이터 전송 출력
COE/DTOE : 캡쳐 출력 에지/
데이터 전송 출력 에지

도면36



도면37



도면38

레지스터 (65)의 일부

비트 수:

0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15

12/16/32 529	보존됨	MTB 530	SCM 531	보존됨
-----------------	-----	------------	------------	-----

비트 수:

16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31

보존됨	MO 532	MOE 533
-----	-----------	------------

12/16/32 : 12-비트/16비트/

또는 32-비트 동작

MTB : 매치 탐색 버스

SCM : 단일/연속 매치

MOE : 매치 출력 예지

MO : 매치 출력

도면39

레지스터 (65)의 일부

비트 수:

0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15

보존됨	MS 534
-----	-----------

MS : 매치 상태

도면40

매치 채널 (57)의 일부

