

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第3区分  
 【発行日】平成23年5月6日(2011.5.6)

【公表番号】特表2003-510899(P2003-510899A)  
 【公表日】平成15年3月18日(2003.3.18)  
 【出願番号】特願2001-525914(P2001-525914)  
 【国際特許分類】  
   H 0 4 L  27/12           (2006.01)  
 【F I】  
   H 0 4 L  27/12                   B

【誤訳訂正書】

【提出日】平成23年3月14日(2011.3.14)

【誤訳訂正1】

【訂正対象書類名】明細書

【訂正対象項目名】発明の名称

【訂正方法】変更

【訂正の内容】

【発明の名称】PLLとデルタシグマ変調器とを有する無線送信器機構

【誤訳訂正2】

【訂正対象書類名】明細書

【訂正対象項目名】特許請求の範囲

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】 送信器回路手段であって、

位相検知器手段と加算手段と直列に配置された電圧制御発振器、そして、電圧制御発振器の出力を位相検知器の入力にフィードバックする制御可能分周器、を有すると位相ロックループと、

送信対象の情報に対応した変調信号を生成するように配置されたベースバンド変調ソースと、を有し、

前記送信器回路手段はその特徴的構成として、

前記変調信号を受け取って、前記信号を位相ロックループ内の残留変調と関連させることで1以上の変調訂正信号を発生させるように配置された変調関連回路手段と、

前記変調信号を受け取り、これからデルタシグマ制御信号を発生させるように配置されたデルタシグマ変調手段と、そして、

変調信号と変調訂正信号とを受け取り、これらに応じて、変調信号の振幅をスケーリングするように配置された変調振幅スケーリング手段と、を更に有し、

スケーリング後の変調信号は加算手段において位相ロックループに入力され、それによって、電圧制御発振器を変調して変調後RF出力信号を作らせ、

デルタシグマ制御信号は制御可能分周器に入力され、それによって、この分周比を制御し、その結果、制御可能分周器は、実質的に、位相検知器への入力における変調後RF出力信号から変調を取り除くように働く、

という送信器回路手段。

【請求項2】 基準周波数信号を生成するように配置された基準周波数ソースを更に有し、

前記位相検知器手段は、前記基準周波数信号を第2入力において受け取り、基準周波数信号と出力RF信号との間の相対位相誤差に応じた位相誤差信号を生成するように配置されていること、

を特徴とする請求項 1 に記載の送信器回路手段。

【請求項 3】 前記位相検知器手段は、更に、前記基準周波数信号と前記出力 RF 信号との相対位相を検知するように配置された位相誤差検知器手段と、

検知された位相誤差に応じて前記位相誤差信号を生成するように配置されたチャージポンプと、を有すること、

を特徴とする請求項 2 に記載の送信器回路手段。

【請求項 4】 チャージポンプを制御し、チャージポンプで生成された位相誤差信号の振幅をスケールリングするように配置されたチャージポンプスケールリング手段を更に有し、

前記チャージポンプスケールリング手段は、前記変調相関回路手段によって生成されるチャージポンプ訂正信号に対応すること、

を特徴とする請求項 3 に記載の送信器回路手段。

【請求項 5】 前記位相誤差信号を受け取って、フィルタ処理した後の位相誤差信号を前記加算手段に対し、前記手段への入力として出力するように配置されたローパスループフィルタを更に有すること、

を特徴とする請求項 2 乃至 4 のいずれかに記載の送信器回路手段。

【請求項 6】 プログラム可能な基準マルチプライア定数 P、及び、プログラム可能な分数周波数オフセット定数 F を格納するように配置された、少なくとも 1 つの格納手段と、

変調信号と定数 F との合計を求め、その結果をデルタシグマ変調器に出力するように配置された第 1 の加算器と、

デルタシグマ変調器からの出力と定数 P との合計を求めてデルタシグマ制御信号を提供するように配置された第 2 の加算器と、を更に有すること、

を特徴とする請求項 1 乃至 5 のいずれかに記載の送信器回路手段。

【請求項 7】 前記変調相関回路手段が、更に、

位相誤差信号を受け取り、前記信号を微分することで位相ロックループ内の残留変調に応じた周波数偏差信号を提供するように配置された微分器と、

前記ベースバンド変調ソースから変調信号を受け取り、前記変調信号をフィルタ処理していかなる低周波数成分も取り除くように配置されたハイパスフィルタと、

前記周波数偏差信号と前記フィルタ処理後変調信号とを受け取り、マスタ制御信号を出力するように配置された相関器と、

前記マスタ制御信号を受け取り、少なくとも、これに応じた前記変調訂正信号を生成するように配置された制御信号生成手段と、を有すること、

を特徴とする請求項 1 乃至 6 のいずれかに記載の送信器回路手段。

【請求項 8】 前記制御信号生成手段は、また、前記マスタ制御信号に応じた前記チャージポンプ訂正信号を生成すること、

を特徴とする請求項 7 に記載の送信器回路手段。

【請求項 9】 前記変調相関回路手段は、更に、

前記ベースバンド変調ソースからの前記変調信号出力に対し、前記ハイパスフィルタへの導入に先立って、1ビットの遅延を与えるように配置された遅延手段と、

前記相関器と前記制御信号生成手段との間に配置されたスイッチ手段であって、更に、前記ベースバンド変調ソースからの反転信号出力に応じて動作するように配置された前記スイッチ手段と、を有し、

前記スイッチ手段は、前記反転信号が1ビットの反復の発生を示す場合に開き、前記反転信号が1ビットの反転の発生を示す場合に閉じること、

を特徴とする請求項 7 又は 8 に記載の送信器回路手段。

【請求項 10】 前記変調相関回路手段は、更に、

前記ベースバンド変調ソース手段からの前記変調信号出力に対し、前記ハイパスフィルタへの導入に先立って、1ビットの遅延を与えるように配置された遅延手段と、

前記位相検知器手段と前記微分器との間に配置された第1のスイッチ手段と、そして、前記遅延手段の出力と前記ハイパスフィルタの入力との間に配置された第2のスイッチ手段と、を有し、

前記第1のスイッチ手段及び前記第2のスイッチ手段は、更に、前記ベースバンド変調ソースからの反転信号出力に応じて動作するように配置され、前記第1のスイッチ手段及び前記第2のスイッチ手段は、前記反転信号が1ビットの反復の発生を示す場合に開き、前記反転信号が1ビットの反転の発生を示す場合に閉じること、

を特徴とする請求項7又は8に記載の送信器回路手段。

【請求項11】 前記変調関連回路手段は、更に、

前記微分器の出力と前記相関器の入力との間で、前記周波数偏差信号をローパスフィルタ処理するように配置された第2のローパスフィルタを有すること、

を特徴とする請求項7乃至10のいずれかに記載の送信器回路手段。

【請求項12】 前記変調関連手段は、更に、

前記制御信号生成手段への入力の中で、前記マスタ制御信号をローパスフィルタ処理するように配置された第2のローパスフィルタを有すること、

を特徴とする請求項7乃至11のいずれかに記載の送信器回路手段。

【請求項13】 前記制御信号生成手段は、

マスタ制御信号を基準値  $a$  と比較して、前記マスタ制御信号が  $(+a)$  よりも大きい場合に第1の結果信号を出力するように配置された第1の比較器と、

マスタ制御信号を前記基準値  $a$  と比較して、前記マスタ制御信号が  $(-a)$  よりも小さい場合に第2の結果信号を出力するように配置された第2の比較器と、前記第1の結果信号に応じてデクリメントされ、前記第2の結果信号に応じてインクリメントされるように配置されたカウンタと、そして、

前記カウンタの値のアナログ信号表現を生成するデジタルアナログ変換器(DAC)と、を有し、

前記変調訂正信号は前記DACのアナログ出力から引き出されること、

を特徴とする請求項7乃至12のいずれかに記載の送信器回路手段。

【請求項14】 前記チャージポンプ訂正信号は前記DACの出力から引き出されること、

を特徴とする請求項13に記載の送信器回路手段。

【請求項15】 前記ハイパスフィルタ、前記ローパスフィルタ、そして前記第2のローパスフィルタは、それぞれが、デジタル式、アナログ式、又は切り替え型のキャパシタフィルタのうちいずれか1つであること、

を特徴とする請求項7乃至14のいずれかに記載の送信器回路手段。

【請求項16】 前記送信回路手段は位相変調後出力を提供すること、

を特徴とする請求項1乃至15のいずれかに記載の送信器回路手段。

【請求項18】 位相検知器手段と加算手段と直列に配置された電圧制御発振器、そして、電圧制御発振器への出力を位相検知器の入力にフィードバックするように配置された制御可能分周器、を有する位相ロックループにおいて、変調後RF出力信号を生成する方法であって、

当該方法は、送信対象の情報に対応した変調信号を生成するステップを有し、その特徴として、

デルタシグマ変調器において変調信号からデルタシグマ制御信号を生成するステップと、

変調信号を加算手段に入力して電圧制御発振器に変調を行わせて、前記発振器の出力としての変調後RF出力信号を作らせるステップと、

デルタシグマ制御信号を制御可能分周器に入力することで、これの分周比を制御するステップと、

制御可能分周器において、変調後RF出力信号を分周器の分周比に従って分周するステップと、

位相ロックループ内の残留変調を変調信号と相関させ、相関させた結果は変調訂正信号を発生させるのに用いられる、という相関ステップと、そして、

加算手段に入力された変調信号を変調訂正信号に応じてスケーリングするステップと、を更に有し、

前記分周するステップによって、実質的に、位相検知器への入力におけるRF出力信号から変調が取り除かれること、

を特徴とする方法。

【誤訳訂正3】

【訂正対象書類名】明細書

【訂正対象項目名】0011

【訂正方法】変更

【訂正の内容】

【0011】

このような選択肢の一つは二重変調を用いることである。二重変調を用いる目的は、全体の変調送信機能をPLLの送信機能から独立させることにある。この場合、変調帯域幅にはPLL帯域幅により限定されないため、広い帯域での変調が可能である。先行技術による二重変調T×機構を図2に示す。

【誤訳訂正4】

【訂正対象書類名】明細書

【訂正対象項目名】0015

【訂正方法】変更

【訂正の内容】

【0015】

VCO(7)はアンテナと同周波数であるために実質的なプリングが生じるので、低いループ帯域幅を使用することが必要になると、本機構の使用は大幅に制限される。又、二つの変調入力、アナログ手段により処理されるので、プロダクションスプレッドが生じる。従って、GMSKのように精度を要求する変調スキームには適さない。又、二重変調に関しては、一般的に、ループにおける両方の点において変調が平等に行われられない場合、変調の余り成分は、PLLの送信機能により送信される。その後、変調には歪みが生じてしまう。更に、PLLシンセサイザにおける典型的な問題として、PLLのサブブロックの各利得パラメタにおいて、PLLダイナミクスに大幅な許容スプレッドが生じることが挙げられる。この問題により、近代的な高速データレート無線通信システムにおける重要なパラメタであるノイズやスイッチ時間といった性能が劣化することになる。

【誤訳訂正5】

【訂正対象書類名】明細書

【訂正対象項目名】0022

【訂正方法】変更

【訂正の内容】

【0022】

図4は、米国特許5729182に開示される、上記二つの問題を克服する従来技術の機構を示す。以下の説明において、図1、2、及び3においてすでに説明した機構と同様の特徴をもつ構成要素に関しては、同じ参照番号を付与している。

図4に示すように、積分器(15)は、図2に示される機構と同様、合計手段(17)においてチャージポンプ(16)を変調することにより、発振器(7)を変調する効果を減じる変調を提供している。これは、変調のためのアナログ補間による単純分数Nについて説明している。位相の軌道が $2\pi$ 境界を越えた場合は、分周器N(13)は、VCO分周器に対するvoc位相の一サイクルを加える又は減じるべく、インクリメント又はデクリメントされる。変調経路のスケーリングを追跡してPLLにおける余りを出来るだけ少なくする為に、変調には、PLLと同様の送信機能により送信される。そして、この二つは、相関器(20)において乗算することによって相関付けされる。VOC利得(Kvo

c) が大きい場合、PLL送信機能フィルタ(19)によりフィルタリングされた後に変調を行うことにより、PLLの位相には変調余りが生じる。その結果、相関器(20)からは正の相関値が得られる。VOC変調が低すぎる場合は、相関器(20)における波形は逆位相となり、その結果、負の相関値が得られる。従って、相関器(20)による出力は、利得コントローラ21のスケーリングをインクリメント又はデクリメントするために使用することが出来る。このことは、PLLループ帯域幅と変調帯域幅のリンクが不要となるという点において、従来機構を超える主な利点である。従って、PLLループ帯域幅は、整定時間と、位相探知器や分周器によるノイズの影響との間で最適なトレードオフを選択することが出来るようになる。米国特許5729182も又、デルタシグマから変調を応用する可能性について言及しているが、変調の精度を保証するためにデルタシグマを使用する方法に関しては言及していない。デルタシグマを使用しない場合、何らかの形でのアナログ補間又は変調が必要となる。アナログ補間の場合、分数Nの変調における精度を実現するために、長期間にわたり補間を行わなければならない。この場合、相関器を正確に操作する唯一の方法として、フィルタ(19)を使用してPLLの応答をミラリングする必要がある。

【誤訳訂正6】

【訂正対象書類名】明細書

【訂正対象項目名】0023

【訂正方法】変更

【訂正の内容】

【0023】

上述の相関方法の利点を考慮に入れたとしても、従来技術には、以下に述べる大きな問題点が残る。

i) フィルタ(19)により、PLLの応答をミラリングする必要がある。更に上述の通り、PLLとミラリングされた応答の両方にプロダクションスプレッドが生じる。更に、異なる帯域や操作モード等に関して、バリエーションが必要となる。フィルタ(19)を使用してトラッキングを行うことは、特に送信器が内蔵されている場合に、実際上、大きな問題となる。

ii) DCを相関器入力から取り除くことによって、アナログ/デジタルコンバータ等の回路が更に必要となる。

iii) VCO利得のスプレッドは、PLLダイナミクスのスプレッドにつながり、結果として、PLLの整定時間や分周器及び探知器によるノイズの影響といった性能を劣化する。つまり、PLLのオープンループ位相マージンの不確定性により、クローズドループノイズピークの上昇やPLLのステップ応答時間の延長が生じる。

【誤訳訂正7】

【訂正対象書類名】明細書

【訂正対象項目名】0024

【訂正方法】変更

【訂正の内容】

【0024】

発明のサマリー

本発明は、高度に集積化されたトランシーバでの使用のために、高いレベルでの集積(integration)が可能な送信器回路手段を提供することを目的とする。

また、本発明は、繰り返し可能な変調精度に備える送信器回路手段であって、しかも、無線通信システムで使用される様々な変調フォーマットが適用可能となるような送信器回路手段を提供することを目的とする。

【誤訳訂正8】

【訂正対象書類名】明細書

【訂正対象項目名】0025

【訂正方法】変更

## 【訂正の内容】

## 【0025】

上記の目的を達成し、トリミングを必要としない精度変調を実現するために、本発明は、デルタシグマ変調器を2点変調と共に採用している。PLLの帯域幅を限定するために、補助アナログ変調器を用いなければならない。これについては、デルタシグマ変調器とアラインする必要がある。変調に合うようにループのトリミングを行うが、これは、PLL内の残余変調を変調後信号入力と関連させることで、電圧制御発振器の感度を変調に訂正することにより実現する。また、理想的な形としては、PLLの応答と共にプログラムされたフィルタを使ってフィルタ処理されるようにするべきである。しかしながら、PLL応答は、初期のPLLロックでは未知であろうから、変調相関ループについては、既知のPLL応答がなくても動作するように、特別な設計をしておく方が良いかもしれない。変調相関器の作用によって、送信器の通常動作を乱すことなく、変調及びPLL帯域幅が整えられる。

## 【誤訳訂正9】

【訂正対象書類名】明細書

【訂正対象項目名】0026

【訂正方法】変更

## 【訂正の内容】

## 【0026】

上記の内容に鑑み、本発明が提供するのは、送信器回路手段であって、  
位相検知器手段と加算手段と直列に配置された電圧制御発振器、そして、電圧制御発振器の出力を位相検知器の入力にフィードバックする制御可能分周器、を有すると位相ロックループと、  
送信対象の情報に対応した変調信号を生成するように配置されたベースバンド変調ソースと、を有し、  
前記送信器回路手段はその特徴的構成として、  
前記変調信号を受け取って、前記信号を位相ロックループ内の残留変調と関連させることで1以上の変調訂正信号を発生させるように配置された変調相関回路手段と、  
前記変調信号を受け取り、これからデルタシグマ制御信号を発生させるように配置されたデルタシグマ変調手段と、そして、  
変調信号と変調訂正信号とを受け取り、これらに応じて、変調信号の振幅をスケールリングするように配置された変調振幅スケールリング手段と、を更に有し、  
スケールリング後の変調信号は加算手段において位相ロックループに入力され、それによって、電圧制御発振器を変調して変調後RF出力信号を作らせ、  
デルタシグマ制御信号は制御可能分周器に入力され、それによって、この分周比を制御し、その結果、制御可能分周器は、実質的に、位相検知器への入力における変調後RF出力信号から変調を取り除くように働く、  
という送信器回路手段である。

## 【誤訳訂正10】

【訂正対象書類名】明細書

【訂正対象項目名】0027

【訂正方法】変更

## 【訂正の内容】

## 【0027】

更に、本発明は、位相検知器手段と加算手段と直列に配置された電圧制御発振器、そして、電圧制御発振器への出力を位相検知器の入力にフィードバックするように配置された制御可能分周器、を有する位相ロックループにおいて、変調後RF出力信号を生成する方法であって、

当該方法は、送信対象の情報に対応した変調信号を生成するステップを有し、その特徴として、

デルタシグマ変調器において変調信号からデルタシグマ制御信号を生成するステップと、  
、  
変調信号を加算手段に入力して電圧制御発振器に変調を行わせて、前記発振器の出力としての変調後 R F 出力信号を作らせるステップと、  
デルタシグマ制御信号を制御可能分周器に入力することで、これの分周比を制御するステップと、  
制御可能分周器において、変調後 R F 出力信号を分周器の分周比に従って分周するステップと、  
位相ロックループ内の残留変調を変調信号と関連させ、関連させた結果は変調訂正信号を発生させるのに用いられる、という関連ステップと、そして、  
加算手段に入力された変調信号を変調訂正信号に応じてスケーリングするステップと、  
を更に有し、  
前記分周するステップによって、実質的に、位相検知器への入力における R F 出力信号から変調が取り除かれること、  
を特徴とする方法を提供する。

【誤訳訂正 1 1】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 8

【訂正方法】変更

【訂正の内容】

【0 0 2 8】

また、本発明の送信器回路手段については、基準周波数信号を生成するように配置された基準周波数ソースを更に有しており、位相検知器手段は第 2 入力において基準周波数信号を受け取り、基準周波数信号を制御可能分周器からの出力 R F 信号と比較することで、両者の間の相対位相誤差に応じた位相誤差信号を生成するように配置されている、とするのが好ましい。また、好適な実施例としては、位相検知手段が更に、検知された位相誤差に応じて所定量の電荷を提供するように配置されたチャージポンプを有すると共に、チャージポンプで生成された位相誤差信号の振幅をスケーリングする形にチャージポンプを制御するように配置されたチャージポンプスケーリング手段を更に備え、当該チャージポンプスケーリング手段は、変調関連回路手段によって生成されるチャージポンプ訂正信号に対応すること、とする。また、チャージポンプを制御することによって、更に、位相ロックループ内の残余変調の制御が実現され、その結果、2 重点変調をより正確にアラインすることが可能となる。

【誤訳訂正 1 2】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 9

【訂正方法】変更

【訂正の内容】

【0 0 2 9】

また、好適な実施例として、変調関連回路手段は更に、位相検知手段から位相誤差信号を受け取り、前記信号を微分することで周波数偏差信号を提供するように配置された微分器を有する。また、加えて、ベースバンド変調ソースから変調信号を受け取り、変調信号をフィルタ処理していかなる低周波数成分も取り除くように配置されたハイパスフィルタを有し、フィルタ処理された変調信号は関連器を通され、当該関連器は、フィルタ処理された変調信号を周波数偏差信号と関連させてマスタ制御信号を出力する。さらに、これに続いて制御信号生成手段が、前記マスタ制御信号を受け取り、少なくとも変調振幅スケーリング手段の制御に用いられる変調訂正信号を生成する、という形で設けられている。また、好適な実施例はチャージポンプスケーリング手段を有しており、制御信号生成手段はまたチャージポンプ訂正信号を生成し、当該チャージポンプ訂正信号はチャージポンプを制御して、ここで生成された位相誤差信号をスケーリングさせる。ハイパスフィルタを組

み入れた形の好適な実施例が有する変調相関回路手段による効果は、高周波数のみを相関させることで、位相ロックループ帯域幅への影響を実質的に低減でき、変調の長いシーケンスが必要になる場合に比べて、相関器による誤差訂正がはるかに高速になるであろう、ということである。このようにすれば、2重点変調のより一層効果的なアラインが実現できる。

【誤訳訂正 13】

【訂正対象書類名】明細書

【訂正対象項目名】0030

【訂正方法】変更

【訂正の内容】

【0030】

本発明の効果は、位相ロックループが、基準を備えた単一のループと送信器発振器とだけで構成される、という点である。これは、集積化VCOが、電圧感度のチューニング中にかなり大きな許容不確実性を受けやすく、単一ループを用いることで、こうした不確実性の影響を小さくできるからである。

さらに、本発明の効果としては、PLL帯域幅よりも大きな変調帯域幅の使用を認めることで、非固定エンベロープ変調モードの位相変調後成分の提供のために本発明を用いることができる、ということがある。これは、GFSKシンセサイザとも仕較しうる複雑さのレベルを持って実現でき、それによって、低コストのマルチモード動作を実現することが可能な機構を可能とする。

【誤訳訂正 14】

【訂正対象書類名】明細書

【訂正対象項目名】0039

【訂正方法】変更

【訂正の内容】

【0039】

上記機能の全てはデジタルでもアナログでも、便宜のよい方で実施可能である。相関器フィルタ(30)の出力は、例えば図7に示すように、1対の比較器(36、37)に適用可能である。これらの比較器は、相関器の誤差の方向にしたがって、カウンタ(38)のインクリメントかデクリメントを行なう。このカウンタは、本発明で用いられる積分器を実施する唯一の方法であり、この代替手段としては、標準アナログ又はスイッチトキャパシタ積分手段がある。これらの選択は、シリコン領域または開始時間の使用が最適化されるかどうかによって設定される。このアップ/ダウンカウンタは、低解像デジタル-アナログ変換器(DAC)(34)によってアナログ電圧に変換される。DACは、変調訂正信号Kaを変調スケールリング手段(21)に供給する。また、DACは、チャージポンプ訂正信号Ipaをチャージポンプスケールリング手段(27)に供給する。制御信号の全体的な作用の結果、VOCの変調とデルタ-シグマ変調による変調が、位相検知器の入力において相殺し合うように、VCOに適用される変調の振幅をスケールリングする。このようにして自動アラインPLLが得られる。

【誤訳訂正 15】

【訂正対象書類名】明細書

【訂正対象項目名】0043

【訂正方法】変更

【訂正の内容】

【0043】

本発明が純粹に提供するものは、チャージポンプ電流のスプレッドおよびループフィルタ値のみによってダイナミクスが決定される送信器回路機構である。これらチャージポンプ電流のスプレッドおよびループフィルタ値は、特に発振器が積分される場合には、実質的にVCO利得スプレッドよりも小さいと思われる。したがって、本発明は技術水準に対して著しい改良であり、技術水準に対して無数の利点を提供するものである。

## 【誤訳訂正 16】

【訂正対象書類名】明細書

【訂正対象項目名】図面の簡単な説明

【訂正方法】変更

【訂正の内容】

## 【図面の簡単な説明】

本発明に関する他の特徴および効果は、本文書でなされた特に好適な実施の形態（単なる例として示したもの）の説明を、添付図面を参照しながら読めば明らかになるであろう。図中、同一の部分には同一の番号を付してある。その図面とは以下のものである。

## 【図 1】

従来技術のアップコンバージョンループ機構を示すダイアグラムである。

## 【図 2】

従来技術の 2 重点変調機構を示すダイアグラムである。

## 【図 3】

さらに、従来技術の VCO 利得変数補償用の機構を示すダイアグラムである。

## 【図 4】

さらに、従来技術のデルタシグマ変調を含む機構を示すダイアグラムである。

## 【図 5】

本発明の好適な実施の形態による送信器機構を示す図である。

## 【図 6】

本発明の好適な実施の形態による変調訂正回路の一部を示すブロック図である。

## 【図 7】

本発明の好適な実施の形態による変調訂正回路の別の一部を示すブロック図である。