(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 27/04

(45) 공고일자 2002년10월11일
(11) 등록번호 10-0355162
(24) 등록일자 2002년09월19일

(21) 출원번호 10-2000-0003193
(22) 출원일자 2000년01월24일

(65) 공개번호 특2000-0053590
(43) 공개일자 2000년08월25일

(30) 우선권주장 1999-015951 1999년01월25일 일본(JP)
1999-015952 1999년01월25일 일본(JP)
1999-349898 1999년12월09일 일본(JP)

(73) 특허권자 산요 덴키 가부시키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 야마자끼하루지
일본군마껭오라궁오이즈미마찌후루꼬오리137

(74) 대리인 장수길
구영창

심사관 : 정해곤

(54) 반도체 장치와 그 패턴 레이아웃 방법

요약

보호용 트랜지스터와 출력 트랜지스터의 사이즈 변경을 용이하게 한다.

OUT 단자에 접속되는 금속 배선 M11과 콘택트하는 드레인 영역에 형성된 콘택트홀 C11을 둘러싸도록 형성되고, IN 단자에 접속되는 게이트 전극 GP1lA를 갖는 N채널 출력 트랜지스터 N1과, 접지 전위선 VSS에 접속되는 금속 배선 M12와 콘택트하는 드레인 영역에 형성된 콘택트홀 C12을 둘러싸도록 형성되고, 접지 전위선 VSS에 접속되는 게이트 전극 GP12A를 갖는 N채널 보호용 트랜지스터 N2를 갖는 반도체 장치에 관해, 상기 콘택트홀 LC11 피치가, 콘택트홀 C2 피치보다도 넓게 형성되고, 상기 게이트 전극 GP1lA, GP12A로 둘러싸는 콘택트홀 C11, C12의 수에 의해 상기 N채널 출력 트랜지스터 N1과 N채널 보호용 트랜지스터 N2의 사이즈 변경을 행한다.

대표도
도 1

색인어
반도체 장치, 패턴 레이 아웃, 정전 파괴, 보호용, 콘택트홀

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시 형태에 따른 반도체 장치의 트랜지스터 사이즈 변경 방법을 설명하기 위한 패턴 레이아웃도.

도 2는 본 발명의 제1 실시 형태에 따른 반도체 장치의 트랜지스터 사이즈 변경 방법을 설명하기 위한 패턴 레이아웃도.

도 3은 콘택트홀 피치와 저항값과의 상관 관계를 설명하기 위한 도면.

도 4는 본 발명의 제1 실시 형태에 따른 반도체 장치의 트랜지스터 사이즈 변경 방법을 설명하기 위한 패턴 레이아웃도.

도 5는 본 발명의 제1 실시 형태에 따른 반도체 장치의 트랜지스터 사이즈의 최소 단위를 설명하기 위한 패턴 레이아웃도.

도 6은 본 발명의 제2 실시 형태에 따른 반도체 장치의 트랜지스터 사이즈 미세조정 방법을 설명하기 위한 패턴 레이아웃도.

도 7은 출력 회로의 일반적인 회로 구성을 나타낸 도면.

도 8은 도 7의 출력 회로의 일부분을 나타낸 패턴 레이아웃도.

< 도면의 주요 부분에 대한 부호의 설명

1, 11A, 11B : 출력 회로

2 : 보호 밴드 영역

C11 : 콘택트홀

GP11A, GP12A, GP11B, GP12B : 게이트 전극

F21, F31 : 소자분리막

M11 : 금속 배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 특히, 정전 파괴 내압과 구동 전류를 조정 가능하게 한 출력 회로에 관한 것이다.

일반적인 출력 회로의 회로 구성을 도 7에 도시한다.

도 7에 도시한 바와 같이 출력 회로(1)는, 정전 파괴 대책용의 보호용 트랜지스터(VDD측 P채널형 보호용 트랜지스터 P2와 VSS측 N채널형 보호용 트랜지스터 N2) 및 출력 트랜지스터(VDD측 P채널형 출력 트랜지스터 P1과 VSS측 N채널형 출력 트랜지스터 N1)로 구성되어 있다.

이와 같이 정전 파괴 대책으로서, 도 7에 도시한 바와 같이 상기 VDD측 P채널형 보호용 트랜지스터 P2와 VSS측 N채널형 보호용 트랜지스터 N2가 설치되어 있다.

그리고, 정전 파괴 강도와 상기 보호용 트랜지스터 P2, N2의 셀 사이즈와의 사이에는 상관이 있고, 원하는 정전 파괴 강도를 얻기 위해서는, 이 사이즈를 변경해야 한다(보호용 트랜지스터 P2, N2와 출력 트랜지스터 P1, N1의 합계 사이즈로 조정한다).

도 8은 도 7에 도시한 출력 회로(1)의 일부분의 패턴 레이아웃도이고, 편의상, VSS측의 N채널형 출력 트랜지스터 N1과 N채널형 보호용 트랜지스터 N2에 상당하는 영역만 도시하고 있다. 또한, VDD측의 P채널형 출력 트랜지스터 P1과 P채널형 보호용 트랜지스터 P2에 상당하는 영역의 패턴 레이아웃도 마찬가지로(접지전위선 VSS가 전원 전위선 VDD로 됨) 구성되어 있다.

도 8에 있어서, GP1, GP2는 예를 들면, 폴리실리콘막 등으로 이루어지는 게이트 전극으로, 상기 VSS측 N채널형 출력 트랜지스터 N1의 게이트 전극 GP1은 입력(IN) 단자에 접속되고, VSS측 N채널형 보호용 트랜지스터 N2의 게이트 전극 GP2는 접지 전위선 VSS에 접속되어 있다.

M1, M2는 알루미늄 등으로 이루어지는 금속 배선으로, 출력(OUT) 단자에 접속된 금속 배선 M1은, 콘택트홀 C1을 통해 상기 N채널형 출력 트랜지스터 N1과 N채널형 보호용 트랜지스터 N2의 각 드레인 영역과 콘택트되어 있고, 접지 전위선 VSS에 접속된 금속 배선 M2는, 콘택트홀 C2를 통해 상기 N채널형 출력 트랜지스터 N1과 N채널형 보호용 트랜지스터 N2의 각 소스 영역 및 보호 밴드 영역(2)과 콘택트되어 있다.

이러한 출력 회로(1)를 이용한, 최근의 마이크로 컴퓨터, 논리 LSI에 있어서, 사용자 요구에 의해 상기 P채널형 출력 트랜지스터 P1과 N채널형 출력 트랜지스터 N1의 출력 전류 요구가 다른 경우가 있다(예를 들면, 트랜지스터 사이즈를 크게 하여, 출력 전류가 커지도록 조정한다). 또한, 오실레이터 (OSC) 회로의 상승, 하강 스피드(시간)가 악영향을 받고, 카 오디오의 셋트 등에 노이즈로서 나타나 셋트의 품위를 손상하는 결점이 발생한다(이 경우, 트랜지스터 사이즈를 작게 하여, 노이즈가 실리지 않도록 조정한다).

발명이 이루고자 하는 기술적 과제

이와 같이 상기 출력 트랜지스터 P1, N1의 사이즈를, 최적 사이즈로 조정할 필요가 있다. 이 사이즈 변경에는, 여러장(상기 GP, C, M의 3장)의 마스크 레이어를 설계 변경할 필요가 있고, 또한, 이것에 따라, 복수의 포토마스트를 새롭게 만들어내지 않으면 안된다.

이 때문에, 집적 회로의 설계 공정수와 포토마스크의 제조 공정수가 증가한다고 하는 문제가 있다.

따라서, 본 발명에서는 정전 파괴 대책용의 보호용 트랜지스터와 출력 트랜지스터의 사이즈 변경이 용이한 반도체 장치와 그 패턴 레이아웃 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 과제를 감안하여, 본 발명의 제1 실시 형태의 반도체 장치는, 도 1에 도시한 바와 같이 출력(OUT) 단자에 접속되는 금속 배선 M11과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀 C11을 둘러싸도록 형성되고, 입력 IN 단자에 접속되는 게이트 전극 GP11(A, B)을 갖는 N채널 출력 트랜지스터 N1(혹은 P채널 출력 트랜지스터 P1)과, 접지 전위선

VSS(혹은 전원 전위선 VDD)에 접속되는 금속 배선 M2와 콘택트하기 위해 드레인 영역에 형성된 콘택트 C11을 둘러싸도록 형성되고, 접지 전위선 VSS(혹은 전원 전위선 VDD)에 접속되는 게이트 전극 GP12(A, B)를 갖는 정전 파괴 대책용의 N채널 보호용 트랜지스터 N2(혹은 P채널 출력 트랜지스터 P2)를 구비하고, 상기 드레인 영역에 형성되는 콘택트홀 C11 피치가, 소스 영역에 형성되는 콘택트홀 C2피치보다도 넓게 형성되어 있고, 게이트 전극 GP11(A, B) 및 GP12(A, B)로 둘러싸는 콘택트홀 C11의 수에 의해 상기 N채널 출력 트랜지스터 N1과 N채널 보호용 트랜지스터 N2의 트랜지스터 사이즈(혹은 상기 P채널 출력 트랜지스터 P1과 P채널 보호용 트랜지스터 P2의 트랜지스터 사이즈)가 변경 가능한 것을 특징으로 한다.

또한, 그 패턴 레이아웃 방법은, 정전 파괴 대책용의 보호용 트랜지스터(P2 혹은 N2)와 출력 트랜지스터(P1 혹은 N1)의 트랜지스터 사이즈의 변경을, 상기 보호용 트랜지스터와 출력 트랜지스터의 총합계 사이즈(P1+P2 혹은 N1+N2) 내에서 행하도록 한 것을 특징으로 한다.

또한, 그 패턴 레이아웃 방법은, 상기 정전 파괴 대책용의 보호용 트랜지스터(P2 혹은 N2)와 출력 트랜지스터(P1 혹은 N1)의 트랜지스터 사이즈의 변경에 따르는 설계 변경이, 게이트 전극(GP) 형성용의 마스크 레이어의 변경만으로 행하는 것을 특징으로 한다.

또한, 본 발명의 제2 실시 형태의 반도체 장치는, 도 1에 도시한 바와 같이 드레인 영역에 형성되는 콘택트홀 C11 피치가, 소스 영역에 형성되는 콘택트홀 C2피치보다도 넓게 형성되어 있고, 도 6에 도시한 바와 같이 소자 분리막 F21(혹은 F 31)의 형성 위치에 의해, N채널형 출력 트랜지스터와 N채널형 보호용 트랜지스터의 트랜지스터 사이즈(혹은 P채널 출력 트랜지스터 P1과 P채널 보호용 트랜지스터 P2의 트랜지스터 사이즈)가 미세조정(微調整) 가능한 것을 특징으로 한다.

그리고, 그 패턴 레이아웃 방법은, 정전 파괴 대책용의 보호용 트랜지스터 (P2 혹은 N2)와 출력 트랜지스터(P1 혹은 N1)의 트랜지스터 사이즈의 미세조정을, 소자 분리막 F21(혹은 F 31)의 형성 위치에 의해 행하도록 한 것을 특징으로 한다.

또한, 그 패턴 레이아웃 방법은, 상기 정전 파괴 대책용의 보호용 트랜지스터 (P2 혹은 N2)와 출력 트랜지스터(P1 혹은 N1)의 트랜지스터 사이즈의 미세조정에 따른 설계 변경이, 소자 분리막(F) 형성용의 마스크 레이어의 변경만으로 행하는 것을 특징으로 한다.

실시예

이하, 본 발명의 반도체 장치에 따른 제1 실시 형태에 대해 도면을 참조하면서 설명한다. 또한, 본 발명의 반도체 장치로서의 출력 회로11(A, B)의 회로 구성은, 도 8에 도시한 출력 회로(1)의 구성과 동등하고, 중복되는 설명을 피하기 위해 여기서의 설명은 생략한다. 또한, 도 8에 도시한 출력 회로(1)의 구성과 동등한 구성에 대해서는 동일 부호가 붙여 있다.

여기서, 본 발명의 출력 회로11(A, B)의 특징은, 그 패턴 레이아웃에 관한 것으로, 이하, 도 1 및 도 2에 도시한 패턴 레이아웃도를 참조하면서 설명한다. 여기서, 편의적으로 VSS측의 N채널형 출력 트랜지스터 N1과 N채널형 보호용 트랜지스터 N2에 상당하는 영역만 도시하고 있다. 또한, VDD측의 P채널형 출력 트랜지스터 P1과 P채널형 보호용 트랜지스터 P2에 상당하는 영역의 패턴 레이아웃도 마찬가지로(접지 전위선 VSS가 전원 전위선 VDD로 이루어진다) 구성되어 있다.

도 1은, 종래의(도 8에 도시한다) VSS측 N채널형 출력 트랜지스터 N1과 VSS측 N채널형 보호용 트랜지스터 N2와 동등한 출력 트랜지스터 사이즈를 도시하고 있다.

도 1에 있어서, GP11A, GP12A는 예를 들면, 폴리실리콘막 등으로 이루어지는 게이트 전극으로, 상기 VSS측 N채널형 출력 트랜지스터 N1의 게이트 전극 GP11A는 입력(IN) 단자에 접속되고, VSS측 N채널형 보호용 트랜지스터 N2의 게이트 전극 GP12A는 접지 전위선 VSS에 접속되어 있다.

M11, M2는 알루미늄 등으로 이루어지는 금속 배선으로, 출력(OUT) 단자에 접속된 금속 배선 M11은, 콘택트홀 C11을 통해 상기 N채널형 출력 트랜지스터 N1과 N채널형 보호용 트랜지스터 N2의 각 드레인 영역과 콘택트되어 있고, 접지 전위선 VSS에 접속된 금속 배선 M2는, 콘택트홀 C2를 통해 상기 N채널형 출력 트랜지스터 N1과 N채널형 보호용 트랜지스터 N2의 각 소스 영역 및 보호 밴드 영역(2)과 콘택트되어 있다.

또한, 본 실시 형태에서는 상기 소스 영역 및 보호 밴드 영역(2)과 콘택트되는 콘택트홀 C2의 콘택트 피치는 적용 프로세스(예를 들면, 0.8㎛ 프로세스)에 있어서의 최소 디자인룰(예를 들면, 0.8㎛ 간격)로 형성되고, 출력(OUT) 단자(상기 드레인 영역)과 콘택트되는 콘택트홀 C11피치는 상기 콘택트홀 C2의 콘택트 피치보다도 넓게 (예를 들면, 10㎛ 간격) 형성되어 있다. 다시 말하면, 콘택트홀 C2 사이즈는 0. 8㎛× 0.8㎛이고, 콘택트홀 C11 사이즈는 그것보다도 넓은 2㎛×2㎛로 하여, 정전 파괴 대책용에 여유를 갖게 하고 있다.

여기서, 본 발명(도 1에 도시)과 종래의(도 8에 도시) 출력 트랜지스터 N1의 패턴 레이아웃에서 다른 점은, 상술한 바와 같이 상기 출력 (OUT) 단자에 접속된 금속 배선 M11과 N채널형 출력 트랜지스터 N1 및 N채널형 보호용 트랜지스터 N2의 각 드레인 영역을 콘택트하기 위한 콘택트홀 C11 사이의 간격이 넓어진 것이다.

이에 따라 상세한 설명은 후술하지만, 출력 트랜지스터 N1, P1 및 보호용 트랜지스터 N2, P2의 트랜지스터 사이즈의 변경을 행할 때에, 이 콘택트홀 C11 사이의 간격을 넓힘으로써, 상기 게이트 전극 GP11A, GP12A가 형성되는 위치의 변경이 용이해진다. 따라서, 이 게이트 전극 GP11A, GP12A의 형성 위치의 변경에 의해, 용이하게 트랜지스터 사이즈의 변경이 가능하게 된다.

또한, 이 경우에 있어서, 종래 구성에 비해 콘택트홀 C11의 수가 적어짐에 따른 저항값의 증대가 염려되었지만, 해석 결과, 콘택트홀 C11의 피치 간격과 저항값 사이에는 상관이 있고, 어떤 피치 간격을 경계로 하여 저항값에 큰 변화가 생기지 않은 것을 알 수 있고, 충분한 특성이 얻어졌다.

도 3은 종래의 콘택트홀 피치(점선으로 도시)에 대한 본 발명의 콘택트홀 피치를 소정 간격으로 설치한 경우(실선으로 도시)의 상관도를 나타내고 있다. 이 도면으로부터도 알 수 있는 바와 같이 콘택트홀 피치가 50㎛ 정도까지는, 거의 콘택트 저항값에의 영향이 작은 것이 증명되었다.

따라서, 도 4에 도시한 바와 같이 본 발명의 실시 형태에서는, 콘택트홀 피치를 A(예를 들면, 10㎛)로 하고 있기 때문에, 콘택트 저항값이 증대한다고 하는 염려는 없다.

여기서, 본 실시 형태에서는 예를 들면, 본 프로세스(0.8㎛ 디자인룰)에 있어서의 인접하는 트랜지스터끼리를 형성할 때의 가능범위인 10㎛를 채용하고 있다. 즉, 도 4에 도시한 바와 같이 콘택트홀 C11피치를 10㎛로 설정한 것은, 인접하는 트랜지스터끼리를 형성할 때에, 2㎛ 사이즈의 상기 콘택트홀 C11에 대해 A= a+ b+ c+ b+ a가 되는 간격이 필요하기 때문이다. 또한, a는 콘택트홀 C11과 게이트 전극 GP11A, GP12A와의 사이의 거리, b는 게이트 전극 GP11A, GP12A의 폭, c는 게이트 전극 GP11A와 게이트 전극 GP12A와의 사이의 거리이다.

또한, 본 발명에서는, 정방형으로 형성된 콘택트홀 C11의 개구 형상을, 게이트 전극 GP11A, GP12A의 형성 위치의 변경을 행하는 경우에, 방해가 되지 않는 범위 내에서 크게(직사각형으로) 형성하여도 좋다.

도 5는 상기 (도 1에 도시) 출력 트랜지스터 N1보다도 출력 트랜지스터 사이즈가 작은 출력 트랜지스터 N1(보호용 트

랜지스터 N2의 보호용 트랜지스터 사이즈는 커진다)의 패턴 레이아웃도이고, 본 실시 형태에서는, 상기 출력 트랜지스터 N1을 구성하는 게이트 전극 GP11B는, 1개의 콘택트홀 C11만을 둘러싸도록 패터닝 형성되어 있다. 이것이, 상기 출력 트랜지스터 N1의 최소 사이즈이고, 이 게이트 전극 GP11B로 둘러싸는 콘택트홀 C11의 수로, 여러가지의 사이즈 변경 요구에 대응할 수 있다.

이와 같이 정전 파괴 대책용의 보호용 트랜지스터 P2, N2와 출력 트랜지스터 P1, N1의 트랜지스터 사이즈의 변경을, 상기 트랜지스터 (P1+ P2), (N1+ N2)의 총 합계 사이즈 내에서, 그 정전 파괴 대책용의 보호용 트랜지스터 P2, N2와 출력 트랜지스터 P1, N1의 트랜지스터 사이즈를 변경할 수 있도록 구성되어 있다.

또한, 정전 파괴 대책용의 보호용 트랜지스터 P2, N2와 출력 트랜지스터 P1, N1의 트랜지스터 사이즈의 변경에 따른 설계 변경이, 게이트 전극(GP) 형성용의 마스크 레이어 1장의 변경만으로 가능하게 된다.

여기서, 상술한 본 발명 반도체 장치(출력 회로)의 트랜지스터 사이즈의 최소 단위를, 도 5에 도시한 패턴 레이아웃도를 기초로 설명한다. 또한, 도 5에서는 출력 트랜지스터 N1에 있어서의 트랜지스터 사이즈를 예시해 놓는다.

도 5에 도시한 패턴 레이아웃도는, 예를 들면, 상술한 바와 같이 본 프로세스(0.8㎛ 디자인룰)로 설계된 것으로, 콘택트홀 C11의 1변이 대략 2㎛에서, 이 콘택트홀 C11을 둘러싸도록, 대략 2㎛의 간격을 갖고 대략 2㎛의 폭의 게이트 전극 GP11B가 배치되어 있도록 한다. F11은 소자 분리막이다.

그리고, 전류 구동 능력을 환산하는 데에 있어서, 1변의 전류 구동 능력을 게이트 전극 GP11B 폭의 중앙부의 치수를 기준으로 계산하면, 이 출력 트랜지스터 N 1의 트랜지스터 사이즈에 있어서의 전류 구동 능력은, 대략 32㎛(= GW)로 된다. 마찬가지로, 출력 트랜지스터 P1 및 보호용 트랜지스터 N2, P2의 최소 단위의 트랜지스터 사이즈(전류 구동 능력)도 대략 32㎛(=GW)로 된다.

이와 같이 상기 실시 형태에서의 트랜지스터의 최소 트랜지스터에 있어서의 전류 구동 능력은, 대략 32㎛(= GW)이다.

이하, 본 발명의 제2 실시 형태에 대해 설명한다.

제2 실시 형태의 특징은, 제1 실시 형태에 비해 출력 트랜지스터 N1, P1 및 보호용 트랜지스터 N2, P2의 각 트랜지스터 사이즈(전류 구동 능력)를 더욱 미세하게 조정 가능하게 하는 것이다.

즉, 종래의 과제였던 사용자로부터의 요구, 특성 개량은, 더욱 다양화하는 것으로, 그것에 대응하기 위해서는 미세조정 기능을 갖게 할 필요성이 있다. 그 때문에, 상술한 본 프로세스(0.8㎛ 디자인룰)에서는 대략 32㎛(=GW) 이하의 전류 구동 능력을 갖는 최소 트랜지스터는 구성할 수 없게 되고, 프로세스룰을 변경해야 한다.

그래서, 본 발명의 제2 실시 형태에서는 소자 분리막(F21, F 31)의 형성 위치를 변경함으로써, 상기 트랜지스터 사이즈(전류 구동 능력)의 미세조정을 용이하게 하고 있다.

도 6의 (a), (b)는 본 발명에 따른 트랜지스터 사이즈(전류 구동 능력)의 미세조정 방법을 설명하기 위한 패턴 레이아웃도이다.

도 6의 (a)는 상기 게이트 전극 GP11B의 한변에 상당하는 영역 하에 소자 분리막 F21을 연장하여 형성함으로써, 이 영역에서의 트랜지스터 형성을 저지한 패턴 레이아웃을 나타내고 있다.

이 패턴 레이아웃에 의한 트랜지스터 N1에 있어서의 전류 구동 능력은, 대략 22㎛(=GW)로 되고, 상기 제1 실시 형태(도 5의) 트랜지스터 N1(대략 32㎛(= GW))에 비해 작게 할 수 있다.

또한, 마찬가지로, 도 6의 (b)는 상기 게이트 전극 GP11B의 2변에 상당하는 영역 하에 소자 분리막 F31을 연장하여 형성함으로써, 이 영역에서의 트랜지스터 형성을 저지한 패턴 레이아웃을 나타내고 있다.

이 패턴 레이아웃에 의한 트랜지스터 N1에 있어서의 전류 구동 능력은, 대략 14㎛(=GW)로 되고, 상기 (도 6의 (a)의) 트랜지스터 N1(대략 22㎛(= GW))에 비해 더욱 작게 할 수 있다. 또한, 도시한 설명은 생략하지만, 마찬가지로 소자 분리막의 형성 위치를 조정함으로써, 출력 트랜지스터 P1 및 보호용 트랜지스터 N2, P2의 트랜지스터 사이즈(전류 구동 능력)도 미세조정 가능해진다.

이와 같이 본 발명에서는, 제1 실시 형태와 마찬가지로 상기 드레인 영역에 형성되는 콘택트홀 C11피치를 소스 영역 등에 형성되는 콘택트홀 C2피치보다도 넓게 형성해 놓고, 또한 상기 출력 트랜지스터 N1, P1 및 보호용 트랜지스터 N2, P2의 트랜지스터 형성 영역의 적어도 일부를, 상기 소자 분리막(F21, F31 등)에 의해 트랜지스터 형성되지 않는 영역으로 함으로써, 트랜지스터 사이즈(전류 구동 능력)의 미세조정이 더욱 용이하게 되어, 디자인룰을 변경하지 않고, 다양화하는 사용자로부터의 요구, 특성 개량에 용이하게 대응할 수 있다.

따라서, 정전 파괴 대책용의 보호용 트랜지스터 P2, N2와 출력 트랜지스터 P1, N1의 트랜지스터 사이즈의 미세조정에 따른 설계 변경이, 소자 분리막(F) 형성용의 마스크 레이어 1장의 변경만으로 가능하게 된다.

발명의 효과

본 발명에 따르면, 사용자의 요구, 특성 개량에 따른 정전 파괴 대책용의 보호용 트랜지스터와 출력 트랜지스터의 트랜지스터 사이즈의 변경이, 게이트 전극 형성용의 마스크 레이어 1장의 변경만으로 용이하게 대응할 수 있게 되어, 집적 회로의 설계 공정수와 포토마스크의 제조 공정수를 줄일 수가 있다.

또한, 다양화하는 사용자의 요구, 특성 개량에 따른 정전 파괴 대책용의 보호용 트랜지스터와 출력 트랜지스터의 트랜지스터 사이즈의 미세조정이, 소자 분리 막형성용의 마스크 레이어 1장의 변경만으로 용이하게 대응할 수 있게 되어, 집적 회로의 설계 공정수와 포토마스크의 제조 공정수를 줄일 수가 있다.

(57) 청구의 범위

청구항 1.

출력 단자에 접속되는 금속 배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 입력 단자에 접속되는 게이트 전극을 갖는 N채널형 출력 트랜지스터와, 접지 전위선에 접속되는 금속 배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 접지 전위선에 접속되는 게이트 전극을 갖는 정전 파괴 대책용의 N채널형 보호용 트랜지스터를 구비한 반도체 장치에 있어서,

상기 드레인 영역에 형성되는 콘택트홀 간격이, 소스 영역에 형성되는 콘택트홀 간격보다도 넓은 것을 특징으로 하는 반도체 장치.

청구항 2.

출력 단자에 접속되는 금속 배선과 콘택트하기 위해서 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 입력 단자에 접속되는 게이트 전극을 갖는 N채널형 출력 트랜지스터와, 접지 전위선에 접속되는 금속 배선과 콘택트하기 위해서 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 접지 전위선에 접속되는 게이트 전극을 갖는 정전 파괴 대책용의 N채널형 보호용 트랜지스터를 구비한 반도체 장치에 있어서,

상기 드레인 영역에 형성되는 콘택트홀 간격이, 소스 영역에 형성되는 콘택트홀 간격보다도 넓게 형성되고, 또한 상기 트랜지스터 형성 영역의 적어도 일부는 소자 분리막에 의해 트랜지스터 형성되지 않는 영역을 갖는 것을 특징으로 하는 반도체 장치.

청구항 3.

출력 단자에 접속되는 금속 배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 입력 단자에 접속되는 게이트 전극을 갖는 P채널형 출력 트랜지스터와, 전원 전위선에 접속되는 금속 배선과 콘택트하기 위해서 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 전원 전위선에 접속되는 게이트 전극을 갖는 정전 파괴 대책용의 P채널형 보호용 트랜지스터를 구비한 반도체 장치에 있어서,

상기 드레인 영역에 형성되는 콘택트홀 간격이, 소스 영역에 형성되는 콘택트홀 간격보다도 넓은 것을 특징으로 하는 반도체 장치.

청구항 4.

출력 단자에 접속되는 금속 배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 입력 단자에 접속되는 게이트 전극을 갖는 P채널형 출력 트랜지스터와, 전원 전위선에 접속되는 금속 배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 전원 전위선에 접속되는 게이트 전극을 갖는 정전 파괴 대책용의 P채널형 보호용 트랜지스터를 구비한 반도체 장치에 있어서,

상기 드레인 영역에 형성되는 콘택트홀 간격이, 소스 영역에 형성되는 콘택트홀 간격보다도 넓게 형성되고, 또한 상기 트랜지스터 형성 영역의 적어도 일부는 소자 분리막에 의해 트랜지스터 형성되지 않는 영역을 갖는 것을 특징으로 하는 반도체 장치.

청구항 5.

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 소스 영역에 형성되는 콘택트홀 간격이 적용 프로세스에 있어서의 최소 디자인룰로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6.

출력 단자에 접속되는 금속배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 입력단자에 접속되는 게이트 전극을 갖는 출력 트랜지스터와,

소정 전위선에 접속되는 금속배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 소정 전위선에 접속되는 게이트 전극을 갖는 정전파괴 대책용 트랜지스터를 구비한 반도체 장치의 패턴 레이아웃 방법에 있어서,

상기 정전 파괴 대책용 트랜지스터와 상기 출력 트랜지스터의 트랜지스터 사이즈의 변경을 상기 게이트 전극이 둘러싸고 있는 콘택트홀의 수를 변경함으로써 가능하게 한 것을 특징으로 하는 반도체 장치의 패턴 레이아웃 방법.

청구항 7.

제6항에 있어서, 상기 정전 파괴 대책용 트랜지스터와 상기 출력 트랜지스터의 트랜지스터 사이즈의 변경을 수반하는 설계 변경이,

미리 상기 드레인 영역에 형성되는 콘택트홀 간격을, 소스 영역에 형성되는 콘택트홀 간격 보다도 넓어지도록 형성하는 공정을 포함하고,

게이트 전극 형성용의 마스크 레이어의 변경만으로 행하는 것을 특징으로 하는 반도체 장치의 패턴 레이아웃 방법.

청구항 8.

출력 단자에 접속되는 금속 배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 입력 단자에 접속되는 게이트 전극을 갖는 N채널형 출력 트랜지스터와, 접지 전위선에 접속되는 금속 배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 접지 전위선에 접속되는 게이트 전극을 갖는 정전 파괴 대책용의 N채널형 보호용 트랜지스터를 구비한 반도체 장치의 패턴 레이아웃 방법에 있어서,

상기 드레인 영역에 형성되는 콘택트홀 간격을, 소스 영역에 형성되는 콘택트홀 간격보다도 넓게 형성해 놓음으로써, 상기 정전 파괴 대책용의 보호용 트랜지스터와 출력 트랜지스터의 트랜지스터 사이즈의 변경에 따른 설계 변경을, 게이트 전극 형성용의 마스크 레이어의 변경만으로 가능하게 하는 것을 특징으로 하는 반도체 장치의 패턴 레이아웃 방법.

청구항 9.

출력 단자에 접속되는 금속 배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 입력 단자에 접속되는 게이트 전극을 갖는 P채널형 출력 트랜지스터와, 전원 전위선에 접속되는 금속 배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 전원 전위선에 접속되는 게이트 전극을 갖는 정전 파괴 대책용의 P채널형 보호용 트랜지스터를 구비한 반도체 장치의 패턴 레이아웃 방법에 있어서,

상기 드레인 영역에 형성되는 콘택트홀 간격을, 소스 영역에 형성되는 콘택트홀 간격보다도 넓게 형성해 놓음으로써, 상기 정전 파괴 대책용의 보호용 트랜지스터와 출력 트랜지스터의 트랜지스터 사이즈의 변경에 따른 설계 변경을, 게이트 전극 형성용의 마스크 레이어의 변경만으로 가능하게 하는 것을 특징으로 하는 반도체 장치의 패턴 레이아웃 방법.

청구항 10.

출력 단자에 접속되는 금속 배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 입력 단자에 접속되는 게이트 전극을 갖는 N채널형 출력 트랜지스터와, 접지 전위선에 접속되는 금속 배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 접지 전위선에 접속되는 게이트 전극을 갖는 정전 파괴 대책용의 N채널형 보호용 트랜지스터를 구비한 반도체 장치의 패턴 레이아웃 방법에 있어서,

상기 드레인 영역에 형성되는 콘택트홀 간격을, 소스 영역에 형성되는 콘택트홀 간격보다도 넓게 형성해 놓음으로써, 상기 정전 파괴 대책용의 보호용 트랜지스터와 출력 트랜지스터의 트랜지스터 사이즈의 변경에 따른 설계 변경을, 게이트 전극 형성용의 마스크 레이어 및 소자 분리막 형성용의 마스크 레이어의 변경만으로 가능하게 하는 것을 특징으로 하는 반도체 장치의 패턴 레이아웃 방법.

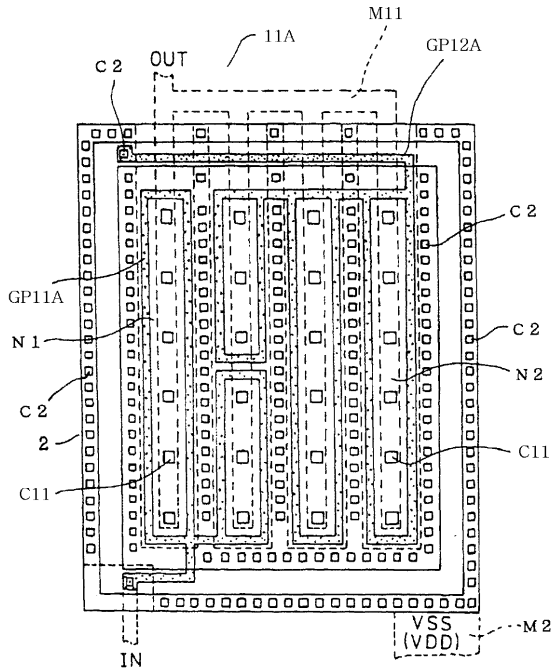
청구항 11.

출력 단자에 접속되는 금속 배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 입력 단자에 접속되는 게이트 전극을 갖는 P채널형 출력 트랜지스터와, 전원 전위선에 접속되는 금속 배선과 콘택트하기 위해 드레인 영역에 형성된 콘택트홀을 둘러싸도록 형성되고, 전원 전위선에 접속되는 게이트 전극을 갖는 정전 파괴 대책용의 P채널형 보호용 트랜지스터를 구비한 반도체 장치의 패턴 레이아웃 방법에 있어서,

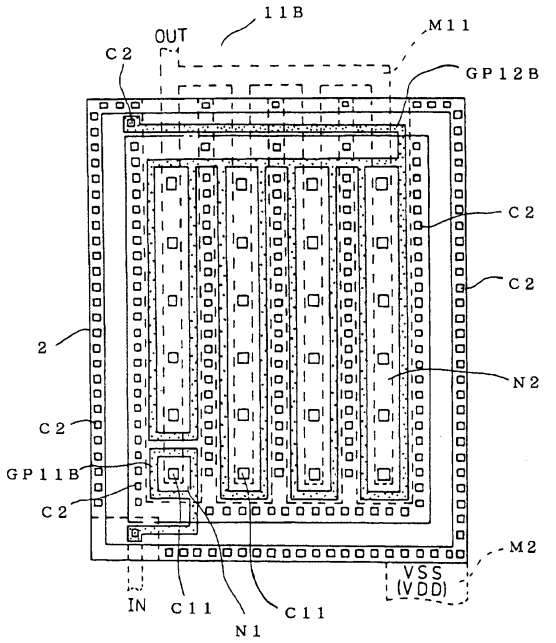
상기 드레인 영역에 형성되는 콘택트홀 간격을, 소스 영역에 형성되는 콘택트홀 간격보다도 넓게 형성하여 놓음으로써, 상기 정전 파괴 대책용의 보호용 트랜지스터와 출력 트랜지스터의 트랜지스터 사이즈의 변경에 따른 설계 변경을, 게이트 전극 형성용의 마스크 레이어 및 소자 분리막 형성용의 마스크 레이어의 변경만으로 가능하게 하는 것을 특징으로 하는 반도체 장치의 패턴 레이아웃 방법.

도면

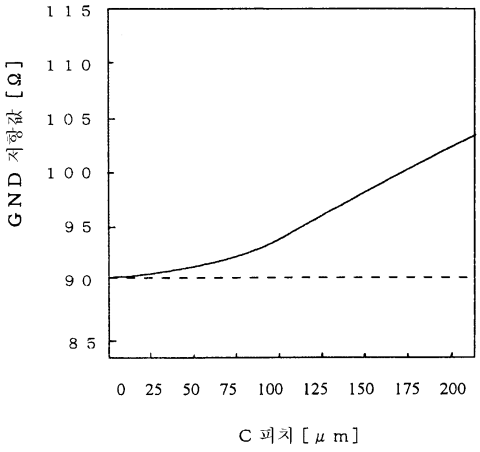
도면 1


M11
11A
C2
OUT
GP12A
C2
GP11A
C2
N1
N2
C2
2
C11
C11
VSS
(VDD)
M2
IN

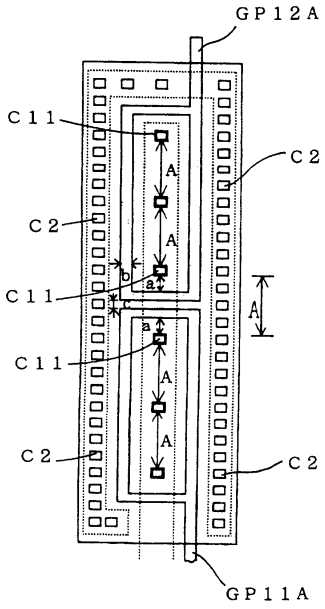
도면 2


11B
M11
OUT
C2
GP12B
C2
C2
2
N2
C2
GP11B
C2
M2
VSS
(VDD)
IN
C11
C11
N1

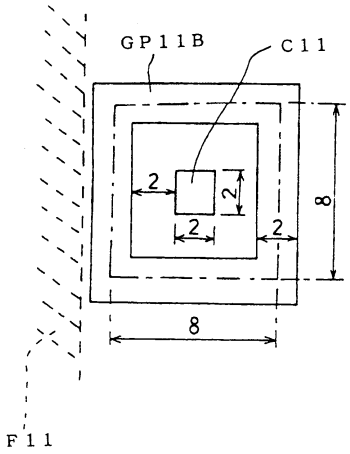
도면 3


115
110
105
100
95
90
85
GND 저항값 [Ω]
0
25
50
75
100
125
150
175
200
C 피치 [μm]

도면 4

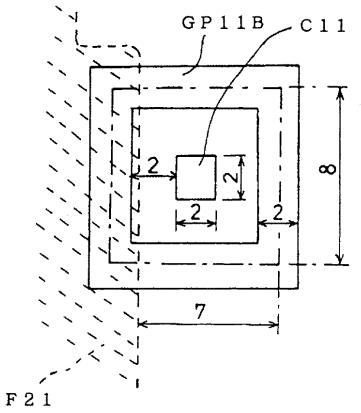

GP12A
C11
C2
C2
C11
C11
C2
C2
GP11A
A
A
A
A
A
a
b
c

도면 5

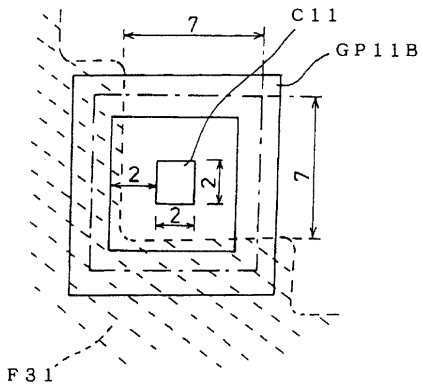

GP11B
C11
2
2
2
2
8
8
F11

도면 6

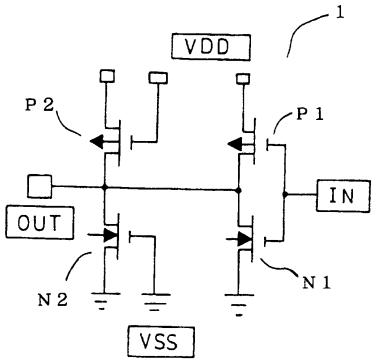
(a)


GP11B
C11
2
2
2
2
8
7
F21

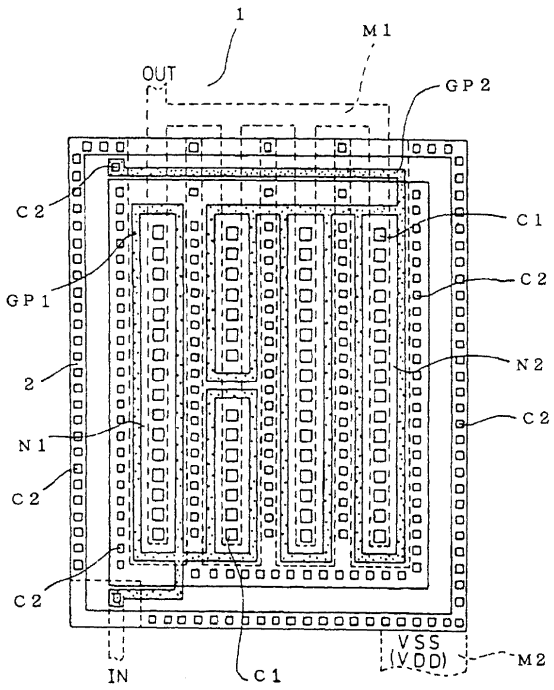
(b)


7
C11
GP11B
2
2
2
7
F31

도면 7


1
VDD
P2
P1
IN
OUT
N2
N1
VSS

도면 8


1
M1
OUT
GP2
C2
C1
GP1
C2
2
N2
N1
C2
C2
C2
VSS
(VDD)
M2
IN
C1