



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I590335 B

(45)公告日：中華民國 106 (2017) 年 07 月 01 日

(21)申請案號：100128157

(22)申請日：中華民國 100 (2011) 年 08 月 08 日

(51)Int. Cl. : *H01L21/336 (2006.01)**H01L21/31 (2006.01)*

(30)優先權：2010/08/18 日本

2010-183025

2011/04/05 日本

2011-083966

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 406861

TW 550672

TW 575928

TW 200400537A

US 5286296

US 5914018

US 2003/0221620A1

審查人員：修宇鋒

申請專利範圍項數：32 項 圖式數：10 共 68 頁

(54)名稱

膜形成設備及膜形成方法

FILM FORMATION APPARATUS AND FILM FORMATION METHOD

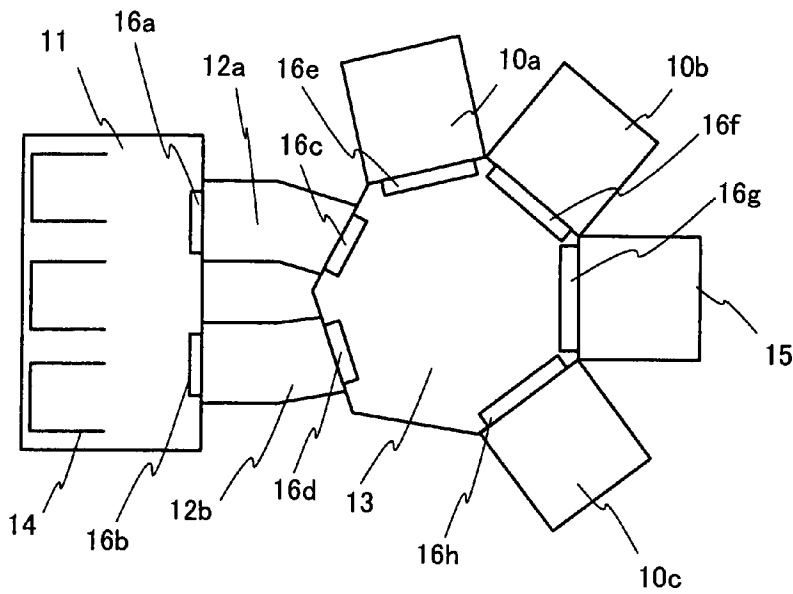
(57)摘要

已有使用氧化物半導體之電晶體的可靠性不如使用非晶矽之電晶體的例子。也有例子關於使用氧化物半導體的電晶體顯示在一基板內，從基板到另一基板間或從一批基板到另一批基板間的巨大變異性之電子特性。因此，一目的係使用一氧化物半導體來製造一半導體裝置，其具有高可靠性及低變異性之電子特性。提供有一膜形成設備，其包括一真空隔離室、一通過一閘閥連接至真空隔離室的傳送室、一通過一閘閥連接至傳送室的基板加熱室，以及一具有一漏損率小於或等於 1×10^{-10} Pa · m³/sec 的膜形成室，其通過一閘閥連接至傳送室。

There have been cases where transistors using oxide semiconductors are inferior in reliability to transistors using amorphous silicon. There have also been cases where transistors using oxide semiconductors show great variation in electrical characteristics within one substrate, from substrate to substrate, or from lot to lot. Therefore, an object is to manufacture a semiconductor device using an oxide semiconductor which has high reliability and less variation in electrical characteristics. Provided is a film formation apparatus including a load lock chamber, a transfer chamber connected to the load lock chamber through a gate valve, a substrate heating chamber connected to the transfer chamber through a gate valve, and a film formation chamber having a leakage rate less than or equal to 1×10^{-10} Pa · m³/sec, which is connected to the transfer chamber through a gate valve.

指定代表圖：

第1A圖



- 符號簡單說明：
- 10a、10b、10c . . . 膜形成室
 - 11 . . . 基板供應室
 - 12a、12b . . . 真空隔離室
 - 13 . . . 傳送室
 - 14 . . . 卡匣口
 - 15 . . . 基板加熱室
 - 16a-16h . . . 閘閥

782386

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100128157

※申請日：100 年 08 月 08 日

※IPC 分類：

H01L 21/336 2006.01

H01L 21/31 2006.01

一、發明名稱：(中文／英文)

膜形成設備及膜形成方法

Film formation apparatus and film formation method

二、中文發明摘要：

已有使用氧化物半導體之電晶體的可靠性不如使用非晶矽之電晶體的例子。也有例子關於使用氧化物半導體的電晶體顯示在一基板內，從基板到另一基板間或從一批基板到另一批基板間的巨大變異性之電子特性。因此，一目的係使用一氧化物半導體來製造一半導體裝置，其具有高可靠性及低變異性之電子特性。提供有一膜形成設備，其包括一真空隔離室、一通過一閘閥連接至真空隔離室的傳送室、一通過一閘閥連接至傳送室的基板加熱室，以及一具有一漏損率小於或等於 1×10^{-10} Pa · m³/sec 的膜形成室，其通過一閘閥連接至傳送室。

三、英文發明摘要：

There have been cases where transistors using oxide semiconductors are inferior in reliability to transistors using amorphous silicon. There have also been cases where transistors using oxide semiconductors show great variation in electrical characteristics within one substrate, from substrate to substrate, or from lot to lot. Therefore, an object is to manufacture a semiconductor device using an oxide semiconductor which has high reliability and less variation in electrical characteristics. Provided is a film formation apparatus including a load lock chamber, a transfer chamber connected to the load lock chamber through a gate valve, a substrate heating chamber connected to the transfer chamber through a gate valve, and a film formation chamber having a leakage rate less than or equal to 1×10^{-10} Pa·m³/sec, which is connected to the transfer chamber through a gate valve.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件符號簡單說明：

10a、10b、10c：膜形成室

11：基板供應室

12a、12b：真空隔離室

13：傳送室

14：卡匣口

15：基板加熱室

16a-16h：閘閥

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係有關一膜形成設備及一膜形成方法。

注意在本說明書中，一半導體裝置係指任何可利用半導體特性來運作之裝置，且一光電裝置、一半導體電路、及一電子裝置均為半導體裝置。

【先前技術】

使用在一具有一絕緣表面之基板上形成的半導體薄膜來形成電晶體之技術已受到注意。這樣的電晶體被應用在各種類型的電子裝置中，如積體電路(IC)及影像顯示裝置(顯示裝置)。雖然以矽為基礎的半導體材料已被廣泛地使用作為可用在電晶體之半導體薄膜的材料，但已注意到氧化物半導體可作為替代性材料。

例如，揭露了一具有一活性層之電晶體，為此而使用一內含銦(In)、鎵(Ga)和鋅(Zn)以及電子載體濃度小於 $10^{18}/\text{cm}^3$ 的氧化物半導體，並認為一濺射法係最適合作為形成此氧化物半導體之一膜的方法(見專利文件1)。

專利文件1：日本公開專利申請第2006-165528號

【發明內容】

已有使用氧化物半導體的電晶體之可靠性不如使用非晶矽的電晶體之例子。也有例子關於使用氧化物半導體的電晶體顯示在一基板內，從基板到基板間或從一批基板到

一批基板間的巨大變異性之電子特性。因此，一目的係使用具有高可靠性及低變異性之電子特性的一氧化物半導體來製造一半導體裝置，且將說明一膜形成設備以及使用此膜形成設備的一膜形成方法。

眾所知悉在一使用一氧化物半導體之電晶體中，部份的氫氣可作為產生一電子之供體。即使沒有使用一閘極電壓，在一氧化物半導體中產生一電子也會導致汲極電流流動，因此，臨界電壓便朝反方向偏移。使用一氧化物半導體之電晶體可能有 n 型導電性，且由於臨界電壓朝反方向偏移，其會變成具有正常導通之特性。“正常導通”在此係指在沒有對一閘極使用電壓且沒有電流通過一電晶體下，有一通路存在之狀態。

此外，製造一電晶體之後，由於氫氣進入氧化物半導體，此電晶體之臨界電壓可能會改變。臨界電壓的偏移會嚴重地降低電晶體之可靠性。

本發明已發現藉由一濺射法來形成膜會導致在一膜中的氫氣之意料之外內含物。請注意在本說明書中，“氫氣”係指一氫原子，且，例如，包括在一氫分子、碳氫化合物、氫氧基、水、及表示“包括氫”等物質中的氫氣。

本發明之一實施例係一種膜形成設備，其包括一真空隔離室、一通過一閘閥連接至真空隔離室的傳送室、一通過一閘閥連接至傳送室的基板加熱室、以及一具有小於或等於 1×10^{-10} Pa · m³/sec 之漏損率的膜形成室，其通過一閘閥連接至傳送室。

請注意可包括超過一個真空隔離室、超過一個基板加熱室、或超過一個膜形成室。

本發明之另一實施例係一種膜形成設備，其包括一真空隔離室、一通過一閘閥連接至真空隔離室的基板加熱室、以及一具有小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 之漏損率的膜形成室，其通過一閘閥連接至基板加熱室。

本發明之又一實施例係一種膜形成設備，其包括一真空隔離室、一通過一閘閥連接至真空隔離室的基板加熱室、一具有小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 之漏損率的第一膜形成室，其通過一閘閥連接至基板加熱室、以及一具有小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 之漏損率的第二膜形成室，其通過一閘閥連接至第一膜形成室。

此處，一膜形成氣體的純度最好係大於或等於 99.999999%。爲了增加膜形成氣體的純度，可在膜形成氣體來源及膜形成室之間提供一氣體精煉機。在氣體精煉機和膜形成室之間的一管路長度係小於或等於 5m，較佳地係小於或等於 1m。

本發明之一實施例係一種膜形成設備，在其中的一膜形成氣壓被控制小於或等於 0.8 Pa，較佳地係小於或等於 0.4 Pa，且在膜形成期間，靶材及基板之間的距離係小於或等於 40mm，較佳地係小於或等於 25mm。

本發明之一實施例係一種膜形成方法，其中在引進一基板至膜形成室之後，引進純度大於或等於 99.999999% 的一膜形成氣體至漏損率小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$

且被抽真空到一真空層次的一膜形成室中，並使用膜形成氣體來濺射一靶材以在基板上形成一膜。

本發明之另一實施例係一種膜形成方法，其中在引進一基板至一被抽真空到一真空層次的基板加熱室後，此基板便在一惰性氣體、一減壓氣體、或一乾空氣氣體中並在大於或等於 250°C 且小於此基板之應變點的溫度下受到熱處理，在不暴露於空氣下引進受到熱處理之基板至漏損率小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 且被抽真空到一真空層次的一膜形成室之後，引進純度大於或等於 99.999999% 的一膜形成氣體至此膜形成室，並使用膜形成氣體來濺射一靶材以在基板上形成一膜。

在本說明書中，減壓氣體係指 10 Pa 以下之氣壓。另外，惰性氣體係指一種以惰性氣體作為主要成分(如氮氣或一稀有氣體(例如，氦、氖、氬、氪或氙))之氣體，且最好不包括氫氣。例如，被引進的惰性氣體之純度為 8N(99.999999%)以上，最好係 9N(99.999999%)以上。亦或，惰性氣體係指一種以惰性氣體作為主要成分且包括一濃度小於 0.1ppm 之反應氣體的氣體。此反應氣體係指與一半導體、金屬等發生反應之氣體。

本發明之另一實施例係一種膜形成方法，其中在引進一基板至一被抽真空到一真空層次的基板加熱室後，便使此基板在一惰性氣體、一減壓氣體、或一乾空氣氣體中並在大於或等於 250°C 且小於此基板之應變點的溫度下受到熱處理，在不暴露於空氣下引進受到熱處理之基板至漏損率

小於或等於 1×10^{-10} Pa · m³/sec 且被抽真空到一真空層次的一第一膜形成室之後，引進純度大於或等於 99.999999% 的一膜形成氣體至此第一膜形成室，並使用膜形成氣體來濺射一靶材以在基板上形成一絕緣膜，在不暴露於空氣下引進具有絕緣膜的基板至漏損率小於或等於 1×10^{-10} Pa · m³/sec 且被抽真空到一真空層次之一第二膜形成室之後，引進純度大於或等於 99.999999% 的一膜形成氣體至此第二膜形成室，並使用膜形成氣體來濺射一靶材以在基板上形成一氧化物半導體膜。

此處，所述之絕緣膜較佳地係以一大於或等於 50℃ 且小於或等於 450℃ 的基板溫度來形成。用大於或等於 50℃ 且小於或等於 450℃ 的基板溫度，可減少絕緣膜中內含的氬氣。更佳地，基板溫度係大於或等於 100℃ 且小於或等於 400℃。

此外，所述之氧化物半導體膜最好係以一大於或等於 100℃ 且小於或等於 400℃ 的基板溫度來形成。

請注意此例中，基板加熱室也作為一電漿處理室，透過電漿處理來代替上述的熱處理，可減少一基板表面上的氬氣。電漿處理可以低溫處理且能在短時間內有效的排除氬氣，尤其能有效地排除堅固地黏合在一基板表面上的氬氣。

再者，藉由插入一電晶體及阻斷氬氣之間的膜，可抑制從外部進入的氬氣。此外，有必要減少電晶體內含的膜中氬氣的吸附和擴散之影響；對此，減少在電晶體內含的

膜中之氫濃度才是有效的。此外，膜之間的介面可能包括空氣中吸附的氫氣；爲了減少上述氫氣，盡量避免接觸空氣是有效的。然而，如果無法避免接觸空氣，最好在膜形成之前，於一惰性氣體、一減壓氣體、或一乾空氣氣體中並在大於或等於 250℃ 且小於基板之應變點的溫度下進行熱處理。透過此熱處理，可有效率地排除一基板表面上所吸附的氫氣。

如上所述，本發明之一實施例的技術概念係爲了減少進入每個膜或在電晶體中內含的膜之介面上的氫氣。

根據本發明之一實施例，可減少一氧化物半導體膜所含的氫氣，且可提供一具有穩定電子特性及低變異性的臨界電壓的電晶體。

另外，根據本發明之一實施例，可減少與一氧化物半導體膜接觸之膜中的氫氣，因此，可抑制氫氣進入此氧化物半導體膜。於是，可提供具有良好電子特性和高可靠性的電晶體之半導體裝置。

【實施方式】

此後，本發明之實施例將參考附圖作詳細說明。然而，本發明不限定以下的描述且那些熟習本項技藝人士係能輕易理解此模式及細節可用各種方式來修改。此外，本發明並不限定於如下實施例的說明。請注意在參考圖式的本發明之說明中，元件通常在不同圖示間具有相同的參考數字。同樣請注意相同的劃線圖樣係爲相似部份，且在一些

例子中，此相似部份沒有特別地使用參考數字來表示。

請注意在本說明書中如“第一”和“第二”的順序數字係爲了方便而使用，且並未指出步驟的順序或層次的堆疊順序。此外，在本說明書中的順序數字並不代表說明本發明的特殊名稱。

(實施例 1)

在此實施例中，將使用第 1A 圖和第 1B 圖來說明在膜形成期間，具有較少氫氣進入的膜形成設備之結構。

第 1A 圖說明一多室的膜形成設備。此膜形成設備包括一具有三個適合一基板的卡匣口 14 之基板供應室 11、一真空隔離室 12a、一真空隔離室 12b、一傳送室 13、一基板加熱室 15、一漏損率小於或等於 1×10^{-10} Pa · m³/sec 之膜形成室 10a、一漏損率小於或等於 1×10^{-10} Pa · m³/sec 之膜形成室 10b、以及一漏損率小於或等於 1×10^{-10} Pa · m³/sec 之膜形成室 10c。基板供應室係連接至真空隔離室 12a 和真空隔離室 12b。真空隔離室 12a 和真空隔離室 12b 係連接至傳送室 13。基板加熱室 15 和每個膜形成室 10a-10c 係只連接至傳送室 13。閘閥 16a 到 16h 係用來連接部份的室，如此每個室便可單獨地維持一真空狀態。請注意可引進純度大於或等於 99.999999% 的一膜形成氣體至膜形成室 10a 到 10c 中。雖未說明，但傳送室 13 具有一或多個基板傳送手臂。此處，可控制基板加熱室 15 的氣體成一種幾乎不包括氫氣的氣體（例如一惰性氣體、一減壓

氣體、或一乾空氣氣體)；例如，就濕度而言，可能是濕度為 -40°C 以下，最好為 -50°C 以下的乾氮氣體。此處，基板加熱室 15 較佳地也作為一電漿處理室。使用一單晶圓多室的膜形成設備，在處理過程中，基板不必暴露在空氣下，且可抑制基板上所吸附的氫氣。此外，可自由地產生膜形成、熱處理等的順序。請注意膜形成室、真空隔離室和基板加熱室之數量不限定於上述數量，且可依據空間配置或處理來決定其適當數量。

在第 1A 圖中說明的膜形成室之範例將使用第 2A 圖來說明。膜形成室 10 包括一靶材 32、支持靶材的一靶托 34、透過一匹配箱 52 供給電力至靶托 34 的一 RF 電源 50、一基板支架 42，其支撐一基板且內嵌一基板加熱器 44、一擋門板 48，其會以一擋門軸 46 為軸來旋轉、供給一膜形成氣體的一膜形成氣體來源 56、在膜形成氣體來源 56 及膜形成室 10 之間所提供的一氣體精煉機 54、以及一連接至膜形成室 10 的真空泵 58。此處，膜形成室 10、RF 電源 50、擋門軸 46、擋門板 48、以及基板支架 42 係連接至 GND。然而，一個或多個膜形成室 10、擋門軸 46、擋門板 48、以及基板支架 42 可視情況而電性地流動。又，真空泵 58 不限定一個泵，且可提供一個以上的泵，例如，可並聯或串聯一低真空泵和一高真空泵。此外，可提供一組以上的膜形成氣體來源 56 和氣體精煉機 54；例如，依據膜形成氣體的數量，可增加膜形成氣體來源和氣體精煉機的組數。額外的膜形成氣體來源和氣體精煉機組可直

接連接至膜形成室 10，且在此例中，可在每個氣體精煉機和膜形成室 10 之間提供一質量流量控制器，以控制膜形成氣體之流量率。或者，額外的膜形成氣體來源和氣體精煉機組可直接連接至與膜形成室 10 和氣體精煉機 54 互相連接的一管路。雖未說明，但最好在靶托 34 的內部或底部提供一磁鐵，如此可將高密度電漿限制在靶材附近。此方法被稱作一磁控濺射法，其中的沉積率高，對基板有較少電漿損害，且製成的膜品質優良。在磁控濺射法中，磁鐵之旋轉率可減少在一磁場中的偏移，因此，可增加使用靶材的效率並且可以減少在一基板表面上的膜品質之變異性。再者，雖然在此處的 RF 電源作為用於濺射之電源，但不一定限定於 RF 電源且可根據用途而以一 DC 電源或一 AC 電源替代，或可提供及切換兩種以上型態的電源。DC 電源或 AC 電源的使用消除了對於在電源及靶托之間的匹配箱之需求。此外，需要提供一具夾盤機制之基板支架以支撐一基板；可提供一靜電夾盤系統、一夾板系統等來作為此夾盤機制。為了改善基板表面上的膜品質及厚度之一致性，可提供基板支架一旋轉機制。可提供一個以上的基板支架，如此膜形成室便能夠一次為一個以上的基板形成膜。此外，可使用不提供擋門軸 46、擋門板 48 及基板加熱器 44 之結構。雖然第 2A 圖顯示靶材位於基板下方之結構，但亦可使用靶材位於基板上或旁邊之結構。

在基板加熱室 15 中，例如，可使用一電阻加熱器等來加熱。或者，一基板可藉由一如一已加熱氣體之媒介的

熱傳導或熱輻射來加熱。例如，可使用 RTA(快速熱退火)處理，如 GRTA(氣體快速熱退火)處理或 LRTA(燈快速熱退火)處理。LRTA 處理係藉由一燈具，如一鹵素燈、一金屬鹵素燈、一氬弧燈、一碳弧燈、一高壓鈉燈、或一高壓汞燈，所發射的輻射光(一電磁波)來加熱一物件。GRTA 處理係使用一高溫氣體進行一熱處理；係使用一惰性氣體作為此氣體。

例如，基板加熱室 15 可具備在第 2B 圖中的結構。基板加熱室 15 具有內嵌基板加熱器 44 的基板支架 42、供給膜形成氣體的膜形成氣體來源 56、在膜形成氣體來源 56 及基板加熱室 15 之間所提供的氣體精煉機 54、以及連接至基板加熱室 15 的一真空泵 58。此處，在本例中的基板加熱室 15 也作為一電漿處理室，基板支架 42 通過匹配箱 52 連接至 RF 電源 50，並提供一反電極 68。請注意可在基板支架對面的位置提供 LRTA 設備，來代替基板加熱器的加熱機制；在此例中，可提供基板支架 42 一反射板以有效率地將熱氣傳導至基板。

第 1B 圖顯示一與第 1A 圖中的膜形成設備不同的膜形成設備結構，其包括一真空隔離室 22a、一基板加熱室 25、一漏損率小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 之膜形成室 20a、一漏損率小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 之膜形成室 20b、以及一真空隔離室 22b。真空隔離室 22a 連接至基板加熱室 25；基板加熱室 25 連接至膜形成室 20a；膜形成室 20a 連接至膜形成室 20b；且膜形成室 20b 連接至真空

隔離室 22b。閘閥 26a 到 26f 係用來連接部份的室，如此每個室可單獨地維持在一真空狀態。請注意膜形成室 20a 到 20b 之每一者都與第 1A 圖的膜形成室 10a 到 10c 有相同結構。此外，基板加熱室 25 與第 1A 圖的基板加熱室 15 有相同結構。基板係往第 1B 圖中箭頭指示的唯一方向傳送，且基板的入口跟出口是不同的。不同於第 1A 圖的單晶圓多室膜形成設備，其沒有傳送室，因此可減少路徑。請注意膜形成室、真空隔離室和基板加熱室之數量不限定於上述數量，且可依據空間配置或處理來決定其適當數量。例如，可省略膜形成室 20b，或可提供連接至膜形成室 20b 的一第二或第三膜形成室。

在室溫下的膜形成中，進入一膜中的氬氣量估計是在膜形成室中之氬氣量的 10^2 到 10^4 倍。有鑑於此，必須盡量減少在膜形成室中的氬氣。

特別地，由於膜形成室之漏損率小於或等於 1×10^{-10} Pa · m³/sec，因此可減少在膜形成期間進入一膜的氬氣。

漏損大致可分類為外部漏損和內部漏損。外部漏損係指從一真空系統的外部通過一微小孔或因密封不完全而流入氣體。內部漏損係因在一真空系統中通過一隔板，如一閘閥，而造成的漏損，或由於從一內部構件所釋出的氣體。為了使漏損率小於或等於 1×10^{-10} Pa · m³/sec，必須從外部漏損和內部漏損兩方面進行測量。

例如，膜形成室的一開/關部份最好係用一金屬墊片來密封。關於此金屬墊片，最好係使用一覆蓋氟化鐵、氧

化鋁、或氧化鉻之金屬材料。金屬墊片實現比一 O 型環更高的附著力，並可減少外部漏損。又，藉由使用一種覆蓋氟化鐵、氧化鋁、氧化鉻、或在鈍態下的類似化合物之金屬材料，可抑制從金屬墊片所產生的內含氫氣之釋出氣體，如此可減少內部漏損。

使用鋁、鉻、鈦、鋯、鎳或鈳來作為形成膜形成設備的一構件，其中內含氫氣的釋出氣體量較少。可使用一覆蓋上述材料且內含鐵、鋁、鎳等之合金材料。內含鐵、鋁、鎳等之合金材料可抗熱並適用於處理。此處，當藉由磨光來減少表面積而減少構件的表面不均勻性時，可減少釋出氣體。

或者，可用氟化鐵、氧化鋁、或氧化鉻等來覆蓋膜形成設備的上述構件。

膜形成設備的構件最好盡量只用一種金屬材料來形成。例如，在此例中提供一由石英等形成的視窗，最好係用氟化鐵、氧化鋁、氧化鉻等薄薄地覆蓋一表面，以便抑制釋出氣體。

此外，膜形成氣壓係小於或等於 0.8 Pa ，最好係小於或等於 0.4 Pa ，且在膜形成期間，靶材和基板之間的距離係小於或等於 40 mm ，最好係小於或等於 25 mm ，如此可減少一濺射粒子和另一個濺射粒子、氣體分子或離子之碰撞頻率。亦即，依據膜形成氣壓，應該要使靶材和基板之間的距離比濺射粒子、氣體分子或離子之平均自由路徑更短。例如，當氣壓為 0.4 Pa 且溫度為 25°C （絕對溫度為

298K)時，氫分子的平均自由路徑為 28.3mm，氧分子的平均自由路徑為 26.4mm，氮分子的平均自由路徑為 48.7mm，水分子的平均自由路徑為 31.3mm，氬分子的平均自由路徑為 57.9mm，以及氖分子的平均自由路徑為 42.3mm。請注意兩倍的氣壓會減半平均自由路徑，且兩倍的絕對溫度會加倍平均自由路徑。

這裡要介紹可在膜形成氣體之前提供氣體精煉機。此時，在氣體精煉機及膜形成室之間的一管路長度係小於或等於 5m，最好係小於或等於 1m。當管路長度小於或等於 5m 或小於或等於 1m 時，可因此減少由管路釋出氣體之影響。

此外，最好使用一內部以氟化鐵、氧化鋁、氧化鉻等覆蓋的金屬管路來作為膜形成氣體之管路。使用上述管路，內含氫氣之釋放氣體量會很少，且例如與一 SUS316L-EP 管路相比，可減少進入膜形成氣體之雜質。再者，最好使用一高性能超小型金屬墊片接頭(一 UPG 接頭)來作為管路之接頭。此外，與使用樹脂等的結構相比，最好採用管路的所有材料皆為金屬材料之結構，其可降低所產生的釋出氣體或外部漏損之影響。

最好在適當組合下使用一低真空泵，如一乾燥泵，及一高真空泵，如一濺射離子泵、一渦輪分子泵或一低溫泵，來進行膜形成室的抽真空作用。渦輪分子泵對抽真空一大型分子有很好的能力，然而對抽真空氫氣或水之能力較低。因此，組合有高度能力抽真空水的一低溫泵和有高度

能力抽真空氬氣的一濺射離子泵是有效率的。

由於被吸附，存在於膜形成室的一被吸附物雖不會影響膜形成室中的氣壓，但在膜形成室被抽真空時，被吸附物便導致氣體釋出。因此，雖然漏損率及抽真空率不具關聯性，但盡量解吸存在於膜形成室之被吸附物以及事先利用一具高抽真空能力的泵進行抽真空作用仍是重要的。請注意膜形成室可受到烘烤以促進解吸被吸附物。藉由烘烤處理，被吸附物之解吸率可增加大約十倍。烘烤處理應該在大於或等於 100°C 且小於或等於 450°C 的溫度下進行。此時，當在引進一惰性氣體期間而排除被吸附物時，會更增加水的解吸率，其很難僅藉由抽真空來解吸。請注意藉著在與烘烤的溫度大致相同之溫度下來加熱欲被引進的惰性氣體，便可更增加被吸附物之解吸率。此外，藉由與烘烤同時進行的虛擬膜形成，也可更增加被吸附物之解吸率。此處，虛擬膜形成係指藉由濺射而在一虛擬基板上形成膜，在其中有一膜沉積在虛擬基板和一膜形成室之內壁上，如此便將膜形成室中的雜質和膜形成室內壁上的被吸附物限制在此膜中。關於此虛擬基板，最好係使用會釋出較小氣體量之材料，例如，可使用與基板 100 相同的材料。

藉由使用上述膜形成設備來形成一氧化物半導體膜，可抑制氬氣進入此氧化物半導體膜中。此外，藉由使用上述膜形成設備來形成與氧化物半導體膜接觸的膜，可抑制氬氣從與氧化物半導體接觸的一膜中進入氧化物半導體膜。因此，可製造出電子特性為高可靠性及低變異性之半導

體裝置。

(實施例 2)

在本實施例中，將說明一種使用一具少量氫氣進入的膜形成方法來製造一半導體裝置的方法，其有關於第 3A 圖到第 3C 圖、第 4A 圖和第 4B 圖、第 5A 圖到第 5C 圖、第 6A 圖到第 6E 圖、及第 7A 圖到第 7E 圖。

在第 3A 圖到第 3C 圖中，為根據本發明之一實施例之半導體裝置的一頂閘頂部接觸型之電晶體 151 的上視圖及剖面圖。此處，第 3A 圖係一上視圖，第 3B 圖係一沿著第 3A 圖的 A-B 線之剖面圖，且第 3C 圖係一沿著第 3A 圖的 C-D 線之剖面圖。請注意在第 3A 圖中，為了簡要起見而省略薄膜電晶體 151 的一些元件（例如，一閘極絕緣膜 112）。

在第 3A 圖到第 3C 圖中的電晶體 151 包括一基板 100、一在基板 100 上的絕緣膜 102、一在絕緣膜 102 上的氧化物半導體膜 106、在氧化物半導體膜 106 上提供的一源極 108a 和一汲極 108b、一覆蓋在源極 108a 和汲極 108b 上且部份與氧化物半導體膜 106 接觸的閘極絕緣膜 112、以及一在氧化物半導體膜 106 上之閘極 114，其中閘極絕緣膜 112 係插入氧化物半導體膜 106 和閘極 114 之間。

雖然沒有特別限制基板 100 的材料等性質，但必須至少具有足夠的抗熱能力以禁得起後續進行的熱處理。例如，可使用一玻璃基板、一陶瓷基板、一石英基板、一藍寶

石基板等作為基板 100。也可使用任何一個下列基板：由矽、碳化矽等製成的一單晶體半導體基板或一多晶體半導體基板；由矽鍺等製成的一複合半導體基板；一 SOI 基板等等。這些之任何一個更設有一半導體元件可用來作為基板 100。

可使用一彈性基板作為基板 100。在此例中，一電晶體可直接形成在彈性基板上。請注意為了在彈性基板上設有一電晶體，也可使電晶體在一非彈性基板上形成，且隨後分開並轉印此電晶體到一作為基板 100 的彈性基板。在此例中，在基板 100 和電晶體之間最好提供一間隔。

至於絕緣膜 102 的材料可使用一單層或一氧化矽、氮氧化矽、氮化矽、氮化矽氧化物、氧化鋁、氮化鋁等的堆疊。例如，絕緣膜 102 有一氮化矽膜和氧化矽膜之堆疊結構，如此可防止濕氣從基板等進入電晶體 151。當絕緣膜 102 有一堆疊結構時，與氧化物半導體膜 106 接觸之側邊上的膜最好是一藉由加熱來釋出氧氣（例如，氧化矽、氮氧化矽、或氧化鋁）的絕緣膜；藉此，便可從絕緣膜 102 供應氧氣到氧化物半導體膜 106，並有可能降低氧化物半導體膜 106 之氧氣不足以及在絕緣膜 102 和氧化物半導體膜 106 之間的介面狀態密度。氧化物半導體膜 106 之氧氣不足會導致臨界電壓朝反方向偏移，且在絕緣膜 102 和氧化物半導體膜 106 之間的介面狀態密度會減少電晶體之可靠性。請注意絕緣膜 102 係作為電晶體 151 的一基底膜。

請注意此處的氮氧化矽係指一種具有氧含量高於氮含

量之組合的材料，當它們藉由拉塞福背向散射分析(RBS)和氬氣正向散射分析(HFS)測量時，最好係一種具備下列組合範圍的材料：50at.%到70at.%的氧；0.5at.%到15at.%的氮；25at.%到35at.%的矽；及0at.%到10at.%的氫。此外，氮化矽氧化物係指一種具有氮含量高於氧含量之組合的材料，當它們藉由RBS和HFS測量時，最好係一種具備下列組合範圍的材料：5at.%到30at.%的氧；20at.%到55at.%的氮；25at.%到35at.%的矽；及10at.%到30at.%的氫。請注意當氮氧化矽或氮化矽氧化物內含的原子總量為100at.%時，氮、氧、矽和氫的百分比含量會落在上述範圍之內。

“藉由加熱來釋出氧氣的絕緣膜”係指當利用TDS(熱解吸光譜學)分析來轉成氧原子時，一種釋出的氧氣量大於或等於 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 的絕緣膜，最好係大於或等於 $1.0 \times 10^{20} \text{ atoms/cm}^3$ ，更好係大於或等於 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 。

這裡，將說明藉由使用TDS分析來轉成氧原子以測量釋出的氧氣量之方法。

在TDS分析中釋出的氣體量係與一光譜之積分值成正比。因此，從一絕緣膜之光譜的積分值及一標準樣本的參考值之間的比率可計算出釋出的氣體量。一標準樣本的參考值係指在一樣本中之一預定原子之密度與一光譜之積分值的比率。

例如，根據具有一矽晶圓的TDS分析結果以及絕緣膜

的 TDS 分析結果之數學式 1，其中此矽晶圓為在一預定密度中內含氫氣的標準樣本，可發現從一絕緣膜釋出之氧分子量 (N_{O_2})。此處，由 TDS 分析而得到之所有含大量 32 的光譜係被認為來自於一氧分子。已知 CH_3OH 係一種含大量 32 之氣體，但其被認定不太可能存在而不列入考慮。此外，一包括具有大量為氧原子之同位素之 17 或 18 的氧原子之氧分子，也沒有被列入考慮，因為這樣的分子之比例在自然世界中是最少的。

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha \quad (\text{數學式 1})$$

N_{H_2} 係藉由將從標準樣本解吸出的氫分子量轉換成密度所得到的數值。當標準樣本受到 TDS 分析時， S_{H_2} 係一光譜之積分值。此處，標準樣本之參考值係設為 N_{H_2} / S_{H_2} 。當絕緣膜受到 TDS 分析時， S_{O_2} 係一光譜之積分值。 α 係一在 TDS 分析中影響光譜強度的係數。請參考日本公開專利申請書第 H6-275697 號對於數學式 1 的詳細說明。請注意，從上述絕緣膜釋出的氧氣量係以 ESCO Ltd., EMD-WA1000S/W 生產的熱解吸光譜設備來測量，其使用內含 $1 \times 10^{16} \text{ atom/cm}^3$ 氫原子之矽晶圓作為標準樣本。

此外，在 TDS 分析中，測出部份的氧氣為一氧原子。從氧分子之電離率可計算出氧分子和氧原子之間的比率。請注意，因為上述 α 值包括氧分子之電離率，故透過估計所釋出之氧分子量也可估計所釋出之氧原子量。

請注意 NO_2 係釋出的氧分子量。對於絕緣膜，當釋出的氧氣被轉成氧原子時，為釋出的氧分子量之兩倍。

在上述結構中，藉由加熱來釋出氧氣的絕緣膜可為過氧化矽 ($\text{SiO}_x (x > 2)$)。過氧化矽 ($\text{SiO}_x (x > 2)$) 係指一種每單位體積中氧原子量大於兩倍矽原子量的材料。每單位體積的矽原子量和氧原子量係為藉由拉塞福背向散射分析測量出的數值。

下列任何一個材料都可用來作為氧化物半導體膜的材料：一以 In-Sn-Ga-Zn-O 為基礎的材料，其為四個金屬元素的金屬氧化物；一以 In-Ga-Zn-O 為基礎的材料、一以 In-Sn-Zn-O 為基礎的材料、一以 In-Al-Zn-O 為基礎的材料、一以 Sn-Ga-Zn-O 為基礎的材料、一以 Al-Ga-Zn-O 為基礎的材料、以及一以 Sn-Al-Zn-O 為基礎的材料，其皆為三個金屬元素的金屬氧化物；一以 In-Zn-O 為基礎的材料、一以 Sn-Zn-O 為基礎的材料、一以 Al-Zn-O 為基礎的材料、一以 Zn-Mg-O 為基礎的材料、一以 Sn-Mg-O 為基礎的材料、和一以 In-Mg-O 為基礎的材料、以及一以 In-Ga-O 為基礎的材料，其皆為兩個金屬元素的金屬氧化物；一以 In-O 為基礎的材料；一以 Sn-O 為基礎的材料；一以 Zn-O 為基礎的材料等等。此外，上述每個材料可包括 SiO_2 。此處，例如，一以 In-Ga-Zn-O 為基礎的材料意指一內含銦 (In)、鎵 (Ga)、鋅 (Zn) 的氧化膜，且沒有特別地限制其成分比率。又，以 In-Ga-Zn-O 為基礎的氧化物半導體可內含除了 In、Ga 和 Zn 之外的元素。

此外，氧化物半導體膜係使用一種由化學式 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 所表現之材料的薄膜來形成。此處，M 表示一個或多個從 Ga、Al、Mn 和 Co 選出的金屬元素。例如，Ga、Ga 和 Al、Ga 和 Mn、Ga 和 Co 等皆可作為 M。

在氧化物半導體膜中，能隙應大於或等於 3 eV，最好係大於或等於 3 eV 且小於 3.6 eV。此外，電子親合性應大於或等於 4 eV，最好係大於或等於 4 eV 且小於 4.9 eV。再者，在這樣的材料中，從一供體或一受體獲得的載子濃度應該要小於 $1 \times 10^{14} \text{cm}^{-3}$ ，最好係小於 $1 \times 10^{11} \text{cm}^{-3}$ 。此外，在氧化物半導體膜中，氫濃度應該要小於 $1 \times 10^{18} \text{cm}^{-3}$ ，最好係小於 $1 \times 10^{16} \text{cm}^{-3}$ 。在一包括上述氧化物半導體膜的薄膜電晶體中，如一活性層，截止態的電流可採用一極低值 1 zA (10^{-21} 安培， 10^{-21}A)。

閘極絕緣膜 112 可與絕緣膜 102 有相同結構。在此例中，考量到作為電晶體之閘極絕緣膜之功能，可使用一種具有一高介電常數的材料，如氧化鉛或氧化鋁。此外，考量到一閘極耐受電壓或在氧化物半導體和閘極絕緣膜之間的介面狀態等，可在氧化矽、氮氧化矽或氮化矽上堆疊一種具高介電常數的材料，如氧化鉛或氧化鋁。

更可在電晶體 151 上提供一防護性絕緣膜。此防護性絕緣膜可與絕緣膜 102 有相同結構。此外，為了電性連接源極 108a 或汲極 108b 至一線路，可於絕緣膜 102、閘極絕緣膜 112 等中形成一開口。更可在氧化物半導體膜 106

下方提供一第二閘極。請注意氧化物半導體膜 106 最好，但並非一定，係被處理成一島型。

此外，可提供一作為一源極區或一汲極區的導電氧化膜，以便作為在氧化物半導體膜 106 和源極 108a 之間以及在氧化物半導體膜 106 和汲極 108b 之間的暫存區。

在第 4A 圖中，在氧化物半導體膜 106 和源極 108a 之間重疊的部份提供一暫存區 128a，且在氧化物半導體膜 106 和汲極 108b 之間重疊的部份提供一暫存區 128b。

在第 4B 圖中，提供暫存區 128a 和暫存區 128b 來接觸源極 108a 和汲極 108b 的下部份。

氧化銦 (In_2O_3)、氧化錫 (SnO_2)、氧化鋅 (ZnO)、銦錫氧化物 ($\text{In}_2\text{O}_3\text{-SnO}_2$ ，其縮寫為 ITO)、氧化銦-氧化鋅 ($\text{In}_2\text{O}_3\text{-ZnO}$)、或任何一個內含氧化矽的金屬氧化物材料可用於導電氧化膜。

藉由在氧化物半導體膜 106 和源極 108a 之間以及在氧化物半導體膜 106 和汲極 108b 之間提供導電氧化膜來作為源極區或汲極區，便可能減少在源極區和氧化物半導體膜 106 之間以及在汲極區和氧化物半導體膜 106 之間的接觸電阻，如此電晶體 151 就可高速運作。

第 4A 圖和第 4B 圖中的暫存區之功能並無不同，其說明了依據形成方法而有不同形式之範例。

第 5A 圖到第 5C 圖說明電晶體之剖面結構，其不同於電晶體 151 之結構。

在第 5A 圖中說明的電晶體 152 在某些部份與電晶體

151 相同，它們都包括絕緣膜 102、氧化物半導體膜 106、源極 108a、汲極 108b、閘極絕緣膜 112 以及閘極 114。電晶體 152 與電晶體 151 不同的是氧化物半導體膜 106 之位置係連接至源極 108a 和汲極 108b。亦即，在電晶體 152 中，源極 108a 和汲極 108b 係接觸氧化物半導體膜 106 之下部份。其他元件與第 1A 圖和第 1B 圖中的電晶體 151 相同。

此外，可提供一作為源極區和汲極區之導電氧化膜來當成氧化物半導體膜 106 和源極 108a 之間以及氧化物半導體膜 106 和汲極 108b 之間的暫存區。

在第 5B 圖中，於氧化物半導體膜 106 和源極 108a 之間重疊的部份提供了一暫存區 128a，且於氧化物半導體膜 106 和汲極 108b 之間重疊的部份提供了一暫存區 128b。請注意，雖未說明，可提供暫存區 128a 和暫存區 128b，以擁有與源極 108a 和汲極 108b 具相同形式的一上表面。

第 5C 圖中，係在源極 108a 下方直接提供暫存區 128a，且在源極 108b 下方直接提供暫存區 128b。在此例中，暫存區 128a 的側邊部份和暫存區 128b 的側邊部份皆為用來電性連接至氧化物半導體膜 106 之區域。

現在將使用第 6A 圖到第 6E 圖來說明第 3A 圖到第 3C 圖中的電晶體 151 之製程之範例。請注意，在此實施例中，膜形成和熱處理或電漿處理盡可能在一真空狀態下連續地進行(在原處)。首先，說明在第 1A 圖中使用膜形成設備的過程。

首先，引進基板 100 至真空隔離室 12a。接著，將基板 100 傳送至基板加熱室 15，並透過在基板加熱室 15 中的第一熱處理、電漿處理等程序來排除基板 100 所吸附的氫氣。這裡，係於一惰性氣體、一減壓氣體或一乾空氣氣體中並在一大於或等於 100°C 且小於基板之應變點的溫度下進行第一熱處理。另外，係使用稀有氣體、氧、氮、或氧化氮(例如，氧化亞氮、一氧化氮或二氧化氮)來用於電漿處理。之後，基板 100 便傳送至漏損率小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 的膜形成室 10a，並藉由一濺射法來形成厚度大於或等於 50nm 且小於或等於 500nm 的絕緣膜 102，最好係大於或等於 200nm 且小於或等於 400nm (見第 6A 圖)。接著，將基板 100 傳送至基板加熱室 15 之後，便於一惰性氣體、一減壓氣體或一乾空氣氣體中並在一大於或等於 150°C 且小於或等於 280°C 的溫度下進行第二熱處理，最好係大於或等於 200°C 且小於或等於 250°C 。透過第二熱處理，可排除基板 100 和絕緣膜 102 中的氫氣。請注意第二熱處理係在可移除絕緣膜 102 中的氫氣，但盡可能減少氧氣釋出之溫度下進行。隨後，將基板 100 傳送至漏損率小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 的膜形成室 10b，且藉由一濺射法來形成氧化物半導體膜。然後，將基板 100 傳送至基板加熱室 15 之後，便可於一惰性氣體、一減壓氣體或一乾空氣氣體中並在一大於或等於 250°C 且小於或等於 470°C 的溫度下進行第三熱處理，如此在絕緣膜 102 提供氧氣到氧化物半導體膜期間，便排除了氧化物半導體

膜中的氫氣。請注意第三熱處理係在比第二熱處理高 5°C 以上的溫度下進行。藉著以這樣的方式來使用第 1A 圖的膜形成設備，可在膜形成期間持續進行較少氫氣進入的製程。

接著，係說明使用第 1B 圖中的膜形成設備之如上述過程之相同過程。

首先，引進基板 100 至真空隔離室 22a。接著，將基板 100 傳送至基板加熱室 25，並透過在基板加熱室 25 中的第一熱處理、電漿處理等程序來排除基板 100 所吸附的氫氣。這裡，係於一惰性氣體、一減壓氣體或一乾空氣氣體中並在一大於或等於 100°C 且小於或等於基板之應變點的溫度下進行第一熱處理。另外，係使用稀有氣體、氧、氮、或氧化氮(例如，氧化亞氮、一氧化氮或二氧化氮)來用於電漿處理。之後，基板 100 傳送至漏損率小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 的膜形成室 20a，並藉由一濺射法來形成厚度為 300nm 的絕緣膜 102(見第 6A 圖)。接著，基板 100 傳送至漏損率小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 的膜形成室 20b，並藉由一濺射法來形成厚度為 30nm 之氧化物半導體膜。藉由以這樣的方式來使用第 1B 圖的膜形成設備，可在膜形成期間持續進行較少氫氣進入的製程。

此處，在基板加熱室 15 或基板加熱室 25 中，藉由使用 GRTA 處理，便可能在短時間內進行高溫熱處理，其中係將基板放進一已加熱惰性氣體中，如此可增進生產率。此外，即使在溫度超過基板之溫度上限的情況下，仍可使

用 GRTA 處理。請注意在處理期間，可將惰性氣體切換成一氧化氣體。透過在氧化氣體中的熱處理，可填補氧化物半導體膜中氧氣的不足並降低由於氧氣不足所造成在一能隙中的缺陷程度。

氧化物半導體膜之厚度最好係大於或等於 3nm 且小於或等於 50nm。這是因為，若氧化物半導體膜太厚(例如，厚度大於或等於 100nm)，則會增加短通道效應的作用而可能會正常地導通一小型電晶體。

在此實施例中，係使用一以 In-Ga-Zn-O 為基礎的氧化物靶材來形成氧化物半導體膜。

例如，可使用一種內含成分比為 1 : 1 : 1(莫耳比)的 In_2O_3 、 Ga_2O_3 和 ZnO 之氧化物靶材來作為以 In-Ga-Zn-O 為基礎的氧化物靶材。請注意靶材的材料及之成份比並不以上述為限。例如，也可使用一種內含成分比為 1 : 1 : 2(莫耳比)的 In_2O_3 、 Ga_2O_3 和 ZnO 之氧化物靶材。

氧化物靶材的相對密度係大於或等於 90% 並小於或等於 100%，最好係大於或等於 95% 並小於或等於 100%。這是因為，藉著使用有一高相對密度的氧化物靶材，已形成的氧化物半導體膜便可為一稠密膜。

在內含一稀有氣體和氧氣等的一稀有氣體空氣、一氧化物氣體和一混合氣體之下，可進行氧化物半導體膜之形成。

例如，氧化物半導體膜可在下列情況下形成：基板和靶材之間的距離為 60mm；氣壓為 0.4 Pa；直流(DC)電力

為 0.5kW；且膜形成氣體為一內含氫和氧(氧氣流率為 33%)的混合氣體。請注意最好使用一脈衝 DC 濺射法，因為可減少在膜形成中產生的粉末基板(亦係指粒子或灰塵)並可統一膜的厚度。基板溫度係大於或等於 100℃ 且小於或等於 400℃。透過加熱基板 100 來進行膜形成，可減少在氧化物半導體膜中的過多氫氣以及其他雜質之濃度。另外，可減少因濺射所造成的損害。此外，氧氣便從絕緣膜 102 釋出，並可降低氧化物半導體膜中氧氣的不足以及絕緣膜 102 與氧化物半導體膜之間的介面狀態密度。

在基板 100 暴露在空氣中之後，氧化物半導體膜可受到第三熱處理。透過第三熱處理，可排除氧化物半導體膜中過多的氫氣並可使氧化物半導體膜之結構有條理。第三熱處理的溫度係大於或等於 100℃ 且小於或等於 650℃ 或小於基板之應變點，最好係大於或等於 250℃ 且小於或等於 600℃，且大於或等於 250℃ 且小於或等於 450℃ 會更好。熱處理係在一氧化氣體或一惰性氣體中進行。此外，氧氣便從絕緣膜 102 釋出，並可降低氧化物半導體膜中氧氣的不足以及絕緣膜 102 與該氧化物半導體膜之間的介面狀態密度。

第三熱處理可以下列方法進行，例如，將一欲被加熱的物件引進至一個使用一電阻加熱器等之電爐，並在一氮氣中以 350℃ 的溫度加熱一小時。在此熱處理期間，氧化物半導體膜沒有暴露於空氣中，如此可防止水或氫氣進入。

請注意用於第三熱處理的設備不限定為一電爐，亦可使用另一種設備，其藉由一如一已加熱氣體的媒介傳來的熱傳導或熱輻射來加熱一欲被處理的物件，例如，可使用一 RTA 設備。

附帶一提，在隨後過程中，可對基板 100 重覆進行與第三熱處理相同的熱處理。

請注意氧化氣體係指一種氧化氣體之空氣(例如，一氧氣、一臭氧或一氧化氮)，且最好不包括氫氣等。例如，欲被引進的氧化氣體之純度係 8N(99.999999%)以上，最好係 9N(99.99999999%)以上。可使用混合一惰性氣體的氧化氣體來作為上述氧化的空氣，其內含濃度至少 10ppm 以上的氧化氣體。

接著，處理氧化物半導體膜以形成島型氧化物半導體膜 106(見第 6B 圖)。

在氧化物半導體膜上形成一所欲形狀之光罩之後，會以蝕刻來處理氧化物半導體膜 106。藉由如微影光刻的方法可形成光罩。或是，藉由如一噴墨法的方法可形成光罩。

接下來，在絕緣膜 102 和氧化物半導體膜 106 上產生一用來形成源極和汲極的導電膜(包括一以相同膜形成的線路)，並處理此導電膜以形成源極 108a 和汲極 108b(見第 6C 圖)。請注意電晶體之通道長度 L 可由在此形成的源極 108a 和汲極 108b 兩者的邊緣部份之間的距離來決定。

例如，可使用一種內含鋁、鉻、銅、鈮、鈦、鉬和鎢

之其一者元素的金屬膜，或一種包括上述任何元素作為主要成分的金屬氮化物膜(例，一氮化鈦膜、一氮化鉬膜、或一氮化鎢膜)來作為用於源極 108a 和汲極 108b 的導電膜。可使用含有高熔點金屬膜的結構，如鈦、鉬、或鎢，或使用在一鋁、銅等的金屬膜之上下其中一側或上下兩側上堆疊一種任何這些元素的金屬氮化物膜(例如，一氮化鈦膜、一氮化鉬膜、或一氮化鎢膜)之結構。請注意作為源極 108a 和汲極 108b 的導電膜可與第一實施例中描述的設備一起形成。

用於源極 108a 和汲極 108b 的導電膜可使用一導電金屬氧化物來形成。可使用 In_2O_3 、 SnO_2 、 ZnO 、ITO、 $\text{In}_2\text{O}_3\text{-ZnO}$ 、或任何包括矽或氧化矽的金屬氧化物之材料來作為導電金屬氧化物。

使用一抗蝕光罩來蝕刻可處理導電膜。在形成用於蝕刻的抗蝕光罩期間，最好係使用紫外線、一 KrF 雷射光、一 ArF 雷射光等來進行曝光。

請注意此例中因進行曝光，因此通道長度 L 係小於 25nm，例如，最好係使用具幾毫微米到幾十倍毫微米的極短波長之極紫外線作為在抗蝕光罩之形成期間的曝光。在極紫外線之曝光下，解析度高且聚焦深度大。因此，可減少之後形成的電晶體之通道長度 L ，並增加電路之運作速度。

此外，以一種所謂多色調光罩形成的一抗蝕光罩可用來蝕刻。因為以一多色調光罩所形成的抗蝕光罩具有多個

厚度且藉著灰化作用可進一步地改變形狀，所以抗蝕光罩可在多個用於不同模型的抗蝕步驟中使用。因此，藉著一多色調光罩，便可形成一對應於至少兩種以上不同模型的抗蝕光罩；亦即，可簡化過程。

請注意，在導電膜之蝕刻作用下，部份的氧化物半導體膜 106 可能被蝕刻成一具有一凹槽部份(一凹下部份)的氧化物半導體膜。

請注意可提供一作為源極區和汲極區的導電氧化膜，以便作為在氧化物半導體膜 106 和源極 108a 之間以及在氧化物半導體膜 106 和汲極 108b 之間的暫存區。

在此例中，形成了氧化物半導體膜和導電氧化膜的堆疊，並在一微影光刻步驟中處理氧化物半導體膜和導電氧化膜的堆疊形狀，以形成島型氧化物半導體膜 106 和島型導電氧化膜。在氧化物半導體膜 106 和導電氧化膜上形成源極 108a 和汲極 108b 之後，便可藉由將導電氧化膜與源極 108a 和汲極 108b 蝕刻成一光罩並將其劃分成源極區及汲極區之方法來形成暫存區。

或者，導電氧化膜係形成於氧化物半導體膜 106 之上，一導電膜亦形成於此處，且導電氧化膜和導電膜會在一微影光刻步驟中被處理，如此便形成了作為源極區和汲極區的暫存區，其與源極 108a 和汲極 108b 的下部份接觸。

作為導電氧化膜的膜形成方法，係採用一濺射法、一真空蒸發法(例如，一電子束蒸法)、一電弧離子鍍膜法或一噴霧法。

接著，形成閘極絕緣膜 112 以便覆蓋源極 108a 及汲極 108b 並接觸部份的氧化物半導體膜 106(見第 6D 圖)。

請注意在閘極絕緣膜 112 形成之前，可進行使用一氧化氣體的電漿處理，如此氧化了氧化物半導體膜 106 的曝露表面並填補氧氣的不足。當進行時，電漿處理最好係在不曝露在空氣中，並接在形成與部份氧化物半導體膜 106 接觸的閘極絕緣膜 112 之後進行。

閘極絕緣膜 112 會具有與基底絕緣膜 102 相同的結構。閘極絕緣膜 112 的總厚度最好係大於或等於 1nm 且小於或等於 300nm，更好係大於或等於 5nm 且小於或等於 50nm。由於閘極絕緣膜 112 的厚度大，一短通道效應便更強且臨界電壓更容易朝反方向偏移。此外，發現由於一隧道電流使得漏損率會在閘極絕緣膜之厚度為 5nm 以下時增加。請注意閘極絕緣膜 112 可與第一實施例中描述的設備一起形成。

之後，藉由一微影光刻步驟來形成和處理一導電膜，以形成閘極 114(見第 6E 圖)。可使用一金屬材料，如鉬、鈦、鉕、鎢、鋁、銅、鈐、銦、或具有任何這些金屬材料的氮化物、或任何內含任何這些金屬材料作為主要成分的合金金屬，來形成閘極 114。請注意閘極 114 可具有一單層結構或一堆疊結構。

經過上述過程，便形成電晶體 151。

接著，參考第 7A 圖到第 7E 將描述第 5A 圖中說明的電晶體 152 的製程之範例。請注意，在此實施例中，描述

係使用用於在第 1A 圖中的膜形成設備之製造方法。

首先，將基板 100 從基板供應室 11 傳送至真空隔離室 12a。接著，通過真空隔離室 12a 和傳送室 13 將基板 100 傳送至基板加熱室 15，並透過在基板加熱室 15 中的第一熱處理、電漿處理等來排除基板 100 吸附的氫氣。之後，通過傳送室 13 將基板 100 傳送至漏損率小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 之膜形成室 10c，並藉由一濺射法來形成厚度為 300nm 之絕緣膜 102(見第 7A 圖)。之後，便形成導電膜。

從膜形成設備中暫時取出基板，藉由一微影光刻步驟來處理導電膜，以形成源極 108a 和汲極 108b(見第 7B 圖)。

請注意可提供一個作為源極區和汲極區的導電氧化膜，以便當作在絕緣膜 102 和源極 108a 之間以及在絕緣膜 102 和汲極 108b 之間的暫存區。

在此例中，係在絕緣膜 102 上形成導電氧化膜和導電膜的堆疊，並在一微影光刻步驟中處理導電氧化膜和導電膜的堆疊形狀，以形成作為源電極 108a 和漏電極 108b 的暫存區，其下部分係與源電極 108a 和漏電極 108b 接觸。

或者，可在絕緣膜 102 上形成導電膜和導電氧化膜的堆疊，並在一微影光刻步驟中處理之，如此便形成作為源極 108a 和汲極 108b 的暫存區，其接觸源極 108a 和汲極 108b 之上部份。

接著，將基板 100 從基板供應室 11 傳送至真空隔離

室 12a。接著，通過真空隔離室 12a 和傳送室 13 將基板 100 傳送至基板加熱室 15，並透過在基板加熱室 15 中的第一熱處理、電漿處理等來排除基板 100 吸附的氫氣。之後，通過傳送室 13 將基板 100 傳送到漏損率小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 的膜形成室 10b，並藉由一濺射法來形成氧化物半導體膜。藉著以這樣的方式來使用第 1A 圖中的膜形成設備，可在膜形成期間持續進行較少氫氣進入的製程。

接著，處理氧化物半導體膜以形成島型氧化物半導體膜 106(見第 7C 圖)。之後，可進行與用於電晶體 151 相同的第一熱處理。

請注意在此例中，形成了分別作為源極區和汲極區的暫存區，其係與源極 108a 和汲極 108b 的上部份接觸，在氧化物半導體膜 106 的處理期間也可能處理暫存區。甚至在此例中，儘管改變了剖面之最終形狀，暫存區的功能也不會改變。

接著，形成閘極絕緣膜 112 以便覆蓋氧化物半導體膜 106 並接觸部份的源極 108a 和汲極 108b(見第 7D 圖)。

之後，藉由一微影光刻步驟形成和處理一導電膜，以形成閘極 114(見第 7E 圖)。

經過上述過程，便形成電晶體 152。

如上所述，根據本實施例，便可提供一使用具低變異之電子特性的氧化物半導體之半導體裝置。又，可提供一具高可靠性的半導體裝置。

在本實施例中描述的結構和方法可適當地與在其他實施例中描述的任何一個結構和方法作結合。

(實施例 3)

將使用第 8A 圖到第 8C 圖來描述一種用於一氧化物半導體膜的膜形成方法，其可用於第二實施例中的一電晶體之一半導體膜。

本實施例的氧化物半導體膜具有一堆疊結構，包括一第一結晶氧化物半導體膜及在其上方之一第二結晶氧化物半導體膜，其中第二結晶氧化物半導體膜係比第一結晶氧化物半導體膜厚。

首先，在基板 100 上形成絕緣膜 102。

接著，在絕緣膜 102 上形成一厚度大於或等於 1nm 且小於或等於 10nm 的第一結晶氧化物半導體膜。係使用一濺射法來形成第一結晶氧化物半導體膜。在膜形成期間，基板溫度係大於或等於 100℃ 且小於或等於 400℃。

在此實施例中，在一只有氧氣、只有氬氣或氧氣和氬氣的氣體中，對一氧化物半導體使用一靶材(使用一靶材於一以 In-Ga-Zn-O 為基礎的氧化物半導體，其內含比例為 1:1:2[莫耳比]的 In_2O_3 、 Ga_2O_3 和 ZnO)來形成厚度為 5nm 的第一氧化物半導體膜，這裡基板和靶材之間的距離為 60mm，基板溫度為 200℃，氣壓為 0.4 Pa，且直流(DC)電源為 0.5kW。

接著，將在放置了基板的膜形成室中的氣體設成氮氣

或乾空氣，並進行第一結晶化熱處理。第一結晶化熱處理之溫度係大於或等於 400°C 且小於或等於 750°C 。藉由第一結晶化熱處理便形成一第一結晶氧化物半導體膜 116a (見第 8A 圖)。

依據第一結晶化熱處理之溫度，第一結晶化熱處理便使一膜表面被結晶化且逐漸從膜的表面往內部結晶；於是，便獲得對準晶體的 c 軸。藉由第一結晶化熱處理，便增加膜表面中鋅和氧的比例，且在最外層表面上，形成一或多層包括鋅和氧且有一六角型之上平面的石磨片型之二維晶體；層數會往厚度方向增加以互相重疊。藉著增加第一結晶化熱處理之溫度，便繼續從表面到內部，並從內部到底部增加結晶體。

藉由第一結晶化熱處理，絕緣膜 102 之氧氣被擴散至絕緣膜 102 和第一結晶氧化物半導體膜 116a 之間的介面或此介面周圍(距離介面正負 5nm 內)，如此可減少第一結晶氧化物半導體膜中以及絕緣膜 102 與第一結晶氧化物半導體膜 116a 之間的介面狀態的氧空缺。

接著，在第一結晶氧化物半導體膜 116a 上形成一厚度大於 10nm 的第二結晶氧化物半導體膜。在第二結晶氧化物半導體的形成中，係使用一濺射法，且基板溫度係大於或等於 100°C 且小於或等於 400°C 。在膜形成期間以大於或等於 100°C 且小於或等於 400°C 的基板溫度，便可將前體放置在氧化物半導體膜中，其中此氧化物半導體膜係在第一結晶氧化物半導體膜的平面上形成並與其接觸，而

可達到所謂的整齊有序。

在本實施例中，在一氧氣氣體、一氬氣氣體、或一混合氬和氧之氣體中，形成厚度為 25nm 的第二氧化物半導體膜，此情形中係對一氧化物半導體使用一靶材(使用一靶材於一以 In-Ga-Zn-O 為基礎的氧化物半導體，其內含比例為 1:1:2[莫耳比]的 In_2O_3 、 Ga_2O_3 和 ZnO)，這裡的基板和靶材之間距離為 60mm，基板溫度為 400℃，氣壓為 0.4 Pa，且直電(DC)電源為 0.5kW。

接著，進行第二結晶化熱處理。第二結晶化熱處理之溫度係大於或等於 400℃ 且小於或等於 750℃。一第二結晶氧化物半導體膜 116b 係藉由第二結晶化熱處理來形成(見第 8B 圖)。此處，第二結晶化熱處理最好是在一氮氣氣體、一氧氣氣體或一混合氬和氧的氣體中進行，如此可增加第二結晶氧化物半導體膜之密度，且可減少其中瑕疵的數量。藉由第二結晶化熱處理，結晶體便以第一結晶氧化物半導體膜 116a 為核心往厚度方向持續增加，亦即，結晶體從底部到內部持續增加；因此，便形成第二結晶氧化物半導體膜 116b。

從氧化絕緣膜 102 之形成步驟到第二結晶化熱處理之步驟最好是在不暴露於空氣下而依序地進行。例如，應該使用第 1A 圖中說明的一膜形成設備之上視圖。最好控制膜形成室 10a 到 10c、傳送室 13、和基板加熱室 15 的氣體，以致幾乎不含氬氣和濕氣；在濕氣方面，例如，使用一露點為 -40℃ 以下，最好係露點為 -50℃ 以下的乾氮氣體

。使用第 1A 圖中說明的膜形成設備之製造步驟程序舉例如下。首先通過真空隔離室 12a 和傳送室 13 將基板 100 從基板供應室 11 傳送至基板加熱室 15；藉由在基板加熱室 15 中的真空烘烤等來排除附著於基板 100 的氫氣；接著通過傳送室 13 將基板 100 傳送至膜形成室 10c；及在膜形成室 10c 中形成絕緣膜 102。接著，在不暴露於空氣下，通過傳送室 13 將基板 100 傳送至膜形成室 10a，並在膜形成室 10a 中形成厚度為 5nm 的第一氧化物半導體膜。接著，在不暴露於空氣下，通過傳送室 13 將基板 100 傳送至基板加熱室 15，並進行第一結晶化熱處理。接著，通過傳送室 13 將基板 100 傳送至膜形成室 10a，並在膜形成室 10a 中形成厚度為 10nm 的第二氧化物半導體膜。接著，通過傳送室 13 將基板 100 傳送至基板加熱室 15，並進行第二結晶化熱處理。如上所述，藉由使用第 1A 圖說明之膜形成設備，便可在不暴露於空氣下進行一製程。此外，在形成絕緣膜 102、第一結晶氧化物半導體膜、和第二結晶氧化物半導體膜的堆疊之後，在膜形成室 10b 中，在不暴露於空氣下使用一金屬靶材可在第二結晶氧化物半導體膜上產生一用來形成一源極和一汲極的導電膜。請注意第一結晶氧化物半導體膜和第二結晶氧化物半導體膜可在不同的膜形成室中形成，以增加輸出量。

接著，處理一包括第一結晶氧化物半導體膜 116a 和第二結晶氧化物半導體膜 116b 的氧化物半導體膜堆疊，以形成一包括島形氧化物半導體膜堆疊的氧化物半導體膜

116(見第 8C 圖)。在此圖中，爲了描述氧化物半導體膜的堆疊，係以一虛線來指出第一結晶氧化物半導體膜 116a 和第二結晶氧化物半導體膜 116b 之間的介面；然而，此介面實際上並不清楚，僅係爲了容易理解而說明之。

在氧化物半導體膜的堆疊上形成一所欲形狀之光罩之後，可以蝕刻來處理氧化物半導體膜的堆疊。藉由如微影光刻的方法可形成上述光罩。或者，藉由如一噴墨法的方法可形成此光罩。

此外，藉由上述形成方法獲得的第一結晶氧化物半導體膜和第二結晶氧化物半導體膜之其中一個特色爲它們都有 c 軸準線。請注意第一結晶氧化物半導體膜和第二結晶氧化物半導體膜既沒有一單晶體結構，也沒有一非晶體結構，且皆爲具有 c 軸準線的結晶氧化物半導體(對準 c 軸的結晶(CAAC)氧化物半導體)。此外，部份的第一結晶氧化物半導體膜和第二結晶氧化物半導體膜包括一晶粒界面。

請注意第一結晶氧化物半導體膜和第二結晶氧化物半導體膜的每一者係使用一至少內含鋅的氧化物材料來形成，且可使用下列任何材料：四個金屬元素的氧化物，如一以 In-Al-Ga-Zn-O 爲基礎之材料、及一以 In-Sn-Ga-Zn-O 爲基礎之材料；三個金屬元素的氧化物，如一以 In-Ga-Zn-O 爲基礎之材料、一以 In-Al-Zn-O 爲基礎之材料、一以 In-Sn-Zn-O 爲基礎之材料、一以 Sn-Ga-Zn-O 爲基礎之材料、一以 Al-Ga-Zn-O 爲基礎之材料、及一以 Sn-Al-Zn-O

爲基礎之材料；兩個金屬元素的氧化物，如一以 In-Zn-O 爲基礎之材料、一以 Sn-Zn-O 爲基礎之材料、一以 Al-Zn-O 爲基礎之材料、及一以 Zn-Mg-O 爲基礎之材料；一以 Zn-O 爲基礎之材料等等。再者，也可使用一以 In-Si-Ga-Zn-O 爲基礎之材料、一以 In-Ga-B-Zn-O 爲基礎之材料、及一以 In-B-Zn-O 爲基礎之材料。此外，上述材料可包括 SiO_2 。此處，例如，一以 In-Ga-Zn-O 爲基礎之材料代表一包括銦(In)、鎵(Ga)和鋅(Zn)的氧化物，且沒有特別地限制其成分比率。又，以 In-Ga-Zn-O 爲基礎之氧化物半導體可內含除了 In、Ga 和 Zn 之外的一元素。

並無限制在第一結晶氧化物半導體膜上形成第二結晶氧化物半導體膜之兩層結構，在形成第二結晶氧化物半導體膜之後，爲了形成一第三結晶氧化物半導體膜，可藉由重複地進行膜形成過程和結晶化熱處理來形成三層以上的堆疊結構。

包括由上述膜形成方法所形成之氧化物半導體膜堆疊的氧化物半導體膜 116 可適當地用於一電晶體，此電晶體可被應用在本說明書所揭露的一半導體裝置(例如，第二實施例中的電晶體 151 或電晶體 152)。

根據第二實施例的電晶體 151 中，其使用本實施例的氧化物半導體膜之堆疊作爲氧化物半導體膜 106，從氧化物半導體膜之一表面到另一表面上並無一電場，且電流沒有在氧化物半導體膜堆疊之厚度方向上流動(從一表面到另一表面；特別是，第 3B 圖中的垂直方向上)。電晶體有

一個電流主要係沿著氧化物半導體膜堆疊之介面流動的結構；因此，即使當電晶體受到光照或即使當在電晶體上使用一偏壓溫度(BT)時，仍可抑制或降低電子特性的變質。

藉由使用一第一結晶氧化物半導體膜和一第二結晶氧化物半導體膜的堆疊，如同氧化物半導體膜 116，可實現一具有穩定電子特性和高可靠性的電晶體。

本實施例可適當地與其他實施例中的任何結構結合。

(範例 1)

在此例中，將描述一濺射設備之一膜形成室的啟動方法，其中此濺射設備為一膜形成設備，以及描述一在使用此膜形成室所形成的氧化物半導體膜中的氫濃度。

準備了六種樣本。藉由以下方法來準備樣本 A、樣本 B 和樣本 C。首先，在打開濺射設備之膜形成室接觸空氣之後，密封膜形成室，並使用一乾燥泵和一低溫泵來抽真空直到膜形成室的氣壓變成 5×10^{-4} Pa。接著，在室溫下對基板 100 實施一分鐘的虛擬膜形成，接著在膜形成室的氣壓變成 8×10^{-5} Pa 以下之後，便在一矽晶圓上形成一氧化物半導體膜。請注意在對基板 100 的虛擬膜形成期間，係對一批 20 個基板進行五次虛擬膜形成，且在這批基板之間抽真空一小時以上。

藉由以下方法來準備樣本 D、樣本 E 和樣本 F。首先，在打開濺射設備之膜形成室接觸空氣之後，密封膜形成室，並使用一乾燥泵和一低溫泵來抽真空直到膜形成室的

氣壓變成 5×10^{-4} Pa。接著，加熱一基板支架至基板溫度變成 410°C ，膜形成室本身的溫度係設定為 200°C ，然後繼續抽真空直到膜形成室的氣壓變成 5×10^{-4} Pa。接著，對基板 100 實施五分鐘的虛擬膜形成，然後，在膜形成室的氣壓變成 9×10^{-5} Pa 以下之後，便形成一氧化物半導體膜。請注意在基板 100 之虛擬膜形成期間，係對一批 20 個基板進行五次虛擬膜形成，且在這批基板之間抽真空一小時以上。

氧化物半導體膜之膜形成條件如下：使用一以 In-Ga-Zn-O 為基礎之靶材 ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [莫耳比] 且具有相對密度為 95% 以上)；膜形成室之電源係設為 500W(DC)；膜形成室之氣壓係設為 0.4 Pa；膜形成室之氣體為 30 sccm 的氬和 15 sccm 的氧；靶材和基板之間的距離係設為 60 mm；且在膜形成期間的基板溫度係設為室溫 (樣本 A 和樣本 D)、 250°C (樣本 B 和樣本 E)、及 400°C (樣本 C 和樣本 F)。請注意在膜形成期間，除了基板溫度，虛擬膜形成與上述氧化物半導體膜係在相同條件下被實施。

樣本 A 到 F 之氧化物半導體膜中的氬濃度係以 SIMS (二次質量分析法) 來測量，其結果顯示於第 9A 圖和第 9B 圖中。此處，實線 200A 對應樣本 A、實線 200B 對應樣本 B、實線 200C 對應樣本 C、實線 200D 對應樣本 D、實線 200E 對應樣本 E、實線 200F 對應樣本 F。請注意在第 9A 圖和第 9B 圖中，顯示了每個氧化物半導體膜中的氬濃度之深度範圍係高達約 300 nm。

第 9A 圖揭露由基板溫度被設定為 250°C 所形成的樣本 B 在氧化物半導體膜中的氫濃度係高於由基板溫度被設定為室溫所形成的樣本 A。這是可被理解地，因為，在氧化物半導體膜之形成期間，膜形成室之內壁吸附的一氣體分子會藉由因加熱基板所造成的輻射熱而被解吸，並被引進至氧化物半導體膜。此外，發現由基板溫度被設定為 400°C 所形成的樣本 C 在氧化物半導體膜中的氫濃度係低於由基板溫度被設定為室溫所形成的樣本 A。這是可被理解地，因為，膜形成室之內壁吸附的一氣體分子被解吸並被引進氧化物半導體膜，且由於在氧化物半導體形成期間，發生從氧化物半導體膜排氣出去的情形。換句話說，可知道被引進至氧化物半導體膜的氣體分子和釋出氣體分子之間的比率決定了氧化物半導體膜中的氫濃度值，其顯示於圖中。

第 9B 圖揭露由基板溫度被設定為室溫所形成的樣本 D 和由基板溫度被設定為 250°C 所形成的樣本 E 兩者之氧化物半導體膜中的氫濃度之間有一些不同。這是可被理解地，因為藉由增加膜形成室本身的溫度以及於加熱期間進行的虛擬膜形成，便解吸了膜形成室之內壁吸附的氣體分子。此外，發現由基板溫度被設定為 400°C 所形成的樣本 F 在氧化物半導體膜中的氫濃度係低於由基板溫度被設定為室溫所形成的樣本 D。這是可被理解地，因為在氧化物半導體膜形成期間，發生從膜形成室之內壁排氣出去且從氧化物半導體膜排氣出去的情形。

因此，發現到在氧化物半導體膜形成之前，依據處理條件(啓動膜形成室的條件)，可增加在膜形成室中氫氣之解吸率，並可降低在氧化物半導體膜中的氫濃度。

接著，利用相同的樣本 A 到 F，比較當 m/z 值為 18 時藉由 TDS 分析所獲得的光譜。在第 10A 圖到第 10F 圖中顯示樣本 A 到 F 的 TDS 光譜。請注意圖中也顯示在氧化物半導體膜形成之前，矽晶圓在一減壓氣體為 1×10^{-5} Pa 中，以基板溫度設定為 400°C 下受到五分鐘的熱處理(亦指基板熱處理)之情況下所獲得的 TDS 光譜。同時注意對一個受到基板熱處理的樣本，氧化物半導體膜係在一真空中依續地形成。這裡有如一氣體分子的 H_2O 具有一當 m/z 值為 18 時所獲得的光譜。

第 10A 圖到第 10F 圖顯示樣本 A 到 F 之 TDS 光譜。在第 10A 圖到第 10F 圖中之每個圖中的一峰值 250 被理解成一樣本、一基板等之內部的 H_2O ，其係以相對高能量在一斷接處釋出。

在受到基板熱處理之樣本和未受到基板熱處理之樣本之間作出了峰值為 250 的比較結果。在第 10A 圖到第 10F 圖的每個圖中，細線表示未受到基板熱處理的樣本之光譜，且粗線表示受到基板熱處理的樣本之光譜。雖然顯現 H_2O 的釋出量有一些差別，其根據樣本 C 和 F 是否有進行基板熱處理，但會發現其他受到基板熱處理的樣本之 H_2O 釋出量係小於未受到基板熱處理的樣本。

了解到這是因為透過基板熱處理，便能夠排除基板表

面吸附的氣體分子。

如上所述，發現到在氧化物半導體膜形成之前，透過基板熱處理便能夠排除基板表面吸附的氣體分子，且可減少氧化物半導體所釋出的 H_2O 量。

本說明書係基於 2010 年 8 月 18 日在日本專利局申請的日本專利申請書第 2010-183025 號及 2011 年 4 月 5 日在日本專利局申請的日本專利申請書第 2011-083966 號，其全部內容由此參考整合之。

【圖式簡單說明】

第 1A 圖和第 1B 圖為本發明之一實施例之膜形成設備之上視圖。

第 2A 圖和第 2B 圖為本發明之一實施例之膜形成設備。

第 3A 圖到第 3C 圖為本發明之一實施例之半導體裝置之上視圖和剖面圖。

第 4A 圖和第 4B 圖為本發明之一實施例之半導體裝置之剖面圖。

第 5A 圖到第 5C 圖為本發明之一實施例之半導體裝置之剖面圖。

第 6A 圖到第 6E 圖為本發明之一實施例之半導體裝置的製程之剖面圖。

第 7A 圖到第 7E 圖為本發明之一實施例之半導體裝置的製程之剖面圖。

第 8A 圖到第 8C 圖為本發明之一實施例之半導體裝置的製程之剖面圖。

第 9A 圖和第 9B 圖係為藉由 SIMS 來顯示氫濃度的測量結果。

第 10A 圖到第 10F 圖之每個圖顯示當 m/z 值為 18 時的 TDS 光譜。

【主要元件符號說明】

10、10a、10b、10c、20a、20b：膜形成室

11：基板供應室

12a、12b、22a、22b：真空隔離室

13：傳送室

14：卡匣口

15、25：基板加熱室

16a-16h、26a-26f：閘閥

32：靶材

34：靶托

42：基板支架

44：基板加熱器

46：擋門軸

48：擋門板

50：RF 電源

52：匹配箱

54：氣體精煉機

56 : 膜形成氣體來源

58 : 真空泵

68 : 反電極

100 : 基板

102 : 絕緣膜

106 : 氧化物半導體膜

108a : 源極

108b : 汲極

112 : 閘極絕緣膜

114 : 閘極

151、152 : 電晶體

128a、128b : 暫存區

116a : 第一結晶氧化物半導體膜

116b : 第二結晶氧化物半導體膜

空白頁

七、申請專利範圍：

1.一種膜形成設備，包含：

一真空隔離室；

一傳送室通過一第一閘閥連接至該真空隔離室；

一基板加熱室，其通過一第二閘閥連接至該傳送室；

及

一膜形成室，其經過一第三閘閥連接至該傳送室且具有一小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 之漏損率，

其中該膜形成室的開／關部份係被以覆蓋有氟化鐵、氧化鋁、及氧化鉻的至少之一的金屬墊片加以密封。

2.如申請專利範圍第 1 項所述之膜形成設備，包含複數個該膜形成室。

3.如申請專利範圍第 1 項所述之膜形成設備，包含複數個該真空隔離室。

4.一種膜形成設備，包含：

一真空隔離室；

一基板加熱室，其通過一第一閘閥連接至該真空隔離室；及

一膜形成室，其通過一第二閘閥連接至該基板加熱室且具有一小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 之漏損率，

其中該膜形成室的開／關部份係被以覆蓋有氟化鐵、氧化鋁、及氧化鉻的至少之一的金屬墊片加以密封。

5.一種膜形成設備，包含：

一真空隔離室；

一 基板加熱室，其通過一第一閘閥連接至該真空隔離室；

一 第一膜形成室，其通過一第二閘閥連接至該基板加熱室且具有一小於或等於 1×10^{-10} Pa · m³/sec 之漏損率；及

一 第二膜形成室，其通過一第三閘閥連接至該第一膜形成室且具有一小於或等於 1×10^{-10} Pa · m³/sec 之漏損率，

其中該第一膜形成室與該第二膜形成室的各個開／關部份係被以覆蓋有氟化鐵、氧化鋁、及氧化鉻的至少之一的金屬墊片加以密封。

6.如申請專利範圍第 1、4、及 5 項中任一項所述之膜形成設備，其中該基板加熱室也作為一電漿處理室。

7.如申請專利範圍第 1 或 4 項所述之膜形成設備，其中在該膜形成室中靶材和基板之間的距離係小於濺射粒子、氣體分子或離子之平均自由路徑。

8.如申請專利範圍第 5 項所述之膜形成設備，其中在該第一膜形成室與該第二膜形成室至少一個之中的靶材和基板之間的距離係小於濺射粒子、氣體分子或離子之平均自由路徑。

9.如申請專利範圍第 7 項所述之膜形成設備，其中該距離係小於或等於 25 mm。

10.如申請專利範圍第 8 項所述之膜形成設備，其中該距離係小於或等於 25 mm。

11.如申請專利範圍第 1 或 4 項所述之膜形成設備，更包含：

一膜形成氣體來源；及

一氣體精煉機，其在該膜形成氣體來源以及該膜形成室之間。

12.如申請專利範圍第 5 項所述之膜形成設備，更包含：

一膜形成氣體來源；及

一氣體精煉機，其在該膜形成氣體來源以及該第一膜形成室與該第二膜形成室中至少一個之間。

13.如申請專利範圍第 11 項所述之膜形成設備，其中該氣體精煉機和該膜形成室之間的一管路長度係小於或等於 5m。

14.如申請專利範圍第 12 項所述之膜形成設備，其中該氣體精煉機和該第一膜形成室與該第二膜形成室中至少一個之間的一管路長度係小於或等於 5m。

15.如申請專利範圍第 1 或 4 項所述之膜形成設備，其中該膜形成室的構件係被氟化鐵、氧化鋁、及氧化鉻的至少之一覆蓋。

16.如申請專利範圍第 5 項所述之膜形成設備，其中該第一膜形成室與該第二膜形成室的各個構件係被氟化鐵、氧化鋁、及氧化鉻的至少之一覆蓋。

17.如申請專利範圍第 1 或 4 項所述之膜形成設備，其中該膜形成室更包含以石英形成的視窗，其表面係被氟

化鐵、氧化鋁、及氧化鉻的至少之一覆蓋。

18.如申請專利範圍第 5 項所述之膜形成設備，其中各個該第一膜形成室與該第二膜形成室更包含以石英形成的視窗，其表面係被氟化鐵、氧化鋁、及氧化鉻的至少之一覆蓋。

19.如申請專利範圍第 13 項所述之膜形成設備，其中該管路為金屬管路，其內部被氟化鐵、氧化鋁、及氧化鉻的至少之一覆蓋。

20.如申請專利範圍第 14 項所述之膜形成設備，其中該管路為金屬管路，其內部被氟化鐵、氧化鋁、及氧化鉻的至少之一覆蓋。

21.一種膜形成方法，其步驟包含：

引進基板至漏損率小於或等於 1×10^{-10} Pa · m³/sec 且被抽真空到一真空層次之膜形成室中；

在引進該基板至該膜形成室之後，引進純度大於或等於 99.999999%之一膜形成氣體至該膜形成室；及

使用該膜形成氣體來濺射靶材以在該基板上形成一膜，

其中該膜形成室的開／關部份係被以覆蓋有氟化鐵、氧化鋁、及氧化鉻的至少之一的金屬墊片加以密封。

22.一種膜形成方法，其步驟包含：

引進一基板至被抽真空到一真空層次的一基板加熱室；

在引進該基板至該基板加熱室之後，使該基板於一惰

性氣氛、一減壓氣氛或一乾空氣氣氛中在大於或等於 250℃ 之溫度且小於該基板之應變點下受到熱處理；

不暴露於空氣下引進受到熱處理之該基板至漏損率小於或等於 1×10^{-10} Pa · m³/sec 且被抽真空到真空層次之一膜形成室中；

在引進該基板至該膜形成室之後，引進純度大於或等於 99.999999%之一膜形成氣體至該膜形成室；及

使用該膜形成氣體來濺射一靶材以在該基板上形成一膜，

其中該膜形成室的開／關部份係被以覆蓋有氟化鐵、氧化鋁、及氧化鉻的至少之一的金屬墊片加以密封。

23.如申請專利範圍第 21 或 22 項所述之膜形成方法，其中該膜形成室的構件被氟化鐵、氧化鋁、及氧化鉻的至少之一覆蓋。

24.如申請專利範圍第 21 或 22 項所述之膜形成方法，其中該膜形成室更包含由石英形成的視窗，其表面係被氟化鐵、氧化鋁、及氧化鉻的至少之一覆蓋。

25.如申請專利範圍第 21 或 22 項所述之膜形成方法，其中被連接至該膜形成室的管路為金屬管路，其內部被氟化鐵、氧化鋁、及氧化鉻的至少之一覆蓋。

26.一種膜形成方法，其步驟包含：

引進一基板至被抽真空到真空層次的一基板加熱室；

在引進該基板至該基板加熱室之後，使該基板於一惰性氣氛、一減壓氣氛或一乾空氣氣氛中在大於或等於 250°

C 之溫度且小於該基板之應變點下受到熱處理；

不暴露於空氣下引進受到熱處理之該基板至漏損率小於或等於 1×10^{-10} Pa · m³/sec 且被抽真空到真空層次之一第一膜形成室中；

在引進該基板至該第一膜形成室之後，引進純度大於或等於 99.999999% 之一第一膜形成氣體至該第一膜形成室；

使用該第一膜形成氣體來濺射一第一靶材以在該基板上形成一絕緣膜；

不暴露於空氣下引進具有該絕緣膜之該基板至漏損率小於或等於 1×10^{-10} Pa · m³/sec 且被抽真空到真空層次之一第二膜形成室中；

在引進該基板至該第二膜形成室之後，不暴露於空氣下引進純度大於或等於 99.999999% 之一第二膜形成氣體至該第二膜形成室；及

使用該第二膜形成氣體來濺射一第二靶材以在該絕緣膜上形成一氧化物半導體膜，

其中該第一膜形成室與該第二膜形成室的各個開／關部份係被以覆蓋有氟化鐵、氧化鋁、及氧化鉻的至少之一的金屬墊片加以密封。

27. 一種膜形成方法，其步驟包含：

引進一基板至被抽真空到真空層次的一電漿處理室；

在引進該基板至該電漿處理室之後，使該基板受到電漿處理；

不暴露於空氣下引進受到電漿處理之該基板至漏損率小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 且被抽真空到真空層次之一第一膜形成室中；

在引進該基板至該第一膜形成室之後，引進純度大於或等於 99.999999%之一第一膜形成氣體至該第一膜形成室；

使用該第一膜形成氣體來濺射一第一靶材以在該基板上形成一絕緣膜；

不暴露於空氣下引進具有該絕緣膜之該基板至漏損率小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 且被抽真空到真空層次之一第二膜形成室中；

在引進該基板至該第二膜形成室之後，引進純度大於或等於 99.999999%之一第二膜形成氣體至該第二膜形成室；及

使用該第二膜形成氣體來濺射一第二靶材以在該絕緣膜上形成一氧化物半導體膜，

其中該第一膜形成室與該第二膜形成室的各個開／關部份係被以覆蓋有氟化鐵、氧化鋁、及氧化鉻的至少之一的金屬墊片加以密封。

28.如申請專利範圍第 26 或 27 項所述之膜形成方法，其中當形成該氧化物半導體膜時，一基板溫度係大於或等於 100°C 且小於或等於 400°C 。

29.如申請專利範圍第 26 或 27 項所述之膜形成方法，其中當形成該氧化物半導體膜時，一基板溫度係大於或等

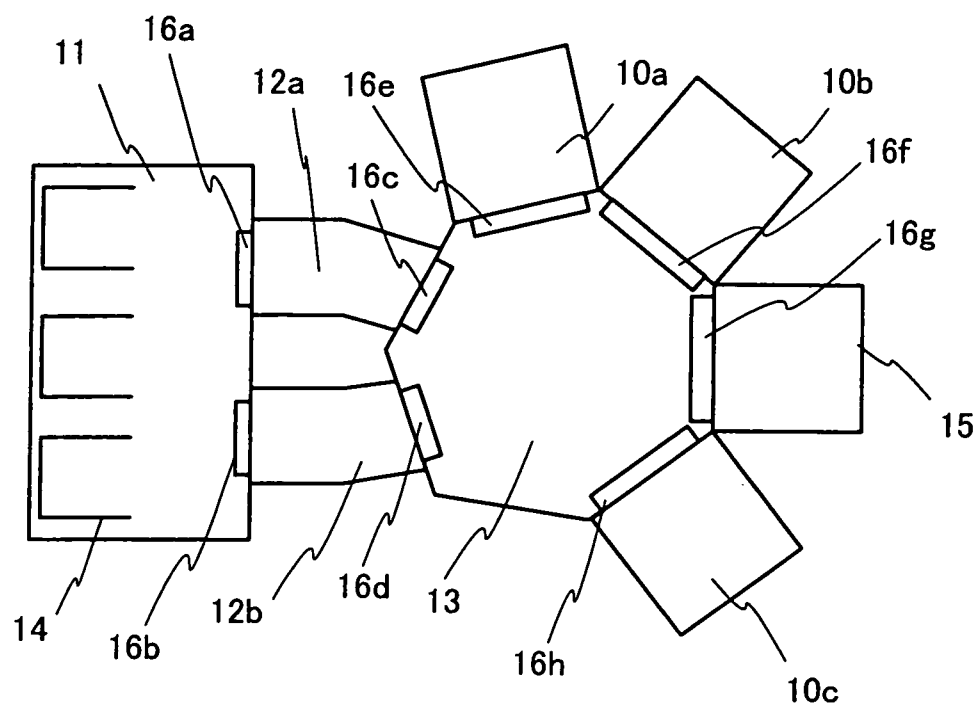
於 50℃ 且小於或等於 450℃。

30. 如申請專利範圍第 26 或 27 項所述之膜形成方法，其中該第一膜形成室與該第二膜形成室的各個構件被氟化鐵、氧化鋁、及氧化鉻的至少之一覆蓋。

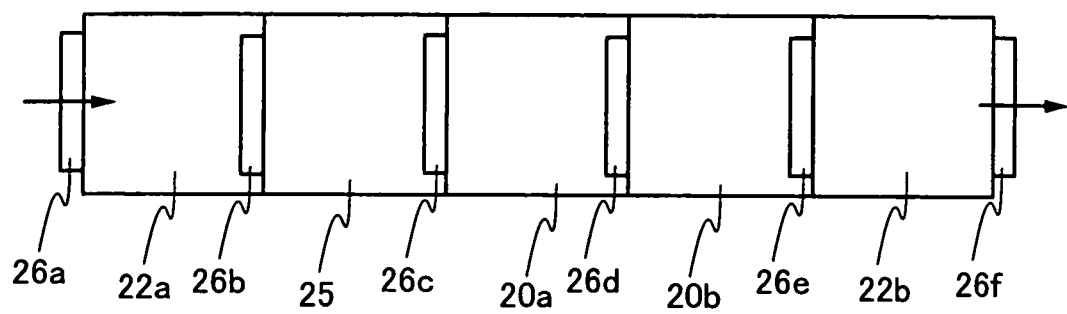
31. 如申請專利範圍第 26 或 27 項所述之膜形成方法，其中各個該第一膜形成室與該第二膜形成室更包含由石英形成的視窗，其表面係被氟化鐵、氧化鋁、及氧化鉻的至少之一覆蓋。

32. 如申請專利範圍第 26 或 27 項所述之膜形成方法，其中被連接至該第一膜形成室與該第二膜形成室的各個管路為金屬管路，其內部被氟化鐵、氧化鋁、及氧化鉻的至少之一覆蓋。

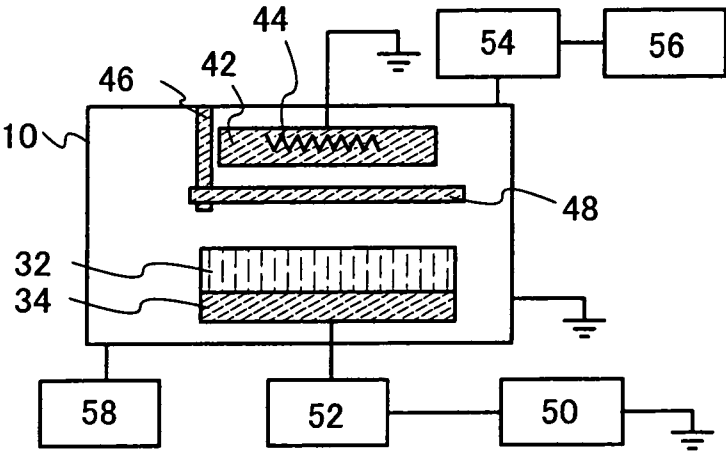
第1A圖



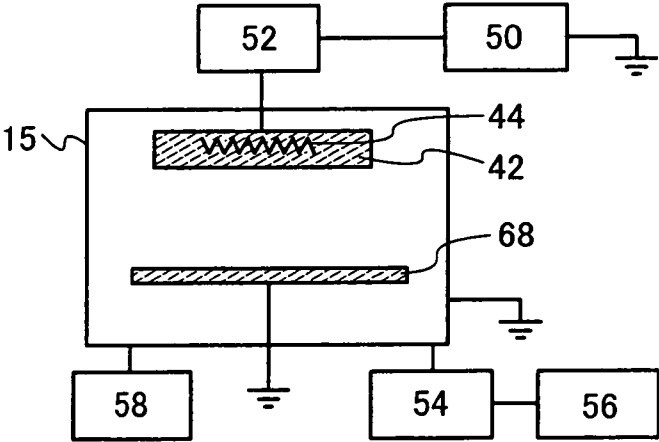
第1B圖



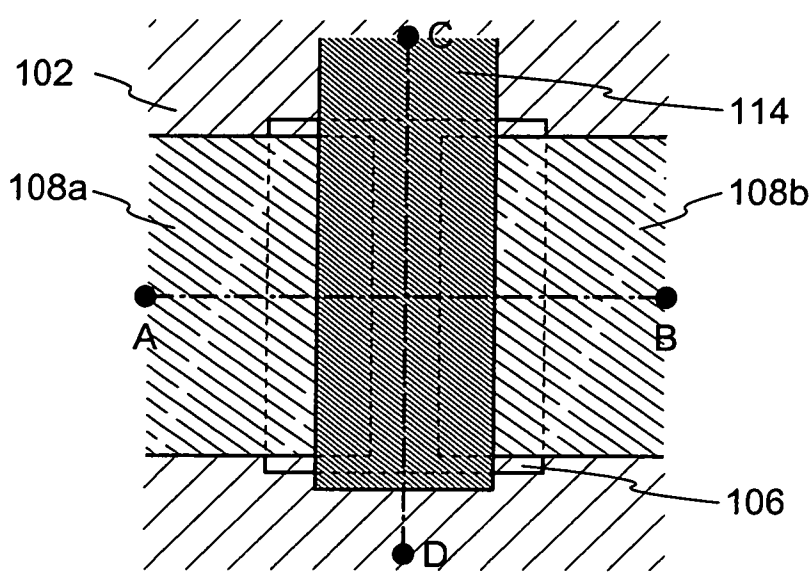
第2A圖



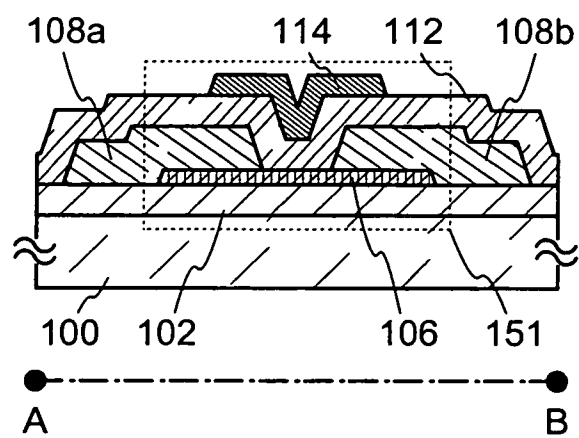
第2B圖



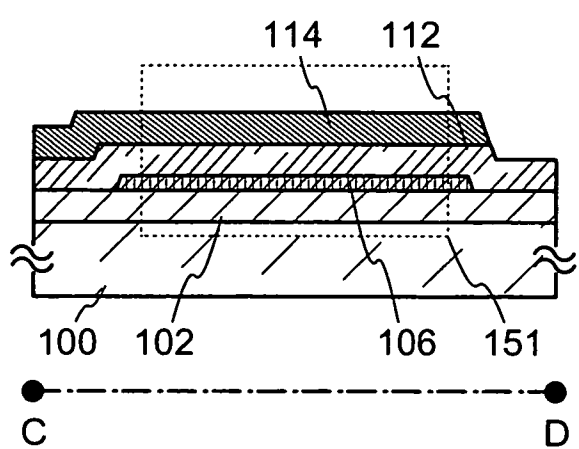
第3A圖



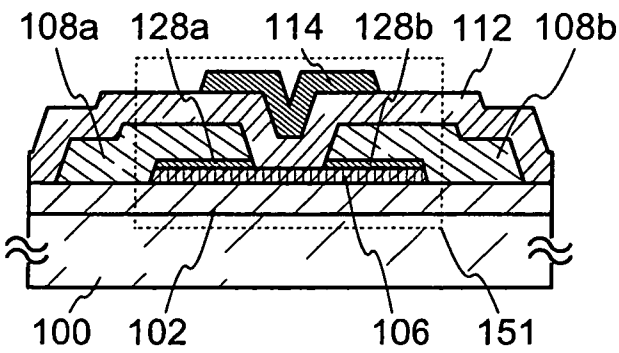
第3B圖



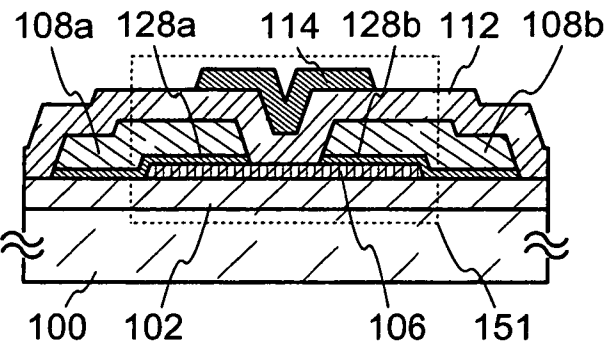
第3C圖



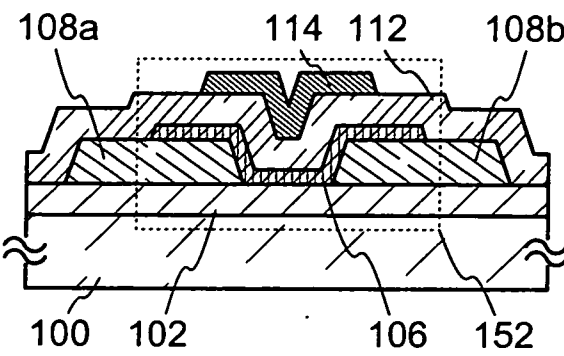
第4A圖



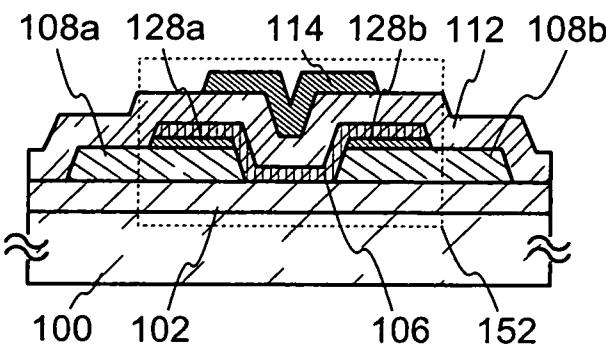
第4B圖



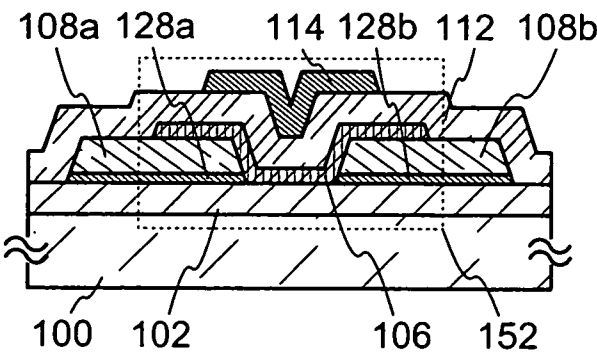
第5A圖



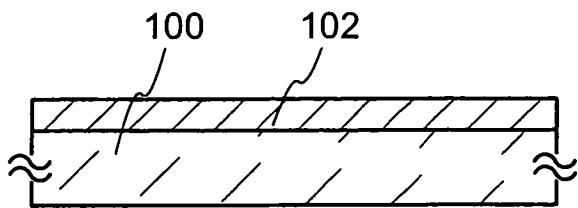
第5B圖



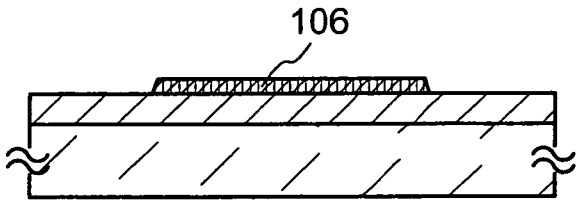
第5C圖



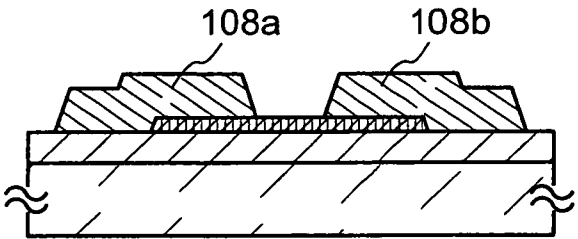
第6A圖



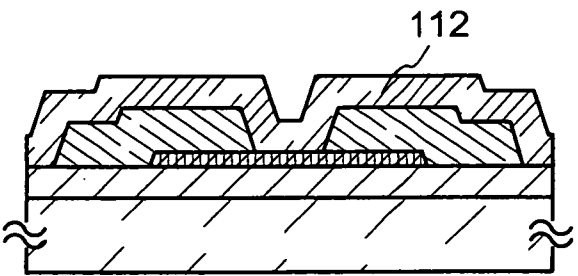
第6B圖



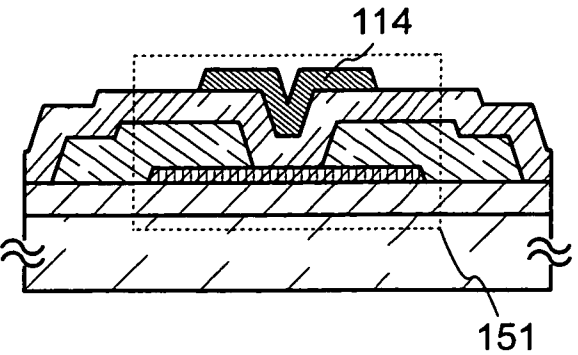
第6C圖



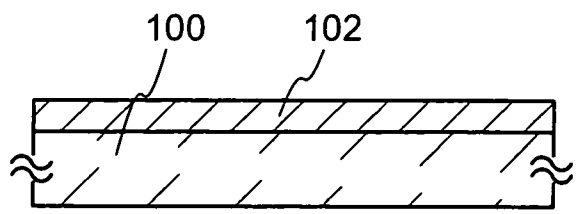
第6D圖



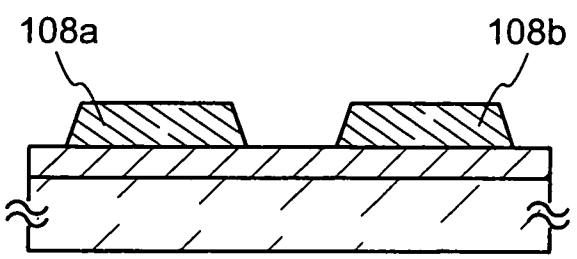
第6E圖



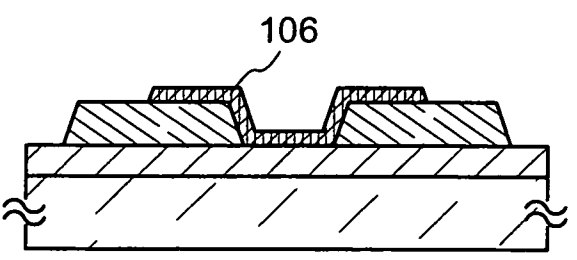
第7A圖



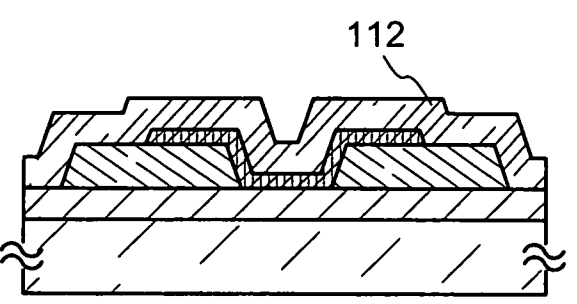
第7B圖



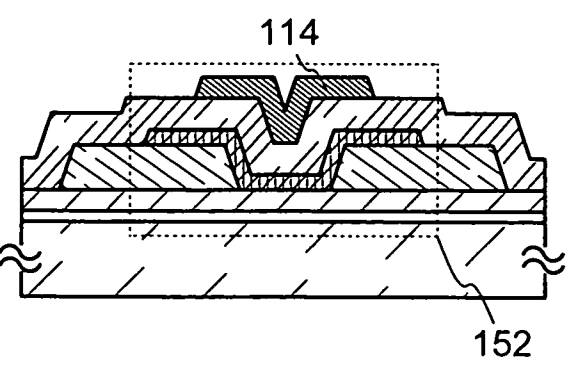
第7C圖



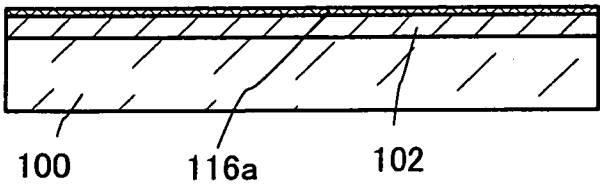
第7D圖



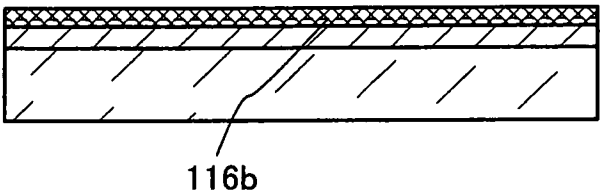
第7E圖



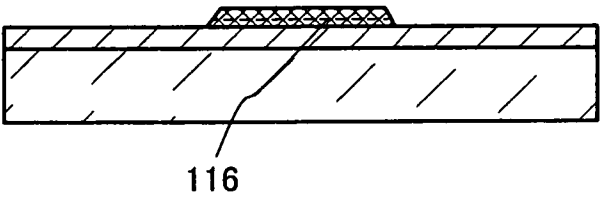
第8A圖



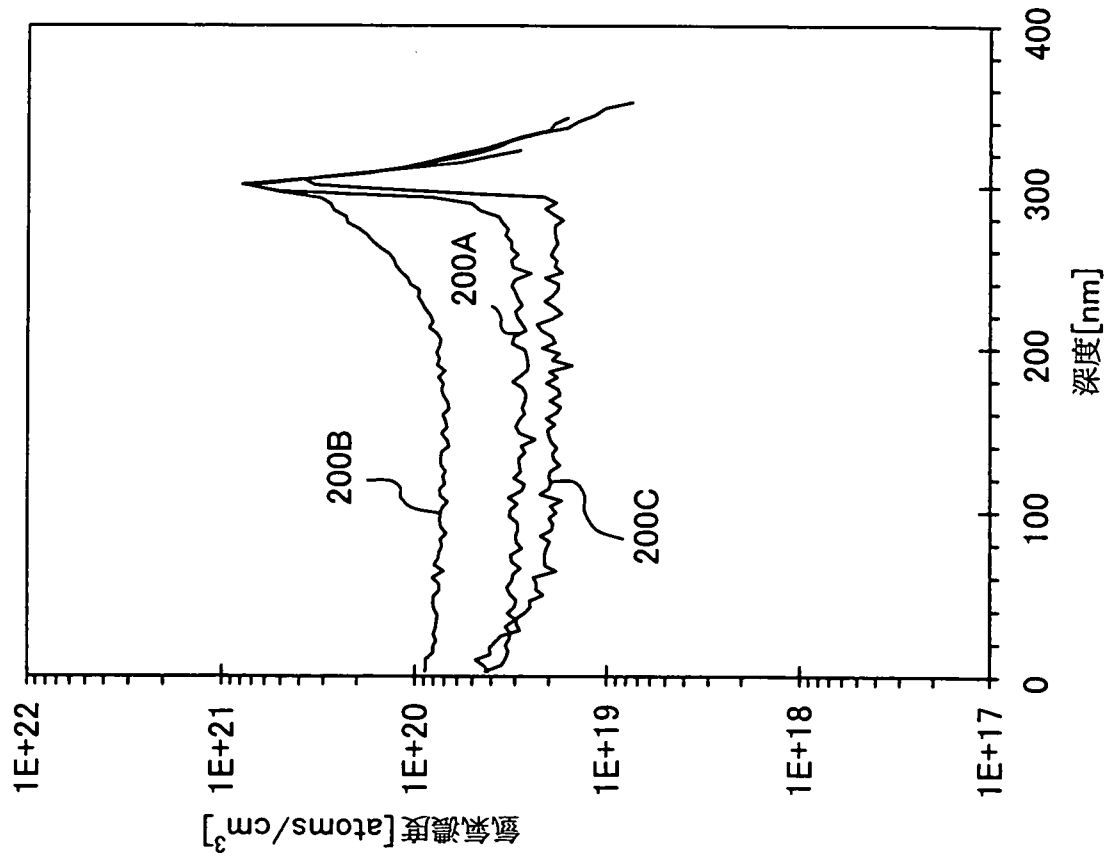
第8B圖



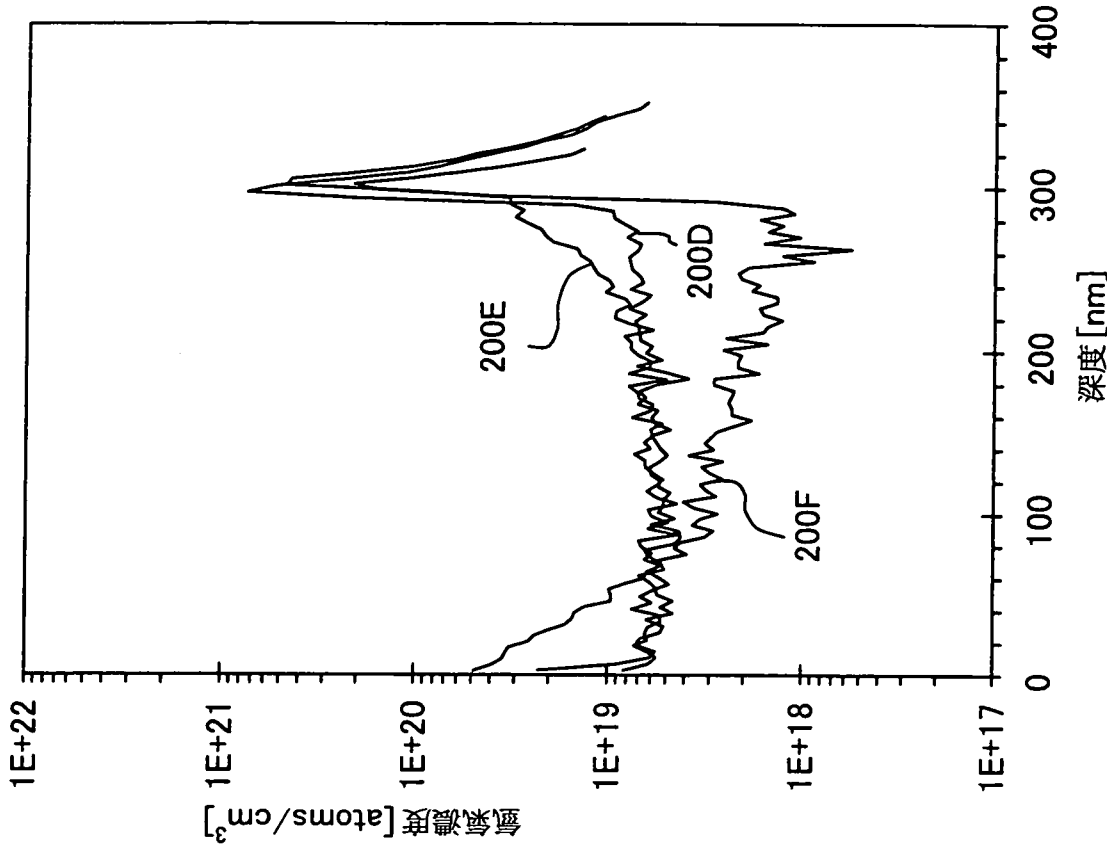
第8C圖



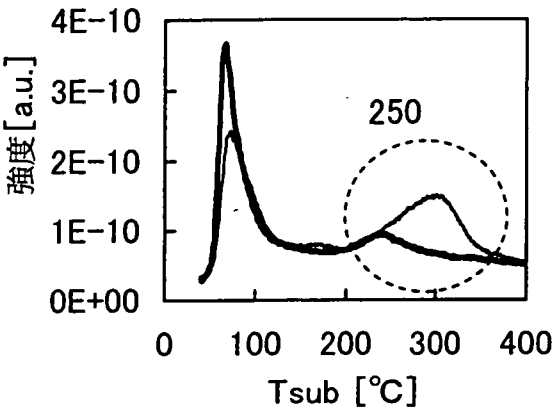
第9A圖



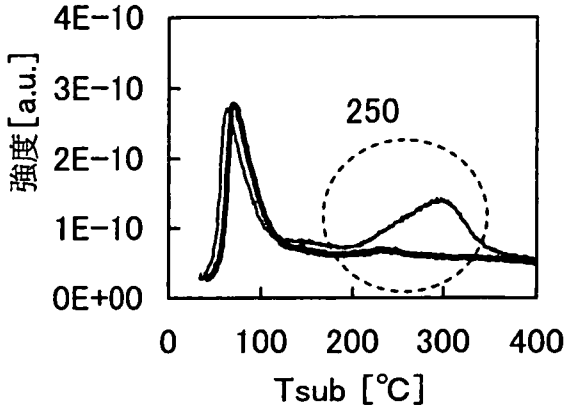
第9B圖



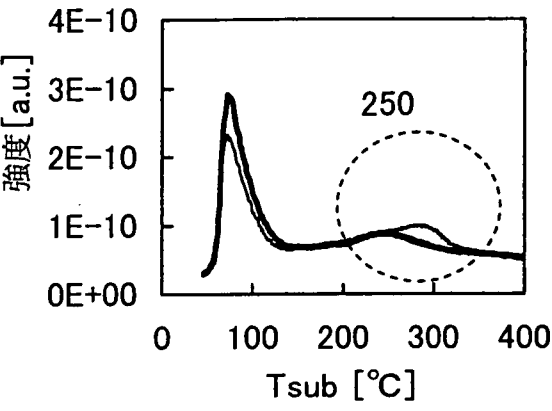
第10A圖



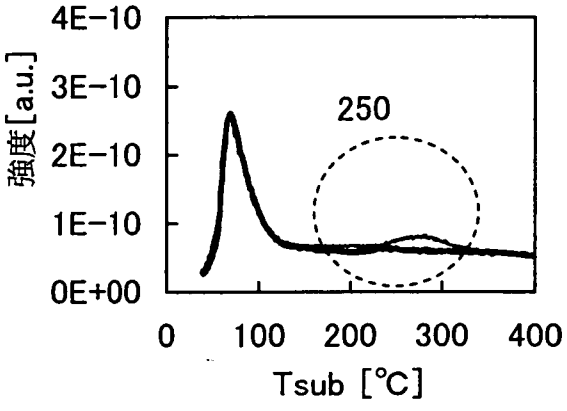
第10D圖



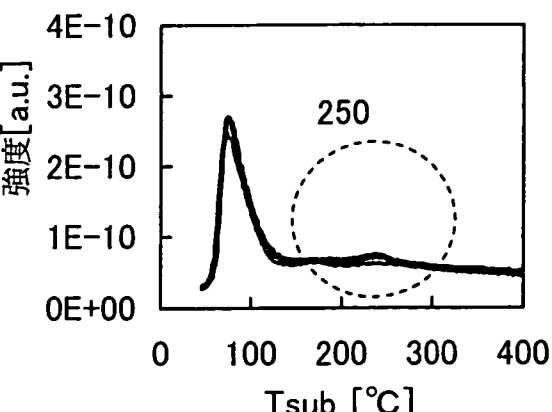
第10B圖



第10E圖



第10C圖



第10F圖

