



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0039183
 (43) 공개일자 2011년04월15일

(51) Int. Cl.

H01L 23/48 (2006.01) H01L 23/055 (2006.01)
 H01L 21/60 (2006.01)

(21) 출원번호 10-2010-0091903

(22) 출원일자 2010년09월17일

심사청구일자 2010년09월17일

(30) 우선권주장

12/838,213 2010년07월16일 미국(US)

61/250,295 2009년10월09일 미국(US)

(71) 출원인

타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
 중국, 타이완 300-77, 신쑤, 사이언스-베이스드
 인터스트리얼 파크, 리신 로드, 6, 8호

(72) 발명자

로우 엠.케이. 오스카

대만, 신주, 공다오 5 티알 가, 에스이씨 2, 385
 호, 6층-2

우 에이치. 큐오

대만, 신주, 주후베이, 푸싱 6가, 13, 12층

에 웨이-치

대만, 타이페이 시티 108, 완화 지구, 민혜 가,
 65호

(74) 대리인

정홍식

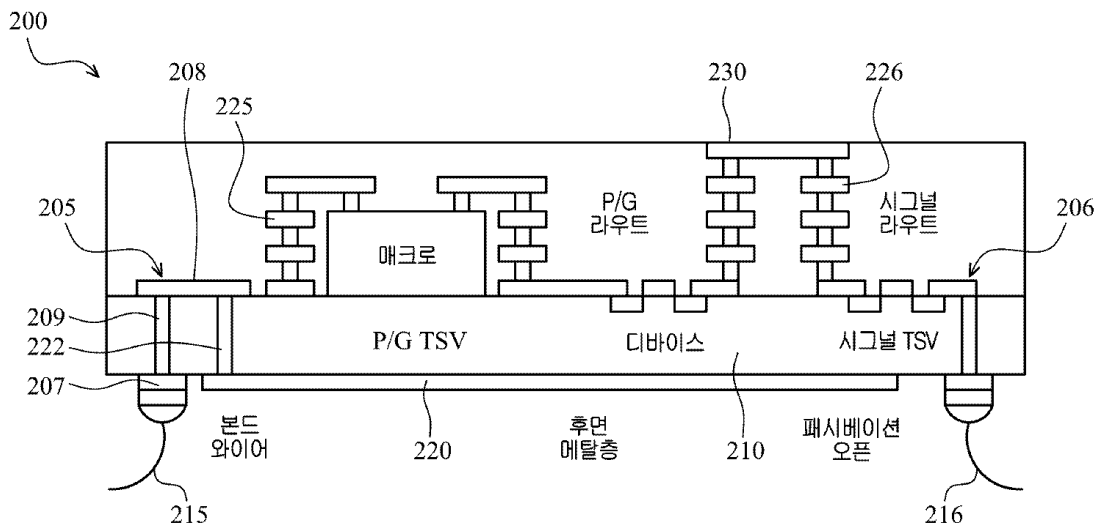
전체 청구항 수 : 총 10 항

(54) 관통 실리콘 비아(TSV) 와이어 본드 구조

(57) 요약

집적 회로들을 위한 관통 실리콘 비아 구조가 제공된다. 집적 회로(IC)는, 상면과 하면을 가지며 상기 상면에 회로가 형성된 기관, 상기 하면의 가장자리를 따라 형성된 복수의 본드 패드들, 및 상기 저면에 형성되며 상기 복수의 본드 패드들 중에서 제2 서브세트의 본드 패드들에 전기적으로 연결되는 후면 메탈층(BML)을 포함한다. 상기 본드 패드들 중에서 제1 서브세트의 본드 패드들은 관통 실리콘 비아들(TSV)을 통해 상기 상면 상의 회로에 전기적으로 연결된다. 상기 BML은 상기 제2 서브세트의 본드 패드들에 의해 제공되는 전기 시그널들을 분배한다.

대표도



특허청구의 범위

청구항 1

상면과 하면을 가지며 상기 상면에 회로가 형성된 기관;

상기 하면의 가장자리를 따라 형성된 복수의 본드 패드들로서, 상기 본드 패드들 중에서 제1 서브세트의 본드 패드들은 관통 실리콘 비아들(TSV)을 통해 상기 상면 상의 회로에 전기적으로 연결되는 복수의 본드 패드들; 및 상기 하면에 형성되고, 상기 복수의 본드 패드들 중에서 제2 서브세트의 본드 패드들에 전기적으로 연결되며, 상기 제2 서브세트의 본드 패드들에 의해 제공되는 전기 시그널들을 분배하도록 구성된 후면 메탈층(BML);을 포함하는 집적 회로(IC).

청구항 2

제1항에 있어서,

상기 제1 서브세트의 본드 패드들에 속하는 본드 패드들에 연결된 각각의 TSV는,

상기 하면에 형성된 제1 전도성 패드;

상기 상면에 형성된 제2 전도성 패드; 및

상기 제1 전도성 패드를 상기 제2 전도성 패드에 전기적으로 연결하며, 상기 기관에 형성된 홀 안에 형성되는 전도성 부재;를 포함하는 집적 회로.

청구항 3

제1항에 있어서,

상기 제2 서브세트의 본드 패드들에 속하는 본드 패드들은 전기 그라운드 또는 제1 전위에 연결되며, 상기 BML은 그리드 패턴으로 배열되며 TSV들에 연결된 전도체들을 포함하며, 상기 TSV들은 상기 상면에 형성된 회로에 연결되어 상기 상면에 형성된 회로에 전기 그라운드 또는 상기 제1 전위를 분배하며, 상기 BML은 TSV에 연결된 적어도 하나의 범프 패드를 더 포함하며, 상기 범프 패드는 상기 IC와 피부착 IC 사이에 또는 상기 IC와 외부 기관 사이에 전기적 연결이 가능해지도록 하는 집적 회로.

청구항 4

제1항에 있어서,

상기 BML은 상기 복수의 본드 패드들에 의해 생성된 경계 내에 형성되는 집적 회로.

청구항 5

상면과 하면을 가지며 상기 상면에 회로가 배치된 기관;

상기 하면에 배치되며, 관통 실리콘 비아(TSV)를 통해 상기 상면에 배치된 회로에 전기적으로 연결되는 제1 본드 패드; 및

상기 하면에 배치되며, 상기 하면에 배치된 제2 본드 패드에 전기적으로 연결되며, 상기 제2 본드 패드에 의해 제공되는 제1 시그널을 분배하도록 구성된 후면 메탈층(BML);을 포함하는 집적 회로(IC).

청구항 6

제5항에 있어서,

상기 본드 패드는 두 개의 TSV들을 통해 상기 BML에 전기적으로 연결되며, 제1 TSV는 상기 제2 본드 패드 상의 상기 제1 시그널을 상기 상면에 전달하고, 제2 TSV는 상기 제1 시그널을 상기 BML에 전달하며, 상기 제1 TSV 및 상기 제2 TSV는 전도체에 의해 전기적으로 연결되는 집적 회로.

청구항 7

제5항에 있어서,

상기 BML은 제3 본드 패드에 의해 제공되는 제2 시그널을 또한 분배하도록 구성되며, 상기 제3 본드 패드는 상기 BML에 직접 연결된 집적 회로.

청구항 8

제5항에 있어서,

상기 집적 회로는 상기 기관의 가장자리 부근에 배치된 파워 링을 더 포함하며, 상기 파워 링은 상기 상면에 형성된 회로에 파워를 분배하는 집적 회로.

청구항 9

제1 상면과 제1 하면을 가진 제1 기관을 포함하며 상기 제1 상면에 회로가 형성되어 있는 제1 집적 회로(IC); 및

제2 IC;를 포함하는 삼차원 적층 멀티-칩 모듈로서,

상기 제2 IC는,

제2 상면과 제2 하면을 가지며 상기 제2 상면에 회로가 형성된 제2 기관;

상기 제2 하면의 가장자리를 따라 형성된 제1 복수의 본드 패드들로서, 상기 제1 복수의 본드 패드들 중에서 제1 서브세트의 본드 패드들은 상기 제2 상면 상의 회로에 관통 실리콘 비아들(TSV)을 통해 전기적으로 연결되는 제1 복수의 본드 패드들; 및

상기 제2 하면에 형성되고, 상기 복수의 본드 패드들 중에서 제2 서브세트의 본드 패드들에 전기적으로 연결되며, 상기 제2 서브세트의 본드 패드들에 의해 제공되는 전기 시그널들을 분배하도록 구성된 후면 메탈층(BML);을 포함하며,

상기 제1 IC는 상기 제2 IC에 부착되는, 삼차원 적층 멀티-칩 모듈.

청구항 10

제9항에 있어서,

상기 제1 IC는,

상기 제1 하면의 가장자리를 따라 형성되는 제2 복수의 본드 패드들로서, 상기 제2 복수의 본드 패드들에 속하는 제3 서브세트의 본드 패드들은 상기 제1 상면 상의 회로에 TSV들을 통해 전기적으로 연결되며, 상기 제2 복수의 본드 패드들에 속하는 본드 패드들 각각을 외부 시그널들에 전기적으로 연결하기 위해 본드 와이어들이 사용되는, 제2 복수의 본드 패드들; 및

상기 제1 하면에 형성되고, 상기 복수의 본드 패드들에 속하는 제4 서브세트의 본드 패드들에 전기적으로 연결되며, 상기 제4 서브세트의 본드 패드들에 의해 제공되는 전기적 시그널들을 분배하도록 구성된 후면 메탈층(BML);을 더 포함하는 삼차원 적층 멀티-칩 모듈.

명세서

기술분야

[0001] 본 발명은 일반적으로 집적 회로(integrated circuit)에 관한 것으로서, 보다 특정적으로는 실리콘 비아(TSV: through via) 와이어 본드 구조(wire bond architecture)에 관한 것이다.

배경기술

[0002] 일반적으로, 와이어 본딩(wire bonding)은 집적 회로(IC)와 그 IC를 포함하는 패키지(package) 사이의 연결 또는 인쇄 회로 보드(printed circuit board)에 대한 직접적인 연결을 형성하기 위한 방법이다. 와이어 본딩에서, 와이어는 IC 및 패키지 상의 본딩 패드들(bonding pad)로부터 전기적 연결을 생성하기 위해 사용된다. 상기 와이어는 금, 알루미늄, 구리, 및 이들의 합금 등으로부터 제조될 수 있다. 와이어 본딩은 비용상 효과적이고 유

연성(flexibility)이 있는 것으로 일반적으로 여겨지며, 반도체 패키지들의 상당 부분을 조립하는데 사용된다.

[0003] IC들을 외부 회로 또는 다른 IC들에 연결하기 위한 대안적인 기술로서 통상적으로 플립 칩(flip chip)이 주목된다. 플립 칩에서, IC들은 칩 패드들(chip pad) 상에 증착된 솔더 범프들(solder bump)에 의해 다른 회로들(예로써, 외부 회로 또는 다른 IC들)에 연결된다. 상기 솔더 범프들은 웨이퍼 공정 도중 반도체 웨이퍼 상면의 칩 패드들 상에 증착될 수 있다. 이후 IC는 그것의 상면이 아래를 향하도록 플리핑(flip)된 후 IC와 외부 회로 또는 다른 IC들 간의 상호연결을 완성하도록 솔더링(solder)된다.

[0004] 플립 칩은 와이어 본딩에서 사용되는 본딩 와이어들을 외적인 시그널(signal) 및 파워(power)의 연결들을 위한 솔더 범프들로 대체한다. 솔더 범프들의 사용은 고전력 사용시 와이어 본딩에서 나타나는 상당한 전류-저항 강하(IR drop)를 감소시키는 것에 도움이 되는데, 이는 길고 저항성이 큰 본딩 와이어들이 없어지기 때문이다. 적층된 비아 구조(stacked via structure)를 사용하여 플립 칩 IC 내에 시그널들 및 파워가 분배될 수 있다.

발명의 내용

[0005] 일 실시예에 따라, 집적 회로(IC)가 제공된다. 상기 IC는, 상면과 하면을 가지며 상기 상면에 회로가 형성된 기관, 상기 하면의 가장자리를 따라 형성된 복수의 본드 패드들, 및 상기 하면에 형성되며 상기 복수의 본드 패드들 중에서 제2 서브세트의 본드 패드들에 전기적으로 연결되는 후면 메탈층(BML)을 포함한다. 상기 본드 패드들 중에서 제1 서브세트의 본드 패드들은 관통 실리콘 비아들(TSV)을 통해 상기 상면 상의 회로에 전기적으로 연결된다. 상기 BML은 상기 제2 서브세트의 본드 패드들에 의해 제공되는 전기 시그널들을 분배한다.

[0006] 다른 일 실시예에 따라, 집적 회로(IC)가 제공된다. 상기 IC는, 상면과 하면을 가지며 상기 상면에 회로가 배치된 기관, 상기 하면에 배치되는 제1 본드 패드, 및 상기 하면에 배치되며 상기 하면에 배치된 제2 본드 패드에 전기적으로 연결되는 후면 메탈층(BML)을 포함한다. 상기 제1 본드 패드는 관통 실리콘 비아(TSV)를 통해 상기 상면에 배치된 회로에 전기적으로 연결된다. 상기 BML은 상기 제2 본드 패드에 의해 제공되는 제1 시그널을 분배한다.

[0007] 다른 일 실시예에 따라, 삼차원(3D) 적층 멀티-칩 모듈이 제공된다. 상기 3D 적층 멀티-칩 모듈은, 제1 상면과 제1 하면을 가진 제1 기관을 포함하며 상기 제1 상면에 회로가 형성되어 있는 제1 집적 회로(IC), 및 제2 IC를 포함한다.

[0008] 상기 제2 IC는, 제2 상면과 제2 하면을 가지며 상기 제2 상면에 회로가 형성된 제2 기관, 상기 제2 하면의 가장자리를 따라 형성된 제1 복수의 본드 패드들, 및 상기 제2 하면에 형성되고 상기 복수의 본드 패드들 중에서 제2 서브세트의 본드 패드들에 전기적으로 연결되는 후면 메탈층(BML)을 포함한다. 상기 제1 복수의 본드 패드들 중에서 제1 서브세트의 본드 패드들은 상기 제2 상면 상의 회로에 관통 실리콘 비아들(TSV)을 통해 전기적으로 연결된다. 상기 BML은 상기 제2 서브세트의 본드 패드들에 의해 제공되는 전기 시그널들을 분배한다. 상기 제1 IC는 상기 제2 IC에 부착된다.

도면의 간단한 설명

[0009] 본 발명 및 그것의 이점들에 대한 보다 완전한 이해를 위해, 이하에서는 첨부된 도면들과 연계한 이하의 설명들이 참조된다.

도 1은 IC의 단면도이다.

도 2a는 제1 SoC의 도면이다.

도 2b는 제2 SoC의 도면이다.

도 2c는 제3 SoC의 도면이다.

도 3a는 종래의 파워 메쉬의 도면이다.

도 3b는 IC의 단면도이며, 여기서 IC는 종래의 파워 메쉬를 사용한다.

도 4a는 IC의 저면도이다.

도 4b는 IC에 파워를 분배하기 위해 사용되는 그리드 매트릭스 배열의 도면이다.

도 4c는 IC의 도면이며, 여기서 IC의 내부 회로로 시그널을 분배하는 것은 TSV를 통한다.

도 5a는 IC에서 과워를 분배하기 위해 사용되는 그리드 매트릭스 배열의 파티셔닝의 도면이다.

도 5b는 IC에서 과워를 분배하기 위해 사용되는 그리드 매트릭스 배열의 파티셔닝의 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하에서는 본 발명의 실시예들에 대한 제조 및 사용이 설명된다. 하지만, 그 실시예들은 폭넓은 특정 항목들로 구체화될 수 있는 많은 응용 가능한 발명적 개념들을 제공한다. 설명되는 특정 실시예들은 단지 본 발명을 제조하고 사용하는 특정 방법들에 대한 예시적인 것에 불과하며 본 발명의 범위를 제한하는 것은 아님을 이해해야 한다.
- [0011] 실시예들은 특정적으로, 다수의 칩들을 포함하는 시스템-인-패키지(SIP: system in a package)로서 설명될 것이다. 하지만 실시예들은, 3차원 적층 멀티-칩 모듈들(three-dimensional stacked multi-chip module), 시스템-온-칩(SoC: system on chip), 단일 칩들을 포함하는 집적 회로 등에 적용될 수도 있다.
- [0012] 앞서 설명된 바와 같이, 와이어 본딩은 반도체 패키지들의 조립에 대해 비용상 효과적이며 유연성이 있는 해결책을 제공한다. 하지만, 출력이 큰 적용에서, 길고 가는(따라서, 높은 저항성의) 본딩 와이어들은 큰 IR 강하를 유발할 수 있다. 큰 IR 강하 때문에 보다 높은 전위(voltage potential)를 지닌 전압 공급장치가 사용되어야 하며, 이는 비교적 실시하기가 어렵거나 비교적 고비용일 수 있다. 또한, 큰 IR 강하 때문에 동작의 노이즈 마진(noise margin)이 감소되며, 이는 장치들이 전압 공급 노이즈(voltage supply noise)에 더욱 민감해지게 한다.
- [0013] 플립 칩 기술을 사용하는 것은 출력이 큰 적용들에서 IR 강하를 감소시키는 것에 도움이 될 수 있다. 하지만, 플립 칩은 다수의 칩들 사이에서 적층된 비아 구조들을 사용하여 과워 및 시그널을 분배하는 것이 필요하며, 이는 보다 큰 제조 비용을 발생시킬 수 있다. 추가적으로, 수직 적층으로 배열된 다수의 플립 칩들을 가진 SiP에서, 과워 및 시그널의 분배는 수직 적층 전체를 통해 흘러야 한다. 이로부터, 수직 적층에서 하층의 플립 칩들은 그것들을 통해 흐르는 모든 과워 및 시그널들에 대한 내장 보상(built-in compensation)을 가질 것이 요구된다. 이에 의해, 하층의 플립 칩들은 그것들을 통해 라우팅되는(routed) 추가적인 과워 및 시그널들을 보상하기 위해 필요한 것 이상으로 더 커질 것이 요구된다.
- [0014] 도 1은 IC(200)의 단면도를 도시한다. IC(200)는 관통 실리콘 비아(TSV) 와이어 본드 구조(wire bond architecture)를 사용하여 제조되며, 과워 및 시그널들은 기판(210)을 통하도록 형성된 과워 비아(205: power via) 및 시그널 비아(206: signal via)와 같은 TSV들을 통해 분배될 수 있다. TSV들을 통과한 후, 과워 및 시그널들은 전형적인 구조에서처럼 내부 메탈층들을 통해 내부 회로에 라우팅될 수 있다.
- [0015] 과워 비아(205)와 같은 TSV는 기판(210)의 제1 표면에 형성된 제1 전도성 패드(207) 및 상기 기판(210)에 형성된 비아를 충전하는 전도성 부재(209)를 포함하며, 기판(210)의 제2 표면에 형성된 내부 메탈 라우팅(208: internal metal routing)에 연결될 수 있다. 전도성 부재(209)는 제1 전도성 패드(207)와 내부 메탈 라우팅(208)을 전기적으로 연결한다. 그리하여 내부 메탈 라우팅(208)은 전기적인 시그널들 및/또는 과워를 분배하기 위해 사용될 수 있다.
- [0016] 하지만, 내부 메탈층 라우팅에 추가하여, 과워 및 시그널들은 후면 메탈층(BML: backside metal layer)(220)에 의해서도 분배될 수 있다. BML(220)은 집적 회로들 반대편에 위치한, 기판(210)의 일측면에 형성될 수 있다. BML(220)은 과워 및 시그널들의 분배를 위해 사용될 수 있다. IC(200)는 과워 본드 와이어(215: power bond wire) 및 시그널 본드 와이어(216: signal bond wire)와 같은 본드 와이어들을 사용하여 외부적으로 연결될 수 있다.
- [0017] 바람직하게, BML(220)은 과워 및 시그널들의 분배를 위한 낮은 저항의 금속을 제공하기 위해, 알루미늄, 구리, 금, 및 이들의 합금 등으로부터 생성될 수 있다. BML(220)은 그것의 저항을 더욱 줄이기 위해 통상적인 메탈층보다 더 큰 두께를 갖도록 형성될 수도 있다. BML(220)의 감소된 저항은 보다 낮은 IR 강하를 이끌어낼 수 있다. 이는 BML(220)이 기계적 응력(mechanical stress) 및 비아 사이즈(via size) 제한들이 있는 전면 메탈층(front side metal layer)을 갖지 않을 수 있기 때문에 가능해질 수 있다. 바람직하게, BML(220)은 저항을 줄이기 위해 통상적인 메탈층 두께의 적어도 2배에 해당하는 전체 두께로 형성될 수 있다. 더욱이, BML(220)은 과워 분배를 위해 수직하게, 수평으로, 대각선으로, 지그재그 모양으로, 또는 임의적으로 배열될 수 있는데, 여기서 대각선 배열이 보다 바람직하다. BML(220)은 재분배층(RDL: redistribution layer)으로 지칭될 수도 있다.
- [0018] 바람직하게는, BML(220)에 과워 또는 시그널을 전기적으로 연결하기 위해 TSV(예로써, 과워 비아(222))가 사용될 수 있다. TSV는 일반적으로 본드 패드에 비해 사이즈가 더 작기 때문에 TSV들을 사용하는 것은 BML(220)의

본드 패드들에 직접 본딩하는 것에 비해 더 바람직할 수 있으며, 이로써 BML(220)의 치수들이 최소로 유지될 수 있다. TSV의 상대적으로 작은 사이즈는, IR 강하를 최소화하기 위해 많은 개수의 TSV들이 사용되어 BML(220)에 파워를 제공할 때, 특히 유리하다. TSV들을 사용하는 것은 IC(200)에 다른 IC들을 부착하는 것을 방해하지 않으며, BML(220)에 파워 및 시그널들을 전기적으로 연결하기 위해 와이어 본딩이 사용되었을 경우에는 그러한 방해가 있게 된다.

- [0019] TSV를 통해 파워 및 시그널들에 연결되는 것에 추가하여, BML(220)은 그것과 동일한 측면에 형성된 연결부들(connections)을 통해 파워 및 시그널들에 전기적으로 연결될 수 있다. BML(220)과 동일한 측면에 형성된 연결부들은 본드 패드에 직접 연결될 수 있다.
- [0020] P/G 라우트(route)(225) 및 시그널 라우트(226)와 같은, 내부 메탈층들에 생성된 파워 및 시그널 라우트들을 사용하여, 추가적인 파워 및 시그널들의 분배가 수행될 수 있다. 더욱이, 내부 메탈층들에서의 분배가 어렵거나 또는 지나치게 큰 IR 강하를 유발하는 것으로 판명된 경우, BML(220)은 파워 및 시그널들의 분배 유연성(distribution flexibility)에 대한 추가적인 방안을 제공하기 위해 사용될 수 있다. TSV들은 내부 메탈층들과 BML(220) 간의 연결성을 제공하기 위해 사용될 수 있다.
- [0021] IC(200)는 그것에 솔더 범프들이 배치될 수 있도록 하는 패드들(예로써, 패드 230)을 포함하며, 상기 솔더 범프들은 플립 칩 기술을 사용함으로써 IC(200)가 외부 회로들 또는 다른 IC들에 연결될 수 있게 한다. 이로써 IC(200)는 다수의 IC들로 이루어진 시스템-온-칩(SoC)의 일부분일 수 있다. 도 2a는 SoC(300)를 도시한다. SoC(300)는 마더 다이(305: mother die) 및 도터 다이(310: daughter die)를 포함한다. 도터 다이(310)는 플립 칩 기술을 사용하여 마더 다이(305) 상에 직접 장착될 수 있다. IC(200)는 시스템-인-패키지(SiP)의 일부분일 수도 있다.
- [0022] 도 2b는 SoC(325)를 도시한다. SoC(325)는 마더 다이(330), 제1 도터 다이(335), 제2 도터 다이(340) 및 제3 도터 다이(345)를 포함한다. 제1 도터 다이(335)는 마더 다이(330) 상에 직접 장착되는 한편, 제2 도터 다이(340)는 제1 도터 다이(335)에 직접 장착되며 제3 도터 다이(345)는 제2 도터 다이(340) 상에 장착될 수 있다. 비록 4개의 다이들로 이루어진 수직 적층으로 도시되어 있으나, 다이들로 이루어진 다른 가능한 조합들로부터 대안적인 SoC가 형성될 수 있다. 예를 들어, 대안적인 어떤 SoC에서, 제1 도터 다이(335)와 제2 도터 다이(340)는 마더 다이(330)의 다른 영역들 상에 장착되고 제3 도터 다이(345)는 제2 도터 다이(340) 상에 장착될 수 있다. 대안적으로, 제1 도터 다이(335), 제2 도터 다이(340), 및 제3 도터 다이(345)는 마더 다이(330)의 다른 영역들 상에 각각 장착될 수 있다. 따라서, 수직 적층의 한 가지 모습에 의해 실시예들의 사상 또는 범위가 제한되는 것으로 고려되어서는 안 될 것이다.
- [0023] 하지만, 수직 적층의 최하층 또는 중간 IC를 통해 파워 및 시그널들이 라우팅될 수 있는 플립 칩 구조와 달리, TSV 와이어 본드 구조를 사용하는 IC들(예로써 IC 200)의 수직 적층은 파워 및 시그널들이 개별 IC들에 직접 연결되도록 할 수 있다. 도 2c는 본드 와이어들이 적용된 이후의 SoC(325)를 도시한다. 각각의 다이들(마더 다이 330, 제1 도터 다이 335, 제2 도터 다이 340, 및 제3 도터 다이 345)은 본드 와이어들을 사용하여 외적으로 연결될 수 있다. 다이들 각각을 외적으로 연결할 수 있다는 것에 의해, 다이들 중 어떤 다이를 통해 사용되지 않는 파워 및 시그널들이 라우팅되는 일 없이 해당 다이에 파워 및 시그널들이 직접 분배될 수 있다. 이는 IR 강하가 최소화될 수 있도록 한다. 더욱이, 다이는 비사용 파워 및 시그널들을 라우팅하지 않아도 되기 때문에, 그 다이의 사이즈를 최소화하는 것이 가능해질 수 있다. 도 2c에 도시된 바와 같이, BML(220)에 파워 및 시그널들을 전기적으로 연결하는 TSV들의 사용은 BML(220)처럼 IC의 일측면에 IC들(예로써, 마더 다이 330에 부착하는 제1 도터 다이 335, 제1 도터 다이 335에 부착하는 제2 도터 다이 340, 등)이 부착될 수 있도록 한다.
- [0024] 기술이 진보함에 따라, 설계의 복잡성은 극적으로 증대되어 왔다. 증대된 설계의 복잡성은 현저히 늘어난 장치 개수 및 기능성을 가진 설계를 가능하게 하였다. 하지만, 늘어난 장치 개수에 의해 보다 큰 에너지의 방출이 요구되었다. 보다 큰 에너지의 방출이 요구됨에 따라, 내부 회로에 필요한 전력을 공급하기 위해 많은 개수의 파워 패드들이 필요하게 되었을 뿐만 아니라, IR 강하를 최소화하기 위해 밀집형 파워 메쉬(dense power mesh)가 또한 필요하게 되었다. 밀집형 파워 메쉬 및 관련된 파워 패드들은 해당 설계에 이용되는 파워 및 시그널 라우팅 요소들을 다량으로 소모한다. 따라서, 해당 설계의 칩 사이즈 뿐만 아니라 제조 비용도 상당히 증가하게 되었다.
- [0025] 도 3a는 종래의 파워 메쉬(400)를 도시한다. 파워 메쉬(400)는 전기 그라운드(GND)를 분배하기 위한 제1 메쉬(405) 및 제1 전위(VDD)를 분배하기 위한 제2 메쉬(410)를 포함한다. 제1 메쉬(405) 및 제2 메쉬(410)는 다른 층들로 형성될 수 있으며, 예로써 서로 상이한 메탈층들로부터, 또는 하나의 메탈층과 하나의 비메탈층으로부터

형성될 수 있다. 메쉬 라인들(예로써, 제1 메쉬 라인 415 및 제2 메쉬 라인 416)의 교차점에서, 파워 패드(예로써, 파워 패드 420)는 그 두 개의 메쉬 라인들 간의 전기적인 연결부를 형성한다. 또한, 파워 패드 하측에는 내부 회로에 파워를 제공하는 파워 라우트(power route)가 배치될 수 있다. 도 3a에 도시된 바와 같이, IC에서 라우팅 리소스(routing resource)들의 상당 퍼센티지(총 라우팅 리소스들의 30 % 또는 그 이상)가 파워 시그널들의 라우팅에 기여된다.

[0026] 도 3b는 IC(450)의 단면도를 도시하며, 여기서 IC(450)는 그것에 파워를 분배하기 위한 종래의 파워 메쉬를 포함하고 있다. 도 3b에 도시된 바와 같이, 솔더 범프(455)는 제2 메쉬(410)와 VDD 사이의 전기적 연결을 제공하기 위해 사용될 수 있다. 파워 라우트(460)는 IC(450)의 제1 트랜지스터에 파워를 연결하는 것을 또한 보여준다. 도 3b에서 또한 보여지는 바와 같이, 솔더 범프(465)는 시그널 라우트(470)에 의해 제2 트랜지스터에 시그널을 제공한다. 파워 및 시그널 라우트들(예로써, 파워 라우트 460 및 시그널 라우트 470)에 사용된 적층 비아 어레이(stacked via array)들은 IC(450)에 번잡함(congestion)을 유발하며, 이는 IC(450)에 내부 시그널들을 라우팅하는 것을 보다 어렵게 할 수 있다.

[0027] 도 4a는 IC(200)의 저면도를 도시하며, 특히 BML(220)에 주목하고 있다. 앞서 설명된 바와 같이, BML(220)은 파워 및 시그널들의 분배를 위해 사용될 수 있다. BML(220)은 파워 링(525: power ring)을 가진 링 구조를 가질 수 있으며, 상기 파워 링(525)은 대략적으로 IC(200)의 둘레에 대략 형성되지만, 일반적으로는, 내부의 회로에 외부 시그널과의 연결을 제공하기 위해 사용될 수 있는 본딩 패드들(예로써, 패드 510 및 511) 및 내부 회로에 파워 및 그라운드를 제공하기 위해 사용될 수 있는 및 파워 패드들(예로써, 패드 515 및 516)을 포함하는 복수의 패드들 내측에 형성된다. 도 4a에 도시된 바와 같이, 상기 복수의 패드들은 파워 링(525) 둘레에 배치되는 단일 링의 패드들로 형성될 수 있다. 대안적으로, 상기 복수의 패드들의 개수에 따라, 파워 링(525) 둘레에는 패드들의 다중 링 또는 단일 링이 형성될 수 있다.

[0028] 도 4a에 도시된 바와 같이, 파워 링(525) 및 복수의 패드들은 IC(200)의 가장자리 부근에 형성될 수 있다. 하지만, 파워 및 시그널의 분배 요건들에 따라, 파워 링(525)은 IC(200)의 가장자리 부근에 형성되지 않아도 된다. 예로써, 파워 링(525)은 IC(200) 전체 면적의 일부분에 형성될 수 있다. 추가적으로, 파워 링(525)은 IC(200)의 후면 또는 전면에 형성될 수도 있고, IC(200)의 양면 모두에 형성될 수도 있다.

[0029] 파워 링(525)의 내측에는 복수의 TSV들(점선 520의 내측에 도시됨)이 배치될 수 있다. 복수의 TSV들은 IC(200)의 내부 회로에 파워를 분배하기 위해 사용될 수 있다. 복수의 TSV들은 파워 링(525) 외측의 파워 패드들과 전기적으로 연결될 수 있다. 예를 들어, 복수의 TSV들 중에서 일부 TSV들은 전기 그라운드와 전기적으로 연결되고, 다른 TSV들은 VDD에 연결될 수 있다. 복수의 TSV들은 수직하게, 수평으로, 대각선으로, zigzag 모양으로, 또는 임의적으로 배열될 수 있는데, 여기서 대각선 배열이 보다 바람직하다. 대안적으로, 상기 TSV들은 특정한 배열 없이 IC(200)의 내부 회로의 배열에 따라 배치될 수 있다. 파워 링(525)은 복수의 패드들 중에서 일부 또는 전부를 복수의 TSV들에 연결할 수 있다. 파워 링(525)은, 후면 메탈(즉, BML 220과 동일한 측면에 형성된 파워 링 525)로부터, 또는 전면 메탈(즉, BML 220의 반대편에 형성된 파워 링 525)로부터, 또는 전후면 메탈들로부터, 형성될 수 있다.

[0030] TSV들의 이점은 그것들이 파워 및/또는 시그널 패드에 비해 물리적으로 더 작다는 것이다. 그 결과, 패드 피치 완화(pad pitch relaxation)에 기인하는 총 면적 감소(overall area reduction)가 일어날 수 있다. 추가적으로, TSV들은 시그널 및 파워 연결을 위해 저비용의 본드 와이어들을 사용하는 것을 가능하게 한다. 더욱이, TSV들은, 다이 적층의 상측 다이들을 위한 파워가 다이 적층의 하측 다이들을 통해 라우팅되어야 하는 다중 적층 다이들의 문제점을 해결하는 것을 도울 수 있다. 이는 다이 적층의 상측 다이들에 파워를 라우팅하기 위해 다이 적층의 하측 다이들에 할애해야 하는 면적을 줄이는 것을 도울 수 있다. 유사하게, TSV들은 다이 적층의 다이들에 파워가 직접적으로 연결되는 것을 가능하게 함으로써 IR 강하 문제를 도울 수 있다. 비록 도 4a에서는 파워 패드들에 연결된 것으로 보이지만, 복수의 TSV들 중 일부 TSV들은 시그널 패드들에 전기적으로 연결될 수 있다.

[0031] 도 4b는 IC에 파워를 분배하기 위해 사용되는 그리드 매트릭스 배열(grid matrix arrangement)을 도시한다. 이러한 그리드 매트릭스 방법(approach)은 상기 복수의 TSV들과 같은 낮은 저항의 TSV들을 통해 IC의 내부 회로에 전류가 직접 흘러들어갈 수 있는 파워 분배를 위해 사용될 수 있다. 상기 그리드 매트릭스 배열은 로컬 파워 연결들(local power connections)을 위해 적은 개수의 메탈층들(예로써 메탈 1 및 메탈 2)을 사용하는 것을 가능하게 한다. 상기 그리드 매트릭스 배열은 총 파워 분배(overall power distribution)를 추가로 개선하기 위해 BML(220)에 연결될 수도 있다. 이는 IC의 단면도를 보이는 도 4c에 도시되어 있으며, 여기서 IC는 그것에 파워

를 분배하기 위한 BML(220) 및 그리드 매트릭스 배열을 포함하고 있다. 도 4c에 도시된 바와 같이, BML(220) 및 그리드 매트릭스 배열에 파워가 분배되기 때문에, IC의 내부 메탈층들 대부분은 시그널 분배를 위해 사용될 수 있다. 도 4c는 TSV를 통해 IC의 내부 회로에 시그널을 분배하는 것을 또한 도시하고 있다.

[0032] 도 5a는 IC에 파워를 분배하기 위해 사용되는 그리드 매트릭스 배열의 파티셔닝(600: partitioning)을 도시하고 있다. 전형적으로, IC는 최소 및 최대 그리드(칩 경계 605 및 타일(tile) 경계 610으로 도시됨)로 구성된 그리드 시스템으로 구획될 수 있으며, 여기서 최대 그리드는 최소 그리드 여러 개에 해당한다. 그리하여 IC 및 라우팅 블록 경계는 그리드 매트릭스 배열과 정렬될 수 있다. 그리하여, TSV들은 그것들이 여러 인접 블록들에 의해 공유될 수 있는 경계들 상에 배치될 수 있다. 예를 들어, TSV(615)는 VDD를 분배하기 위해 사용될 수 있으며, TSV(620)는 전기 그라운드를 분배하기 위해 사용될 수 있다.

[0033] 도 5b는 IC에 파워를 분배하기 위해 사용되는 그리드 매트릭스 배열의 파티셔닝(650)을 도시하고 있다. 이러한 파티셔닝(650)은 상기 파티셔닝(600)과 유사하며, 다만, 고립 전압 아일랜드들(isolated voltage island)을 생성하기 위해 파티셔닝(650)의 TSV들이 타일 경계(610)로부터 물려서 있다는 점이 다르다. 예를 들어, TSV(655)는 단일의 전압 아일랜드 만을 위한 VDD를 분배하기 위해 사용될 수 있으며 TSV(660)는 상기 단일의 전압 아일랜드 만을 위한 VDD를 분배하기 위해 사용될 수 있다.

[0034] 메탈 라우팅 차단(metal routing blockage) 문제를 겪는 일 없이 그리드 매트릭스 배열이 전류 공급을 최대화할 수 있도록 내부 회로가 배치될 수 있다. 상기 파워 그리드 배열은 수직하게, 수평으로, 대각선으로, 지그재그 모양으로, 또는 임의적으로 배열될 수 있는데, 여기서 대각선 배열이 보다 바람직하다.

[0035] 상기 TSV 와이어 본드 구조는 플립 칩 기술에 비해 상당한 이점들을 제공할 수 있다. 표 1은 TSV 와이어 본드 구조와, N45 프로세스에 기초한 파워 분배를 위한 파워 메쉬를 사용하는 플립 칩 구조 간의 현저한 차이점들에 관한 요약を提供한다.

표 1

<TSV 와이어 본드와, 파워 메쉬를 가진 플립 칩의 비교>

	파워 메쉬를 구비한 플립 칩 (Flip Chip with Power Mesh)	TSV 와이어 본드 (TSV Wire Bond)
전류 흐름 (Current Flow)	파워 메쉬 분배	비아 분배
패드 사이즈 (Pad Size)	패시베이션 사이즈	TSV 사이즈
중간 파워 라우팅 (Intermediate Power Routing)	30%	N/A
등가 저항의 비아 사이즈 (Via Size with Equivalent Resistance)	10x	1x
메탈층들의 개수 (Number of Metal Layers)	10	6
분리 커패시터 (Decoupling Capacitor)	없음	있음

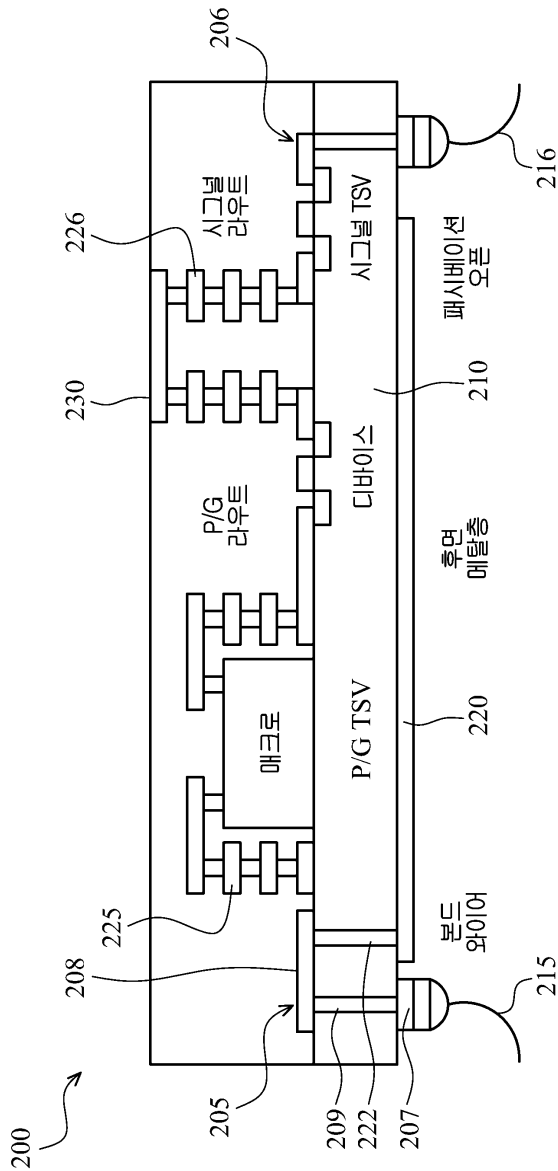
[0037] 표 1에 요약된 바와 같이, TSV 와이어 본드와, 파워 메쉬 파워 분배를 가진 플립 칩 간에는 다음과 같은 현저한 차이점들이 있다: 전류는 다수의 메탈층들을 통해 분배되는 것이 아니라 낮은 저항의 TSV를 통해 장치(device)로 직접 흐른다(따라서, IR 강하가 감소됨); 밀집된 중간 파워 라우팅이 필요하지 않고, 로컬 파워 연결들(local power connection)을 위해 단지 몇 개의 메탈층만이 필요하며, 그 결과 라우팅 성능(routability)의 현저한 향상이 있게 된다; 보다 나은 전류 분배를 위해 그리드 매트릭스 배열은 BML에 직접 연결된다; 등가 저항을 지닌 TSV 사이즈는 적층된 비아 어레이 사이즈에 비해 10배 더 작다; 메탈층들의 다이 사이즈 및 필요한 개수가 모두 감소된다; 그리고, TSV 와이어 본딩에서 전압 공급 소음이 크게 감소된다. 추가적으로, TSV 와이어 본딩을 구비한 경우, 설계 주기 기간(design cycle time) 및 제조 수율(fabrication yield)이 상당히 개선될 수 있다.

[0038] 본 발명 및 그것의 이점들이 상세하게 기술되었으나, 첨부된 청구항들에 의해 정의된 본 발명의 사상 및 범위를

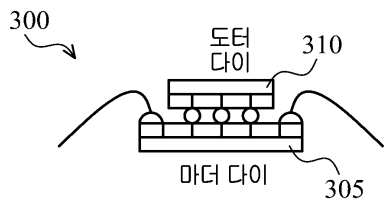
벗어남 없이 여러 가지 수정들, 치환들 및 변경들이 가능함을 이해해야 할 것이다. 더욱이, 본 출원의 범위는 명세서에서 기술되어진 공정, 기계, 제조, 물질의 조합, 수단, 방법들 및 단계들에 관한 특정 실시예들에 제한 되도록 하려는 것은 아니다. 해당 분야의 당업자는 본 발명이 개시하는 것으로부터, 현존하는 또는 이후 개발될, 앞서 기술된 대응하는 실시예들과 동일한 기능을 실질적으로 수행하거나 실질적으로 동일한 결과를 달성하는 공정, 기계, 제조, 물질의 조합, 수단들, 방법들, 또는 단계들이 본 발명에 따라 유용될 수 있음을 이해할 것이다. 따라서, 첨부된 청구항들은 그 범위 내에서 그와 같은 공정들, 기계들, 제조, 물질의 조합, 수단들, 방법들, 또는 단계들을 포함하도록 의도되어진다.

도면

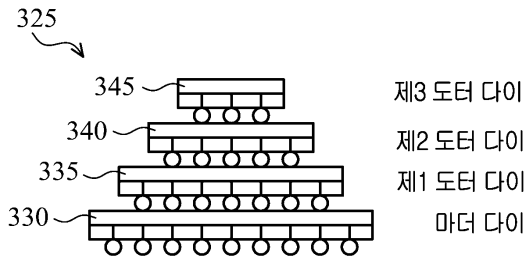
도면1



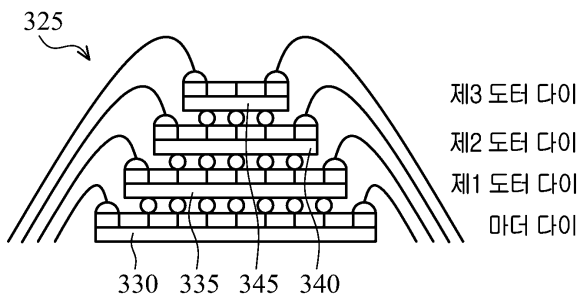
도면2a



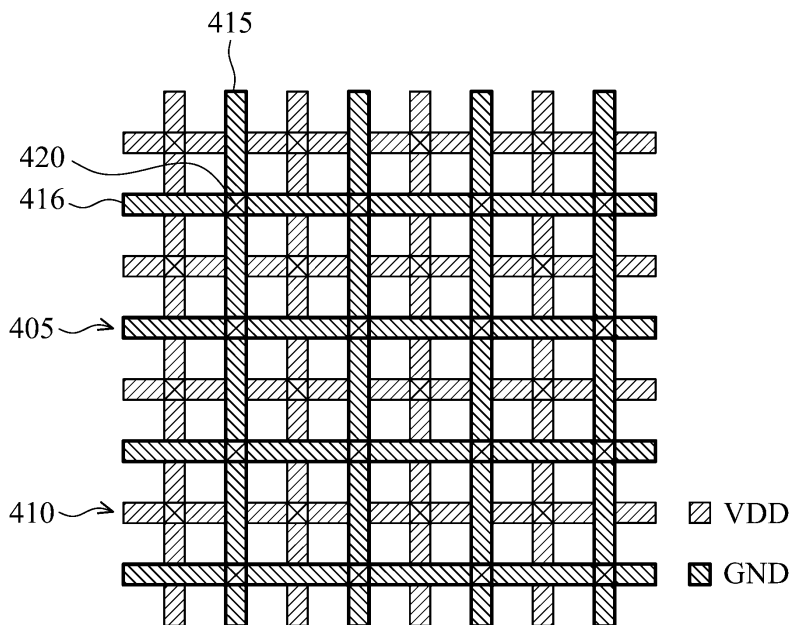
도면2b



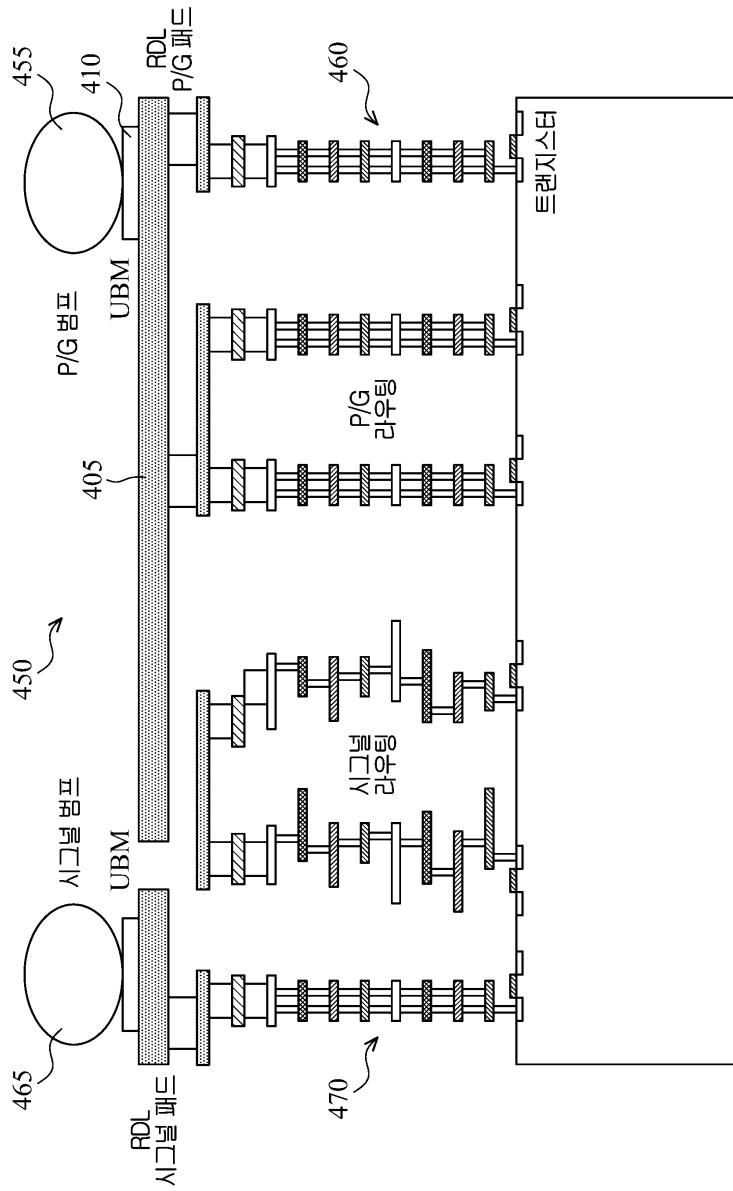
도면2c



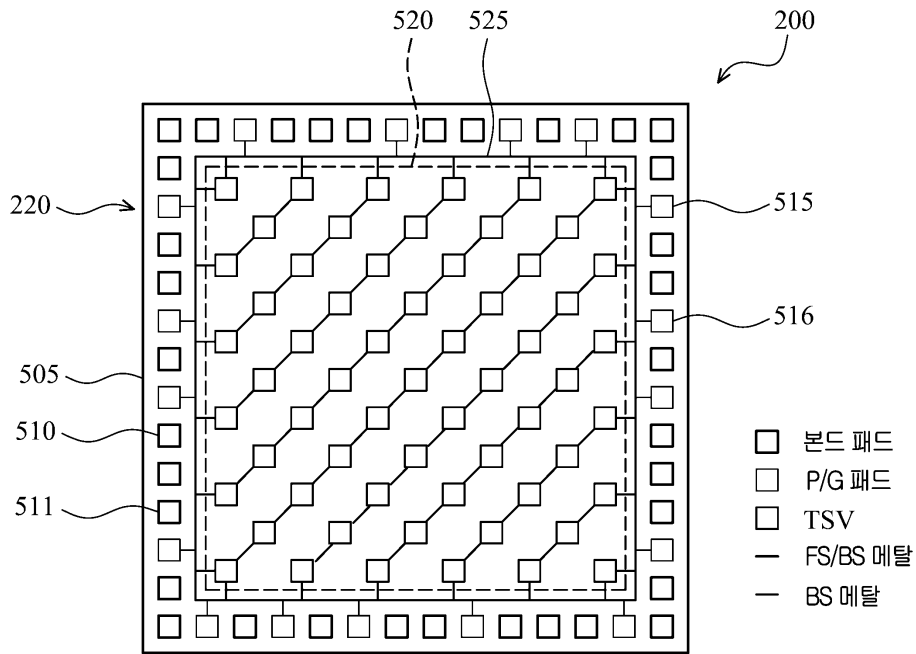
도면3a



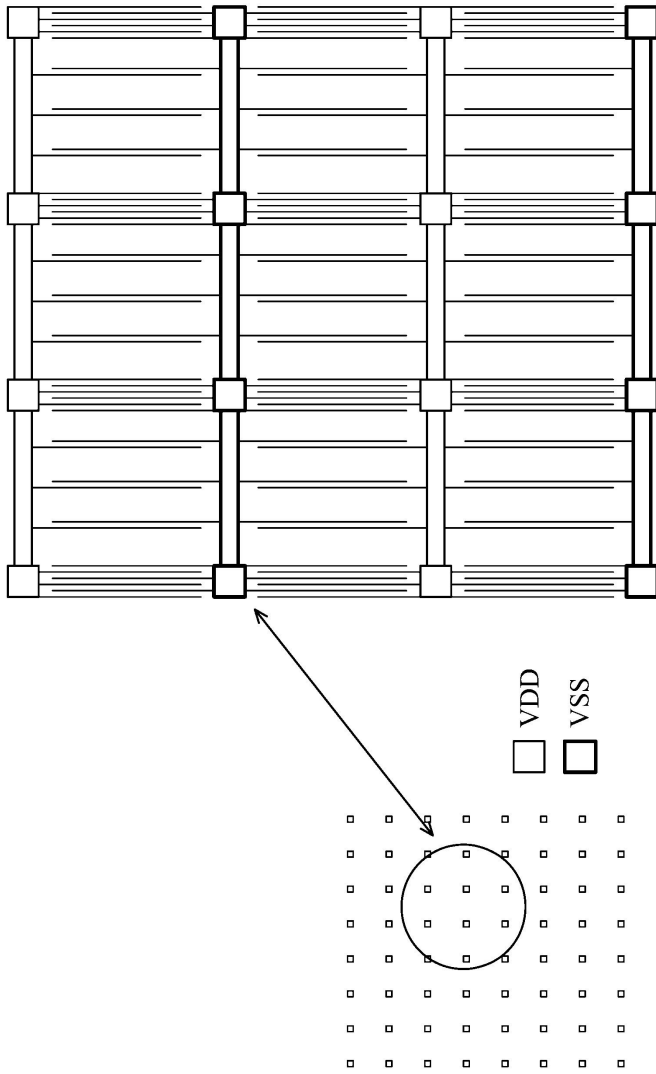
도면3b



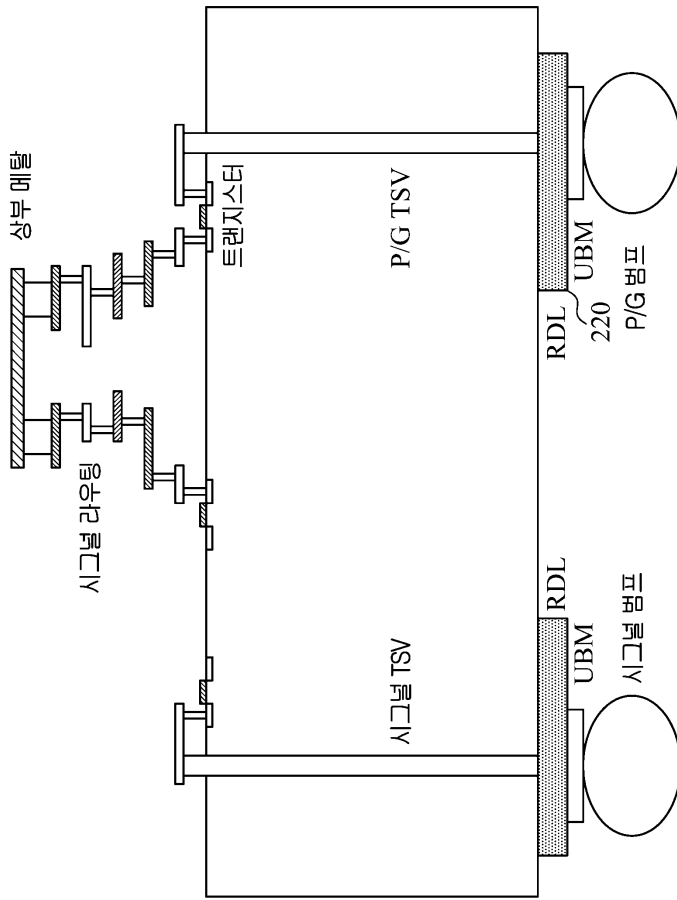
도면4a



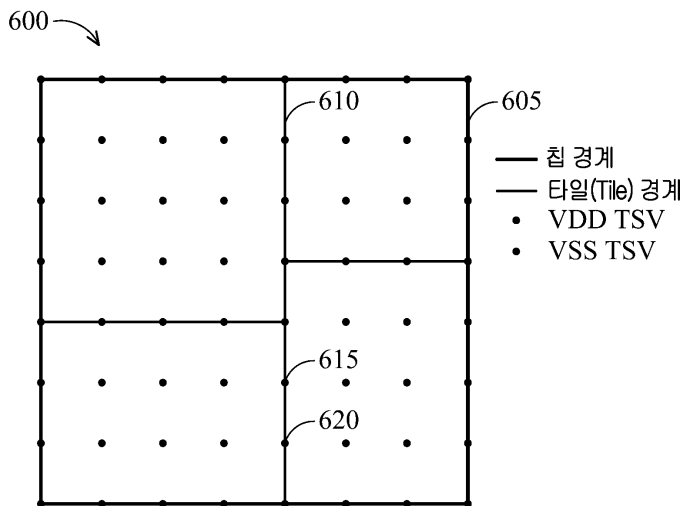
도면4b



도면4c



도면5a



도면5b

