

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月16日(16.06.2022)



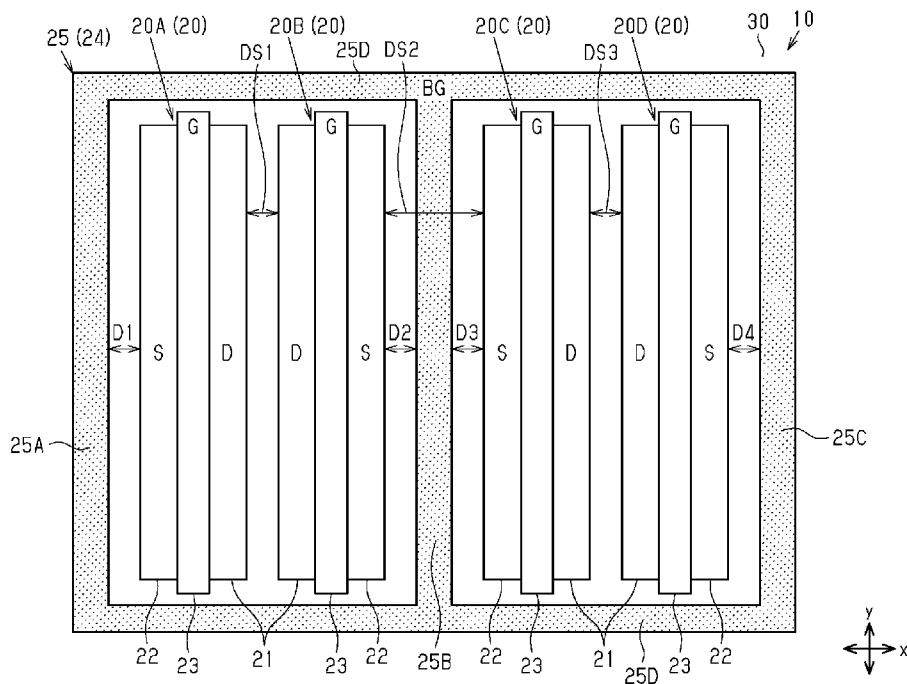
(10) 国際公開番号

WO 2022/124121 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) *H01L 27/06* (2006.01)
- (21) 国際出願番号: PCT/JP2021/043698
- (22) 国際出願日: 2021年11月29日(29.11.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-203231 2020年12月8日(08.12.2020) JP
- (71) 出願人: ローム株式会社 (**ROHM CO., LTD.**)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 田 中 智 士 (**TANAKA Satoshi**);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 恩 田 誠, 外 (**ONDA Makoto et al.**);
〒5008731 岐阜県岐阜市大宮町二丁目 1 2 番地 1 Gifu (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: PROTECTION ELEMENT

(54) 発明の名称: 保護素子



(57) **Abstract:** This protection element includes first to fourth switching elements, and a back gate guard ring surrounding the first to fourth switching elements. The back gate guard ring includes a first section, a second section, and a third section. The first section is disposed adjacent to a side of the first switching element opposite to the second switching element. The second section is disposed between the second switching element and the third switching element. The third section is disposed adjacent to a side of the fourth switching element opposite to the third switching element. A source of

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

the first switching element is disposed closer to the first section than a gate of the first switching element. A source of the second switching element is disposed closer to the second section than a gate of the second switching element. A source of the third switching element is disposed closer to the second section than a gate of the third switching element.

(57) 要約: 保護素子は、第1～第4のスイッチング素子と、第1～第4のスイッチング素子を囲むバックゲートガードリングとを含む。バックゲートガードリングは、第1部分と第2部分と第3部分とを含む。第1部分は、第1スイッチング素子における第2スイッチング素子とは反対側の隣に配置されている。第2部分は、第2スイッチング素子と第3スイッチング素子との間に配置されている。第3部分は、第4スイッチング素子における第3スイッチング素子とは反対側の隣に配置されている。第1スイッチング素子のソースは、第1スイッチング素子のゲートよりも第1部分の近くに配置されている。第2スイッチング素子のソースは、第2スイッチング素子のゲートよりも第2部分の近くに配置されている。第3スイッチング素子のソースは、第3スイッチング素子のゲートよりも第2部分の近くに配置されている。

明 細 書

発明の名称：保護素子

技術分野

[0001] 本開示は、保護素子に関する。

背景技術

[0002] 従来、静電気放電（E S D : electrostatic discharge）から保護する保護素子として、n型のM O S F E T（metal-oxide-semiconductor field-effect transistor）によって構成された保護素子が知られている（たとえば特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2002-324842号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、電子部品の小型化にともない保護素子を小型化する要求がある。しかし、保護素子を小型化すると、保護素子のホールド電圧が低下し、保護素子が保護する回路の動作電圧で保護素子が動作してしまうおそれがある。

課題を解決するための手段

[0005] 上記課題を解決する保護素子は、n型のM O S F E Tによって構成され、互いに並列に接続された状態で一方向に並んで配置された複数のスイッチング素子と、前記複数のスイッチング素子を囲むバックゲートガードリングと、を備え、前記複数のスイッチング素子は、順に並んで配置された第1スイッチング素子、第2スイッチング素子、第3スイッチング素子、および第4スイッチング素子を含み、前記バックゲートガードリングは、前記第1スイッチング素子における前記第2スイッチング素子とは反対側の隣に配置された第1部分と、前記第2スイッチング素子と前記第3スイッチング素子との

間に配置された第2部分と、前記第4スイッチング素子における前記第3スイッチング素子とは反対側の隣に配置された第3部分と、を備え、前記第1スイッチング素子のソースは、前記第1スイッチング素子のゲートよりも前記第1部分の近くに配置されており、前記第2スイッチング素子のソースは、前記第2スイッチング素子のゲートよりも前記第2部分の近くに配置されており、前記第3スイッチング素子のソースは、前記第3スイッチング素子のゲートよりも前記第2部分の近くに配置されている。

[0006] この構成によれば、バックゲートガードリングが第1～第3スイッチング素子のソースの近くに配置されているため、保護素子のホールド電圧を高めることができ、保護素子の誤動作を抑制できる。また、バックゲートガードリングの第2部分が第2スイッチング素子のソースと第3スイッチング素子のソースとの間に配置されているため、第1～第4スイッチング素子を個別にバックゲートガードリングで囲う構成と比較して、保護素子の面積を小さくできる。したがって、保護素子の誤動作を抑制するとともに保護素子の小型化を図ることができる。

発明の効果

[0007] 上記保護素子によれば、保護素子の誤動作を抑制するとともに保護素子の小型化を図ることができる。

図面の簡単な説明

[0008] [図1]保護素子の一実施形態を示す回路図。

[図2]保護素子の一部を示す平面図。

[図3]図2の保護素子の模式的な断面図。

[図4]保護素子のV-I特性を示す特性図。

[図5]比較例の保護素子の一部を示す平面図。

[図6]図5の保護素子の模式的な断面図。

[図7]別の比較例の保護素子の一部を示す平面図。

[図8]本実施形態の保護素子および比較例の保護素子の面積とホールド電圧とを示す表。

[図9]変更例の保護素子の一部を示す平面図。

[図10]変更例の保護素子の一部を示す平面図。

発明を実施するための形態

[0009] 以下、保護素子の実施形態について図面を参照して説明する。以下に示す実施形態は、技術的思想を具体化するための構成や方法を例示するものであり、各構成部品の材料、構造、配置、寸法等を下記のものに限定するものではない。本明細書における記述「A及びBの少なくとも一つ」は、「Aのみ、または、Bのみ、または、AとBの両方」を意味するものとして理解されたい。

[0010] 図1～図3を参照して、保護素子10の一実施形態について説明する。

図1に示すように、保護素子10は、たとえばインバータ装置200の一对のスイッチング素子201、202をESDから保護する保護素子である。スイッチング素子201はたとえば駆動電源に接続されるハイサイドのスイッチング素子であり、スイッチング素子202はローサイドのスイッチング素子である。スイッチング素子201、202としてはたとえばMOSFETやIGBT等のトランジスタが挙げられる。なお、以降の説明では、スイッチング素子201、202にMOSFETが用いられた場合として説明する。本実施形態では、スイッチング素子201にはp型MOSFETが用いられており、スイッチング素子202にはn型MOSFETが用いられている。

[0011] スwitchング素子201のソースは第1電線L1に接続されており、ドレインはスイッチング素子202のドレインに接続されている。スイッチング素子202のソースは第2電線L2に接続されている。すなわち、スイッチング素子201とスイッチング素子202とは、第1電線L1と第2電線L2との間で直列に接続されている。各スイッチング素子201、202のゲートは図示していないゲートドライバに接続されている。第1電線L1は駆動電源に接続される電源端子VDDに接続された電線であり、第2電線L2はグランド端子GNDに接続された電線である。

- [0012] 保護素子10は、電源端子VDDおよびグランド端子GNDと、一对のスイッチング素子201、202との間に設けられており、静電気に起因して一对のスイッチング素子201、202に向けて流れる電流を一对のスイッチング素子201、202に代わりに流す素子である。
- [0013] 保護素子10は、複数のスイッチング素子20を備えている。各スイッチング素子20は、n型のMOSFETによって構成されている。複数のスイッチング素子20は、互いに並列に接続されている。一例では、10個以上20個以下のスイッチング素子20が並列に接続されている。本実施形態では、12個のスイッチング素子20が並列に接続されている。各スイッチング素子20のドレイン21は第1電線L1に接続されており、ソース22は第2電線L2に接続されており、ゲート23はソース22に接続されている。また、各スイッチング素子20のバックゲート24は、各スイッチング素子20のソース22に接続されている。各スイッチング素子20のソース22が第2電線L2に接続されているため、各バックゲート24はグランド電位となる。
- [0014] 保護素子10は、一对のスイッチング素子201、202とは別のパッケージとして設けられていてもよいし、一对のスイッチング素子201、202と一体化したパッケージとして設けられていてもよい。本実施形態では、保護素子10は、一对のスイッチング素子201、202とは別のパッケージ、つまり複数のスイッチング素子20で構成されたパッケージとして設けられている。
- [0015] 図2は、複数のスイッチング素子20の配置態様の一例を示している。図2では、4個のスイッチング素子20の配置態様について説明する。なお、残りの8個のスイッチング素子20の配置態様は図2と同様であるため、その説明を省略する。図2では、便宜上、4個のスイッチング素子20以外のスイッチング素子20を省略して示している。
- [0016] 以降の説明において、便宜上、4個のスイッチング素子20を第1スイッチング素子20A、第2スイッチング素子20B、第3スイッチング素子20C、第4スイッチング素子20Dと示す。

OC、および第4スイッチング素子20Dとする。また、図2では、図の理解のしやすさの観点から、ドレイン21に「D」を付し、ソース22に「S」を付し、ゲート23に「G」を付し、バックゲート24に「BG」を付している。また便宜上、バックゲート24にはドットハッチングを付している。

[0017] 図2に示すように、各スイッチング素子20A～20Dは、半導体基板30に形成されている。つまり、図2は、半導体基板30をその厚さ方向から視た平面図である。半導体基板30の一例は、Si（シリコン）基板である。各スイッチング素子20A～20Dは、一方向に並んでいる。なお、以降の説明において、各スイッチング素子20A～20Dが並ぶ方向をx方向とし、半導体基板30の厚さ方向をz方向とし、x方向およびz方向の双方に直交する方向をy方向とする。また「平面視」とはz方向から視た状態を示している。

[0018] 図2に示すように、各スイッチング素子20A～20Dは、y方向において互いに揃った状態でx方向において互いに離間して配列されている。本実施形態では、x方向において、第1スイッチング素子20A、第2スイッチング素子20B、第3スイッチング素子20C、および第4スイッチング素子20Dは、この順に並んで配置されている。つまり、x方向において、第1スイッチング素子20Aと第4スイッチング素子20Dとの間に、第2スイッチング素子20Bおよび第3スイッチング素子20Cが配置されている。第2スイッチング素子20Bは第3スイッチング素子20Cに対して第1スイッチング素子20Aの近くに配置されている。

[0019] 各スイッチング素子20A～20Dのドレイン21、ソース22、およびゲート23は、x方向に並んで配置されている。つまり、各スイッチング素子20A～20Dのドレイン21、ソース22、およびゲート23の配列方向は、各スイッチング素子20A～20Dの配列方向と同じである。

[0020] 本実施形態では、第1スイッチング素子20Aにおいてはソース22、ゲート23、およびドレイン21の順に配列されており、第2スイッチング素

子20Bにおいてはドレイン21、ゲート23、およびソース22の順に配列されている。つまり、第1スイッチング素子20Aのドレイン21と第2スイッチング素子20Bのドレイン21とはx方向において隣り合うように配置されている。また、第1スイッチング素子20Aのソース22および第2スイッチング素子20Bのソース22は互いに最も離れるように配置されている。

[0021] 第3スイッチング素子20Cおよび第4スイッチング素子20Dのドレイン21、ソース22、およびゲート23の配置態様は、第1スイッチング素子20Aおよび第2スイッチング素子20Bと同様である。つまり、第3スイッチング素子20Cにおいてはソース22、ゲート23、およびドレイン21の順に配列されており、第4スイッチング素子20Dにおいてはドレイン21、ゲート23、およびソース22の順に配列されている。このため、第3スイッチング素子20Cのソース22と第2スイッチング素子20Bのソース22とはx方向において隣り合うように配置されている。

[0022] 各スイッチング素子20A～20Dのドレイン21、ソース22、およびゲート23は、y方向において互いに揃った状態でx方向において配列されている。

平面視における各スイッチング素子20A～20Dのドレイン21、ソース22、およびゲート23の形状はそれぞれ、y方向に延びる帯状である。ドレイン21のy方向の長さは、ソース22のy方向の長さと同じ。ゲート23のy方向の長さは、ドレイン21およびソース22のy方向の長さよりも長い。平面視において、ゲート23のy方向の両端部は、ドレイン21およびソース22に対してy方向にはみ出している。

[0023] 図2に示すように、保護素子10は、複数のスイッチング素子20を囲むバックゲートガードリング25を備えている。図2に示すバックゲートガードリング25は、各スイッチング素子20A～20Dを囲むものであり、各スイッチング素子20A～20Dのバックゲート24から構成されている。つまり、バックゲートガードリング25は、各スイッチング素子20A～2

ODに対して共通のバックゲート24として構成されている。

[0024] バックゲートガードリング25は、第1スイッチング素子20Aにおける第2スイッチング素子20Bとは反対側の隣に配置された第1部分25Aと、第2スイッチング素子20Bと第3スイッチング素子20Cとの間に配置された第2部分25Bと、第4スイッチング素子20Dにおける第3スイッチング素子20Cとは反対側に配置された第3部分25Cと、を備えている。平面視における第1～第3部分25A～25Cの形状は、y方向に延びる帯状である。

[0025] 平面視において、第1スイッチング素子20Aのソース22は、第1スイッチング素子20Aのゲート23よりも第1部分25Aの近くに配置されている。第1スイッチング素子20Aのドレイン21は、第1スイッチング素子20Aのゲート23よりも第2部分25Bの近くに配置されている。第2スイッチング素子20Bのドレイン21は、第2スイッチング素子20Bのゲート23よりも第1部分25Aの近くに配置されている。第2スイッチング素子20Bのソース22は、第2スイッチング素子20Bのゲート23よりも第2部分25Bの近くに配置されている。第3スイッチング素子20Cのソース22は、第3スイッチング素子20Cのゲート23よりも第2部分25Bの近くに配置されている。第3スイッチング素子20Cのドレイン21は、第3スイッチング素子20Cのゲート23よりも第3部分25Cの近くに配置されている。第4スイッチング素子20Dのドレイン21は、第4スイッチング素子20Dのゲート23よりも第2部分25Bの近くに配置されている。第4スイッチング素子20Dのソース22は、第4スイッチング素子20Dのゲート23よりも第3部分25Cの近くに配置されている。

[0026] このように、第1スイッチング素子20Aにおいては、x方向において第1部分25Aから第2部分25Bに向けてソース22、ゲート23、ドレイン21がこの順に配置されている。第2スイッチング素子20Bにおいては、x方向において第1部分25Aから第2部分25Bに向けてドレイン21、ゲート23、ソース22がこの順に配置されている。第3スイッチング素

子 2 0 C においては、x 方向において第 2 部分 2 5 B から第 3 部分 2 5 C に向けてソース 2 2、ゲート 2 3、ドレイン 2 1 がこの順に配置されている。

第 4 スイッチング素子 2 0 D においては、x 方向において第 2 部分 2 5 B から第 3 部分 2 5 C に向けてドレイン 2 1、ゲート 2 3、ソース 2 2 がこの順に配置されている。

[0027] 図 2 に示すとおり、第 1 部分 2 5 A は、x 方向において第 1 スイッチング素子 2 0 A のソース 2 2 から離間して配置されている。第 2 部分 2 5 B は、x 方向において第 2 スイッチング素子 2 0 B のソース 2 2 および第 3 スイッチング素子 2 0 C のソース 2 2 の双方から離間して配置されている。第 3 部分 2 5 C は、x 方向において第 4 スイッチング素子 2 0 D のソース 2 2 から離間して配置されている。

[0028] また、バックゲートガードリング 2 5 は、第 1 ～第 3 部分 2 5 A ～2 5 C の y 方向の両端部を接続する一対の第 4 部分 2 5 D を備えている。平面視における一対の第 4 部分 2 5 D の形状は、x 方向に延びる帯状である。一対の第 4 部分 2 5 D は、y 方向において各スイッチング素子 2 0 A ～2 0 D から離間して配置されている。

[0029] 第 1 部分 2 5 A、第 2 部分 2 5 B、および一対の第 4 部分 2 5 D によって、第 1 スイッチング素子 2 0 A および第 2 スイッチング素子 2 0 B が囲まれている。第 2 部分 2 5 B、第 3 部分 2 5 C、および一対の第 4 部分 2 5 D によって、第 3 スイッチング素子 2 0 C および第 4 スイッチング素子 2 0 D が囲まれている。

[0030] 図 2 に示すとおり、本実施形態では、平面視において、第 1 ～第 3 部分 2 5 A ～2 5 C はそれぞれ、y 方向に延びる 1 本の帯状に形成されている。換言すると、平面視において、第 1 部分 2 5 A は、複数のスイッチング素子 2 0 の配列方向と直交する方向に延びる 1 本の帯状に形成されている。第 2 部分 2 5 B は、複数のスイッチング素子 2 0 の配列方向と直交する方向に延びる 1 本の帯状に形成されている。第 3 部分 2 5 C は、複数のスイッチング素子 2 0 の配列方向と直交する方向に延びる 1 本の帯状に形成されている。こ

ここで、平面視において、第1部分25Aが延びる方向と複数のスイッチング素子20の配列方向とのなす角度がたとえば 85° 以上 95° 以下であれば、複数のスイッチング素子20の配列方向と直交する方向に延びているといえる。平面視において、第2部分25Bが延びる方向と複数のスイッチング素子20の配列方向とのなす角度がたとえば 85° 以上 95° 以下であれば、複数のスイッチング素子20の配列方向と直交する方向に延びているといえる。平面視において、第3部分25Cが延びる方向と複数のスイッチング素子20の配列方向とのなす角度がたとえば 85° 以上 95° 以下であれば、複数のスイッチング素子20の配列方向と直交する方向に延びているといえる。なお、複数のスイッチング素子20の配列方向は、たとえば各スイッチング素子20のゲート23のy方向の中心を結ぶ線分によって規定できる。

[0031] 第2スイッチング素子20Bと第3スイッチング素子20Cとの間に配置された第2部分25Bが1本で形成されているため、第2部分25Bは、第2スイッチング素子20Bのソース22および第3スイッチング素子20Cのソース22に対して共通のバックゲートガードリング25となる。

[0032] バックゲートガードリング25と各スイッチング素子20A～20Dとの位置関係について説明する。

平面視において、各スイッチング素子20A～20Dのソース22と第1～第3部分25A～25Cとは平行である。つまり、第1スイッチング素子20Aのソース22と第1部分25Aとのx方向の間の距離はy方向において一定であり、第2スイッチング素子20Bのソース22と第2部分25Bとのx方向の間の距離はy方向において一定であり、第3スイッチング素子20Cのソース22と第2部分25Bとのx方向の間の距離はy方向において一定であり、第4スイッチング素子20Dのソース22と第3部分25Cとのx方向の間の距離はy方向において一定である。

[0033] 第2スイッチング素子20Bと第3スイッチング素子20Cとの間に第2部分25Bが配置されているため、第2スイッチング素子20Bと第3ス

ッティング素子20Cとの間の距離DS2は、第1スイッチング素子20Aと第2スイッチング素子20Bの間の距離DS1よりも大きい。また距離DS2は、第3スイッチング素子20Cと第4スイッチング素子20Dとの間の距離DS3よりも大きい。

[0034] 第1スイッチング素子20Aのソース22と第1部分25Aとの間の距離D1は、第2スイッチング素子20Bのソース22と第2部分25Bとの間の距離D2と等しい。ここで、距離D1と距離D2とのずれ量がたとえば距離D1の10%以内であれば、距離D1と距離D2とが等しいといえる。

[0035] 第3スイッチング素子20Cのソース22と第2部分25Bとの間の距離D3は、第2スイッチング素子20Bのソース22と第2部分25Bとの間の距離D2と等しい。ここで、距離D3と距離D2とのずれ量がたとえば距離D3の10%以内であれば、距離D3と距離D2とが等しいといえる。

[0036] 第4スイッチング素子20Dのソース22と第3部分25Cとの間の距離D4は、第2スイッチング素子20Bのソース22と第2部分25Bとの間の距離D2と等しい。つまり、距離D1～D4は、互いに等しい。ここで、距離D4と距離D2とのずれ量がたとえば距離D4の10%以内であれば、距離D4と距離D2とが等しいといえる。つまり、距離D1と距離D2と距離D3と距離D4とは互いに等しい。

[0037] なお、距離D1、D3、D4が距離D2と等しいことから距離D1～D4が互いに等しいとしたが、これに限られず、距離D2以外の距離を基準にしてもよい。一例では、距離D2～D4が距離D1と等しいことから距離D1～D4が互いに等しいとしてもよい。また、距離D1～D4のうちの最大のずれ量がたとえば距離D1の10%以内であれば、距離D1～D4が互いに等しいといってもよい。ここで、基準を距離D1としたが、これに限られず、距離D2～D4のいずれかであってもよい。

[0038] 本実施形態では、距離D1～D4は、第1スイッチング素子20Aのドレイン21と第2スイッチング素子20Bのドレイン21との間の距離、すなわち第1スイッチング素子20Aと第2スイッチング素子20Bとの間の距

離 $DS1$ と等しい。また、距離 $D1 \sim D4$ は、第3スイッチング素子 $20C$ のドレイン 21 と第4スイッチング素子 $20D$ のドレイン 21 との間の距離、すなわち第3スイッチング素子 $20C$ と第4スイッチング素子 $20D$ との間の距離 $DS3$ と等しい。なお、距離 $D1 \sim D4$ と距離 $DS1$ 、 $DS3$ との関係は任意に変更可能である。一例では、距離 $DS1$ 、 $DS3$ は、距離 $D1 \sim D4$ よりも小さくてもよい。

[0039] 図3は、各スイッチング素子 $20A \sim 20D$ の素子断面図を示している。

図3に示すように、半導体基板 30 は、 p^- 型領域 34 を有する Si 基板である。 p^- 型領域 34 は、たとえばウェル領域として半導体基板 30 に形成されている。半導体基板 30 の表面 31 には、各スイッチング素子 $20A \sim 20D$ のドレイン 21 およびソース 22 とバックゲートガードリング 25 とが形成されている。ドレイン 21 およびソース 22 は、 n^+ 型のウェル領域によって形成されている。バックゲートガードリング 25 は、 p^+ 型のウェル領域によって形成されている。

[0040] また、半導体基板 30 の表面 31 には、酸化膜 32 を介して各スイッチング素子 $20A \sim 20D$ のゲート 23 が形成されている。酸化膜 32 の一例は、酸化シリコン(SiO_2)である。つまり、半導体基板 30 の表面 31 上には複数の酸化膜 32 が形成されている。複数の酸化膜 32 は、 x 方向において互いに離間して配列されている。各酸化膜 32 は、ドレイン 21 とソース 22 との間に形成されている。各酸化膜 32 上には、ゲート 23 が形成されている。

[0041] 第1スイッチング素子 $20A$ のソース 22 とバックゲートガードリング 25 の第1部分 $25A$ との間、第1スイッチング素子 $20A$ のドレイン 21 と第2スイッチング素子 $20B$ のドレイン 21 との間、第2スイッチング素子 $20B$ のソース 22 との第2部分 $25B$ との間、第3スイッチング素子 $20C$ のソース 22 と第2部分 $25B$ との間、第3スイッチング素子 $20C$ のドレイン 21 と第4スイッチング素子 $20D$ のドレイン 21 との間、および第4スイッチング素子 $20D$ のソース 22 と第3部分 $25C$ との間にはそれぞれ

れ、素子分離帯 33 が形成されている。素子分離帯 33 は、たとえば STI または LOCOS である。

[0042] 図 3 に示すとおり、第 1 スイッチング素子 20A のドレイン 21 (n^+) およびソース 22 (n^+) と、半導体基板 30 の p-型領域 34 とから第 1 寄生トランジスタ 26A が構成される。第 1 寄生トランジスタ 26A のベースは、バックゲートガードリング 25 の第 1 部分 25A に接続されている。第 1 寄生トランジスタ 26A のベースと第 1 部分 25A との間の抵抗 R_A は、p-型領域 34 の抵抗成分である。

[0043] 第 2 スイッチング素子 20B のドレイン 21 (n^+) およびソース 22 (n^+) と、p-型領域 34 とから第 2 寄生トランジスタ 26B が構成され、第 3 スイッチング素子 20C のドレイン 21 (n^+) およびソース 22 (n^+) と、p-型領域 34 とから第 3 寄生トランジスタ 26C が構成される。各寄生トランジスタ 26B, 26C のベースは、バックゲートガードリング 25 の第 2 部分 25B に接続されている。第 2 寄生トランジスタ 26B のベースと第 2 部分 25B との間の抵抗 R_B および第 3 寄生トランジスタ 26C のベースと第 2 部分 25B との間の抵抗 R_C はそれぞれ、p-型領域 34 の抵抗成分である。

[0044] 第 4 スイッチング素子 20D のドレイン 21 (n^+) およびソース 22 (n^+) と、p-型領域 34 とから第 4 寄生トランジスタ 26D が構成される。第 4 寄生トランジスタ 26D のベースは、バックゲートガードリング 25 の第 3 部分 25C に接続されている。第 4 寄生トランジスタ 26D のベースと第 3 部分 25C との間の抵抗 R_D は、p-型領域 34 の抵抗成分である。

[0045] 図 4 の実線のグラフは、保護素子 10 の $I-V$ 特性を示す特性図である。なお、図 4 において、電圧が 0V から V_S までの範囲を示すドットハッチングの領域は、各スイッチング素子 201, 202 (図 1 参照) の動作領域を示している。電圧が電圧 V_{DL} 以上を示すドットハッチングの領域は、各スイッチング素子 201, 202 が故障する領域を示している。

[0046] 図 4 に示すように、電線 L1 と電線 L2 (ともに図 1 参照) との間の電圧

Vが上昇すると、バックゲートガードリング25（図3参照）にリーク電流が流れることによってバックゲートガードリング25の電位が上がり、電圧Vが所定の電圧 V_T に達すると各寄生トランジスタ26A～26D（図3参照）が導通する。各寄生トランジスタ26A～26Dが導通すると、スナップバックして電圧Vがホールド電圧 V_H まで下がり、その後は電圧Vに応じた電流を保護素子10に流すことができる。

[0047] （作用）

図4～図8を参照して、本実施形態の保護素子10の作用について説明する。なお、図8において、図5および図6に示す比較例の保護素子を比較例1とし、図7に示す比較例の保護素子を比較例2とする。

[0048] 電線L1と電線L2との間の電圧Vは、ESDによって変動する。保護素子10は、この変動する電圧Vからスイッチング素子201, 202を保護する。より詳細には、保護素子10は、電圧Vをスイッチング素子201, 202が破壊される電圧の下限值である第1電圧値 V_{DL} 未満となるように動作する必要がある。また、保護素子10は、スイッチング素子201, 202の動作領域の電圧範囲で動作しないように、その電圧範囲の上限値よりも高い第2電圧値 V_{DM} よりも高い電圧で動作する必要がある。つまり、保護素子10は、第2電圧値 V_{DM} よりも高く第1電圧値 V_{DL} よりも低い電圧範囲で動作する必要がある。なお、第2電圧値 V_{DM} は、絶対最大電圧とも呼ばれる。

[0049] ところで、省スペース化の要求によって保護素子10自体も小型化の要求がある。そして、保護素子10を小型化した場合、ホールド電圧 V_H が低下してしまい、第2電圧値 V_{DM} 以下となるおそれがある。

[0050] このため、ホールド電圧 V_H を高める必要がある。ホールド電圧 V_H を高めるためには、ソース22とバックゲート24との間のp-型領域34の抵抗成分の抵抗値を下げる必要がある。この抵抗値は、ソース22とバックゲート24との距離に比例すると考えられる。つまり、図5に示すように、各スイッチング素子20A～20Dを一括して囲むようにバックゲートガードリ

ング25Xが形成された場合、第2スイッチング素子20Bのソース22とバックゲートガードリング25Xの第1端部25XAとの間の距離 D_{X1} と、第3スイッチング素子20Cのソース22とバックゲートガードリング25Xの第2端部25XBとの間の距離 D_{X2} とがそれぞれ大きくなる。図6に示すように、第2スイッチング素子20Bのソース22とバックゲートガードリング25Xの第1端部25XAとの間のp-型領域34の抵抗 R_{X1} は、第2寄生トランジスタ26Bのベースと第1寄生トランジスタ26Aのベースとの間のp-型領域34の抵抗成分と、第1寄生トランジスタ26Aとバックゲートガードリング25Xの第1端部25XAとの間のp-型領域34の抵抗成分との合計となる。また、第3スイッチング素子20Cのソース22とバックゲートガードリング25Xの第2端部25XBとの間のp-型領域34の抵抗 R_{X2} は、第3寄生トランジスタ26Cのベースと第4寄生トランジスタ26Dのベースとの間のp-型領域34の抵抗成分と、第4寄生トランジスタ26Dのベースとバックゲートガードリング25Xの第2端部25XBとの間のp-型領域34の抵抗成分との合計となる。このように、抵抗 R_{X1} 、 R_{X2} のそれぞれが大きくなるため、図8に示すように、ホールド電圧 V_H が低くなる。

[0051] そこで、ホールド電圧 V_H を高める手法の一例として、バックゲートガードリングを増やすことが挙げられる。たとえば図7に示すように、各スイッチング素子20A～20Dを個別に囲むようにバックゲートガードリング25Xを形成することが考えられる。この場合、バックゲートガードリング25Xの第1端部25XAと第1スイッチング素子20Aのソース22との間の距離 D_{XA} と、バックゲートガードリング25Xの第1中間部25XCと第2スイッチング素子20Bのソース22との間の距離 D_{XB} と、第1中間部25XCと第3スイッチング素子20Cのソース22との間の距離 D_{XC} と、バックゲートガードリング25Xの第2端部25XBと第4スイッチング素子20Dのソース22との間の距離 D_{XD} とのそれぞれが短くなる。その結果、図8に示すように、ホールド電圧 V_H （比較例2のホールド電圧 V

H) が図 5 の保護素子の場合 (比較例 1) のホールド電圧 V_H よりも高くなる。

[0052] しかし、図 7 に示すバックゲートガードリング 25 X は、スイッチング素子 20 A とスイッチング素子 20 B との間の第 2 中間部 25 X D と、スイッチング素子 20 C とスイッチング素子 20 D との間の第 3 中間部 25 X E と、を備えているため、図 8 に示すように、図 5 の比較例 1 の保護素子に対する図 7 の比較例 2 の保護素子の面積比が 1.61 となり、比較例 2 の保護素子の面積は比較例 1 の保護素子の面積よりも大きくなっている。

[0053] 加えて、第 2 中間部 25 X D は第 1 スwitchング素子 20 A のドレイン 21 と第 2 スwitchング素子 20 B のドレイン 21 との間に配置され、第 3 中間部 25 X E は第 3 スwitchング素子 20 C のドレイン 21 と第 4 スwitchング素子 20 D のドレイン 21 との間に配置されているため、両中間部 25 X D, 25 X E はホールド電圧 V_H の向上に実質的に寄与していない。

[0054] この点、本実施形態では、図 2 に示すように、バックゲートガードリング 25 は、第 1 スwitchング素子 20 A のソース 22 の隣に配置された第 1 部分 25 A と、第 2 スwitchング素子 20 B のソース 22 と第 3 スwitchング素子 20 C のソース 22 との間に配置された第 2 部分 25 B と、第 4 スwitchング素子 20 D のソース 22 の隣に配置された第 3 部分 25 C と、を備えている。つまり、本実施形態のバックゲートガードリング 25 は、図 7 に示すバックゲートガードリング 25 X の第 2 中間部 25 X D および第 3 中間部 25 X E を備えていない。このため、図 8 に示すように、図 5 の比較例 1 の保護素子に対する本実施形態の保護素子 10 の面積比は、比較例 1 の保護素子に対する図 7 の比較例 2 の保護素子の面積比よりも小さくなり、かつ、本実施形態の保護素子 10 のホールド電圧 V_H は、比較例 2 の保護素子のホールド電圧 V_H と概ね同じとなる。

[0055] (効果)

本実施形態の保護素子 10 によれば、以下の効果が得られる。

(1) 保護素子 10 は、互いに並列に接続された状態で一方向に並んで配

置されたn型のMOSFETによって構成された複数のスイッチング素子20と、複数のスイッチング素子20を囲むバックゲートガードリング25と、を備えている。複数のスイッチング素子20は、順に並んで配置された第1スイッチング素子20A、第2スイッチング素子20B、第3スイッチング素子20C、および第4スイッチング素子20Dを含む。バックゲートガードリング25は、第1スイッチング素子20Aにおける第2スイッチング素子20Bとは反対側の隣に配置された第1部分25Aと、第2スイッチング素子20Bと第3スイッチング素子20Cとの間に配置された第2部分25Bと、第4スイッチング素子20Dにおける第3スイッチング素子20Cとは反対側の隣に配置された第3部分25Cと、を備えている。第1スイッチング素子20Aのソース22は、第1スイッチング素子20Aのゲート23よりも第1部分25Aの近くに配置されており、第2スイッチング素子20Bのソース22は、第2スイッチング素子20Bのゲート23よりも第2部分25Bの近くに配置されており、第3スイッチング素子20Cのソース22は、第3スイッチング素子20Cのゲート23よりも第2部分25Bの近くに配置されている。

[0056] この構成によれば、バックゲートガードリング25が第1～第3スイッチング素子20A～20Cのソース22の近くに配置されているため、保護素子10のホールド電圧V_Hを高めることができ、保護素子10の誤動作を抑制できる。また、バックゲートガードリング25の第2部分25Bが第2スイッチング素子20Bのソース22と第3スイッチング素子20Cのソース22との間に配置されているため、図7に示すように、各スイッチング素子20A～20Dを個別にバックゲートガードリングで囲う構成と比較して、保護素子10の面積を小さくできる。したがって、保護素子10の誤動作を抑制するとともに保護素子10の小型化を図ることができる。

[0057] (2) 第1スイッチング素子20Aのソース22とバックゲートガードリング25の第1部分25Aとの間の距離D₁と、第2スイッチング素子20Bのソース22と第2部分25Bとの間の距離D₂と、第3スイッチング素

子20Cのソース22と第2部分25Bとの間の距離D3と、第4スイッチング素子20Dのソース22と第3部分25Cとの間の距離D4とは互いに等しい。

[0058] この構成によれば、各スイッチング素子20A～20Dにおいて特定のスイッチング素子に偏って電流が流れることを抑制できる。したがって、保護素子10が許容できる電流値の低下を抑制することができる。

[0059] (3) 平面視において、バックゲートガードリング25の第2部分25Bは、複数のスイッチング素子20の配列方向(x方向)と直交する方向(y方向)に延びる1本の帯状に形成されている。

[0060] この構成によれば、第2部分25Bが複数設けられる構成と比較して、平面視における保護素子10の面積を小さくできる。したがって、保護素子10の小型化を図ることができる。

[0061] (4) 各スイッチング素子20A～20Dのドレイン21は、個別に設けられている。

この構成によれば、第1スイッチング素子20Aと第2スイッチング素子20Bとが共通のドレインとして設けられており、第3スイッチング素子20Cと第4スイッチング素子20Dとが共通のドレインとして設けられている構成と比較して、ドレイン21の体積を大きく取ることができる。したがって、保護素子10が許容できる電流値を大きくとることができる。

[0062] [変更例]

上記実施形態は本開示に関する保護素子を取り得る形態の例示であり、その形態を制限することを意図していない。本開示に関する保護素子は、上記実施形態に例示された形態とは異なる形態を取り得る。その一例は、上記実施形態の構成の一部を置換、変更、もしくは省略した形態、または上記実施形態に新たな構成を付加した形態である。また、以下の各変更例は、技術的に矛盾しない限り、互いに組み合わせることができる。以下の各変更例において、上記実施形態に共通する部分については、上記実施形態と同一符号を付してその説明を省略する。

[0063] ・上記実施形態において、バックゲートガードリング25の第2部分25Bは、複数設けられてもよい。一例では、図9に示すように、バックゲートガードリング25の第2部分25Bは、x方向に離間して2本設けられている。この場合、第2スイッチング素子20Bの隣に配置された第2部分25Bと第2スイッチング素子20Bのソース22との間の距離D2と、第3スイッチング素子20Cの隣に配置された第2部分25Bと第3スイッチング素子20Cのソース22との間の距離D3とは互いに等しい。また、距離D2、D3は、第1スイッチング素子20Aのソース22とバックゲートガードリング25の第1部分25Aとの間の距離D1、および、第4スイッチング素子20Dのソース22と第3部分25Cとの間の距離D4の双方と等しい。

[0064] ・上記実施形態において、図10に示すように、第1スイッチング素子20Aのドレイン21と第2スイッチング素子20Bのドレイン21とは共通のドレインとして設けられてもよい。この共通のドレインは、第1ドレインに対応している。また第3スイッチング素子20Cおよび第4スイッチング素子20Dについてもドレイン21を共通化してもよい。第3スイッチング素子20Cおよび第4スイッチング素子20Dの共通のドレインは第2ドレインに対応している。この構成によれば、各スイッチング素子20A～20Dのドレイン21が個別に設けられている場合と比較して、保護素子10の面積を小さくできる。

[0065] 図10に示すとおり、第1スイッチング素子20Aおよび第2スイッチング素子20Bにおいては、x方向において第1部分25Aから第2部分25Bに向けて第1スイッチング素子20Aのソース22、第1スイッチング素子20Aのゲート23、共通のドレイン21、第2スイッチング素子20Bのゲート23、第2スイッチング素子20Bのソース22がこの順に配置されている。

[0066] 第3スイッチング素子20Cおよび第4スイッチング素子20Dにおいては、x方向において第2部分25Bから第3部分25Cに向けて第3スイッ

チング素子 20C のソース 22、第 3 スイッチング素子 20C のゲート 23、共通のドレイン 21、第 4 スイッチング素子 20D のゲート 23、第 4 スイッチング素子 20D のソース 22 がこの順に配置されている。

[0067] ・上記実施形態において、バックゲートガードリング 25 から一对の第 4 部分 25D のうち少なくとも一方を省略してもよい。

・上記実施形態では、保護素子 10 は、一对のスイッチング素子 201、202 を保護するための保護素子であったが、これに限られない。たとえば、保護素子 10 は、LSI を保護するための保護素子であってもよい。要するに、保護素子 10 は、半導体装置等の電子部品の保護素子であればよい。

[0068] [付記]

上記実施形態および上記各変更例から把握できる技術的思想を以下に記載する。

(付記 1)

n 型の MOSFET によって構成され、互いに並列に接続された状態で一列に並んで配置された複数のスイッチング素子と、

前記複数のスイッチング素子を囲むバックゲートガードリングと、を備え、

前記複数のスイッチング素子は、第 1 スイッチング素子と、第 2 スイッチング素子とを含み、

前記バックゲートガードリングは、第 1 部分と、第 2 部分とを含み、

前記第 1 部分、前記第 1 スイッチング素子、前記第 2 スイッチング素子、および前記第 2 部分の順で配置され、

前記第 1 スイッチング素子のソースは、前記第 1 スイッチング素子のゲートよりも前記第 1 部分の近くに配置されており、

前記第 2 スイッチング素子のソースは、前記第 2 スイッチング素子のゲートよりも前記第 2 部分の近くに配置されている

保護素子。

[0069] (付記 2)

前記第 1 スイッチング素子のソースと前記第 1 部分との間の距離と、前記第 2 スイッチング素子のソースと前記第 2 部分との間の距離とは互いに等しい

付記 1 に記載の保護素子。

[0070] (付記 3)

前記各スイッチング素子のドレインは、個別に設けられている

付記 1 または 2 に記載の保護素子。

[0071] (付記 4)

前記各スイッチング素子の前記ドレイン、前記ゲート、および前記ソースは、前記複数のスイッチング素子の配列方向に沿って配置されている

付記 3 に記載の保護素子。

[0072] (付記 5)

前記第 1 スイッチング素子および前記第 2 スイッチング素子の配列方向において前記第 1 部分から前記第 2 部分に向けて前記第 1 スイッチング素子のソース、ゲート、ドレインはこの順に配列されており、

前記第 1 スイッチング素子および前記第 2 スイッチング素子の配列方向において前記第 1 部分から前記第 2 部分に向けて前記第 2 スイッチング素子のドレイン、ゲート、ソースはこの順に配列されている

付記 4 に記載の保護素子。

[0073] (付記 6)

前記第 1 スイッチング素子のドレインと前記第 2 スイッチング素子のドレインとは、共通のドレインとして設けられている

付記 1 または 2 に記載の保護素子。

[0074] (付記 7)

前記各スイッチング素子の前記ソース、前記ゲート、および前記共通のドレインは、前記複数のスイッチング素子の配列方向に沿って配置されている

付記 6 に記載の保護素子。

[0075] (付記 8)

前記第 1 スイッチング素子および前記第 2 スイッチング素子においては、前記第 1 スイッチング素子および前記第 2 スイッチング素子の配列方向において前記第 1 部分から前記第 2 部分に向けて前記第 1 スイッチング素子のソース、前記第 1 スイッチング素子のゲート、前記共通のドレイン、前記第 2 スイッチング素子のゲート、前記第 2 スイッチング素子のソースがこの順に配置されている

付記 7 に記載の保護素子。

符号の説明

- [0076] 1 0 …保護素子
- 2 0 …スイッチング素子
- 2 0 A …第 1 スイッチング素子
- 2 0 B …第 2 スイッチング素子
- 2 0 C …第 3 スイッチング素子
- 2 0 D …第 4 スイッチング素子
- 2 1 …ドレイン
- 2 2 …ソース
- 2 3 …ゲート
- 2 5 …バックゲートガードリング
- 2 5 A …第 1 部分
- 2 5 B …第 2 部分
- 2 5 C …第 3 部分

請求の範囲

- [請求項1] n型のMOSFETによって構成され、互いに並列に接続された状態で一方向に並んで配置された複数のスイッチング素子と、
- 前記複数のスイッチング素子を囲むバックゲートガードリングと、
- を備え、
- 前記複数のスイッチング素子は、順に並んで配置された第1スイッチング素子、第2スイッチング素子、第3スイッチング素子、および第4スイッチング素子を含み、
- 前記バックゲートガードリングは、
- 前記第1スイッチング素子における前記第2スイッチング素子とは反対側の隣に配置された第1部分と、
- 前記第2スイッチング素子と前記第3スイッチング素子との間に配置された第2部分と、
- 前記第4スイッチング素子における前記第3スイッチング素子とは反対側の隣に配置された第3部分と、
- を備え、
- 前記第1スイッチング素子のソースは、前記第1スイッチング素子のゲートよりも前記第1部分の近くに配置されており、
- 前記第2スイッチング素子のソースは、前記第2スイッチング素子のゲートよりも前記第2部分の近くに配置されており、
- 前記第3スイッチング素子のソースは、前記第3スイッチング素子のゲートよりも前記第2部分の近くに配置されている
- 保護素子。
- [請求項2] 前記第4スイッチング素子のソースは、前記第4スイッチング素子のゲートよりも前記第3部分の近くに配置されている
- 請求項1に記載の保護素子。
- [請求項3] 前記第1スイッチング素子のソースと前記第1部分との間の距離と、前記第2スイッチング素子のソースと前記第2部分との間の距離と

、前記第3スイッチング素子のソースと前記第2部分との間の距離と、前記第4スイッチング素子のソースと前記第3部分との間の距離とは互いに等しい

請求項2に記載の保護素子。

[請求項4] 平面視において、前記第2部分は、前記複数のスイッチング素子の配列方向と直交する方向に延びる1本の帯状に形成されている

請求項1～3のいずれか一項に記載の保護素子。

[請求項5] 前記各スイッチング素子のドレインは、個別に設けられている

請求項1～4のいずれか一項に記載の保護素子。

[請求項6] 前記各スイッチング素子の前記ドレイン、前記ゲート、および前記ソースは、前記複数のスイッチング素子の配列方向に沿って配置されている

請求項5に記載の保護素子。

[請求項7] 前記複数のスイッチング素子の配列方向において前記第1部分から前記第2部分に向けて前記第1スイッチング素子のソース、ゲート、ドレインはこの順に配列されており、

前記複数のスイッチング素子の配列方向において前記第1部分から前記第2部分に向けて前記第2スイッチング素子のドレイン、ゲート、ソースはこの順に配列されており、

前記複数のスイッチング素子の配列方向において前記第2部分から前記第3部分に向けて前記第3スイッチング素子のソース、ゲート、ドレインはこの順に配列されており、

前記複数のスイッチング素子の配列方向において前記第2部分から前記第3部分に向けて前記第4スイッチング素子のドレイン、ゲート、ソースはこの順に配列されている

請求項6に記載の保護素子。

[請求項8] 前記第1スイッチング素子のドレインと前記第2スイッチング素子のドレインとは、共通の第1ドレインとして設けられており、

前記第3スイッチング素子のドレインと前記第4スイッチング素子のドレインとは、共通の第2ドレインとして設けられている

請求項1～4のいずれか一項に記載の保護素子。

[請求項9] 前記各スイッチング素子の前記ソース、前記ゲート、前記第1ドレイン、および前記第2ドレインは、前記複数のスイッチング素子の配列方向に沿って配置されている

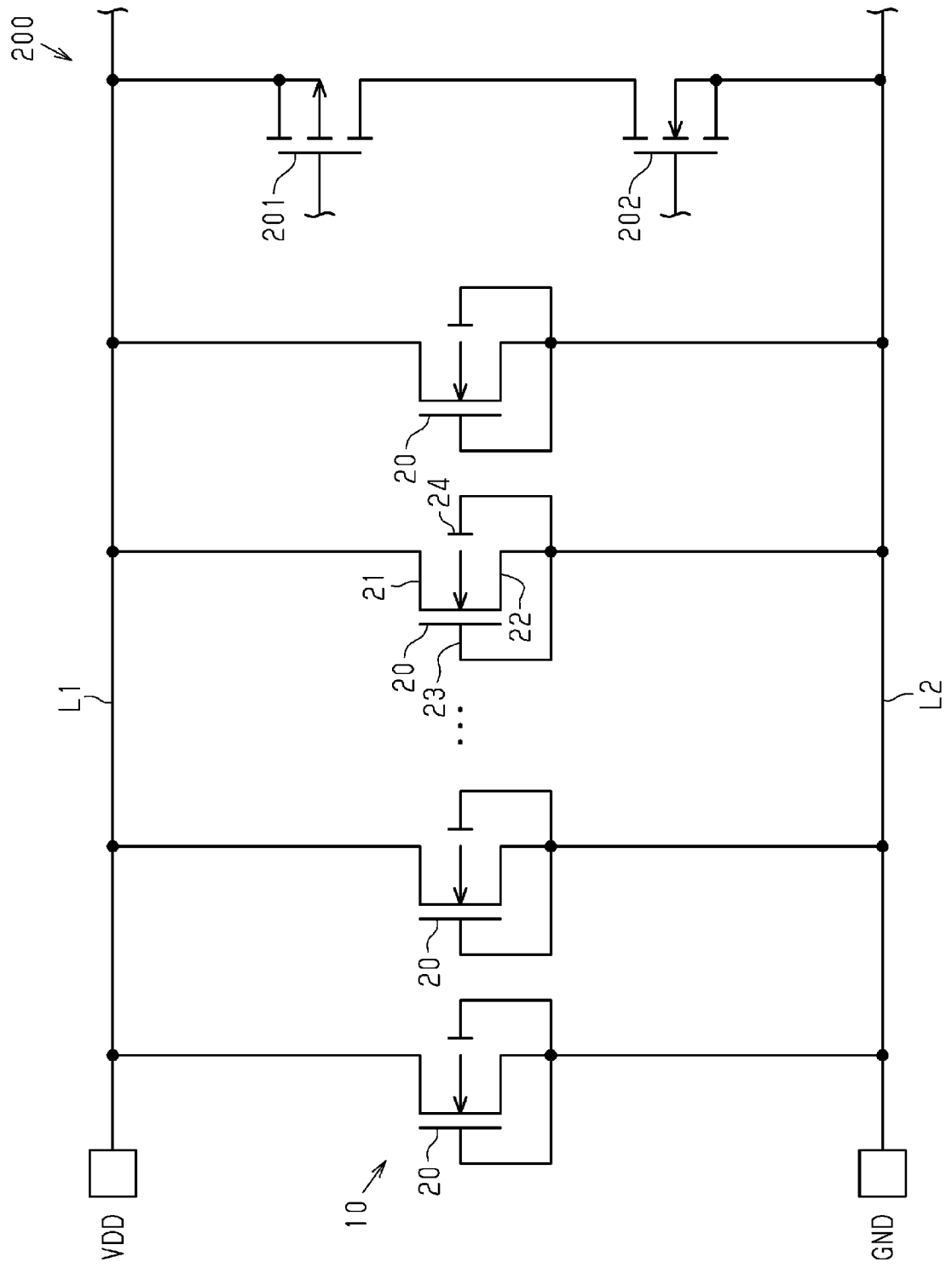
請求項8に記載の保護素子。

[請求項10] 前記第1スイッチング素子および前記第2スイッチング素子においては、前記複数のスイッチング素子の配列方向において前記第1部分から前記第2部分に向けて前記第1スイッチング素子のソース、前記第1スイッチング素子のゲート、前記第1ドレイン、前記第2スイッチング素子のゲート、前記第2スイッチング素子のソースがこの順に配置されており、

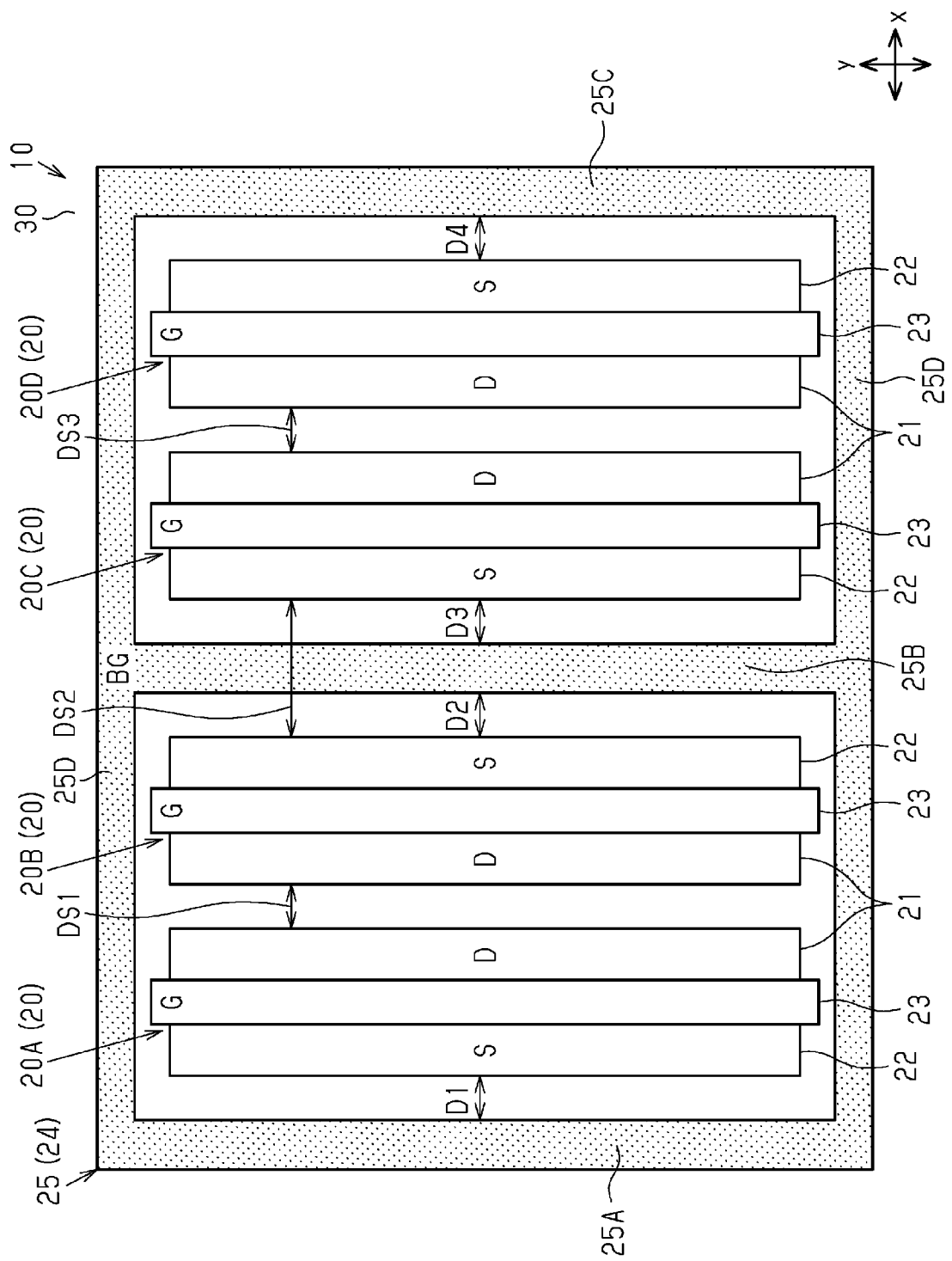
前記第3スイッチング素子および前記第4スイッチング素子においては、前記複数のスイッチング素子の配列方向において前記第2部分から前記第3部分に向けて前記第3スイッチング素子のソース、前記第3スイッチング素子のゲート、前記第2ドレイン、前記第4スイッチング素子のゲート、前記第4スイッチング素子のソースがこの順に配置されている

請求項9に記載の保護素子。

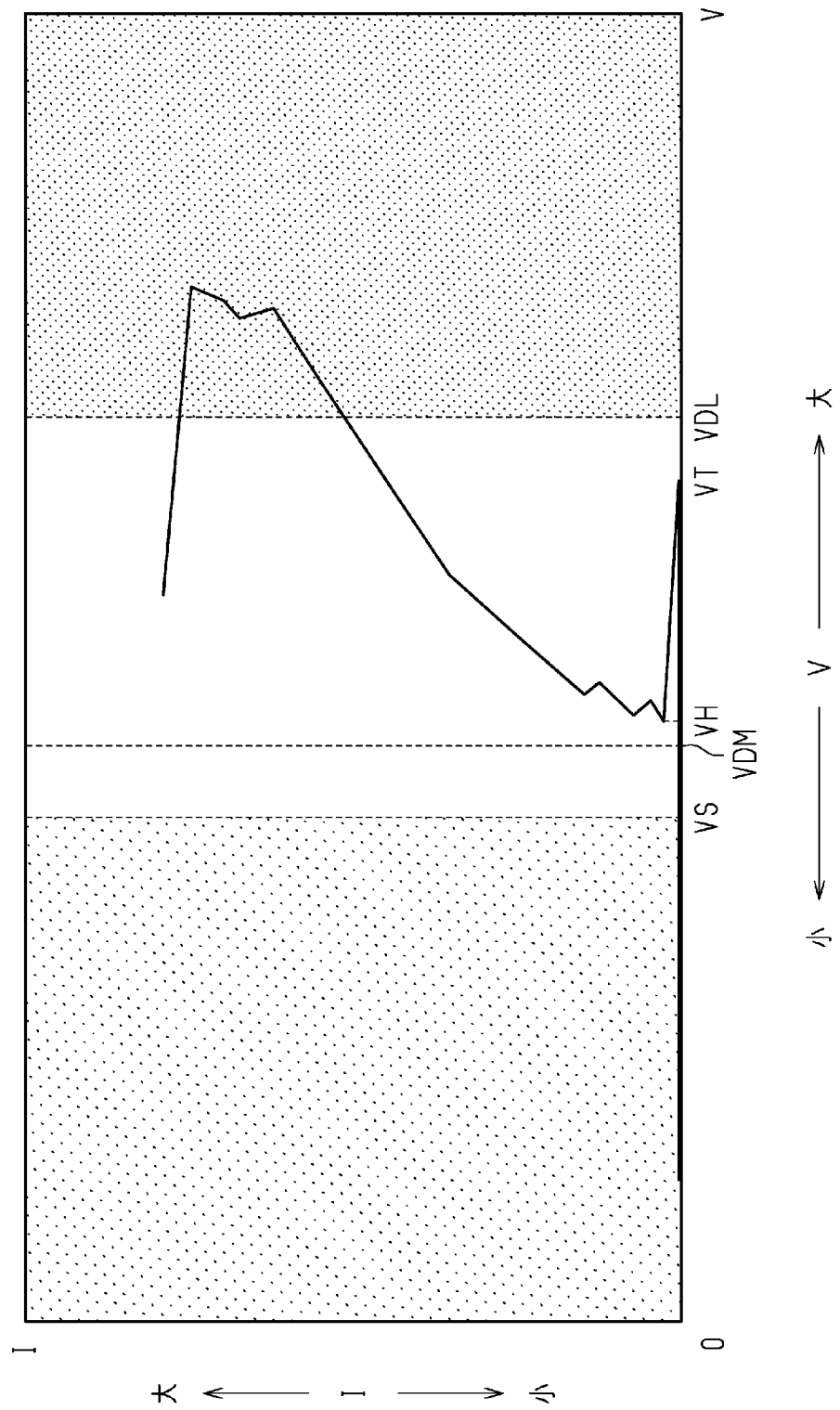
[図1]



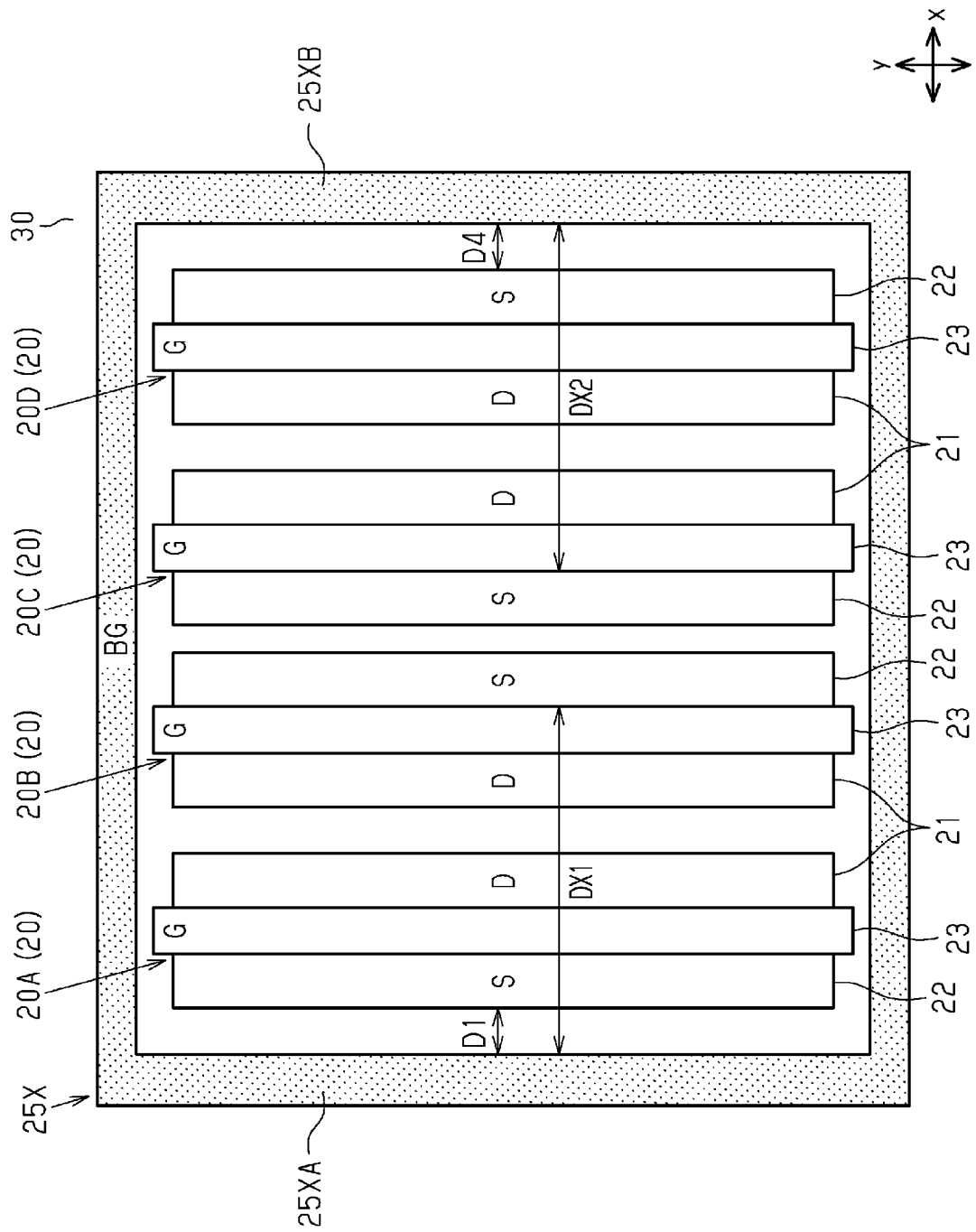
[図2]



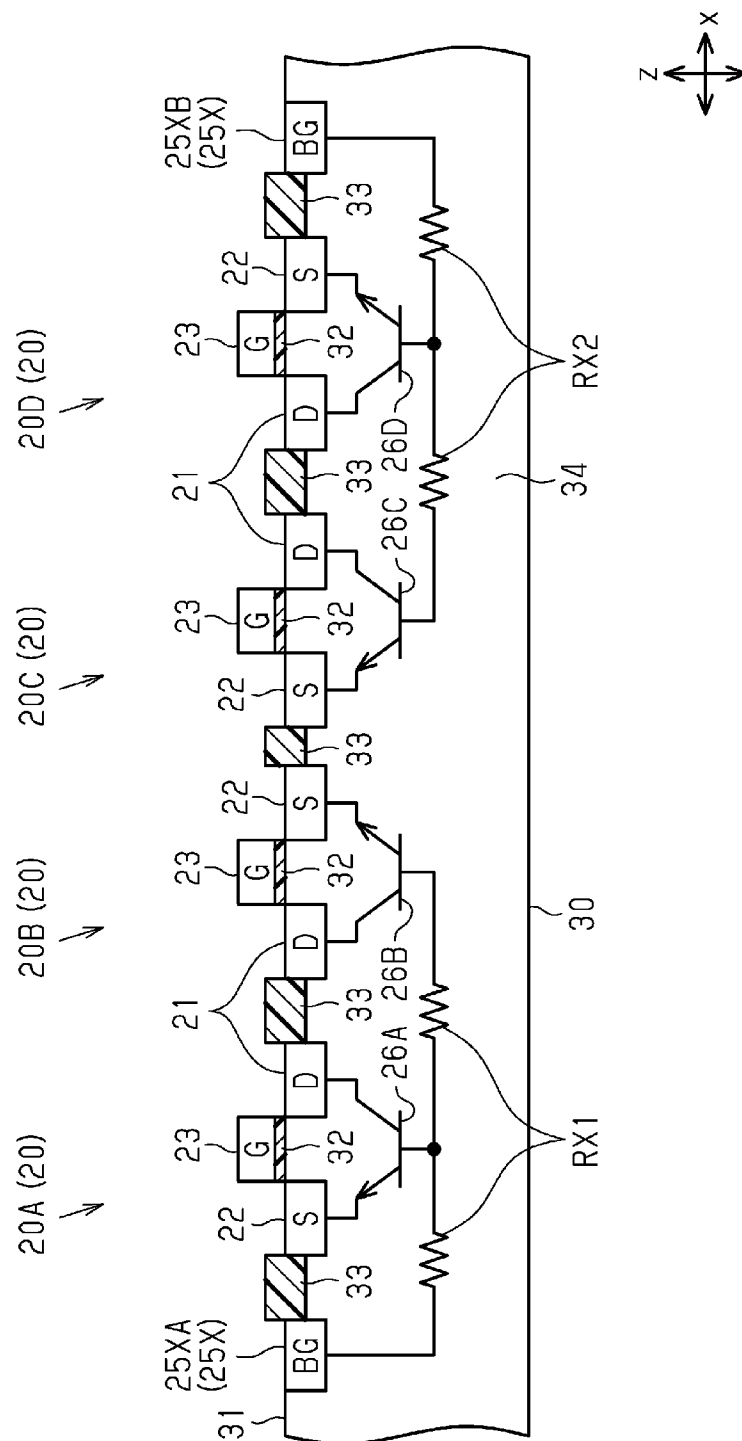
[図4]



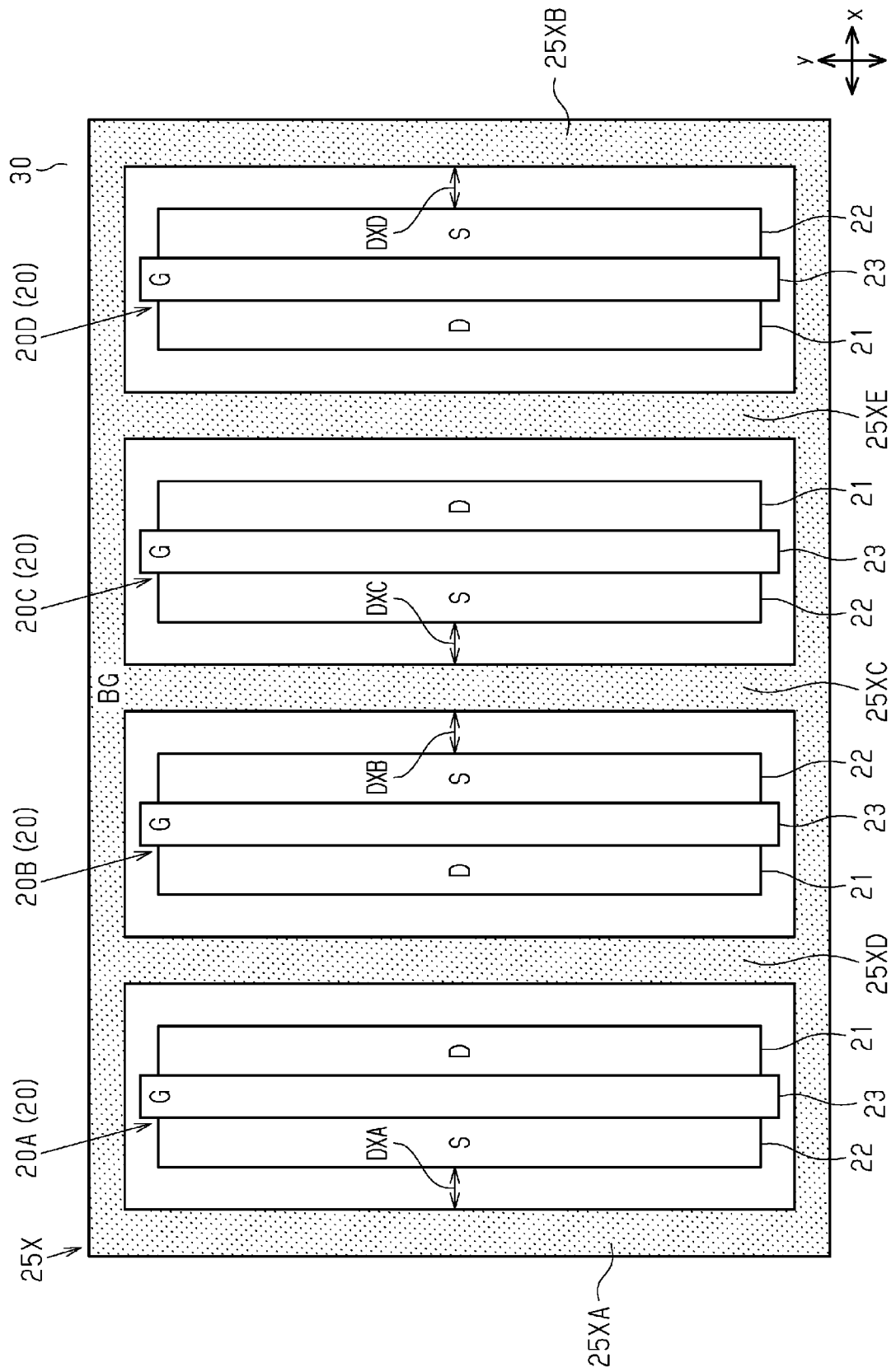
[図5]



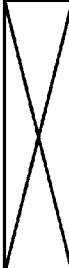
[図6]



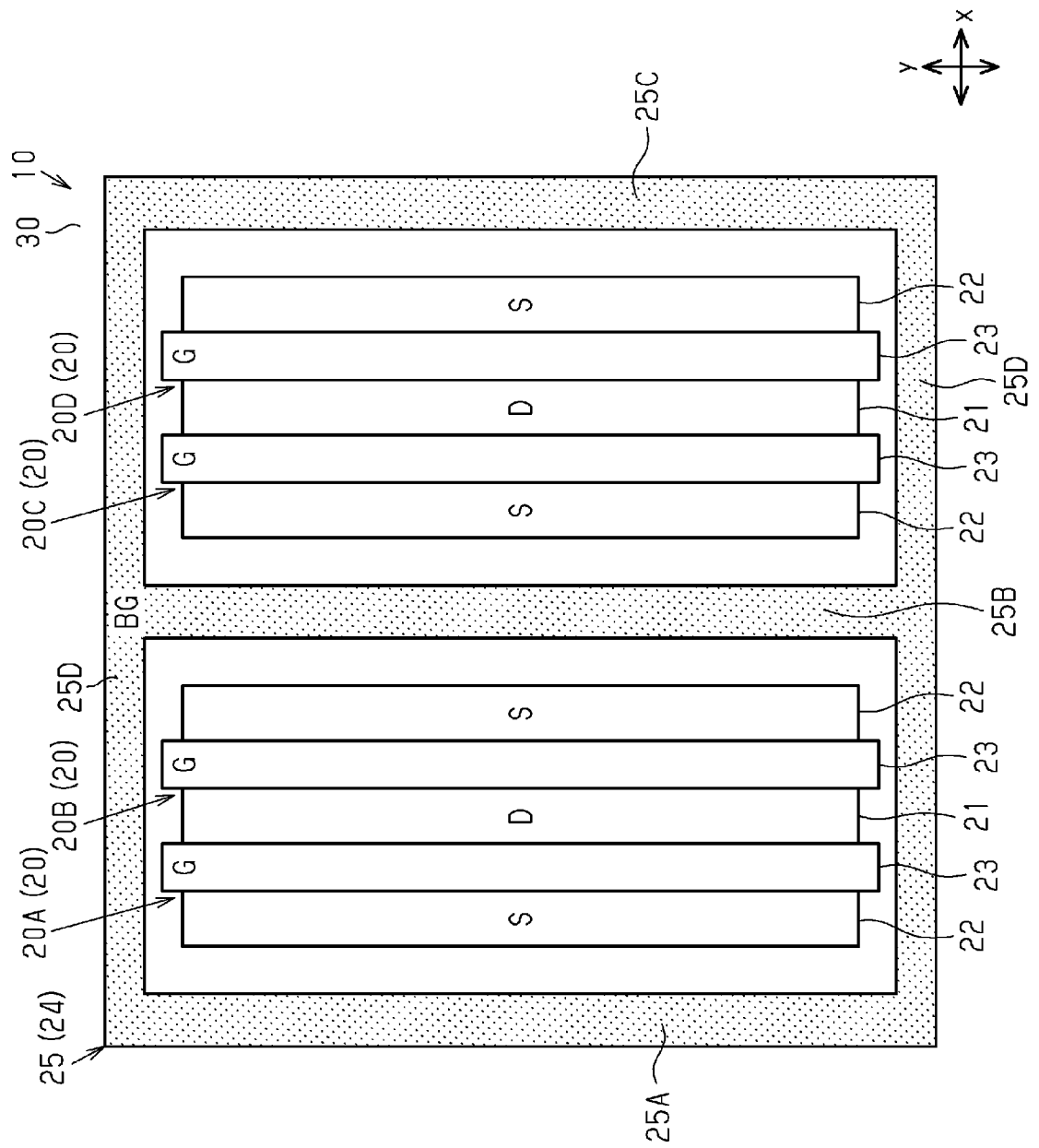
[図7]



[図8]

	比較例1	本実施形態	比較例2
			
面積比	1.00	1.20	1.61
ホールド電圧 [V]	9.55	10.52	10.53

[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/043698

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/04**(2006.01)i; **H01L 27/06**(2006.01)i

FI: H01L27/04 H; H01L27/04 A; H01L27/06 311Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04; H01L27/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2017/0117267 A1 (NXP B.V.) 27 April 2017 (2017-04-27) paragraphs [0038]-[0048], fig. 1, 2	1-10
A	US 2003/0202307 A1 (HUNG, Keikang) 30 October 2003 (2003-10-30) entire text, all drawings	1-10
A	US 2006/0091465 A1 (CHEN, Shiaoshien) 04 May 2006 (2006-05-04) entire text, all drawings	1-10
A	JP 2008-205772 A (FUJITSU LTD) 04 September 2008 (2008-09-04) entire text, all drawings	1-10
A	JP 2007-19413 A (TOSHIBA CORP) 25 January 2007 (2007-01-25) entire text, all drawings	1-10
A	JP 2004-128052 A (MITSUMI ELECTRIC CO LTD) 22 April 2004 (2004-04-22) entire text, all drawings	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 January 2022

Date of mailing of the international search report

25 January 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/043698

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2017/0117267	A1	27 April 2017	EP 3163618 A1 paragraphs [0025]-[0035], fig. 1, 2	
US	2003/0202307	A1	30 October 2003	(Family: none)	
US	2006/0091465	A1	04 May 2006	(Family: none)	
JP	2008-205772	A	04 September 2008	KR 10-2008-0077557 A TW 200836487 A	
JP	2007-19413	A	25 January 2007	(Family: none)	
JP	2004-128052	A	22 April 2004	US 2004/0124471 A1 CN 1494147 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/04(2006.01)i; H01L 27/06(2006.01)i FI: H01L27/04 H; H01L27/04 A; H01L27/06 311Z		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/04; H01L27/06 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2017/0117267 A1 (NXP B.V.) 27.04.2017 (2017 - 04 - 27) 段落[0038]-[0048], 図1, 2	1-10
A	US 2003/0202307 A1 (HUNG Kei-Kang) 30.10.2003 (2003 - 10 - 30) 全文, 全図	1-10
A	US 2006/0091465 A1 (CHEN Shiao-Shien) 04.05.2006 (2006 - 05 - 04) 全文, 全図	1-10
A	JP 2008-205772 A (富士通株式会社) 04.09.2008 (2008 - 09 - 04) 全文, 全図	1-10
A	JP 2007-19413 A (株式会社東芝) 25.01.2007 (2007 - 01 - 25) 全文, 全図	1-10
A	JP 2004-128052 A (ミツミ電機株式会社) 22.04.2004 (2004 - 04 - 22) 全文, 全図	1-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 12.01.2022		国際調査報告の発送日 25.01.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 市川 武宜 5F 4056 電話番号 03-3581-1101 内線 3514

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/043698

引用文献			公表日	パテントファミリー文献	公表日
US	2017/0117267	A1	27.04.2017	EP 3163618 A1 段落[0025]-[0035], 図1, 2	
US	2003/0202307	A1	30.10.2003	(ファミリーなし)	
US	2006/0091465	A1	04.05.2006	(ファミリーなし)	
JP	2008-205772	A	04.09.2008	KR 10-2008-0077557 A TW 200836487 A	
JP	2007-19413	A	25.01.2007	(ファミリーなし)	
JP	2004-128052	A	22.04.2004	US 2004/0124471 A1 CN 1494147 A	