

(此處由本局於收
文時黏貼條碼)

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 94133304

※ 申請日期： 94.9.26

※IPC 分類： G06F 12/08 (2006.01)

G06F 12/12 (2006.01)

一、發明名稱：(中文/英文)

快取記憶體之動態重新配置方法及其電腦裝置

METHOD FOR DYNAMIC RECONFIGURATION OF CACHE MEMORY AND A COMPUTER
DEVICE THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商格羅方德半導體公司

GLOBALFOUNDRIES US INC.

代表人：(中文/英文)(簽章) 阿柏格 傑西 / ABZUG, JESSE

住居所或營業所地址：(中文/英文)

美國·加州 95305·密爾皮塔斯·100 室·麥卡錫大道·北 880 號

880 N. McCarthy Blvd., Suite 100, Milpitas, California 95305,

U. S. A.

國 籍：(中文/英文) 美國/U. S. A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 高登 麥可 L/GOLDEN, MICHAEL L.

2. 克萊斯 理查 E/KLASS, RICHARD E.

國 籍：(中文/英文) 1. 2. 美國/U. S. A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 2004 年 10 月 1 日 10/956,560 （主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

於一實施例中，處理節點包括複數個處理器核心，每個核心包括耦合至快取監視單元及耦合至配置單元之快取記憶體。每個快取監視單元可以配置成獨立監視其所耦合之快取記憶體的目前使用量，並判定目前的使用量是否低於預定之使用量之數值。配置單元可以根據快取監視單元判定目前使用量低於預定使用量之數值，選擇性地將快取記憶體的一個或多個部份除能(disable)。

六、英文發明摘要：

In one embodiment, a processing node includes a plurality of processor cores each including a cache memory coupled to a cache monitor unit and to a configuration unit. Each cache monitor unit may be configured to independently monitor a current utilization of the cache memory to which it is coupled and to determine whether the current utilization is below a predetermined utilization value. The configuration unit may selectably disable one or more portions of the cache memory in response to the cache monitor unit determining that the current utilization is below the predetermined utilization value.

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	電腦系統	12	節點
13A、13B	周邊裝置	14	記憶體
15A、15B	處理器核心	17A、17B	L2 快取
18A、18B	快取監視單元	19A、19B	配置單元
20	節點控制器	22	記憶體控制器
24A、24B、24C	HT 電路	40A、40B	電路
42A、42B、51	儲存器	44A、44B、54	配置埠
50	配置單元	60	L3 快取
85	快取監視器	86	電路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

九、發明說明：

【發明所屬之技術領域】

本發明係有關於微處理器及晶片多處理器(chip multiprocessors, CMP)之領域，尤係指處理器之快取記憶體之重新配置。

【先前技術】

現代的微處理器典型地包括晶片上(on-chip)快取記憶體。在許多例子中，微處理器包括晶片上階層式快取結構，該快取架構可以包括第一層(L1)、第二層(L2)，有些甚至還有第三層(L3)快取記憶體。典型的快取階層也許會採用小而快的 L1 快取，用來存放最常用的快取線。L2 也許用的是較大且可能會慢些的快取，用來存放 L1 想存取但容納不下的快取線。L3 可能會用來存放 L2 想存取但容納不下的快取線。使用如上所述的快取階層可以減少處理器核心因記憶體存取所伴隨而來的延遲時間(latencies)，從而改善處理器效能。

但在某些案例中，這種效能的改善可能要付出代價。眾所周知的是現代的微處理器會耗用大量功率而且具有高的熱預算(thermal budget)。快取記憶體即使不用時，也會因為靜態漏電而耗用功率。因此，快取量越大，所耗用功率越多。

為了要增進處理器的效能，晶片式多處理器(CMPs)成為新興的技術而逐漸普及。CMP 將兩個或更多個處理器核心植入在同一個積體電路(IC)裝置中。其普及率增加的可

能原因，至少部份原因，是 CMP 相較於例如更複雜的單一處理器，能對積體電路中所包含的數百萬顆電晶體作更有效的利用。舉例而言，處理器核心間彼此分攤所要處理的工作，因而 CMP 可以在較低的頻率執行某些單一核心處理器在較高頻率下才能完成的某些任務。較低的頻率在某些情況下可以節省功率並減少熱預算。

因為 CMP 包含多個處理器核心，每個核心可能都會包含相關的電路。例如，CMP 的每個處理器核心可以包含 L1 及 L2 快取記憶體。於是，如同上述對單一核心微處理器所闡述之理由，CMP 的功率消耗及熱預算仍然偏高。因此大家都希望找出可減少功率消耗又能維持處理器效能的方法。

【發明內容】

以下揭露快取記憶體動態重新配置之不同實施例。於一實施例中，處理器包含如 L2 快取之快取記憶體，該快取記憶體例如耦合至快取監視單元及配置單元。快取監視單元可以配置成監視快取記憶體的目前使用量，並判定該目前使用量是否低於預定使用量之數值。該配置單元可以根據快取監視單元判定目前使用量低於預定使用量之數值，選擇性地將快取記憶體的一個或多個部份除能。

於另一實施例中，處理節點包括複數個處理器核心，每個處理器核心包括耦合至快取監視單元及耦合至配置單元之快取記憶體。每個快取監視單元可以配置成獨立監視其所耦合之快取記憶體的目前使用量，並判定該目的使用

量是否低於預定使用量。該配置單元可以根據快取監視單元判定目前使用量低於預定使用量之數值，選擇性地將快取記憶體的一個或多個部份除能。

由於本創作易於作各種修改，成為不同的形式。圖中所示之實施例亦僅係作為協助說明之範例，以下說明也將配合圖式作更深入之探討。但應了解的是，這些圖式及詳細說明並非限制本創作於所揭示之特定形式，根據本創作而衍生的所有修改、等效形式、及變化形式均仍未脫離本創作之精神及專利範圍。請注意，所用的標題及術語僅係便於組織而非用來限制或解讀專利範圍之說明。而且請注意本申請文件中用了很多「可以」這個詞，它意味允許(亦即有可能、能夠之意)，而非意味強制(亦即必須之意)。至於「包括」及「包含」這樣的詞，表示「包括，而非受限」。「連接」這個詞表示「直接或間接的連接」，「耦合」這個詞表示「直接或間接的耦合」。

【實施方式】

具有可動態配置快取之晶片多處理器

請參閱第 1 圖，所示者係電腦系統 10 之一實施例的方塊圖。在圖示實施例中，電腦系統 10 包括耦合至記憶體 14 及周邊裝置 13A 至 13B 之處理節點 12。節點 12 包括耦合至節點控制器 20 之處理器核心 15A 至 15B，該節點控制器 20 進一步耦合至記憶體控制器 22 及複數個 HyperTransport™ (HT) 介面電路 24A 至 24C。處理器核心 15A 至 15B 亦耦合至共用之第三層 (L3) 快取記憶體 60，該

L3 快取記憶體 60 耦合至 L3 快取監視器 85 及配置單元 50。HT 電路 24C 係耦合至周邊裝置 13A，該周邊裝置 13A 以菊鏈(daisy-chain)配置方式(在本實施例中用 HT 介面)耦合至周邊裝置 13B。其餘之 HT 電路 24A 至 24B 可以經由其它 HT 介面(未圖示)連接至其它類似之處理節點(未圖示)。該記憶體控制器 22 係耦合至記憶體 14。於一實施例中，節點 12 可以是其中包含第 1 圖中所示之電路之單一積體電路晶片。亦即，節點 12 可以是晶片多處理器(CMP)。任何程度的整合或分立式元件都可以使用。應注意的是處理節點 12 可以包括各種其它為了要簡化說明而省略的電路。

於一實施例中，節點控制器 20 可以包含不同的互連電路(未圖示)以將處理器核心 15A 及 15B 彼此互連或連接至其它節點及記憶體。節點控制器 20 還可以包含熔絲組(未圖示)，該熔絲組可在製造過程中選擇性地熔斷以代表複數個數值。於某些實施例中，可以用熔絲來選擇不同的節點屬性，該屬性包括節點的最大及最小操作頻率、節點的最大及最小電源供應電壓。此外，熔絲也可以用來選擇處理器核心的特定屬性。

概括而言，節點控制器 20 可以配置成作為處理器核心 15A 至 15B、記憶體控制器 22、及 HT 電路 24A 至 24C 間傳送通訊(communication)之用，視通訊的型態、通訊的位址等而定。於一實施例中，節點控制器 20 包含系統要求佇列(system request queue, SRQ)，以供節點控制器 20

寫入接收到的通訊。節點控制器 20 可以要從 SRQ 送至處理器核心 15A 至 15B、記憶體控制器 22、及 HT 電路 24A 至 24C 等一個或多個目的地的通訊進行排程。以下將對節點 12 及其組件作更深入的探討。

大致上，處理器核心 15A 至 15B 可以用對節點控制器 20 的介面來和電腦系統 10 的其它組件(例如，周邊裝置 13A 至 13B、其它處理器核心(未圖示)、記憶體控制器 22 等)通訊。該介面可以設計成任何所要的型式。在某些實施例中，可以針對該介面定義快取一致性的通訊(cache coherent communication)。於一實施例中，節點控制器 20 和處理器核心 15A 至 15B 間之介面可以用類似於 HT 介面所用封包的形式來通訊。在其他的實施例中，可以使用任何其它所要的通訊(例如，匯流排介面的傳輸處理(transaction)或不同形式的封包等)。在其它實施例中，處理器核心 15A 至 15B 可以與該節點控制器 20 共用介面(例如，共用匯流排介面)。概括而言，來自處理器核心 15A 至 15B 的通訊可以包括諸如讀取操作(讀取記憶體位置或外部的暫存器至處理器核心)及寫入操作(寫到記憶體位置或外部的暫存器)、對探詢(probe)回應(針對快取一致性實施例)、中斷確認(interrupt acknowledgement)、及系統管理訊息等。

記憶體 14 可以包括任何合適的記憶裝置。例如記憶體 14 可以包括一個或多個 RAMBUS DRAMs (RDRAMs)、同步式(synchronous) DRAMs (SDRAMs)、倍資料率(double

data rate, DDR) SDRAM、靜態 RAM 等。記憶體控制器 22 可以包括用以介接記憶體 14 之控制電路。此外，記憶體控制器 22 可以包括要求佇列，以佇放記憶體要求等。

HT 電路 24A 至 24C 可以包括不同的緩衝器及控制電路，以接收來自 HT 連結之封包及發送封包給 HT 連結。HT 介面包括用來發送封包之單向連結。每個電路 24A 至 24C 可以耦合至兩個這樣的連結(一個用來發送而另一個用來接收)。給定之 HT 介面可以(例如處理節點間之)快取一致性形式操作或以(例如對/從周邊裝置 13A 至 13B 間之)非一致性形式操作。於圖示之實施例中，HT 電路 24A 至 24B 未使用，而 HT 電路 24C 係經由非一致性連結耦合至周邊裝置 13A 至 13B。

周邊裝置 13A 至 13B 可以是任何形式之周邊裝置。例如，周邊裝置 13A 至 13B 可以包括用來耦合至其它電腦系統以進行通訊之裝置(例如網路介面卡、功能類似網路介面卡但被整合至電腦系統之電路、數據機等)。進而，周邊裝置 13A 至 13B 可以包括視訊加速器、音訊卡、軟碟、硬碟或磁碟控制器、SCSI(小型電腦系統介面，small computer system interface)轉接器及電話卡、音效卡、及諸如 GPIB 或現場匯流排介面卡之類的資料擷取卡等。應注意的是，「周邊裝置」意指各種輸入/輸出(I/O)裝置。

概括而言，處理器核心 15A 至 15B 可以包括設計來執行指令之電路，而該等指令係定義於給定之指令集架構。亦即，處理器核心電路可以配置成對定義於指令集架構中

之指令結果進行提取、解碼、執行、及儲存。例如，於一實施例中，處理器核心 15A 至 15B 可以作成 x86 架構。處理器核心 15A 至 15B 可以包含任何所要的配置，包括超管線式(superpipelined)、超純量(superscalar)、或其組合。其它配置可以包括純量、管線式、或非管線式等。不同的實施例可以採用非依序預測式執行(out of order speculative execution)或依序(in order)執行。處理器核心可以包括針對一個或多個指令或其它功能之微碼，以及和上述各種構造之組合。不同的實施例可以作成其它各種設計屬性，諸如快取、轉換側視緩衝器(translation lookaside buffers, TLBs)等。

應注意的是，雖然本實施例用 HT 介面進行節點間及節點和周邊裝置間之通訊，其它實施例也可以用任何所要的一個或多個介面進行任意的通訊。例如，可以用其它以封包為基礎的介面、可以用匯流排介面、也可以用不同的標準周邊介面(例如周邊組件互連標準(peripheral component interconnect, PCI)、PCI 快速標準(PCI express)等)等。

可配置式快取控制

於圖示的實施例中，處理器核心 15A 包含 L2 快取 17A。同理，處理器核心 15B 包含 L2 快取 17B。個別的 L2 快取可以用來代表任何在微處理器中所見到的 L2 快取。但在一實施例中，L2 快取 17A 至 17B 可以用若干個

獨立可控制的記憶體區塊作成，如虛線所示。於一實施例中，每一個區塊可以包含獨立可控制之電源網格(power grid)。因此供應至各記憶體區塊的電源(VDD)可以獨立地移除，或在某些情況下由個別電源網格供應至記憶體區塊的電壓可以獨立地降低。

如同圖示實施例所述之 L2 快取，L3 快取 60 也可以用若干個獨立可控制的記憶體區塊作成，如虛線所示，其中每一個區塊可以各包含獨立可控制之電源網格。因此供應至各記憶體區塊的電源(VDD)可以獨立地移除，或在某些情況下由個別電源網格供應至記憶體區塊的 VDD 可以獨立地降低。

於圖示實施例中，如同 L3 快取，各個 L2 快取記憶體 17A 至 17B 係分別耦合至 L2 快取監視單元 18A 至 18B，並分別耦合至配置單元 19A 至 19B。於一實施例中，每一個快取監視單元(例如 18A、19A、85)可以配置成監視它所連接之個別快取記憶體之使用量。例如，L2 快取監視單元 18A 可以監視 L2 快取 17A 之使用量。於圖示實施例中，每一個快取監視單元包含可以判定目前快取使用量並判定目前使用量是否在給定使用量限制內之電路(例如 40A、40B、86)。更明確地說，例如快取監視單元 18A 可以判定 L2 快取 17A 之目前使用量是否低於預定臨限值。若是，快取監視單元 18A 可通知配置單元 19A。

於一實施例中，配置單元 19A 包含一個或多個如可編程暫存器的儲存器標為 42A，該儲存體 42A 例如可以儲存

對應於 L2 快取 17A 不同配置之偏好(preference)及狀態的數值。視存放在儲存器 42A 中之數值而定，配置單元 19A 可編程成，根據來自 L2 快取監視器 18A 的通知，對 L2 快取 17A 中之一個或多個獨立可控制記憶體區塊進行選擇性致能或除能。此外，存放在儲存器 42A 中之數值可以判定給定區塊之電源網格是否要關閉或電壓要降低。例如，在某些情況下，例如當處理器核心進行內文切換(context switch)時，新執行緒(new thread)或內文可能不再使用 L2 快取，但仍希望存放在 L2 快取 17A 中之資料可在內文切換回來時能再度利用。在這種情況下，只要將一個或多個區塊的電壓降低至能維持所存資料之程度即可，但不容許進一步的存取或除能，直到重新致能區塊或電壓恢復正常為止。

配置單元 50 可以進一步配置成允許處理器核心 15A 共用處理器核心 15B 之 L2 快取 17B，反之亦然，視儲存其中之配置值而定。例如，當快取監視器 18A 判定 L2 快取 17A 之目前使用量高於上臨限值時，配置單元 19A 可以要求對 L2 快取 17B 的存取。在這種情況下，若 L2 快取 17B 有被除能因而可共用的區塊，配置單元 19B 便可以允許共用式存取。

於一實施例中，配置單元 19A、19B、及 50 之儲存器 42A、42B、及 51 分別可以包含預設的偏好值。或者，偏好值也可以編程至儲存器中。當收到來自對應快取監視單元之通知時，這些偏好值可以用來判定該採哪個行動。例

如，如上所述，配置單元可以用這些值來決定是否要藉由移除電源或降低電壓而將 L3 快取及對應之處理器核心中的 L2 快取之部份除能。此外，於一實施例中，配置單元可以用這些值判定電源啟動時是否要將 L3 或 L2 快取記憶體的哪些部份(若有的話)除能。

於一實施例中，儲存器 42A、42B、及 51 可以用軟體編程。例如，可以用特殊的指令存取儲存器 42A、42B、及 51。於另一實施例中，儲存器 42A、42B、及 51 可以用前述之硬性熔絲進行較永久性的編程。於此種實施例中，數值係讀取自熔斷之熔絲並儲存於儲存器中。於一實施例中，硬性熔絲可以外部編程取代。於此種實施例中，可將儲存器 42A、42B、及 51 分別經由配置埠 44A、44B、及 54，例如經由如聯合測試行動群組(joint test action group, JTAG)埠的外部埠進行編程。以這種方式取代硬性熔絲的配置有時稱為經軟性熔絲編程(programming via soft fuses)。

於一實施例中，快取監視單元 18A、18B、及 85 可以用如個別快取有多少個輸入項在使用及個別快取存取的頻繁程度等參數來判定目前的使用量。於一實例中，所給定之快取中使用的輸入項數目可以不採用探詢(probes)的方式來判定，而是用計數器(未明白圖示，40A、40B、及 86 的部份)計數寫入快取的次數並藉由監視寫入是否產生犧牲項(victim)來判定。若未產生犧牲項，則寫入的動作一定會造成新輸入項的分配。否則，輸入項數目保持不變。因

此，若產生犧牲項，則該次寫入可以不計數。此外，於一實例中，存取快取的頻率可以用例如飽合計數器(saturation counter，未明白圖示，電路 40A 的部份)來判定。於一實施例中，每次存取快取時，飽合計數器的計數值便可以遞增。計數器可以在某些時脈區間遞減，但不會降至零以下。若計數值維持在某個預定值以上，便可以假定為高快取存取頻率，從而表示高使用量。由這兩個參數可以計算得出預定使用量下限值(lower predetermined utilization value)及預定使用量上限值(upper predetermined utilization value)。應注意的是，於其它實施例中，可以採用其它所要的機制以判定快取的使用量。

在此強調的是，雖然第 1 圖中所示之電腦系統 10 包含一處理節點 12，其它實施例可以作成任意數目之處理節點。同理，如節點 12 的處理節點在不同的實施例中可以包含任意數目之處理器核心。電腦系統 10 在不同實施例中也可以包含不同數目之 HT 介面於每個節點 12，及耦合至節點的不同數目之周邊裝置 13 等。

參見第 2 圖，所示者為電腦系統 200 另一實施例之方塊圖。為求簡單明瞭，和第 1 圖中對應之組件均用相同的編號。如同第 1 圖中之電腦系統 10，第 2 圖中之電腦系統 200 包括耦合至記憶體 14 及周邊裝置 13A 至 13B 之處理節點 222。處理節點 222 包括和第 1 圖中節點 12 類似的功能。因此，為了單純起見，將省略和節點 12 相同的功能說明，只說明不同的功能。應注意的是，第 2 圖中的處理節

點 222 可以包括為了簡明而省略的其它不同電路。

第 2 圖所示之實施例中，如同處理節點 12，處理節點 222 也包括耦合至節點控制器 20 之處理器核心 15A 至 15B，該節點控制器 20 進一步耦合至記憶體控制器 22 及複數個 HyperTransport™ (HT) 介面電路 24A 至 24C。此外，處理器核心 15A 至 15B 亦耦合至共用之第三層 (L3) 快取記憶體 60。但 L3 快取 60 係耦合至快取監視器 95 及配置單元 65。於一實施例中，節點 222 可以是包含第 2 圖中所示之電路的單一積體電路晶片。亦即，節點 222 可以是晶片多處理器 (CMP)。

於圖示之實施例中，相對於第 1 圖之實施例，每一個 L2 快取記憶體 17A 至 17B 亦耦合至快取監視單元 95 且耦合至配置單元 65。於一實施例中，快取監視單元 95 可以配置成用如前述第 1 圖的功能監視其所連接之所有快取記憶體的使用量 (例如 L2 快取 17A 至 17B 及 L3 快取 60)。

於一實施例中，如同前述，配置單元 65 包含一個或多個如可編程暫存器的儲存器標為 61，可以例如儲存對應於 L2 快取 17A 至 17B 及 L3 快取 60 不同配置之偏好及狀態之數值。視儲存在儲存器 61 中之數值而定，配置單元 65 可編程成，根據來自快取監視單元 95 的通知，對 L2 快取 17A 至 17B 及 L3 快取 60 中之一個或多個獨立可控制記憶體區塊進行選擇性致能或除能。同理，儲存在儲存器 61 中之數值可以判定給定區塊之電源網格是否要關閉或電壓要降低。應注意的是，可將儲存器 61 如前述儲存器 42A、

42B、及 51 類似的進行編程。

進而，可將配置單元 65 配置成允許處理器核心 15A 共用處理器核心 15B 之 L2 快取 17B，反之亦然，視儲存於其中之配置值而定。例如，當快取監視器 95 判定 L2 快取 17A 之目前使用量高於上臨限值時，配置單元 65 可以藉由處理器核心 15A 致能對 L2 快取 17B 的存取。在這種情況下，若 L2 快取 17B 有被除能因而可共用的區塊，配置單元 65 便可允許共用式存取。

第 3 圖所示之流程圖用來說明處理節點 12 之一實施例的操作。同時參考第 1 圖及第 3 圖，於一實施例中，當節點 12 先電源啟動或復置 (reset) 時，儲存在配置單元 42A 中之配置值可讀取並用來配置 L2 快取 17A。同理，儲存在配置單元 42B 中之配置值可讀取並用來配置 L2 快取 17B，且儲存在配置單元 50 中之配置值讀取並用來配置 L3 快取 60。於節點 12 之操作期間，快取監視單元 18A、18B、及 85 係配置成監視其個別的快取記憶體之目前使用量(流程圖區塊 300)。例如，如前所述，快取監視單元 18A、18B、及 85 可以追蹤快取的存取頻率及快取輸入項之使用狀況以判定其個別快取之目前使用量。

於流程圖區塊 305 中，根據目前使用量，快取監視單元 85 可以判定個別的目前使用量是否在預定限制內。於一實施例中，快取監視單元 85 可以將 L3 快取 60 的目前使用量與上臨限值及下臨限值作比較。若目前使用量介於預定的臨限值內，快取監視單元 85 繼續監視 L3 快取 60 的

使用量，如流程圖區塊 300 中所述。但若目前使用量不在預定的臨限值內且低於下臨限值(流程圖區塊 305)，快取監視單元 85 可以通知配置單元 50(流程圖區塊 310)。配置單元 50 可以選擇性將 L3 快取 60 的一個或多個區塊除能(流程圖區塊 315)。於一實施例中，配置單元 50 可以在收到通知時根據儲存在儲存器 51 中之配置偏好將區塊除能。例如，如前所述，所選定之區塊的電源可以移除或將其降低至較低電壓。此外，於一實施例中，先送到的區塊可以是離處理器核心 15A 至 15B 最遠的區塊，因為這些區塊可表示最長的路徑延遲。一旦所選區塊被除能，快取監視器 85 繼續監視使用量，如上述之流程圖區塊 300 中所述。

回到流程圖區塊 305，若目前使用量不在預定的臨限值內且高於上臨限值，快取監視單元 85 可以通知配置單元 50(流程圖區塊 320)。若 L3 快取 60 中有一個或多個除能的區塊，則配置單元 50 可以選擇性將 L3 快取 60 的該一個或多個除能之區塊致能(流程圖區塊 315)。於一實施例中，配置單元 50 可以根據儲存在儲存器 51 中之配置偏好將區塊致能。一旦所選區塊被再致能，快取監視器 85 繼續監視使用量，如上述流程圖區塊 300 中所述。

於流程圖區塊 330 中，快取監視單元 18A 及 18B 可以根據目前使用量判定個別的目前使用量是否在預定的限制內。更明確的說，於一實施例中，快取監視單元 18A、18B 可以將 L2 快取 17A 至 17B 之目前使用量與上臨限值及下臨限值作比較。

若目前使用量介於預定之臨限值間，快取監視單元 18A、18B 繼續監視 L2 快取 17A 至 17B 之使用量，如上述之流程圖區塊 300。但若任一快取的目前使用量不在預定臨限值內且低於下臨限值(流程圖區塊 330)，合適的快取監視單元 18A 至 18B 可以通知配置單元 19A 至 19B(流程圖區塊 335)。配置單元 19A 至 19B 可以選擇性將對應的 L2 快取 17A 至 17B 的一個或更多個區塊除能(流程圖區塊 340)。於一實施例中，配置單元 19A 至 19B 可以分別在收到通知時根據儲存在儲存器 42A 至 42B 中之配置偏好將區塊除能。例如，如前所述，所選定之區塊的電源可以移除或降低至較低電壓。此外，於一實施例中，先選的區塊可以是離處理器核心 15A 至 15B 之 CPU 邏輯最遠的區塊，因為這些區塊可能表示最長的路徑延遲。一旦所選區塊已經除能，快取監視單元 18A 至 18B 繼續監視使用量，如上述之流程圖區塊 300 中所述。

再回到流程圖區塊 330，若目前使用量不在預定的臨限值內且高於上臨限值，快取監測單元 18A 至 18B 可以通知配置單元 19A 至 19B(流程圖區塊 345)。若受影響之 L2 快取中有任何 L2 區塊被除能(流程圖區塊 350)，配置單元 19A 至 19B 可以選擇性將 L2 快取 17A 至 17B 的一個或多個區塊致能(流程圖區塊 355)。於一實施例中，配置單元 19A 至 19B 可以分別在收到通知時根據儲存在儲存器 42A 至 42B 中之配置偏好將區塊除能。例如，如前所述，所選定之區塊的電源可以移除或降低至較低電壓。此外，於一

實施例中，先選的區塊可以是離處理器核心 15A 至 15B 最遠的區塊，因為這些區塊可能代表最長的路徑延遲。一旦所選區塊已經除能，快取監視單元 18A 至 18B 繼續監視使用量，如前述之流程圖區塊 300 中所述。

但若受影響之 L2 快取中沒有除能的區塊（流程圖區塊 350），受影響之 L2 快取（即，過度使用之 L2 快取）的配置單元可以向其它處理器核心之配置單元要求存取許可以共用其它核心之 L2 快取。例如，若快取監視單元 18B 判定 L2 快取 17B 的目前使用量超過上臨限，配置單元 19B 可以經由配置單元 19A 要求存取 L2 快取 17A。針對該項要求，配置單元 19A 可以判定 L2 快取 17A 是否有除能之區塊可共用（流程圖區塊 360）。若是，配置單元 19A 可以核可對處理器核心 15B 之存取以共用 L2 快取 17A 之除能之區塊（流程圖區塊 365）。該除能的區塊也就可以再致能。其操作如流程圖區塊 300 中所述。

以下為第 4 圖及第 5 圖之說明，以包含單一處理器核心之微處理器的內文，提出可配置之快取記憶體另外的實施例。

具有動態可配置快取之單一微處理器

參考第 4 圖，所示者係包含單一處理器核心及可配置之快取記憶體之微處理器之一實施例的方塊圖。微處理器 415 包括處理器核心邏輯 450，該處理器核心邏輯 450 耦合至 L1 快取 475、L2 快取 417、及 L3 快取 460。微處理器

415 還包括耦合至 L2 快取 417 及 L3 快取 460 的快取監視單元 418。進而，微處理器 415 包括耦合至快取監視器 418 且分別耦合至 L1 快取 475、L2 快取 417、L3 快取 460 的配置單元 419。應注意的是，微處理器 415 可以包括其它為簡化說明而省略的電路。

於圖示之實施例中，快取監視器 418 和配置單元 419 的功能類似於配合第 2 圖及第 3 圖之前述的 L2 快取監視器 95 和配置單元 65 的功能。為簡化故，此處省略其說明。

參見第 5 圖，所示者係流程圖，用來說明第 4 圖之微處理器之一實施例的操作。請同時參考第 4 圖及第 5 圖，於一實施例中，當微處理器 415 先電源啟動或復置時，儲存在配置單元 419 的儲存器 442 中之配置值可以讀取並用來配置 L2 快取 417。同理，儲存在配置單元 419 中之配置值可以讀取並用來配置 L3 快取 460。於微處理器 415 之操作期間，快取監視單元 418 配置成監視各快取記憶體之目前使用量(流程圖區塊 500)。例如，如前所述，快取監視單元 418 可以追蹤快取的存取頻率及快取輸入項之使用狀況以判定各快取之目前使用量。

於流程圖區塊 505 中，根據目前使用量，快取監視單元 418 可以判定各快取個別的目前使用量是否在預定之限制內。於一實施例中，快取監視單元 418 可以將 L2 快取 417 之目前使用量及 L3 快取 460 之目前使用量與上臨限值及下臨限值作比較。

若目前使用量在預定的臨限值內，快取監視單元 418

繼續監視 L2 快取 417 及 L3 快取 460 的使用量，如上述之流程圖區塊 500 中所述。但若目前使用量不在預定的臨限值內且低於下臨限值(流程圖區塊 505)，快取監視單元 418 可以通知配置單元 419(流程圖區塊 510)。配置單元 419 可以選擇性將 L2 快取 417 或 L3 快取 460 的一個或多個區塊除能(流程圖區塊 515)。於一實施例中，配置單元 419 可以在收到通知時根據儲存在儲存器 442 中之配置偏好將區塊除能。例如，如前所述，所選定之區塊的電源可以移除或降低至較低電壓。此外，於一實施例中，先選的區塊可以是離處理器核心邏輯 450 最遠的區塊，因為這些區塊可能表示最長的路徑延遲。一旦所選區塊已經除能，快取監視器 418 繼續監視使用量，如上述之流程圖區塊 500 中所述。

再回到流程圖區塊 505，若目前使用量不在預定的臨限值內且高於上臨限值內，快取監視單元 418 可以通知配置單元 419(流程圖區塊 520)。若有任何除能之區塊，配置單元 419 可以選擇性將 L2 快取 417 或 L3 快取 460 中一個或多個被除能的區塊致能(流程圖區塊 525)。於一實施例中，配置單元 419 可以根據儲存在儲存器 442 中之配置偏好將區塊致能。一旦所選區塊已再度致能，快取監視器 418 繼續監視使用量，如上述之流程圖區塊 500 所述。

如前所述，於一實施例中，儲存器 440 及 442 可以用軟體編程。例如，可以用特殊的指令存取儲存器 440 及 442。於另一實施例中，儲存器 440 及 442 可以用前述之硬性熔絲進行較永久性的編程。於此種實施例中，數值係讀

自熔斷之熔絲並儲存於儲存器中。於一實施例中，硬性熔絲可以外部編程取代。於此種實施例中，儲存器 440 及 442 可以經由配置埠 44A，例如經由如聯合測試行動群組(JTAG)埠的外部埠，來編程。以這種方式取代硬性熔絲的配置有時稱為軟性熔絲編程。

應注意的是於上述實施例中，顯示 L3 快取記憶體。但其它實施例也可以不包含 L3 快取。沒有 L3 快取完全不會降低 L2 快取之可配置性。

以上已針對諸實施例進行相當詳細的說明，熟習此技術者將易於根據所揭示之內容作許多變更及修改，因此這些變更及修改仍未脫離本發明所申請之專利範圍。

【圖式簡單說明】

第 1 圖係包含多核心處理節點及可配置之快取記憶體之電腦系統之一實施例的方塊圖；

第 2 圖係包含多核心處理節點及可配置之快取記憶體之電腦系統之另一實施例的方塊圖；

第 3 圖係用來說明處理節點之一實施例的操作之流程圖；

第 4 圖係包含單一處理器核心及可配置之快取記憶體之微處理器之一實施例的方塊圖；以及

第 5 圖係用來說明第 4 圖之微處理器之一實施例的操作之流程圖。

【主要元件符號說明】

10 電腦系統

12 節點

13A、13B 周邊裝置 14 記憶體
15A、15B 處理器核心 17A、17B、417 L2 快取
18A、18B、95 快取監視單元
19A、19B 配置單元 20 節點控制器
22 記憶體控制器 24A、24B、24C HT 電路
40A、40B、86 電路
42A、42B、51、61、96、440、442 儲存器
44A、44B、54 配置埠 50、65 配置單元
60、460 L3 快取 85 快取監視器
300、305、310、315、320、325、330、335、340、345、
350、350、355、360、365、500、505、510、515、520、
525 流程圖區塊
415 微處理器 418 快取監視單元
419 配置單元 450 處理器核心邏輯
475 L1 快取

十、申請專利範圍：

1. 一種用於配置處理器之快取記憶體之方法，該方法包括下列步驟：

監視該快取記憶體的目前使用量；

判定該目前使用量是否低於預定使用量之數值；以及

根據該目前使用量低於該預定使用量之數值之判定，對該快取記憶體之一個或多個部份進行選擇性地除能。

2. 如申請專利範圍第 1 項之方法，復包括將該預定使用量之數值儲存於可配置之儲存器中。
3. 如申請專利範圍第 1 項之方法，其中，判定該目前使用量是否低於預定使用量之數值之步驟係包含比較該預定使用量之數值與該目前使用量。
4. 如申請專利範圍第 1 項之方法，復包括藉由判定該快取記憶體中使用之輸入項數目及判定對該快取記憶體存取的頻繁程度來判定該目前使用量之數值。
5. 如申請專利範圍第 4 項之方法，其中，判定該快取記憶體中使用之輸入項數目係包含監視會導致產生犧牲項之寫入該快取記憶體之次數。
6. 如申請專利範圍第 4 項之方法，其中，判定對該快取記憶體存取之頻繁程度係包含用計數器計數對該快取記憶體存取的次數。
7. 如申請專利範圍第 1 項之方法，其中，對該快取記憶體

之一個或多個部份除能係包含自該一個或多個部份移除電源。

8. 如申請專利範圍第 1 項之方法，其中，對該快取記憶體之一個或多個部份除能係包含將該一個或多個部份的供應電壓降低。
9. 如申請專利範圍第 1 項之方法，其中，該快取記憶體為第二層(L2) 快取記憶體。
10. 如申請專利範圍第 1 項之方法，其中，該快取記憶體為第三層(L3) 快取記憶體。
11. 一種用於對處理節點進行動態配置之方法，該處理節點包含有複數個處理器核心且各該處理器核心包含快取記憶體，該方法包括下列步驟：

獨立監視對應於各該快取記憶體之個別的目前使用量；

判定該個別的目前使用量是否低於預定使用量之數值；以及

根據該個別的目前使用量低於該預定使用量之數值之判定，選擇性地除能該對應快取記憶體之一個或多個部份。

12. 如申請專利範圍第 11 項之方法，復包括將該預定使用量之數值儲存於可配置之儲存器中。
13. 如申請專利範圍第 11 項之方法，復包括藉由判定該快取記憶體中使用之輸入項數目及判定對該快取記憶體存取的頻繁程度來判定該目前使用量之數值。

- 14.如申請專利範圍第 11 項之方法，其中，除能該對應之快取記憶體之一個或多個部份係包含自該一個或多個部份移除電源。
- 15.如申請專利範圍第 11 項之方法，其中，除能該對應快取記憶體之一個或多個部份係包含將該一個或多個部份的供應電壓降低。
- 16.如申請專利範圍第 11 項之方法，其中，各該快取記憶體為第二層(L2)快取記憶體。
- 17.如申請專利範圍第 11 項之方法，復包括根據除能個別處理器核心之給定快取記憶體之一個或多個部分及根據判定不同處理器核心之另一快取記憶體之該目前使用量已超過第二預定使用量之數值，選擇性地將該不同處理器核心致能以共用該給定快取記憶體。
- 18.如申請專利範圍第 11 項之方法，復包括：
 - 監視對應於由該複數個處理器核心所共用之快取記憶體的目前使用量；
 - 判定該複數個處理器核心所共用之該快取記憶體的該目前使用量是否低於預定使用量之數值；以及
 - 根據該複數個處理器核心所共用之該快取記憶體的該目前使用量低於該預定使用量之數值之判定，選擇性地除能該共用快取記憶體之一個或多個部份。
- 19.一種處理器，包括：
 - 快取記憶體；
 - 快取監視單元，係耦合至該快取記憶體且配置成監

視該快取記憶體之目前使用量，並判定該目前使用量是否低於預定使用量之數值；以及

快取配置單元，係耦合至該快取監視單元及該快取記憶體，其中，該快取配置單元係配置成根據該快取監視單元判定該目前使用量低於該預定使用量之數值，選擇性地將該快取記憶體的一個或多個部份除能。

20. 一種電腦裝置，包括：

複數個處理器核心，各該處理器核心包含：

快取記憶體；

快取監視單元，係耦合至該快取記憶體，其中，各快取監視單元被配置成獨立監視各快取監視單元所耦合之該快取記憶體的目前使用量，並判定該目前使用量是否低於預定使用量之數值；以及

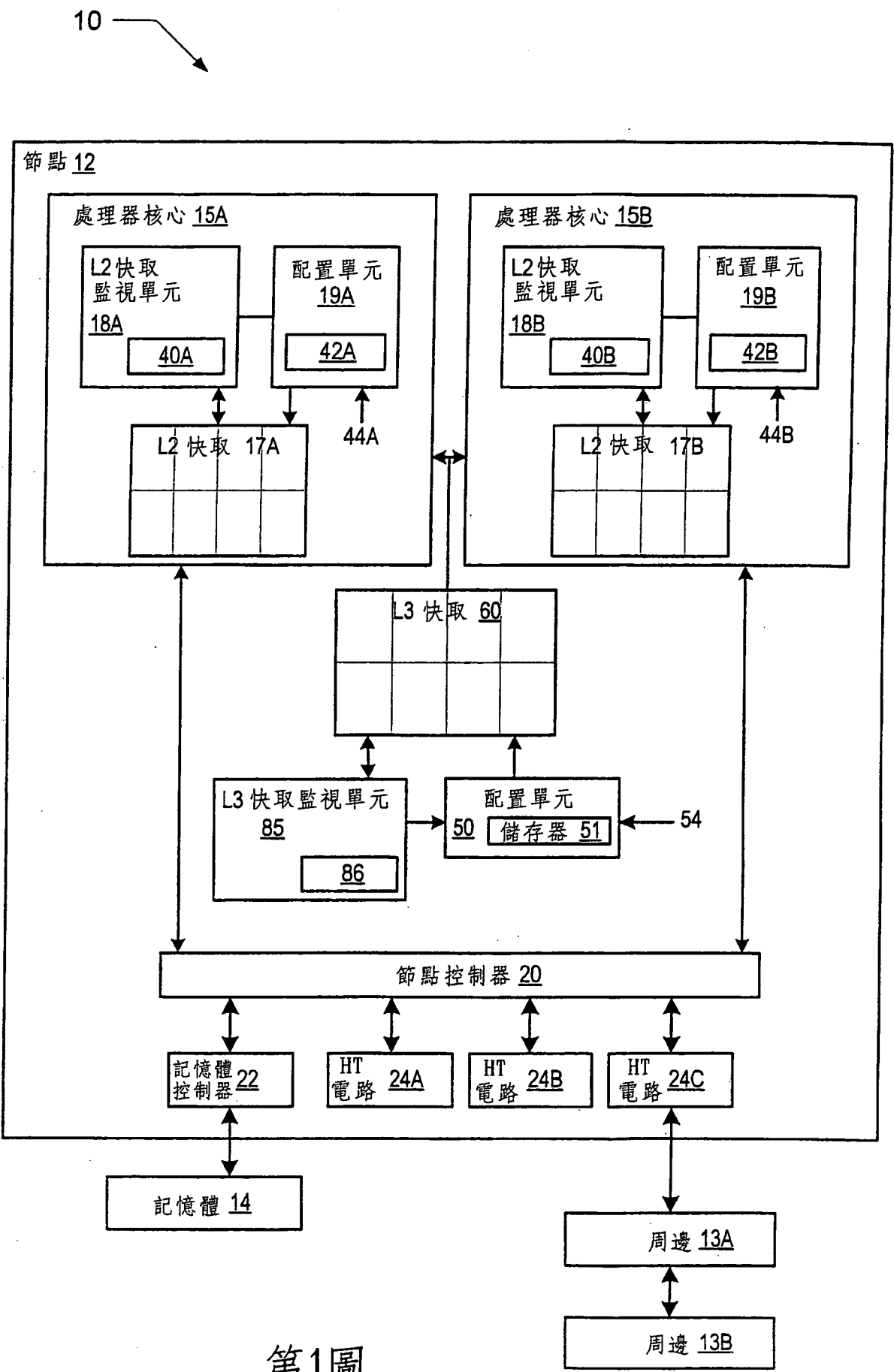
快取配置單元，係耦合至該快取監視單元及該快取記憶體，其中，該快取配置單元係配置成根據該快取監視單元判定該目前使用量低於該預定使用量之數值，選擇性地將該快取配置單元所耦合之該對應快取記憶體的一個或多個部份除能。

21. 如申請專利範圍第 20 項之電腦裝置，復包括可由各該複數個處理器核心存取之共用快取記憶體。

22. 如申請專利範圍第 21 項之電腦裝置，復包括耦合至該共用快取記憶體之額外快取監視單元及耦合至該共用快取記憶體之額外配置單元，其中，該額外快取監視單元係配置成監視共用快取記憶體之目前使用量，並判定

該共用快取記憶體之目前使用量是否低於第二預定使用量之數值。

23. 如申請專利範圍第 22 項之電腦裝置，其中，該額外配置單元係配置成根據該共用快取記憶體之目前使用量低於該第二預定使用量之數值的判定，選擇性地將該共用快取記憶體的一個或多個部份除能。

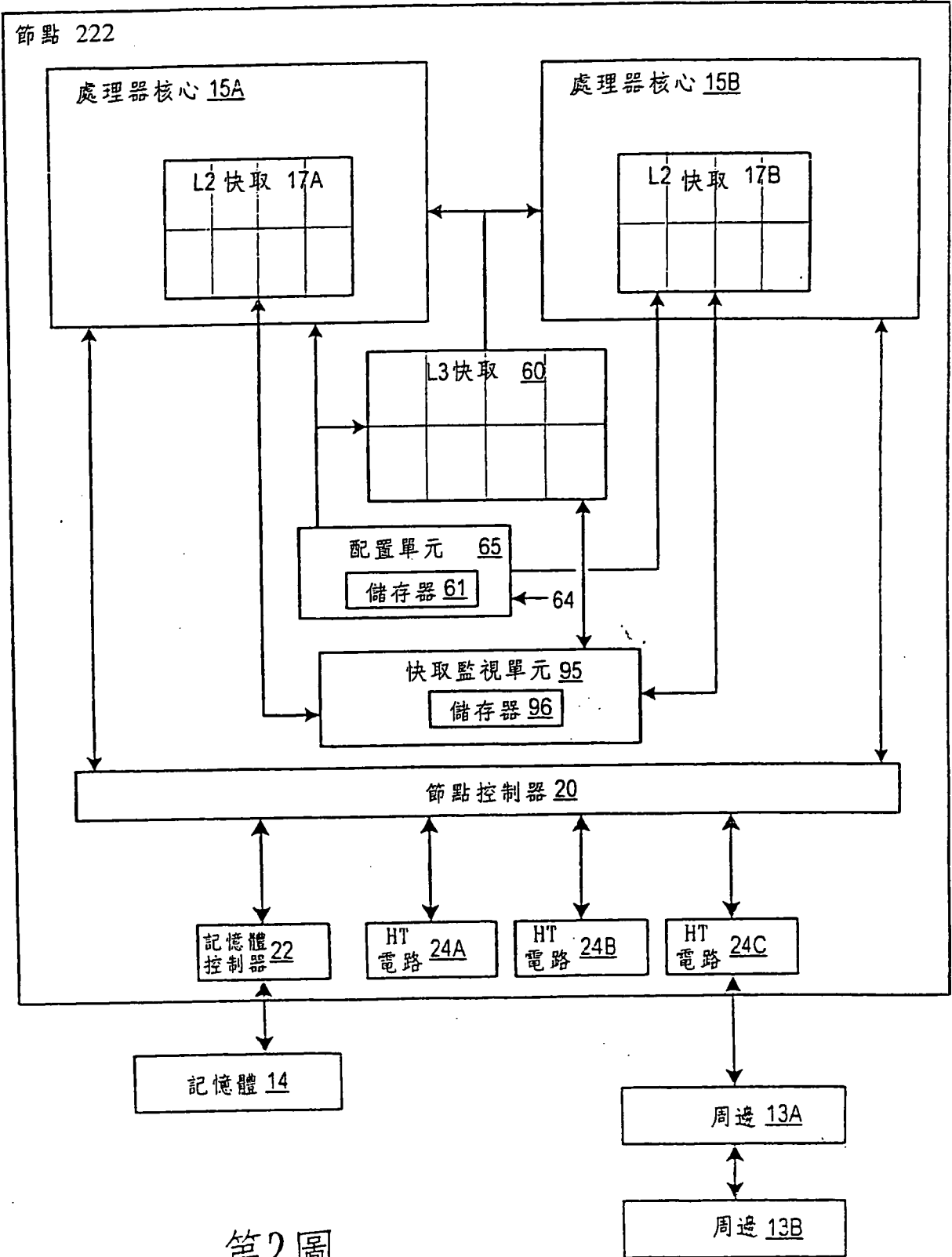


第1圖

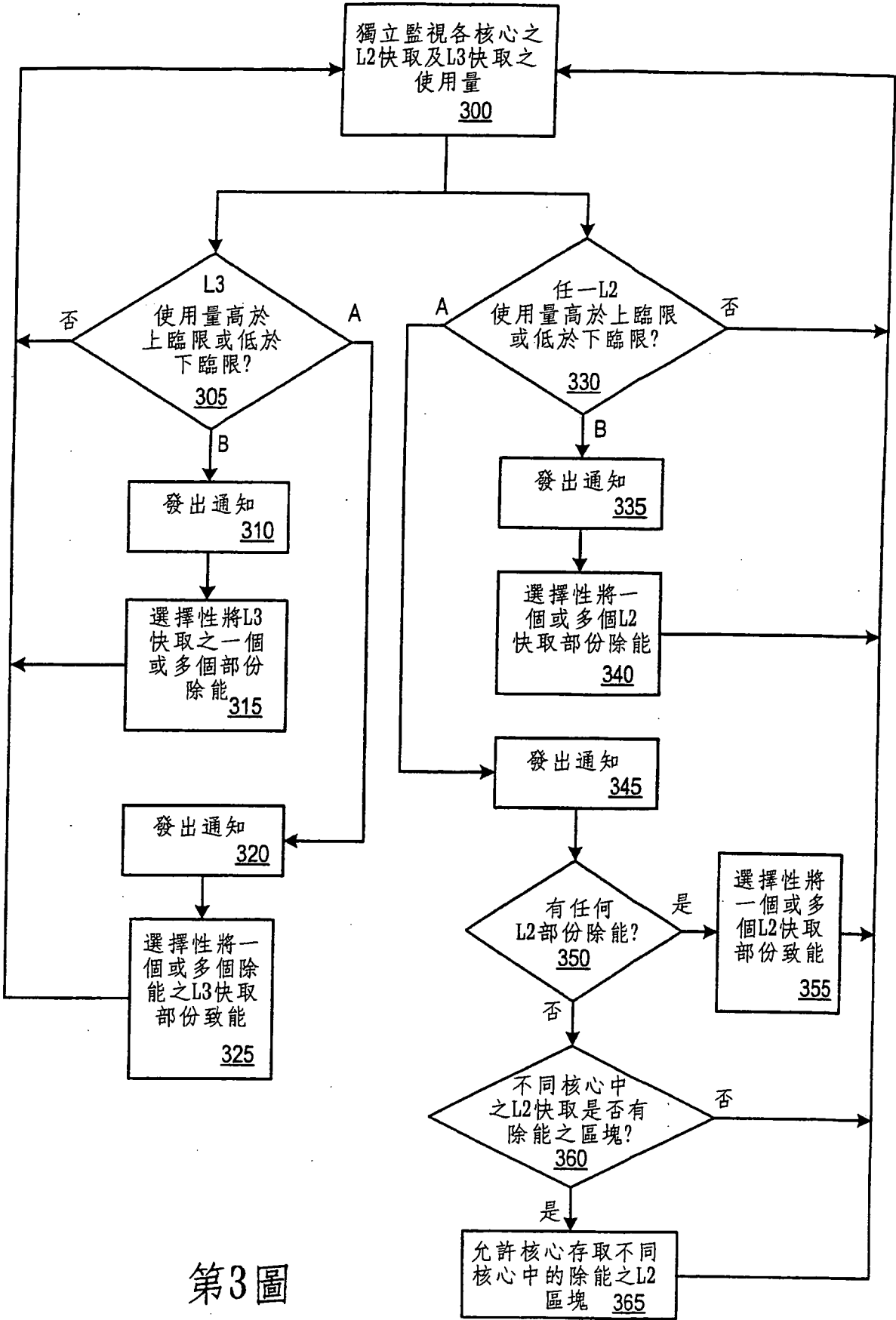
97 9 24
年 月 日修正替換頁

941333.4
修正
補充
97年9月24日

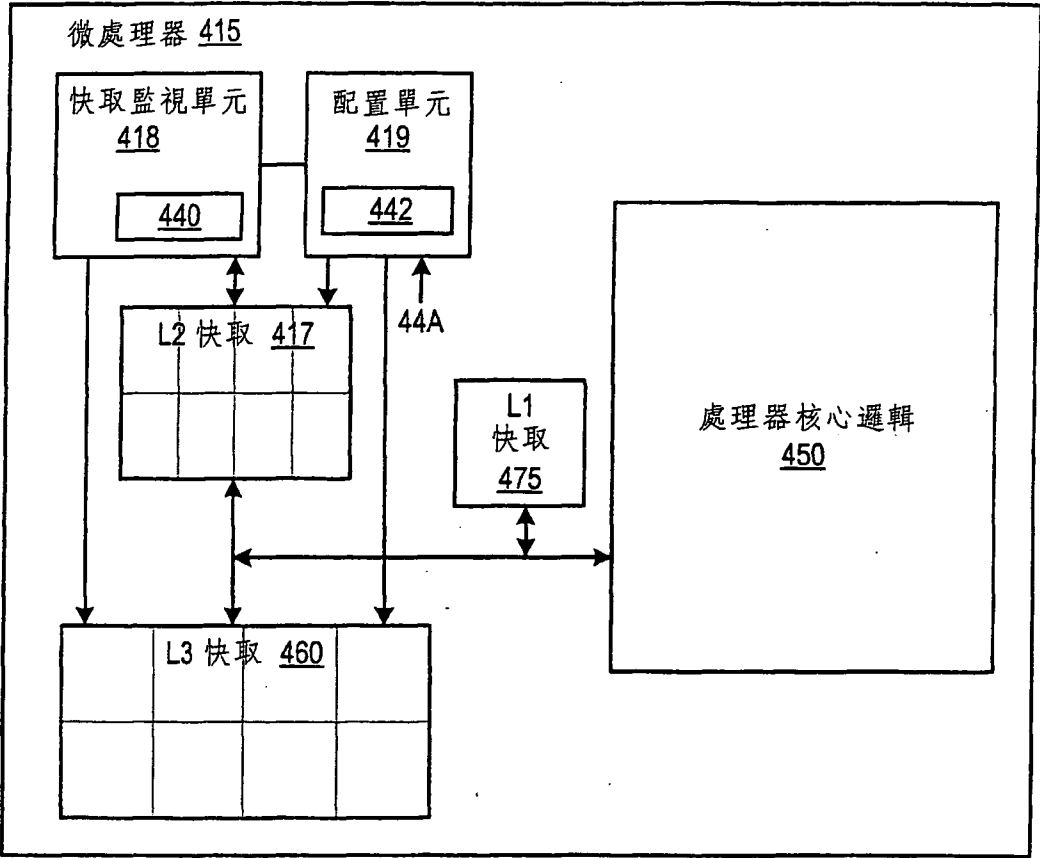
200



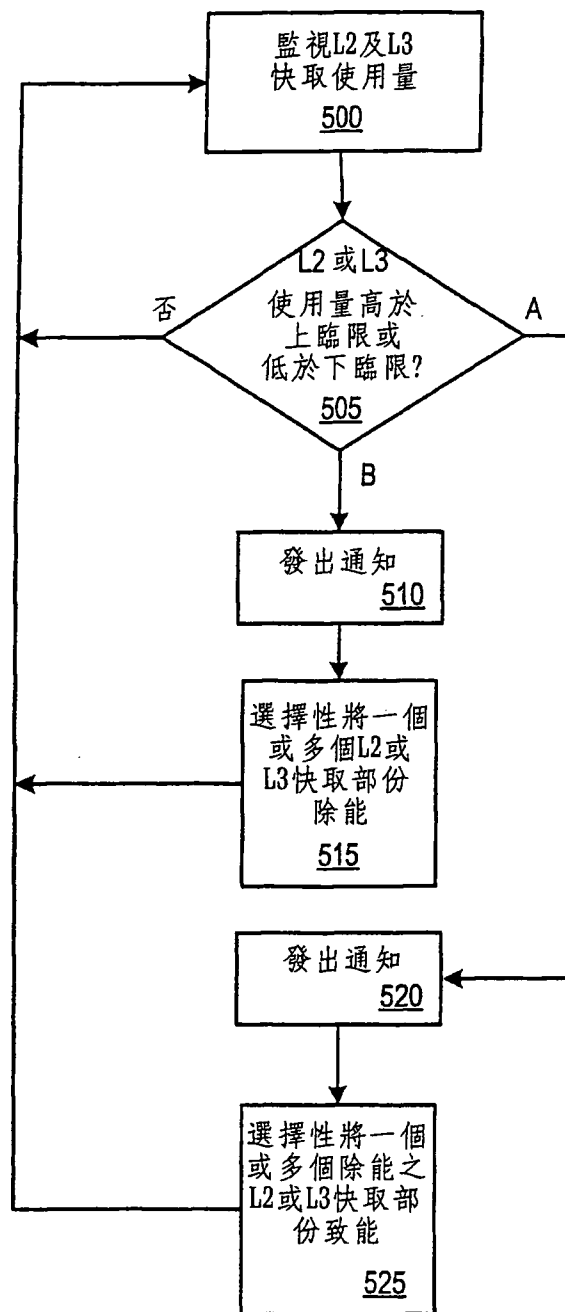
第2圖



第3圖



第4圖



第5圖