

**CIRCUIT A TRANSISTORS INTEGRES DANS TROIS DIMENSIONS ET
AYANT UNE TENSION DE SEUIL VT AJUSTABLE DYNAMIQUEMENT**

DESCRIPTION

5 DOMAINE TECHNIQUE

La présente invention se rapporte au domaine de la microélectronique et en particulier à celui des dispositifs comportant des transistors répartis sur plusieurs niveaux.

10 Elle concerne la réalisation d'un dispositif microélectronique doté de transistors intégrés sur 3 dimensions et de moyens pour moduler la tension de seuil des transistors.

15 Elle apporte des avantages notamment en termes d'encombrement, de possibilité de modifier de manière dynamique la tension de seuil de certains des transistors du dispositif, et de diminution des effets de canaux court de ces transistors.

20 L'invention s'applique notamment au domaine des mémoires à accès aléatoires, telles que les mémoires SRAM (SRAM pour « static random access memory » ou mémoires statiques à accès aléatoires).

ÉTAT DE LA TECHNIQUE ANTÉRIEURE

25 De manière générale, on cherche continuellement à augmenter la densité des composants dans les dispositifs microélectroniques.

Pour ce faire, parmi un nombre important de solutions possibles, des dispositifs dans lesquels les

transistors sont intégrés sur 3 dimensions et répartis sur plusieurs niveaux sont conçus.

Le document EP 1 705 693 divulgue par exemple un dispositif dans lequel on intercale une
5 capacité 3 entre deux transistors 1 et 2 répartis sur deux niveaux différents superposés. Les électrodes de la capacité 3 sont mises à un potentiel fixe, ce qui permet de découpler les deux transistors. En plus de permettre d'obtenir une densité d'intégration
10 améliorée, un tel agencement permet de limiter le bruit généré entre les différents niveaux de transistors (figure 1).

On cherche également continuellement à diminuer la consommation des dispositifs
15 microélectroniques.

Pour cela, une solution classique consiste à réduire leur tension d'alimentation. Cependant une réduction de la tension d'alimentation en dessous d'une valeur de l'ordre de 3 fois la tension de seuil des
20 transistors, est susceptible de dégrader de manière significative la vitesse de fonctionnement de ces derniers. Pour diminuer la tension d'alimentation, on peut ainsi avoir à diminuer la tension de seuil des transistors. Mais une diminution de la tension de seuil
25 a tendance à entraîner une augmentation de la consommation statique.

Pour résoudre ce problème, des dispositifs dans lesquels on modifie de manière dynamique la tension de seuil de certains transistors sont notamment
30 apparus.

Une modification dynamique de la tension de seuil a été réalisée sur des architectures de transistors MOS à double-grille (également appelé DGMOS pour « Double Gate MOSFET »), de transistor MOS sur substrat SOI (SOI pour « Silicon on Insulator ») avec 5 contrôle de la tension de face arrière, ou de transistor DTMOS (DTMOS pour « Dynamic Threshold Voltage MOSFET »).

Un transistor 10 double-grille peut être mis en œuvre avec une tension de seuil ajustable. Un 10 tel mode de fonctionnement repose sur un couplage entre une zone du canal 4 et la grille avant 8 du transistor, et un couplage entre une autre zone du canal 4 et la grille arrière 6 du transistor. Dans ce cas, la grille 15 arrière 6 du transistor est utilisée comme grille de contrôle. Suivant la manière dont est polarisée cette grille arrière, on peut induire une modification de la tension de seuil du transistor (figure 2).

Pour modifier la tension de seuil d'un 20 transistor, une structure dite « à plan de masse » a également été proposée.

Une telle structure fait appel à la technologie SOI (SOI pour « silicon on insulator » ou « silicium sur isolant »), et comporte une zone dopée 25 17 située sous un emplacement prévu pour un transistor 15 et sous une couche isolante 16 d'un substrat SOI. Une polarisation adéquate de cette zone dopée permet de modifier la tension de seuil du transistor par couplage électrostatique à travers la couche isolante du 30 substrat SOI (figure 3).

Un exemple de structure à plan de masse est donnée dans le document US 7 115 950.

Une structure de transistor à plan de masse, dotée d'un oxyde enterré d'épaisseur très fine, a quant à elle été décrite dans le document de Tetsu Ohtou : « Variable-Body-Factor SOI MOSFET With Ultrathin Buried Oxide for Adaptive Threshold Voltage and Leakage Control », IEEE Transactions on Electron Devices, volume 55, n° 1, janvier 2008. Une telle structure présente une capacité importante entre les zones de source et de drain et le substrat, ce qui a tendance à induire une dégradation des délais de propagation des signaux.

Pour répondre à cette problématique, il a été proposé de moduler le coefficient de couplage en modifiant l'état de l'interface entre le substrat et l'oxyde enterré de l'inversion à la déplétion et vice versa en mettant en œuvre une polarisation de la face arrière du substrat. Dans ce cas, une vitesse de fonctionnement élevée ainsi qu'une faible capacité peuvent être obtenues dans le mode passant, tout en garantissant une puissance consommée faible à l'état bloqué grâce à un coefficient de couplage élevé à l'état bloqué.

Une structure de transistor particulière appelée DTMOS (DTMOS pour « Dynamic Threshold Voltage MOSFET ») présente une connexion reliant sa grille à son body comme cela est représenté sur la figure 4.

Une modification de tension de seuil du transistor peut être obtenue dans ce cas, en modifiant la polarisation de la grille. La connexion

grille 20-body 22 permet d'abaisser la tension de seuil V_T du transistor 18 à l'état passant, la tension de seuil reprenant sa valeur d'origine, plus élevée, à l'état bloqué. Le fonctionnement du transistor DTMOS est limité à une tension d'alimentation faible, par exemple inférieure à 0.7V du fait de la création d'un bipolaire parasite pour des tensions d'alimentation élevées.

Il se pose le problème de trouver un nouveau dispositif microélectronique à transistors, qui présente des améliorations par rapport aux problèmes évoqués précédemment, et qui réponde à la fois aux critères de densité d'intégration réduite et de faible consommation.

EXPOSÉ DE L'INVENTION

L'invention concerne tout d'abord un dispositif microélectronique comprenant :

- un substrat surmonté d'un empilement de couches,
- au moins un premier transistor situé à un niveau donné dudit empilement,
- au moins un deuxième transistor situé à un deuxième niveau dudit empilement, au dessus dudit niveau donné, le premier transistor comportant une électrode de grille située en regard d'une zone de canal du deuxième transistor et séparée de cette zone de canal par l'intermédiaire d'une zone isolante entre ladite grille dudit premier transistor et ledit canal dudit deuxième transistor, ladite zone isolante étant

prévue de manière à permettre un couplage entre cette électrode de grille et ce canal.

Du fait du couplage entre la grille du premier transistor et la zone de canal du deuxième transistor, le deuxième transistor a une tension de seuil dépendante de la polarisation de la grille du premier transistor.

Le dispositif comprend également des moyens de polarisation pour appliquer un potentiel à la grille du premier transistor, en particulier un potentiel variable.

Ainsi, le dispositif suivant l'invention peut comprendre des moyens pour moduler la tension de seuil du deuxième transistor, lesdits moyens comprenant des moyens de polarisation pour appliquer un potentiel à la grille du premier transistor, en particulier un potentiel variable.

Une modification dynamique de la tension de seuil V_T du deuxième transistor peut par exemple consister,

- à imposer au deuxième transistor, à l'aide d'un potentiel appliqué au premier transistor, une première tension de seuil V_{T1} ,

- à imposer au deuxième transistor, à l'aide d'un autre potentiel appliqué au premier transistor, une tension de seuil V_{T2} , supérieure à la première tension de seuil V_{T1} .

La première tension de seuil est de préférence une tension de seuil faible, tandis que la deuxième tension de seuil est de préférence une tension de seuil élevée.

Ainsi, afin de faire varier la tension de seuil du deuxième transistor, lesdits moyens de polarisation peuvent être mis en œuvre pour :

- pendant au moins une première phase, appliquer à la grille du premier transistor, au moins un premier potentiel, ledit deuxième transistor ayant alors une première tension de seuil V_{T1} ,

- pendant au moins une deuxième phase, appliquer à la grille du premier transistor, au moins un deuxième potentiel différent dudit premier potentiel, ledit deuxième transistor ayant alors une deuxième tension de seuil V_{T2} différente de la première tension de seuil V_{T1} .

Selon une possibilité, le premier potentiel peut être un potentiel prévu pour rendre passant le premier transistor, le deuxième potentiel étant prévu pour rendre bloqué le premier transistor.

Le dispositif microélectronique suivant l'invention peut ainsi comprendre des moyens pour moduler la tension de seuil du deuxième transistor en faisant varier le potentiel de grille du premier transistor.

La zone isolante a une épaisseur e_c suffisamment faible pour permettre un couplage entre l'électrode de grille du premier transistor et le canal du deuxième transistor.

La zone isolante est en particulier prévue pour permettre un couplage tel, qu'une variation du potentiel de grille du premier transistor, entraîne une variation de la tension de seuil du deuxième transistor.

Le couplage peut être tel, qu'une variation du potentiel de grille du premier transistor d'au plus Vdd (avec Vdd une tension d'alimentation du dispositif) permette d'obtenir une variation de tension de seuil du
5 deuxième transistor d'au moins 50 mV.

La zone isolante peut avoir une épaisseur équivalente en oxyde de silicium EOT (Equivalent Oxide Thickness) comprise entre 1 et 50 nanomètres.

Ladite zone isolante peut être à base de
10 SiO₂ ou d'un matériau high-k, par exemple tel que du HfO₂.

La zone isolante peut être à base de SiO₂, et avoir une épaisseur donnée comprise entre 1 et 50 nanomètres.

15 Dans le cas où la zone isolante est à base d'un matériau high-k, cette zone peut avoir une épaisseur réelle supérieure à ladite épaisseur donnée, mais dont l'épaisseur équivalente en SiO₂ pour obtenir le même couplage est comprise entre 1 et 50 nanomètres.

20 L'épaisseur ainsi que le matériau diélectrique de la zone isolante sont choisis pour permettre un couplage entre l'électrode de grille du premier transistor et le canal du deuxième transistor.

Le deuxième transistor peut être formé sur
25 une couche semi-conductrice totalement désertée.

Selon une possibilité de mise en œuvre du dispositif microélectronique, entre ladite grille et ladite zone de canal, ladite zone isolante peut être formée d'une première région à base d'un premier
30 matériau diélectrique ayant une première constante diélectrique k_1 , tandis qu'en regard des zones de source et de drain dudit premier transistor, ladite

zone isolante est formée d'une deuxième région comportant au moins un deuxième matériau diélectrique ayant une deuxième constante diélectrique k_2 telle que $k_2 < k_1$.

5 Ladite deuxième région peut éventuellement comporter un empilement dudit premier matériau diélectrique et dudit deuxième matériau diélectrique.

 On peut ainsi avoir un dispositif dans lequel un couplage entre la grille du premier transistor et le canal du deuxième transistor est mis en œuvre, tandis que les autres zones du deuxième transistor sont totalement découplées du premier transistor.

 Selon une possibilité, les moyens de polarisation peuvent être prévus pour appliquer un potentiel variable, entre 0 et Vdd ou entre -Vdd et +Vdd, avec Vdd un potentiel d'alimentation du dispositif.

 Le dispositif microélectronique peut comprendre plus de deux transistors superposés.

 Ainsi, le dispositif microélectronique peut comprendre en outre, dans un axe orthogonal au plan principal du substrat et passant par la grille du premier transistor et/ou du deuxième transistor, un ou plusieurs autres transistors.

 Selon une possibilité, le dispositif microélectronique peut comprendre en outre : un ou plusieurs autres transistors dans un plan parallèle au plan principal du substrat et passant par la grille du premier transistor et/ou la grille du deuxième transistor.

Selon une possibilité de mise en œuvre, le dispositif microélectronique peut comprendre en outre : au moins un plot de contact entre la grille du premier transistor et la grille du deuxième transistor.

5 Le dispositif peut comprendre en outre : au moins un troisième transistor situé au niveau dudit premier transistor dans ledit empilement, et au moins un quatrième transistor, un cinquième transistor de découplage étant situé entre le troisième transistor et
10 le quatrième transistor.

Selon une variante, le dispositif peut comprendre en outre : au moins un troisième transistor situé au niveau dudit premier transistor dans ledit empilement, au moins un quatrième transistor situé au
15 dessus du troisième transistor, le quatrième transistor et le troisième transistor étant séparés par l'intermédiaire d'une zone diélectrique prévue pour empêcher un couplage entre le troisième transistor et le quatrième transistor.

20 Selon une possibilité de mise en œuvre, le dispositif peut comprendre au moins un transistor doté d'un canal formé dans une zone semi-conductrice entourée par des zones isolantes d'épaisseur égale ou sensiblement égale à l'épaisseur de la zone semi-
25 conductrice, le diélectrique de grille et la grille du premier transistor, reposant sur lesdites zones isolantes et sur la zone semi-conductrice.

Un tel agencement peut permettre de réduire la topographie de la grille et permettre d'atténuer
30 l'impact d'un désalignement involontaire entre la grille supérieure et inférieure.

Le dispositif microélectronique peut être une cellule mémoire, en particulier une cellule de mémoire SRAM.

L'invention concerne également un procédé
5 de réalisation d'un dispositif microélectronique tel que défini plus haut.

L'invention concerne en particulier un procédé de réalisation d'un dispositif microélectronique comprenant les étapes de :

10 a) formation sur un substrat d'au moins un premier transistor doté d'une région de source, d'une région de drain, d'une structure formant un canal reliant la région de source et la région de drain, et d'une grille sur le canal,

15 b) formation sur une couche semi-conductrice au dessus du premier transistor, d'un deuxième transistor,

le procédé comprenant entre l'étape a) et l'étape b), la réalisation d'au moins une zone isolante
20 de séparation du premier transistor et du deuxième transistor, le deuxième transistor étant disposé de sorte que l'électrode de grille du premier transistor est située en regard de la zone de canal du deuxième transistor et séparée de cette zone de canal par
25 l'intermédiaire de ladite zone isolante située entre ladite grille dudit premier transistor et ledit canal dudit deuxième transistor et prévue de manière à permettre un couplage entre cette électrode de grille et ce canal.

BRÈVE DESCRIPTION DES DESSINS

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement limitatif, en faisant référence aux dessins annexés sur lesquels :

- la figure 1, illustre un exemple de dispositif microélectronique suivant l'art antérieur, doté de transistors répartis sur 2 niveaux superposés ;
- 10 - la figure 2 illustre un exemple de transistor à double-grille,
- la figure 3 illustre exemple de structure de transistor sur SOI à plan de masse,
- la figure 4 illustre exemple de structure de transistor de type DTMOS,
- 15 - la figure 5 illustre un exemple de dispositif microélectronique suivant l'invention à 2 transistors superposés, et séparés par une zone isolante prévue de sorte que le canal du transistor de niveau supérieur est couplé électrostatiquement avec la grille du transistor de niveau inférieur,
- 20 - la figure 6 illustre un exemple de dispositif microélectronique suivant l'invention, à n transistors superposés, dont n-1 transistors ont un canal couplé électrostatiquement avec la grille d'un transistor de niveau inférieur,
- 25 - la figure 7 illustre un exemple de dispositif microélectronique suivant l'invention à 2 transistors superposés dont les grilles ont des axes de symétries distincts, le canal du transistor de niveau
- 30

supérieur étant couplé avec la grille du transistor de niveau inférieur,

- la figure 8 illustre l'évolution, dans un exemple de dispositif microélectronique de type pMOS suivant l'invention, de la tension de seuil d'un transistor d'un niveau N donné en fonction du potentiel de grille d'un transistor de niveau N-1 inférieur audit niveau donné, en comparaison avec l'évolution, ainsi que l'évolution, dans des dispositifs microélectroniques comportant également des transistors superposés, mais davantage espacés les uns des autres,

- la figure 9 illustre l'évolution, dans un exemple de dispositif microélectronique de type pMOS suivant l'invention, du courant I_{off} à l'état bloqué d'un transistor d'un niveau N donné en fonction du potentiel de grille d'un transistor de niveau N-1 inférieur audit niveau donné, ainsi que l'évolution, dans des dispositifs microélectroniques comportant également des transistors superposés, mais davantage espacés les uns des autres,

- la figure 10 illustre l'évolution, dans un exemple de dispositif microélectronique de type pMOS suivant l'invention, du courant I_{on} à l'état passant d'un transistor d'un niveau N donné en fonction du potentiel de grille d'un transistor de niveau N-1 inférieur audit niveau donné, ainsi que l'évolution, du courant I_{on} à l'état passant d'un transistor d'un niveau N donné en fonction du potentiel de grille d'un transistor de niveau N-1 inférieur audit niveau donné, dans des dispositifs microélectroniques comportant

également des transistors superposés, mais davantage espacés les uns des autres,

- la figure 11 illustre l'évolution, dans un dispositif microélectronique suivant l'invention, de la tension de seuil d'un transistor de type n d'un niveau N donné en fonction du potentiel de grille d'un transistor de type p de niveau N-1 inférieur audit niveau donné, en comparaison avec l'évolution, dans un dispositif microélectronique suivant l'invention, de la tension de seuil d'un transistor de type p d'un niveau N donné en fonction du potentiel de grille d'un transistor de type n de niveau N-1 inférieur audit niveau donné,

- les figures 12A-12B illustrent un exemple de dispositif microélectronique suivant l'invention, doté de moyens de polarisation de grille de transistor, prévus pour appliquer un potentiel variable,

- la figure 13 illustre un exemple de dispositif microélectronique suivant l'invention, comportant, sur un même substrat, des transistors superposés et couplés entre eux, avec des transistors superposés, qui ne sont pas couplés et séparés par un niveau laissé vide ;

- la figure 14 illustre un exemple de dispositif microélectronique suivant l'invention, à 2 transistors superposés et séparés par une zone isolante comportant plusieurs matériaux diélectriques de constantes diélectriques différentes, d'agencement et d'épaisseurs prévues de sorte que le canal du transistor de niveau supérieur est couplé électriquement avec la grille du transistor de niveau

inférieur, les autres régions du transistor de niveau supérieur n'étant pas couplées au transistor de niveau inférieur,

5 - la figure 15 illustre une variante de l'exemple de dispositif microélectronique de la figure 14,

- les figures 16A-16C et 17 illustrent un exemple de procédé de réalisation d'un dispositif microélectronique suivant l'invention,

10 - la figure 18 illustre un exemple de dispositif microélectronique suivant l'invention comportant deux transistors superposés avec une zone de contact entre les grilles des deux transistors,

15 - la figure 19 illustre un agencement amélioré d'électrode de grille d'un transistor dans un exemple de dispositif microélectronique suivant l'invention.

Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

Un exemple de dispositif microélectronique mis en œuvre suivant l'invention, va à présent être donné en liaison avec la figure 5.

25 Ce dispositif comprend tout d'abord un substrat 100, qui peut être un substrat massif (« bulk » suivant la terminologie anglo-saxonne) ou de type semi-conducteur sur isolant, par exemple de type SOI (SOI pour « silicon on insulator » ou « silicium

sur isolant »), comportant une première couche de support qui peut être semi-conductrice et par exemple à base de Si, recouverte par une couche isolante, par exemple à base de SiO₂, elle-même recouverte par une
5 couche semi-conductrice, par exemple à base de Si, et dans laquelle une ou plusieurs zones actives sont susceptibles d'être formée(s).

Sur le substrat 100, repose un empilement de couches dans lequel figure un premier transistor T₁₁
10 comportant une région de source 102, une région de drain 104, ainsi qu'une zone 106 de canal, reliant la région de source 102 et la région de drain 104. Le premier transistor T₁₁ peut être éventuellement formé sur un substrat SOI totalement déserté ou partiellement
15 déserté.

Le transistor T₁₁ comporte également une électrode de grille 108 située sur une couche de matériau diélectrique 107 de grille.

Le matériau diélectrique 107 peut avoir une
20 épaisseur équivalente en SiO₂, également appelée épaisseur EOT (EOT pour « Equivalent Oxide Thickness ») par exemple comprise entre 0.5 et 5 nm. Le matériau diélectrique 107 peut être par exemple du SiO₂ ou un matériau de type communément appelé « high-k » tel que
25 du HfO₂.

La grille 108 du premier transistor T₁₁, peut avoir une dimension critique dc₁ comprise par exemple entre 10 et 1000 nanomètres (la dimension critique dc₁ étant mesurée dans une direction parallèle
30 à celle du vecteur \vec{i} d'un repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$ donné sur la figure 5). Tout au long de la présente

description, on entend par « dimension critique », la plus petite dimension d'un motif hormis son épaisseur.

La grille du premier transistor T_{11} peut également avoir une épaisseur comprise par exemple
5 entre 10 et 100 nanomètres (l'épaisseur de la grille étant mesurée dans une direction parallèle à celle du vecteur \vec{j} d'un repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$ donné sur la figure 5).

La grille 108 du premier transistor T_{11} peut
10 être par exemple à base d'un matériau semi-conducteur dopé tel que du polysilicium, ou d'un métal par exemple tel que du TiN.

Le dispositif comporte également au moins un deuxième transistor T_{21} formé au dessus du premier
15 transistor T_{11} , dans un niveau de l'empilement supérieur à celui du niveau dans lequel se trouve le premier transistor T_{11} .

Le deuxième transistor T_{21} comporte une région de source 112, une région de drain 114, ainsi
20 qu'une structure de canal 116, reliant la région de source 112 et la région de drain 114. Le deuxième transistor T_{21} comporte également une grille 118 reposant sur une couche de diélectrique 117 de grille.

Le diélectrique 117 de grille peut avoir
25 une épaisseur équivalente en SiO_2 , également appelée épaisseur EOT (EOT pour « Equivalent Oxide Thickness ») comprise par exemple entre 0,5 et 5 nanomètres. Le diélectrique de grille peut être par exemple du SiO_2 ou un matériau de type communément appelé « high-k » tel
30 que du HfO_2 .

La grille 118 du deuxième transistor T_{21} peut avoir une dimension critique dc_2 comprise par exemple entre 10 et 100 nanomètres (dc_2 étant mesurée dans une direction parallèle à celle du vecteur \vec{i} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$). La grille du deuxième transistor T_{21} peut également avoir une épaisseur comprise entre 10 nanomètres et 1000 nanomètres. La grille du deuxième transistor T_{21} peut être par exemple à base d'un matériau semi-conducteur tel que du polysilicium ou d'un métal par exemple tel que du TiN.

La grille 108 du premier transistor T_{11} et la zone de canal du deuxième transistor T_{21} sont espacés d'une distance ou d'une épaisseur e_c , choisie ou prédéterminée. La grille 108 du premier transistor T_{11} et la zone de canal du deuxième transistor T_{21} sont séparées par une zone isolante 120 nommée ILD (ILD pour « Inter layer dielectric » selon la terminologie anglo-saxonne ou diélectrique inter-niveaux) de faible épaisseur.

La zone isolante peut être par exemple à base de SiO_2 ou d'un matériau diélectrique communément appelé « high-k » tel que du HfO_2 .

La zone isolante 120 est mise en œuvre de manière à permettre un couplage entre la grille 108 du premier transistor T_{11} et le canal du deuxième transistor T_{21} , situé au dessus et en regard de la grille 108 du premier transistor T_{11} .

De préférence, l'épaisseur de cette zone isolante e_c est en particulier choisie bien inférieure à celle des épaisseurs des couches de matériaux diélectrique inter-niveaux dans les dispositifs suivant

l'art antérieur, et qui dans ces dispositifs, est prévue pour permettre d'isoler entre eux différents niveaux superposés de composants ou de lignes d'interconnexions.

5 Par épaisseur e_c ou distance e_c « faible », on entend que e_c peut être comprise entre 1 et 50 nanomètres d'épaisseur équivalente en SiO_2 , pour permettre le couplage.

En plus de l'épaisseur, la nature du
10 matériau diélectrique de la zone isolante, par exemple du SiO_2 ou du HfO_2 , est également choisie pour permettre d'obtenir un couplage entre la grille du transistor de niveau inférieur et la zone de canal du transistor de niveau.

15 L'épaisseur équivalente EOT en SiO_2 , d'un diélectrique « high-k » d'épaisseur $T_{\text{high-k}}$ est obtenue par la relation suivante :

$$EOT = \frac{\mathcal{E}_{\text{SiO}_2}}{\mathcal{E}_{\text{high-k}}} \cdot T_{\text{high-k}}$$

20 Par exemple, une couche de HfO_2 ayant une constante diélectrique $k=20$ et une épaisseur de 200nm, a une épaisseur équivalente EOT en SiO_2 de 50 nm.

Avec un tel dispositif, en fonction de la manière dont la polarisation de la grille 108 du premier transistor T_{11} est prévue, la tension de seuil
25 V_T du canal du deuxième transistor T_{21} peut être ajustée. A l'aide d'un tel dispositif, pour faire varier la tension de seuil V_T du canal du deuxième transistor T_{21} , on peut faire varier le potentiel

appliqué sur la grille 108 du transistor T_{11} de niveau inférieur.

La grille du premier transistor T_{11} permet ainsi de commander le potentiel de canal du transistor T_{21} de niveau supérieur.

Le premier transistor T_{11} et le deuxième transistor T_{21} sont disposés de sorte que la grille 108 du premier transistor T_{11} est située en regard de la zone semi-conductrice 116 de canal du deuxième transistor T_{21} . Dans cet exemple, les grilles 108 et 118 ont des motifs alignés dans une direction orthogonale au plan principal du substrat (dans une direction parallèle à celle du vecteur \vec{j} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$).

De préférence, pour obtenir un meilleur contrôle du potentiel de canal du deuxième transistor T_{21} , l'intégralité de la zone de canal du premier transistor T_{11} est disposée en regard de la zone semi-conductrice 116 de canal du deuxième transistor T_{21} .

La zone de canal 116 du deuxième transistor T_{21} peut être réalisée dans une couche semi-conductrice totalement désertée, de manière à permettre un contrôle électrostatique au niveau du canal d'inversion permettant une variation de tension de seuil. La zone de canal 116 du deuxième transistor T_{21} peut être formée dans une couche semi-conductrice d'épaisseur comprise par exemple entre 1 et 100 nm, ou par exemple entre 5 et 20 nanomètres. L'épaisseur choisie pour la couche semi-conductrice dans laquelle est réalisée le canal 116 est prévue notamment en fonction du niveau de

dopage de cette couche pour permettre un comportement totalement déplété.

Les zones de canal des transistors T_{11} et T_{21} peuvent être formées par exemple dans du Si ou dans un autre matériau semi-conducteur, par exemple tel que du Ge.

La zone isolante séparant la grille du transistor T_{11} à la couche semi-conductrice sur laquelle le transistor T_{21} est réalisé, est prévue pour permettre un couplage significatif de la grille avec le substrat. Par couplage significatif, on entend un couplage permettant de faire varier la tension de seuil du transistor T_{21} de niveau supérieur d'au moins 50 mV, pour une variation de la tension appliquée à la grille du transistor T_{11} de niveau inférieur entre 0 et V_{dd} ou $-V_{dd}$ et $+V_{dd}$ selon l'application, avec V_{dd} la tension d'alimentation du dispositif, par exemple de l'ordre de 1 Volt ou de 0.5 V.

Un modèle tel que celui décrit dans l'article de Lim et Fossum : IEEE Transactions on electron devices, vol. ED-30, n°10 Octobre 1983, peut être utilisé pour dimensionner la zone isolante afin d'obtenir une variation de tension de seuil désirée ΔV_{th} lorsque l'on fait varier de ΔV le potentiel de polarisation de la grille du premier transistor T_{11} .

Un tel modèle peut être utilisé en particulier dans le cas où le deuxième transistor T_{21} est réalisé sur une couche totalement désertée.

$$\Delta V_{th} = \frac{\frac{\epsilon_{sc}}{T_{sc}} \cdot \frac{\epsilon_{ILD}}{T_{ILD}}}{\frac{\epsilon_{ox}}{T_{ox}} \cdot \left(\frac{\epsilon_{sc}}{T_{sc}} + \frac{\epsilon_{ILD}}{T_{ILD}} \right)} \cdot \Delta V$$

Avec :

- ΔV_{th} la variation de tension de seuil du deuxième transistor T_{21} ,

5 - ϵ_{sc} , T_{sc} , respectivement la permittivité diélectrique et l'épaisseur de la couche semi-conductrice dans laquelle le canal 116 du transistor T_{21} est réalisé,

10 - ϵ_{ox} , T_{ox} , respectivement la permittivité diélectrique et l'épaisseur du diélectrique de grille du deuxième transistor T_{21} ,

15 - ϵ_{ILD} , T_{ILD} , respectivement la permittivité diélectrique et l'épaisseur du diélectrique de la zone isolante 120 séparant la couche semi-conductrice du deuxième transistor T_{21} de la grille 108 du premier transistor T_{11} .

Cela donne, lorsque le potentiel de la grille du premier transistor inférieur T_{11} varie de 0 à V_{DD} :

$$20 \quad \Delta V_{th} = \frac{\frac{\epsilon_{sc}}{T_{sc}} \cdot \frac{\epsilon_{ILD}}{T_{ILD}}}{\frac{\epsilon_{ox}}{T_{ox}} \cdot \left(\frac{\epsilon_{sc}}{T_{sc}} + \frac{\epsilon_{ILD}}{T_{ILD}} \right)} \cdot V_{DD} \quad (1)$$

25 Pour atteindre un couplage significatif correspondant à une variation de tension de seuil $\Delta V_{th} = 50\text{mV}$, dans le cas où les grilles 108 et 118 ont une dimension critique de l'ordre de 45 nm, que

l'épaisseur T_{sc} de la zone de canal 116 est égale à 7 nm, que cette dernière est en silicium, que l'épaisseur T_{ox} de la zone de diélectrique 117 est égale à 1 nm, que cette dernière est à base de SiO_2 , que
 5 $V_{dd} = 1V$, et que la zone 120 est en SiO_2 , la zone isolante 120 est prévue par exemple avec une épaisseur de l'ordre 17,5 nm.

Pour atteindre par exemple un couplage identique avec une zone isolante séparant les
 10 transistors superposés à base de HfO_2 avec une permittivité de 20, l'épaisseur physique de la couche de « high-k » est de l'ordre 90,5 nm.

Dans le cas où le diélectrique de la zone isolante 120 est à base d'un matériau « high-k »,
 15 l'épaisseur T_{high-k} à prévoir pour cette zone isolante 120 est déterminée par la formule précédente, en remplaçant T_{ox} par :

$$T_{ox} = \frac{\epsilon_{SiO_2}}{\epsilon_{high-k}} \cdot T_{high-k}$$

Le premier transistor T_{11} et le deuxième
 20 transistor T_{21} , peuvent être également dotés de zones d'accès au canal siliciurées.

Le premier transistor T_{11} et le deuxième transistor T_{21} peuvent être des transistors d'une cellule mémoire, en particulier d'une cellule mémoire
 25 SRAM.

Une modification dynamique de la tension de seuil V_T du deuxième transistor peut être obtenue à l'aide de moyens (non représentés sur la figure 5) pour appliquer un potentiel variable, prévus pour :

- lors d'une phase, appliquer un potentiel sur la grille du premier transistor,

- lors d'une autre phase, appliquer un autre potentiel sur la grille du premier transistor.

5 Selon une possibilité de mise en œuvre, pendant la première phase, le premier transistor peut être mis à l'état passant, tandis que pendant la deuxième phase, le premier transistor peut être mis à l'état bloqué.

10 Dans l'exemple de dispositif illustré sur la figure 5, une zone métallique de contact 180 commune entre les zones actives des transistors T_{11} et T_{21} est prévue. Cette zone de contact peut être par exemple une zone de contact 180 de source commune.

15 Le dispositif comporte également une zone métallique de contact 182 prévue par exemple pour le drain du deuxième transistor T_{21} , ainsi qu'une zone métallique de contact par exemple pour le drain du premier transistor T_{11} .

20 Un exemple de dispositif microélectronique avec deux transistors, vient d'être décrit.

Un dispositif suivant l'invention peut comprendre un nombre plus élevés de transistors, par exemple un nombre n (avec n un entier tel que $n > 2$) de transistors T_{11} , T_{21} , $T_{(n-1)1}$, T_{n1} superposés, chaque transistor T_k d'un niveau donné N_k (avec k un entier tel que $1 < k < n$) comportant une zone de canal susceptible d'être couplée à l'électrode de grille d'un transistor T_{k-1} de niveau N_{k-1} inférieur au niveau donné N_k , cette grille étant située en regard de ladite zone de canal,

25

30

à une distance prédéterminée suffisamment faible pour permettre un tel couplage (figure 6).

Plusieurs transistors peuvent être prévus au sein d'un même niveau du dispositif, éventuellement
5 plusieurs transistors de même type, N ou P, ou des transistors de types différents.

Dans un tel dispositif, la zone semi-conductrice de canal d'un transistor est séparée de l'électrode de grille d'un transistor de niveau
10 inférieur N_{k-1} par l'intermédiaire d'un diélectrique inter-niveau, dont l'épaisseur est prévue suffisamment faible pour permettre un couplage entre la grille du transistor dudit niveau inférieur N_{k-1} et le canal du transistor de niveau supérieur N_k . Cette épaisseur est
15 dépend notamment de la gamme de tension selon laquelle on souhaite moduler la tension de seuil V_T du transistor de niveau supérieur.

Pour mettre en œuvre un dispositif microélectronique suivant l'invention, on peut partir
20 d'une technologie particulière, associée à un ensemble de paramètres prédéfinis, tels que par exemple la dimension critique de grille, la gamme de tension d'alimentation utilisée, puis en fonction de ces paramètres prédéfinis, on détermine l'épaisseur et le
25 matériau de la zone isolante destinée à séparer les transistors superposés afin de permettre un couplage adéquat (c'est-à-dire permettant une variation de V_T recherchée d'au moins par exemple d'au moins 50 mV). L'épaisseur et le matériau de la zone isolante peuvent
30 être déterminés à l'aide d'un modèle tel que celui défini par la formule (1) donnée plus haut.

Dans un tel dispositif, le transistor T_{11} du niveau N_1 le plus bas a une tension de seuil fixe dans la mesure où il repose directement sur le substrat.

Sur la figure 7, une variante de l'exemple de dispositif décrit en liaison avec la figure 5 est donnée. Pour cette variante, des transistors superposés T_{12} et T_{22} , ont des grilles 218, 318, dont les centres respectifs ne sont pas alignés dans une direction orthogonale au plan principal du substrat.

Le premier transistor T_{12} comporte une grille 218, de largeur W_1 , tandis que le deuxième transistor T_{22} situé au dessus du premier transistor T_{12} , est doté d'une grille de largeur W_2 supérieure à celle du premier transistor T_{12} .

Pour favoriser le couplage entre la grille du premier transistor et la zone de canal du deuxième transistor, le dessus ou la face supérieure de la grille du premier transistor est située en regard de la zone de canal du deuxième transistor, bien que les deux grilles aient des largeurs différentes et soient décentrées.

Sur les figures 8 à 10, des courbes C_{10} , C_{20} , C_{30} , illustrent le phénomène de couplage dans un dispositif microélectronique suivant l'invention, du type de celui décrit par exemple en liaison avec la figure 5. Le couplage est mis en œuvre entre une grille du premier transistor T_{11} et le canal du deuxième transistor T_{21} situé au dessus du premier transistor T_{11} , la grille du premier transistor et le canal du deuxième transistor étant séparés par une épaisseur de

matériau diélectrique, par exemple de l'ordre de 10 nanomètres.

Si l'on polarise la grille du premier transistor T_{11} , et que l'on fait varier, par exemple
5 entre 0 et 1 V, le potentiel V_{g1} appliqué sur cette grille, on observe une modification de la tension de seuil V_{t2} du deuxième transistor T_{21} . Ce phénomène est illustré sur la courbe C_{10} de la figure 8. Pour une telle variation du potentiel V_{g1} , on peut obtenir une
10 variation de V_{t2} de l'ordre de 130 mV.

A titre de comparaison, des courbes C_{12} et C_{14} montrent l'évolution de la tension de seuil de transistors dans des dispositifs d'agencement semblable, mais dans lesquels l'épaisseur
15 de diélectrique T_{ILD} entre la grille du premier transistor et la zone de canal est plus importante ($T_{ILD} = 50$ nanomètres pour le dispositif de la courbe C_{12} et $T_{ILD} = 300$ nanomètres pour celui de la courbe C_{14}) et empêche ou réduit fortement le couplage.

La figure 9 montre, quant à elle, que dans
20 un dispositif suivant l'invention et par exemple du type de celui de la figure 5, une variation du potentiel V_{g1} de la grille du premier transistor T_{11} , de -1V à 1V, peut entraîner une variation δI_{OFF} du courant
25 I_{OFF} à l'état bloqué, de l'ordre de 6 décades (courbe C_{20} sur la figure 9). A titre de comparaison, des courbes C_{22} et C_{24} sur cette même figure 9, montrent l'évolution du courant I_{off} du deuxième transistor d'un dispositif d'agencement semblable, mais dont l'épaisseur
30 de diélectrique T_{ILD} entre la grille du premier transistor et la zone de canal du deuxième transistor

($T_{ILD} = 50$ nanomètres pour celui de la courbe C_{22} et $T_{ILD} = 300$ nanomètres pour celui de la courbe C_{24}) est plus importante et empêche ou réduit fortement le couplage.

5 La figure 10 montre, quant à elle, que dans un dispositif suivant l'invention, par exemple du type de celui de la figure 5, une variation du potentiel V_{g1} de la grille du premier transistor T_{11} , de $-1V$ à $1V$, peut entraîner une variation δI_{ON} du courant I_{ON} dans le
10 canal du deuxième transistor, de l'ordre de 53 %, lorsque ce dernier est à l'état passant (courbe C_{30} sur la figure 10). A titre de comparaison, des courbes C_{22} et C_{24} sur cette même figure 8, montrent l'évolution du courant I_{ON} du deuxième transistor dans des dispositifs
15 d'agencement semblable, mais dont les épaisseurs T_{ILD} respectives de diélectrique entre la grille du premier transistor et la zone de canal ($T_{ILD} = 50$ nanomètres pour la courbe C_{22} et $T_{ILD} = 300$ nanomètres pour la courbe C_{24}) empêchent ou réduit fortement le couplage.

20 Une modification dynamique de la tension de seuil V_T d'un transistor donné du dispositif microélectronique consiste, par exemple :

- à imposer, lors d'une première phase, à l'aide d'un premier potentiel donné V_1 appliqué sur la
25 grille d'un autre transistor situé sous le transistor donné, une tension de seuil V_T élevée lorsque le transistor donné est à l'état bloqué,

- à imposer, lors d'une deuxième phase, à l'aide d'un deuxième potentiel donné V_2 appliqué sur la
30 grille dudit autre transistor, une tension de seuil V_T faible lorsque le transistor est à l'état passant.

La courbe C_{40} illustre le phénomène de couplage dans un dispositif microélectronique suivant l'invention, entre une grille d'un premier transistor portée à un potentiel V_{g1} variant entre -1V et 1V et un canal d'un deuxième transistor PMOS situé au dessus du premier transistor, la grille du premier transistor et le canal du deuxième transistor étant séparés par une épaisseur de matériau diélectrique équivalente en SiO_2 , de l'ordre de 10 nanomètres.

La courbe C_{42} illustre quant à elle le phénomène de couplage dans un dispositif microélectronique suivant l'invention, entre une grille d'un premier transistor portée à un potentiel V_{g1} variant entre -1V et 1V et un canal d'un deuxième transistor NMOS situé au dessus du premier transistor, la grille du premier transistor et le canal du deuxième transistor étant séparés par une épaisseur de matériau diélectrique T_{ILD} , par exemple du SiO_2 de l'ordre de 10 nanomètres.

Sur la figure 12A, les 3 derniers étages d'un dispositif microélectronique suivant l'invention (du type de ceux décrits précédemment en liaison avec les figures 5 et 6) à N étages de transistors superposés sont représentés.

La grille du transistor du $N-1^{\text{ème}}$ étage est reliée ou connectée à des moyens de polarisation 410_{N-1} , ce qui permet d'influer par couplage, sur le potentiel du canal du transistor de l'étage N supérieur.

De même, la grille du transistor du $N-2^{\text{ème}}$ étage est reliée ou connectée à des moyens de polarisation 410_{N-2} , ce qui permet d'influer, par

couplage, sur le potentiel du canal du transistor du N-1^{ème} étage.

Les moyens de polarisation 410_N et 410_{N-1} sont prévus pour appliquer un potentiel de polarisation qui peut être variable. Dans cet exemple, les transistors sont tous fonctionnels et peuvent jouer le rôle d'interrupteur, par exemple dans un mémoire ou dans une porte logique. Le potentiel appliqué peut être un potentiel positif compris entre deux valeurs données de potentiels, 0 et Vdd avec Vdd un potentiel d'alimentation du dispositif par exemple de l'ordre de 1 V ou de 0,1 V.

Sur la figure 12B, une variante de l'exemple de configuration qui vient d'être décrite est donnée. Pour cette variante, la superposition de transistors comporte un transistor 500 au N-1^{ème} étage qui n'est pas utilisé pour fonctionner en interrupteur mais seulement comme moyen pour faire varier le potentiel du canal du transistor situé au N^{ième} étage, en fonction de la manière dont sa grille est polarisée.

La grille du transistor 500 situé au N-1^{ème} étage est reliée ou connectée à des moyens de polarisation 510_{N-1}, ce qui permet d'influer, par couplage, sur le potentiel du canal du transistor de l'étage N supérieur.

De même, la grille du transistor du N-2^{ème} étage est reliée ou connectée à des moyens de polarisation 410_{N-2}, ce qui permet d'influer, par couplage, sur le potentiel du canal du transistor du N-1^{ème} étage.

Les moyens de polarisation 510_{N-1} sont dans cet exemple prévus pour appliquer un potentiel de polarisation qui peut être compris dans une deuxième gamme de valeurs de potentiels négatifs et positifs, dans la mesure où le transistor 500 est utilisé pour le couplage à l'aide de sa grille plutôt que pour sa fonction de transistor. La deuxième gamme de valeur peut être par exemple comprise entre $-V_{dd}$ et V_{dd} , avec V_{dd} le potentiel d'alimentation du dispositif, par exemple de l'ordre de 1V ou de 0,1V.

De même, la grille du transistor du $N-2^{\text{ème}}$ étage est reliée ou connectée à des moyens de polarisation 510_{N-2} , ce qui permet d'influer, par couplage, sur le potentiel du canal du transistor du $N-1^{\text{ème}}$ étage.

Les moyens de polarisation 510_{N-2} sont, dans cet exemple, prévus pour appliquer un potentiel de polarisation qui peut être positif et compris dans une gamme de potentiels, par exemple entre 0 et V_{dd} , avec V_{dd} un potentiel d'alimentation du dispositif.

Un autre exemple de dispositif microélectronique suivant l'invention, avec plusieurs niveaux de transistors superposés, est donné sur la figure 13.

Ce dispositif comprend une première zone $Z1$, comportant plusieurs transistors T_{10n} , $T_{10(n-1)}$ dont les zones de canal sont couplées respectivement aux grilles de transistors $T_{10(n-1)}$, $T_{10(n-2)}$ de niveau inférieur. Ce dispositif comprend également une deuxième zone $Z2$, comportant plusieurs transistors T_{20n} , $T_{30(n-1)}$ d'un même niveau dont les zones de canal ne sont

pas couplées aux grilles des transistors $T_{20(n-2)}$, $T_{30(n-2)}$ de niveau inférieur.

Ainsi le dispositif comporte une première zone Z1 où un couplage entre transistors est mis en œuvre, et une autre zone Z2, à côté de la première zone Z1, où les transistors superposés sont découplés.

Le dispositif peut comporter ainsi une première zone Z1 où on réalise une modulation de la tension de seuil de certains transistors et une autre zone Z2, à côté de la première zone Z1, où les transistors ont une tension de seuil fixe.

Un autre exemple de dispositif microélectronique, mis en œuvre suivant l'invention, est illustré sur la figure 14.

Ce dispositif diffère de celui décrit précédemment en liaison avec la figure 5, en ce qu'il comporte entre les transistors T_{11} et T_{21} , une zone isolante comportant plusieurs matériaux diélectriques différents, en particulier ayant des constantes diélectriques différentes, l'épaisseur et la répartition desdits matériaux diélectriques étant prévues de manière à permettre un couplage dans une première région R_1 située entre la grille du premier transistor T_{11} et le canal du deuxième transistor T_{21} , et empêcher le couplage entre les transistors T_{11} et T_{21} dans une région R_2 située autour de cette première région R_1 .

Pour cela, la grille 108 du premier transistor T_{11} et la zone de canal 116 du deuxième transistor T_{21} sont séparés par un premier matériau

diélectrique 420 ayant une première constante diélectrique k_1 .

Autour de cette première région R1, au-dessus des régions de source et de drain du premier transistor T_{11} sont prévus des zones isolantes formées à base d'un deuxième matériau diélectrique 422 ayant une deuxième constante diélectrique k_2 , telle que $k_2 < k_1$.

La première région R1 peut être remplie d'un matériau diélectrique « high-k » par exemple tel que du HfO_2 d'épaisseur par exemple de l'ordre de 40 nanomètres, tandis que la région située autour de cette première région peut être remplie d'un matériau diélectrique d'épaisseur par exemple de l'ordre de 100 nanomètres, de constante diélectrique plus faible tel que du SiO_2 .

Avec un tel dispositif, en fonction de la manière dont la polarisation de la grille 108 du premier transistor T_{11} est prévue, la tension de seuil V_T du canal du deuxième transistor T_{21} peut être ajustée. La grille du premier transistor T_{11} permet ainsi de commander le potentiel de canal du transistor T_{21} de niveau supérieur. On évite cependant les phénomènes de couplage du deuxième transistor T_{21} avec le premier transistor T_{11} dans des zones situées en dehors du canal du deuxième transistor.

Un autre exemple de dispositif microélectronique, mis en œuvre suivant l'invention, est illustré sur la figure 15. Comme dans l'exemple décrit précédemment en liaison avec la figure 14, ce dispositif comporte une zone isolante séparant les

transistors T_{11} et T_{21} , avec plusieurs matériaux diélectriques différents.

La grille 108 du premier transistor T_{11} et la zone de canal 116 du deuxième transistor T_{21} sont
5 séparés par une première région $R'1$ à base d'un premier matériau diélectrique 420, par exemple un matériau diélectrique ayant une première constante diélectrique k_1 . Autour de cette première région $R'1$, dans une région $R'2$ située au dessus des régions de source et de
10 drain du premier transistor T_{11} figure des zones isolantes formées d'un empilement du premier matériau diélectrique 420 et d'un deuxième matériau diélectrique 422 ayant une deuxième constante diélectrique k_2 , telle que $k_2 < k_1$.

15 Avec un tel dispositif, en fonction de la manière dont la polarisation de la grille 108 du premier transistor T_{11} est prévue, la tension de seuil V_T du canal du deuxième transistor T_{21} peut être ajustée. La grille du premier transistor T_{11} permet
20 ainsi de commander le potentiel de canal du transistor T_{21} de niveau supérieur. On évite également les phénomènes de couplage du deuxième transistor T_{21} avec le premier transistor T_{11} dans la deuxième région $R'2$.

Un exemple de procédé de réalisation d'un
25 dispositif microélectronique suivant l'invention, tel que décrit en liaison avec la figure 5, va à présent être donné en liaison avec les figures 16A-16C et 17.

On réalise tout d'abord (figure 16A) sur un substrat 100, une structure de transistor T_{11} comportant
30 une région de source 102, une région de drain 104, ainsi qu'une zone 106 de canal, reliant la région de

source 102 et la région de drain 104, une zone de diélectrique 107 de grille et une grille 108 sur la zone 107 de diélectrique de grille. Des espaceurs isolants 111a, 111b peuvent être également réalisés de part et d'autre de la grille 108. La réalisation des zones de source et de drain peut comprendre la formation de zones semi-conductrices fortement dopées 102a, 104a communément appelées HDD (HDD pour « Highly doped drain »), surmontées de zones siliciurées 102b, 104b. Des zones d'accès 112 au canal faiblement dopées, communément appelées zones LDD (LDD pour « lightly doped drain ») peuvent être également réalisées.

Ensuite, on recouvre le transistor d'une couche 113 de matériau diélectrique, par exemple à base d'un matériau « high-k » tel que du HfO₂ ou de SiO₂. (figure 16B) que l'on peut ensuite planariser par exemple par polissage mécano-chimique (CMP).

Puis, on reporte, par exemple par collage, une couche semi-conductrice 110 recouverte par une couche isolante 111 sur la couche 113, de manière à mettre en contact les couches isolantes 111 et 113. L'épaisseur cumulée des couches isolantes 111 et 113 au dessus de la grille 108, est prédéterminée, et prévue de manière à ce qu'un couplage entre la grille 108 du transistor 111 et une zone de canal destinée à être formée dans la couche semi-conductrice 110, puisse être mis en œuvre.

L'épaisseur cumulée peut être comprise entre 1 et 50 nanomètres équivalente en SiO₂ (figure 16C).

Selon une variante on peut reporter, par exemple par collage, une couche semi-conductrice 110 directement sur la couche 113. L'épaisseur e_c de la couche isolante 113 au dessus de la grille 108, est alors également prédéterminée, et prévue de manière à permettre ultérieurement, un couplage entre la grille 108 du transistor 111 et une zone de canal destinée à être formée dans la couche semi-conductrice 110 (figure 17).

Une variante de l'exemple de dispositif décrit en liaison avec la figure 5, prévoit une zone de contact 480 entre la grille G1 du premier transistor T_{11} et la grille G2 du deuxième transistor T_{21} (figure 18).

Avec un tel dispositif, on peut obtenir un courant I_{on} plus élevé dans le canal du deuxième transistor T21 sans augmenter le courant I_{off} à l'état bloqué, en modifiant dynamiquement la tension de seuil du deuxième transistor T21.

Le premier transistor T11 peut être utilisé en tant que grille de contrôle de la tension de seuil du transistor T21 du niveau supérieur.

En effet, en prenant l'exemple d'un transistor de type N,

On définit la tension de seuil standard d'un nMOS par $V_{t_{s,n}} = V_t (V_{g1}=0)$.

A l'état passant :

Les potentiels V_{g2} et V_{g1} appliqués sur les grilles G1 et G2 sont tels que $V_{g2}=V_{g1}=V_{dd}$

Selon les résultats de simulation de la figure 11, la tension de seuil du deuxième transistor T21 est abaissée :

$V_{t_{on}} < V_t$, ce qui permet d'obtenir un courant I_{on} plus important.

A l'état bloqué :

Les potentiels V_{g2} et V_{g1} appliqués sur les
5 grilles G1 et G2 sont tels que $V_{g2} = V_{g1} = 0$.

Dans ce cas, la tension de seuil reprend une valeur standard et le courant I_{off} reste faible.

La structure proposée permet d'améliorer le courant à l'état passant sans dégrader le courant à
10 l'état bloqué.

Une application possible pour l'un ou l'autre des exemples de dispositifs microélectroniques est la mise en œuvre de cellules mémoires améliorées, en particulier de cellules SRAM améliorées.

15 De telles cellules peuvent ainsi comporter une pluralité de transistors superposés, dont un ou plusieurs transistors ont une grille, qui, suivant la manière dont elle est polarisée, permet de moduler la tension de seuil V_T d'un transistor dont la zone de
20 canal est située au dessus et en regard de ladite grille, à une distance permettant un couplage entre ladite grille et ladite zone de canal.

Sur la figure 19 un exemple d'agencement d'électrode de grille au sein d'un dispositif
25 microélectronique suivant l'invention est donné.

Dans cet exemple, le dispositif est formé sur un substrat 500 de type semi-conducteur sur isolant et comporte une première couche de support recouverte par une couche isolante 502, par exemple à base de
30 SiO_2 , elle-même recouverte par une zone semi-conductrice 516, par exemple à base de Si, dans

laquelle la zone de canal du premier transistor T_{11} est formée.

De part et d'autre de cette zone semi-conductrice 516 de canal, des zones de matériau diélectrique 511 sont prévues. Ces zones peuvent avoir une épaisseur égale ou sensiblement égale à l'épaisseur de la zone semi-conductrice. Le diélectrique 507 de grille et la grille 508 du premier transistor T_{11} , reposent sur lesdites zones isolantes 511 et sur la zone semi-conductrice 516. Ces zones diélectriques permettent de diminuer la topographie du premier transistor T_{11} et peuvent avoir été prévues afin de faciliter les éventuelles étapes de planarisation lors de la formation du deuxième transistor au dessus du premier transistor. Cela permet également de palier à un éventuel problème de désalignement entre les deux grilles. Dans cet exemple d'agencement, l'épaisseur située entre l'électrode de grille 508 et la zone semi-conductrice 516 est constante.

Le deuxième transistor T_{22} (dont seule la zone 516 de canal est représentée) est formé au dessus du premier transistor et séparé de la grille de ce dernier par l'intermédiaire d'une zone isolante, de composition et d'épaisseurs prévus pour permettre un couplage entre la grille 508 du premier transistor et le canal du deuxième transistor.

REVENDICATIONS

1. Dispositif microélectronique comprenant :

- 5 - un substrat (100) surmonté d'un empilement de couches,
- au moins un premier transistor (T_{11}) situé à un niveau donné dudit empilement,
- au moins un deuxième transistor
- 10 (T_{21}) situé à un deuxième niveau dudit empilement, au dessus dudit niveau donné, le premier transistor (T_{11}) comportant une électrode de grille (108) située en regard d'une zone de canal (116) du deuxième transistor (T_{21}) et séparée de cette zone de canal par
- 15 l'intermédiaire d'une zone isolante entre ladite grille dudit premier transistor et ledit canal dudit deuxième transistor, ladite zone isolante étant prévue de manière à permettre un couplage entre cette électrode de grille et ce canal,
- 20 le dispositif étant doté en outre : de moyens pour moduler la tension de seuil du deuxième transistor, comprenant des moyens de polarisation destinés à appliquer un potentiel variable sur ladite grille dudit premier transistor et prévus pour :
- 25 - appliquer à la grille du premier transistor, pendant une première phase, au moins un premier potentiel,
- appliquer à la grille du premier transistor, pendant une deuxième phase, au moins un
- 30 deuxième potentiel, différent dudit premier potentiel.

2. Dispositif microélectronique selon la revendication 1, dans lequel ladite zone isolante (120) a une épaisseur équivalente en SiO_2 comprise entre 1 et 50 nanomètres.

5

3. Dispositif microélectronique selon l'une des revendications 1 ou 2, dans lequel ladite zone isolante (120) est à base de SiO_2 ou d'un matériau high-k tel que du HfO_2 .

10

4. Dispositif microélectronique selon l'une des revendications 1 à 3, dans lequel le deuxième transistor (T_{21}) est formé sur une couche semi-conductrice totalement déplétée.

15

5. Dispositif microélectronique selon l'une des revendications 1 à 4, le couplage étant tel qu'une variation du potentiel de grille du premier transistor (T_{11}) entraîne une variation de la tension de seuil du deuxième transistor (T_{21}).

20

6. Dispositif microélectronique selon l'une des revendications 1 à 5, dans lequel V_{dd} est une tension d'alimentation du dispositif, le couplage étant tel qu'une variation du potentiel de grille du premier transistor 0 à V_{dd} , permette d'obtenir une variation de tension de seuil du deuxième transistor d'au moins 50 mV.

25

7. Dispositif microélectronique selon la revendication 6, ledit potentiel variable, variant entre 0 et Vdd ou entre -Vdd et + Vdd.

5 8. Dispositif microélectronique selon l'une des revendications 1 à 7, dans lequel entre ladite grille et ladite zone de canal, ladite zone isolante (120) est formée d'une première région (R1, R'1) à base d'un premier matériau diélectrique (420)
10 ayant une première constante diélectrique k_1 , en regard des zones de source et de drain dudit premier transistor, ladite zone étant formée d'une deuxième région (R2, R'2) comportant au moins un deuxième matériau diélectrique (422) ayant une deuxième
15 constante diélectrique k_2 telle que $k_2 < k_1$.

9. Dispositif microélectronique selon la revendication 8, ladite deuxième région (R'2) comportant un empilement dudit premier matériau diélectrique (420) et dudit deuxième matériau diélectrique (422).

10. Dispositif microélectronique selon l'une des revendications 1 à 9, la zone de canal du premier transistor (T_{11}) étant située totalement en regard de la grille du deuxième transistor (T_{21}).

11. Dispositif microélectronique selon l'une des revendications 1 à 10, comportant en outre, dans un axe orthogonal au plan principal du substrat passant par la grille du premier transistor et/ou du

deuxième transistor, un ou plusieurs autres transistors.

12. Dispositif microélectronique selon
5 l'une des revendications 1 à 11, comprenant en outre :
au moins un troisième transistor (T_{21}) situé au niveau
dudit premier transistor dans ledit empilement, et au
moins un quatrième transistor (T_{21}) situé au dessus
troisième transistor, le quatrième transistor (T_{21}) et
10 le troisième transistor étant séparés par
l'intermédiaire d'une zone diélectrique prévue pour
empêcher un couplage entre le troisième transistor et
le quatrième transistor.

13. Dispositif microélectronique selon
15 l'une des revendications 1 à 11, comprenant en outre :
au moins un troisième transistor (T_{21}) situé au niveau
dudit premier transistor dans ledit empilement, et au
moins un quatrième transistor (T_{21}), un cinquième
20 transistor (T_{21}) de découplage étant situé entre le
troisième transistor et le quatrième transistor.

14. Dispositif microélectronique selon
l'une des revendications 1 à 13, comprenant en outre :
25 un ou plusieurs autres transistors dans un plan
parallèle au plan principal du substrat et passant par
la grille (108) du premier transistor (T_{11}) et/ou la
grille (118) du deuxième transistor (T_{21}).

15. Dispositif microélectronique selon
30 l'une des revendications 1 à 14, comprenant en outre au

moins un plot de contact entre la grille du premier transistor et la grille du deuxième transistor.

16. Dispositif microélectronique selon
5 l'une des revendications 1 à 15, dans lequel le dispositif comprend au moins un transistor (T_{11}) doté d'un canal formé dans une zone semi-conductrice (516), ainsi que part et d'autre de ladite zone semi-conductrice, des zones de matériau diélectrique (511)
10 d'épaisseur égales ou sensiblement égales à l'épaisseur de la zone semi-conductrice (516), le diélectrique (507) de grille et la grille (508) du premier transistor, reposant sur lesdites zones de matériau diélectrique (511) et sur la zone semi-conductrice
15 (516).

17. Dispositif microélectronique selon
l'une des revendications 1 à 16, dans lequel ledit premier potentiel est prévu pour rendre passant ledit
20 deuxième transistor et imposer une première tension de seuil au deuxième transistor, ledit deuxième potentiel étant prévu pour rendre bloqué ledit deuxième transistor et imposer une deuxième tension de seuil, supérieuree à ladite première tension de seuil.

25

18. Dispositif microélectronique selon
l'une des revendications 1 à 17, dans lequel les transistors appartiennent à une cellule mémoire SRAM.

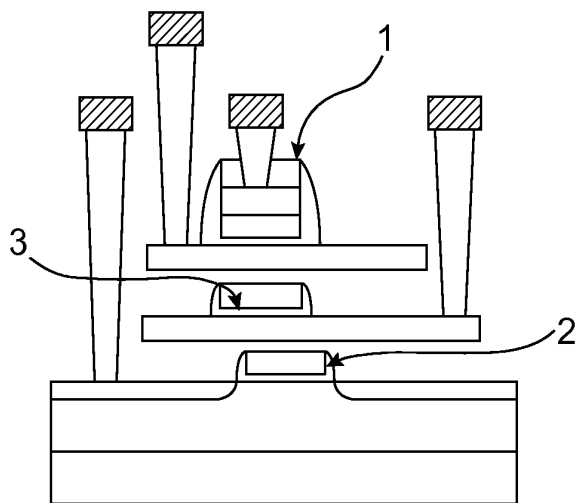


FIG. 1

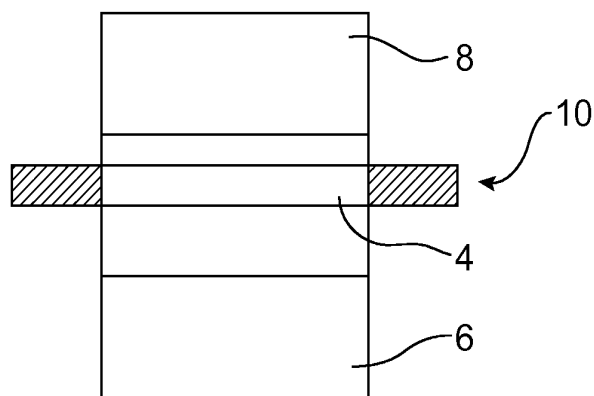


FIG. 2

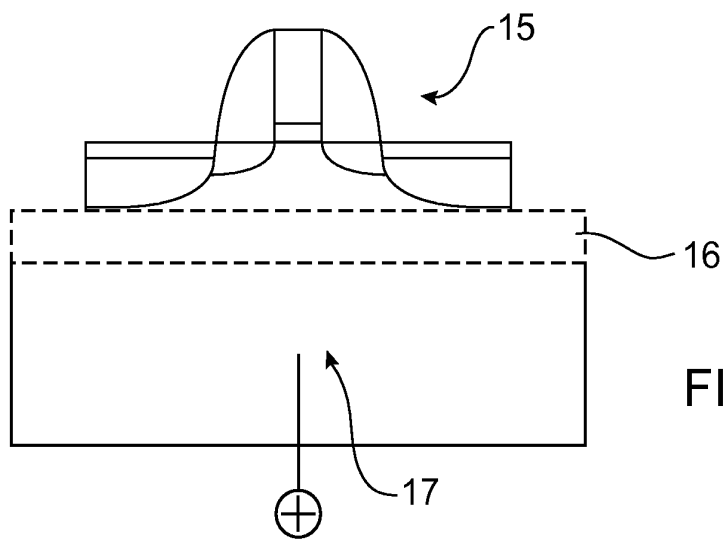


FIG. 3

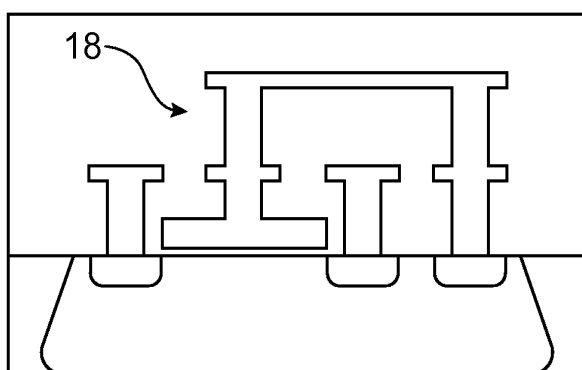


FIG. 4

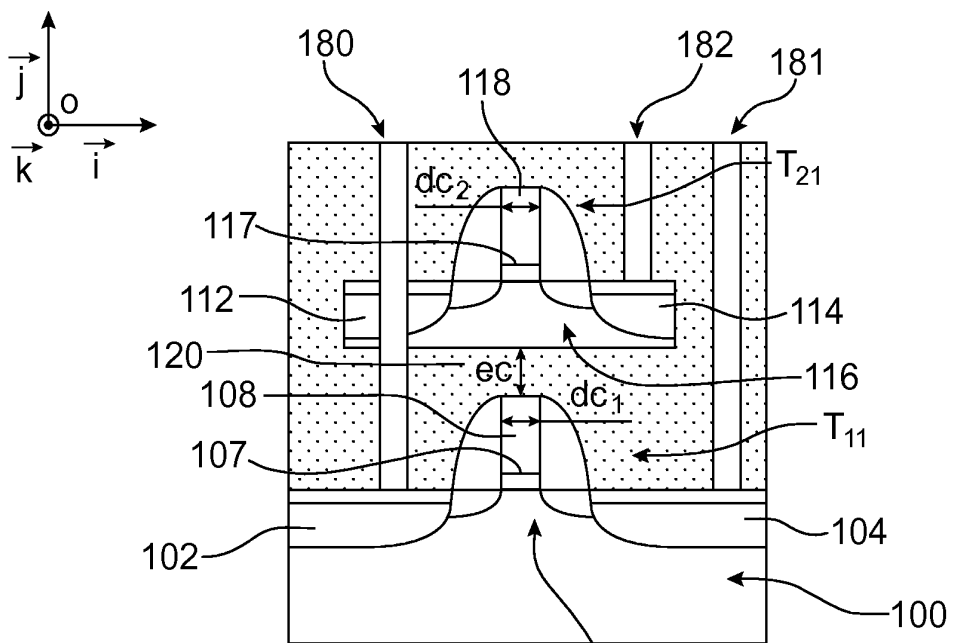


FIG. 5

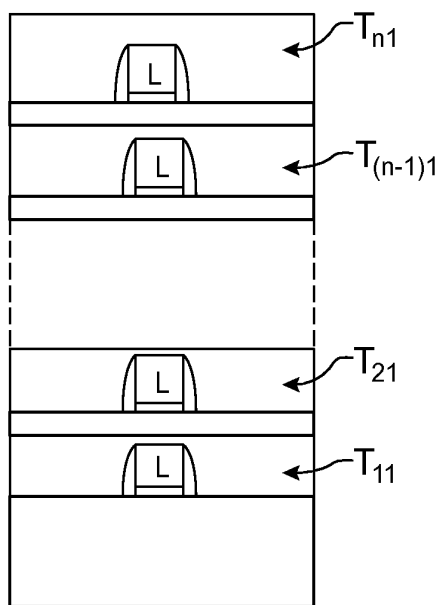


FIG. 6

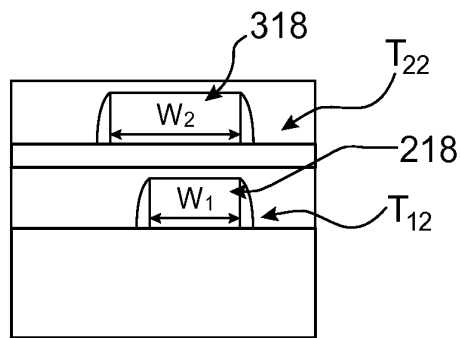


FIG. 7

3 / 7

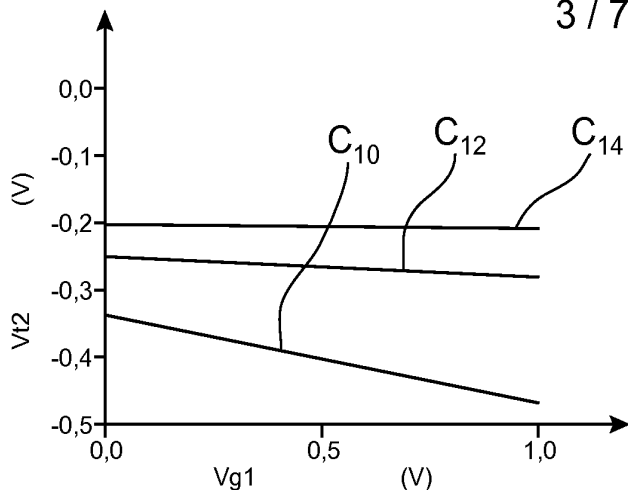


FIG.8

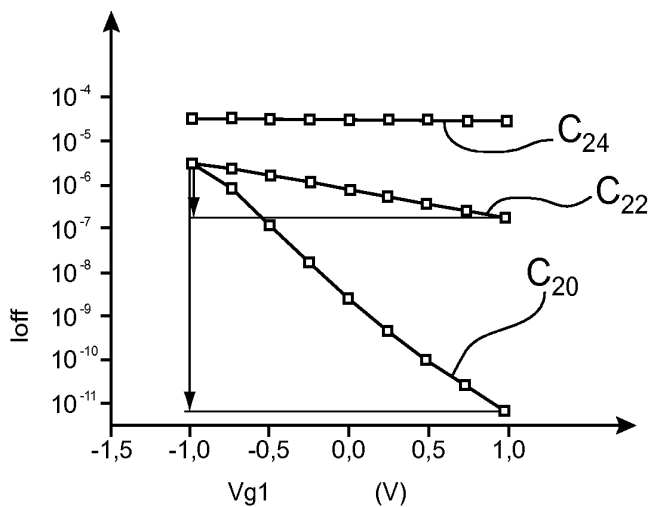


FIG.9

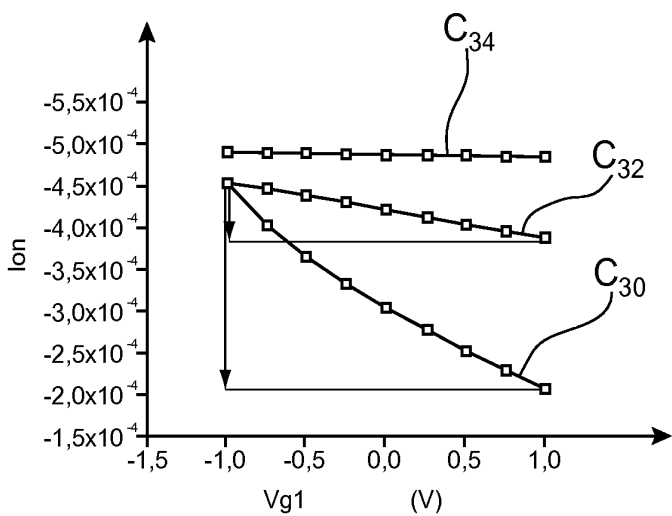


FIG.10

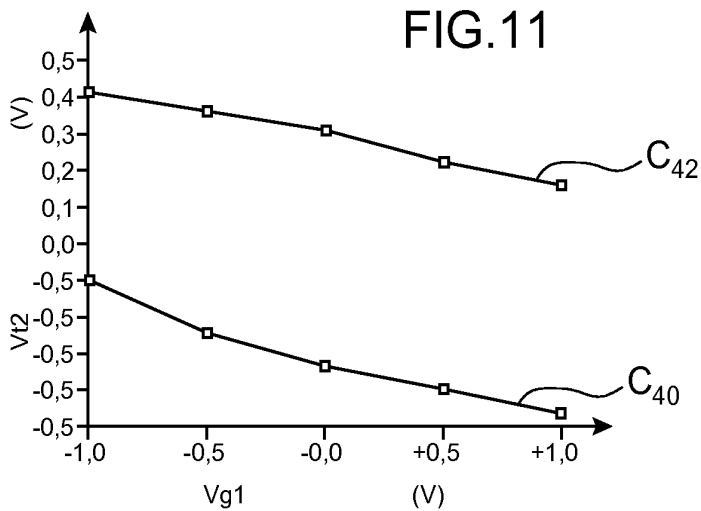


FIG.11

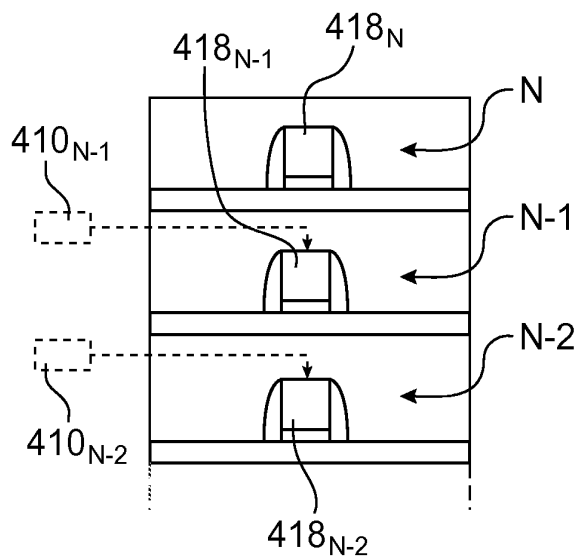


FIG. 12A

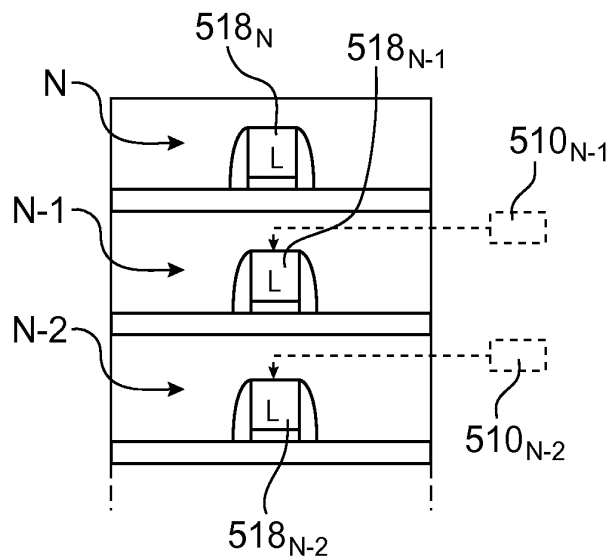


FIG. 12B

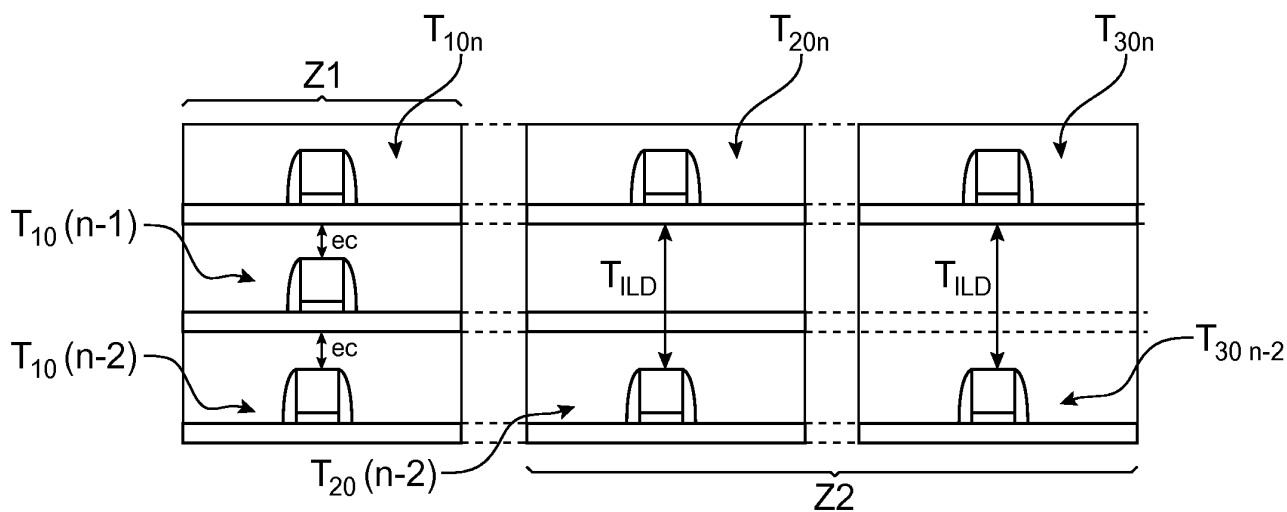


FIG. 13

5 / 7

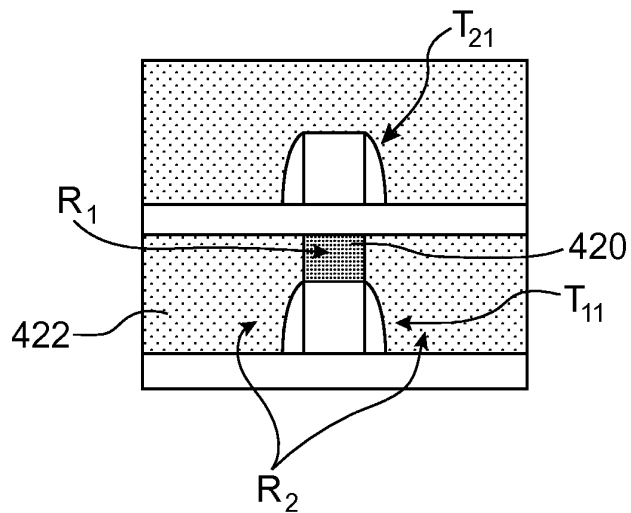


FIG. 14

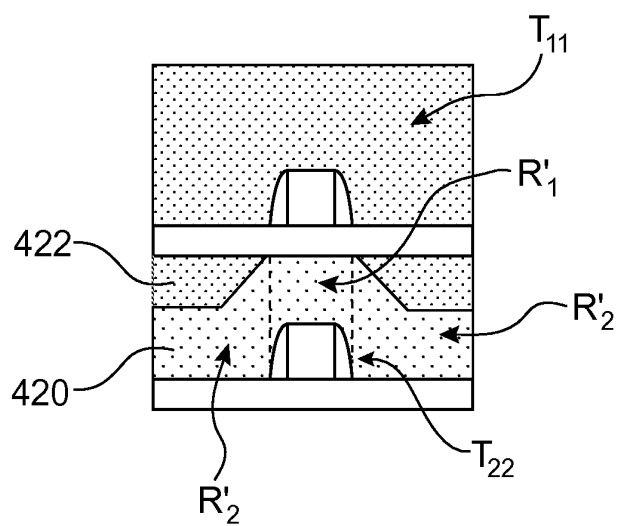


FIG. 15

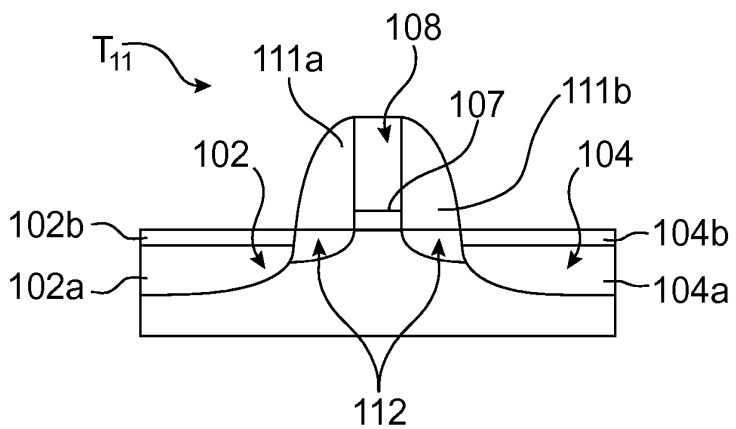


FIG. 16A

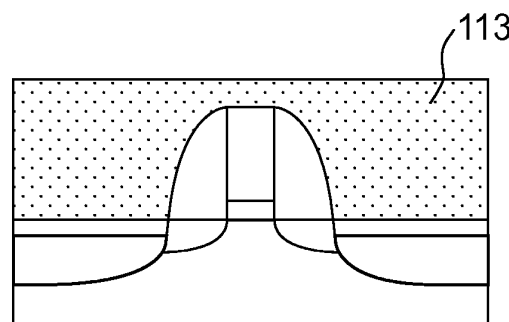


FIG. 16B

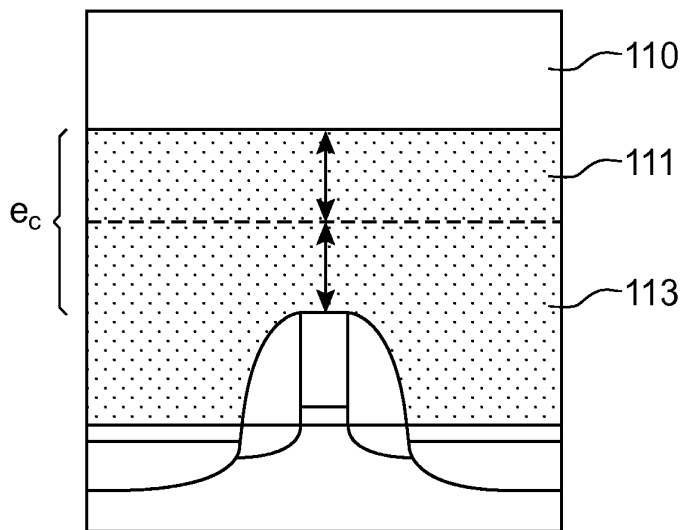


FIG. 16C

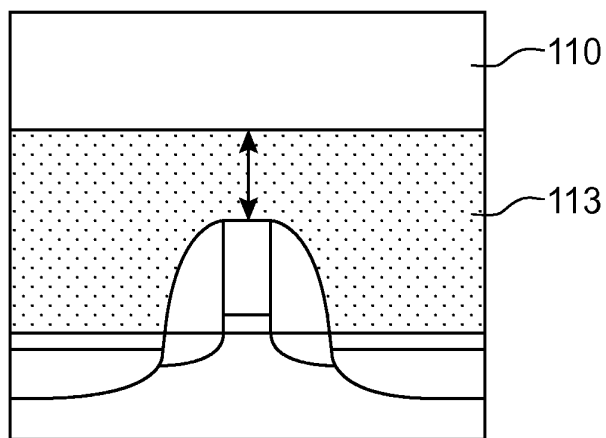


FIG. 17

7 / 7

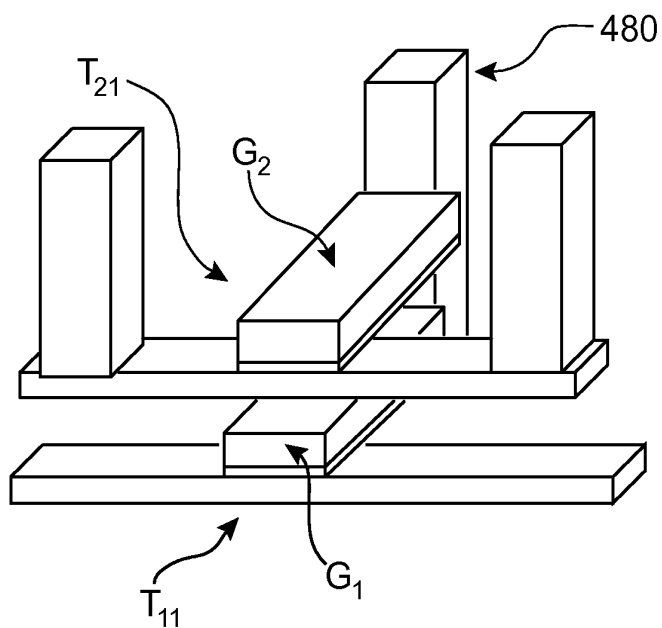


FIG. 18

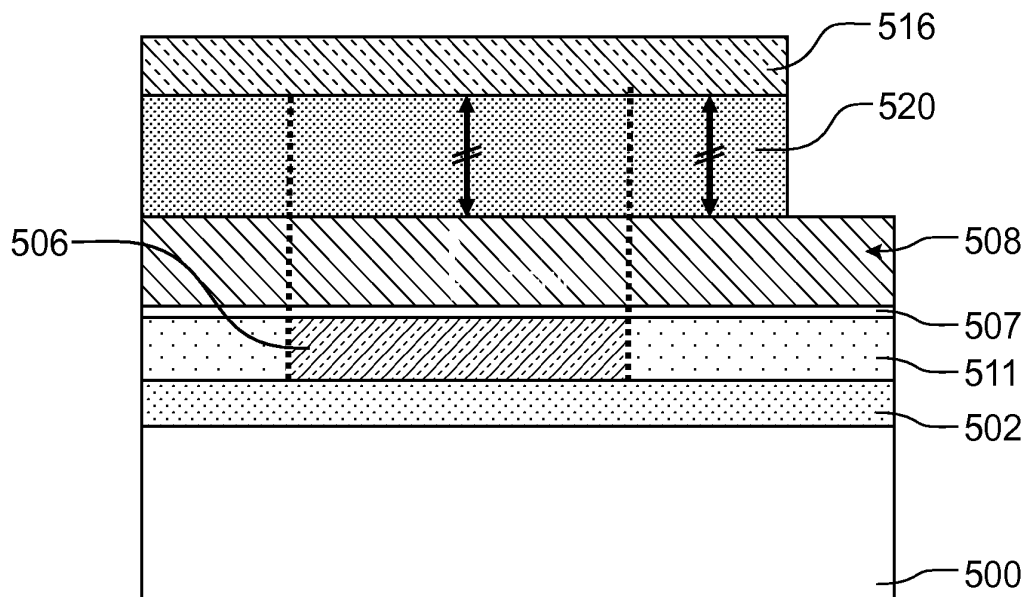


FIG. 19



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 708541
FR 0853607

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2006/062061 A1 (SUH YOUNG-HO [KR] ET AL) 23 mars 2006 (2006-03-23) * alinéas [0026] - [0028]; figure 6 * -----	1-7, 10-18	H01L27/02 G11C11/40 H01L27/11
X	US 2007/181880 A1 (KIM SUNG-BONG [KR]) 9 août 2007 (2007-08-09) * alinéas [0025] - [0030]; figure 1 * -----	1-7, 10-18	
X	US 5 548 153 A (MURAGISHI TAKEO [JP]) 20 août 1996 (1996-08-20) * colonne 8, ligne 61 - colonne 9, ligne 39; figure 16 * -----	1-7, 10-18	
X	US 5 567 959 A (MINEJI AKIRA [JP]) 22 octobre 1996 (1996-10-22) * colonne 8, ligne 22 - colonne 9, ligne 37; figure 10 * -----	1-7, 10-18	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
		Date d'achèvement de la recherche	Examineur
		13 janvier 2009	Franche, Vincent
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0853607 FA 708541**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 13-01-2009

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2006062061 A1	23-03-2006	CN 1753103 A KR 20060026367 A	29-03-2006 23-03-2006
US 2007181880 A1	09-08-2007	AUCUN	
US 5548153 A	20-08-1996	AUCUN	
US 5567959 A	22-10-1996	JP 2734962 B2 JP 7193251 A	02-04-1998 28-07-1995