

ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

243255
(11) (B1)

(51) Int. Cl.⁴
G 11 C 29/00

(22) Přihlášeno 24 10 84
(21) (PV 8092-84)

(40) Zveřejněno 31 08 85

(45) Vydáno 15 11 87

(75)

Autor vynálezu

ŠINDELÁŘ BEDŘICH ing. CSc., STRNAD PAVEL ing., PRAHA

(54) Obvod pro vytváření adresovacích posloupností pro testování pamětí

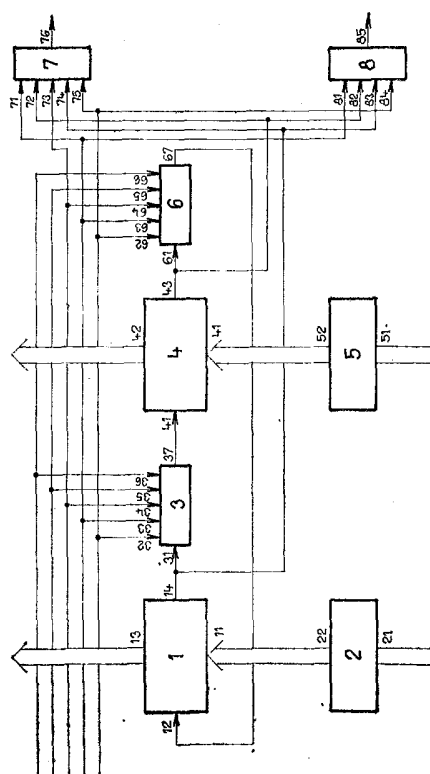
1

Obvod řeší problém generování adresovacích posloupností pro dokonalé ověřování funkce testovaných pamětí.

Podstata řešení spočívá v tom, že obvod pro vytváření adresovacích posloupností pro testování pamětí využívá pro svou funkci dvou synchronních čítačů, jejichž pořadí lze programově zaměnit řídicím signálem a každý bit těchto čítačů lze zablokovat a nastavit pro zkrácení času při testování pamětí velkých kapacit.

Měřicí technika je obor využití.

2



Vynález se týká obvodu pro vytváření adresovacích posloupností pro testování pamětí. Pro svou funkci využívá dva synchronní čítače, jejichž pořadí lze programově zaměnit řídicím signálem.

Dosud užívané způsoby generování adresovacích posloupností využívají převážně programové vybavení nebo využívají multiplexního výběru bitů adresového registru pro různé adresovací posloupnosti bez možnosti nastavení a zablokování libovolného bitu adresového registru.

Tato řešení vyžadují náročnější testovací systémy nebo neumožňují generovat adresovací posloupnosti požadovanou rychlostí.

Tyto nevýhody odstraňuje obvod podle vynálezu, jehož podstata spočívá v tom, že první čítač má vstupy pro blokování a nastavení jednotlivých bitů čítače, které jsou propojeny na výstupy prvního obvodu řízení blokování a nastavení se vstupy, přičemž adresové výstupy jsou na výstupech prvního čítače a jeho výstup přenosu je propojen na první vstup prvního pomocného obvodu, na čtvrtý vstup obvodu přenosu sloupců a na třetí vstup obvodu přenosu adresového registru, přičemž výstup prvního pomocného obvodu je propojen na hodinový vstup druhého čítače, jehož vstupy pro blokování a nastavení jsou propojeny na výstupy druhého obvodu řízení blokování a nastavení se vstupy, přičemž adresové výstupy jsou na výstupech druhého čítače a jeho výstup přenosu je propojen na první vstup druhého pomocného obvodu, na druhý vstup obvodu přenosu sloupců a na druhý vstup obvodu přenosu adresového registru, přičemž výstup druhého pomocného obvodu je propojen na hodinový vstup prvního čítače, přičemž vstup hodinových impulsů je propojen na druhý vstup prvního pomocného obvodu, na druhý vstup druhého pomocného obvodu, na pátý vstup obvodu přenosu sloupců a na čtvrtý vstup obvodu přenosového registru, přičemž vstup modifikování funkce obvodu pro vytváření adresovacích posloupností je propojen na třetí vstup prvního pomocného obvodu, na třetí vstup druhého pomocného obvodu, na první vstup obvodu přenosu sloupců a na první vstup obvodu přenosu adresového registru, přičemž řídicí vstup je propojen na čtvrtý vstup prvního pomocného obvodu, na čtvrtý vstup druhého pomocného obvodu a na třetí vstup obvodu přenosu sloupců, přičemž vstup nastavení je propojen na pátý vstup prvního pomocného obvodu a na pátý vstup druhého pomocného obvodu, přičemž vstup zastavení je propojen na šestý vstup prvního pomocného obvodu a na šestý vstup druhého pomocného obvodu, přičemž výstup obvodu přenosu sloupců je výstupem informace o přenosu řádkového nebo sloupcového čítače a výstupem obvodu přenosu adresového registru je výstupem informace o přenosu adresového registru obvodu pro vytvá-

ření adresovacích posloupností pro testování pamětí.

Vynález zjednodušuje obvodové a programové vybavení. Zařazení obvodu podle vynálezu do testovacích systémů přispívá k dokonalému ověření funkce testovaných pamětí různých kapacit jejich maximálních frekvencí s možností zablokování a nastavení libovolného bitu platného adresového slova pro zkrácení času při testování pamětí velkých kapacit.

Na přiloženém obrázku je znázorněno blokové zapojení obvodu pro vytváření adresovacích posloupností pro testování pamětí.

Obvod podle vynálezu, jak je znázorněno na obrázku, je vytvořen tak, že první čítač 1 má vstupy 11 pro blokování a nastavení jednotlivých bitů čítače 1, které jsou propojeny na výstupy 22 prvního obvodu 2 řízení blokování a nastavení se vstupy 21, přičemž adresové výstupy jsou na výstupech 13 prvního čítače 1 a jeho výstup 14 přenosu je propojen na první vstup 31 prvního pomocného obvodu 3, na čtvrtý vstup 74 obvodu 7 přenosu sloupců a na třetí vstup 83 obvodu 8 přenosu adresového registru, přičemž výstup 37 prvního pomocného obvodu 3 je propojen na hodinový vstup 41 druhého čítače 4, jehož vstupy 41 pro blokování a nastavení jsou propojeny na výstupy 52 druhého obvodu 5 řízení blokování a nastavení se vstupy 51, přičemž adresové výstupy jsou na výstupech 52 druhého čítače 4 a jeho výstup 43 přenosu je propojen na první vstup 61 druhého pomocného obvodu 6, na druhý vstup 72 obvodu 7 přenosu sloupců a na druhý vstup 82 obvodu 8 přenosu adresového registru, přičemž výstup 67 druhého pomocného obvodu 6 je propojen na hodinový vstup 12 prvního čítače, přičemž vstup hodinových impulsů je propojen na druhý vstup 32 prvního pomocného obvodu 3, na druhý vstup 62 druhého pomocného obvodu 6, na pátý vstup 75 obvodu 7 přenosu sloupců a na čtvrtý vstup 84 obvodu 8 přenosu adresového registru, přičemž vstup modifikování funkce obvodu pro vytváření adresovacích posloupností je propojen na třetí vstup 33 prvního pomocného obvodu 3, na třetí vstup 63 druhého pomocného obvodu 6, na první vstup 71 obvodu 7 přenosu sloupců a na první vstup 81 obvodu 8 přenosu adresového registru, přičemž řídicí vstup je propojen na čtvrtý vstup 34 prvního pomocného obvodu 3, na čtvrtý vstup 64 druhého pomocného obvodu 6 a na třetí vstup 73 obvodu 7 přenosu sloupců, přičemž vstup nastavení je propojen na pátý vstup 35 prvního pomocného obvodu 3 a na pátý vstup 65 druhého pomocného obvodu 6, přičemž vstup zastavení je propojen na šestý vstup 66 druhého pomocného obvodu 6, přičemž výstup 76 obvodu 7 přenosu sloupců je výstupem informace o přenosu řádkového nebo sloupcového čítače a výstup 85 obvodu 8 přenosu adresového re-

gistru je výstupem informace o přenosu adresového registru obvodu pro vytváření adresovacích posloupností pro testování paměti.

Obvod podle vynálezu umožňuje vytváření různých adresovacích posloupností pro testování paměti. Je využito dvou synchronních čítačů 1, 4, z nichž první je používán pro adresování sloupců paměťové matice a druhý pro adresování řádků paměťové matice. Řídící signál přivedený na čtvrtý vstup 34 prvního pomocného obvodu 3 a na čtvrtý vstup 64 druhého pomocného obvodu 6 umožňuje funkci čítače 1 jako registru nižších řádů adresy a čítače 4 jeho registru vyšších řádů adresy nebo naopak čítače 4 jako registru nižších řádů adresy a čítače 1 jako registru vyšších řádů adresy. V prvním případě mění čítač 1 svůj obsah každým hodinovým impulsem přivedeným na druhý vstup 32 prvního pomocného obvodu 3 a na druhý vstup 62 druhého pomocného obvodu 6 a čítač 4 mění obsah pouze v okamžiku, kdy čítač 1 vydá přenos na svém výstupu 14. V druhém případě je tomu naopak. Blokovacími vstupy přivedenými na třetí vstup 33 prvního pomocného obvodu 3 a na

třetí vstup 63 druhého pomocného obvodu 6 lze modifikovat funkci obvodu pro vytváření adresovacích posloupností v součinnosti s dalšími nepopisovanými obvody testovacího systému. Vstupem nastavení přivedeným na pátý vstup 35 prvního pomocného obvodu 3 a na pátý vstup 65 druhého pomocného obvodu 6 se nastaví všechny obvody prvního a druhého pomocného obvodu do počátečního stavu. Vstupem přivedeným na šestý vstup 36 prvního pomocného obvodu 3 a na šestý vstup 66 druhého pomocného obvodu 6 lze zastavit funkci obvodu pro vytváření adresovacích posloupností při chybě testování paměti. Obvody 2, 5 řízení blokování plní funkci řízení nastavení a blokování jednotlivých bitů čítačů 1, 4.

Z výstupu 76 obvodu 7 přenosu sloupců lze odebírat informaci o přenosu řádkového nebo sloupcového čítače v závislosti na řídicím signálu přivedeném na jeho třetí vstup 73. Z výstupu 85 obvodu 8 přenosu adresního registru lze odebírat informaci o přenosu celého adresového registru.

Obvodu podle vynálezu může být využito v servisních a výrobních službách počítačů a zařízeních využívajících paměti.

PŘEDMĚT VYNÁLEZU

Obvod pro vytváření adresovacích posloupností pro testování paměti vyznačující se tím, že první čítač (1) má vstupy (11) pro blokování a nastavení jednotlivých bitů čítače (1), které jsou propojeny na výstupy (22) prvního obvodu (2) řízení blokování a nastavení se vstupy (21), přičemž adresové výstupy jsou na výstupech (13) prvního čítače (1) a jeho výstup (14) přenosu je propojen na první vstup (31) prvního pomocného obvodu (3), na čtvrtý vstup (74) obvodu (7) přenosu sloupců a na třetí vstup (83) obvodu (8) přenosu adresového registru, přičemž výstup (37) prvního pomocného obvodu (3) je propojen na hodinový vstup (41) druhého čítače (4), jehož vstupy (41) pro blokování a nastavení jsou propojeny na výstupy (52) druhého obvodu (5) řízení blokování a nastavení se vstupy (51), přičemž adresové výstupy jsou na výstupech (42) druhého čítače (4) a jeho výstup (43) přenosu je propojen na první vstup (61) druhého pomocného obvodu (6), na druhý vstup (72) obvodu (7) přenosu sloupců a na druhý vstup (82) obvodu (8) přenosu adresového registru, přičemž výstup (67) druhého pomocného obvodu (6) je propojen na hodinový vstup (12) prvního čítače, přičemž vstup hodinových impulsů je propojen na druhý vstup (32) prvního pomocného ob-

vodu (3), na druhý vstup (62) druhého pomocného obvodu (6), na pátý vstup (75) obvodu (7) přenosu sloupců a na čtvrtý vstup (84) obvodu (8) přenosu adresového registru, přičemž vstup modifikování funkce obvodu pro vytváření adresovacích posloupností je propojen na třetí vstup (33) prvního pomocného obvodu (3), na třetí vstup (63) druhého pomocného obvodu (6), na první vstup (71) obvodu (7) přenosu sloupců a na první vstup (81) obvodu (8) přenosu adresového registru, přičemž řídicí vstup je propojen na čtvrtý vstup (34) prvního pomocného obvodu (3), na čtvrtý vstup (64) druhého pomocného obvodu (6) a na třetí vstup (73) obvodu (7) přenosu sloupců, přičemž vstup nastavení je propojen na pátý vstup (35) prvního pomocného obvodu (3) a na pátý vstup (65) druhého pomocného obvodu (6), přičemž vstup zastavení je propojen na šestý vstup (36) prvního pomocného obvodu (3) a na šestý vstup (66) druhého pomocného obvodu (6), přičemž výstup (76) obvodu (7) přenosu sloupců je výstupem informace o přenosu řádkového nebo sloupcového čítače a výstup (85) obvodu (8) přenosu adresového registru je výstupem informace o přenosu adresového registru obvodu pro vytváření adresovacích posloupností pro testování paměti.

