



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I611552 B

(45) 公告日：中華民國 107 (2018) 年 01 月 11 日

(21) 申請案號：102132699

(22) 申請日：中華民國 102 (2013) 年 09 月 11 日

(51) Int. Cl. : **H01L23/60 (2006.01)**

(30) 優先權：2012/09/28 南韓

10-2012-0109262

(71) 申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72) 發明人：高在赫 KO, JAE-HYOK (KR)；金佑錫 KIM, WOO-SEOK (KR)；金漢求 KIM, HAN-GU (KR)；趙相容 CHO, SANG-YOUNG (KR)

(74) 代理人：詹銘文

(56) 參考文獻：

US 2007/0195472A1

審查人員：廖崑男

申請專利範圍項數：30 項 圖式數：15 共 55 頁

(54) 名稱

箝制電路、具有該箝制電路的半導體裝置以及該半導體裝置的箝制方法

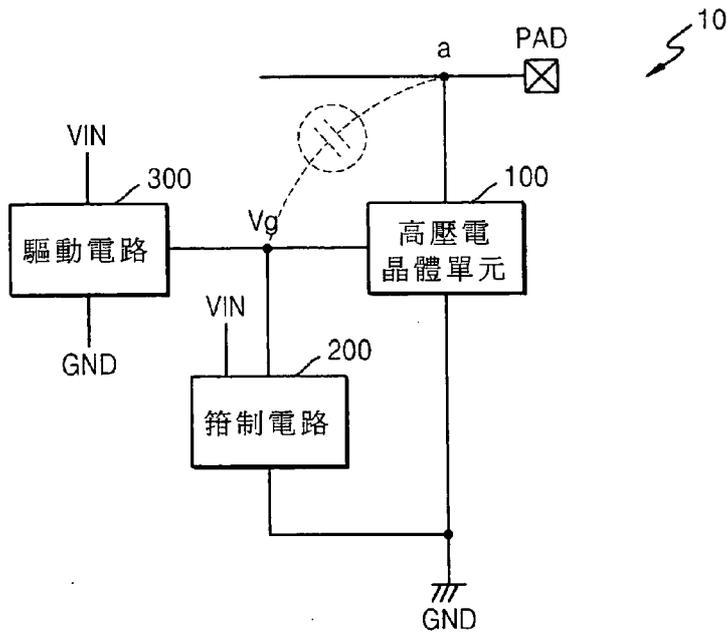
CLAMPING CIRCUIT, A SEMICONDUCTOR APPARATUS INCLUDING THE SAME, AND A CLAMPING METHOD OF THE SEMICONDUCTOR APPARATUS

(57) 摘要

一種半導體裝置包括第一高壓電晶體，具有閘極與第一電極，其中第一電極耦接至第一焊墊，並且寄生電容形成於閘極與第一電極之間。箝制電路耦接於第一高壓電晶體的閘極，其中箝制電路偵測第一高壓電晶體的閘極電壓由於靜電放電造成的電位改變，並且根據偵測的結果箝制第一高壓電晶體的閘極電壓。

A semiconductor apparatus that includes: a first high-voltage transistor having a gate and a first electrode, wherein the first electrode is connected to a first pad and a parasitic capacitance forms between the gate and the first electrode; and a clamping circuit that is connected to the gate of the first high-voltage transistor, wherein the clamping circuit detects a change in a level of a gate voltage of the first high-voltage transistor due to electrostatic discharge, and clamps the gate voltage of the first high-voltage transistor according to a result of the detection.

指定代表圖：



符號簡單說明：

- 10 . . . 半導體裝置
- 100 . . . 高壓電晶體單元
- 200 . . . 箝制電路
- 300 . . . 驅動電路
- a . . . 節點
- GND . . . 接地電壓
- PAD . . . 焊墊
- Vg . . . 閘極電壓
- VIN . . . 輸入電壓

圖 1

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

箝制電路、具有該箝制電路的半導體裝置以及該半導體裝置的箝制方法

CLAMPING CIRCUIT, A SEMICONDUCTOR APPARATUS INCLUDING THE SAME, AND A CLAMPING METHOD OF THE SEMICONDUCTOR APPARATUS

【相關申請案】

【0001】 本申請案在美國專利法 35 U.S.C. §119 國際優先權規定之下主張於 2012 年 9 月 28 日在韓國智慧財產局申請的韓國專利申請案第 10-2012-0109262 號的優先權，並將該案中的全部揭露內容納入此說明書作為參考。

【技術領域】

【0002】 本發明概念是關於箝制電路，特別是，關於箝制電路、包括此箝制電路的半導體裝置及半導體裝置的箝制方法。

【先前技術】

【0003】 以用來經由焊墊輸入/輸出訊號或處理內部訊號，且包含電晶體像是金氧半導體場效電晶體(metal-oxide semiconductor field-effect transistor(MOSFET)的半導體裝置為例，靜電放電

(electrostatic discharge, ESD)可能會損毀半導體裝置的敏感性元件，因此，半導體裝置可包含用來保護元件免於受到靜電放電損害的裝置。例如，半導體裝置可包含靜電保護電路來保護敏感性元件，並可使聚積的靜電電荷消散。然而，仍有多種形式的半導體裝置由於靜電放電而遭受效能下降及裝置損毀的危害。

【發明內容】

【0004】 本發明概念的示範實施例提供一種可用來替半導體裝置執行箝制操作的箝制電路、包括此箝制電路的半導體裝置以及半導體裝置的箝制方法。

【0005】 根據本發明概念的示範實施例，本發明提供的一種高壓電晶體包括第一高壓電晶體，具有閘極與第一電極，其中第一電極耦接至第一焊墊，且寄生電容形成於閘極以及第一電極之間；箝制電路耦接至第一高壓電晶體的閘極，其中箝制電路偵測第一高壓電晶體的閘極由於靜電放電造成的電位改變，並根據偵測的結果箝制第一高壓電晶體的閘極電壓。

【0006】 第一高壓電晶體可為控制電源傳輸的電源開關。

【0007】 第一高壓電晶體可具有第二電極耦接至接地電極，且第一高壓電晶體可為橫向擴散金氧半導體 (lateral diffused metal-oxide semiconductor, LDMOS)電晶體。

【0008】 箝制電路包括：觸發電路產生觸發電極，其中觸發電壓的電位改變響應第一高壓電晶體閘極電壓的電位上升。箝制電路控

- 制第一高壓電晶體的閘極與接地電壓之間的耦接以響應觸發電壓。

【0009】 觸發電路可包括:拉升單元耦接於第一高壓電晶體的閘極與箝制電晶體的閘極之間，並且拉升觸發電壓；以及下拉單元耦接於拉升單元與接地電壓之間，並且下拉觸發電壓。

【0010】 拉升單元可包括金氧半導體(metal-oxide semiconductor, MOS)電晶體，具有源極，第一高壓電晶體閘極的第一電壓施加於源極，並且閘極耦接至施加第二電壓的第一節點，其中金氧半導體電晶體的基極電性耦接至第二電壓。

【0011】 寄生二極體元件可形成於第一高壓電晶體的閘極與第一節點之間。

【0012】 半導體裝置可進一步包括驅動電路，驅動電路包括至少一個電路用來控制第一高壓電晶體的驅動，並且具有節點，節點的電壓被施加作為箝制電路的操作電壓。

【0013】 半導體裝置可進一步包括第二高壓電晶體，其中箝制電路共用地耦接至第一高壓電晶體的閘極與第二高壓電晶體的閘極。

【0014】 根據本發明概念的示範實施例，本發明提供一種箝制電路耦接至橫向擴散金氧半導體的閘極，並且包括靜電放電偵測單元，偵測橫向擴散金氧半導體電晶體的閘極由於靜電放電造成的電位差改變，並且輸出控制訊號；以及箝制電晶體耦接至橫向擴散金氧半導體電晶體的閘極，其中箝制電晶體的閘極接收控制訊

號，且箝制電晶體箝制橫向擴散金氧半導體電晶體以響應控制訊號。

【0015】 靜電放電偵測單元可包括第一金氧半導體電晶體，具有第一電極耦接至橫向擴散金氧半導體電晶體的閘極，以及第二電極耦接至箝制電晶體的閘極，並藉由切換橫向擴散金氧半導體電晶體的閘極電壓產生控制訊號。

【0016】 第一金氧半導體電晶體可經由第一電極接收橫向擴散金氧半導體電晶體閘極的第一電壓，經由第一金氧半導體電晶體的閘極接收第二電壓，並且第一金氧半導體電晶體由於第一電壓與第二電壓之間的電位差異而被開啓。

【0017】 第一金氧半導體電晶體的基極可電性耦接至第二電壓。

【0018】 當靜電放電發生時，第一金氧半導體電晶體可產生控制訊號通過第一金氧半導體電晶體的金氧半導體通道的第一路徑與寄生雙極元件(parasitic bipolar component)的第二路徑。

【0019】 寄生二極體元件(parasitic diode component)可形成於橫向擴散金氧半導體電晶體的閘極與施加第二電壓的節點之間，並且在靜電放電的初期，第一電壓可大於第二電壓。

【0020】 靜電放電偵測單元可進一步包括第二金氧半導體電晶體，其耦接於接地電壓與第一金氧半導體電晶體的第二電極之間，並且下拉控制訊號至接地電壓電位。

【0021】 根據本發明概念的實施例，本發明提供一種半導體裝置的箝制方法，箝制方法包括:施加高壓電晶體閘極的第一電壓至箝

制電路；當第一電壓的電位由於靜電放電改變，藉由切換第一電壓產生控制訊號；以及響應控制訊號，藉由使用耦接至高壓電晶體閘極的箝制電路中的箝制電晶體，箝制高壓電晶體的閘極電壓。

【0022】 高壓電晶體可為橫向擴散金氧半導體電晶體。

【0023】 箝制方法可進一步包括在半導體裝置的節點接收第二電壓，並且當第一電壓與第二電壓之間的電位差異等於或大於臨界電壓時，啟動控制訊號。

● 【0024】 控制訊號可藉由金氧半導體電晶體產生，金氧半導體電晶體具有第一電極耦接至第一電壓，第二電極耦接至箝制電晶體的閘極，並且閘極耦接至第二電壓，以及金氧半導體電晶體的基極可電性耦接至第二電壓。

【0025】 當靜電放電發生時，第二電壓可從接地電壓電位改變至第一電位，並且當第二電壓改變至第一電位時，控制訊號可被啟動。

● 【0026】 當半導體系統正常運作時，第二電壓可具有接地電壓電位，並且箝制電晶體的箝制操作可被停止。

【0027】 根據本發明概念的示範實施例，本發明提供一種半導體系統包括：內部積體電路耦接至第一焊墊；半導體系統晶片，包括高壓電晶體經由第一焊墊耦接至內部積體電路，其中高壓電晶體具有閘極與第一電極；第一電極耦接至第一焊墊，而且寄生電容形成於閘極與第一電極之間；以及箝制電路配置在半導體晶片，並且耦接至高壓電晶體的閘極，其中箝制電路偵測高壓電晶體的

閘極電壓由於靜電放電造成的電位上升，並且根據偵測的結過箝制高壓電晶體的閘極電壓。

【0028】 當半導體晶片正常運作時，箝制電路可被關閉，且當靜電放電在非運轉期間(non-operation period, NOP)被偵測到時，箝制電路可選擇性地啟動。

【0029】 半導體晶片從內部積體電路接收輸入電壓，並且控制箝制電路根據高壓電晶體的輸入電壓與閘極電壓之間的電位差異而啟動。

【0030】 根據本發明概念的示範實施例，本發明提供一種半導體裝置包括高壓電晶體具有閘極、汲極與源極，其中汲極耦接至焊墊，且源極耦接至接地電極；以及箝制電路耦接至閘極，並經組態以箝制在閘極的電壓，且藉由耦接接地電壓至閘極以響應靜電放電。

【0031】 高電壓電晶體可為橫向擴散金氧半導體電晶體。

【0032】 箝制電路可包括互補式金氧半導體(complementary metal-oxide-semiconductor, CMOS)電路耦接至閘極，以及箝制電晶體耦接至閘極。

【0033】 互補式金氧半導體電路可耦接至箝制電晶體的閘極。

【0034】 互補式金氧半導體電路可耦接至輸入電壓。

【圖式簡單說明】

【0035】 藉由本發明示範實施例的詳細說明並參考所伴隨圖式，

時，高壓電晶體單元 100 可包括至少一個具有相對較大尺寸的高壓電晶體。

【0039】 高壓電晶體可為矽基半導體，例如氮化鎵(gallium nitride, GaN)電晶體、碳化矽(silicon carbide, SIC)電晶體或是橫向擴散金氧半導體(LDMOS)電晶體(以下簡稱為 LDMOS 電晶體)。舉例來說，既然 LDMOS 電晶體可具有淺溝渠分離(shallow trench isolation, STI)間隙結構，而且可於運轉時耦接至焊墊 PAD 當成功率電晶體使用，因此 LDMOS 電晶體可具有大尺寸。於是，LDMOS 電晶體可具有大型寄生電容形成於一個電極(例如汲極)與閘極之間，而且寄生電容可對應於重疊電容元件。在 LDMOS 電晶體中，當電極形成閘極與至少一部分沿著源極區域的通道重疊，寄生電容元件可於汲極區域與形成閘極的電極之間生成。以下，假設高壓電晶體單元 100 包括 LDMOS 電晶體作為高壓電晶體。

【0040】 當高壓電晶體單元 100 包含一個 LDMOS 電晶體時(未示出)，且靜電放電現象發生時，靜電放電電荷可被注入 LDMOS 電晶體的汲極。箝制電路 200 替高壓電晶體單元 100 的至少一個節點執行箝制操作。舉例來說，既然當靜電放電現象發生時，由汲極與閘極之間的電容元件可促使 LDMOS 電晶體的閘極上產生電位差，箝制電路 200 可於施加在 LDMOS 閘極的第一電壓(例如閘極電壓 V_g)上執行箝制操作。

【0041】 高壓電晶體單元 100 電性耦接至形成於半導體裝置 10 中的焊墊 PAD，並且包含在高壓電晶體單元 100 中的 LDMOS 電晶

體經由節點‘a’電性耦接至焊墊 PAD。舉例來說，LDMOS 電晶體可耦接於節點‘a’與接地電壓 GND(或是可施加接地電壓 GND 的接地電壓供應)之間。用來控制高壓電晶體單元 100 驅動的驅動電路 300，可藉由接收第二電壓 VIN 及接地電壓 GND 來操作，並且可驅動包含在高壓電晶體單元 100 的 LDMOS 電晶體閘極。第二電壓 VIN 可施加於箝制電路 200 以參與箝制操作。舉例來說，第二電壓 VIN 可藉由使用外部電源供應電壓而產生於半導體裝置 10，或是配置在半導體裝置 10 外部的積體電路(integrated circuit, IC)所產生的電壓可作為施加於半導體裝置 10 的第二電壓。以下，施加於箝制電路 200 的第二電壓 VIN 稱為輸入電壓 VIN。

【0042】 箝制電路 200 藉由耦接至高壓電晶體單元 100 的至少一個節點來執行箝制操作。例如，箝制電路 200 可藉由耦接至 LDMOS 電晶體閘極來箝制 LDMOS 電晶體的閘極電壓 V_g 。此外，另一電壓可施加於箝制電路 200 用以作為操作箝制電路 200 的電壓。舉例而言，施加於驅動電路 300 的輸入電壓 VIN 可共用地施加於箝制電路 200。雖然圖 1 未示出，箝制電路 200 不必共同地接收輸入電壓 VIN。舉例來說，箝制電路 200 可藉由耦接至驅動電路 300 的一個節點，接收與輸入電壓 VIN 電位不同的電壓。

【0043】 現在說明圖 1 中半導體裝置 10 的箝制操作。

【0044】 當靜電放電現象發生時，靜電放電電荷注入耦接至 LDMOS 電晶體汲極的節點‘a’，並且 LDMOS 電晶體閘極的電位差(或電壓電位)依據閘極與 LDMOS 電晶體汲極之間的電容元件上

升。箝制電路 200 藉由耦接至 LDMOS 電晶體的閘極偵測閘極電壓 V_g 的電壓電位改變。換句話說，箝制電路偵測由於靜電放電現象在閘極電壓 V_g 造成的電位上升。此外，根據偵測，閘極電路 200 依照閘極電壓 V_g 與輸入電壓 V_{IN} 之間的電壓電位差異產生內部控制訊號(未示出)，並且施加控制訊號給箝制電路 200 中的一個箝制電晶體閘極。當耦接至 LDMOS 電晶體的閘極被開啓，LDMOS 電晶體的閘極電壓 V_g 經由箝制電晶體與接地電壓 GND 被箝制。

● **【0045】** 當半導體裝置 10 或是包括半導體裝置 10 的半導體系統正常運作的情況下，輸入電壓 V_{IN} 具有預設電壓電位。相較之下，當半導體裝置 10 或半導體系統未運轉(例如在非運轉期間)或是半導體系統使用半導體裝置 10 前，輸入電壓 V_{IN} 維持在接地電壓電位。當靜電放電現象發生時，輸入電壓 V_{IN} 電位隨著靜電放電電荷注入以及閘極電壓 V_g 的電位上升而改變。舉例來說，寄生二極體元件可在 LDMOS 電晶體與施加輸入電壓 V_{IN} 給箝制電路 200 的節點之間形成，當 LDMOS 電晶體的閘極電壓 V_g 在靜電放電現象的初期上升時，輸入電壓 V_{IN} 電位也會隨著上升。

● **【0046】** 圖 2 是根據本發明概念的示範實施例繪示圖 1 半導體裝置的高壓電晶體單元的電路圖。請參考圖 2，高壓電晶體單元 100 可包含汲極耦接至焊墊 PAD，以及源極耦接至接地電壓 GND(或施加接地電壓 GND 的接地電壓供應) 的 LDMOS 電晶體 LDMOS。控制 LDMOS 電晶體 LDMOS 的閘極以響應從圖 1 驅動電路 300 輸出的驅動訊號。在圖 2 中，LDMOS 電晶體 LDMOS 示範性地以

N 型 LDMOS(以下簡稱 NLDMOS)電晶體作表示。此外，LDMOS 電晶體可具有相對較大的重疊電容元件(或是寄生電容元件)在源極及其閘極中間形成，因此，當靜電放電現象發生時，靜電放電電荷通過焊墊 PAD 注入 LDMOS 電晶體 LDMOS 的汲極，LDMOS 電晶體的閘極電壓 V_g 電位由於重疊電容元件而上升。

【0047】 LDMOS 電晶體 LDMOS 可具有相對較大的尺寸以切換至高電壓，例如數千到數十微米(μm)的大小。假設 LDMOS 電晶體 LDMOS 直接耦接至焊墊 PAD，當靜電放電現象發生時，閘極電壓 V_g 電位上升以開啓通道，從而加熱通道。當通道過熱時，靜電放電電位可能因而下降。

【0048】 圖 3 是根據本發明概念的示範實施例繪示圖 1 半導體裝置的箝制電路的方塊圖。請參考圖 3，箝制電路 200 可包括箝制電晶體 210 及觸發電路 220。箝制電晶體 210 箝制高壓電晶體的閘極電壓，並且可稱為閘極箝制電晶體。

【0049】 請參考圖 1 及圖 3，箝制電路 210 耦接於 LDMOS 電晶體 LDMOS 的閘極及接地電極 GND 之間，接收從觸發電路 220 輸出的觸發電壓 V_{trig} 作為控制訊號，並且箝制 LDMOS 電晶體 LDMOS 的閘極電壓 V_g 以響應控制訊號。觸發電路 220 包含一個或多個電路以產生觸發電壓 V_{trig} ，並且觸發電路的至少一個節點耦接至 LDMOS 電晶體 LDMOS 的閘極。此外，觸發電路 220 耦接至輸入電壓 V_{IN} 及接地電壓 GND，而且觸發電壓 V_{trig} 電位根據輸入電壓 V_{IN} 與 LDMOS 電晶體 LDMOS 閘極電壓 V_g 之間的電位差異而改變。

【0050】觸發電路 220 輸出觸發電壓 V_{trig} 至箝制電晶體 210 的閘極，並根據輸入電壓 V_{IN} 與閘極電壓 V_g 之間的電壓電位差異拉升或下拉觸發電壓 V_{trig} 。舉例來說，在觸發電路維持在下拉狀態時，當靜電放電現象發生，觸發電路 220 偵測在閘極電壓 V_g 電位上升時，閘極電壓 V_g 與輸入電壓 V_{IN} 之間的電位差異，並且拉升及輸出觸發電壓 V_{trig} 。

【0051】圖 4 是根據本發明概念的示範實施例繪示圖 1 半導體裝置的電路圖。請參考圖 4，半導體裝置 10 可包括 LDMOS 電晶體 LDMOS 作為高壓電晶單元 100，並且 LDMOS 電晶體可為 NLDMOS 電晶體。雖然 NLDMOS 電晶體繪示如圖 4，但本實施例並不限定在於此，其他形式的 LDMOS 電晶體亦可被採用。

【0052】重疊電容元件可形成於 LDMOS 電晶體 LDMOS 的閘極與汲極之間。此外，箝制電路 200 可包括箝制電晶體 210 以及觸發電路 220。箝制電晶體 220 可包括第一 N 型 MOS(以下簡稱為 NMOS) 電晶體 MN0，第一 NMOS 電晶體 MN0 的一個電極(例如汲極)可耦接至 LDMOS 電晶體 LDMOS 的閘極，並且其他第一 NMOS 電晶體 MN0 的電極(例如源極)可耦接至接地電壓 GND。

【0053】觸發電路 220 可包括至少一個電晶體或電阻。如圖 4 所示，觸發電路 220 可以互補式金氧半導體(complementary metal-oxide semiconductor, CMOS)的形式出現，並且可產生電壓電位隨 LDMOS 電晶體 LDMOS 閘極電壓 V_g 電位上升的觸發電壓 V_{trig} 。觸發電壓 220 可包括耦接於 LDMOS 電晶體 LDMOS 閘極

及第一 NMOS 電晶體 MN0 閘極之間的拉升單元，並拉升觸發電壓 V_{trig} ，以及耦接於第一 NMOS 電晶體 MN0 的閘極與接地電極 GND 之間的下拉單元，並下拉觸發電壓 V_{trig} 。

【0054】 拉升單元與下拉單元可各自包括切換至響應預設電壓的 MOS 電晶體。舉例來說，拉升單元可包括藉由輸入電壓 V_{IN} 切換的第一 P 型 MOS(以下簡稱 PMOS)電晶體 MP1，並且下拉單元可包括藉由輸入電壓 V_{IN} 切換的第二 NMOS 電晶體 MN1。第一 PMOS 電晶體 MP1 及第二 NMOS 電晶體 MN1 可經由電阻 R 耦接至輸入電壓 V_{IN} 。此外，第一 PMOS 電晶體 MP1 的基極(bulk)與源極可互相耦接，而且第二 NMOS 電晶體 MN1 的基極可耦接至接地電壓 GND。

【0055】 第一 PMOS 電晶體的開啓/關閉是依照輸入電壓 V_{IN} 與閘極變壓 V_g 之間的電壓電位差異而定，當閘極電壓 V_g 電位由於靜電放電現象上升，第一 PMOS 電晶體 MP1 開啓以切換至閘極電壓 V_g ，並且閘極電壓 V_g 傳輸至第一 NMOS 電晶體 MN0 的閘極。換句話說，當第一 PMOS 電晶體 MP1 被開啓，拉升觸發電壓 V_{trig} ，且由於觸發電壓 V_{trig} 的拉升而開啓箝制電晶體 210 的第一 NMOS 電晶體 MN0。因此，LDMOS 電晶體 LDMOS 的閘極電壓 V_g 經由接地電壓 GND 被箝制，閘極電壓 V_g 的電位也因此下降。

【0056】 圖 4 半導體裝置 10 的操作方式將進一步詳述。當半導體裝置 10 或包含半導體裝置 10 的半導體系統正常運作時，輸入電壓 V_{IN} 具有高於 LDMOS 電晶體 LDMOS 閘極電壓 V_g 電位的預設

電壓電位。因此，第一 PMOS 電晶體 MP1 被關閉，且第二 NMOS 電晶體 MN1 的閘極耦接至供應電源，而因此第二 NMOS 電晶體 MN1 維持在開啓狀態。據此，既然耦接至 LDMOS 電晶體 LDMOS 閘極的箝制電晶體 210 維持在關閉狀態，閘極電壓 V_g 上的箝制操作因而停止。換句話說，包含在半導體裝置 10 的箝制電路 200 並不影響半導體裝置 10 或是包含半導體裝置 10 的半導體系統的正常運作。舉例來說，當半導體裝置 10 或是包含半導體裝置 10 的半導體系統正常運作時，由於靜電放電現象注入的電荷可被另一個耦接至焊墊 PAD 的箝制區塊(未示出)所箝制。

【0057】 在半導體系統使用半導體裝置 10 之前或當包含半導體裝置 10 的半導體系統不運作時，可能發生靜電放電現象。在這種情況下，箝制電路 200 可執行箝制操作以響應靜電放電現象。舉例來說，當由於靜電放電現象產生的電荷被注入，且閘極電壓 V_g 電位因此上升時，與焊墊 PAD 無直接耦接關係的輸入電壓 V_{IN} 在靜電放電現象的初期維持於接地電壓電位。雖然在圖 4 中未示出，寄生電容元件可存在於施加輸入電壓 V_{IN} 的節點與 LDMOS 電晶體 LDMOS 的閘極之間。因此，輸入電壓 V_{IN} 依閘極電壓 V_g 電位而上升，並且當靜電放電現象結束時，輸入電壓 V_{IN} 電位回到接地電壓電位。

【0058】 因此，既然當靜電放電在放電現象初期脈衝上升時，輸入電壓 V_{IN} 維持在比閘極電壓 V_g 還低的電位，因而開啓第一 PMOS 電晶體 MP1 的通道，且因此觸發電壓 V_{trig} 的電位上升至

高於第一 NMOS 電晶體 MN0 的臨界電壓。第二 NMOS 電晶體可設計成具有微弱下拉力，以使得觸發電壓 V_{trig} 在靜電放電現象發生時不會被強烈地限制於接地電壓電位。為避免第二 NMOS 電晶體 MN1 在靜電放電電荷注入施加輸入電壓 V_{IN} 的節點時被損毀，電阻 R 可耦接於第二 NMOS 電晶體 MN1 以及施加輸入電壓 V_{IN} 的輸入電壓供應之間。

【0059】 圖 5A 及 5B 是根據本發明概念的示範實施例繪示半導體裝置的電路圖。請參考圖 5A，半導體裝置 10 可包含 LDMOS 電晶體 LDMOS 作為高壓電晶體單元 100，而且箝制電路 200 可包括箝制電晶體 210 及觸發電路 220。箝制電晶體 210 可包括第一 NMOS 電晶體 MN0，並且觸發電路 220 可包括第一 PMOS 電晶體 MP1 以及第二 NMOS 電晶體 MN1。圖 5A 的運轉元件與圖 4 的運轉元件相同且實質上可以相同方式操作，因此將不再對其作詳細解釋。

【0060】 請參考圖 5A，第一 PMOS 電晶體 MP1 的源極耦接至閘極電壓 V_g ，而且第一 PMOS 電晶體 MP1 的汲極耦接至第一 NMOS 電晶體 MN0 的閘極。此外，第一 PMOS 電晶體 MP1 的閘極經由電阻 R 耦接至輸入電壓 V_{IN} ，且第一 PMOS 電晶體 MP1 的基極耦接至輸入電壓 V_{IN} 。

【0061】 此外，LDMOS 電晶體 LDMOS 的閘極耦接至施加輸入電壓 V_{IN} 的節點 'b'。節點 'b' 可直接耦接至施加輸入電壓 V_{IN} 的輸入電壓供應。或者是另一個藉由接收配置於半導體裝置 10 的輸入電壓 V_{IN} 而運轉的電路(例如圖 1 的驅動電路 300)，且節點 'b' 可

為驅動電路 300 中的任何節點。當節點‘b’為驅動電路 300 的節點，且驅動電路 300 是藉由接收另一電源供應電壓來驅動，節點‘b’在驅動電路 300 中可接收電壓，並且節點‘b’的電壓可施加給箝制電路 200 作為輸入電壓 V_{IN} ，或者是當驅動電路 300 藉由接收輸入電壓 V_{IN} 驅動時，節點‘b’可施加具有與施加給箝制電路 200 的輸入電壓 V_{IN} 電位不同的電壓。

【0062】寄生二極體存在於節點‘b’與 LDMOS 電晶體 LDMOS 的閘極之間。因此，當 LDMOS 電晶體 LDMOS 閘極電壓改變時，輸入電壓電位(例如節點‘b’的電壓)跟著改變。舉例來說，在半導體系統使用半導體裝置 10 之前或是當包含半導體裝置 10 的半導體系統不運作時，輸入電壓 V_{IN} 可具有接地電壓電位。既然輸入電壓 V_{IN} 與 LDMOS 電晶體 LDMOS 耦接的焊墊 PAD 之間不具有直接的耦接關係，輸入電壓 V_{IN} 在靜電放電現象的初期維持於接地電壓電位。

【0063】接著，當 LDMOS 電晶體 LDMOS 的閘極電壓 V_g 電位由於寄生電容元件改變，輸入電壓 V_{IN} 電位也隨之改變。當靜電放電脈衝上升，且當閘極電壓 V_g 電位上升，輸入電壓 V_{IN} 與閘極電壓 V_g 在一定程度以上的差異時，輸入電壓 V_{IN} 也會跟著增加。接著，當靜電放電現象結束時，輸入電壓 V_{IN} 回到接地電壓電位。

【0064】當靜電放電脈衝上升，輸入電壓 V_{IN} 維持在比閘極電壓 V_g 更低的電位。因此，第一 PMOS 電晶體 MP1 的通道被開啓，且觸發電壓上升至高於第一 NMOS 電晶體 MN0 的臨界電壓。此

外，當第一 PMOS 電極 MP1 的基極耦接至輸入電壓 VIN 時，由於第一 PMOS 電晶體的源極、基極與汲極，觸發電壓 Vtrig 可藉由寄生雙極元件加速拉升。換句話說，當靜電放電現象發生，既然觸發電壓 Vtrig 的拉升速度由於第一 PMOS 電晶體 MP1 的 MOS 通道路徑及寄生雙極元件的通道路徑而上升，第一 NMOS 電晶體 MN0 的驅動時間可能比響應靜電放電現象的時間快。

【0065】 圖 5B 繪示形成於節點‘b’與 LDMOS 電晶體 LDMOS 閘極之間的寄生二極體元件。請參考圖 5B，LDMOS 電晶體 LDMOS 可耦接至圖 1 中驅動電路的至少一個節點，並且驅動電路 300 可包含至少一個電晶體(例如 PMOS 電晶體或 NMOS 電晶體)以驅動 LDMOS 電晶體 LDMOS 的閘極。驅動電路 300 控制 LDMOS 電晶體 LDMOS 以響應如圖 5B 的(a)中所示的控制輸入 C_IN。

【0066】 當節點‘b’對應於 PMOS 電晶體的源極，既然 PMOS 電晶體的汲極是 p 型汲極，且 PMOS 電晶體的基極是如圖 5B 的(b)中的 n 型基極，因此可形成 p-n 型寄生二極體元件。PMOS 電晶體的基極與源極互相耦接，且因此寄生二極體元件可形成於節點‘b’與 LDMOS 電晶體 LDMOS 的閘極之間。

【0067】 根據以上的示範實施例，既然控制箝制操作的電路可形成包括 CMOS 及電阻，且因此可應用在現有的電路上(無額外的程序)，可使形成電路所需增加的面積減至最少。此外，既然箝制操作藉由使用開啓通道與寄生雙極元件的操作來控制，箝制響應速度得以提升。

制電路配備於半導體裝置中，並於靜電放電現象發生時，開始高壓電晶體閘極的箝制操作。

【0075】 箝制電路包括耦接至高壓電晶體閘極，並且箝制閘極電壓的箝制電晶體，以及控制箝制電晶體驅動的觸發電路。此外，觸發電路可輸出觸發電壓作為控制箝制電晶體的控制訊號，且可包括用來拉升觸發電壓的拉升單元與用來下拉觸發電壓的下拉單元。拉升與下拉單元可分別地包括拉升電晶體與下拉電晶體。

● 【0076】 在操作步驟 S11 中，當半導體裝置正常運作或是包含半導體裝置的半導體系統正常運作時，既然箝制電晶體維持在關閉狀態，箝制電路不會影響半導體裝置或是半導體系統的正常運作。

● 【0077】 在操作步驟 S12 中，偵測到靜電放電現象。靜電放電現象可在半導體系統使用半導體裝置前，或是當半導體裝置或半導體系統不運作時，藉由靠著外在因素手動地輸入而被偵測，或是在半導體裝置測試時，藉由根據上述的人體放電模式主動輸入而被偵測。此外，靜電放電現象可藉偵測高壓電晶體的閘極電壓與施加於如上述箝制電路的至少一個輸入電壓之間的電位差異來偵測。

● 【0078】 在操作步驟 S13 中，當靜電放電現象被偵測到時，可驅動觸發電路的拉升電晶體以增加觸發電壓，且可因此拉升用來控制箝制電晶體的觸發電壓。在操作步驟 14 中，開啓箝制電晶體以響應觸發電壓。在操作步驟 S15 中，形成放電路徑通過高壓電晶體的閘極與箝制電晶體。在操作步驟 S16 中，高壓電晶體的閘極

電壓由於靜電放電現象沿放電路徑被箝制而上升。

【0079】 圖 9 是根據本發明概念的示範實施例繪示半導體裝置 400 的方塊圖。圖 9 中半導體裝置 400 的架構實質上可與圖 1 或是圖 3 中的半導體裝置 10 或是箝制電路 200 相同。

【0080】 半導體裝置 400 可包括 LDMOS 電晶體 410 作為高壓電晶體，箝制電晶體 420 用來箝制 LDMOS 電晶體 410 的閘極電壓 V_g ，以及根據靜電放電現象偵測的結果輸出箝制控制訊號 Ctrl 的靜電放電偵測單元 430。如上所述，LDMOS 電晶體 410 的一個電極耦接至焊墊 PAD，而且 LDMOS 電晶體的另一個電極耦接至接地電極 GND。此外，箝制電晶體 420 耦接於 LDMOS 電晶體 410 的閘極與接地電極 GND 之間，並且從靜電放電現象偵測單元 430 輸出的箝制控制訊號 Ctrl 施加於箝制電晶體 420。此外，輸入電壓 V_{IN} 可施加於靜電放電偵測單元 430，用以驅動靜電放電偵測單元 430。

【0081】 靜電放電偵測單元 430 可偵測在閘極電壓 V_g 的增長。舉例來說，當閘極電壓 V_g 超過臨界電壓時，可判定為偵測到靜電放電現象，並且輸出控制訊號 Ctrl。靜電放電偵測單元 430，就構造上來說，與圖 4 或 5A 的觸發電路 220 可為實質上相同，而且至少一個 MOS 電晶體可配備於靜電放電偵測單元 430。此外，雖然靜電放電單元 430 耦接至圖 9 中施加輸入電壓 V_{IN} 的輸入電壓供應，靜電放電偵測單元 430 可被耦接至施加具有不同電位電壓的電壓供應，且因此當閘極電壓 V_g 上升至高於臨界值時，箝制控制

訊號 Ctrl 可被啓動。

【0082】 根據靜電放電現象的偵測結果，箝制電晶體 420 可藉由改變箝制控制訊號 Ctrl 的電位而開啓。換句話說，可改變箝制控制訊號 Ctrl 的電位以響應閘極電壓 V_g 。當箝制電晶體 420 開啓時，通過箝制電晶體 420 與 LDMOS 電晶體 420 閘極的放電路徑形成如上述。

【0083】 圖 10 是根據本發明概念的示範實施例繪示圖 9 半導體裝置 400 的操作流程圖。請參考圖 10，在操作步驟 21 中，當包括高壓電晶體(例如 LDMOS 電晶體 410)以及箝制電晶體 420 的半導體裝置 400 或是包含半導體裝置 400 的半導體系統正常運作時，高壓電晶體閘極的箝制操作藉由維持箝制電晶體 420 於關閉狀態而停止。

【0084】 在操作步驟 S22 中，偵測到 LDMOS 電晶體 410 的閘極電壓 V_g 電位。舉例而言，此步驟判斷 LDMOS 電晶體 410 的閘極電壓 V_g 電位是否超過臨界電壓。如果 LDMOS 電晶體 410 的閘極電壓 V_g 沒有超過臨界電壓，也就判定在操作步驟 23 中靜電放電現象不會發生，而且 LDMOS 電晶體 410 的閘極電壓偵測作業持續執行。在操作步驟 S23 中，如果 LDMOS 電晶體 410 的閘極電壓電位超過臨界電壓，則判定為發生靜電放電現象。在操作步驟 24 中，產生對應於靜電放電結果的箝制控制訊號。

【0085】 在操作步驟 S25 中，施加產生的箝制控制訊號至箝制電晶體 420 的閘極以開啓箝制電晶體 420，而且啓動 LDMOS 電晶體

410 閘極的箝制。在操作步驟 26 中，當耦接於施加接地電壓 GND 的接地電壓供應與 LDMOS 電晶體 410 閘極之間的箝制電晶體 420 被開啓以形成放電路徑，LDMOS 電晶體 410 的閘極電壓 V_g 經由放電路徑被箝制。

【0086】 圖 11 是根據本發明概念的示範實施例繪示包括半導體裝置 1300 的半導體系統 1000 的方塊圖。請參考圖 11，半導體系統 1000 包括模組板 1100，與安裝在模組板 1100 上的半導體裝置 1300。此外，用來驅動半導體裝置 1300 的控制晶片 1200 安裝在模組板上。半導體裝置 1300 及控制晶片 1200 可為不同的半導體晶片。此外，半導體裝置 1300 可以任何不同層級的晶片形成。例如，半導體裝置 1300 可具有晶圓級晶片尺寸或是其他層級的晶片尺寸。

【0087】 半導體裝置 1300 可配備於半導體系統 1000 並提供多樣的功能。舉例來說，半導體裝置 1300 可接收主電源，並將主電源轉換成其他電路裝置的電壓或是分配主電源，或者是為了外部積體電路的高壓驅動而形成高壓或高電流路徑。例如圖 11 中，半導體裝置 1300 用來管理電源。為此，電源開關單元 1310 包含高壓電晶體。

【0088】 控制晶片 1200 可被安裝在模組板 1100，並可與任何模組板 1100 外的外部裝置溝通。此外，控制晶片 1200 可產生用來控制半導體裝置 1300 的控制訊號 CON1，並且可經由模組板 1100 上形成的電氣佈線(electrical wiring)輸出控制訊號 CON1 至半導體

裝置 1300。舉例來說，半導體裝置 1300 可進一步包括驅動電路 1330 用來驅動電源開關單元 1310 的高壓電晶體，以及控制晶片 1200 可輸出控制訊號 CON1 並控制驅動電路 1330。半導體裝置 1300 可包括至少一個焊墊，並且可經由焊墊接收或輸出多種訊號。舉例來說，半導體裝置 1300 可接收電源供應電壓 VDD1 與 VDD2 用來操作半導體裝置 1300，並可依據高壓電晶體的開關操作，施加電源至外部裝置(未示出)。

● **【0089】** 如上所述，靜電放電電荷可通過焊墊注入半導體裝置 1300，且高壓電晶體的閘極電壓可依據高壓電晶體閘極與汲極之間形成的寄生電容元件而上升。爲了箝制高壓電晶體的閘極，箝制電路 1320 配置於半導體裝置 1300 中。舉例來說，箝制電路 1320 可耦接於施加接地電壓 VSS1 的接地電壓供應與高壓電晶體的閘極之間，並且箝制高壓電晶體的閘極電壓 V_g 。電源供應電壓 VDD 可施加至箝制電路 1320，並且可藉由閘極電壓 V_g 與電源供應電壓 VDD2 的使用，執行偵測靜電放電現象的操作。雖然在圖 11 中未示出，另一電壓訊號可施加於箝制電路 1320。例如，驅動電路 1330 可包括藉由處理控制訊號 CON1 產生內部訊號的電路單元，以及驅動高壓電晶體閘極的閘極驅動單元。驅動電路 1330 中的一個節點電壓，而非電源供應電壓 VDD2，可施加於箝制電路 1320。驅動電路 1330 也可耦接於電源供應電壓 VDD2 與接地電壓 VSS2 之間。雖然耦接至驅動電路 1330 的接地電壓 VSS2 與耦接至電源開關單元 1310 的接地電壓 VSS1 在圖 11 中以不同路徑輸入，但接

地電壓 VSS1 與 VSS2 可為相同電壓。

【0090】 雖然用來執行電源管理作業的電源管理晶片繪示如圖 11 中的半導體裝置 1300，本示範實施例並不限於此。舉例來說，半導體裝置 1300 可包括 LDMOS 電晶體，並且與其他積體電路一同形成高壓或高電流路徑，或是執行上述的其他功能。

【0091】 圖 12 是根據本發明概念的示範實施例繪示包括半導體裝置 2300 的半導體系統 2000 的方塊圖。某些圖 12 所示的元件與圖 11 中所示的相同。請參考圖 12，半導體系統 2000 可包括半導體裝置 2300，與安裝在模組板 2100 的控制晶片 2200。半導體裝置 2300 可包括用來切換高壓的電源開關單元 2310，而且電源開關單元 2310 可藉由包含至少兩個高壓電晶體來管理電源。在圖 12 中，電源開關單元 2310 包括第一電晶體 2311 與第二電晶體 2312，而且第一電晶體 2311 與第二電晶體 2312 其中至少一個可形成高壓電晶體或是第一電晶體 2311 與第二電晶體 2312 皆可形成高壓電晶體。在這裡是假設第一電晶體 2311 與第二電晶體 2312 皆為高壓電晶體。

【0092】 為了驅動電源開關單元，第一驅動電路 2331 與第二驅動電路 2332 可配置在半導體裝置 2300 中。第一驅動電路 2331 輸出驅動訊號至第一高壓電晶體 2311 的閘極，並且控制第一高壓電晶體 2311 的開關。第二驅動電路 2332 輸出驅動訊號至第二高壓電晶體 2312 的閘極，並且控制第二高壓電晶體 2312 的開關。控制晶片 2200 產生控制訊號 CON2a 與 CON2b，並且分別施加控制訊

號 CON2a 與 CON2b 至第一驅動電路 2331 與第二驅動電路 2332。
第一驅動電路 2331 可耦接於電源供應電壓 VDD2 與接地電壓 VSS2 之間，並且第二驅動電路 2332 可耦接至電源供應電壓 VDD3 與接地電壓 VSS3 之間。電源供應電壓 VDD2 與 VDD3 可具有相同或不同的電壓電位。雖然接地電壓 VSS1、VSS2 及 VSS3 從圖 12 中不同的路徑輸入，但接地電壓 VSS1、VSS2 及 VSS3 可具有相同電壓。

● **【0093】** 此外，半導體裝置 2300 可進一步包括用來箝制第一高壓電晶體 2311 與第二高壓電晶體 2312 閘極的箝制電路 2320。箝制電路 2320 可以實質上以與上述相同的方式來箝制第一高壓電晶體 2311 與第二高壓電晶體 2312。雖然箝制電路 2320 共用地耦接於圖 12 中的第一高壓電晶體 2311 與第二高壓電晶體 2312，但各自獨立的箝制電路可配置成分別地耦接至第一高壓電晶體 2311 與第二高壓電晶體 2312。當靜電放電現象發生，箝制電路 2320 可箝制第一高壓電晶體 2311 的第一閘極電壓 Vg1 與第二高壓電晶體 2312 的第二閘極電壓 Vg2。此外，雖然電源供應電壓 VDD2 施加於圖 12 中的箝制電路 2320，其他電壓(例如任何驅動電路的電壓)亦可施加於箝制電路 2320。

● **【0094】** 這裡假設由於在耦接至第一高壓電晶體 2311 與第二高壓電晶體 2312 之間共同節點‘d’的焊墊發生靜電放電現象，靜電放電電荷注入。當靜電放電電荷注入時，既然共同節點‘d’具有相對較高的電壓電位，共同節點‘d’可對應於第一高壓電晶體 2311 與第二

高壓電晶體 2312 的汲極。此外，寄生電容元件(未示出)可形成於每一第一高壓電晶體 2311 與第二高壓電晶體 2312 的汲極與閘極之間。因此，當共同節點‘d’電壓的電位在靜電放電現象期間上升，第一高壓電晶體 2311 與第二高壓電晶體 2312 的閘極電壓 V_{g1} 與 V_{g2} 電位也會跟著上升。

【0095】 箝制電晶體 2320 包括至少一個箝制電晶體(未示出)在其中，而且箝制電晶體根據靜電放電現象的偵測結果而開啓或關閉。此外，箝制電晶體可包括耦接至第一閘極電壓 V_{g1} 與施加接地電壓 V_{SS1} 的接地電壓供應的電晶體，以及耦接至第二閘極電壓 V_{g2} 與施加接地電壓 V_{SS1} 的接地電壓供應的電晶體。第一與第二閘極電壓 V_{g1} 與 V_{g2} 可以實質上與上述相同的方式箝制。

【0096】 圖 13 是根據本發明概念的示範實施例繪示半導體裝置 3000 的方塊圖。請參考圖 13，半導體裝置 3000 包括高壓電晶體 3100、驅動電路 3300、箝制電路 3200 以及靜電放電保護電路 3400。如上述實施例中的相同元件可具有相同結構與相同操作方式，因此將不再作詳細說明。

【0097】 請參考圖 13，為避免因爲靜電放電現象損毀半導體裝置 3000 中的元件，靜電放電保護電路 3400 可直接耦接至焊墊 PAD。舉例來說，靜電放電保護電路 3400 可平行耦接至高壓電晶體 3100 以使得至少部份的靜電放電電荷可經由靜電放電保護電路 3400 分流。

【0098】 即使在包括靜電保護電路 3400 的時候，既然高壓電晶體

3100 開啓的時間比由於靜電放電現象而開始的靜電保護電路 3400 保護操作還早，靜電放電電位可因此降低。根據本示範實施例，既然除了平行配置於高壓電晶體 3100 的靜電放電電路 3400 之外，還配置了箝制電路 3200 耦接於施加接地電壓 GND 的接地電壓供應與高壓電晶體 3100 的閘極之間，當高壓電晶體 3100 的閘極電壓 V_g 電位上升時，儘管已有靜電保護電路 3400，箝制電路 3200 偵測電位上升並箝制閘極電壓 V_g 。因此，可減少由於高壓電晶體 3100 通道加熱造成的靜電放電電位下降的情形。

【0099】圖 14 是根據本發明概念的示範實施例繪示安裝在半導體系統 4000 上的半導體裝置 4200 的方塊圖。圖 15 是顯示圖 14 半導體系統 4000 中不同電壓電位的表格。

【0100】請參考圖 14，半導體系統 4000 包括內部積體電路 4100 以及半導體裝置 4200 電性耦接至內部積體電路 4100。如上所述，半導體裝置 4200 可配置在半導體系統 4000 中並執行多種功能。

舉例來說，半導體裝置 4200 可包括高壓電晶體單元 4210，並可替內部積體電路 4100 管理電源。內部積體電路 4100 以及半導體裝置 4200 可經由至少一個焊墊傳輸/接收多種訊號。舉例來說，內部積體電路 4100 的一個或多個焊墊 4101 與 4102 可電性耦接至半導體裝置 4200 的一個或多個焊墊 4201 與 4202。此外，內部積體電路 4100 可藉由使用電源供應電壓 VDD 執行多種操作，並且半導體裝置 4200 可接收來自內部積體電路 4100 的至少一個電壓(例如輸入電壓 VIN)。在一個例子中，輸入電壓 VIN 通過圖 14 中積體

電路 4100 的一個焊墊 4101 施加至半導體裝置 4200。半導體裝置 4200 可進一步包括用來驅動高壓電晶體單元 4210 的驅動電路 4230，以及用來箝制高壓電晶體單元 4210 閘極電壓 V_g 的箝制電路 4220。高壓電晶體單元 4210 可耦接於接地電壓 V_{SS} 與半導體裝置 4200 的焊墊 4202 之間。舉例來說，高壓電晶體 4210 可管理通過焊墊 4101 與 4102 供應至內部積體電路 4100 的電源。

【0101】 請參考圖 15，與箝制操作相關的多種電壓電位可根據半導體裝置 4200 或是半導體系統 4000 的操作模式而改變，並且箝制電路 4220 的啟動可被控制。

【0102】 舉例來說，當半導體裝置 4200 或是半導體系統 4000 正常運作時，箝制電路 4220 不會影響半導體裝置 4200 或是半導體系統 4000 的操作。換句話說，在正常運作的情況下，輸入電壓 V_{IN} 具有高於高壓電晶體單元 4210 閘極電壓 V_g 的電位，並且因此關閉包括在箝制電路 4220 中的箝制電晶體，從而關閉箝制電晶體 4220。

【0103】 相比之下，在半導體系統 4000 使用半導體裝置 4200 之前，或是當半導體裝置 4200 或半導體系統 4000 不運作時(例如非運轉期間)，輸入電壓 V_{IN} 可具有接地電壓電位(例如 0 伏)，並且高壓電晶體單元的閘極 4210 可為浮動狀態。在這種情形下，箝制電晶體被關閉，並且因此關閉箝制電路 4220。

【0104】 相比之下，當靜電放電現象在非運轉期間發生，高壓電晶體單元 4210 的閘極電壓 V_g 由於高壓電晶體單元 4210 閘極與

汲極之間的寄生電容元件以及靜電放電電荷的注入而增加。此外，寄生電容元件可於施加輸入電壓 V_{IN} 的節點與高壓電晶體 4210 的閘極之間形成，並且閘極電壓 V_g 因此上升，以及輸入電壓 V_{IN} 隨閘極電壓 V_g 電位從接地電壓電位上升。當靜電放電在靜電放電現象的初期脈衝上升時，閘極電壓 V_g 具有高於輸入電壓 V_{IN} 的電位。

● **【0105】** 控制訊號的產生是根據閘極電壓 V_g 與輸入電壓 V_{IN} 之間電位差異的偵測結果，當箝制電晶體由於所產生的控制訊號被開啓，箝制電路 4220 啓動，並且高壓電晶體單元 4210 的閘極電壓被箝制。

● **【0106】** 綜上所述，根據箝制電路、包括箝制電路的半導體裝置以及發明概念實施例的半導體裝置箝制方法，由於靜電放電或其他相似現象造成對於元件的損害可被避免。

● **【0107】** 此外，由於箝制電路爲了高壓電晶體作優化，並且配備包含根據發明概念示範實施例的箝制電路的半導體裝置，因爲靜電放電所造成的半導體裝置的效能衰退可被抑制。

● **【0108】** 雖然本發明概念已參考其示範實施例作特別地敘述與說明，但應被本發明所屬領域具有通常知識的技術人員理解的是，在不脫離如後附申請專利範圍所界定本發明概念的精神與範圍的情形下，當可在其中進行多種形式及細節上的改變。

【符號說明】

10、400、1300、2300、3000、4200：半導體裝置

- 100、4210：高壓電晶體單元
- 200、1320、3200、4220：箝制電路
- 210、420、2320：箝制電晶體
- 220：觸發電路
- 300、3300、4230：驅動電路
- 310：第一內部電路
- 320：第二內部電路
- 410：LDMOS 電晶體
- 430：靜電放電偵測單元
- 1000、2000、4000：半導體系統
- 1100、2100：模組板
- 1200、2200：控制晶片
- 1310、2310：電源開關單元
- 1330：驅動電路
- 2311：第一電晶體
- 2312：第二電晶體
- 2331：第一驅動電路
- 2332：第二驅動電路
- 3100：高壓電晶體
- 3400：靜電放電保護電路
- 4100：內部積體電路
- 4101、4102、4201、4202：焊墊

發明摘要

※ 申請案號：102132699

※ 申請日：102.9.11

※IPC 分類：H01L 23/60 (2006.1)

【發明名稱】

箝制電路、具有該箝制電路的半導體裝置以及該半導體裝置的箝制方法

CLAMPING CIRCUIT, A SEMICONDUCTOR APPARATUS INCLUDING THE SAME, AND A CLAMPING METHOD OF THE SEMICONDUCTOR APPARATUS

【中文】

一種半導體裝置包括第一高壓電晶體，具有閘極與第一電極，其中第一電極耦接至第一焊墊，並且寄生電容形成於閘極與第一電極之間。箝制電路耦接於第一高壓電晶體的閘極，其中箝制電路偵測第一高壓電晶體的閘極電壓由於靜電放電造成的電位改變，並且根據偵測的結果箝制第一高壓電晶體的閘極電壓。

【英文】

A semiconductor apparatus that includes: a first high-voltage transistor having a gate and a first electrode, wherein the first electrode is connected to a first pad and a parasitic capacitance forms between the gate and the first electrode; and a clamping circuit that is connected to the gate of the first high-voltage transistor, wherein the clamping circuit detects a change in a level of a gate voltage of the first high-voltage transistor due to electrostatic discharge,

and clamps the gate voltage of the first high-voltage transistor according to a result of the detection.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

10：半導體裝置

100：高壓電晶體單元

200：箝制電路

300：驅動電路

a：節點

GND：接地電壓

PAD：焊墊

Vg：閘極電壓

VIN：輸入電壓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

圖式

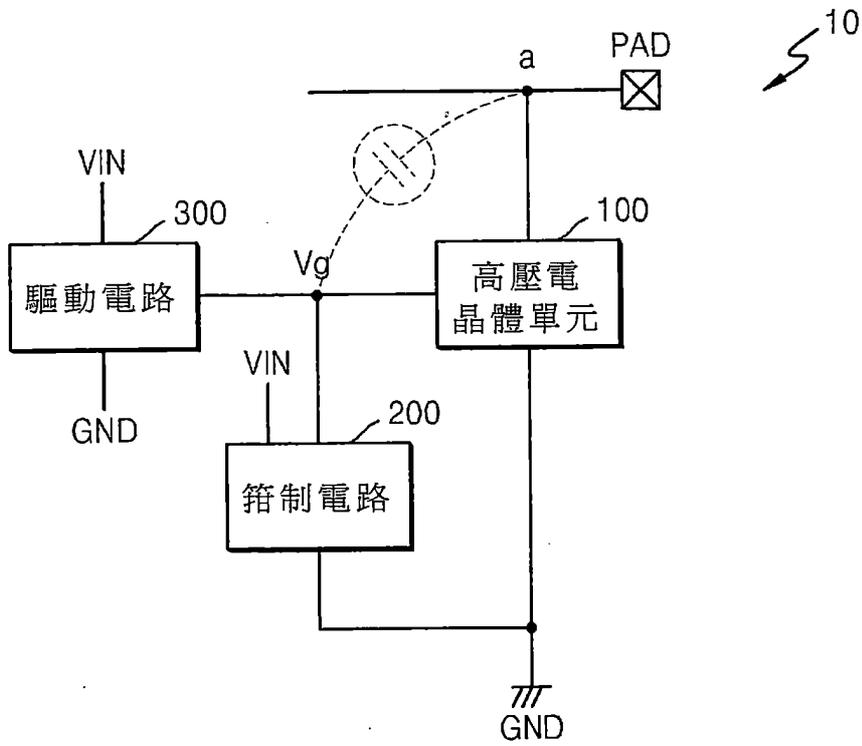


圖 1

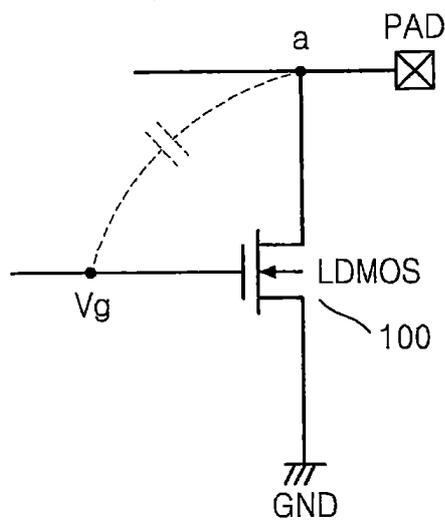


圖 2

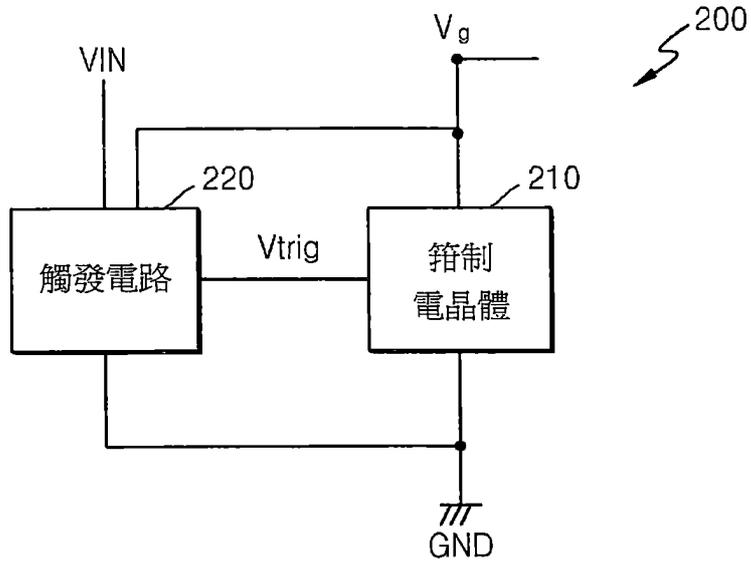


圖 3

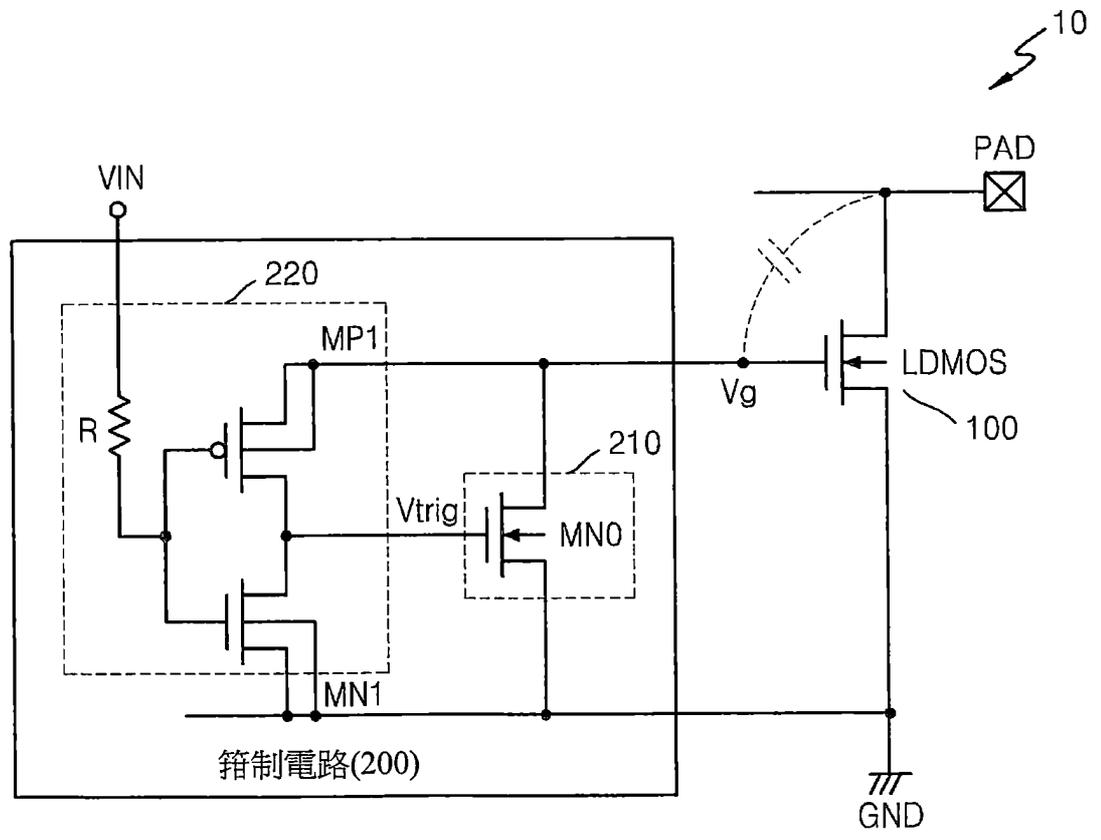


圖 4

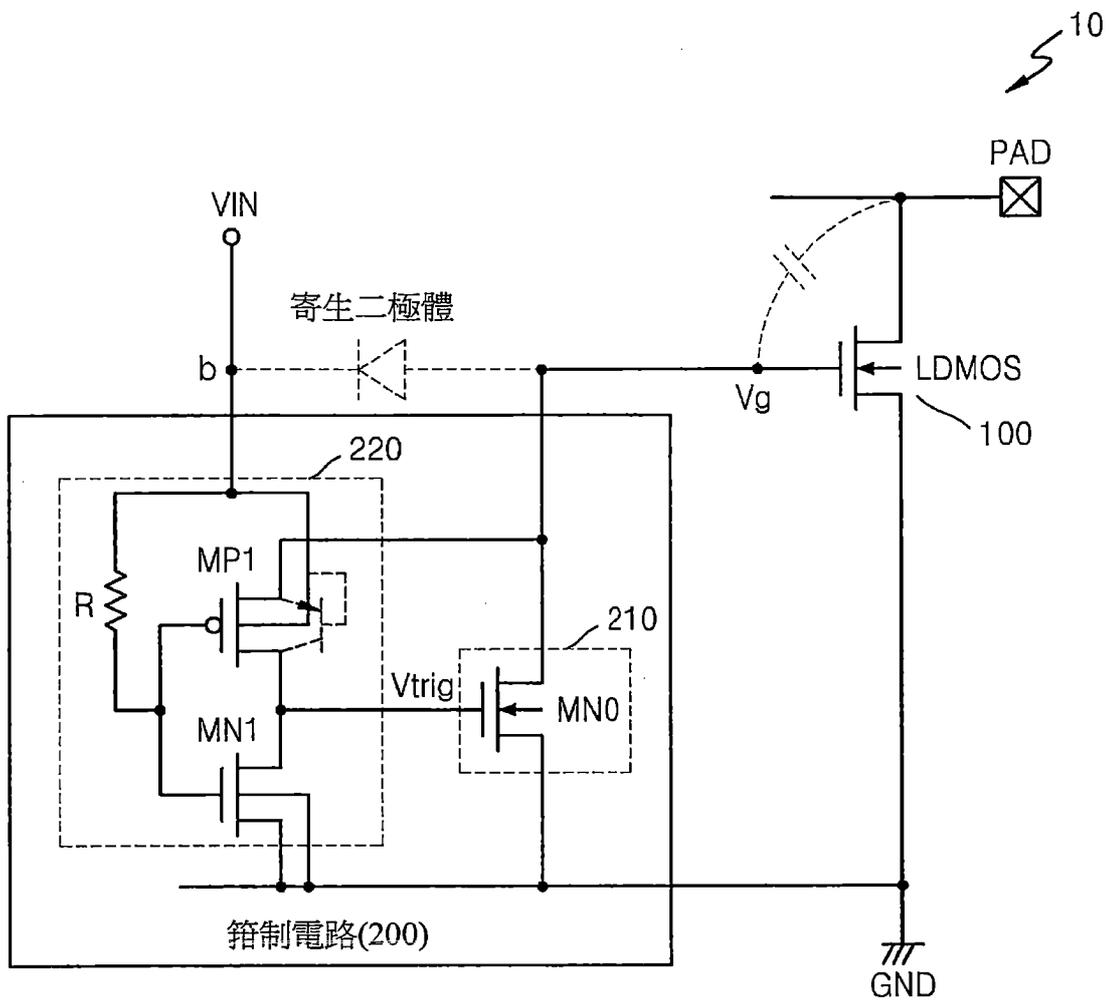


圖 5A

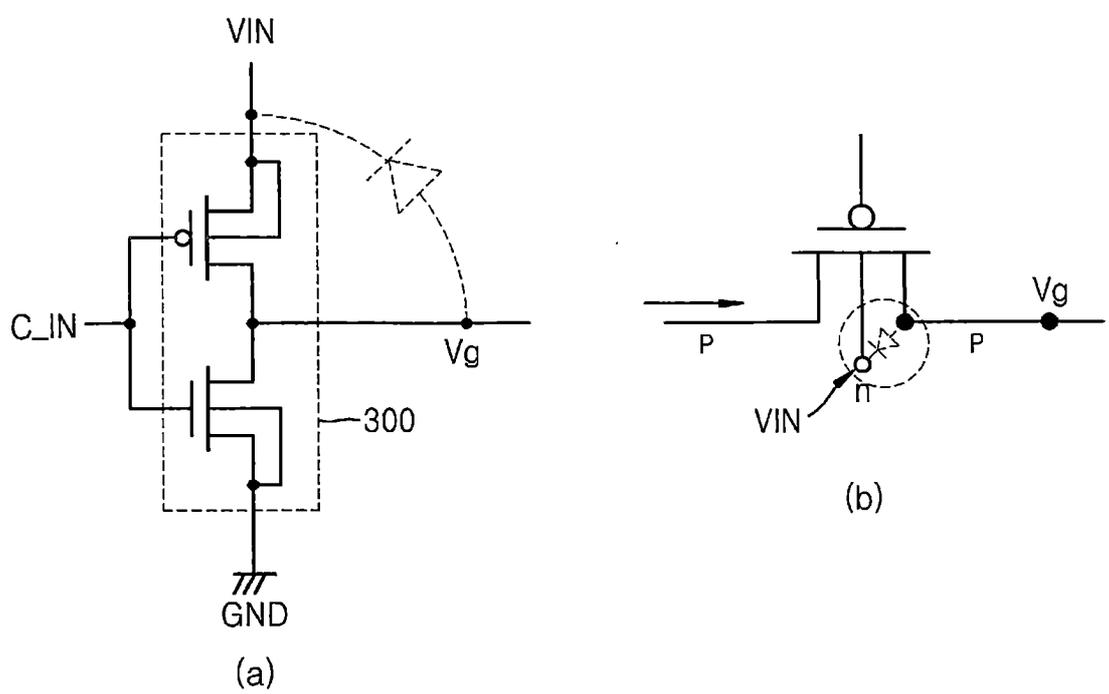


圖 5B

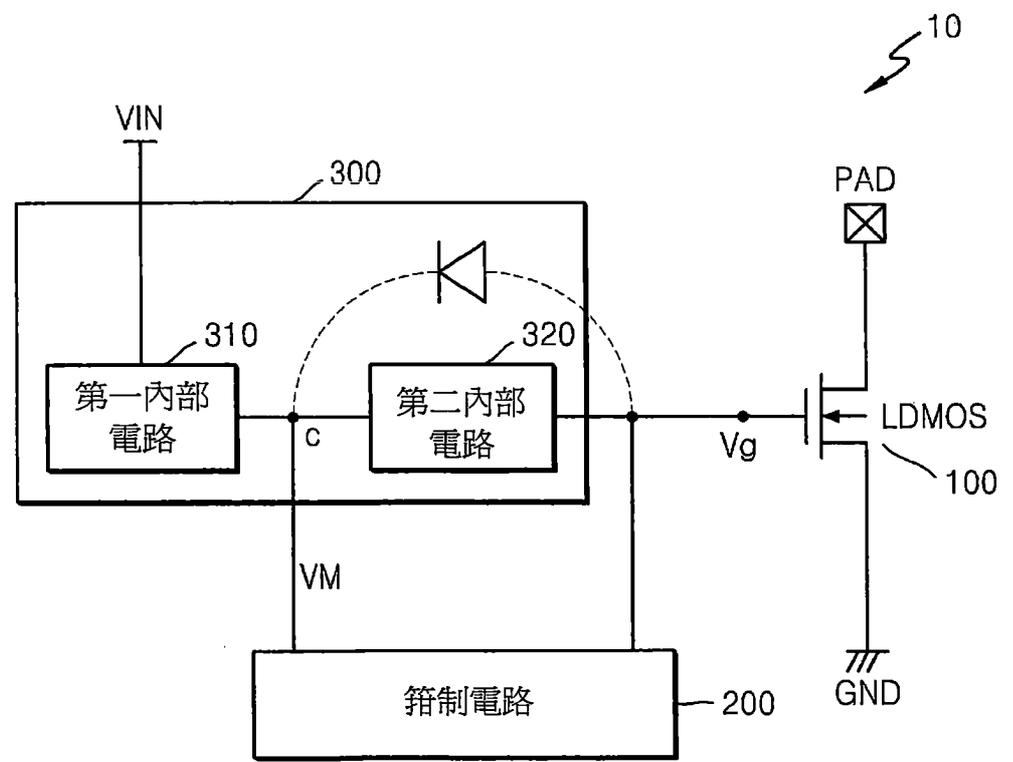
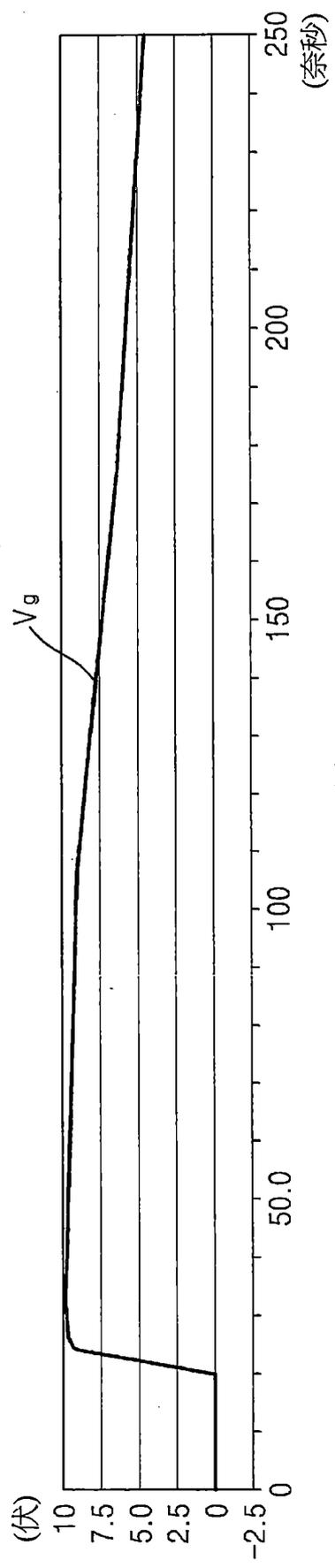
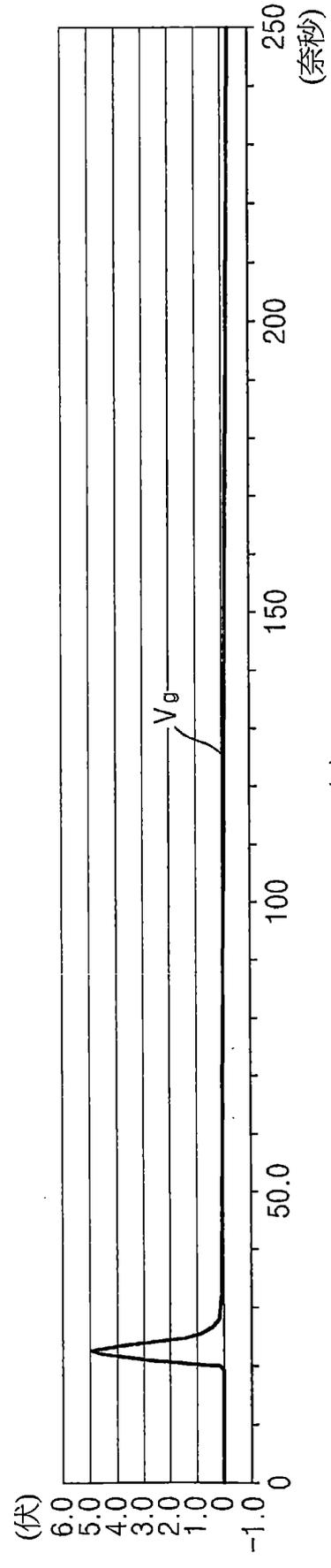


圖 6



(a)



(b)

圖 7

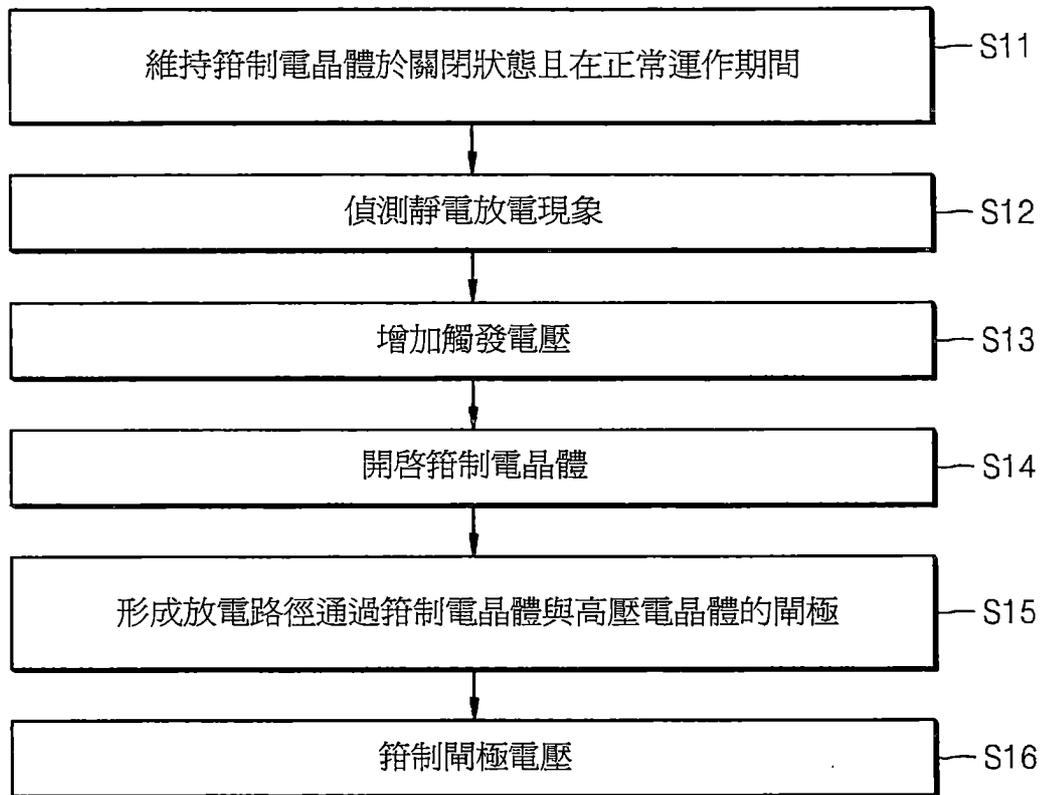


圖 8

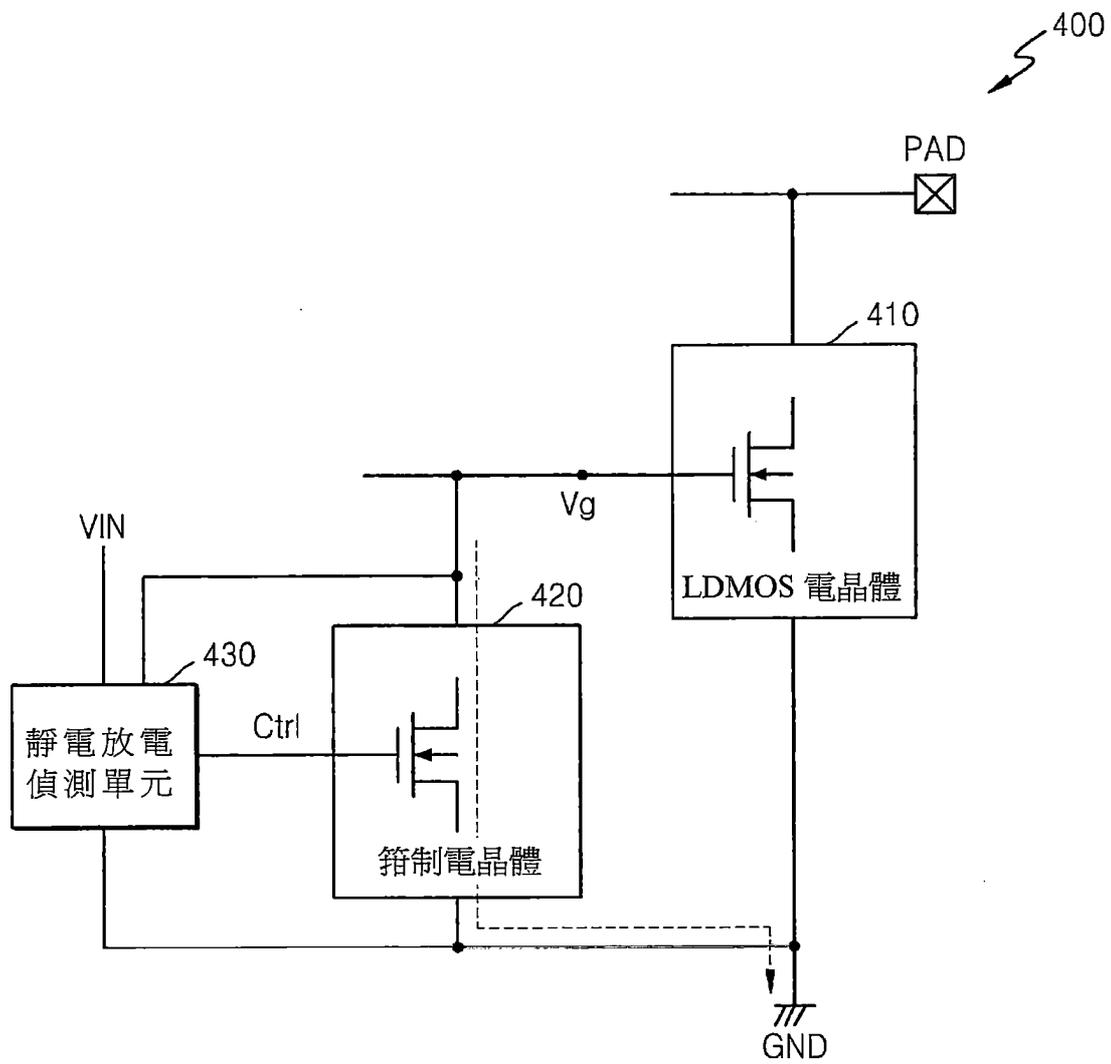


圖 9

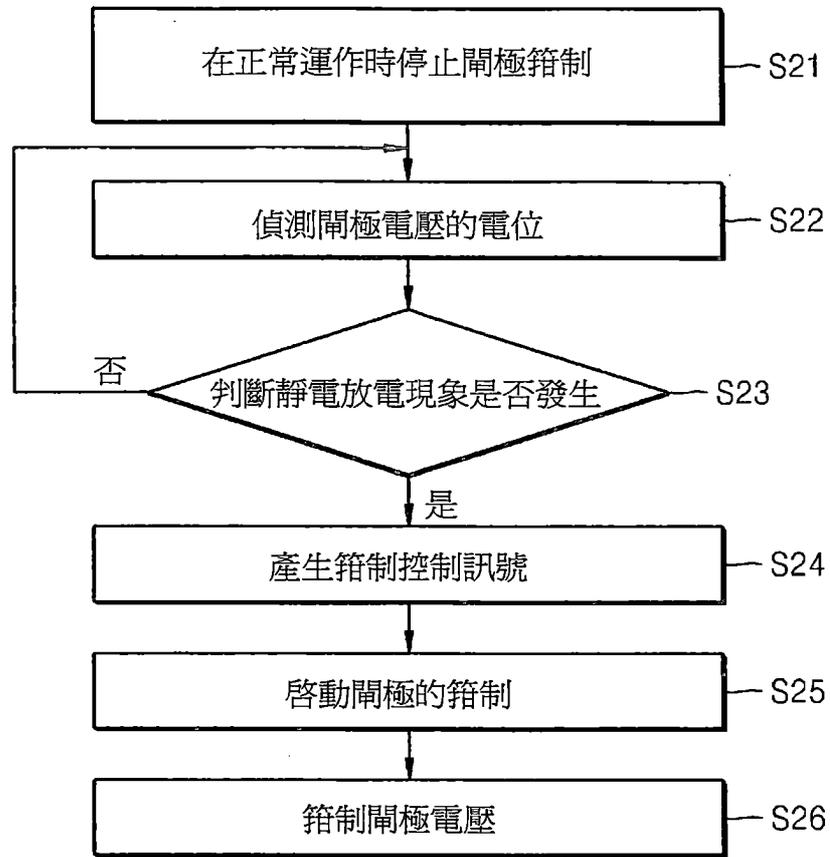


圖 10

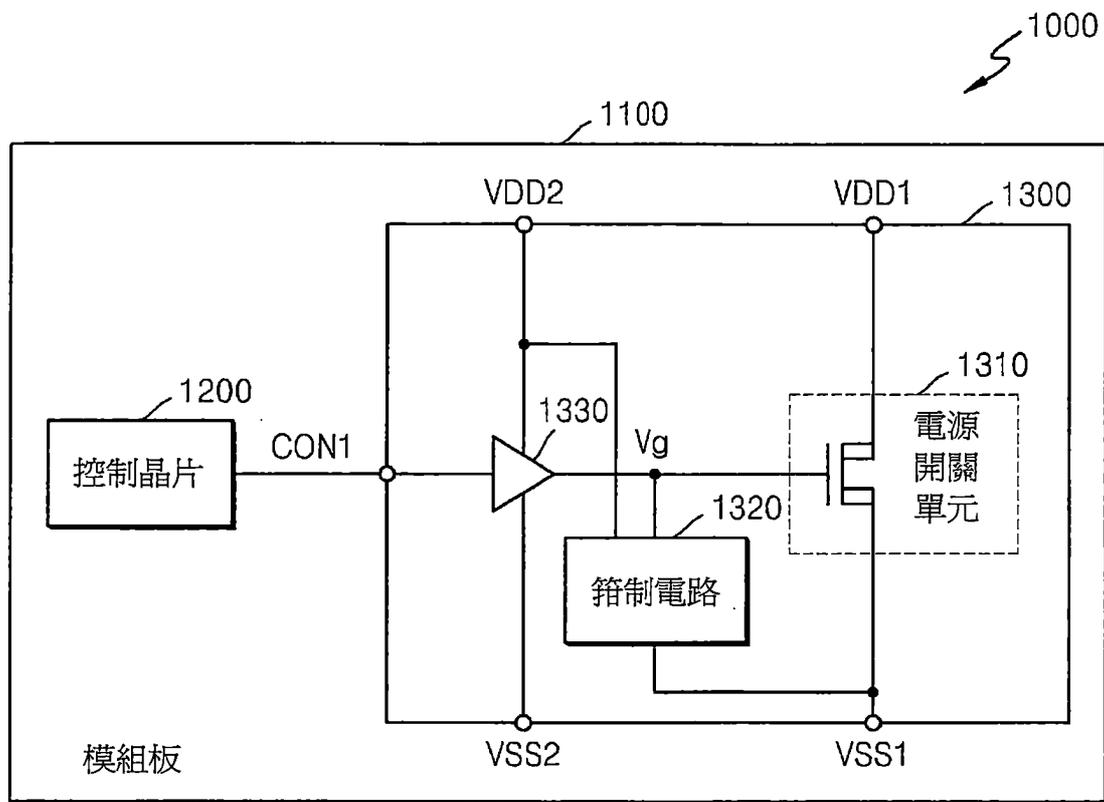


圖 11

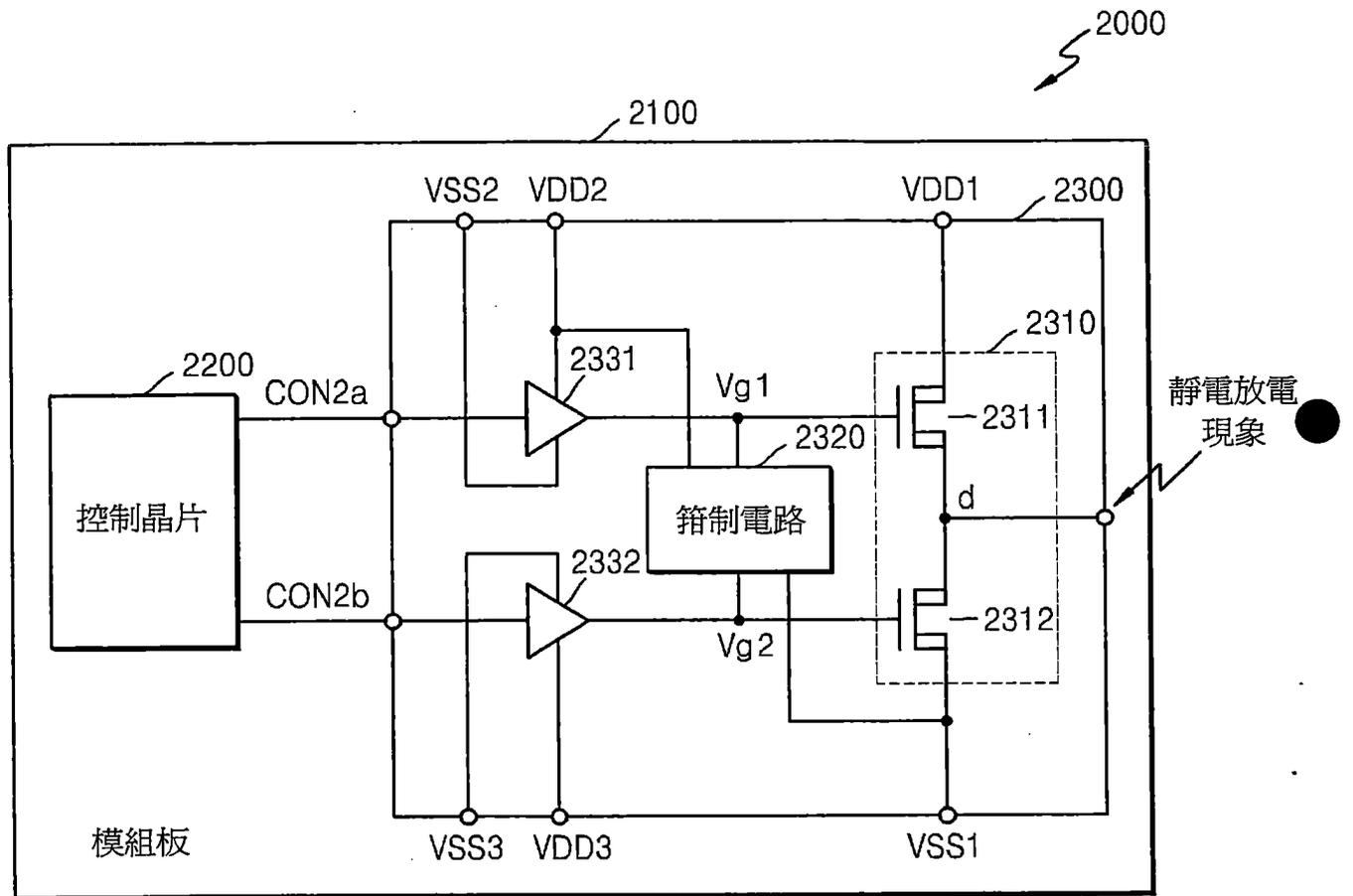


圖 12

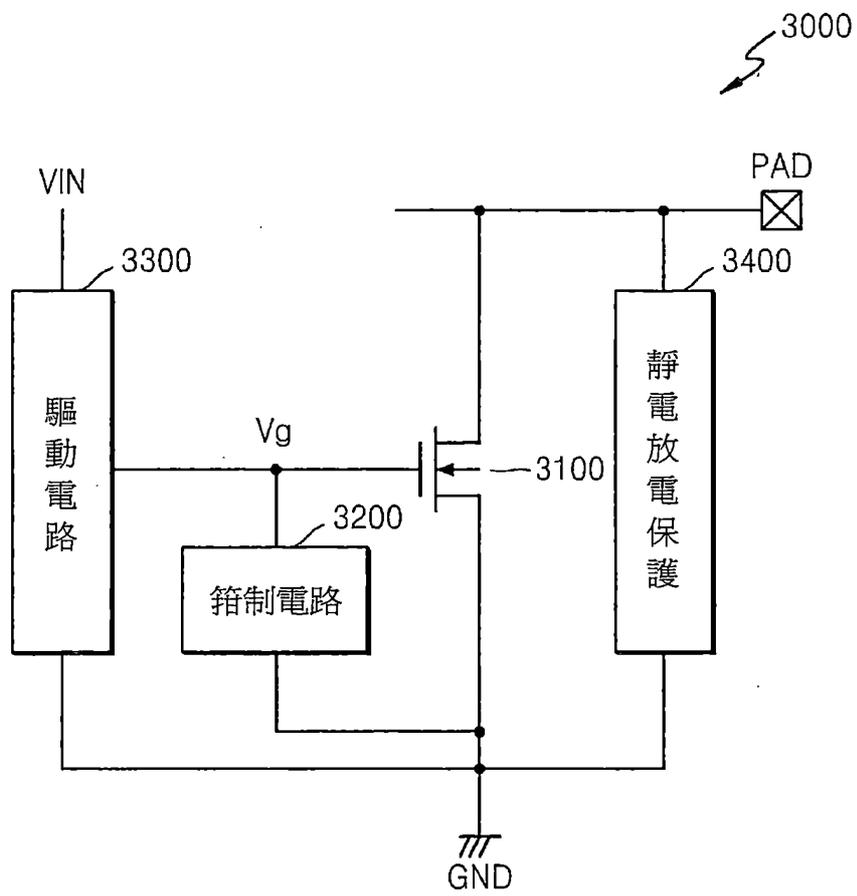


圖 13

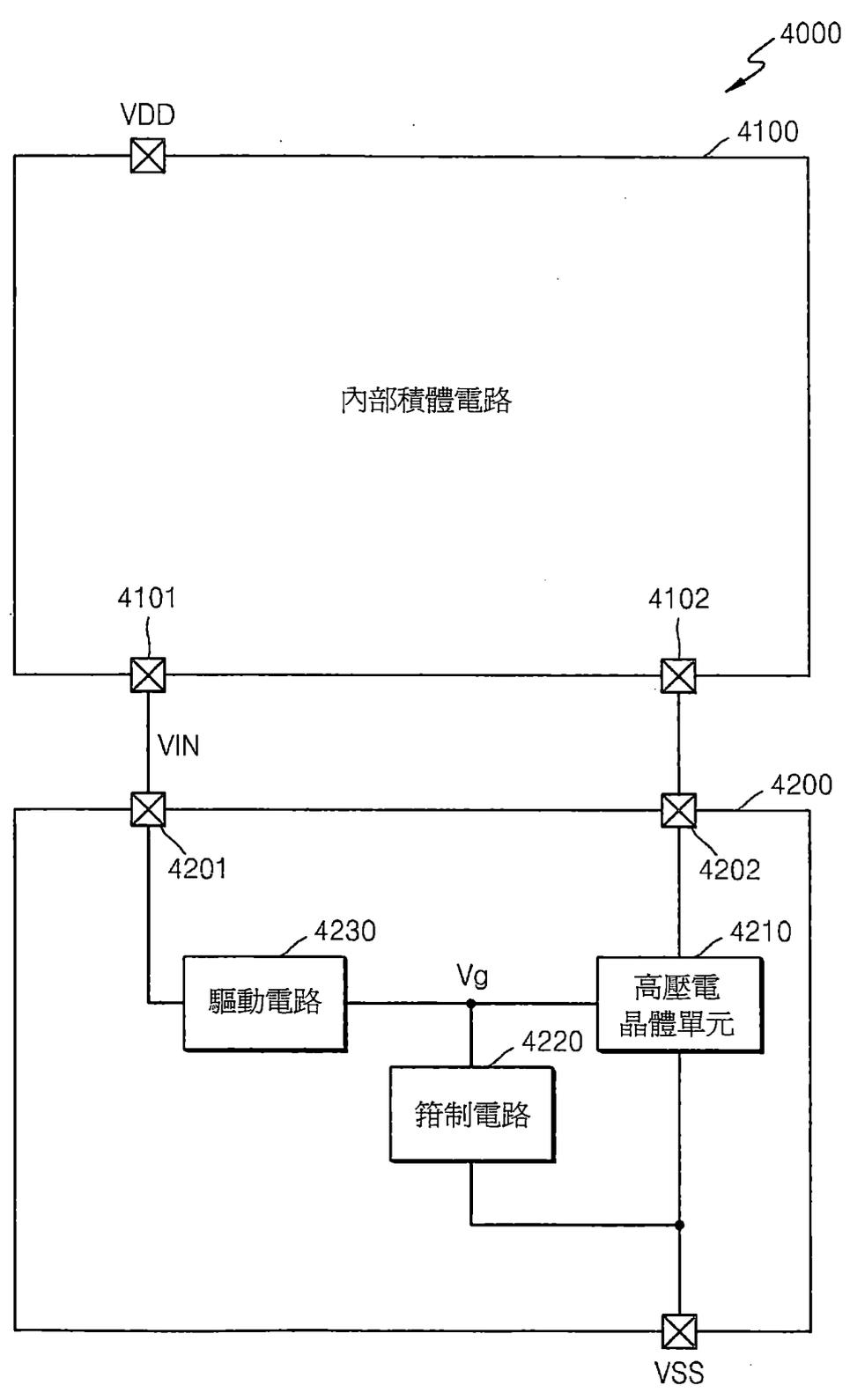


圖 14

		VIN	Vg	箝制電路
正常		VIN	$Vg < VIN$	停止
非運轉 期間	無靜電放電	0	浮動	停止
	靜電放電現象	$0 \sim Vg$	$Vg > VIN$	啓動

圖 15

and clamps the gate voltage of the first high-voltage transistor according to a result of the detection.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

10：半導體裝置

100：高壓電晶體單元

200：箝制電路

300：驅動電路

a：節點

GND：接地電壓

PAD：焊墊

Vg：閘極電壓

VIN：輸入電壓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

本發明概念的上述及其他特徵將變的更加明顯，且其中：

圖 1 是根據本發明概念的示範實施例繪示半導體裝置的方塊圖。

圖 2 是根據本發明概念的示範實施例繪示圖 1 半導體裝置的高壓電晶體單元的電路圖。

圖 3 是根據本發明概念的示範實施例繪示圖 1 半導體裝置的箝制電路的方塊圖。

圖 4 是根據本發明概念的示範實施例繪示圖 1 半導體裝置的電路圖。

圖 5A 及 5B 是根據本發明概念的示範實施例繪示半導體裝置的電路圖。

圖 6 是根據本發明概念的示範實施例繪示半導體裝置的方塊圖。

圖 7 是根據本發明概念的示範實施例及施加靜電放電脈衝時閘極電壓的波長繪示包括/不包括箝制電路之間的電壓關係圖。

圖 8 是根據本發明概念的示範實施例繪示半導體裝置箝制方法的流程圖。

圖 9 是根據本發明概念的示範實施例繪示半導體裝置的方塊圖。

圖 10 是根據本發明概念的示範實施例繪示圖 9 半導體裝置的操作流程圖。

圖 11 是根據本發明概念的示範實施例繪示包括半導體裝置的半導體系統的方塊圖。

圖 12 是根據本發明概念的示範實施例繪示包括半導體裝置的半導體系統的方塊圖。

圖 13 是根據本發明概念的示範實施例繪示半導體裝置的方塊圖。

圖 14 是根據本發明概念的示範實施例繪示安裝在半導體系統上的半導體裝置的方塊圖。

圖 15 是顯示圖 14 半導體系統中不同電壓的電位的表格。

【實施方式】

【0036】 以下參考所伴隨的圖式，詳細敘述本發明概念的示範實施例。然而，本發明概念可以多種不同形式實施，不應解釋為限制於此處所闡述的示範實施例。

【0037】 圖 1 是根據本發明概念的示範實施例繪示半導體裝置 10 的方塊圖。請參考圖 1，半導體裝置 10 可包括高壓電晶體單元 100、箝制電路 200 以及驅動電路 300。

【0038】 半導體裝置 10 可執行多種關於電壓或電源的操作。半導體裝置 10 可以半導體晶片的形式形成，並經由至少一個焊墊輸入/輸出訊息。當半導體裝置 10 被使用來接收主要電源，且將主要電源轉換成其他電路裝置的電壓或是分配主要電源，或者被使用作為路徑讓高電壓或高電流流通以作為外部積體電路的高壓驅動

【0068】圖 6 是根據本發明概念的示範實施例繪示半導體裝置的方塊圖。某些圖 6 所示元件與圖 5A 所示相同。如上所述，箝制電路 200 可箝制 LDMOS 電晶體 LDMOS 的閘極電壓，並且可以為閘極電壓 V_g 依據閘極電壓 V_g 與施加於箝制電路 200 的至少一個電壓(例如圖 6 中的內部電壓 V_M)之間的電位差異來控制箝制操作。

【0069】輸入電壓 V_{IN} 可施加作為驅動電路 300 的操作電壓。輸入電壓 V_{IN} 可經由半導體裝置 10 的另一個焊墊從外部輸入，或可藉由使用電源供應電壓產生於半導體裝置 10。驅動電路 300 可包括至少一個內部電路，例如第一內部電路 310 與第二內部電路 320。施加於驅動電路 300 一節點的電壓可施加於箝制電路 200 作為內部電壓 V_M 。舉例來說，第一內部電路 310 與第二內部電路之間節點‘c’的電壓可施加於箝制電路 200 作為內部電壓 V_M 。

【0070】此外，寄生二極體元件可形成於驅動電路 300 中的節點‘c’與 LDMOS 電晶體 LDMOS 閘極之間，並且以節點‘c’與 LDMOS 電晶體 LDMOS 的閘極為節點用來施加兩電壓以控制上述的箝制操作。因此，當靜電放電現象發生時，節點‘c’電壓(例如內部電壓 V_M)的電位隨閘極電壓上升而上升，且當靜電放電脈衝上升時，由於閘極電壓 V_g 與內部電壓 V_M 之間的電位差異，箝制電晶體將被驅動並執行箝制操作。

【0071】圖 7(a)及 7(b)是根據本發明概念的示範實施例及施加靜電放電脈衝時閘極電壓的波形繪示包括/不包括箝制電路之間的電壓關係圖。圖 7(a)繪示根據本發明概念示範實施例的箝制電路不

使用時的情形，而圖 7(b)繪示根據本發明概念示範實施例的箝制電路使用時的情形。舉例而言，當靜電放電脈衝相當於根據人體放電模式(Human Body Model, HBM)施加 2 千伏(kV)給 LDMOS 電晶體 LDMOS 的汲極時，閘極電壓 V_g 的波形改變。

【0072】請參考圖 7(a)，當根據本發明概念示範實施例的箝制電路不使用時，閘極電壓 V_g 在施加靜電放電脈衝後的預設時間周期之外，維持數伏 (V)的電壓電位。例如，閘極電壓 V_g 的最高電壓電位約為 10 伏。此外，既然閘極電壓 V_g 在靜電放電脈衝開始下降之後，維持相等或高於 5 伏的電位電壓超過 150 奈秒(ns)，LDMOS 電晶體 LDMOS 的通道在靜電放電現象發生時可被加熱。

【0073】請參考圖 7(b)，當根據本發明概念示範實施例的箝制電路被使用時，可於靜電放電現象發生之後的 3 奈秒，引起 5 伏作為閘極電壓 V_g ，但是閘極電壓 V_g 與不使用箝制電路的情形相比時，閘極電壓 V_g 的上升幅度為不使用時的一半。此外，既然閘極電壓 V_g 在靜電放電現象發生後的 5 奈秒，被箝制到接地電壓電位，LDMOS 電晶體 LDMOS 的閘極被開啓的可能性減少。特別是，既然靜電放電現象在人體放電模式中具有大約 6 奈秒的上升週期，當根據本示範實施例的箝制電路被使用時，LDMOS 電晶體 LDMOS 的閘極在靜電放電現象發生時能有效的被箝制。此箝制可在不影響半導體系統的正常作業下完成。

【0074】圖 8 是根據本發明概念的示範實施例繪示半導體裝置箝制方法的流程圖。半導體裝置可包括高壓電晶體。在圖 8 中，箝

a、b、c、d：節點

C_IN：控制輸入

Ctrl、CON1、CON2a、CON2b：控制訊號

GND：接地電壓

LDMOS：LDMOS 電晶體

MN0：第一 NMOS 電晶體

MN1：第二 NMOS 電晶體

MP1：第一 PMOS 電晶體

n：n 型基極

p：p 型汲極

PAD：焊墊

R：電阻

S11、S12、S13、S14、S15、S16、S21、S22、S23、S24、S25、

S26：操作步驟

VDD、VDD1、VDD2、VDD3：電源供應電壓

Vg：閘極電壓

Vg1：第一閘極電壓

Vg2：第二閘極電壓

VIN：輸入電壓

VM：內部電壓

VSS、VSS1、VSS2、VSS3：接地電壓

Vtrig：觸發電壓

申請專利範圍

1. 一種半導體裝置，包括：

第一高壓電晶體，具有閘極與第一電極，其中所述第一電極耦接至第一焊墊，所述第一焊墊接收靜電放電；以及

箝制電路，耦接至所述第一高壓電晶體的所述閘極，其中所述箝制電路偵測所述第一高壓電晶體的閘極電壓由於所述第一焊墊接收之所述靜電放電造成的電位改變，並根據所述偵測的結果箝制所述第一高壓電晶體的所述閘極電壓。

2. 如申請專利範圍第 1 項所述的半導體裝置，其中所述第一高壓電晶體是控制電源傳輸的電源開關。

3. 如申請專利範圍第 1 項所述的半導體裝置，其中所述第一高壓電晶體具有第二電極，耦接至接地電極，且所述第一高壓電晶體是橫向擴散金氧半導體電晶體。

4. 如申請專利範圍第 1 項所述的半導體裝置，其中所述箝制電路包括：

觸發電路，產生觸發電壓，其中所述觸發電壓的電位改變以響應所述第一高壓電晶體的所述閘極電壓的電位上升；以及

箝制電晶體，控制所述第一高壓電晶體的所述閘極與接地電壓之間的耦接以響應所述觸發電壓。

5. 如申請專利範圍第 4 項所述的半導體裝置，其中所述觸發電路包括：

拉升單元，耦接於所述第一高壓電晶體的所述閘極與所述箝制電晶體的閘極之間，並且拉升所述觸發電壓；以及

下拉單元，耦接於所述拉升單元與所述接地電壓之間，並且

下拉所述觸發電壓。

6. 如申請專利範圍第 5 項所述的半導體裝置，其中所述拉升單元包括金氧半導體電晶體，具有源極，所述第一高壓電晶體的所述閘極的第一電壓施加於所述源極，以及閘極，耦接至施加第二電壓的第一節點，其中所述金氧半導體電晶體的基極電性耦接至所述第二電壓。

7. 如申請專利範圍第 6 項所述的半導體裝置，其中寄生二極體元件形成於所述第一高壓電晶體的所述閘極與所述第一節點之間。

8. 如申請專利範圍第 1 項所述的半導體裝置，更包括驅動電路，所述驅動電路包括至少一個電路用以控制所述第一高壓電晶體的驅動，以及節點，其電壓被施加作為所述箝制電路的操作電壓。

9. 如申請專利範圍第 1 項所述的半導體裝置，更包括第二高壓電晶體，其中所述箝制電路共用地耦接至所述第一高壓電晶體的所述閘極與所述第二高壓電晶體的閘極。

10. 一種箝制電路，耦接至橫向擴散金氧半導體電晶體的閘極，所述橫向擴散金氧半導體電晶體的第一電極耦接至第一焊墊，所述第一焊墊接收靜電放電，包括：

靜電放電偵測單元，偵測所述橫向擴散金氧半導體電晶體的所述閘極由於所述第一焊墊接收之所述靜電放電造成的電位改變，並輸出控制訊號；以及

箝制電晶體，耦接至所述橫向擴散金氧半導體電晶體的所述閘極，其中所述箝制電晶體的閘極接收所述控制訊號，且所述箝

制電晶體箝制所述橫向擴散金氧半導體電晶體的閘極電壓以響應所述控制訊號。

11. 如申請專利範圍第 10 項所述的箝制電路，其中所述靜電放電偵測單元包括第一金氧半導體電晶體，具有第一電極，耦接至所述橫向擴散金氧半導體電晶體的所述閘極，以及第二電極，耦接至所述箝制電晶體的所述閘極，並藉由切換所述橫向擴散金氧半導體電晶體的所述閘極電壓產生所述控制訊號。

12. 如申請專利範圍第 11 項所述的箝制電路，其中所述第一金氧半導體電晶體經由所述第一電極接收所述橫向擴散金氧半導體電晶體的所述閘極的第一電壓，經由所述第一金氧半導體電晶體的閘極接收第二電壓，並且所述第一金氧半導體電晶體由於所述第一電壓與所述第二電壓之間的電位差異而被開啟。

13. 如申請專利範圍第 12 項所述的箝制電路，其中所述第一金氧半導體電晶體的基極電性耦接至所述第二電壓。

14. 如申請專利範圍第 13 項所述的箝制電路，其中當所述靜電放電發生時，所述第一金氧半導體電晶體產生所述控制訊號通過所述第一金氧半導體電晶體的金氧半導體通道的第一路徑及寄生雙極元件的第二路徑。

15. 如申請專利範圍第 12 項所述的箝制電路，其中寄生二極體元件形成於所述橫向擴散金氧半導體電晶體的所述閘極與施加所述第二電壓的節點之間，其中在所述靜電放電的初期，所述第一電壓大於所述第二電壓。

16. 如申請專利範圍第 11 項所述的箝制電路，其中所述靜電放電偵測單元更包括第二金氧半導體電晶體，耦接於接地電壓與

所述第一金氧半導體電晶體的所述第二電極之間，並且下拉所述控制訊號至接地電壓電位。

17. 一種半導體裝置的箝制方法，所述箝制方法包括：

施加高壓電晶體的閘極的第一電壓至箝制電路，所述高壓電晶體的第一電極耦接至第一焊墊，所述第一焊墊接收靜電放電；

當所述第一電壓的電位由於所述第一焊墊接收之所述靜電放電改變，藉由切換所述第一電壓產生控制訊號；以及

響應所述控制訊號，藉由使用耦接至所述高壓電晶體的所述閘極的所述箝制電路中的箝制電晶體，箝制所述高壓電晶體的閘極電壓。

18. 如申請專利範圍第 17 項所述的箝制方法，其中所述高壓電晶體是橫向擴散金氧半導體電晶體。

19. 如申請專利範圍第 17 項所述的箝制方法，更包括：在所述半導體裝置的節點接收第二電壓；以及

當所述第一電壓與所述第二電壓之間的電位差異等於或大於臨界電壓時，啟動所述控制訊號。

20. 如申請專利範圍第 19 項所述的箝制方法，其中所述控制訊號藉由金氧半導體電晶體產生，所述金氧半導體電晶體具有第一電極耦接至所述第一電壓，第二電極耦接至所述箝制電晶體的閘極，以及閘極耦接至所述第二電壓，其中所述金氧半導體電晶體的基極電性耦接至所述第二電壓。

21. 如申請專利範圍第 19 項所述的箝制方法，其中所述第二電壓在所述靜電放電發生時由接地電壓電位改變至第一電位，其中當所述第二電壓改變至所述第一電位，所述控制訊號被啟動。

22. 如申請專利範圍第 19 項所述的箝制方法，其中當所述半導體裝置正常運作時，所述第二電壓具有接地電壓電位，並且所述箝制電晶體的箝制操作停止。

23. 一種半導體系統，包括：

內部積體電路，耦接至第一焊墊；

半導體晶片，包括高壓電晶體，經由所述第一焊墊耦接至所述內部積體電路，其中所述高壓電晶體具有閘極與第一電極，所述第一電極耦接至所述第一焊墊，所述第一焊墊自所述內部積體電路接收靜電放電，而且寄生電容形成於所述閘極與所述第一電極之間；以及

箝制電路，配置在所述半導體晶片，並且耦接至所述高壓電晶體的所述閘極，其中所述箝制電路偵測所述高壓電晶體的閘極電壓由於所述第一焊墊接收之所述靜電放電造成的電位上升，並且根據所述偵測的結果箝制所述高壓電晶體的所述閘極電壓。

24. 如申請專利範圍第 23 項所述的半導體系統，其中當所述半導體晶片正常運作時，所述箝制電路停止，且當所述靜電放電在所述半導體晶片的非運轉期間被偵測到時，所述箝制電路選擇性地啟動。

25. 如申請專利範圍第 23 項所述的半導體系統，其中所述半導體晶片從所述內部積體電路接收輸入電壓，並且控制所述箝制電路根據所述高壓電晶體的所述輸入電壓與所述閘極電壓之間的電位差異而啟動。

26. 一種半導體裝置，包括：

高壓電晶體，具有閘極、汲極與源極，其中所述汲極耦接至

焊墊，所述焊墊接收靜電放電，且所述源極耦接至接地電壓；以及

箝制電路，耦接至所述閘極，並經組態以箝制在所述閘極的電壓，且藉由耦接所述接地電壓至所述閘極以響應所述焊墊接收之所述靜電放電。

27. 如申請專利範圍第 26 項所述的半導體裝置，其中所述高壓電晶體是橫向擴散金氧半導體電晶體。

28. 如申請專利範圍第 26 項所述的半導體裝置，其中所述箝制電路包括互補式金氧半導體電路耦接至所述閘極，以及箝制電晶體耦接至所述閘極。

29. 如申請專利範圍第 28 項所述的半導體裝置，其中所述互補式金氧半導體電路耦接至所述箝制電晶體的閘極。

30. 如申請專利範圍第 28 項所述的半導體裝置，其中所述互補式金氧半導體電路耦接至輸入電壓。