



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월01일 10-0675631 2007년01월23일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2003-0042833 2003년06월27일 2004년09월06일	(65) 공개번호 (43) 공개일자	10-2005-0001252 2005년01월06일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 김병구
 경상북도구미시송정동동양한신아파트101동607호

 하용민
 경상북도구미시도량2동77번지파크맨션105동1001호

 정훈
 경상북도칠곡군석적면우방신천지아파트107동403호

(74) 대리인 박장원

(56) 선행기술조사문헌 1019990058452 * KR1020000029318 A * 심사관에 의하여 인용된 문헌	JP11311808 A KR1020030048489 A
--	-----------------------------------

심사관 : 윤병수

전체 청구항 수 : 총 17 항

(54) 횡전계방식 액정표시장치 및 그 제조방법

(57) 요약

본 발명의 횡전계방식 액정표시장치는 소오스배선과 드레인배선 형성시 광 차단막을 함께 형성하여 공정을 개선하기 위한 것으로, 기판을 제공하는 단계; 상기 기판 위에 데이터라인과 광 차단막을 형성하는 단계; 상기 기판 위에 다결정 실리콘 박막으로 이루어진 화소전극라인과 액티브영역을 형성하는 단계; 상기 기판 위에 제 1 절연막을 형성하는 단계; 상기 제 1 절연막이 형성된 기판 위에 게이트전극과 공통전극라인을 형성하는 단계; 상기 기판 위에 제 2 절연막을 형성하는 단계; 상기 제 1 절연막과 제 2 절연막을 패터닝하여 상기 데이터라인과 액티브영역의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계; 및 상기 제 1 콘택홀을 통해 상기 노출된 데이터라인과 액티브영역을 전기적으로 접속하는 연결전극을 형성하는 단계를 포함한다.

대표도

도 2b

특허청구의 범위

청구항 1.

기판을 제공하는 단계;

상기 기판 위에 데이터라인과 광 차단막을 형성하는 단계;

상기 기판 위에 다결정 실리콘 박막으로 이루어진 화소전극라인과 액티브영역을 형성하는 단계;

상기 기판 위에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막이 형성된 기판 위에 게이트전극과 공통전극라인을 형성하는 단계;

상기 기판 위에 제 2 절연막을 형성하는 단계;

상기 제 1 절연막과 제 2 절연막을 패터닝하여 상기 데이터라인과 액티브영역의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계; 및

상기 제 1 콘택홀을 통해 상기 노출된 데이터라인과 액티브영역을 전기적으로 접속하는 연결전극을 형성하는 단계를 포함하는 횡전계방식 액정표시장치의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 공통전극라인과 화소전극라인은 일부가 중첩하여 스토리지 커패시터를 형성하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 3.

제 1 항에 있어서, 상기 공통전극라인을 연장하여 적어도 하나의 공통전극을 형성하며 상기 화소전극라인을 연장하여 적어도 하나의 화소전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 4.

제 3 항에 있어서, 상기 공통전극 및 화소전극은 지그재그 형태로 형성하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 5.

제 1 항에 있어서, 상기 액티브영역을 형성하는 단계는 다결정 실리콘 박막을 패터닝하여 액티브패턴을 형성하는 단계와 상기 액티브패턴에 불순물 이온을 주입하여 소오스/드레인영역을 형성하는 단계를 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 6.

제 1 항에 있어서, 상기 제 1 콘택홀 형성시 상기 제 2 절연막을 패터닝하여 상기 공통전극라인의 일부를 노출시키는 제 2 콘택홀을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 7.

제 6 항에 있어서, 상기 제 2 콘택홀을 통해 상기 공통전극라인과 연결되는 적어도 하나의 공통전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 8.

제 6 항에 있어서, 상기 제 2 콘택홀 형성시 상기 제 2 절연막을 패터닝하여 상기 화소전극라인을 노출시키는 제 3 콘택홀을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 9.

제 8 항에 있어서, 상기 제 3 콘택홀을 통해 상기 화소전극라인과 연결되는 적어도 하나의 화소전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 10.

제 7 항 또는 제 9 항에 있어서, 상기 공통전극 또는 화소전극은 지그재그 형태로 형성하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 11.

제 7 항 또는 제 9 항에 있어서, 상기 공통전극 또는 화소전극은 불투명 금속으로 형성하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 12.

제 7 항 또는 제 9 항에 있어서, 상기 공통전극 또는 화소전극은 투명 도전성 물질로 형성하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 13.

제 1 기판과 제 2 기판;

상기 제 1 기판 위에 형성된 데이터라인과 광 차단막;

상기 제 1 기판 위에 형성되며, 다결정 실리콘 박막으로 이루어진 화소전극라인과 액티브영역;

상기 제 1 기판 위에 형성된 제 1 절연막;

상기 제 1 절연막 위에 형성된 게이트전극과 공통전극라인;

상기 제 1 기판 위에 형성되며, 상기 데이터라인과 액티브영역의 일부를 노출시키는 제 1 콘택홀이 형성된 제 2 절연막;

상기 제 1 기판 위에 형성되며, 상기 제 1 콘택홀을 통해 상기 노출된 데이터라인과 액티브영역을 전기적으로 접속하는 연결전극; 및

상기 제 1 기판과 제 2 기판 사이에 형성된 액정층을 포함하는 횡전계방식 액정표시장치.

청구항 14.

제 13 항에 있어서, 상기 공통전극 또는 화소전극은 지그재그 형태인 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 15.

제 13 항에 있어서, 상기 공통전극 또는 화소전극은 불투명 금속으로 이루어진 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 16.

제 13 항에 있어서, 상기 공통전극 또는 화소전극은 투명 도전성 물질로 이루어진 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 17.

제 13 항에 있어서, 상기 공통전극으로부터 연장되어 형성된 공통전극라인과 상기 화소전극으로부터 연장되어 형성된 화소전극라인을 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 횡전계방식 액정표시장치에 관한 것으로, 보다 상세하게는 채널층 하부에 광 차단막을 형성한 코플라나(coplanar) 구조의 횡전계방식 액정표시장치 및 그 제조방법에 관한 것이다.

최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

액정표시장치에 일반적으로 사용되는 구동방식으로 네마틱상의 액정분자를 기판에 대해 수직 방향으로 구동시키는 트위스티드 네마틱(Twisted Nematic; TN)방식이 있으나, 상기 방식의 액정표시장치는 시야각이 90°정도로 좁다는 단점을 가지고 있다. 이것은 액정분자의 굴절률 이방성(refractive anisotropy)에 기인하는 것으로 기판과 수평하게 배향된 액정분자가 액정표시패널에 전압이 인가될 때 기판과 거의 수직방향으로 배향되기 때문이다.

이에 비해 액정분자를 기판에 대해 수평한 방향으로 구동시켜 시야각을 170°이상으로 향상시킨 횡전계(In Plane Switching; IPS)방식이 있는데, 이를 자세히 설명하면 다음과 같다.

도 1은 일반적인 횡전계방식 액정표시장치의 어레이 기판 일부를 나타내는 평면도로서, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 M×N개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 단정한 화소만을 나타내었다.

도면에 도시된 바와 같이, 어레이 기판(10)은 상기 기판(10) 위에 중횡으로 배열되어 화소영역을 정의하는 게이트라인(16)과 데이터라인(17), 그리고 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(20)로 구성된다.

상기 박막 트랜지스터(20)는 게이트라인(16)에 연결된 게이트전극(21), 데이터라인(17)에 연결된 소오스전극(22) 및 화소전극(18)에 연결된 드레인전극(23)으로 구성된다. 도면에는 도시하지 않았지만, 상기 박막 트랜지스터(20)는 게이트전극(21)과 소오스/드레인전극(22, 23)의 절연을 위한 절연막 및 게이트전극(21)에 공급되는 게이트전압에 의해 소오스전극(22)과 드레인전극(23) 간에 전도채널(conductive channel)을 형성하는 반도체층, 즉 채널층을 포함한다.

상기 화소영역 내에는 횡전계를 발생시키기 위한 공통전극(8)과 화소전극(18)이 교대로 배치되어 있다. 상기 공통전극(8)은 게이트라인(16)과 평행하게 배치된 공통전극라인(8a)으로부터 분기되어 있으며, 상기 화소전극(18)은 드레인전극(23)과 전기적으로 접속하며 상기 공통전극라인(8a)과 중첩하는 화소전극라인(18a)으로부터 분기되어 있다. 또한, 상기 공통전극라인(8a)은 게이트라인(16)과 동일한 평면상에 형성되고 화소전극라인(18a)은 데이터라인(17)과 동일한 평면상에 형성되며, 이들 사이에는 절연막이 개재되어 스토리지 커패시터(C_{st})를 이루게 된다.

이때, 상기 박막 트랜지스터(20)의 채널층으로 주로 비정질 실리콘(Amorphous Silicon; a-Si) 박막을 사용하였다.

비정질 실리콘 박막 트랜지스터 기술은 1979년 영국의 LeComber 등에 의하여 개념이 확립되어 1986년에 3" 액정 휴대용 텔레비전으로써 실용화되었고 최근에는 50" 이상의 대면적 박막 트랜지스터 액정표시장치가 개발되었다.

그러나, 상기 비정질 실리콘 박막 트랜지스터의 전기적 이동도(~1cm²/Vsec)로는 1MHz 이상의 고속 동작을 요구하는 주변회로에 이용하는 데는 한계가 있다. 이에 따라 전계효과 이동도(field effect mobility)가 상기 비정질 실리콘 박막 트랜지스터에 비해 큰 다결정 실리콘(Polycrystalline Silicon; poly-Si) 박막 트랜지스터를 이용하여 유리기판 위에 화소부와 구동회로부를 동시에 집적하는 연구가 활발히 진행되고 있다.

다결정 실리콘 박막 트랜지스터 기술은 1982년에 액정 컬러 텔레비전이 개발된 이후로 캠코더 등의 소형 모듈에 적용하고 있으며, 낮은 감광도와 높은 전계효과 이동도를 가지고 있어 구동회로를 기판에 직접 제작할 수 있다는 장점이 있다.

이동도의 증가는 구동 화소수를 결정하는 구동회로부의 동작 주파수를 향상시킬 수 있으며 이로 인한 표시장치의 고정세화가 용이해진다. 또한, 화소부의 신호 전압의 충전 시간의 감소로 전달 신호의 왜곡이 줄어들어 화질 향상을 기대할 수 있다.

또한, 다결정 실리콘 박막 트랜지스터는 높은 구동 전압(~25V)을 갖는 비정질 실리콘 박막 트랜지스터에 비해 10V 미만에서 구동이 가능하므로 전력 소모를 감소시킬 수 있다는 장점이 있다.

일반적으로 다결정 실리콘 박막 트랜지스터는 코플라나 구조로 형성하는데, 상기 코플라나 구조는 게이트전극과 소오스/드레인전극이 채널층을 기준으로 동일층에 형성되어 있는 구조이다.

이와 같은 코플라나 구조의 박막 트랜지스터는 채널층이 하부 백라이트에 그대로 노출되게 되므로 상기 백라이트 광원에 의한 영향을 받게 되며, 그 결과 누설전류의 증가 등 소자 특성에 영향을 주어 액정표시패널의 화상 품질이 저하되게 된다. 이에 따라, 채널층으로 입사되는 광을 차단하기 위한 광 차단막을 상기 채널층 하부에 개재시키는 공정이 필요하게 되는 등 제조공정을 복잡하게 만든다.

또한, 일반적으로 다결정 실리콘 박막을 이용한 코플라나 구조는 스테거드 구조에 비해 많은 수의 포토리소그래피 공정을 필요로 하기 때문에 이에 따른 제조비용의 증가라는 문제점을 발생시킨다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제를 해결하기 위한 것으로, 개선된 코플라나 구조를 이용하여 박막 트랜지스터를 형성함으로써 제조 공정이 단순화된 횡전계방식 액정표시장치의 제조방법을 제공하는데 목적이 있다.

본 발명의 다른 목적은 데이터라인 형성시 광 차단막을 함께 형성함으로써 비용이 감소되고 화상 품질이 향상된 횡전계방식 액정표시장치 및 그 제조방법을 제공하는 것이다.

발명의 구성

상기한 목적을 달성하기 위하여, 본 발명의 횡전계방식 액정표시장치의 제조방법은 기판을 제공하는 단계; 상기 기판 위에 데이터라인과 광 차단막을 형성하는 단계; 상기 기판 위에 다결정 실리콘 박막으로 이루어진 화소전극라인과 액티브영역을 형성하는 단계; 상기 기판 위에 제 1 절연막을 형성하는 단계; 상기 제 1 절연막이 형성된 기판 위에 게이트전극과 공통전극라인을 형성하는 단계; 상기 기판 위에 제 2 절연막을 형성하는 단계; 상기 제 1 절연막과 제 2 절연막을 패터닝하여 상기 데이터라인과 액티브영역의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계; 및 상기 제 1 콘택홀을 통해 상기 노출된 데이터라인과 액티브영역을 전기적으로 접속하는 연결전극을 형성하는 단계를 포함한다.

상기 액티브영역을 형성하는 단계는 다결정 실리콘 박막을 패터닝하여 액티브패턴을 형성하는 단계와 상기 액티브패턴의 소정 영역에 불순물을 주입하여 소오스/드레인영역을 형성하는 단계를 포함할 수 있다.

상기 공통전극라인을 연장하여 적어도 하나의 공통전극을 형성하며 상기 화소전극라인을 연장하여 적어도 하나의 화소전극을 형성하는 단계를 추가로 포함할 수 있다.

상기 제 1 콘택홀 형성시 공통전극라인을 노출시키는 제 2 콘택홀을 형성하는 단계를 추가로 포함할 수 있으며, 상기 제 2 콘택홀을 통해 공통전극라인과 연결되는 적어도 하나의 공통전극을 형성하는 단계를 추가로 포함할 수 있다.

또한, 상기 제 2 콘택홀 형성시 화소전극라인을 노출시키는 제 3 콘택홀을 형성하는 단계를 추가로 포함할 수 있으며, 상기 제 3 콘택홀을 통해 화소전극라인과 연결되는 적어도 하나의 화소전극을 형성하는 단계를 추가로 포함할 수 있다.

상기 공통전극 또는 화소전극은 지그재그 형태로 형성할 수 있다.

또한, 상기 공통전극 또는 화소전극은 불투명 금속 또는 투명 도전성 물질로 형성할 수 있다.

또한, 본 발명의 횡전계방식 액정표시장치는 제 1 기판과 제 2 기판; 상기 제 1 기판 위에 형성된 데이터라인과 광 차단막; 상기 제 1 기판 위에 형성되며, 다결정 실리콘 박막으로 이루어진 화소전극라인과 액티브영역; 상기 제 1 기판 위에 형성된 제 1 절연막; 상기 제 1 절연막 위에 형성된 게이트전극과 공통전극라인; 상기 제 1 기판 위에 형성되며, 상기 데이터라인과 액티브영역의 일부를 노출시키는 제 1 콘택홀이 형성된 제 2 절연막; 상기 제 1 기판 위에 형성되며, 상기 제 1 콘택홀을 통해 상기 노출된 데이터라인과 액티브영역을 전기적으로 접속하는 연결전극; 및 상기 제 1 기판과 제 2 기판 사이에 형성된 액정층을 포함한다.

이하, 본 발명에 대해 상세히 설명한다.

본 발명은 기존의 코플라나 구조를 개선한 BBC(Buried Bus Coplanar) 구조를 이용하여 박막 트랜지스터를 제조함으로써 제조공정 및 비용이 감소된 횡전계방식 액정표시장치를 제공한다.

박막 트랜지스터의 채널층으로 다결정 실리콘 박막을 이용할 경우 비정질 실리콘 박막에 비해 많은 수의 포토리소그래피 공정이 필요하게 되며 이에 따라 제조공정 및 비용 증가라는 문제점이 있었다.

이에 대해 본 발명에서는 기존의 코플라나 구조를 개선하여 소오스/드레인배선을 기판 최하층에 형성시키는 BBC 구조를 이용하였다.

이와 같이 구성하면 소오스/드레인전극과 채널층과의 전기적 접촉을 위한 콘택홀 형성 공정 및 화소전극과 드레인전극과의 전기적 접촉을 위한 콘택홀 형성 공정을 하나의 공정으로 할 수 있게 되어 포토리소그래피 공정의 감소에 따른 제조공정 및 비용이 감소되는 효과를 가져오게 된다.

또한, 데이터라인 형성시 광 차단막을 함께 형성함으로써 제조공정을 더욱 단순화시킬 수 있게 된다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 횡전계방식 액정표시장치 및 그 제조방법의 바람직한 실시예를 상세히 설명한다.

도 2a는 본 발명의 제 1 실시예에 따른 횡전계방식 액정표시장치의 어레이 기판 일부를 나타내는 평면도로서, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 M×N개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 단지 한 화소만을 나타내었다.

도면에 도시된 바와 같이, 어레이 기판(110)은 상기 기판(110) 위에 중첩으로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117), 그리고 상기 게이트라인(116)과 데이터라인(117)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(120)로 구성된다.

상기 박막 트랜지스터(120)는 게이트라인(116)에 연결된 게이트전극(121), 데이터라인(117)에 연결된 소오스영역(122a) 및 화소전극(118)에 연결된 드레인영역(123a)으로 구성된다. 특히, 상기 소오스영역(122a)은 제 1 콘택홀(170a, 170b)에 형성된 연결전극(128)을 통해 데이터라인(117)과 전기적으로 접속되어 있다. 도면에는 도시하지 않았지만, 상기 박막 트랜지스터(120)는 게이트전극(121)과 소오스/드레인영역(122a, 123b)의 절연을 위한 제 1 절연막 및 게이트전극(121)에 공급되는 게이트전압에 의해 소오스영역(122a)과 드레인영역(123a) 간에 전도채널을 형성하는 채널영역을 포함한다.

상기 화소영역 내에는 횡전계를 발생시키기 위한 적어도 한 쌍의 공통전극(108)과 화소전극(118)이 교대로 배치되어 있다. 이때, 일부의 공통전극(108)은 화소영역의 외곽에 배치되어 있는데, 이는 데이터라인(117)에 인가된 신호가 화소전극(118)에 미치는 영향을 효과적으로 차단시키기 위한 것이다.

본 실시예에서는 공통전극(108)과 화소전극(118)을 인듐-틴-옥사이드(Indium-Tin-Oxide; ITO) 또는 인듐-징크-옥사이드(Indium-Zinc-Oxide; IZO)와 같은 투명한 도전성 물질을 이용하여 기판(110) 최상층에 형성하였다.

상기 공통전극(108)은 게이트라인(116)과 평행하게 배치된 공통전극라인(108a)과 적어도 하나의 제 2 콘택홀(171)을 통해 전기적으로 접속되어 있으며, 상기 화소전극(118)은 드레인영역(123a)과 연결되며 상기 공통전극라인(108a)과 중첩하는 화소전극라인(118a)과 적어도 하나의 제 3 콘택홀(172)을 통해 전기적으로 접속되어 있다. 또한, 상기 공통전극라인(108a)은 게이트라인(116)과 동일한 평면상에 형성되고 화소전극라인(118a)은 데이터영역(123a)과 동일평면상에 형성되며, 이들 사이에는 제 1 절연막이 개재되어 스토리지 커패시터를 이루게 된다.

본 실시예에서는 공통전극(108)과 화소전극(118)을 스트라이프 형태로 도시하였으나, 상기 공통전극(108)과 화소전극(108)은 지그재그 형태로도 사용이 가능하며 게이트라인(116)과 데이터라인(117)도 지그재그 형태로 구성할 수 있다. 이와 같이 공통전극(108)과 화소전극(118)이 지그재그 형상으로 이루어진 구조는 한 화소에 위치하는 액정분자가 모두 한 방향으로 배열되지 않고 서로 다른 방향으로 배열되어 멀티도메인(multi domain)을 유도할 수 있게 된다. 즉, 멀티 도메인 구조로 인해 액정분자의 복굴절성(birefringence) 특성에 의한 이상 광을 서로 상쇄시키기 때문에 칼라시프트(color shift) 현상을 최소화할 수 있는 장점을 가진다.

이때, 상기 박막 트랜지스터(120)의 채널층으로 하부 백라이트의 광이 입사되는 것을 방지하기 위한 광 차단막(160)이 상기 채널층 하부에 형성되어 있다.

도 2b는 도 2a에 도시된 횡전계방식 액정표시장치의 II-II'선에 따른 단면도이다. 이때, 설명의 편의를 위해 도면의 좌측은 화소부를 의미하며, 도면의 우측은 스토리지 커패시터부를 의미한다.

도면에 도시된 바와 같이, 어레이 기관(110) 위에는 데이터라인(117)과 광 차단막(160)이 형성되어 있으며 상기 데이터라인(117)과 광 차단막(160)이 형성된 기관(110) 위에는 버퍼막(114)과 다결정 실리콘 박막(140b) 및 제 1 절연막(115a)이 차례대로 형성되어 있다.

화소부에 해당하는 다결정 실리콘 박막(140b) 위에는 게이트전극(121)이 형성되어 상기 다결정 실리콘 박막(140b)에 형성된 소오스/드레인영역(122a, 123a)과 함께 박막 트랜지스터를 형성하게 된다. 또한, 스토리지 커패시터부에 해당하는 다결정 실리콘 박막(140b) 위에는 공통전극라인(108a)이 형성되어 상기 다결정 실리콘 박막(140b)과 함께 스토리지 커패시터를 이루게 된다.

상기 게이트전극(121)과 공통전극라인(108a)이 형성된 기관(110) 위에는 제 2 절연막(115b)과 유기 절연막인 제 3 절연막(115c)이 차례대로 적층되어 있다.

이때, 상기 버퍼막(114)과 제 1 절연막(115a) 및/또는 상기 제 2 절연막(115b)과 제 3 절연막(115c)에는 제 1 콘택홀(170a, 170b)과 제 2 콘택홀(171)이 형성되어 있으며, 상기 제 1 콘택홀(170a, 170b)에 형성된 연결전극(128)을 통해서 상기 데이터라인(117)과 소오스영역(122a)이 전기적으로 접속되며 제 2 콘택홀(171)을 통해 상기 공통전극라인(108a)과 공통전극(108)이 전기적으로 접속되게 된다.

참고로, 도면번호 117'과 160'은 각각 데이터라인(117)과 광 차단막(160) 위에 위치한 데이터라인패턴 및 광 차단막패턴을 의미하며, 도면번호 121'과 108a'은 각각 게이트전극(121)과 공통전극라인(108a) 아래에 위치한 게이트전극패턴 및 공통전극라인패턴을 의미한다.

도 3a 내지 도 3h는 도 2a에 도시된 횡전계방식 액정표시장치의 제조공정을 순차적으로 나타내는 단면도로서, 특히 채널층으로 다결정 실리콘 박막을 이용한 BBC 구조의 액정표시장치의 어레이 기관의 제조방법을 나타내고 있다.

도 3a에 도시된 바와 같이, 유리와 같은 투명한 절연 물질로 이루어진 기관(110) 위에 데이터라인(117)과 함께 광 차단막(160)을 포토리소그래피 공정을 통해 형성한다. 상기 광 차단막(160)은 코플라나 구조에서 액정표시패널 하부의 백라이트에서 나온 광이 채널층으로 입사되는 것을 차단하기 위한 것으로 불투명한 금속 물질로 형성하게 된다.

본 실시예와 같이 상기 광 차단막(160)을 데이터라인(117) 형성시 함께 형성하면 추가적인 포토리소그래피 공정이 필요 없게되어 제조공정을 단순화시킬 수 있게 된다. 또한, 상기 광 차단막(160)을 데이터라인(117)과 동일한 물질로 형성하게 되면 비용을 절감할 수 있게 된다.

상기 광 차단막(160)과 데이터라인(117)은 이중의 도전막으로 형성할 수 있으며, 이 때 제 1 도전막은 액정표시장치의 빠른 신호전달을 위하여 저저항 금속 물질로 형성하며 제 2 도전막은 통상의 금속 도전 물질로 형성한다. 즉, 상기 광 차단막(160)과 데이터라인(117) 상부에는 각각 광 차단막패턴(160')과 데이터라인패턴(117')이 형성되어 있다.

다음으로, 도 3b에 도시된 바와 같이, 상기 광 차단막(160)과 데이터라인(117)이 형성된 기관(110) 전면에서 버퍼막(114)을 소정 두께(~5000Å)로 증착한 후 비정질 실리콘 박막(140a)을 소정 두께(~500Å)로 증착한다. 상기 버퍼막(114)은 유리기관(110)에서 나오는 Na 등의 불순물이 결정화시 상기 비정질 실리콘 박막(140a)으로 침투하는 것을 차단하는 역할을 하며 주로 실리콘산화막(SiO₂)으로 형성한다.

일반적으로 비정질 실리콘 박막(140a)은 여러 가지 방법으로 증착할 수 있으며, 상기 비정질 실리콘 박막을 증착하는 대표적인 방법으로는 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition; LPCVD) 방법과 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD) 방법이 있다.

이후 상기 비정질 실리콘 박막(140a) 내에 존재하는 수소원자를 제거하기 위한 탈수소화(dehydrogenation) 공정을 430°C에서 2시간 동안 실시한 뒤 결정화를 실시한다. 본 실시예에서는 결정화 방법으로 레이저 어닐링 방법을 이용하였으나 결정화 특성이 우수한 다른 결정화 방법을 이용할 수도 있다.

이와 같이 결정화된 다결정 실리콘 박막(140b)은 도 2c에 도시된 바와 같이, 포토리소그래피 공정을 통하여 패터닝 된다.

이어서, 도 3d에 도시된 바와 같이, 스토리지전극으로 사용할 영역을 제외한 부분을 포토레지스트(150)로 가린 뒤 불순물을 주입하여 스토리지 커패시터부를 형성한다. 본 실시예에서는 5족의 불순물을 사용하여 P 타입의 박막 트랜지스터를 형성하였으나 3족의 불순물을 사용하여 N 타입 박막 트랜지스터를 형성할 수도 있다.

도 3e는 게이트전극 및 공통전극라인을 형성하는 단계로 도면에 도시된 바와 같이, 제 1 절연막(115a)인 게이트절연막으로 실리콘산화막과 MO/AlNd 이중 금속막을 연속 증착한다. 이어서, 포토리소그래피 공정을 통하여 게이트전극(121) 및 스토리지전극인 공통전극라인(108a)을 형성한다.

참고로, 상기 게이트전극(121) 및 공통전극라인(108a) 하부에는 각각 게이트전극패턴(121') 및 공통전극라인패턴(108a)이 형성되어 있다.

다음으로, 도 3f에 도시된 바와 같이, 상기 게이트전극(121)을 마스크로 사용하여 소오스영역(122a)과 드레인영역(123a)을 형성하기 위한 이온 주입을 실시한다. 이후 보호막으로 제 2 절연막(115b) 및 유기 절연막인 제 3 절연막(115c)을 연속적으로 증착한다.

이어서, 도 3g에 도시된 바와 같이, 데이터라인(117)과 소오스영역(122a)의 전기적 접속을 위한 제 1 콘택홀(170a, 170b) 및 공통전극라인(108a)과 공통전극과의 전기적 접속을 위한 제 2 콘택홀(171)을 형성한다.

마지막으로, 도 3h에 도시된 바와 같이, 상기 제 1 콘택홀(170a, 170b)에는 데이터라인(117)과 소오스영역(122a)의 전기적 접속을 위한 연결전극(128)을 제 2 콘택홀(171)에는 공통전극(108)을 인듐-틴-옥사이드 등과 같은 투명 도전성 물질을 사용하여 형성하게 된다.

본 실시예에서는 P 타입의 화소부 박막 트랜지스터를 제조하는 방법을 나타내고 있으나 N 타입의 박막 트랜지스터를 제조하는 방법도 이와 동일하며 단지 이온 주입 공정에서 차이가 있을 뿐이다. 또한, 회로부의 박막 트랜지스터도 동일한 방법을 사용하여 제조할 수 있다.

또한, 본 실시예와 같이 소오스/드레인배선을 기관 최하층에 형성하는 동시에 광 차단막을 함께 형성함으로써 제조공정을 단순화시킬 수 있게 되며 이에 따라 비용을 절감할 수 있고 화상 품질을 향상시킬 수 있게 된다.

그러나, 본 실시예는 공통전극과 공통전극라인 및 화소전극과 화소전극라인을 전기적으로 접속시키기 위한 콘택홀 형성이라는 추가적인 공정의 필요 및 이에 따른 콘택 불량률의 문제 등이 발생하게 되며, 이를 개선한 실시예를 다음에서 설명한다.

도 4는 본 발명의 제 2 실시예에 따른 횡전계방식 액정표시장치의 어레이 기관 일부를 나타내는 평면도로서, 화소전극을 다결정 실리콘 박막으로 형성하여 상기 화소전극과 화소전극라인을 전기적으로 접속시키는 제 3 콘택홀이 없는 구조를 나타내고 있다.

상기 제 2 실시예는 도 2에 도시된 제 1 실시예의 횡전계방식 액정표시장치와는 화소전극 형성방법만을 제외하고는 동일한 구성으로 이루어져 있다.

도면에 도시된 바와 같이, 어레이 기관(210)은 상기 기관(210) 위에 중첩으로 배열되어 화소영역을 정의하는 게이트라인(216)과 데이터라인(217), 그리고 상기 게이트라인(216)과 데이터라인(217)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(220)로 구성된다.

이때, 상기 박막 트랜지스터(220)의 채널층(미도시)으로 하부 백라이트의 광이 입사되는 것을 방지하기 위한 광 차단막(260)이 상기 채널층 하부에 형성되어 있다.

상기 화소영역 내에는 횡전계를 발생시키기 위한 적어도 한 쌍의 공통전극(208)과 화소전극(218)이 교대로 배치되어 있다. 상기 공통전극(208)은 게이트라인(216)과 평행하게 배치된 공통전극라인(208a)과 적어도 하나의 제 2 콘택홀(271)을 통해 전기적으로 접속되어 있으며, 상기 화소전극(218)은 드레인영역(223a)과 연결되며 상기 공통전극라인(208a)과 중첩하는 화소전극라인(218a)이 연장되어 형성되어 있다. 즉, 상기 화소전극(218)은 화소전극라인(218a)과 동일하게 다결정 실리콘 박막으로 형성하여 제 1 실시예와 같은 상기 화소전극라인(218a)과 전기적으로 접속하기 위한 제 3 콘택홀 형성이 불필요하게 된다. 그 결과 화소당 콘택홀을 하나씩 줄일 수 있어 콘택 불량률을 감소시킬 수 있게 된다.

또한, 상기 공통전극라인(208a)은 게이트라인(216)과 동일한 평면상에 형성되고 화소전극라인(218a)은 데이터영역(223a)과 동일평면상에 형성되며, 이들 사이에는 제 1 절연막이 개재되어 스토리지 커패시터를 이루게 된다.

도 5는 본 발명의 제 3 실시예에 따른 횡전계방식 액정표시장치의 어레이 기판 일부를 나타내는 평면도이다.

상기 제 3 실시예는 도 2에 도시된 제 1 실시예의 액정표시장치와는 화소전극과 공통전극 형성방법만을 제외하고는 동일한 구성으로 이루어져 있다.

특히, 화소전극을 다결정 실리콘 박막으로 형성하고 공통전극을 공통전극라인 형성시 함께 형성하여 제 1 실시예와 같은 제 2 콘택홀과 제 3 콘택홀이 필요 없게 된 구조이다.

도면에 도시된 바와 같이, 어레이 기판(310)은 상기 기판(310) 위에 중첩으로 배열되어 화소영역을 정의하는 게이트라인(316)과 데이터라인(317), 그리고 상기 게이트라인(316)과 데이터라인(317)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(320)로 구성된다.

이때, 상기 박막 트랜지스터(320)의 채널층(미도시)으로 하부 백라이트의 광이 입사되는 것을 방지하기 위한 광 차단막(360)이 상기 채널층 하부에 형성되어 있다.

상기 화소영역 내에는 횡전계를 발생시키기 위한 적어도 한 쌍의 공통전극(308)과 화소전극(318)이 교대로 배치되어 있다. 상기 공통전극(308)은 게이트라인(316)과 평행하게 배치된 공통전극라인(308a)이 연장되어 형성되어 있으며, 상기 화소전극(318)은 드레인영역(323a)과 연결되며 상기 공통전극라인(308a)과 중첩하는 화소전극라인(318a)이 연장되어 형성되어 있다. 즉, 상기 화소전극(318)은 화소전극라인(318a)과 동일하게 다결정 실리콘 박막으로 형성하여 제 1 실시예와 같은 상기 화소전극라인(318a)과 전기적으로 접속하기 위한 제 3 콘택홀 형성이 불필요하게 되며 상기 공통전극(308)은 공통전극라인(308a)과 전기적으로 접속하기 위한 제 2 콘택홀 형성이 불필요하게 된다. 그 결과 상기 제 2 콘택홀 및 제 3 콘택홀의 형성에 따른 콘택 불량률의 문제를 방지할 수 있어 수율을 향상시킬 수 있으며 제조공정을 단순화할 수 있게 된다.

또한, 상기 공통전극라인(308a)은 게이트라인(316)과 동일한 평면상에 형성되고 화소전극라인(318a)은 데이터영역(223a)과 동일평면상에 형성되며, 이들 사이에는 제 1 절연막이 개재되어 스토리지 커패시터를 이루게 된다.

상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 횡전계방식 액정표시장치는 광 차단막의 형성으로 채널층으로 입사되는 불필요한 빛을 차단함으로써 소자의 특성 저하를 방지하여 액정표시패널의 화질을 개선하는 효과를 제공한다.

또한, 개선된 코플라나 구조를 이용하여 박막 트랜지스터를 형성함으로써 제조공정을 단순화하고 제조비용을 절감시킬 수 있게 된다.

도면의 간단한 설명

도 1은 일반적인 횡전계방식 액정표시장치의 어레이 기판 일부를 나타내는 평면도.

도 2a는 본 발명의 제 1 실시예에 따른 횡전계방식 액정표시장치의 어레이 기판 일부를 나타내는 평면도.

도 2b는 도 2a에 도시된 횡전계방식 액정표시장치의 II-II선에 따른 단면도.

도 3a 내지 도 3h는 도 2a에 도시된 횡전계방식 액정표시장치의 제조공정을 순차적으로 나타내는 단면도.

도 4는 본 발명의 제 2 실시예에 따른 횡전계방식 액정표시장치의 어레이 기판 일부를 나타내는 평면도.

도 5는 본 발명의 제 3 실시예에 따른 횡전계방식 액정표시장치의 어레이 기판 일부를 나타내는 평면도.

** 도면의 주요부분에 대한 부호의 설명 **

8,108,208,308 : 공통전극 8a,108a,208a,308a : 공통전극라인

16,116,216,316 : 게이트라인 17,117,217,317 : 데이터라인

18,118,218,318 : 화소전극 18a,118a,218a,318a : 화소전극라인

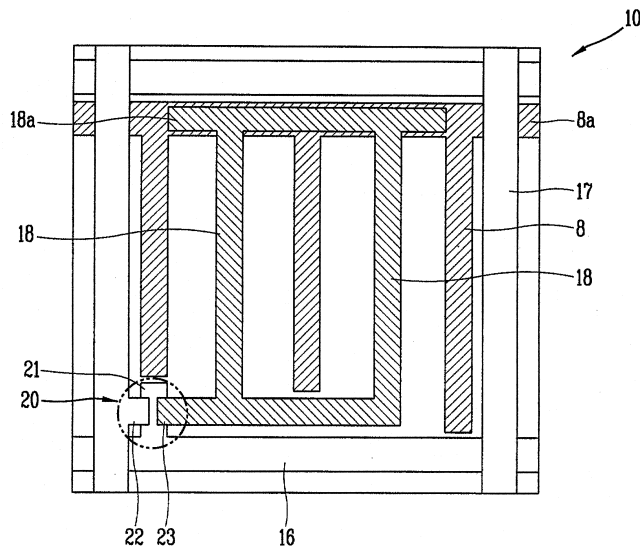
128,228,328 : 연결전극 160,260,360 : 광 차단막

170a,170b,270a,270b,370a,370b : 제 1 콘택홀

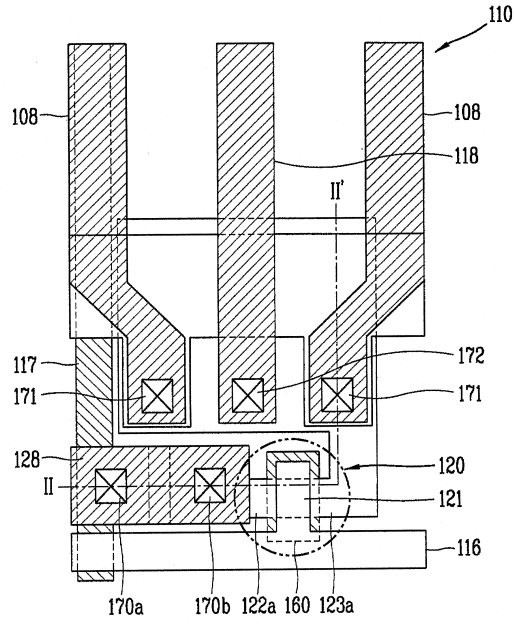
171,271 : 제 2 콘택홀 172 : 제 3 콘택홀

도면

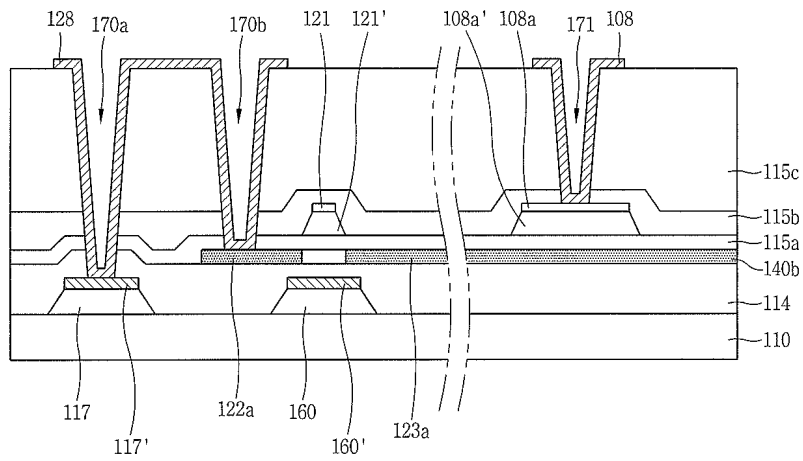
도면1



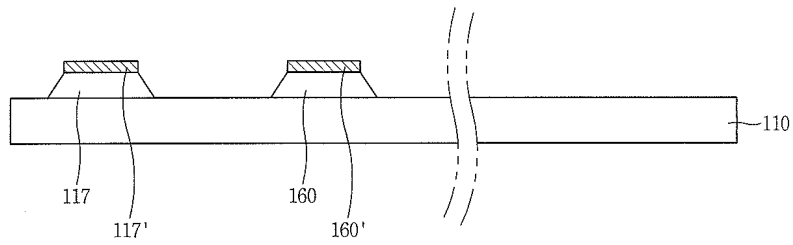
도면2a



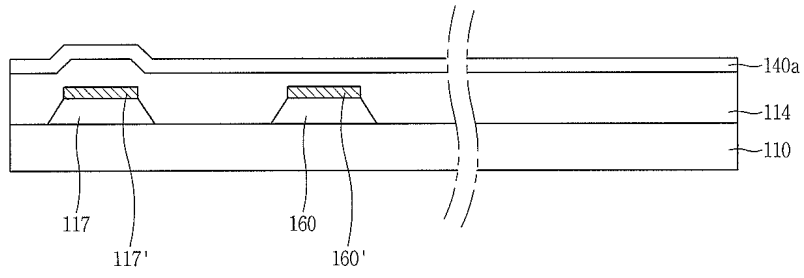
도면2b



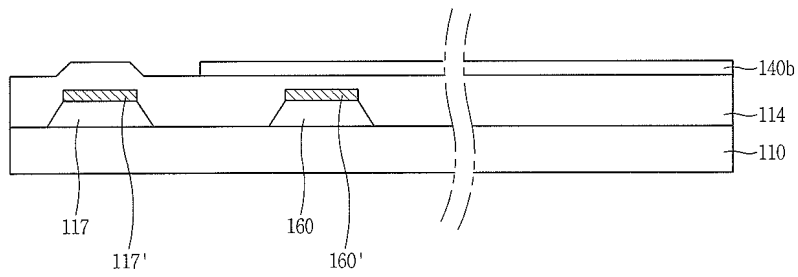
도면3a



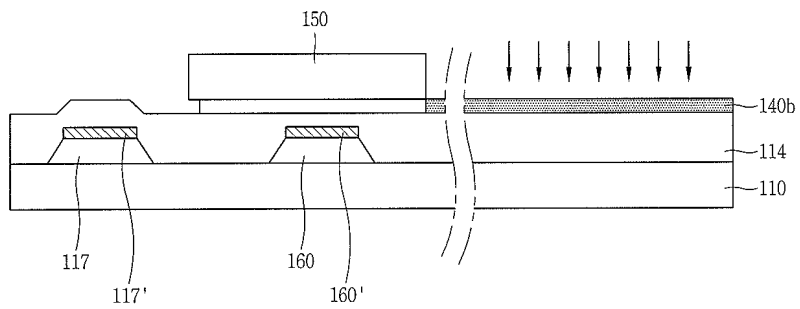
도면3b



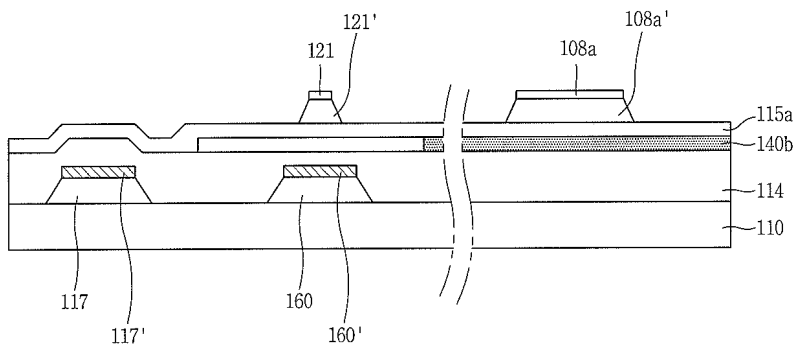
도면3c



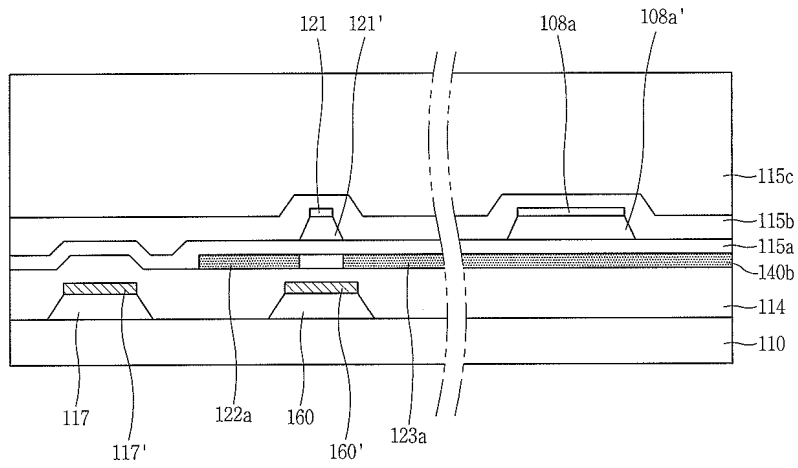
도면3d



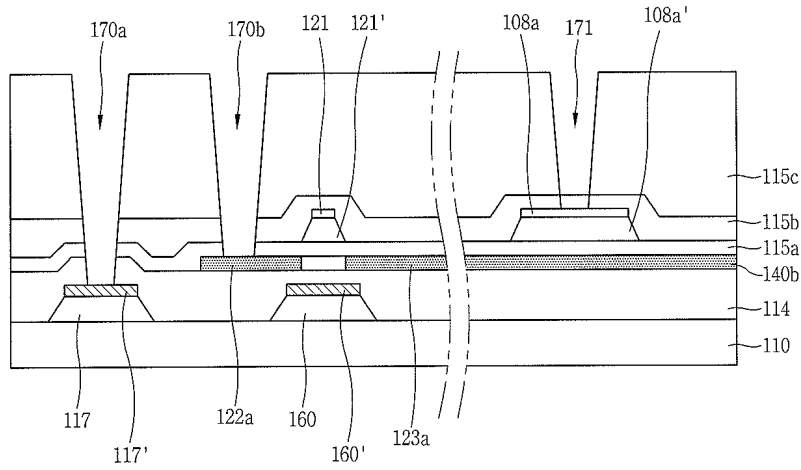
도면3e



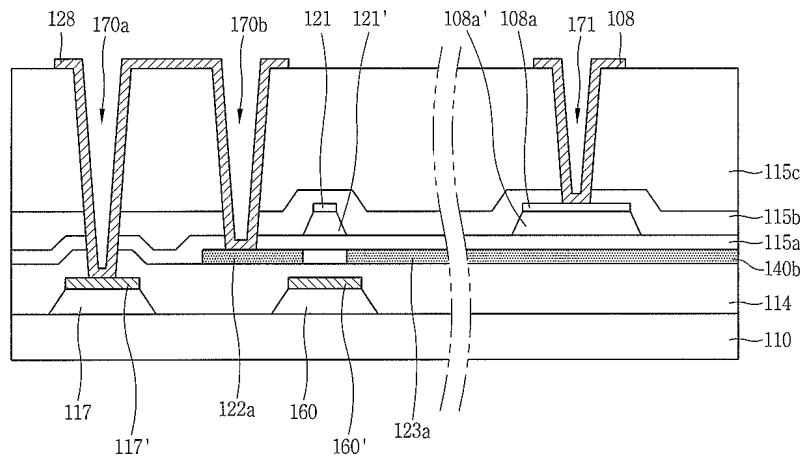
도면3f



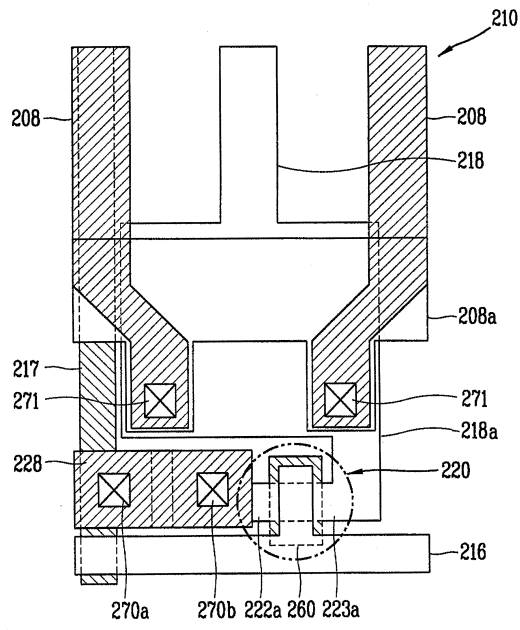
도면3g



도면3h



도면4



도면5

