

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/125361 A1

PCT

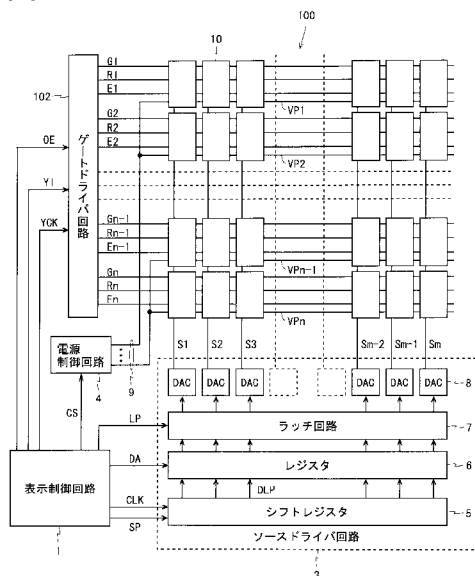
(43) 国際公開日
2011年10月13日(13.10.2011)

- (51) 国際特許分類:
G09G 3/30 (2006.01) H01L 51/50 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2011/051311
- (22) 国際出願日: 2011年1月25日(25.01.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-086361 2010年4月2日(02.04.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 岸 宣孝
(KISHI, Noritaka).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町1丁目10番3号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE AND DRIVE METHOD THEREFOR

(54) 発明の名称: 表示装置およびその駆動方法

[図1]



- 1 DISPLAY CONTROL CIRCUIT
3 SOURCE DRIVER CIRCUIT
4 POWER SOURCE CONTROL CIRCUIT
5 SHIFT REGISTER
6 REGISTER
7 LATCH CIRCUIT
102 GATE DRIVER CIRCUIT

(57) Abstract: A display device (100) comprises: a plurality of pixel circuits (10) arranged in two dimensions; a plurality of power source lines (VPi) provided in correspondence to the rows of the pixel circuits (10); p common power source lines (9) connected with two or more power source lines (VPi); and a power source control circuit (4). The pixel circuits (10) include an organic EL element, a plurality of TFTs, and a capacitor, and receive an initialising potential from the power source line (VPi). The power source control circuit (4) switches between applying power source potential and initialising potential to the p common power source lines (9). It is therefore possible to provide a display device having a construction in which initialising potential is supplied to the pixel circuits from the power source lines but in which the scale of the power source control circuitry is small.

(57) 要約: 表示装置 100 は、2 次元状に配置された複数の画素回路 10、画素回路 10 の行に対応して設けられた複数の電源線 V P i、2 本以上の電源線 V P i に接続された p 本の共通電源線 9、および、電源制御回路 4 を備える。画素回路 10 は、有機 E L 素子、複数の T F T、および、コンデンサを含み、電源線 V P i から初期化電位を受け取る。電源制御回路 4 は、p 本の共通電源線 9 に電源電位と初期化電位を切り替えて印加する。これにより、電源線から画素回路に初期化電位を与える構成を有し、電源制御回路の回路規模が小さい表示装置を提供する。

WO 2011/125361 A1

明 細 書

発明の名称： 表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置に関し、より特定的には、有機ＥＬディスプレイなどの電流駆動素子を用いた表示装置およびその駆動方法に関する。

背景技術

[0002] 薄型、高画質、低消費電力の表示装置として、有機ＥＬ（Electro Luminescence）ディスプレイが知られている。有機ＥＬディスプレイは、有機ＥＬ素子や駆動用トランジスタを含む複数の画素回路を備えている。有機ＥＬディスプレイで表示を行うときには、駆動用トランジスタの閾値電圧のばらつきや、有機ＥＬ素子の経時劣化による高抵抗化を補償する必要がある。

[0003] 補償動作を行う画素回路は、従来から各種知られている。特許文献１には、図１８に示す画素回路８０が記載されている。画素回路８０は、ＴＦＴ（Thin Film Transistor）８１～８５、コンデンサ８６、および、有機ＥＬ素子８７を含んでいる。画素回路８０に対して書き込みを行うときには、まず、ＴＦＴ８２、８４をオン状態に制御して、ＴＦＴ８５（駆動用トランジスタ）のゲートソース間電圧を初期化する。次に、ＴＦＴ８４とＴＦＴ８３を順にオフ状態に制御して、ＴＦＴ８５の閾値電圧をコンデンサ８６に保持させる。次に、データ線ＤＴＬにデータ電位を印加すると共に、ＴＦＴ８１をオン状態に制御する。これにより、ＴＦＴ８５の閾値電圧のばらつきや、有機ＥＬ素子８７の経時劣化による高抵抗化を補償することができる。

[0004] 画素回路８０は、データ線ＤＴＬ、４本の制御線ＷＳＬ、ＡＺＬ１、ＡＺＬ２、ＤＳＬ、および、３本の電源線（Ｖｏｆｓ用配線、Ｖｃｃ用配線、および、Ｖｓｓ用配線）に接続されている。一般に、画素回路に接続される配線（特に、制御線）の本数が多いほど、回路は複雑になり、製造コストは高くなる。そこで特許文献１には、ＴＦＴ８２またはＴＦＴ８４のソース端子を制御線ＷＳＬに接続した画素回路が記載されている。特許文献２には、Ｔ

F T 8 2 のゲート端子を 1 行上の制御線 W S L に接続した画素回路が記載されている。このように制御線と電源線を共通化することにより、配線の本数を削減することができる。

[0005] 特許文献 3 には、図 1 9 に示す画素回路 9 0 が記載されている。画素回路 9 0 は、T F T 9 1、9 2、コンデンサ 9 3、および、有機 E L 素子 9 4 を含んでいる。画素回路 9 0 に対して書き込みを行うときには、まず、T F T 9 1 をオン状態に制御する。次に、電源線 D S L に初期化電位を印加して、有機 E L 素子 9 4 のアノード端子に初期化電位を与える。次に、電源線 D S L に電源電位を印加して、T F T 9 2（駆動用トランジスタ）の閾値電圧をコンデンサ 9 3 に保持させる。次に、データ線 D T L にデータ電位を印加する。このように電源線から初期化電位を与えることにより、少ない素子数で T F T 9 2 の閾値電圧のばらつきを補償することができる。特許文献 4 には、電源線から初期化電位を与え、データ線から基準電位を与える画素回路が記載されている。特許文献 5 には、書き込みを行う前の複数の水平期間で補償動作を行う画素回路が記載されている。

先行技術文献

特許文献

- [0006] 特許文献 1：日本国特開 2 0 0 6－2 1 5 2 7 5 号公報
特許文献 2：日本国特開 2 0 0 7－3 1 6 4 5 3 号公報
特許文献 3：日本国特開 2 0 0 7－3 1 0 3 1 1 号公報
特許文献 4：日本国特開 2 0 0 7－1 4 8 1 2 9 号公報
特許文献 5：日本国特開 2 0 0 8－3 3 1 9 3 号公報

発明の概要

発明が解決しようとする課題

- [0007] 図 1 8 に示す画素回路 8 0 に対して、特許文献 1、2 に記載された方法を適用すれば、画素回路に接続される配線の本数を削減することができる。しかしながら、この方法で得られた画素回路には、T F T の個数が多いという

問題がある。これに対して、図 19 に示す画素回路 90 では、TFT の個数は少ない。しかしながら、画素回路 90 を使用するときには、電源線 DSL を制御線 WSL と連動して駆動する必要がある。このため、電源制御回路には電源線 DSL と同数の出力バッファが必要となる。また、電源線 DSL の電位は制御線 WSL の選択期間に合わせて短時間で変化するので、電源制御回路に設ける出力バッファには大きな電流能力が必要となる。したがって、画素回路 90 には、電源制御回路の回路規模や消費電力が大きくなるという問題がある。

[0008] それ故に、本発明は、電源線から画素回路に初期化電位を与える構成を有し、電源制御回路の回路規模が小さい表示装置を提供することを目的とする。

課題を解決するための手段

[0009] 本発明の第 1 の局面は、電流駆動型の表示装置であって、
2次元状に配置された複数の画素回路と、
前記画素回路の行に対応して設けられた複数の制御線と、
前記画素回路の列に対応して設けられた複数のデータ線と、
前記画素回路に電源電位を供給するために設けられた複数の電源線と、
2本以上の前記電源線に接続された1本または複数の共通電源線と、
前記制御線および前記データ線を駆動する駆動回路と、
前記電源線を駆動する電源制御回路とを備え、
前記画素回路は、
電気光学素子と、
前記電気光学素子を通る電流の経路上に設けられた駆動用トランジスタと、
前記駆動用トランジスタの制御端子と前記データ線との間に設けられた書き込み制御トランジスタと、
前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられた発光制御トランジスタと、

前記駆動用トランジスタの他方の導通端子と制御端子との間に設けられたコンデンサとを含み、

前記電源制御回路は、前記共通電源線に前記電源電位および初期化電位を切り替えて印加することを特徴とする。

[0010] 本発明の第2の局面は、本発明の第1の局面において、

前記駆動回路は、初期化された画素回路を行単位で選択し、選択した画素回路が前記駆動用トランジスタの閾値検出、書き込み、および、発光を順に行うように制御することを特徴とする。

[0011] 本発明の第3の局面は、本発明の第2の局面において、

前記発光制御トランジスタは、初期化時にオン状態になり、

前記初期化電位は、初期化時に前記電源線に印加したときに、前記駆動用トランジスタがオン状態になる電位であることを特徴とする。

[0012] 本発明の第4の局面は、本発明の第3の局面において、

前記発光制御トランジスタは、初期化終了時にオフ状態になり、閾値検出時にオン状態になることを特徴とする。

[0013] 本発明の第5の局面は、本発明の第4の局面において、

前記発光制御トランジスタは、発光時に一定時間だけオン状態になることを特徴とする。

[0014] 本発明の第6の局面は、本発明の第2の局面において、

前記画素回路は、前記駆動用トランジスタの制御端子と基準電位線との間に設けられた基準電位印加トランジスタをさらに含むことを特徴とする。

[0015] 本発明の第7の局面は、本発明の第2の局面において、

前記画素回路は、前記駆動用トランジスタの制御端子と前記書き込み制御トランジスタに接続された制御線との間に設けられ、制御端子が他の行の画素回路に対応する制御線に接続された基準電位印加トランジスタをさらに含むことを特徴とする。

[0016] 本発明の第8の局面は、本発明の第2の局面において、

閾値検出時に、前記データ線に基準電位が印加され、前記書き込み制御ト

ランジスタはオン状態になることを特徴とする。

[0017] 本発明の第 9 の局面は、本発明の第 1 の局面において、
前記共通電源線を 1 本備えることを特徴とする。

[0018] 本発明の第 10 の局面は、本発明の第 1 の局面において、
前記共通電源線を複数備え、
前記電源線は前記画素回路の行に対応して設けられ、
前記電源制御回路は、前記共通電源線に互いに異なるタイミングで前記初期化電位を印加することを特徴とする。

[0019] 本発明の第 11 の局面は、本発明の第 10 の局面において、
前記共通電源線には、隣接配置された複数の電源線が接続されていることを特徴とする。

[0020] 本発明の第 12 の局面は、本発明の第 10 の局面において、
前記共通電源線には、配置順に従い所定本飛ばしに選択された複数の電源線が接続されていることを特徴とする。

[0021] 本発明の第 13 の局面は、本発明の第 1 の局面において、
前記画素回路に含まれるすべてのトランジスタが、Nチャネル型であることを特徴とする。

[0022] 本発明の第 14 の局面は、2次元状に配置された複数の画素回路と、前記画素回路の行に対応して設けられた複数の制御線と、前記画素回路の列に対応して設けられた複数のデータ線と、前記画素回路に電源電位を供給するために設けられた複数の電源線と、2本以上の前記電源線に接続された1本または複数の共通電源線とを含む電流駆動型の表示装置の駆動方法であって、
前記画素回路が、電気光学素子と、前記電気光学素子を通る電流の経路上に設けられた駆動用トランジスタと、前記駆動用トランジスタの制御端子と前記データ線との間に設けられた書き込み制御トランジスタと、前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられた発光制御トランジスタと、前記駆動用トランジスタの他方の導通端子と制御端子との間に設けられたコンデンサとを含む場合に、

電源制御回路を用いて、前記共通電源線に前記電源電位および初期化電位を切り替えて印加するステップと、

前記制御線を駆動することにより、前記画素回路に含まれるトランジスタの状態を制御するステップと、

前記データ線に表示データに応じた電位を印加するステップとを備える。

発明の効果

- [0023] 本発明の第1または第14の局面によれば、電源制御回路を用いて共通電源線に初期化電位を印加することにより、電源線から画素回路に初期化電位を与えることができる。これにより、画素回路内の素子数を削減することができる。また、電源制御回路は、2本以上の電源線に接続された共通電源線を駆動する。したがって、電源線を個別に駆動するよりも、電源制御回路に設ける出力バッファを削減し、電源制御回路の回路規模を小さくすることができる。
- [0024] 本発明の第2の局面によれば、初期化された画素回路が行単位で選択され、選択された画素回路が閾値検出、書き込み、および、発光を順に行う。これにより、駆動用トランジスタの閾値電圧を補償して、画面を表示することができる。
- [0025] 本発明の第3の局面によれば、電源線に初期化電位を印加し、発光制御トランジスタをオン状態に制御することにより、駆動用トランジスタの他方の導通端子に初期化電位を印加することができる。
- [0026] 本発明の第4の局面によれば、発光制御トランジスタを初期化終了時にオフ状態に制御し、閾値検出時にオン状態に制御することにより、初期化から閾値検出までの期間において画素回路を消灯させることができる。また、閾値検出時に電源線から電流を供給し、駆動用トランジスタの閾値検出を行うことができる。
- [0027] 本発明の第5の局面によれば、発光制御トランジスタを発光時に一定時間だけオン状態に制御することにより、画素回路の発光期間の長さを揃え、輝度のばらつきを抑えることができる。また、画素回路は発光期間以外では消

灯するので、黒挿入を行う場合と同様に、動画性能を向上させることができる。

[0028] 本発明の第6の局面によれば、閾値検出時に基準電位印加トランジスタをオン状態に制御することにより、駆動用トランジスタの制御端子に基準電位線から基準電位を印加し、駆動用トランジスタの閾値検出を行うことができる。また、基準電位印加トランジスタは比較的自由的なタイミングでオン状態に制御できるので、閾値検出期間を自由に設定することができる。

[0029] 本発明の第7の局面によれば、閾値検出時に基準電位印加トランジスタをオン状態に制御することにより、駆動用トランジスタの制御端子に制御線から基準電位を印加し、駆動用トランジスタの閾値検出を行うことができる。また、基準電位線、および、基準電位印加トランジスタ用の制御線を削除することができる。

[0030] 本発明の第8の局面によれば、閾値検出時に、書き込み制御トランジスタをオン状態に制御することにより、駆動用トランジスタの制御端子にデータ線から基準電位を印加し、駆動用トランジスタの閾値検出を行うことができる。また、トランジスタや配線を追加することなく、データ線から基準電位を与えることができる。

[0031] 本発明の第9の局面によれば、電源制御回路に設ける出力バッファの個数を1個に削減し、電源制御回路の回路規模を小さくすることができる。

[0032] 本発明の第10の局面によれば、電源制御回路に設ける出力バッファの個数を電源線の本数よりも少なくし、電源制御回路の回路規模を小さくすることができる。また、共通電源線に互いに異なるタイミングで初期化電位を印加することにより、画素回路の選択期間に合わせて好適なタイミングで画素回路の初期化を行うことができる。

[0033] 本発明の第11の局面によれば、画素回路に対して表示画面内の順序に従って書き込みを行うことができる。

[0034] 本発明の第12の局面によれば、共通電源線に流れる電流の量を揃え、画面内に輝度差が発生することを防止することができる。

[0035] 本発明の第 1 3 の局面によれば、画素回路に含まれるトランジスタを同じ導電型で構成することにより、画素回路を含む表示パネルの製造コストを削減することができる。

図面の簡単な説明

[0036] [図1]本発明の第 1 の実施形態に係る表示装置の構成を示すブロック図である。

[図2]図 1 に示す表示装置に含まれる画素回路の回路図である。

[図3]図 1 に示す表示装置における画素回路の駆動方法を示すタイミングチャートである。

[図4]第 1 例に係る表示装置における電源線の接続形態を示す図である。

[図5]第 1 例に係る表示装置における各行の画素回路の動作を示す図である。

[図6]第 2 例に係る表示装置における電源線の接続形態を示す図である。

[図7]第 2 例に係る表示装置における各行の画素回路の動作を示す図である。

[図8]第 3 例に係る表示装置における電源線の接続形態を示す図である。

[図9]第 3 例に係る表示装置における各行の画素回路の動作を示す図である。

[図10]第 4 例に係る表示装置における電源線の接続形態を示す図である。

[図11]第 4 例に係る表示装置における各行の画素回路の動作を示す図である。

[図12]本発明の第 2 の実施形態に係る表示装置の構成を示すブロック図である。

[図13]図 1 2 に示す表示装置に含まれる画素回路の回路図である。

[図14]図 1 2 に示す表示装置における画素回路の駆動方法を示すタイミングチャートである。

[図15]本発明の第 3 の実施形態に係る表示装置の構成を示すブロック図である。

[図16]図 1 5 に示す表示装置に含まれる画素回路の回路図である。

[図17]図 1 5 に示す表示装置における画素回路の駆動方法を示すタイミングチャートである。

[図18]従来の表示装置に含まれる画素回路の回路図である。

[図19]従来の表示装置に含まれる画素回路の回路図である。

発明を実施するための形態

[0037] (第1の実施形態)

図1は、本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置100は、表示制御回路1、ゲートドライバ回路102、ソースドライバ回路3、電源制御回路4、および、 $(m \times n)$ 個の画素回路10を備えた有機ELディスプレイである。以下、 m および n は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数であるとする。

[0038] 表示装置100には、互いに平行な n 本の制御線 G_i 、および、これに直交する互いに平行な m 本のデータ線 S_j が設けられる。 $(m \times n)$ 個の画素回路10は、制御線 G_i とデータ線 S_j の各交差点に対応して2次元状に配置される。また、制御線 G_i と平行に、 n 本の制御線 R_i 、 n 本の制御線 E_i 、および、 n 本の電源線 VP_i が設けられる。さらに、電源制御回路4と電源線 VP_i を接続するために、 p 本(p は1以上の整数)の共通電源線9が設けられる。制御線 G_i 、 R_i 、 E_i はゲートドライバ回路102に接続され、データ線 S_j はソースドライバ回路3に接続される。電源線 VP_i は、共通電源線9を介して電源制御回路4に接続される。画素回路10には、図示しない手段で、基準電位 V_{ref} と共通電位 V_{com} が供給される。

[0039] 表示制御回路1は、ゲートドライバ回路102、ソースドライバ回路3、および、電源制御回路4に対して制御信号を出力する。より詳細には、表示制御回路1は、ゲートドライバ回路102に対してタイミング信号OE、スタートパルスYIおよびクロックYCKを出力し、ソースドライバ回路3に対してスタートパルスSP、クロックCLK、表示データDAおよびラッチパルスLPを出力し、電源制御回路4に対して制御信号CSを出力する。

[0040] ゲートドライバ回路102は、シフトレジスタ回路、論理演算回路、および、バッファ(いずれも図示せず)を含んでいる。シフトレジスタ回路は、

クロック YCK に同期してスタートパルス YI を順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号 OE との間で論理演算を行う。論理演算回路の出力は、バッファを經由して、対応する制御線 Gi、Ri、Ei に与えられる。制御線 Gi には m 個の画素回路 10 が接続されており、画素回路 10 は制御線 Gi を用いて m 個ずつ一括して選択される。

[0041] ソースドライバ回路 3 は、m ビットのシフトレジスタ 5、レジスタ 6、ラッチ回路 7、および、m 個の D/A 変換器 8 を含んでいる。シフトレジスタ 5 は、縦続接続された m 個のレジスタを有し、初段のレジスタに供給されたスタートパルス SP をクロック CLK に同期して転送し、各段のレジスタからタイミングパルス DLP を出力する。タイミングパルス DLP の出力タイミングに合わせて、レジスタ 6 には表示データ DA が供給される。レジスタ 6 は、タイミングパルス DLP に従い、表示データ DA を記憶する。レジスタ 6 に 1 行分の表示データ DA が記憶されると、表示制御回路 1 はラッチ回路 7 に対してラッチパルス LP を出力する。ラッチ回路 7 は、ラッチパルス LP を受け取ると、レジスタ 6 に記憶された表示データを保持する。D/A 変換器 8 は、データ線 Sj に対応して設けられる。D/A 変換器 8 は、ラッチ回路 7 に保持された表示データをアナログ電圧に変換し、得られたアナログ電圧をデータ線 Sj に印加する。

[0042] 電源制御回路 4 は、p 本の共通電源線 9 に対応して、p 個の出力端子を有する。電源制御回路 4 は、制御信号 CS に基づき、共通電源線 9 に電源電位および初期化電位を切り替えて印加する。p = 1 のとき、すべての電源線 VPi は 1 本の共通電源線 9 に接続される。この場合、電源制御回路 4 は、1 本の共通電源線 9 に所定のタイミングで初期化電位を印加する。p ≥ 2 のとき、電源線 VPi は p 個のグループに分類され、各グループに含まれる電源線は同じ共通電源線 9 に接続される。この場合、電源制御回路 4 は、p 本の共通電源線 9 に互いに異なるタイミングで初期化電位を印加する。以下、電源電位はハイレベル電位であり、初期化電位はローレベル電位であるとする

。

[0043] 図2は、画素回路10の回路図である。図2に示すように、画素回路10は、TFT11～14、コンデンサ15、および、有機EL素子16を含んでいる。TFT11～14は、いずれも、Nチャネル型トランジスタである。TFT11～14は、それぞれ、書き込み制御トランジスタ、駆動用トランジスタ、発光制御トランジスタ、および、基準電位印加トランジスタとして機能する。有機EL素子16は、電気光学素子として機能する。

[0044] 図2に示すように、画素回路10は、制御線Gi、Ri、Ei、データ線Sj、電源線VPi、基準電位Vrefを有する配線、および、共通電位Vcomを有する電極に接続される。TFT11の一方の導通端子はデータ線Sjに接続され、他方の導通端子はTFT12のゲート端子に接続される。TFT13のドレイン端子は電源線VPiに接続され、ソース端子はTFT12のドレイン端子に接続される。TFT14のドレイン端子には基準電位Vrefが印加され、ソース端子はトランジスタT12のゲート端子に接続される。TFT12のソース端子は、有機EL素子16のアノード端子に接続される。有機EL素子16のカソード端子には、共通電位Vcomが印加される。コンデンサ15は、TFT12のゲート端子とソース端子の間に設けられる。TFT11、13、14のゲート端子は、それぞれ、制御線Gi、Ei、Riに接続される。

[0045] 図3は、画素回路10の駆動方法を示すタイミングチャートである。図3において、VGiはi行目の画素回路に含まれるTFT12のゲート電位を表し、VSiは当該TFTのソース電位（有機EL素子16のアノード電位）を表す。画素回路10は、1フレーム期間に1回ずつ、初期化、閾値検出（TFT12の閾値検出）、書き込み、および、発光を行い、発光期間以外では消灯する。

[0046] 以下、図3を参照して、1行目の画素回路の動作を説明する。時刻t11より前では、制御線G1、R1、E1の電位はローレベルであり、電源線VP1の電位はハイレベルである。時刻t11において、制御線E1の電位は

ハイレベルに変化し、電源線 VP_1 の電位はローレベルに変化する（以下、電源線 VP_i のローレベル電位を VP_L という）。電位 VP_L には、十分に低い電位、具体的には、時刻 t_{11} 直前の TFT_{12} のゲート電位よりも低い電位が使用される。このため、時刻 t_{11} 以降、 TFT_{12} はオン状態になる。また、 TFT_{13} もオン状態になるので、 TFT_{12} のソース電位 VS_1 は VP_L にほぼ等しくなる。

[0047] 時刻 t_{12} において、制御線 E_1 の電位はローレベルに変化し、電源線 VP_1 の電位はハイレベルに変化する。時刻 t_{12} 以降、 TFT_{13} はオフ状態になる。このため、 TFT_{12} のソース電位 VS_1 は、電源線 VP_1 の電位が変化しても、ほぼ VP_L のままである。

[0048] 時刻 t_{13} において、制御線 R_1 、 E_1 の電位はハイレベルに変化する。時刻 t_{13} 以降、 TFT_{13} 、 14 はオン状態になり、 TFT_{12} のゲート端子には基準電位 V_{ref} が印加される。基準電位 V_{ref} は、時刻 t_{13} の直後に TFT_{12} がオン状態になり、かつ、時刻 t_{13} 以降に有機 EL 素子 16 に対する印加電圧が発光閾値電圧を超えないように決定される。このため、時刻 t_{13} 以降、 TFT_{12} はオン状態になるが、有機 EL 素子 16 に電流は流れない。したがって、電源線 VP_1 から TFT_{13} と TFT_{12} を経由して TFT_{12} のソース端子に電流が流れ込み、 TFT_{12} のソース電位 VS_1 は上昇する。 TFT_{12} のソース電位 VS_1 は、ゲートソース間電圧 V_{gs} が閾値電圧 V_{th} に等しくなるまで上昇し、 $(V_{ref} - V_{th})$ に到達する。

[0049] 時刻 t_{14} において、制御線 E_1 の電位はローレベルに変化する。時刻 t_{14} 以降、 TFT_{13} はオフ状態になる。時刻 t_{15} において、制御線 R_1 の電位はローレベルに変化する。時刻 t_{15} 以降、 TFT_{14} はオフ状態になる。

[0050] 時刻 t_{16} において、制御線 G_1 の電位はハイレベルに変化し、データ線 S_j の電位（図示せず）は表示データに応じたレベルになる（以下、このときのデータ線 S_j の電位をデータ電位 V_{da} という）。時刻 t_{16} 以降、 T

FT11はオン状態になり、FT12のゲート電位VG1はVrefからVdaに変化する。時刻t16以降におけるFT12のゲートソース間電圧Vgsは、次式(1)で与えられる。

$$V_{gs} = \{ C_{OLED} / (C_{OLED} + C_{st}) \} \times (V_{da} - V_{ref}) + V_{th} \quad \cdots (1)$$

ただし、式(1)において、C_{OLED}は有機EL素子16の容量値であり、C_{st}はコンデンサ15の容量値である。

[0051] 有機EL素子16の容量値は十分に大きく、C_{OLED} ≫ C_{st}が成立する。このため、式(1)は次式(2)に変形することができる。

$$V_{gs} = V_{da} - V_{ref} + V_{th} \quad \cdots (2)$$

このように、FT12のゲート電位VG1がVrefからVdaに変化したときに、FT12のソース電位VS1はほとんど変化せず、FT12のゲートソース間電圧Vgsはほぼ(Vda - Vref + Vth)になる。

[0052] 時刻t17において、制御線G1の電位はローレベルに変化する。時刻t17以降、FT11はオフ状態になる。このため、FT12のゲートソース間電圧Vgsは、データ線Sjの電位が変化しても、ほぼ(Vda - Vref + Vth)のままである。

[0053] 時刻t18において、制御線E1の電位はハイレベルに変化する。時刻t18以降、FT13はオン状態になり、FT12のドレイン端子はFT13を介して電源線VP1に接続される。このとき電源線VP1の電位はハイレベルであるので、電源線VPiからFT13とFT12を経由して、FT12のソース端子に電流が流れ、FT12のソース電位VS1は上昇する。この時点でFT12のゲート端子はフローティング状態にある。したがって、FT12のソース電位VS1が上昇すると、FT12のゲート電位VG1も上昇する。このとき、FT12のゲートソース間電圧Vgsはほぼ一定に保たれる。

[0054] 電源線VPiに印加されるハイレベル電位は、発光期間(時刻t18 ~ t

19)においてTFT12が飽和領域で動作するように決定される。このため、発光期間においてTFT12を流れる電流Iは、チャネル長変調効果を見無視すれば、次式(3)で与えられる。

$$I = 1/2 \cdot W/L \cdot \mu \cdot C_{ox} (V_{gs} - V_{th})^2 \cdots (3)$$

ただし、式(3)において、Wはゲート幅、Lはゲート長、 μ はキャリア移動度、 C_{ox} はゲート酸化膜容量である。

[0055] 式(2)と式(3)から、次式(4)が導かれる。

$$I = 1/2 \cdot W/L \cdot \mu \cdot C_{ox} (V_{da} - V_{ref})^2 \cdots (4)$$

式(4)に示す電流Iは、データ電位 V_{da} に応じて変化するが、TFT12の閾値電圧 V_{th} には依存しない。したがって、閾値電圧 V_{th} がばらつく場合や、閾値電圧 V_{th} が経時的に変化する場合でも、有機EL素子16にデータ電位 V_{da} に応じた電流を流し、有機EL素子16を所望の輝度で発光させることができる。

[0056] 時刻 t_{19} において、制御線E1の電位はローレベルに変化する。時刻 t_{19} 以降、TFT13はオフ状態になる。このため、有機EL素子16に電流は流れず、画素回路10は消灯する。

[0057] このように1行目の画素回路は、時刻 $t_{11} \sim t_{12}$ で初期化を行い、時刻 $t_{13} \sim t_{14}$ で閾値検出を行い、時刻 $t_{16} \sim t_{17}$ で書き込みを行い、時刻 $t_{18} \sim t_{19}$ で発光し、時刻 $t_{18} \sim t_{19}$ 以外では消灯する。2行目の画素回路は、1行目の画素回路と同じく時刻 $t_{11} \sim t_{12}$ で初期化を行い、1行目の画素回路から所定時間 T_a だけ遅れて、閾値検出、書き込み、および、発光を行う。一般に、 i 行目の画素回路は、他の行の画素回路と同じ期間で初期化を行い、 $(i-1)$ 行目の画素回路から時間 T_a だけ遅れて、閾値検出、書き込み、および、発光を行う。

[0058] 以下、本実施形態に係る表示装置の例として、 $p=1$ の場合(第1例)、 $p=2$ の場合(第2例と第3例)、および、 $p=3$ の場合(第4例)について説明する。図4は、第1例に係る表示装置における電源線 VP_i の接続形態を示す図である。第1例に係る表示装置には、電源制御回路4aと電源線

V P i を接続するために、1本の共通電源線 1 1 1 が設けられる。共通電源線 1 1 1 の一端は、電源制御回路 4 a が有する1個の出力端子に接続され、すべての電源線 V P i は共通電源線 1 1 1 に接続される。

[0059] 図5は、第1例に係る表示装置における各行の画素回路 1 0 の動作を示す図である。電源制御回路 4 a は、1フレーム期間の先頭で所定時間だけ共通電源線 1 1 1 にローレベル電位を印加する。このため、すべての行の画素回路は、1フレーム期間の先頭で初期化を行う。次に、1行目の画素回路が選択され、1行目の画素回路が閾値検出と書き込みを行う。次に、2行目の画素回路が選択され、2行目の画素回路が閾値検出と書き込みを行う。以下、同様に、3～n行目の画素回路が行ごとに順に選択され、選択された画素回路が閾値検出と書き込みを行う。

[0060] 各行の画素回路は、初期化から閾値検出までの期間では消灯する。各行の画素回路は同じ時間だけ発光し、n行目の画素回路の発光は1フレーム期間の最後までに完了する必要がある。このため、各行の画素回路は、書き込み後に一定時間 T 1 だけ発光し、それ以外では消灯する。

[0061] 一般的な表示装置では、画素回路に対する書き込みは、1フレーム期間かけて行われる。これに対して、図5に示す例では、画素回路に対する書き込みは約 1 / 2 フレーム期間かけて行われる。このため、画素回路の走査速度は、通常の約2倍になる。また、この例では、画素回路の発光期間の長さ T 1 は、約 1 / 2 フレーム期間となる。なお、画素回路の走査速度を通常の約2倍にしたまま、発光期間の長さを 1 / 2 フレーム期間よりも短くしてもよい。あるいは、画素回路の走査速度を通常の約2倍より速くして、発光期間の長さを 1 / 2 フレーム期間より長くしてもよい。

[0062] 図6は、第2例に係る表示装置における電源線 V P i の接続形態を示す図である。第2例に係る表示装置には、電源制御回路 4 b と電源線 V P i を接続するために、2本の共通電源線 1 2 1、1 2 2 が設けられる。共通電源線 1 2 1、1 2 2 の一端は、電源制御回路 4 b が有する2個の出力端子にそれぞれ接続される。電源線 V P 1 ~ V P n / 2 は共通電源線 1 2 1 に接続され

、電源線 $VP(n/2+1) \sim VPn$ は共通電源線122に接続される。

[0063] 図7は、第2例に係る表示装置における各行の画素回路10の動作を示す図である。電源制御回路4bは、1フレーム期間の先頭で所定時間だけ共通電源線121にローレベル電位を印加し、 $1/2$ フレーム期間経過後に所定時間だけ共通電源線122にローレベル電位を印加する。このため、 $1 \sim (n/2)$ 行目の画素回路は1フレーム期間の先頭で初期化を行い、 $(n/2+1) \sim n$ 行目の画素回路は $1/2$ フレーム期間だけ遅れて初期化を行う。1回目の初期化後に $1 \sim (n/2)$ 行目の画素回路が行ごとに順に選択され、2回目の初期化後に $(n/2+1) \sim n$ 行目の画素回路が行ごとに順に選択される。選択された画素回路が、閾値検出と書き込みを行う。各行の画素回路は、書き込み後に一定時間 T_2 だけ発光し、それ以外では消灯する。

[0064] 第2例に係る表示装置では、第1例と同様に、各行の画素回路は同じ時間だけ発光する必要があるが、第1例とは異なり、 n 行目の画素回路の発光が1フレーム期間の最後までに完了する必要はない。図7に示す例では、画素回路の走査速度は通常と同じであり、画素回路の発光期間の長さ T_2 は約 $1/2$ フレーム期間となる。

[0065] 図8は、第3例に係る表示装置における電源線 VP_i の接続形態を示す図である。第3例に係る表示装置には、電源制御回路4cと電源線 VP_i を接続するために、2本の共通電源線131、132が設けられる。共通電源線131、132の一端は、電源制御回路4cが有する2個の出力端子にそれぞれ接続される。奇数行目の電源線 VP_1 、 VP_3 、…は共通電源線131に接続され、偶数行目の電源線 VP_2 、 VP_4 、…は共通電源線132に接続される。

[0066] 図9は、第3例に係る表示装置における各行の画素回路10の動作を示す図である。電源制御回路4cは、1フレーム期間の先頭で所定時間だけ共通電源線131にローレベル電位を印加し、 $1/2$ フレーム期間経過後に所定時間だけ共通電源線132にローレベル電位を印加する。このため、奇数行目の画素回路は1フレーム期間の先頭で初期化を行い、偶数行目の画素回路

は $1/2$ フレーム期間だけ遅れて初期化を行う。1 回目の初期化後に奇数行目の画素回路が順に選択され、2 回目の初期化後に偶数行目の画素回路が順に選択される。選択された画素回路が、閾値検出と書き込みを行う。各行の画素回路は、書き込み後に一定時間 T_3 だけ発光し、それ以外では消灯する。図 9 に示す例では、画素回路の走査速度は通常と同じであり、画素回路の発光期間の長さ T_3 は約 $1/2$ フレーム期間となる。

[0067] 第 2 例に係る表示装置によれば、画素回路に対して表示画面内の順序に従って書き込みを行うことができる。しかしながら、画面の上半分と下半分で輝度が大きく異なる場合など、共通電源線 121、122 を流れる電流の量が大きく異なる場合には、画面の中央で輝度差が発生することがある。第 3 例に係る表示装置によれば、共通電源線 131、132 を流れる電流の量は多くの場合ほぼ同じになるので、画面の中央に発生する輝度差を防止することができる。

[0068] 図 10 は、第 4 例に係る表示装置における電源線 VP_i の接続形態を示す図である。第 4 例に係る表示装置には、電源制御回路 4d と電源線 VP_i を接続するために、3 本の共通電源線 141 ~ 143 が設けられる。共通電源線 141 ~ 143 の一端は、電源制御回路 4d が有する 3 個の出力端子にそれぞれ接続される。電源線 $VP_1 \sim VP_{n/3}$ は共通電源線 141 に接続され、電源線 $VP_{(n/3+1)} \sim VP_{(2n/3)}$ は共通電源線 142 に接続され、電源線 $VP_{(2n/3+1)} \sim VP_n$ は共通電源線 143 に接続される。

[0069] 図 11 は、第 4 例に係る表示装置における各行の画素回路 10 の動作を示す図である。電源制御回路 4d は、1 フレーム期間の先頭で所定時間だけ共通電源線 141 にローレベル電位を印加し、 $1/3$ フレーム期間経過後に所定時間だけ共通電源線 142 にローレベル電位を印加し、さらに $1/3$ フレーム期間経過後に所定時間だけ共通電源線 143 にローレベル電位を印加する。このため、 $1 \sim (n/3)$ 行目の画素回路は 1 フレーム期間の先頭で初期化を行い、 $(n/3+1) \sim (2n/3)$ 行目の画素回路は $1/3$ フレー

ム期間だけ遅れて初期化を行い、 $(2n/3 + 1) \sim n$ 行目の画素回路はさらに $1/3$ フレーム期間だけ遅れて初期化を行う。

[0070] 1 回目の初期化後に $1 \sim (n/3)$ 行目の画素回路が行ごとに順に選択され、2 回目の初期化後に $(n/3 + 1) \sim (2n/3)$ 行目の画素回路が行ごとに順に選択され、3 回目の初期化後に $(2n/3 + 1) \sim n$ 行目の画素回路が行ごとに順に選択される。選択された画素回路が、閾値検出と書き込みを行う。各行の画素回路は、書き込み後に一定時間 T_4 だけ発光し、それ以外では消灯する。図 11 に示す例では、画素回路の走査速度は通常と同じであり、画素回路の発光期間の長さ T_4 は約 $2/3$ フレーム期間となる。

[0071] なお、共通電源線 9 の本数 p は 4 以上でもよい。 $p \geq 4$ の場合、電源線 VP_i の接続形態、および、各行の画素回路 10 の動作は、上記と同様である。また、 $p \geq 3$ の場合には、隣接配置された (n/p) 本の電源線を同じ共通電源線に接続してもよく、 $(p-1)$ 本飛ばしの (n/p) 本の電源線を同じ共通電源線に接続してもよい。例えば、 $p=3$ の場合に、電源線 VP_i を 2 本飛ばしに選択し、電源線 VP_1 、 VP_4 、…を第 1 の共通電源線に、電源線 VP_2 、 VP_5 、…を第 2 の共通電源線に、電源線 VP_3 、 VP_6 、…を第 3 の共通電源線にそれぞれ接続してもよい。また、 $p=1$ の場合には、画素回路 10 の行に対応して n 本の電源線 VP_i を設ける代わりに、画素回路 10 の列に対応して m 本の電源線を設けてもよい。

[0072] このように共通電源線 9 の本数 p 、画素回路 10 の走査速度、および、画素回路 10 の発光期間の長さは、トレードオフの関係にある。例えば、共通電源線 9 の本数 p を増やせば、画素回路 10 の走査速度を遅くしたり、画素回路 10 の発光期間を長くしたりすることができる。ただし、このとき、電源制御回路 4 に設ける出力バッファの個数が増加し、電源制御回路 4 の回路規模が増大する。したがって、表示装置の仕様やコストなどを考慮して、これらのパラメータを決定すればよい。

[0073] 以上に示すように、本実施形態に係る表示装置 100 は、2 次元状に配置された複数の画素回路 10 と、画素回路 10 の行に対応して設けられた複数

の制御線 G_i 、 R_i 、 E_i と、画素回路 10 の列に対応して設けられた複数のデータ線 S_j と、画素回路 10 に電源電位を供給するために設けられた複数の電源線 V_{Pi} と、2 本以上の電源線 V_{Pi} に接続された p 本の共通電源線 9 と、制御線 G_i 、 R_i 、 E_i を駆動するゲートドライバ回路 102 と、データ線 S_j を駆動するおよびソースドライバ回路 3 と、電源線 V_{Pi} を駆動する電源制御回路 4 とを備えている。画素回路 10 は、有機 EL 素子 16（電気光学素子）と、有機 EL 素子 16 を流れる電流の経路上に設けられた TFT 12（駆動用トランジスタ）と、TFT 12 のゲート端子とデータ線 S_j との間に設けられた TFT 11（書き込み制御トランジスタ）と、TFT 12 のドレイン端子と電源線 V_{Pi} との間に設けられた TFT 13（発光制御トランジスタ）と、TFT 12 のソース端子とゲート端子との間に設けられたコンデンサ 15 とを含んでいる。電源制御回路 4 は、 p 本の共通電源線 9 に電源電位および初期化電位を切り替えて印加する。

[0074] このように電源制御回路 4 を用いて共通電源線 9 に初期化電位を印加することにより、電源線 V_{Pi} から画素回路 10 に初期化電位を与えることができる。これにより、画素回路 10 内の素子数を削減することができる。また、電源制御回路 4 は、2 本以上の電源線 V_{Pi} に接続された共通電源線 9 を駆動する。したがって、電源線 V_{Pi} を個別に駆動するよりも、電源制御回路 4 に設ける出力バッファを削減し、電源制御回路 4 の回路規模を小さくすることができる。

[0075] また、ゲートドライバ回路 102 およびソースドライバ回路 3（駆動回路）は、初期化された画素回路 10 を行単位で選択し、選択した画素回路 10 が TFT 12 の閾値検出、書き込み、および、発光を順に行うように制御する。これにより、TFT 12 の閾値電圧を補償して、画面を表示することができる。

[0076] また、TFT 13 は初期化時にオン状態になり、初期化電位は初期化時に電源線 V_{Pi} に印加したときに TFT 12 がオン状態になる電位である。したがって、電源線 V_{Pi} に初期化電位を印加し、TFT 13 をオン状態に制

御することにより、TFT12のソース端子に初期化電位を印加することができる。また、TFT13は、初期化終了時にオフ状態になり、閾値検出時にオン状態になる。これにより、初期化から閾値検出までの期間において画素回路10を消灯させることができる。また、閾値検出時に電源線VPiから電流を供給し、TFT12の閾値検出を行うことができる。また、TFT13は、発光時に一定時間だけオン状態になる。これにより、画素回路10の発光期間の長さを揃え、輝度のばらつきを抑えることができる。また、画素回路10は発光期間以外では消灯するので、黒挿入を行う場合と同様に、動画性能を向上させることができる。

[0077] また、画素回路10は、TFT12のゲート端子と基準電位Vrefを有する配線（基準電位線）との間に設けられたTFT14（基準電位印加トランジスタ）を含んでいる。したがって、閾値検出時にTFT14をオン状態に制御することにより、TFT12のゲート端子に基準電位線から基準電位Vrefを印加し、TFT12の閾値検出を行うことができる。また、TFT14は任意のタイミングでオン状態に制御できるので、閾値検出期間を自由に設定することができる。

[0078] また、共通電源線9を1本備える第1例に係る表示装置（図4）によれば、電源制御回路4に設ける出力バッファの個数を1個に削減し、電源制御回路4の回路規模を小さくすることができる。また、共通電源線9を複数備え、電源線VPiを画素回路10の行に対応して設けた第2～第4例に係る表示装置（図6、図8、図10）によれば、電源制御回路4に設ける出力バッファの個数を電源線VPiの本数よりも少なくし、電源制御回路4の回路規模を小さくすることができる。また、共通電源線9に互いに異なるタイミングで初期化電位を印加することにより、画素回路10の選択期間に合わせて好適なタイミングで画素回路10の初期化を行うことができる。第2例および第4例に係る表示装置のように、共通電源線9に対して隣接配置された複数の電源線VPiを接続することにより、画素回路10に対して表示画面内の順序に従って書き込みを行うことができる。第3例に係る表示装置のよう

に、共通電源線 9 に対して配置順に従い所定本飛ばしに選択された複数の電源線 $V P_i$ を接続することにより、共通電源線 9 に流れる電流の量を揃え、画面内に輝度差が発生することを防止することができる。また、画素回路 10 に含まれるすべてのトランジスタは、Nチャネル型である。このように画素回路 10 に含まれるトランジスタを同じ導電型で構成することにより、表示装置のコストを削減することができる。

[0079] なお、初期化開始時における T F T 1 2 のゲート電位は、以前に書き込まれたデータ電位であり、一定ではない。したがって、初期化時に T F T 1 2 を確実にオン状態するためには、電源線 $V P_i$ のローレベル電位 $V P_L$ を十分に低くする必要がある。また、初期化時に T F T 1 2 を確実にオン状態にするために、T F T 1 1 または T F T 1 4 をオン状態に制御し、データ線 S_j または基準電位線から T F T 1 2 のゲート端子に T F T 1 2 がオン状態となる電位を与えてもよい。

[0080] (第 2 の実施形態)

図 1 2 は、本発明の第 2 の実施形態に係る表示装置の構成を示すブロック図である。図 1 2 に示す表示装置 200 は、ゲートドライバ回路 102 と画素回路 10 に代えて、ゲートドライバ回路 202 と画素回路 20 を備えている。本実施形態の構成要素のうち第 1 の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。

[0081] 表示装置 200 には、 $(n+1)$ 本の制御線 $G_0 \sim G_n$ が設けられ、これと平行に n 本の制御線 E_i 、および、 n 本の電源線 $V P_i$ が設けられる。制御線 $G_0 \sim G_n$ 、 E_i は、ゲートドライバ回路 202 に接続される。図示していないが、 i 行目の画素回路は、1 行上の制御線 G_{i-1} にも接続される。表示装置 200 は、制御線 R_i 、および、基準電位 V_{ref} 用配線を備えていない。

[0082] 図 1 3 は、画素回路 20 の回路図である。図 1 3 に示すように、画素回路 20 は、T F T 2 1 ~ 2 4、コンデンサ 2 5、および、有機 E L 素子 2 6 を含んでいる。画素回路 20 は、制御線 G_i 、 E_i 、1 行上の制御線 G_{i-1}

、データ線 S_j 、電源線 V_{Pi} 、および、共通電位 V_{com} を有する電極に接続される。画素回路 20 では、TFT 24 のドレイン端子は制御線 G_i に接続され、TFT 24 のゲート端子は 1 行上の制御線 G_{i-1} に接続される。以上の点を除き、画素回路 20 の構成は、画素回路 10 と同じである。

[0083] 図 14 は、画素回路 20 の駆動方法を示すタイミングチャートである。以下、図 14 を参照して、1 行目の画素回路の動作を説明する。制御線 G_0 の電位は、時刻 $t_{23} \sim t_{24}$ ではハイレベルになり、それ以外ではローレベルになる。1 行目の画素回路について、時刻 t_{23} より前の波形は、図 3 の時刻 t_{13} より前の波形と同じである。

[0084] 時刻 t_{23} において、制御線 G_0 、 E_1 の電位はハイレベルに変化する。時刻 t_{13} 以降、TFT 23、24 はオン状態になり、TFT 22 のゲート端子には制御線 G_1 の電位が印加される。この時点で制御線 G_1 の電位はローレベル（以下、制御線 G_i のローレベル電位を V_{G_L} という）であるので、TFT 22 のゲート端子には電位 V_{G_L} が印加される。電位 V_{G_L} は、時刻 t_{23} の直後に TFT 22 がオン状態になり、かつ、時刻 t_{23} 以降に有機 EL 素子 26 に対する印加電圧が発光閾値電圧を超えないように決定される。このため、時刻 t_{23} 以降、TFT 22 はオン状態になるが、有機 EL 素子 26 に電流は流れない。したがって、電源線 V_{P1} から TFT 23 と TFT 22 を経由して TFT 22 のソース端子に電流が流れ込み、TFT 22 のソース電位 V_{S1} は上昇する。TFT 22 のソース電位 V_{S1} は、ゲートーソース間電圧 V_{gs} が閾値電圧 V_{th} に等しくなるまで上昇し、（ $V_{ref} - V_{th}$ ）に到達する。

[0085] 時刻 t_{24} において、制御線 G_0 、 E_1 の電位はローレベルに変化し、制御線 G_1 の電位はハイレベルに変化し、データ線 S_j の電位（図示せず）はデータ電位 V_{da} になる。時刻 t_{24} 以降、TFT 23、24 はオフ状態になり、TFT 21 はオン状態になり、TFT 22 のゲート電位 V_{G1} は V_{ref} から V_{da} に変化する。1 行目の画素回路について、時刻 t_{24} より後の波形は、図 3 の時刻 t_{17} より後の波形と同じである。

[0086] このように画素回路20では、第1の実施形態に係る画素回路10と比較して、制御線 R_i と制御線 G_i が共通化されている。 i 行目の画素回路は、 $(i-1)$ 行目の画素回路の選択期間（制御線 G_{i-1} の電位がハイレベルである期間）で閾値検出を行う。閾値検出期間では、TFT22のゲート端子には制御線 G_i から基準電位が印加される。

[0087] 以上に示すように、本実施形態に係る表示装置200では、画素回路20は、TFT22（駆動用トランジスタ）のゲート端子とTFT21（書き込み制御トランジスタ）に接続された制御線 G_i との間に設けられ、ゲート端子が他の行の画素回路に対応する制御線 G_{i-1} に接続されたTFT24（基準電位印加トランジスタ）を含んでいる。したがって、閾値検出時にTFT24をオン状態に制御することにより、TFT22のゲート端子に制御線 G_i から基準電位を印加し、TFT22の閾値検出を行うことができる。また、第1の実施形態と比べて、基準電位 V_{ref} 用配線、および、TFT24用の制御線を削減することができる。

[0088] なお、画素回路20では、TFT14のゲート端子を1行上の制御線 G_{i-1} に接続することとしたが、TFT14のゲート端子を x 行上の制御線 G_{i-x} （ x は1以上の整数）に接続してもよい。この変形例に係る表示装置でも、同様の効果が得られる。

[0089] （第3の実施形態）

図15は、本発明の第3の実施形態に係る表示装置の構成を示すブロック図である。図15に示す表示装置300は、ゲートドライバ回路102と画素回路10に代えて、ゲートドライバ回路302と画素回路30を備えている。本実施形態の構成要素のうち第1の実施形態と同一の要素については、同一の参照符号を付して、説明を省略する。

[0090] 表示装置300には、 n 本の制御線 G_i と平行に、 n 本の制御線 E_i 、および、 n 本の電源線 VP_i が設けられる。制御線 G_i 、 E_i は、ゲートドライバ回路302に接続される。表示装置300は、制御線 R_i 、および、基準電位 V_{ref} 用配線を備えていない。

[0091] 図16は、画素回路30の回路図である。図16に示すように、画素回路30は、TFT31~33、コンデンサ35、および、有機EL素子36を備えている。画素回路30は、制御線Gi、Ei、データ線Sj、電源線VPi、および、共通電位Vcomを有する電極に接続される。画素回路30は、TFT14に対応するTFT（基準電位印加トランジスタ）を備えていない。以上の点を除き、画素回路30の構成は、画素回路10と同じである。

[0092] 図17は、画素回路30の駆動方法を示すタイミングチャートである。以下、図17を参照して、1行目の画素回路の動作を説明する。1行目の画素回路について、時刻t33より前の波形は、図3の時刻t13より前の波形と同じである。

[0093] 時刻t33において、制御線G1、E1の電位はハイレベルに変化する。時刻t33以降、TFT31、33はオン状態になり、TFT32のゲート端子にはデータ線Sjの電位が印加される。時刻t33~t34では、データ線Sjには基準電位Vrefが印加される（図示せず）。このため、TFT32のゲート端子には基準電位Vrefが印加される。基準電位Vrefは、時刻t33の直後にTFT32がオン状態になり、かつ、時刻t33以降に有機EL素子36に対する印加電圧が発光閾値電圧を超えないように決定される。このため、時刻t33以降、TFT32はオン状態になるが、有機EL素子36に電流は流れない。したがって、電源線VP1からTFT33とTFT32を経由してTFT32のソース端子に電流が流れ込み、TFT32のソース電位VS1は上昇する。TFT32のソース電位VS1は、ゲートーソース間電圧Vgsが閾値電圧Vthに等しくなるまで上昇し、（Vref-Vth）に到達する。

[0094] 時刻t34において、制御線E1の電位はローレベルに変化し、データ線Sjの電位はデータ電位Vdaに変化する。時刻t34以降、TFT33はオフ状態になり、TFT32のゲート電位VG1はVrefからVdaに変化する。1行目の画素回路について、時刻t34より後の波形は、図3の時

刻 t_{17} より後の波形と同じである。

[0095] このように画素回路 30 は、第 1 の実施形態に係る画素回路 10 と比較して、TFT 32 のゲート端子に基準電位を与えるためのトランジスタを備えていない。i 行目の画素回路は、i 行目の画素回路の選択期間（制御線 G_i の電位がハイレベルである期間）で閾値検出と書き込みを行う。閾値検出期間では、TFT 32 のゲート端子には、データ線 S_j から基準電位が印加される。

[0096] 以上に示すように、本実施形態に係る表示装置 300 では、閾値検出時に、データ線 S_j に基準電位が印加され、TFT 31（書き込み制御トランジスタ）はオン状態になる。したがって、閾値検出時に、TFT 31 をオン状態に制御することにより、TFT 32（駆動用トランジスタ）のゲート端子にデータ線 S_j から基準電位を印加し、TFT 32 の閾値検出を行うことができる。また、トランジスタや配線を追加することなく、データ線 S_j から画素回路 30 に基準電位を与えることができる。

[0097] なお、これまでの説明では、閾値検出期間を書き込み期間の直前に挿入することとしたが、これに限定されない。閾値検出期間を 1 つ前に選択される画素回路の選択期間よりも前の任意の期間に設けることも可能である。

[0098] 以上に示すように、本発明によれば、電源線から画素回路に初期化電位を与える構成を有し、電源制御回路の回路規模が小さい表示装置を得ることができる。

産業上の利用可能性

[0099] 本発明の表示装置は、電源線から画素回路に初期化電位を与える構成を有し、電源制御回路の回路規模が小さいという特徴を有するので、有機 EL ディスプレイなどの電流駆動素子を用いた表示装置に利用することができる。

符号の説明

[0100] 1…表示制御回路
102、202、302…ゲートドライバ回路
3…ソースドライバ回路

4…電源制御回路

5…シフトレジスタ

6…レジスタ

7…ラッチ回路

8…D/A変換器

9、111、121、122、131、132、141～143…共通電源線

10、20、30…画素回路

11、21、31…TFT（書き込み制御トランジスタ）

12、22、32…TFT（駆動用トランジスタ）

13、23、33…TFT（発光制御トランジスタ）

14、24…TFT（基準電位印加トランジスタ）

15、25、35…コンデンサ

16、26、36…有機EL素子（電気光学素子）

100、200、300…表示装置

G_i 、 R_i 、 E_i …制御線

S_j …データ線

V_{Pi} …電源線

請求の範囲

[請求項1]

電流駆動型の表示装置であって、
2次元状に配置された複数の画素回路と、
前記画素回路の行に対応して設けられた複数の制御線と、
前記画素回路の列に対応して設けられた複数のデータ線と、
前記画素回路に電源電位を供給するために設けられた複数の電源線と、
と、
2本以上の前記電源線に接続された1本または複数の共通電源線と、
、
前記制御線および前記データ線を駆動する駆動回路と、
前記電源線を駆動する電源制御回路とを備え、
前記画素回路は、
電気光学素子と、
前記電気光学素子を流れる電流の経路上に設けられた駆動用トランジスタと、
前記駆動用トランジスタの制御端子と前記データ線との間に設けられた書き込み制御トランジスタと、
前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられた発光制御トランジスタと、
前記駆動用トランジスタの他方の導通端子と制御端子との間に設けられたコンデンサとを含み、
前記電源制御回路は、前記共通電源線に前記電源電位および初期化電位を切り替えて印加することを特徴とする、表示装置。

[請求項2]

前記駆動回路は、初期化された画素回路を行単位で選択し、選択した画素回路が前記駆動用トランジスタの閾値検出、書き込み、および、発光を順に行うように制御することを特徴とする、請求項1に記載の表示装置。

[請求項3]

前記発光制御トランジスタは、初期化時にオン状態になり、

前記初期化電位は、初期化時に前記電源線に印加したときに、前記駆動用トランジスタがオン状態になる電位であることを特徴とする、請求項 2 に記載の表示装置。

[請求項4] 前記発光制御トランジスタは、初期化終了時にオフ状態になり、閾値検出時にオン状態になることを特徴とする、請求項 3 に記載の表示装置。

[請求項5] 前記発光制御トランジスタは、発光時に一定時間だけオン状態になることを特徴とする、請求項 4 に記載の表示装置。

[請求項6] 前記画素回路は、前記駆動用トランジスタの制御端子と基準電位線との間に設けられた基準電位印加トランジスタをさらに含むことを特徴とする、請求項 2 に記載の表示装置。

[請求項7] 前記画素回路は、前記駆動用トランジスタの制御端子と前記書き込み制御トランジスタに接続された制御線との間に設けられ、制御端子が他の行の画素回路に対応する制御線に接続された基準電位印加トランジスタをさらに含むことを特徴とする、請求項 2 に記載の表示装置。

[請求項8] 閾値検出時に、前記データ線に基準電位が印加され、前記書き込み制御トランジスタはオン状態になることを特徴とする、請求項 2 に記載の表示装置。

[請求項9] 前記共通電源線を 1 本備えることを特徴とする、請求項 1 に記載の表示装置。

[請求項10] 前記共通電源線を複数備え、
前記電源線は前記画素回路の行に対応して設けられ、
前記電源制御回路は、前記共通電源線に互いに異なるタイミングで前記初期化電位を印加することを特徴とする、請求項 1 に記載の表示装置。

[請求項11] 前記共通電源線には、隣接配置された複数の電源線が接続されていることを特徴とする、請求項 10 に記載の表示装置。

[請求項12] 前記共通電源線には、配置順に従い所定本飛ばしに選択された複数の電源線が接続されていることを特徴とする、請求項10に記載の表示装置。

[請求項13] 前記画素回路に含まれるすべてのトランジスタが、Nチャネル型であることを特徴とする、請求項1に記載の表示装置。

[請求項14] 2次元状に配置された複数の画素回路と、前記画素回路の行に対応して設けられた複数の制御線と、前記画素回路の列に対応して設けられた複数のデータ線と、前記画素回路に電源電位を供給するために設けられた複数の電源線と、2本以上の前記電源線に接続された1本または複数の共通電源線とを含む電流駆動型の表示装置の駆動方法であって、

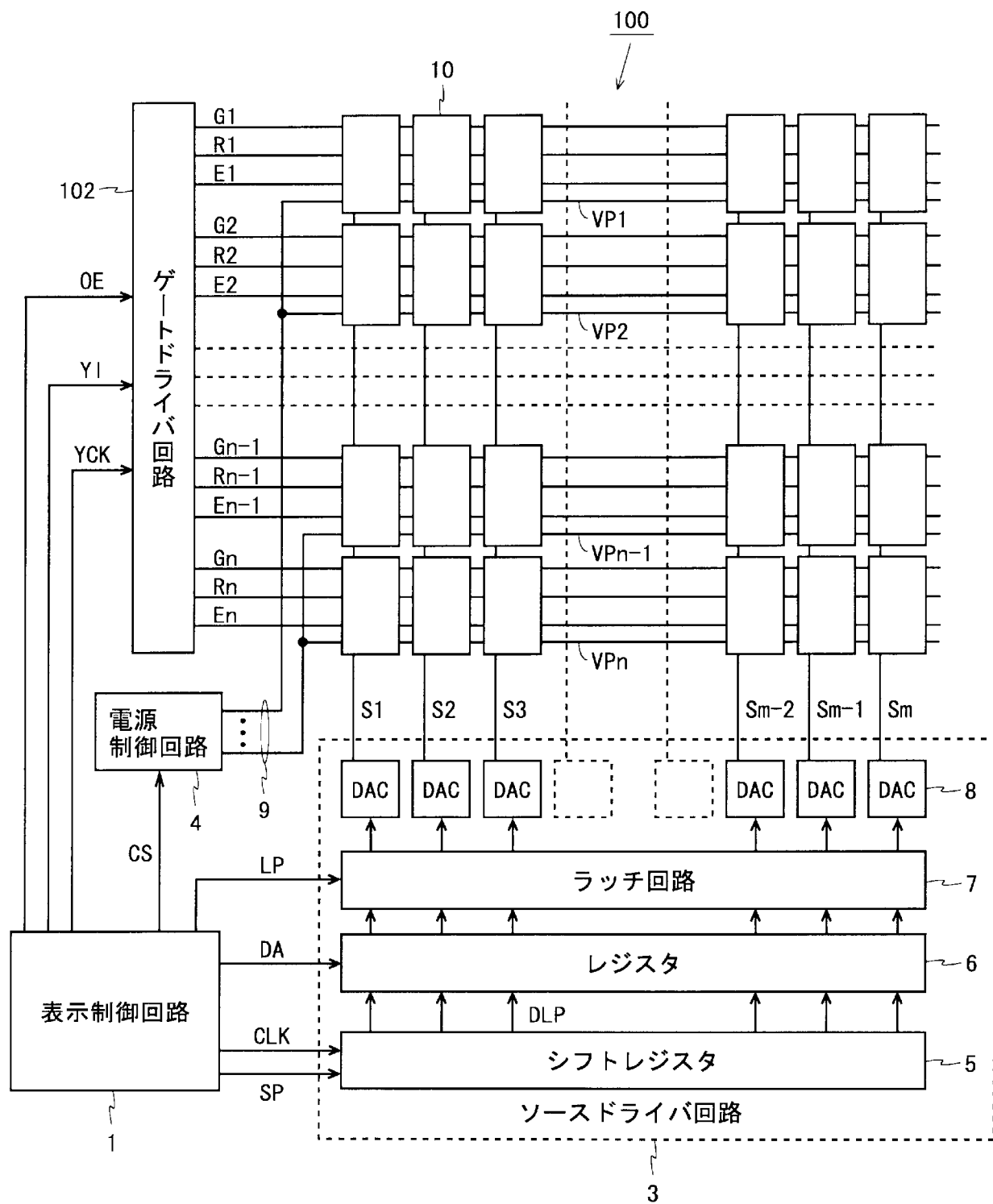
前記画素回路が、電気光学素子と、前記電気光学素子を通る電流の経路上に設けられた駆動用トランジスタと、前記駆動用トランジスタの制御端子と前記データ線との間に設けられた書き込み制御トランジスタと、前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられた発光制御トランジスタと、前記駆動用トランジスタの他方の導通端子と制御端子との間に設けられたコンデンサとを含む場合に、

電源制御回路を用いて、前記共通電源線に前記電源電位および初期化電位を切り替えて印加するステップと、

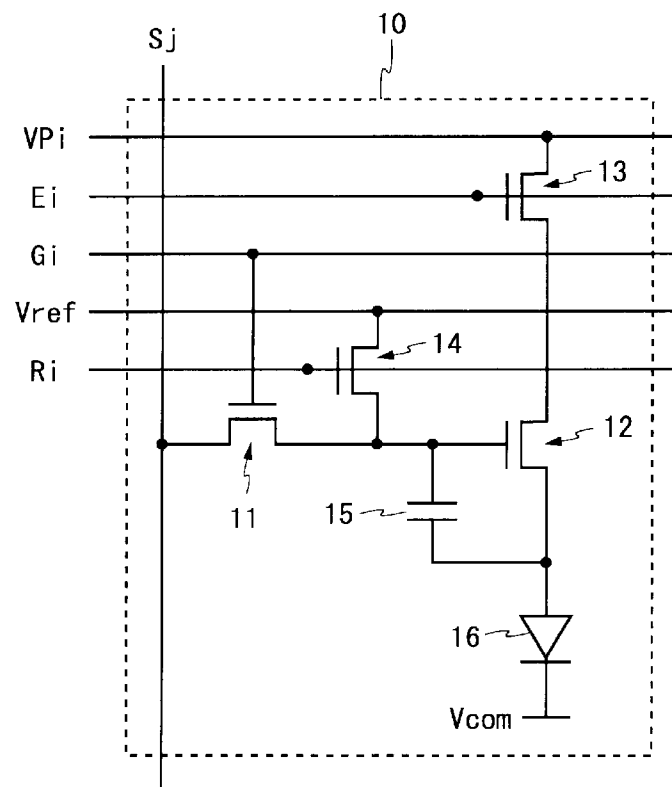
前記制御線を駆動することにより、前記画素回路に含まれるトランジスタの状態を制御するステップと、

前記データ線に表示データに応じた電位を印加するステップとを備えた、表示装置の駆動方法。

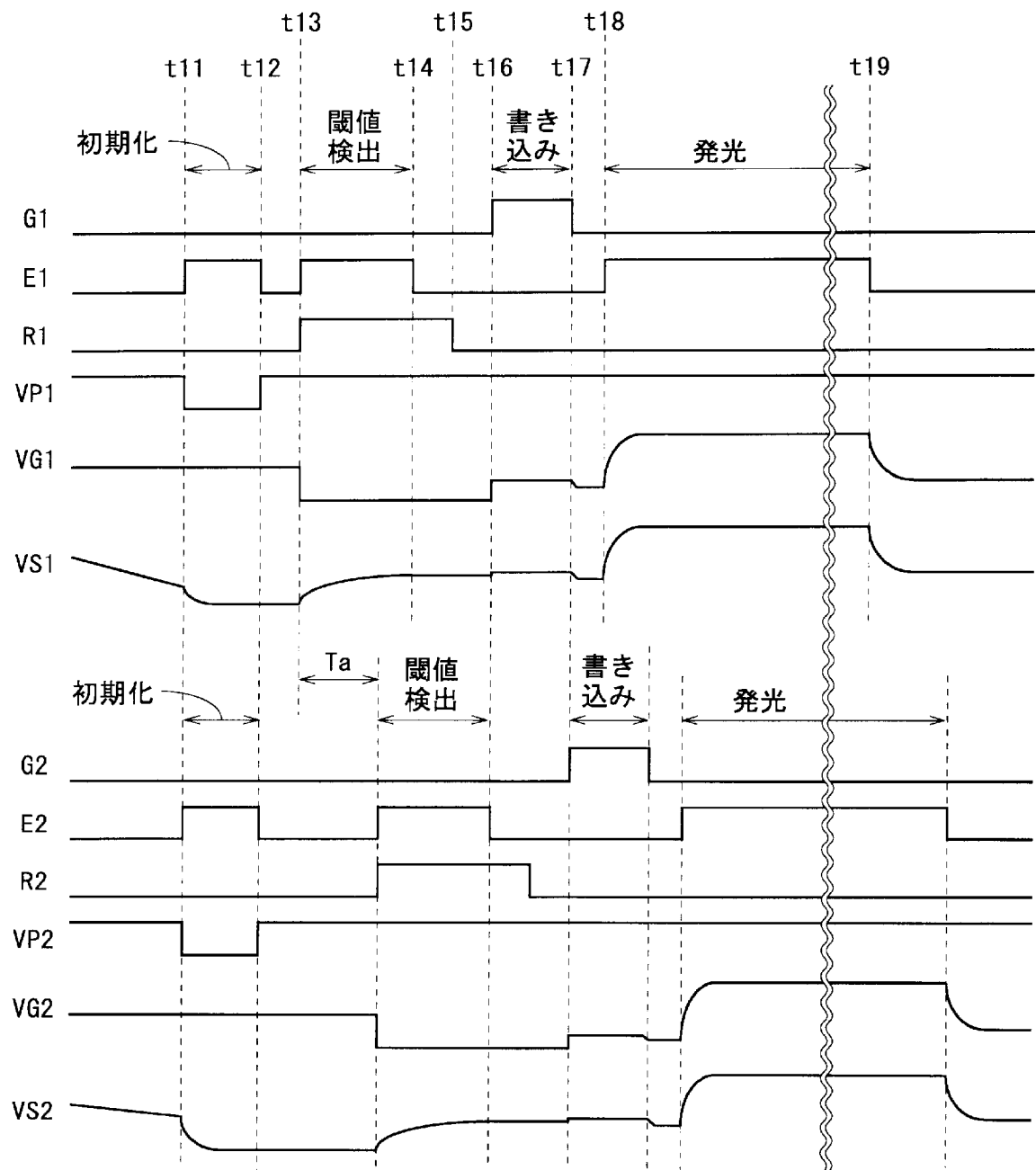
[図1]



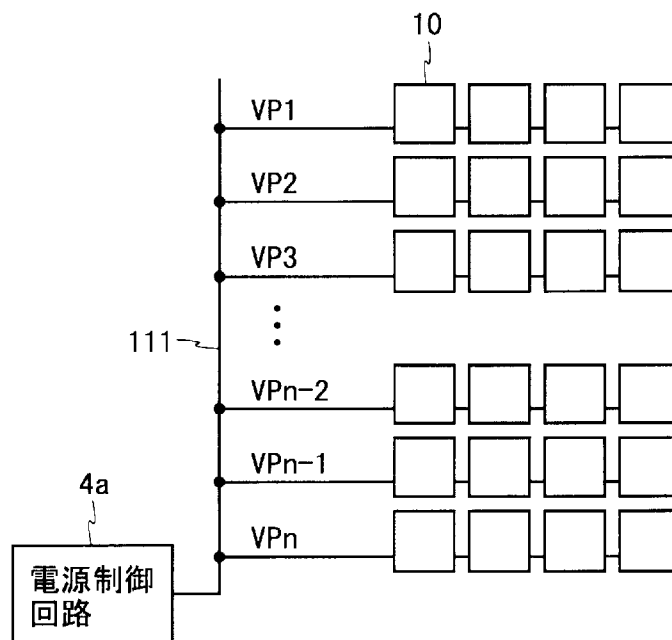
[図2]



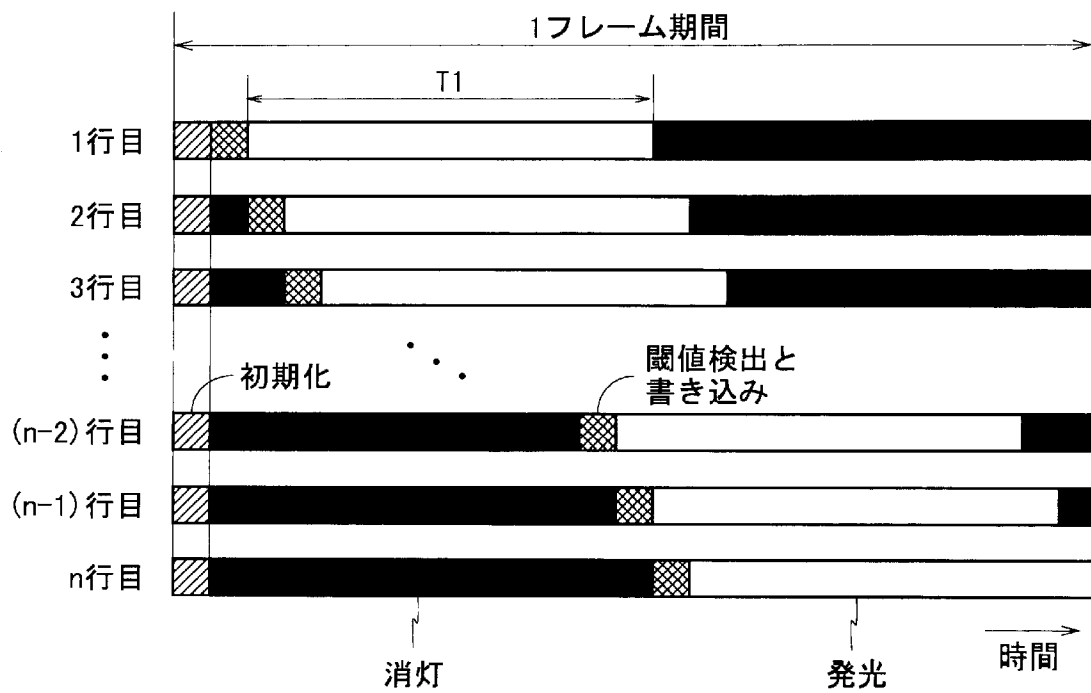
[図3]



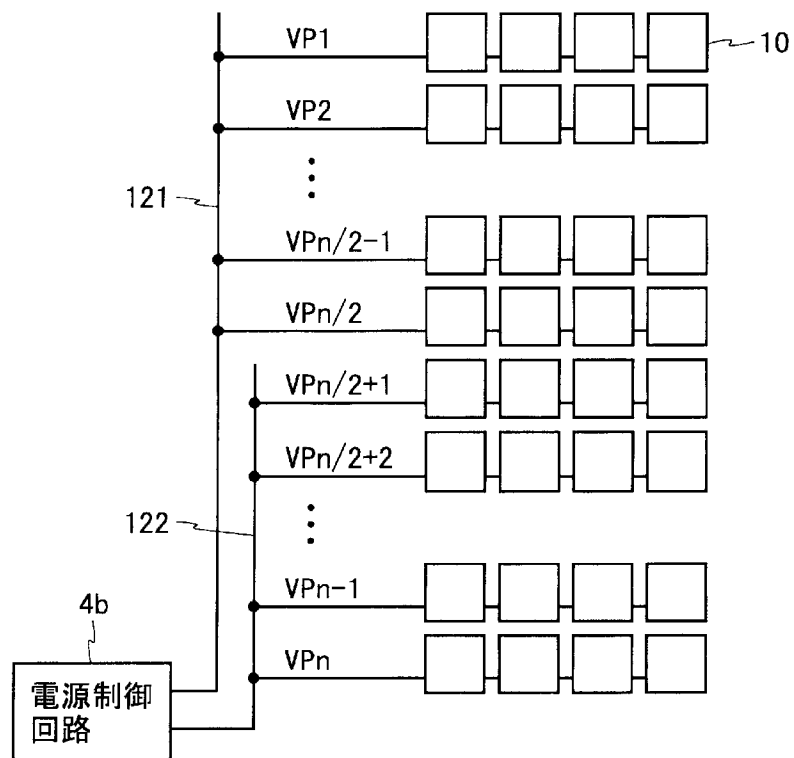
[図4]



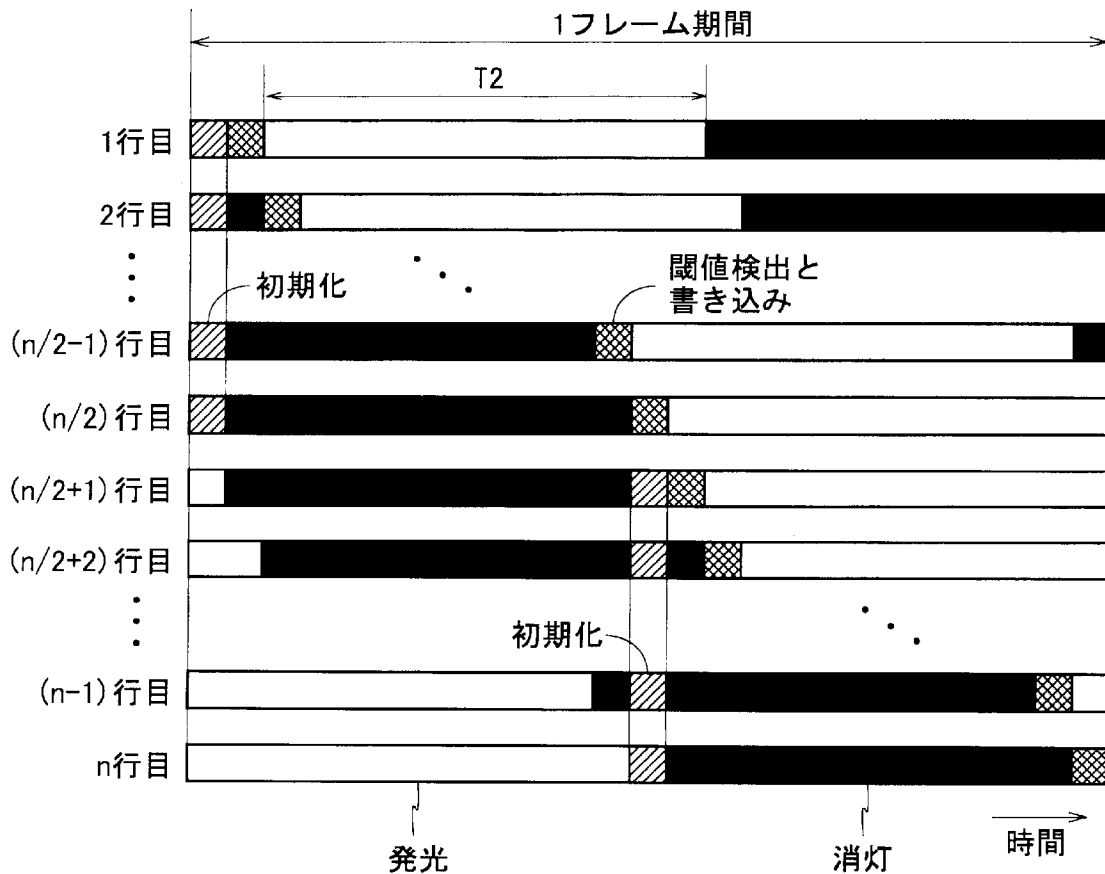
[図5]



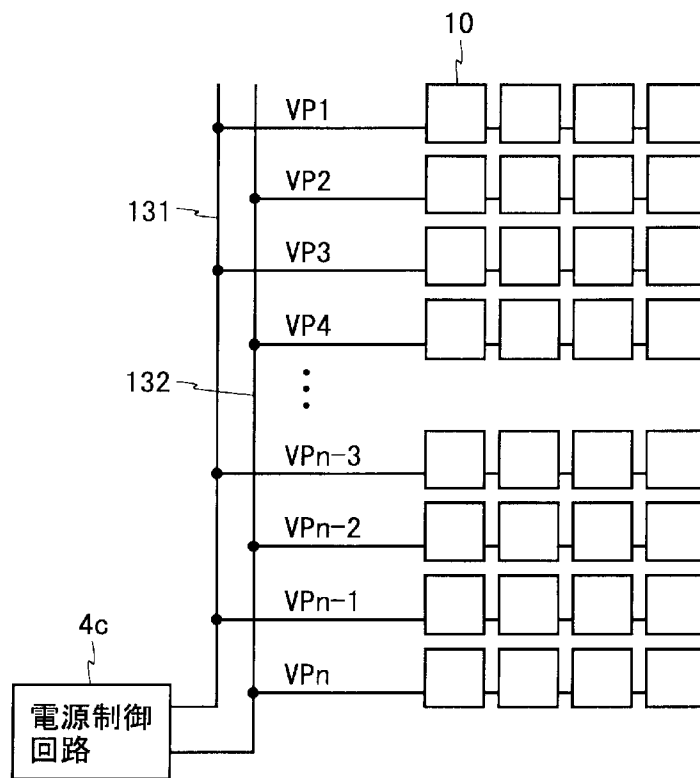
[図6]



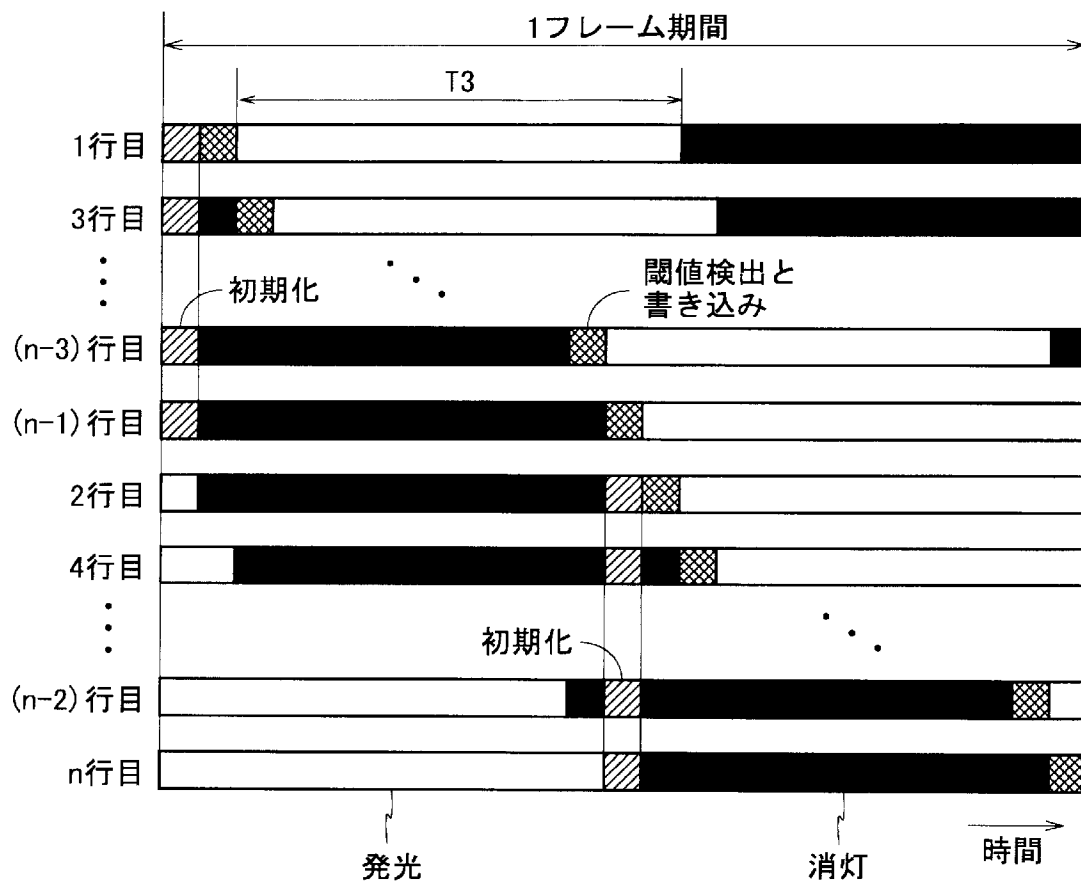
[図7]



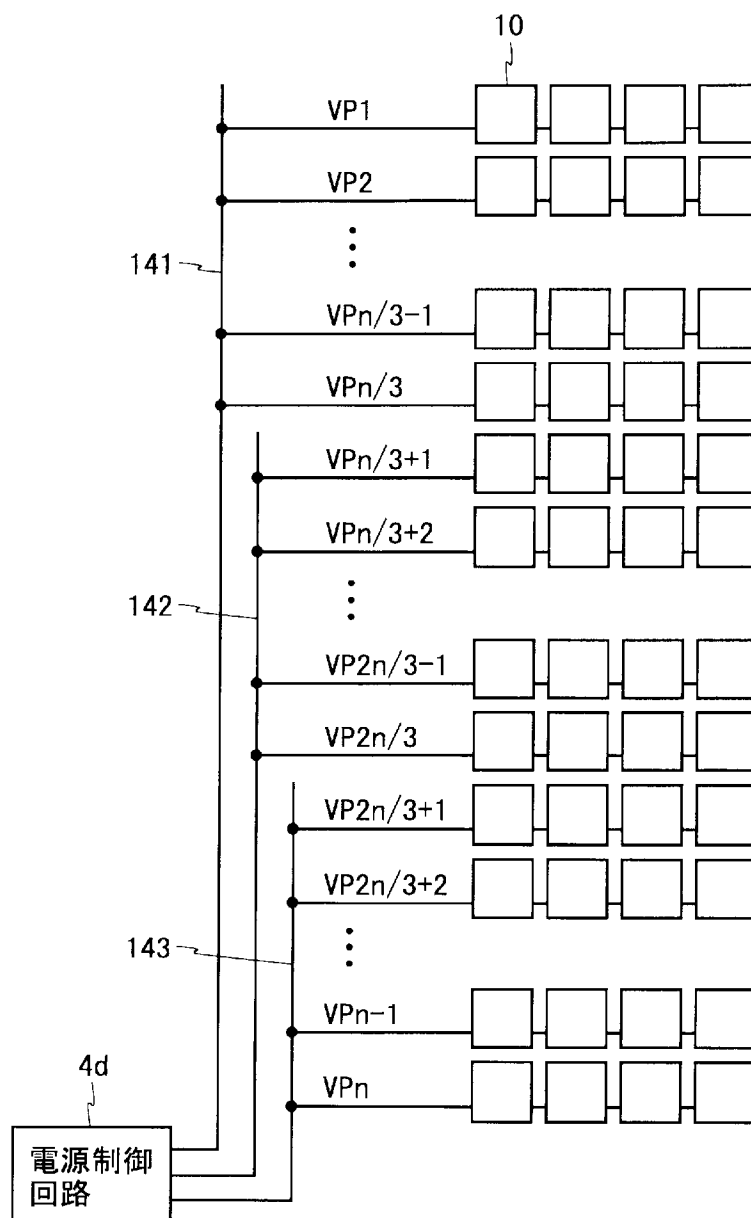
[図8]



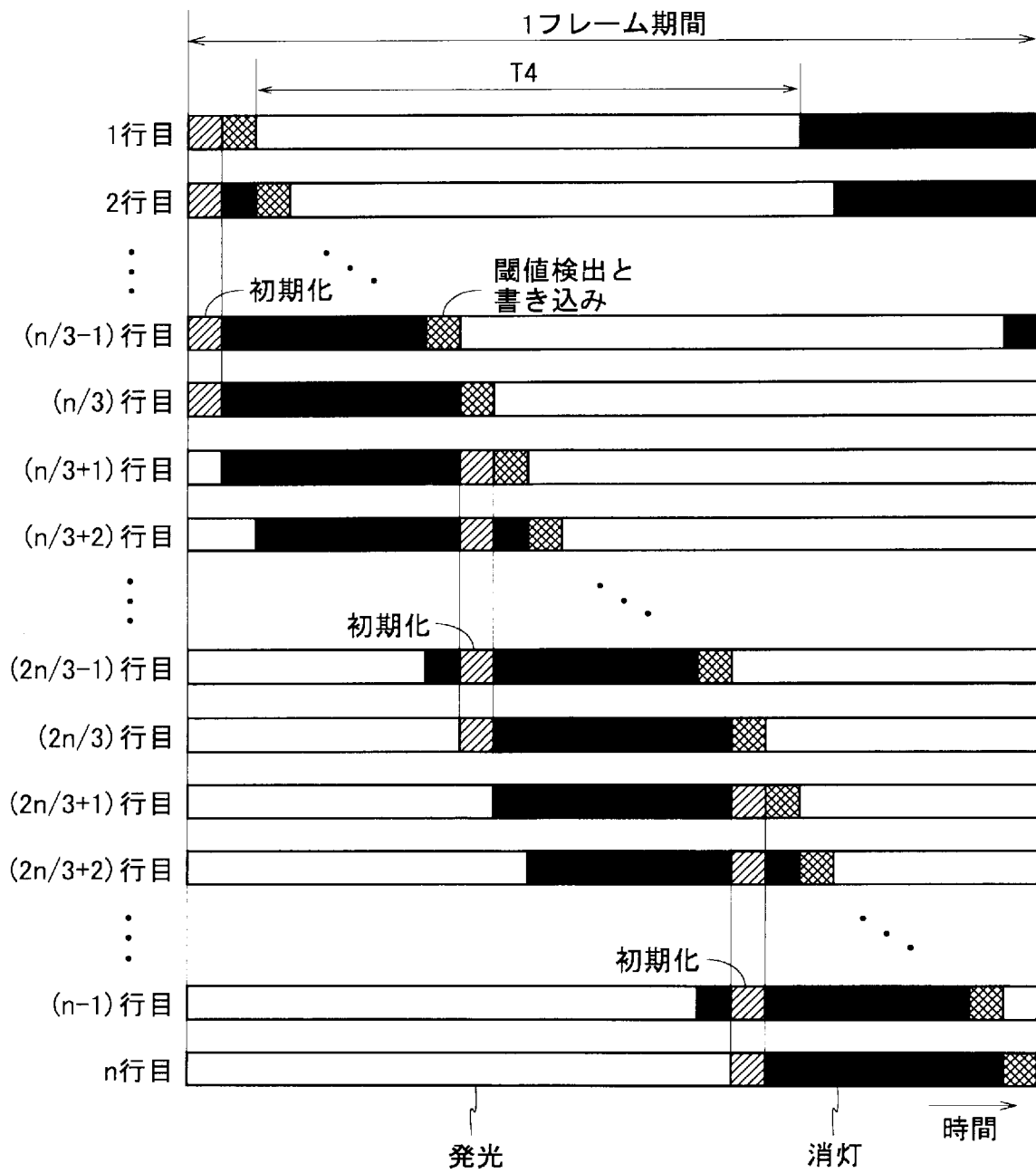
[図9]



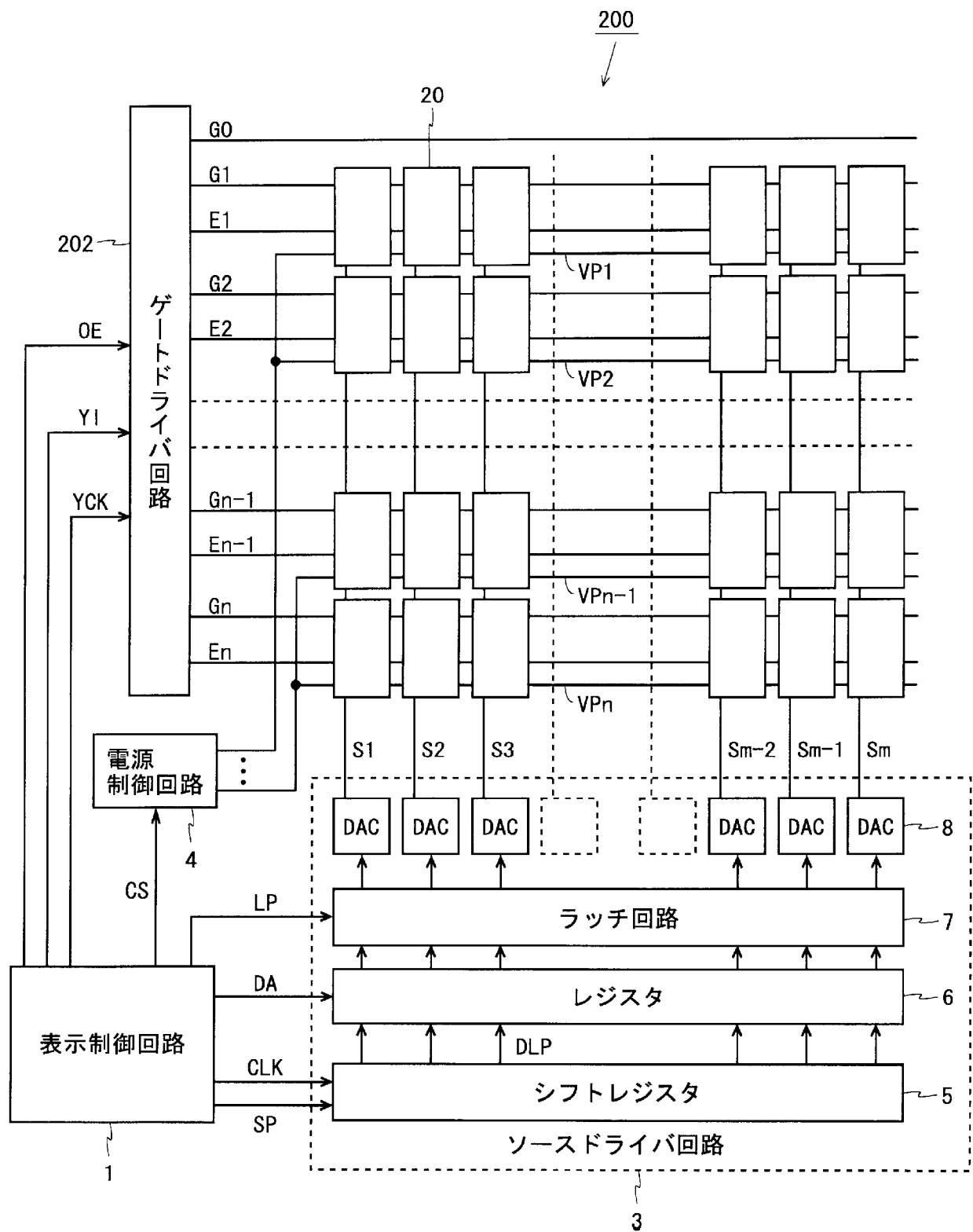
[図10]



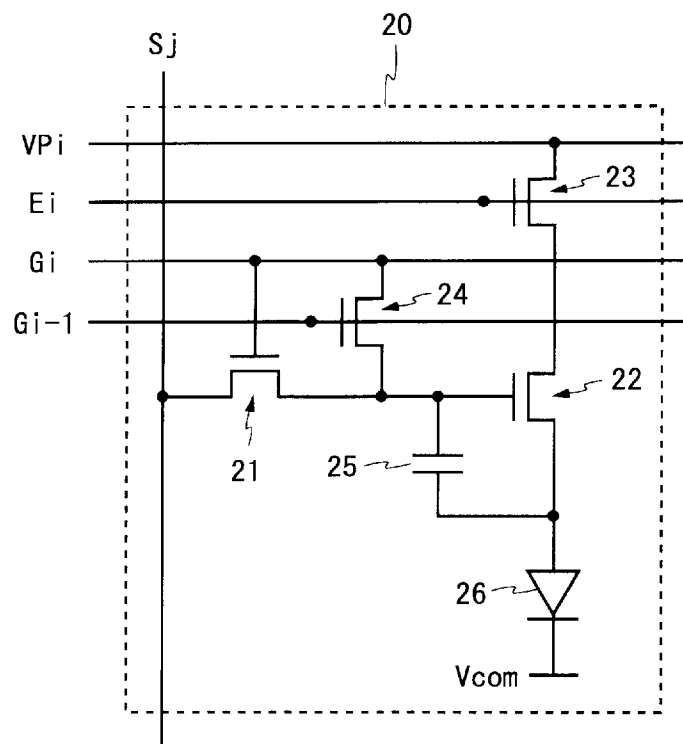
[図11]



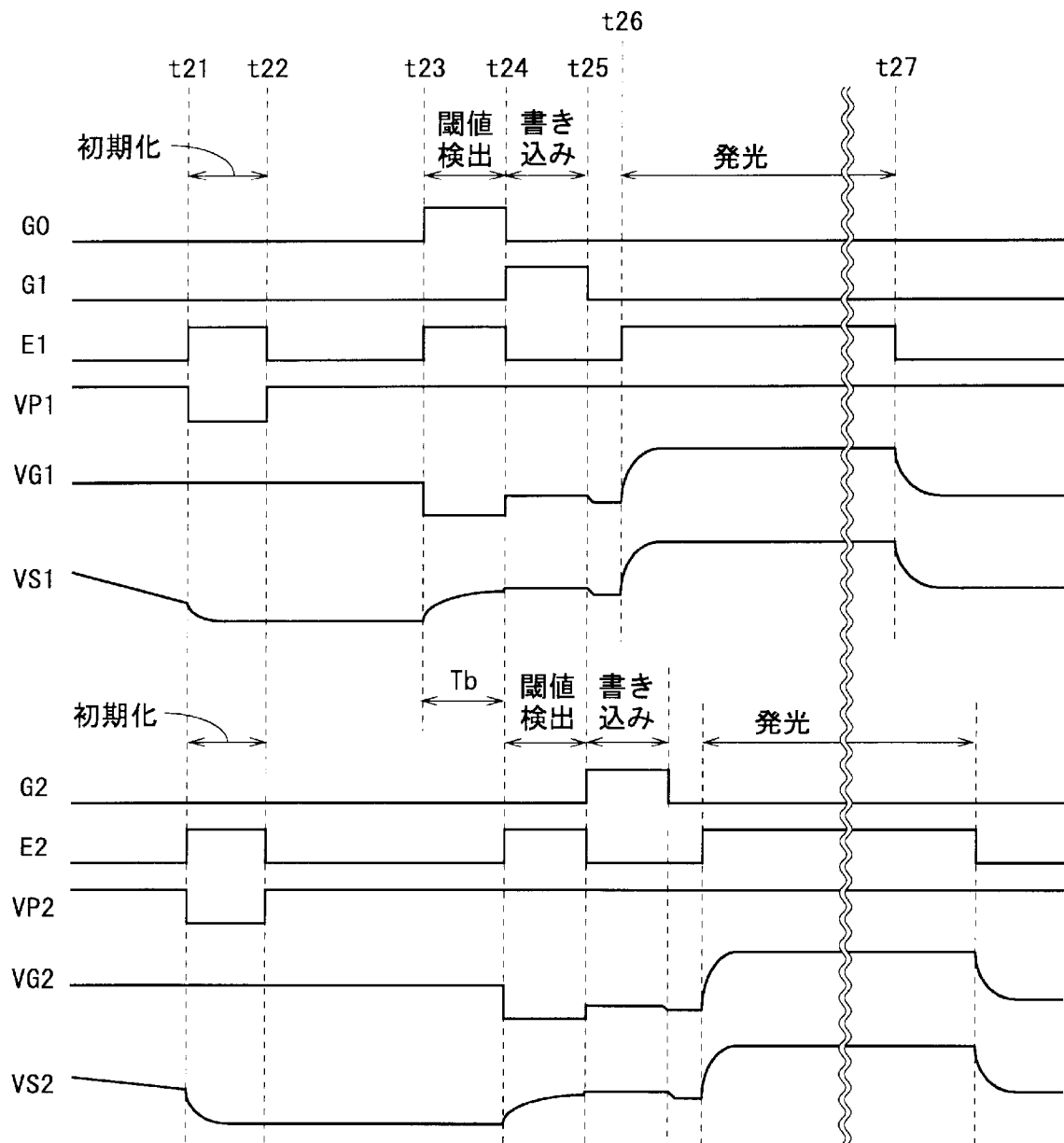
[図12]



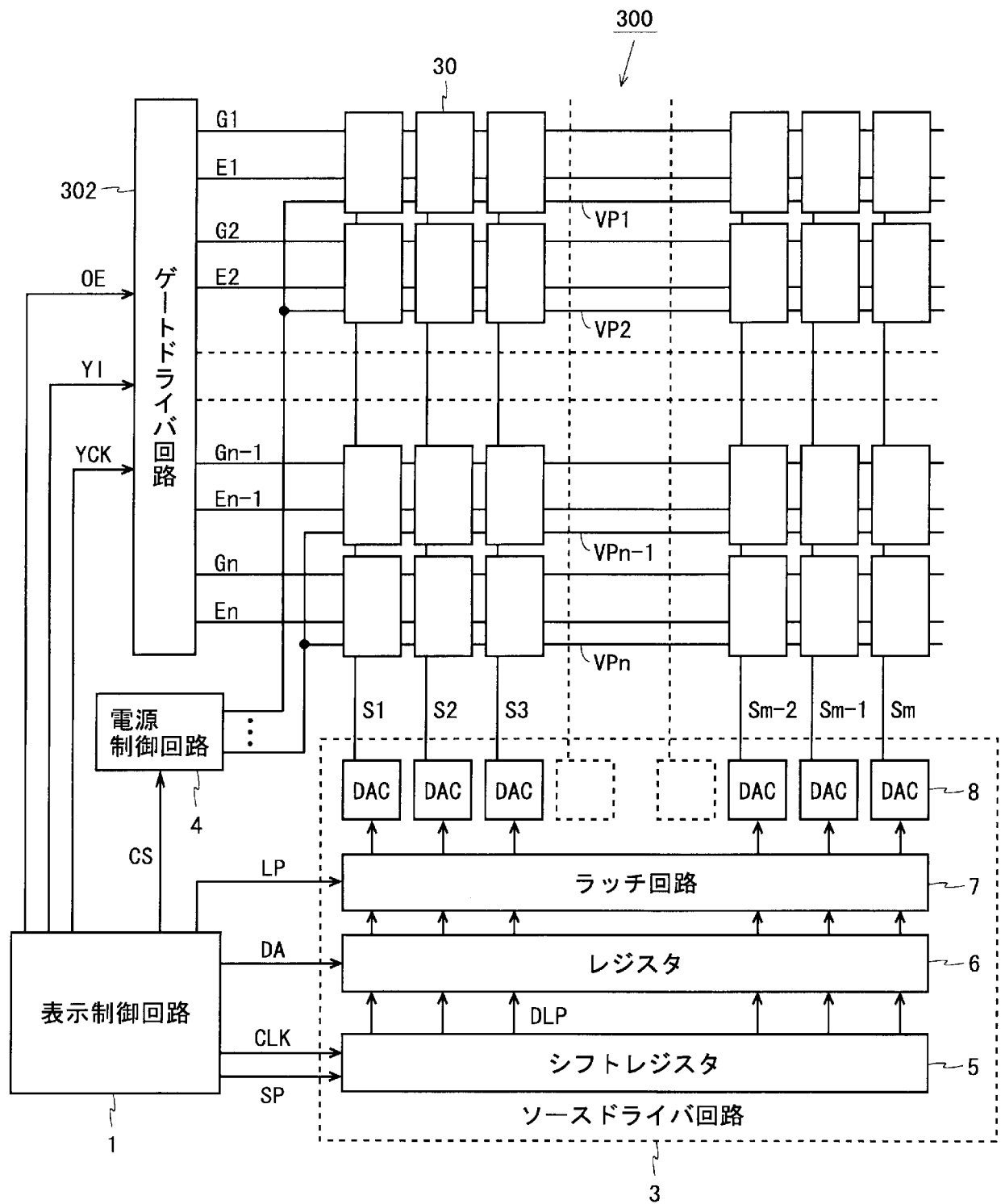
[図13]



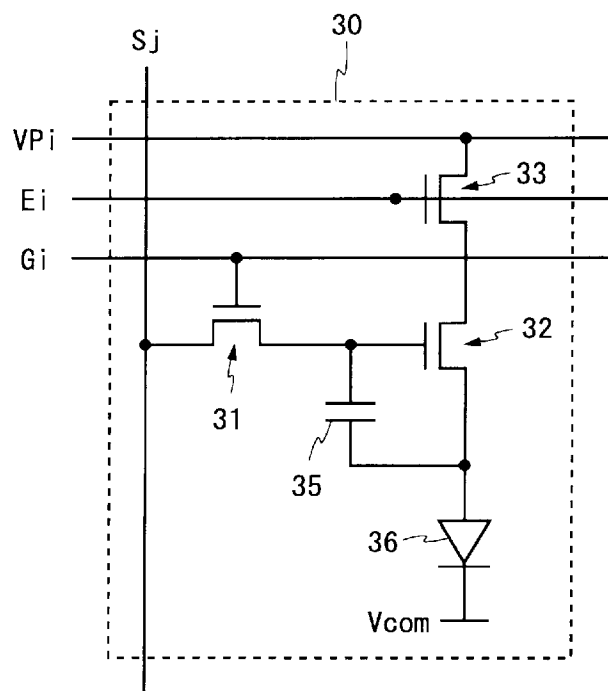
[図14]



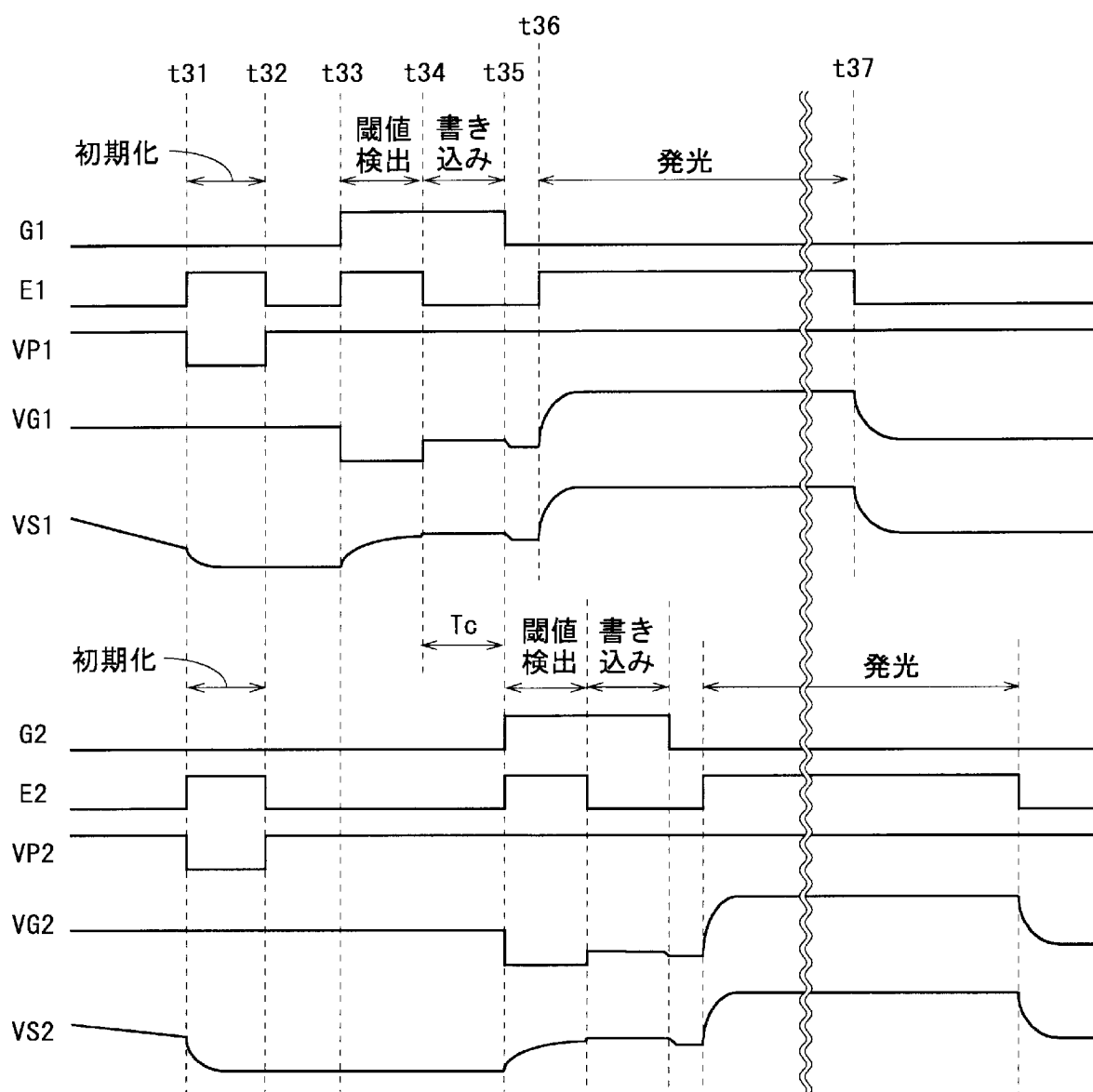
[図15]



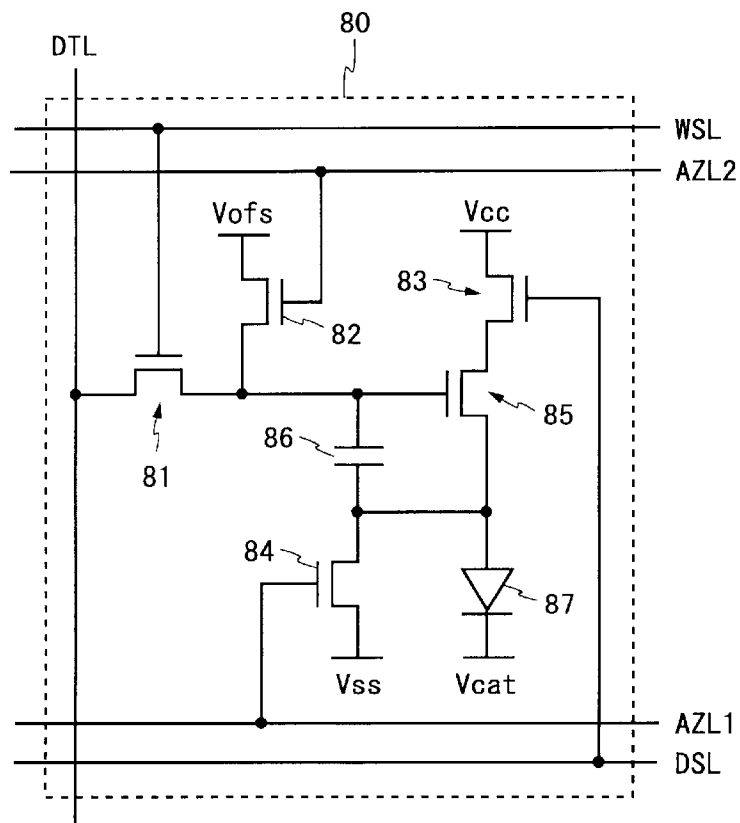
[図16]



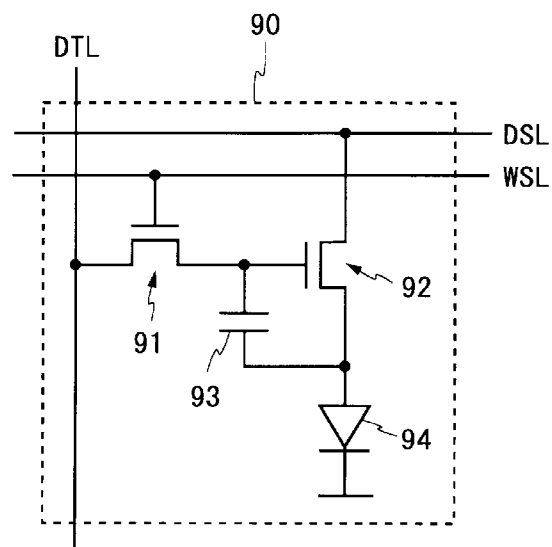
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/051311

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-139928 A (Sony Corp.), 25 June 2009 (25.06.2009), paragraphs [0015] to [0039]; fig. 1 to 4 & US 2009/0122047 A1 & CN 101436382 A & KR 10-2009-0049995 A	1-8, 10-14
Y	JP 2009-133914 A (Sony Corp.), 18 June 2009 (18.06.2009), paragraphs [0286] to [0289]; fig. 6, 12 & US 2009/0135111 A1	1-14
Y	JP 2006-215275 A (Sony Corp.), 17 August 2006 (17.08.2006), paragraphs [0035] to [0042]; fig. 7 (Family: none)	6-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 February, 2011 (14.02.11)

Date of mailing of the international search report
01 March, 2011 (01.03.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/051311

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-316453 A (Sony Corp.), 06 December 2007 (06.12.2007), paragraphs [0030] to [0039]; fig. 5 to 8 (Family: none)	6-7
Y	JP 2009-244666 A (Sony Corp.), 22 October 2009 (22.10.2009), paragraphs [0074] to [0137]; fig. 5, 16 to 20 & US 2009/0244050 A1	9
A	JP 2007-148128 A (Sony Corp.), 14 June 2007 (14.06.2007), paragraphs [0074] to [0085]; fig. 33 to 41 (Family: none)	1-14
A	JP 2007-148129 A (Sony Corp.), 14 June 2007 (14.06.2007), paragraphs [0036] to [0053]; fig. 14 to 22 (Family: none)	1-14
A	JP 2008-122634 A (Sony Corp.), 29 May 2008 (29.05.2008), paragraphs [0047] to [0048]; fig. 6 & US 2008/0111766 A1 & KR 10-2008-0043221 A & CN 101183508 A	1-14
A	JP 2009-237426 A (Sony Corp.), 15 October 2009 (15.10.2009), paragraphs [0127] to [0143]; fig. 12 to 14 (Family: none)	1-14

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/30, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-139928 A（ソニー株式会社）2009.06.25, 段落【0015】 －【0039】, 図1-4 & US 2009/0122047 A1 & CN 101436382 A & KR 10-2009-0049995 A	1-8, 10-14
Y	JP 2009-133914 A（ソニー株式会社）2009.06.18, 段落【0286】 －【0289】, 図6, 12 & US 2009/0135111 A1	1-14
Y	JP 2006-215275 A（ソニー株式会社）2006.08.17, 段落【0035】 －【0042】, 図7（ファミリーなし）	6-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 2 . 2 0 1 1

国際調査報告の発送日

0 1 . 0 3 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

奈良田 新一

2 G

3 8 0 5

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-316453 A (ソニー株式会社) 2007.12.06, 段落【0030】 －【0039】, 図5－8 (ファミリーなし)	6-7
Y	JP 2009-244666 A (ソニー株式会社) 2009.10.22, 段落【0074】 －【0137】, 図5, 16－20 & US 2009/0244050 A1	9
A	JP 2007-148128 A (ソニー株式会社) 2007.06.14, 段落【0074】 －【0085】, 図33－41 (ファミリーなし)	1-14
A	JP 2007-148129 A (ソニー株式会社) 2007.06.14, 段落【0036】 －【0053】, 図14－22 (ファミリーなし)	1-14
A	JP 2008-122634 A (ソニー株式会社) 2008.05.29, 段落【0047】 －【0048】, 図6 & US 2008/0111766 A1 & KR 10-2008-0043221 A & CN 101183508 A	1-14
A	JP 2009-237426 A (ソニー株式会社) 2009.10.15, 段落【0127】 －【0143】, 図12－14 (ファミリーなし)	1-14