



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I866183 B

(45)公告日：中華民國 113 (2024) 年 12 月 11 日

(21)申請案號：112115931

(22)申請日：中華民國 107 (2018) 年 10 月 09 日

(51)Int. Cl. : H01L29/06 (2006.01)

H01L29/66 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2017/11/30 美國

62/593,149

2017/12/29 美國

15/859,327

(71)申請人：美商英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72)發明人：何 百榮 HO, BYRON (US)；奧斯 克里斯多福 AUTH, CHRISTOPHER (US)；

華德 克提斯 WARD, CURTIS W. (US)；哈頓朵夫 麥可 HATTENDORF,

MICHAEL (US)；甘尼 塔何 GHANI, TAHIR (US)

(74)代理人：林志剛

(56)參考文獻：

TW 201735352A

US 2014/0231919A1

US 2016/0056045A1

US 2016/0233133A1

US 2016/0268414A1

US 2017/0141106A1

審查人員：陳穎慧

申請專利範圍項數：10 項 圖式數：90 共 406 頁

(54)名稱

用於先進積體電路結構製造的鰭切割和鰭修整隔離

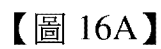
(57)摘要

本揭露的實施方式關於先進的積體電路結構製造技術領域，特別是 10 奈米節點及更小的積體電路結構製造及所成的結構。在實施例中，積體電路結構包含鰭。第一隔離結構將該鰭的第一部分的第一端部與該鰭的第二部分的第一端部分開，該鰭的該第一部分的第一端部具有深度。閘極結構在鰭的第一部分的區域的頂部上方且側向相鄰於鰭的第一部分的該區域的側壁。第二隔離結構在鰭的第一部分的第二端部上方，鰭的第一部分的第二端部具有的深度與鰭的第一部分的第一端部的深度不同。

Embodiments of the disclosure are in the field of advanced integrated circuit structure fabrication and, in particular, 10 nanometer node and smaller integrated circuit structure fabrication and the resulting structures. In an example, an integrated circuit structure includes a fin. A first isolation structure separates a first end of a first portion of the fin from a first end of a second portion of the fin, the first end of the first portion of the fin having a depth. A gate structure is over the top of and laterally adjacent to the sidewalls of a region of the first portion of the fin. A second isolation structure is over a second end of a first portion of the fin, the second end of the first portion of the fin having a depth different than the depth of the first end of the first portion of the fin.

指定代表圖：

1664C:第三磊晶半導體區



【圖 16A】



I866183

## 【發明摘要】

### 【中文發明名稱】

用於先進積體電路結構製造的鰭切割和鰭修整隔離

### 【英文發明名稱】

FIN CUT AND FIN TRIM ISOLATION FOR ADVANCED  
INTEGRATED CIRCUIT STRUCTURE FABRICATION

### 【中文】

本揭露的實施方式關於先進的積體電路結構製造技術領域，特別是10奈米節點及更小的積體電路結構製造及所成的結構。在實施例中，積體電路結構包含鰭。第一隔離結構將該鰭的第一部分的第一端部與該鰭的第二部分的第一端部分開，該鰭的該第一部分的第一端部具有深度。閘極結構在鰭的第一部分的區域的頂部上方且側向相鄰於鰭的第一部分的該區域的側壁。第二隔離結構在鰭的第一部分的第二端部上方，鰭的第一部分的第二端部具有的深度與鰭的第一部分的第一端部的深度不同。

## 【 英文 】

Embodiments of the disclosure are in the field of advanced integrated circuit structure fabrication and, in particular, 10 nanometer node and smaller integrated circuit structure fabrication and the resulting structures. In an example, an integrated circuit structure includes a fin. A first isolation structure separates a first end of a first portion of the fin from a first end of a second portion of the fin, the first end of the first portion of the fin having a depth. A gate structure is over the top of and laterally adjacent to the sidewalls of a region of the first portion of the fin. A second isolation structure is over a second end of a first portion of the fin, the second end of the first portion of the fin having a depth different than the depth of the first end of the first portion of the fin.



【指定代表圖】圖 16A

【代表圖之符號簡單說明】

1600:積體電路結構

1602:鰭

1604:第一上部分

1606:第二上部分

1610:隔離結構

1611:中心

1612:閘極線

1612A:第一閘極結構

1612B:第二閘極結構

1612C:第三閘極結構

1613A:中心

1613B:中心

1613C:中心

1614:堆疊

1616:絕緣帽

1618:側壁間隔物

1620:間隔物材料

1622:區域

1650:第一方向

1652:第二方向

1660:閘極電極

1662:閘極介電質層

1664A:第一磊晶半導體區

1664B:第二磊晶半導體區

1664C:第三磊晶半導體區

【特徵化學式】無

# 【發明說明書】

## 【中文發明名稱】

用於先進積體電路結構製造的鰭切割和鰭修整隔離

## 【英文發明名稱】

FIN CUT AND FIN TRIM ISOLATION FOR ADVANCED  
INTEGRATED CIRCUIT STRUCTURE FABRICATION

## 【技術領域】

【0001】本揭露的實施方式關於先進的積體電路結構製造技術領域，特別是10奈米節點及更小的積體電路結構製造及所成的結構。

相關申請案交互參照

【0002】本申請案主張美國臨時申請案號62/593,149之權益，其標題為「ADVANCED INTEGRATED CIRCUIT STRUCTURE FABRICATION」，申請日2017/11/30，其完整內容藉由在此引用而併入。

## 【先前技術】

【0003】近幾十年來，積體電路中的特徵縮小已成為不斷成長的半導體工業的背後的驅動力。縮得越來越小的特徵致能在半導體晶片的有限的基礎上的功能單元的增加的密度。例如，縮小的電晶體大小允許在晶片上整合增加

的數量的記憶體或邏輯裝置，致使產品的製造有增加的容量。唯，對於不斷更多的容量的驅動並非沒有問題。對於各裝置的效能的最佳化的需求變得越來越重要。

【0004】傳統及現知製造製程的變異性會限制它們更往前進展為10奈米節點或次10奈米節點範圍的可能性。因此，在未來技術節點需要的功能組件的製造會需要導入新方法或整合新技術於目前的製造製程或取代目前的製造製程。

#### 【圖式簡單說明】

【0005】[圖1A]描述在形成在層間介電質(ILD)層上的硬遮罩材料層的沉積後但在圖案化前的開始結構的截面圖。

【0006】[圖1B]描述在藉由間距減半來圖案化硬遮罩層後的圖1A的結構的截面圖。

【0007】[圖2A]為用以製造半導體鰭的間距四分之一方式的示意圖，根據本揭露的實施方式。

【0008】[圖2B]描述使用間距四分之一方式製造的半導體鰭的截面圖，根據本揭露的實施方式。

【0009】[圖3A]為用以製造半導體鰭的合併的鰭間距四分之一方式的示意圖，根據本揭露的實施方式。

【0010】[圖3B]描述使用合併的鰭間距四分之一方式製造的半導體鰭的截面圖，根據本揭露的實施方式。

【0011】[圖4A至4C]為代表在製造複數半導體鰭的方

法中的多樣的操作的截面圖，根據本揭露的實施方式。

【0012】[圖5A]描述由三層溝槽隔離結構分開的半導體鰭的對的截面圖，根據本揭露的實施方式。

【0013】[圖5B]描述由另一三層溝槽隔離結構分開的另一半導體鰭的對的截面圖，根據本揭露的另一實施方式。

【0014】[圖6A至6D]描述三層溝槽隔離結構的製造中的多樣的操作的截面圖，根據本揭露的實施方式。

【0015】[圖7A至7E]描述於製造積體電路結構的方法中的多樣的操作的有角度的三維截面圖，根據本揭露的實施方式。

【0016】[圖8A至8F]描述對於製造積體電路結構的方法中的多樣的操作的沿圖7E的a-a'軸的微凸截面圖，根據本揭露的實施方式。

【0017】[圖9A]描述對於包含永久閘極堆疊及磊晶源極或汲極區的積體電路結構的沿圖7E的a-a'軸的微凸截面圖，根據本揭露的實施方式。

【0018】[圖9B]描述對於包含磊晶源極或汲極區及多層溝槽隔離結構的積體電路結構的沿圖7E的b-b'軸的截面圖，根據本揭露的實施方式。

【0019】[圖10]描述在源極或汲極位置所取的積體電路結構的截面圖，根據本揭露的實施方式。

【0020】[圖11]描述在源極或汲極位置所取的另一積體電路結構的截面圖，根據本揭露的實施方式。

【0021】[圖12A至12D]描述在源極或汲極位置所取且表示於積體電路結構的製造的多樣的操作的截面圖，根據本揭露的實施方式。

【0022】[圖13A及13B]描述表示用於形成區域隔離結構的圖案化有多閘極間隔的鰭的方法的多樣的操作的平面圖，根據本揭露的實施方式。

【0023】[圖14A至14D]描述表示用於形成區域隔離結構的圖案化有單閘極間隔的鰭的方法的多樣的操作的平面圖，根據本揭露的另一實施方式。

【0024】[圖15]描述具有用於區域隔離的有多閘極間隔的鰭的積體電路結構的截面圖，根據本揭露的實施方式。

【0025】[圖16A]描述具有用於區域隔離的有單閘極間隔的鰭的積體電路結構的截面圖，根據本揭露的另一實施方式。

【0026】[圖16B]描述顯示鰭隔離結構可被形成以取代閘極電極的位置的截面圖，根據本揭露的實施方式。

【0027】[圖17A至17C]描述使用鰭修整隔離方式製造的鰭切割的多樣的深度可能性，根據本揭露的實施方式。

【0028】[圖18]描述沿著a-a'軸的平面圖及對應的截面圖，其顯示對於鰭內的鰭切割的區域相對於較廣位置的深度的可能選項，根據本揭露的實施方式。

【0029】[圖19A及19B]描述選擇在具有廣切割的鰭的端部的鰭端部壓力源位置的方法的多樣的操作的截面圖，

根據本揭露的實施方式。

【0030】[圖 20A 及 20B]描述選擇在具有區域切割的鰭的端部的鰭端部壓力源位置的方法的多樣的操作的截面圖，根據本揭露的實施方式。

【0031】[圖 21A 至 21M]描述於製造具有差異化的鰭端部介電質插塞的積體電路結構的方法中的多樣的操作的截面圖，根據本揭露的實施方式。

【0032】[圖 22A 至 22D]描述 PMOS 鰭端部壓力源介電質插塞的範例結構的截面圖，根據本揭露的實施方式。

【0033】[圖 23A]描述具有鰭端部壓力誘發特徵的另一半導體結構的截面圖，根據本揭露的另一實施方式。

【0034】[圖 23B]描述具有鰭端部壓力誘發特徵的另一半導體結構的截面圖，根據本揭露的另一實施方式。

【0035】[圖 24A]描述具有拉伸單軸壓力的鰭的有角度的圖，根據本揭露的實施方式。

【0036】[圖 24B]描述具有壓縮單軸壓力的鰭的有角度的圖，根據本揭露的實施方式。

【0037】[圖 25A 及 25B]描述表示用於形成區域隔離結構於選擇的閘極線切割位置的圖案化有單閘極間隔的鰭的方法的多樣的操作的平面圖，根據本揭露的實施方式。

【0038】[圖 26A 至 26C]描述對於圖 25B 的結構的多樣的區域的對於多晶切割及鰭修整隔離 (FTI) 區域鰭切割位置及僅有多晶切割的位置的介電質插塞的多樣的可能性的截面圖，根據本揭露的實施方式。

【0039】[圖 27A]描述具有有延伸進入閘極線的介電質間隔物的介電質插塞的閘極線切割的積體電路結構的平面圖及對應的截面圖，根據本揭露的實施方式。

【0040】[圖 27B]描述具有有延伸超過閘極線的介電質間隔物的介電質插塞的閘極線切割的積體電路結構的平面圖及對應的截面圖，根據本揭露的另一實施方式。

【0041】[圖 28A至 28F]描述製造具有有介電質插塞的閘極線切割的積體電路結構的方法的多樣操作的截面圖，此介電質插塞有延伸超過閘極線的介電質間隔物的上部分及延伸進入閘極線的介電質間隔物的下部分，根據本揭露的另一實施方式。

【0042】[圖 29A至 29C]描述具有在永久閘極堆疊的底部的部分的殘餘虛置閘極材料的積體電路結構的平面圖及對應的截面圖，根據本揭露的實施方式。

【0043】[圖 30A至 30D]描述製造具有在永久閘極堆疊的底部的部分的殘餘虛置閘極材料的積體電路結構的方法的多樣的操作的截面圖，根據本揭露的另一實施方式。

【0044】[圖 31A]描述具有鐵電或反鐵電閘極介電質結構的半導體裝置的截面圖，根據本揭露的實施方式。

【0045】[圖 31B]描述具有鐵電或反鐵電閘極介電質結構的另一半導體裝置的截面圖，根據本揭露的另一實施方式。

【0046】[圖 32A]描述在半導體鰭的對上方的複數閘極線的平面圖，根據本揭露的實施方式。



【0047】[圖32B]描述沿著圖32A的a-a'軸的截面圖，根據本揭露的實施方式。

【0048】[圖33A]描述具有基於調變的摻雜的差異化的電壓臨界的NMOS裝置的對，以及具有基於調變的摻雜的差異化的電壓臨界的PMOS裝置的對的截面圖，根據本揭露的實施方式。

【0049】[圖33B]描述具有基於差異化的閘極電極結構的差異化的電壓臨界的NMOS裝置的對，以及具有基於差異化的閘極電極結構的差異化的電壓臨界的PMOS裝置的對的截面圖，根據本揭露的另一實施方式。

【0050】[圖34A]描述具有基於差異化的閘極電極結構及基於調變的摻雜的差異化的電壓臨界的NMOS裝置的三聯體，以及具有基於差異化的閘極電極結構及基於調變的摻雜的差異化的電壓臨界的PMOS裝置的三聯體的截面圖，根據本揭露的實施方式。

【0051】[圖34B]描述具有基於差異化的閘極電極結構及基於調變的摻雜的差異化的電壓臨界的NMOS裝置的三聯體，以及具有基於差異化的閘極電極結構及基於調變的摻雜的差異化的電壓臨界的PMOS裝置的三聯體的截面圖，根據本揭露的另一實施方式。

【0052】[圖35A至35D]描述於製造具有基於差異化的閘極電極結構的差異化的電壓臨界的NMOS裝置的方法中的多樣的操作的截面圖，根據本揭露的另一實施方式。

【0053】[圖36A至36D]描述於製造具有基於差異化的

閘極電極結構的差異化的電壓臨界的PMOS裝置的方法中的多樣的操作的截面圖，根據本揭露的另一實施方式。

【0054】[圖37]描述具有P/N接面的積體電路結構的截面圖，根據本揭露的實施方式。

【0055】[圖38A至38H]描述於使用雙金屬閘極取代的閘極製程流程製造積體電路結構的方法中的多樣的操作的截面圖，根據本揭露的實施方式。

【0056】[圖39A至39H]描述代表在基於雙矽化物的積體電路的製造方法中的多樣的操作的截面圖，根據本揭露的實施方式。

【0057】[圖40A]描述對於NMOS裝置的具有溝槽接觸物的積體電路結構的截面圖，根據本揭露的實施方式。

【0058】[圖40B]描述對於PMOS裝置的具有溝槽接觸物的積體電路結構的截面圖，根據本揭露的另一實施方式。

【0059】[圖41A]描述具有在源極或汲極區上的導電接觸物的半導體裝置的截面圖，根據本揭露的實施方式。

【0060】[圖41B]描述具有在升起的源極或汲極區上的導電物的另一半導體裝置的截面圖，根據本揭露的實施方式。

【0061】[圖42]描述在半導體鰭的對上方的複數閘極線的平面圖，根據本揭露的實施方式。

【0062】[圖43A至43C]描述對於製造積體電路結構的方法中的多樣的操作的沿圖42的a-a'軸的截面圖，根據本

揭露的實施方式。

【0063】[圖44]描述對於積體電路結構的沿圖42的b-b'軸的截面圖，根據本揭露的實施方式。

【0064】[圖45A及45B]分別描述包含有硬遮罩材料於其上的溝槽接觸插塞的積體電路結構的分別的平面圖及對應的截面圖，根據本揭露的實施方式。

【0065】[圖46A至46D]描述表示製造包含有硬遮罩材料於其上的溝槽接觸插塞的積體電路結構的方法的多樣的操作的截面圖，根據本揭露的實施方式。

【0066】[圖47A]描述具有設置在閘極電極的非主動部分上方的閘極接觸物的半導體裝置的平面圖。[圖47B]描述具有設置在閘極電極的非主動部分上方的閘極接觸物的非平面半導體裝置的截面圖。

【0067】[圖48A]描述具有設置在閘極電極的主動部分上方的閘極接觸通孔的半導體裝置的平面圖，根據本揭露的實施方式。[圖48B]描述具有設置在閘極電極的主動部分上方的閘極接觸通孔的非平面半導體裝置的截面圖，根據本揭露的實施方式。

【0068】[圖49A至49D]描述表示製造具有設置在閘極的主動部分上方的閘極接觸結構的半導體結構的方法的多樣的操作的截面圖，根據本揭露的實施方式。

【0069】[圖50]描述具有包含上覆絕緣帽層的溝槽接觸物的積體電路結構的平面圖及對應的截面圖，根據本揭露的實施方式。

【0070】[圖51A至51F]描述多樣的積體電路結構的截面圖，各具有包含上覆絕緣帽層的溝槽接觸物及具有包含上覆絕緣帽層的閘極堆疊，根據本揭露的實施方式。

【0071】[圖52A]描述具有設置在閘極的主動部分上方的閘極接觸通孔的另一半導體裝置的平面圖，根據本揭露的另一實施方式。

【0072】[圖52B]描述具有耦合於溝槽接觸物的對的溝槽接觸通孔的另一半導體裝置的平面圖，根據本揭露的另一實施方式。

【0073】[圖53A至53E]描述表示製造有具有上覆絕緣帽層的閘極堆疊的積體電路結構的方法的多樣的操作的截面圖，根據本揭露的實施方式。

【0074】[圖54]為用以製造對於互連結構的溝槽的間距四分之一方式的示意圖，根據本揭露的實施方式。

【0075】[圖55A]描述使用間距四分之一方案製造的金屬化層的截面圖，根據本揭露的實施方式。

【0076】[圖55B]描述在使用間距四分之一方案製造的金屬化層之上使用間距二分之一方案製造的金屬化層的截面圖，根據本揭露的實施方式。

【0077】[圖56A]描述積體電路結構的截面圖，具有有金屬線成分的金屬化層於有不同的金屬線成分的金屬化層之上，根據本揭露的實施方式。

【0078】[圖56B]描述積體電路結構的截面圖，具有有金屬線成分的金屬化層耦合於有不同金屬線成分的金屬

化層，根據本揭露的實施方式。

【0079】[圖 57A 至 57C] 描述具有多樣的襯墊及導電帽結構配置的個別互連線的截面圖，根據本揭露的實施方式。

【0080】[圖 58] 描述積體電路結構的截面圖，具有有金屬線成分及間距的四金屬化層於有不同的金屬線成分及較小的間距的二金屬化層之上，根據本揭露的實施方式。

【0081】[圖 59A 至 59D] 描述具有底導電層的多樣的互連線及通孔配置的截面圖，根據本揭露的實施方式。

【0082】[圖 60A 至 60D] 描述對於 BEOL 金屬化層的凹陷線拓樸的結構配置的截面圖，根據本揭露的實施方式。

【0083】[圖 61A 至 61D] 描述對於 BEOL 金屬化層的階狀線拓樸的結構配置的截面圖，根據本揭露的實施方式。

【0084】[圖 62A] 描述沿著金屬化層的平面圖的 a-a' 軸的平面圖及對應的截面圖，根據本揭露的實施方式。

【0085】[圖 62B] 描述線端部或插塞的截面圖，根據本揭露的實施方式。

【0086】[圖 62C] 描述線端部或插塞的另一截面圖，根據本揭露的實施方式。

【0087】[圖 63A 至 36F] 描述表示插塞最後製程方案的多樣的操作的平面圖及對應的截面圖，根據本揭露的實施方式。

【0088】[圖 64A] 描述具有縫於其中的導電線插塞的截面圖，根據本揭露的實施方式。

【0089】[圖64B]描述包含導電線插塞於下金屬線位置的金屬化層的堆疊的截面圖，根據本揭露的實施方式。

【0090】[圖65]描述對於記憶體單元的單元佈局的第一視圖。

【0091】[圖66]描述對於具有內部節點接續器的記憶體單元的單元佈局的第一視圖，根據本揭露的實施方式。

【0092】[圖67]描述對於記憶體單元的單元佈局的第二視圖。

【0093】[圖68]描述對於具有內部節點接續器的記憶體單元的單元佈局的第二視圖，根據本揭露的實施方式。

【0094】[圖69]描述對於記憶體單元的單元佈局的第三視圖。

【0095】[圖70]描述對於具有內部節點接續器的記憶體單元的單元佈局的第三視圖，根據本揭露的實施方式。

【0096】[圖71A及71B]分別描述位元單元佈局及示意圖，對於六電晶體(6T)靜態隨機存取記憶體(SRAM)，根據本揭露的實施方式。

【0097】[圖72]描述對於相同標準單元的二不同佈局的截面圖，根據本揭露的實施方式。

【0098】[圖73]描述四不同單元配置的平面圖，表示偶(E)或奇(O)指定，根據本揭露的實施方式。

【0099】[圖74]描述方塊級多晶柵(poly grid)的平面圖，根據本揭露的實施方式。

【0100】[圖75]描述範例可接受(通過)的佈局，基於

具有不同版本的標準單元，根據本揭露的實施方式。

【0101】[圖76]描述範例不可接受(失敗)的佈局，基於具有不同版本的標準單元，根據本揭露的實施方式。

【0102】[圖77]描述另一範例可接受(通過)的佈局，基於具有不同版本的標準單元，根據本揭露的實施方式。

【0103】[圖78]描述基於鰭的薄膜電阻器結構的部分切割平面圖及對應的截面圖，其中截面圖是沿著部分切割平面圖的a-a'軸，根據本揭露的實施方式。

【0104】[圖79至83]描述表示製造基於鰭的薄膜電阻器結構的方法的多樣的操作的平面圖及對應的截面圖，根據本揭露的實施方式。

【0105】[圖84]描述有對於陽極或陰極電極接觸物的多樣範例位置的基於鰭的薄膜電阻器結構的平面圖，根據本揭露的實施方式。

【0106】[圖85A至85D]描述對於製造基於鰭的精密電阻器的多樣的鰭構形的平面圖，根據本揭露的實施方式。

【0107】[圖86]描述微影遮罩結構的截面圖，根據本揭露的實施方式。

【0108】[圖87]描述根據本揭露的一實施例的電腦裝置。

【0109】[圖88]描述中介物，其包含本揭露的一或更多實施方式。

【0110】[圖89]描述行動電腦平台的等角視圖，其配置根據於此所述的一或更多製程製造的IC或包含於此所述

的一或更多特徵，根據本揭露的實施方式。

【0111】[圖90]描述覆晶安裝晶粒的截面圖，根據本揭露的實施方式。

## 【發明內容】及【實施方式】

【0112】敘述了先進積體電路結構製造。於之後的敘述，提出了許多特定的細節，例如特定的整合及材料方案，以提供對於本揭露的實施方式的透徹理解。顯然地，對於所屬技術領域中具有通常知識者而言，本揭露的實施方式可被實現而無這些特定的細節。於其它例子，可知的特徵，例如積體電路設計佈局，不以細節的方式敘述，以避免非必要地混淆本揭露的實施方式。此外，可以理解的是，於圖所示的多樣的實施方式僅為描述性的表示而非必為實際尺寸。

【0113】之後的詳細敘述本質上僅為說明性的且無意限制標的或應用的實施方式及此實施方式的使用。如於此所用的，詞語「範例」表示「作為例子、示例或說明」。於此所述的作為範例的任意實施例不需要被解釋為較佳的或比其它實施例有利。此外，無意由在前述的技術領域、先前技術、概要或後述的詳細說明中展現的任意明示或暗示的理論約束。

【0114】本說明書包含參照「一實施方式」或「實施方式」。「一實施方式」或「實施方式」的詞語的出現不需要參照相同的實施方式。特定的特徵、結構、或特性可



以任意適合的並與本揭露方式相符的方式組合。

【0115】詞語。以下的段落提供對於於本說明書中(包含所附的申請專利範圍中)出現的詞語的定義或脈絡：

【0116】「包含」。此詞語為開放式的。若用於所附的申請專利範圍，此詞語不排除額外的結構或操作。

【0117】「組態用以」。多樣的單元或組件可被敘述或主張為「組態用以」執行一或更多工作。於此脈絡，「組態用以」用以表示結構為：表示單元或組件包含在操作時執行這些工作或多工作的結構。如此，單元或組件可被稱為是組態用以執行工作，即使當特定的單元或組件現在沒有在操作中(例如，不被開啟或活動)。描述單元或電路或組件「組態用以」執行一或更多工作明確地無意使此單元或組件援引美國專利法第112條第六段。

【0118】「第一」、「第二」等。如於此所用的，這些詞語用以作為名詞之前的標籤，且無意暗示任意類型的順序(例如，空間的、時間的、邏輯的等)。

【0119】「耦合」-之後的敘述表示元件或節點或特徵被「耦合」在一起。如於此所用的，除非明示敘述，否則「耦合」意指一元件或節點或特徵直接或非直接的接合於(或直接或非直接的通訊於(*communicate with*))另一元件或節點或特徵，且不需要是機械的。

【0120】此外，特定的詞語亦可用於以下的敘述，僅為了參照的目的，且因此無意為限制性的。例如，詞語例如「上(或較上)」、「下(或較下)」、「之上」及「之

下」表示所參照之圖式中的方向。詞語例如「前」、「背」、「後」、「側」、「外側」及「內側」敘述組件的部分的定向或位置或兩者，其於一致但任意的參照的框架中，其由參照文字及敘述討論的組件的關聯的圖式而成為清楚的。此詞語可包含於上特別提及的字、其衍生物、及相似意涵的字。

【0121】「阻礙」-如於此所用的，阻礙用以描述減少或極小化效應。當組件或特徵被敘述為阻礙一動作、移動、或條件，它可能完全的防止成果或結果或未來狀態。此外，「阻礙」亦可表示減少或減緩結果、表現或效應，若不是如此它們可能會發生。據此，當組件、元件或特徵被稱為阻礙成果或狀態，不需要完全防止或消滅成果或狀態。

【0122】於此所述的實施方式可為對於產線前端(FEOL)半導體製程及結構。FEOL為積體電路(IC)製造的第一部分，其中個別裝置(例如，電晶體、電容器、電阻器等)於半導體基板或層中被圖案化。FEOL一般涵蓋到(但不包含)金屬互連層的沉積為止的所有事情。在最後FEOL操作後，所成的為典型的有獨立的電晶體的晶圓(例如，沒有任何導線)。

【0123】於此所述的實施方式可為對於產線後端(BEOL)半導體製程及結構。BEOL為IC製造的第二部分，其中個別裝置(例如，電晶體、電容器、電阻器等)以導線互連於晶圓上，例如，金屬化層(或多層)。BEOL包含接

觸物、絕緣層(介電質)、金屬級、及接合處，用於晶片對封裝的連接。於製造階段的BEOL部分中，形成接觸物(墊)、互連導線、通孔、及介電質結構。對於現代IC製程，可添加多於10金屬層於BEOL中。

【0124】於下所述的實施方式可應用於FEOL製程及結構、BEOL製程及結構、或FEOL及BEOL製程及結構的兩者。特別是，雖然範例製程方案可使用FEOL製程場景描述，此方式亦可應用於BEOL製程。相似地，雖然範例製程方案可使用BEOL製程場景描述，此方式亦可應用於FEOL製程。

【0125】間距分割製程及圖案化方案可被實施以致能於此所述的實施方式或可被包含作為於此所述的實施方式的部分。間距分割圖案化典型表示間距二分之一、間距四分之一等。間距分割方案可應用於FEOL製程、BEOL製程或FEOL(裝置)及BEOL(金屬化)製程的兩者。根據於此所述的一或更多實施方式，光學微影首先被實施以印出單方向線(例如，嚴格單方向或主要單方向)於預定義的間距中。間距分割製程之後被實施作為用以增加線密度的技術。

【0126】於實施方式，對於鰭、閘極線、金屬線、ILD線或硬遮罩線的詞語「柵結構」於此用於表示緊密間距柵結構。於一此實施方式，緊密間距無法由選擇的微影直接得到。例如，基於選擇的微影的圖案可首先形成，但間距可由使用於所屬技術領域中可知的間隔物遮罩圖案化

而減半。更甚者，原始間距可由第二回合的間隔物遮罩圖案化而成為四分之一。據此，於此所述的柵狀圖案可具有以實質一致間距間隔開且具有實質一致寬度的金屬線、ILD線或硬遮罩線。例如，於一些實施方式，間距變化會在百分之十內且寬度變化會在百分之十內，且於一些實施方式，間距變化會在百分之五內且寬度變化會在百分之五內。圖案化可由間距二分之一或間距四分之一或其它間距分割方式而製造。於實施方式，柵不需要為單間距。

【0127】於第一例，間距二分之一可被實施以加倍製造的柵結構的線密度。圖1A描述在形成在層間介電質(ILD)層上的硬遮罩材料層的沉積後但在圖案化前的開始結構的截面圖。圖1B描述在藉由間距減半來圖案化硬遮罩層後的圖1A的結構的截面圖。

【0128】參照圖1A，開始結構100具有硬遮罩材料層104形成在層間介電質(ILD)層102上。圖案化的遮罩106設置在硬遮罩材料層104之上。圖案化的遮罩106具有間隔物108形成為沿著其特徵(線)的側壁，在硬遮罩材料層104上。

【0129】參照圖1B，硬遮罩材料層104於間距二分之一方式中被圖案化。特別是，圖案化的遮罩106首先被移除。間隔物108的所成的圖案具有雙倍密度，或遮罩106的間距或特徵的一半。間隔物108的圖案被轉移，例如，由蝕刻製程，至硬遮罩材料層104以形成圖案化的硬遮罩110，如圖1B所述。於一此實施方式，圖案化的硬遮罩110

形成有具有單方向線的柵圖案。圖案化的硬遮罩110的柵圖案可為緊密間距柵結構。例如，緊密間距可能無法由選擇的微影直接得到。更甚者，雖未顯示，原始間距可由第二回合的間隔物遮罩圖案化而成為四分之一。因此，圖1B的圖案化的硬遮罩110的柵狀圖案可具有以固定間距間隔且具有相對於彼此的固定寬度的硬遮罩線。達成的尺寸可遠小於使用的微影技術的臨界尺寸。

【0130】因此，對於產線前端(FEOL)或產線後端(BEOL)或兩者，整合方案、覆層膜可使用微影及蝕刻製程圖案化，其可涉及，例如，基於間隔物的雙倍圖案化(SBDP)或間距二分之一，或基於間隔物的四倍圖案化(SBQP)或間距四分之一。可以理解的是，亦可使用其它間距分割方式。於任意情況，於實施方式，柵佈局可由選擇的微影方式製造，例如，193 nm浸漬微影(193i)。間距分割可以 $n$ 之因數被實施以增加柵佈局中的線的密度。以193i微影加上以 $n$ 之因數分割間距的柵佈局的形成可被指定為193i+P/ $n$ 間距分割。於此一實施方式，以有成本效益的間距分割，193 nm浸漬微縮可延伸用於許多世代。

【0131】在積體電路裝置的製造，多閘極電晶體，例如三閘極電晶體，當裝置尺寸持續縮小時，成為越來越有優勢。三閘極電晶體一般製造於塊狀矽基板或絕緣覆矽基板上。於一些例子，塊狀矽基板是較佳的，因為它們成本較低及與存在的高產率塊狀矽基板基礎設施的相容性。

【0132】唯，縮小多閘極電晶體並非沒有問題。當這

些微電子電路的基礎建立方塊的尺寸縮小且於給定區域中製造的基礎建立方塊的絕對數量增加，用於製造這些建立方塊的半導體製程的限制成為壓倒性的問題。

【0133】根據本揭露的一或更多實施方式，間距四分之一方式對於圖案化半導體層實施以形成半導體鰭。於一或更多實施方式，合併的鰭間距四分之一方式被實施。

【0134】圖2A為用以製造半導體鰭的間距四分之一方式200的示意圖，根據本揭露的實施方式。圖2B描述使用間距四分之一方式製造的半導體鰭的截面圖，根據本揭露的實施方式。

【0135】參照圖2A，在操作(a)，光阻層(PR)被圖案化以形成光阻特徵202。光阻特徵202可使用標準微影製程技術圖案化，例如193浸漬微影。於操作(b)，光阻特徵202用以圖案化材料層，例如絕緣或介電質硬遮罩層，以形成第一骨幹(BB1)特徵204。第一間隔物(SP1)特徵206之後形成為相鄰於第一骨幹特徵204的側壁。於操作(c)，第一骨幹特徵204被移除以僅留下第一間隔物特徵206剩餘。在第一骨幹特徵204的移除期間或之前，第一間隔物特徵206可被薄化以形成薄化的第一間隔物特徵206'，如圖2A所示。薄化可在BB1(特徵204)的移除前(如所述)或後執行，依所需的間隔及對於BB2特徵(208，如下所述)的大小需求。於操作(d)，第一間隔物特徵206或被薄化的第一間隔物特徵206'用以圖案化材料層，例如絕緣或介電質硬遮罩層，以形成第二骨幹(BB2)特徵208。第二間隔物(SP2)

特徵210之後形成為相鄰於第二骨幹特徵208的側壁。於操作(e)，第二骨幹特徵208被移除以僅留下第二間隔物特徵210剩餘。剩餘的第二間隔物特徵210可之後用以圖案化半導體層以提供具有相對於初始圖案化的光阻特徵202的間距四分之一尺寸的複數半導體鰭。作為例子，參照圖2B，複數半導體鰭250(例如從塊狀矽層形成的矽鰭)使用第二間隔物特徵210作為用於圖案化(例如，乾或電漿蝕刻圖案化)的遮罩而形成。於圖2B的例子，複數半導體鰭250整體具有實質相同間距及間隔。

【0136】可以理解的是，在初始圖案化的光阻特徵之間の間隔可被修改以改變間距四分之一製程的結構的結果。於例子中，圖3A為用以製造半導體鰭的合併的鰭間距四分之一方式300的示意圖，根據本揭露的實施方式。圖3B描述使用合併的鰭間距四分之一方式製造的半導體鰭的截面圖，根據本揭露的實施方式。

【0137】參照圖3A，在操作(a)，光阻層(PR)被圖案化以形成光阻特徵302。光阻特徵302可使用標準微影製程技術圖案化，例如193浸漬微影，但其間隔可能最終會干擾用以產生一致間距倍數圖案所必需的設計規則(例如，稱為次設計規則的間隔)。於操作(b)，光阻特徵302用以圖案化材料層，例如絕緣或介電質硬遮罩層，以形成第一骨幹(BB1)特徵304。第一間隔物(SP1)特徵306之後形成為相鄰於第一骨幹特徵304的側壁。唯，相對於圖2A所示的方案，一些相鄰的第一間隔物特徵306為合併的間隔物特

徵，因為較緊密的光阻特徵302。於操作(c)，第一骨幹特徵304被移除以僅留下第一間隔物特徵306剩餘。在第一骨幹特徵304的移除之前或之後，第一間隔物特徵306的一些可被薄化以形成薄化的第一間隔物特徵306'，如圖3A所示。於操作(d)，第一間隔物特徵306和被薄化的第一間隔物特徵306'用以圖案化材料層，例如絕緣或介電質硬遮罩層，以形成第二骨幹(BB2)特徵308。第二間隔物(SP2)特徵310之後形成為相鄰於第二骨幹特徵308的側壁。唯，於BB2特徵308是合併的特徵的位置，例如在圖3A的中心BB2特徵308，第二間隔物不形成。於操作(e)，第二骨幹特徵308被移除以僅留下第二間隔物特徵310剩餘。剩餘的第二間隔物特徵310可之後用以圖案化半導體層以提供具有相對於初始圖案化的光阻特徵302的間距四分之一尺寸的複數半導體鰭。

【0138】作為例子，參照圖3B，複數半導體鰭350(例如從塊狀矽層形成的矽鰭)使用第二間隔物特徵310作為用於圖案化(例如，乾或電漿蝕刻圖案化)的遮罩而形成。於圖3B的例子，唯，複數半導體鰭350具有變化的間距及間隔。此合併的鰭間隔物圖案化方式可被實施以實質消滅在複數鰭的圖案的特定位置的鰭的出現。據此，於特定位置的合併的第一間隔物特徵306允許以基於二第一骨幹特徵304的六或四鰭的製造，其典型地產生八鰭，如關聯圖2A及2B所述。於一例，內側鰭具有比由產生鰭於一致間距且之後切割不需要的鰭的一般可允許的還緊密的間距，雖然



由產生鰭於一致間距且之後切割的方式仍可被實施，根據於此所述的實施方式。

【0139】於範例實施方式，參照圖3B，積體電路結構、第一複數半導體鰭352沿著第一方向(y，入紙面)具有最長尺寸。第一複數半導體鰭352的相鄰的個別半導體鰭353由與第一方向y正交的第二方向(x)的第一量(S1)彼此間隔開。第二複數半導體鰭354沿著第一方向y具有最長尺寸。第二複數半導體鰭354的相鄰的個別半導體鰭355由第二方向的第一量(S1)彼此間隔開。分別的第一複數半導體鰭352及第二複數半導體鰭354的最接近的半導體鰭356及357由在第二方向x的第二量(S2)彼此間隔開。於實施方式，第二量S2大於第一量S1但小於第一量S1的兩倍。於另一實施方式，第二量S2大於第一量S1的兩倍。

【0140】於一實施方式，第一複數半導體鰭352及第二複數半導體鰭354包含矽。於一實施方式，第一複數半導體鰭352及第二複數半導體鰭354以下伏的單晶矽基板連續。於一實施方式，第一複數半導體鰭352及第二複數半導體鰭354的個別者具有向外的錐狀側壁沿著第二方向x，從第一複數半導體鰭352及第二複數半導體鰭354的個別者的頂至底。於一實施方式，第一複數半導體鰭352具有精確五半導體鰭，且第二複數半導體鰭354具有精確五半導體鰭。

【0141】於另一範例實施方式，參照圖3A及3B，製造積體電路結構的方法包含形成第一主骨幹結構304(左

BB1)及第二主骨幹結構304(右BB1)。主間隔物結構306形成為相鄰於第一主骨幹結構304(左BB1)及第二主骨幹結構304(右BB1)的側壁。在第一主骨幹結構304(左BB1)及第二主骨幹結構304(右BB1)之間的主間隔物結構306被合併。第一主骨幹結構(左BB1)及第二主骨幹結構(右BB1)被移除，且提供第一、第二、第三及第四二級骨幹結構308。第二及第三二級骨幹結構(例如，二級骨幹結構308的中心對)被合併。二級間隔物結構310被形成為相鄰於第一、第二、第三及第四二級骨幹結構308的側壁。第一、第二、第三及第四二級骨幹結構308之後被移除。半導體材料之後以二級間隔物結構310圖案化以形成半導體鰭350於半導體材料中。

【0142】於一實施方式，第一主骨幹結構304(左BB1)及第二主骨幹結構304(右BB1)以在第一主骨幹結構與第二主骨幹結構之間的次設計規則間隔圖案化。於一實施方式，半導體材料包含矽。於一實施方式，半導體鰭350的個別者具有向外的錐狀側壁沿著第二方向x，從半導體鰭350的個別者的頂至底。於一實施方式，半導體鰭350以下伏的單晶矽基板連續。於一實施方式，以二級間隔物結構310圖案化半導體材料包含形成沿著第一方向y具有最長尺寸的第一複數半導體鰭352，其中第一複數半導體鰭352的相鄰的個別的半導體鰭由在與第一方向y正交的第二方向x的第一量S1彼此間隔開。形成沿著第一方向y具有最長尺寸的第二複數半導體鰭354，其中第二複數半導體鰭354的

相鄰的個別的半導體鰭由在第二方向x的第一量S1彼此間隔開。分別的第一複數半導體鰭352及第二複數半導體鰭354的最接近的半導體鰭356及357由在第二方向x的第二量(S2)彼此間隔開。於實施方式，第二量S2大於第一量S1。於一此實施方式，第二量S2小於第一量S1的兩倍。於另一此實施方式，第二量S2大於第一量S1的兩倍但小於第一量S1的三倍。於實施方式，第一複數半導體鰭352具有精確五半導體鰭，且第二複數半導體鰭254具有精確五半導體鰭，如於圖3B所示。

【0143】於另一態樣，可以理解的是，於執行鰭移除替代鰭合併方式的鰭修整製程，在硬遮罩圖案化期間或由實體移除鰭，鰭可被修整(移除)。作為後者的方式的例子，圖4A至4C為代表在製造複數半導體鰭的方法中的多樣的操作的截面圖，根據本揭露的實施方式。

【0144】參照圖4A，圖案化的硬遮罩層402形成於半導體層404(例如，塊狀單晶矽層)之上。參照圖4B，鰭406之後形成於半導體層404中，例如由乾或電漿蝕刻製程。參照圖4C，選擇鰭406被移除，例如，使用遮罩及蝕刻製程。於所示的例子，鰭406的一者被移除且可留下剩下的鰭短柱408，如於圖4C所示的。於此「鰭修整最後」方式，硬遮罩402被整體圖案化以提供柵結構而無個別特徵的移除或修整。直到鰭被製造後，鰭群體才被修改。

【0145】於另一態樣，可被稱為淺溝槽隔離(STI)結構的多層溝槽隔離區可被實施於半導體鰭之間。於實施方

式，多層STI結構形成於矽鰭之間，此矽鰭形成於塊狀矽基板中，以定義矽鰭的子鰭區。

【0146】可以是想要的是，對於基於鰭的或三閘極的電晶體，使用塊狀矽。唯，有對於裝置的主動矽鰭部分之下的區域(子鰭)(例如，閘極控制的區域，或HSi)的被縮減或無閘極控制憂慮。如此，若源極或汲極區在HSi點或之下，則洩漏路徑可能存在經過子鰭區。可能的情況為子鰭區中的洩漏路徑應為了正常地裝置操作而受控。

【0147】解決上述的問題的一方式涉及井植入操作的使用，其中子鰭區重摻雜(例如，比 $2E18/cm^3$ 大很多)，其關閉子鰭洩漏但導致也對於鰭中有實質摻雜。此額外的量輪植入更增加鰭摻雜，使得線鰭的端部於高程度摻雜(例如，大於約 $1E18/cm^3$ )。

【0148】另一方式涉及摻雜，其經過子鰭摻雜提供而不需要傳遞相同程度的摻雜予鰭的HSi部分。製程可涉及選擇性摻雜製造於塊狀矽晶圓上的三閘極或FinFET(鰭場效電晶體)電晶體的子鰭區，例如，由三閘極摻雜的玻璃子鰭向外擴散的方式。例如，選擇性摻雜三閘極或FinFET電晶體的子鰭區可減緩子鰭洩漏而同時保持鰭摻雜為低。整合固態摻雜源(例如，p型及n型摻雜的氧化物、氮化物或碳化物)進入電晶體製程流程，其之後被從鰭側壁凹陷，傳遞井摻雜進入子鰭區而保持鰭本體相對地未摻雜。

【0149】因此，製程方案可包含在鰭蝕刻後的沉積於鰭上的固態源摻雜層(例如，硼摻雜氧化物)的使用。之

後，在溝槽填充及研磨後，摻雜層連同溝槽填充材料被凹陷以定義裝置的鰭高度(HSi)。操作從HSi之上的鰭側壁移除摻雜層。因此，摻雜層僅沿著子鰭區中的鰭側壁出現，其確保摻雜配置的精確控制。在驅入退火後，高摻雜被限制於子鰭區，快速轉變為低摻雜於HSi之上的鰭的相鄰的區域(其形成電晶體的通道區)。一般而言，硼矽玻璃(BSG)對於NMOS鰭摻雜實施，而磷矽酸鹽玻璃(PSG)或砷矽玻璃(AsSG)層對於PMOS鰭摻雜實施。於一例子，此P型固態摻雜物源層為BSG層，其具有硼濃度為約在0.1至10重量百分比的範圍中。於另一例子，此N型固態摻雜物源層為PSG層或AsSG層，其分別具有磷或砷濃度為約在有磷或砷濃度為約在0.1至10重量百分比的範圍中。氮化矽帽層可包含於摻雜層上，且二氧化矽或氧化矽填充材料可之後包含於氮化矽帽層上。

【0150】根據本揭露的另一實施方式，子鰭洩漏對於相對較薄的鰭(例如，具有小於約20奈米的寬度的鰭)足夠低，其中未摻雜或輕摻雜的氧化矽或二氧化矽膜形成為直接相鄰鰭，氮化矽層形成於未摻雜或輕摻雜的氧化矽或二氧化矽膜上，且二氧化矽或氧化矽填充材料可包含於氮化矽帽層上。可以理解的是，子鰭區的摻雜(例如，暈輪摻雜)，亦可以此結構實施。

【0151】圖5A描述由三層溝槽隔離結構分開的半導體鰭的對的截面圖，根據本揭露的實施方式。

【0152】參照圖5A，積體電路結構包含鰭502，例如

矽 鰭。鰭 502 具有下鰭部分 502A(子鰭)及上鰭部分 502B(H<sub>Si</sub>)。第一絕緣層 504 直接在鰭 502 的下鰭部分 502A 的側壁上。第二絕緣層 506 直接在鰭 502 的下鰭部分 502A 的側壁上的第一絕緣層 504 上。介電質填充材料 508 直接側向相鄰於第二絕緣層 506，第二絕緣層 506 在直接在鰭 502 的下鰭部分 502A 的側壁上的第一絕緣層 504 上。

【0153】於實施方式，第一絕緣層 504 為非摻雜絕緣層，其包含矽及氧，例如氧化矽或二氧化矽絕緣層。於實施方式，第一絕緣層 504 包含矽及氧且不具有有大於 1E15 原子每立方公分的原子濃度的其它原子物種。於實施方式，第一絕緣層 504 具有在 0.5 至 2 奈米的範圍的厚度。

【0154】於實施方式，第二絕緣層 506 包含矽及氮，例如化學計量的 Si<sub>3</sub>N<sub>4</sub> 氮化矽絕緣層，富含矽的氮化矽絕緣層，或矽稀少的氮化矽絕緣層。於實施方式，第二絕緣層 506 具有在 2 至 5 奈米的範圍的厚度。

【0155】於實施方式，介電質填充材料 508 包含矽及氧，例如氧化矽或二氧化矽絕緣層。於實施方式，閘極電極最終形成在鰭 502 的上鰭部分 502B 的頂部上方且側向相鄰於上鰭部分 502B 的側壁。

【0156】可以理解的是，在製程期間，半導體鰭的上鰭部分可被侵蝕或消耗。又，鰭之間的溝槽隔離結構亦被侵蝕以具有非平面拓撲或可以非平面拓撲上製造形成。作為例子，圖 5B 描述由另一三層溝槽隔離結構分開的另一半導體鰭的對的截面圖，根據本揭露的另一實施方式。

【0157】參照圖5B，積體電路結構包含第一鰭552，例如矽鰭。第一鰭552具有下鰭部分552A及上鰭部分552B及肩特徵554在下鰭部分552A與上鰭部分552B之間的區域。第二鰭562(例如，第二矽鰭)具有下鰭部分562A及上鰭部分562B及肩特徵564在下鰭部分562A與上鰭部分562B之間的區域。第一絕緣層574直接在第一鰭552的下鰭部分552A的側壁上且直接在第二鰭562的下鰭部分562A的側壁上。第一絕緣層574具有與第一鰭552的肩特徵554實質共平面的第一端部分574A，且第一絕緣層574更具有與第二鰭562的肩特徵564實質共平面的第二端部分574B。第二絕緣層576直接在第一絕緣層574上，第一絕緣層574直接在第一鰭552的下鰭部分552A的側壁上且直接在第二鰭562的下鰭部分562A的側壁上。

【0158】介電質填充材料578直接側向相鄰於第二絕緣層576，第二絕緣層576直接在第一絕緣層574上，第一絕緣層574直接在第一鰭552的下鰭部分552A的側壁上且直接在第二鰭562的下鰭部分562A的側壁上。於實施方式，介電質填充材料578具有上表面578A，其中介電質填充材料578的上表面578A的部分在第一鰭552的肩特徵554的至少一者之下，且在第二鰭562的肩特徵564的至少一者之下，如圖5B所示。

【0159】於實施方式，第一絕緣層574為非摻雜絕緣層，其包含矽及氧，例如氧化矽或二氧化矽絕緣層。於實施方式，第一絕緣層574包含矽及氧且不具有有大於1E15

原子每立方公分的原子濃度的其它原子物種。於實施方式，第一絕緣層574具有在0.5至2奈米的範圍的厚度。

【0160】於實施方式，第二絕緣層576包含矽及氮，例如化學計量的 $\text{Si}_3\text{N}_4$ 氮化矽絕緣層，富含矽的氮化矽絕緣層，或矽稀少的氮化矽絕緣層。於實施方式，第二絕緣層576具有在2至5奈米的範圍的厚度。

【0161】於實施方式，介電質填充材料578包含矽及氧，例如氧化矽或二氧化矽絕緣層。於實施方式，閘極電極最終形成在第一鰭552的上鰭部分552B的頂部上方且側向相鄰於上鰭部分552B的側壁，且在第二鰭562的上鰭部分562B的頂部上方且側向相鄰於上鰭部分562B的側壁。閘極電極更在第一鰭552與第二鰭562之間的介電質填充材料578上方。

【0162】圖6A至6D描述三層溝槽隔離結構的製造中的多樣的操作的截面圖，根據本揭露的實施方式。

【0163】參照圖6A，積體電路結構的製造方法包含形成鰭602，例如矽鰭。第一絕緣層604直接形成在鰭602上且與鰭602共形，如圖6B所示。於實施方式，第一絕緣層604包含矽及氧且不具有有大於 $1\text{E}15$ 原子每立方公分的原子濃度的其它原子物種。

【0164】參照圖6C，第二絕緣層606直接形成在第一絕緣層604上且與第一絕緣層604共形。於實施方式，第二絕緣層606包含矽及氮。介電質填充材料608直接形成在第二絕緣層606上，如圖6D所示。



【0165】於實施方式，方法更涉及凹陷介電質填充材料608、第一絕緣層604及第二絕緣層606以提供具有暴露的上鰭部分602A(例如，圖5A及5B的上鰭部分502B、552B或562B)的鰭602。所成的結構可如關聯圖5A或5B敘述的。於一實施方式，凹陷介電質填充材料608、第一絕緣層604及第二絕緣層606涉及使用濕蝕刻製程。於另一實施方式，凹陷介電質填充材料608、第一絕緣層604及第二絕緣層606涉及使用電漿蝕刻或乾蝕刻製程。

【0166】於實施方式，第一絕緣層604使用化學氣相沉積製程形成。於實施方式，第二絕緣層606使用化學氣相沉積製程形成。於實施方式，介電質填充材料608使用旋塗製程形成。於一此實施方式，介電質填充材料608為旋塗材料且暴露於蒸氣處理，例如，在凹陷蝕刻製程之前或之後，以提供包含矽及氧的固化的材料。於實施方式，閘極電極最終形成在鰭602的上鰭部分的頂部上方且側向相鄰於上鰭部分的側壁。

【0167】於另一態樣，閘極側壁間隔物材料可保留在特定溝槽隔離區上方作為對抗在後續製程操作期間的溝槽隔離區的侵蝕的保護。例如，圖7A至7E描述於製造積體電路結構的方法中的多樣的操作的有角度的三維截面圖，根據本揭露的實施方式。

【0168】參照圖7A，積體電路結構的製造方法包含形成鰭702，例如矽鰭。鰭702具有下鰭部分702A及上鰭部分702B。絕緣結構704形成為直接相鄰鰭702的下鰭部分

702A的側壁。閘極結構706形成在上鰭部分702B上方且在絕緣結構704上方。於實施方式，閘極結構為佔位器或虛置閘極結構，其包含犧牲閘極介電質層706A、犧牲閘極706B及硬遮罩706C。介電質材料708形成為與鰭702的上鰭部分702B共形、與閘極結構706共形、且與絕緣結構704共形。

【0169】參照圖7B，硬遮罩材料710形成在介電質材料708上方。於實施方式，硬遮罩材料710為基於碳的硬遮罩材料，其使用旋塗製程形成。

【0170】參照圖7C，硬遮罩材料710被凹陷以形成凹陷的硬遮罩材料712且以暴露與鰭702的上鰭部分702B共形且與閘極結構706共形的介電質材料708的部分。凹陷的硬遮罩材料712覆蓋與絕緣結構704共形的介電質材料708的部分。於實施方式，硬遮罩材料710使用濕蝕刻製程凹陷。於另一實施方式，硬遮罩材料710使用灰化、乾蝕刻或電漿蝕刻製程凹陷。

【0171】參照圖7D，介電質材料708被各向異性蝕刻以形成圖案化的介電質材料714沿著閘極結構706的側壁(如介電質間隔物714A)、沿著鰭702的上鰭部分702B的側壁的部分、且在絕緣結構704上方。

【0172】參照圖7E，凹陷的硬遮罩材料712被從圖7D的結構移除。於實施方式，閘極結構706為虛置閘極結構，且後續製程包含以永久閘極介電質及閘極電極堆疊取代閘極結構706。於實施方式，進一步的製程包含形成嵌

入源極或汲極結構在閘極結構706的相對側上，如於下更詳細敘述的。

【0173】再參照圖7E，於實施方式，積體電路結構700包含第一鰭(左702)，例如第一矽鰭，第一鰭具有下鰭部分702A及上鰭部分702B。積體電路結構更包含第二鰭(右702)，例如第二矽鰭，第二鰭具有下鰭部分702A及上鰭部分702B。絕緣結構704直接相鄰第一鰭的下鰭部分702A的側壁且直接相鄰第二鰭的下鰭部分702A的側壁。閘極電極706在第一鰭(左702)的上鰭部分702B上方、在第二鰭(右702)的上鰭部分702B上方、且在絕緣結構704的第一部分704A上方。第一介電質間隔物714A沿著第一鰭(左702)的上鰭部分702B的側壁，且第二介電質間隔物714C沿著第二鰭(右702)的上鰭部分702B的側壁。第二介電質間隔物714C與第一介電質間隔物714B連續地在第一鰭(左702)與第二鰭(右702)之間的絕緣結構704的第二部分704B上方。

【0174】於實施方式，第一及第二介電質間隔物714B及714C包含矽及氮，例如化學計量的 $\text{Si}_3\text{N}_4$ 氮化矽材料，富含矽的氮化矽材料，或矽稀少的氮化矽材料。

【0175】於實施方式，積體電路結構700更包含嵌入源極或汲極結構在閘極電極706的相對側上，嵌入源極或汲極結構具有的底表面在沿著第一及第二鰭702的上鰭部分702B的側壁的第一及第二介電質間隔物714B及714C的頂表面之下，且源極或汲極結構具有的頂表面在沿著第一

及第二鰭702的上鰭部分702B的側壁的第一及第二介電質間隔物714B及714C的頂表面之上，如於下關聯圖9B敘述的。於實施方式，絕緣結構704包含第一絕緣層、直接在第一絕緣層上的第二絕緣層、及直接側向在第二絕緣層上的介電質填充材料，如亦於下關聯圖9B敘述的。

【0176】圖8A至8F描述對於製造積體電路結構的方法中的多樣的操作的沿圖7E的a-a'軸的微凸截面圖，根據本揭露的實施方式。

【0177】參照圖8A，積體電路結構的製造方法包含形成鰭702，例如矽鰭。鰭702具有下鰭部分(未顯示於圖8A)及上鰭部分702B。絕緣結構704形成為直接相鄰鰭702的下鰭部分702A的側壁。閘極結構706的對形成在上鰭部分702B上方且在絕緣結構704上方。可以理解的是，圖8A至8F所示的透視是微凸的以顯示閘極結構706及在上鰭部分702B前(出紙面)的絕緣結構的部分，有上鰭部分微入紙面。於實施方式，閘極結構706為佔位器或虛置閘極結構，其包含犧牲閘極介電質層706A、犧牲閘極706B及硬遮罩706C。

【0178】參照圖8B，其對應關聯圖7A敘述的製程操作，介電質材料708形成為與鰭702的上鰭部分702B共形、與閘極結構706共形、且與絕緣結構704的暴露的部分共形。

【0179】參照圖8C，其對應關聯圖7B敘述的製程操作，硬遮罩材料710形成在介電質材料708上方。於實施方

式，硬遮罩材料710為基於碳的硬遮罩材料，其使用旋塗製程形成。

【0180】參照圖8D，其對應關聯圖7C敘述的製程操作，硬遮罩材料710被凹陷以形成凹陷的硬遮罩材料712且以暴露與鰭702的上鰭部分702B共形且與閘極結構706共形的介電質材料708的部分。凹陷的硬遮罩材料712覆蓋與絕緣結構704共形的介電質材料708的部分。於實施方式，硬遮罩材料710使用濕蝕刻製程凹陷。於另一實施方式，硬遮罩材料710使用灰化、乾蝕刻或電漿蝕刻製程凹陷。

【0181】參照圖8E，其對應關聯圖7D敘述的製程操作，介電質材料708被各向異性蝕刻以形成圖案化的介電質材料714沿著閘極結構706的側壁(如部分714A)、沿著鰭702的上鰭部分702B的側壁的部分、且在絕緣結構704上方。

【0182】參照圖8F，其對應關聯圖7E敘述的製程操作，凹陷的硬遮罩材料712被從圖8E的結構移除。於實施方式，閘極結構706為虛置閘極結構，且後續製程包含以永久閘極介電質及閘極電極堆疊取代閘極結構706。於實施方式，進一步的製程包含形成嵌入源極或汲極結構在閘極結構706的相對側上，如於下更詳細敘述的。

【0183】再參照圖8F，於實施方式，積體電路結構700包含鰭702，例如矽鰭，鰭702具有下鰭部分(未顯示於圖8F)及上鰭部分702B。絕緣結構704直接相鄰鰭702的下鰭部分的側壁。第一閘極電極(左706)在上鰭部分702B上

方且在絕緣結構704的第一部分704A上方。第二閘極電極(右706)在上鰭部分702B上方且在絕緣結構704的第二部分704A'上方。第一介電質間隔物(左706的右714A)為沿著第一閘極電極(左706)的側壁，且第二介電質間隔物(右706的左714A)為沿著第二閘極電極(右706)的側壁，第二介電質間隔物與第一介電質間隔物連續地在第一閘極電極(左706)與第二閘極電極(右706)之間的絕緣結構704的第三部分704A"上方。

【0184】圖9A描述對於包含永久閘極堆疊及磊晶源極或汲極區的積體電路結構的沿著圖7E的a-a'軸的微凸截面圖，根據本揭露的實施方式。圖9B描述對於包含磊晶源極或汲極區及多層溝槽隔離結構的積體電路結構的沿圖7E的b-b'軸的截面圖，根據本揭露的實施方式。

【0185】參照圖9A及9B，於實施方式，積體電路結構包含嵌入源極或汲極結構910在閘極電極706的相對側上。嵌入源極或汲極結構910具有的底表面910A沿著第一及第二鰭702的上鰭部分702B的側壁的第一及第二介電質間隔物714B及714C的頂表面990之下。嵌入源極或汲極結構910具有的頂表面910B沿著第一及第二鰭702的上鰭部分702B的側壁的第一及第二介電質間隔物714B及714C的頂表面之上。

【0186】於實施方式，閘極堆疊706為永久閘極堆疊920。於一此實施方式，永久閘極堆疊920包含閘極介電質層922、第一閘極層924(例如，功函數閘極層)、及閘極填

充材料 926，如圖 9A 所示。於一實施方式，永久閘極結構 920 在絕緣結構 704 上方，永久閘極結構 920 形成在殘餘多晶矽部分 930 (可為涉及犧牲多晶矽閘極電極的取代閘極製程的剩留物) 上。

【0187】於實施方式，絕緣結構 704 包含第一絕緣層 902、直接在第一絕緣層 902 上的第二絕緣層 904、及直接側向在第二絕緣層 904 上的介電質填充材料 906。於一實施方式，第一絕緣層 902 為非摻雜絕緣層，其包含矽及氧。於一實施方式，第二絕緣層 904 包含矽及氮。於一實施方式，介電質填充材料 906 包含矽及氧。

【0188】於另一態樣，磊晶嵌入源極或汲極區實施作為用於半導體鰭的源極或汲極結構。作為例子，圖 10 描述於源極或汲極位置所取的積體電路結構的截面圖，根據本揭露的實施方式。

【0189】參照圖 10，積體電路結構 1000 包含 P 型裝置，例如 P 型金屬氧化物半導體 (PMOS) 裝置。積體電路結構 1000 亦包含 N 型裝置，例如 N 型金屬氧化物半導體 (NMOS) 裝置。

【0190】圖 10 的 PMOS 裝置包含第一複數半導體鰭 1002，例如從塊狀矽基板 1001 形成的矽鰭。在源極或汲極位置，鰭 1002 的上部分已被移除，且生長相同或不同的半導體材料以形成源極或汲極結構 1004。可以理解的是，源極或汲極結構 1004 從在閘極電極的各側所取的截面圖來看會是相同的，例如，它們從源極側和從汲極側來看會是實

質相同。於實施方式，如所示，源極或汲極結構 1004 具有在絕緣結構 1006 的上表面之下的部分及之上的部分。於實施方式，如所示，源極或汲極結構 1004 為強切面。於實施方式，導電接觸物 1008 形成在源極或汲極結構 1004 上方。於一此實施方式，唯，強切面及源極或汲極結構 1004 的相對的寬生長至少相當程度阻礙由導電接觸物 1008 的好覆蓋性。

【0191】圖 10 的 NMOS 裝置包含第二複數半導體鰭 1052，例如從塊狀矽基板 1001 形成的矽鰭。在源極或汲極位置，鰭 1052 的上部分已被移除，且生長相同或不同的半導體材料以形成源極或汲極結構 1054。可以理解的是，源極或汲極結構 1054 從在閘極電極的各側所取的截面圖來看會是相同的，例如，它們從源極側和從汲極側來看會是實質相同。於實施方式，如所示，源極或汲極結構 1504 具有在絕緣結構 1006 的上表面之下的部分及之上的部分。於實施方式，如所示，源極或汲極結構 1054 相對於源極或汲極結構 1004 而言是弱切面。於實施方式，導電接觸物 1058 形成在源極或汲極結構 1054 上方。於一此實施方式，源極或汲極結構 1054 的相對的弱切面及所成的相對的窄生長(相較於源極或汲極結構 1004 而言)增強導電接觸物 1058 的良好覆蓋率。

【0192】PMOS 裝置的源極或汲極結構的形狀可被改變以改進與上覆接觸物的接觸面積。例如，圖 11 描述在源極或汲極位置所取的另一積體電路結構的截面圖，根據本



揭露的實施方式。

【0193】參照圖 11，積體電路結構 1100 包含 P 型半導體(例如，PMOS)裝置。PMOS 裝置包含第一鰭 1102，例如矽鰭。第一磊晶源極或汲極結構 1104 嵌入於第一鰭 1102 中。於一實施方式，雖然未顯示，第一磊晶源極或汲極結構 1104 在第一閘極電極(其可形成在例如鰭 1102 的通道部分的上鰭部分的上方)的第一側，且第二磊晶源極或汲極結構嵌入於第一鰭 1102 中在與第一側相對的此第一閘極電極的第二側。於實施方式，第一磊晶源極或汲極結構 1104 及第二磊晶源極或汲極結構包含矽及鍺且具有輪廓 1105。於一實施方式，輪廓為火柴棒輪廓，如圖 11 所示。第一導電電極 1108 在第一磊晶源極或汲極結構 1104 上方。

【0194】再參照圖 11，於實施方式，積體電路結構 1100 亦包含 N 型半導體(例如，NMOS)裝置。NMOS 裝置包含第二鰭 1152，例如矽鰭。第三磊晶源極或汲極結構 1154 嵌入於第二鰭 1152 中。於一實施方式，雖然未示出，第三磊晶源極或汲極結構 1154 在第二閘極電極(其可形成在例如鰭 1152 的通道部分的上鰭部分的上方)的第一側，且第四磊晶源極或汲極結構嵌入於第二鰭 1152 中在與第一側相對的此第二閘極電極的第二側。於實施方式，第三磊晶源極或汲極結構 1154 及第四磊晶源極或汲極結構包含矽且具有的輪廓與第一及第二磊晶源極或汲極結構 1004 的輪廓 1105 實質相似。第二導電電極 1158 在第三磊晶源極或汲極結構 1154 上方。

【0195】於實施方式，第一磊晶源極或汲極結構1104為弱切面。於實施方式，第一磊晶源極或汲極結構1104具有約50奈米的高度且具有在30至35奈米的範圍的寬度。於一此實施方式，第三磊晶源極或汲極結構1154具有約50奈米的高度且具有在30至35奈米的範圍的寬度。

【0196】於實施方式，第一磊晶源極或汲極結構1104有漸變的銻濃度，約20%銻濃度在第一磊晶源極或汲極結構1104的底部1104A至約45%銻濃度在第一磊晶源極或汲極結構1104的頂部1104B。於實施方式，第一磊晶源極或汲極結構1104摻雜有硼原子。於一此實施方式，第三磊晶源極或汲極結構1154摻雜有磷原子或砷原子。

【0197】圖12A至12D描述在源極或汲極位置所取且表示於積體電路結構的製造的多樣的操作的截面圖，根據本揭露的實施方式。

【0198】參照圖12A，積體電路結構的製造方法包含形成鰭，例如從矽基板1201形成矽鰭。鰭1202具有下鰭部分1202A及上鰭部分1202B。於實施方式，雖然未示出，閘極電極形成在鰭1202的上鰭部分1202B上方，於入紙面的位置。此閘極電極具有相對於第二側的第一側，且定義源極或汲極位置在第一及第二側上。例如，為了描述，圖12A至12D的圖的截面位置為取於閘極電極的側的一者的源極或汲極位置的一者。

【0199】參照圖12B，鰭1202的源極或汲極位置被凹陷以形成凹陷的鰭部分1206。鰭1202的凹陷的源極或汲極

位置可為於閘極電極的側且於閘極電極的第二側。參照圖 12A 及 12B 的兩者，於一實施方式，介電質間隔物 1204 形成為沿著鰭 1202 的部分的側壁，例如，在閘極結構的側。於一此實施方式，凹陷的鰭 1202 涉及凹陷鰭 1202 於介電質間隔物 1204 的頂表面 1204A 之下。

【0200】參照圖 12C，磊晶源極或汲極結構 1208 形成在凹陷的鰭 1206 上，例如，且因此可形成在閘極電極的側。於一此實施方式，第二磊晶源極或汲極結構形成在於此閘極電極的第二側的凹陷的鰭 1206 的第二部分上。於實施方式，磊晶源極或汲極結構 1208 包含矽及鍺，且具有火柴棒輪廓，如參照圖 12C 所示的。於實施方式，介電質間隔物 1204 被包含且沿著磊晶源極或汲極結構 1208 的側壁的下部分 1208A，如所示。

【0201】參照圖 12D，導電電極 1210 形成在磊晶源極或汲極結構 1208 上。於實施方式，導電電極 1210 包含導電阻障層 1210A 及導電填充材料 1201B。於一實施方式，導電電極 1210 跟隨磊晶源極或汲極結構 1208 的輪廓，如所示。於另一實施方式，在導電電極 1210 的製造期間，磊晶源極或汲極結構 1208 的上部分被侵蝕。

【0202】於另一態樣，敘述用於隔離鰭的鰭修整隔離 (FTI) 及單閘極間隔。利用從基板表面突出的半導體材料的鰭的非平面電晶體配置閘極電極，其包繞鰭的二、三、或甚至所有側 (即，雙閘極、三閘極、奈米線電晶體)。源極及汲極區典型地之後形成在鰭中，或作為鰭的再生長部

分，在閘極電極的各側上。為了隔離第一非平面電晶體的源極或汲極區與相鄰的第二非平面電晶體的源極或汲極區，間隙或間隔可形成在二相鄰的鰭之間。此隔離間隙一般需要一定程度的遮罩的蝕刻。一旦隔離，閘極堆疊之後被圖案化在個別鰭上方，再次典型地以一定程度的遮罩蝕刻(例如，線蝕刻或開口蝕刻，依特定的實施例)。

【0203】上述的鰭隔離技術的一可能的問題是閘極不自對準於鰭的端部，且閘極堆疊圖案與半導體鰭圖案的對準依賴此二圖案的重疊。如此，微影重疊容忍度被加入半導體鰭及隔離間隙的定尺寸，且鰭需要較大的長度且隔離間隙需要大於它們會本應為的大小，對於給定的電晶體功能水準。減少此過度定尺寸的裝置架構及製造技術因此提供電晶體密度的高利益改進。

【0204】於上所述的鰭隔離技術的另一潛在的問題是對於想要改進載子移動率的半導體鰭中的壓力可能從電晶體的通道區中失去，在製程中太多鰭表面空置，允許鰭應變放鬆。維持較高程度的想要的鰭壓力的裝置架構及製造技術因此提供在非平面電晶體表現的改進利益。

【0205】根據本揭露的實施方式，穿過閘極鰭隔離架構及技術於此敘述。於所述的範例實施方式，微電子裝置中的非平面電晶體，例如積體電路(IC)以彼此隔離的方式自對準於電晶體的閘極電極。雖然本揭露的實施方式可應用於配置有非平面電晶體的幾乎任意IC，範例IC包含，但不限於，包含邏輯及記憶體(SRAM)部分、RFIC(例如，包

含數位基頻及類比前端模組的無線 IC)及電源 IC 的微處理器核心。

【0206】於實施方式，相鄰的半導體鰭的二端以相對於閘極電極配置的隔離區彼此電隔離，僅使用一圖案化遮罩階層。於實施方式，單遮罩被配置以形成固定間距的複數犧牲佔位器條，佔位器條的第一子集定義隔離區的位置或尺寸，而佔位器條的第二子集定義閘極電極的位置或尺寸。於特定的實施方式，佔位器條的第一子集被移除且隔離切割被製作成為由移除第一子集造成的開口中的半導體鰭，而佔位器條的第二子集最終以非犧牲閘極電極堆疊取代。因為對於閘極電極取代使用的佔位器的子集被配置以形成隔離區，方法及所成的架構於此稱為「穿過閘極」隔離。於此所述的一或更多穿過閘極隔離實施方式可，例如，致能較高的電晶體密度及較高的程度的有利的電晶體通道壓力。

【0207】有在閘極電極的配置或定義之後被定義的隔離，可達成較大的電晶體密度，因為鰭隔離定尺寸及配置可被作成完美的與閘極電極對齊(on-pitch)，使得閘極電極及隔離區的兩者為單遮罩階層的最小特徵間距的整數倍。於半導體鰭具有與鰭設置於上的基板的晶格不匹配的進一步的實施方式，由在閘極電極的配置或定義後定義隔離，較大的程度的應變被維持。對於此實施方式，在鰭的端部之前形成的電晶體的其它特徵(例如閘極電極及增加的源極或汲極材料)被定義以在隔離切割被作成鰭之後幫

助機械地維持鰭應變。

【0208】為了提供進一步的脈絡，電晶體微縮可從晶片內的單元的較密的封裝得到利益。目前，大多數的單元由具有埋入鰭的二或更多虛置閘極而從與它們的相鄰者分開。由蝕刻連接一單元到另一者的這二或更多虛置閘極下面的鰭，單元被隔離。若分開相鄰的單元的虛置閘極的數量可從二或更多減少至一，對微縮可是顯著有利的。如於上解釋的，一種方案需要二或更多虛置閘極。二或更多虛置閘極下方的鰭在鰭圖案化期間被蝕刻。此種方式可能的問題是虛置閘極消耗可用於單元的晶片上的空間。於實施方式，於此所述的方式致能僅使用單一虛置閘極以分開相鄰的單元。

【0209】於實施方式，鰭修整隔離方式被實施作為自對準圖案化方案。於此，單閘極下面的鰭被蝕刻掉。因此，相鄰的單元可由單虛置閘極分開。此種方式的利益可包含保存晶片上的空間及允許對於給定區域的更多計算電力。此方式亦允許鰭修整被執行於子鰭間距距離。

【0210】圖 13A 及 13B 描述表示用於形成區域隔離結構的圖案化有多閘極間隔的鰭的方法的多樣的操作的平面圖，根據本揭露的實施方式。

【0211】參照圖 13A，複數鰭 1302 顯示具有沿著第一方向 1304 的長度。具有間隔 1307 於其間的柵 1306 定義用於最終形成複數閘極線的位置，其顯示為沿著與第一方向 1304 正交的第二方向 1308。

【0212】參照圖13B，複數鰭1302的部分被切割(例如，由蝕刻製程移除)而留下具有切割1312於其間的鰭1310。隔離結構最終形成於切割1312中因而具有多於單閘極線的尺寸，例如，三閘極線1306的尺寸。據此，最終形成為沿著閘極線1306的位置的閘極結構會至少部分形成在形成於切割1312中的隔離結構上方。因此，切割1312為相對寬的鰭切割。

【0213】圖14A至14D描述表示用於形成區域隔離結構的圖案化有單閘極間隔的鰭的方法的多樣的操作的平面圖，根據本揭露的另一實施方式。

【0214】參照圖14A，製造積體電路結構的方法包含形成複數鰭1402，複數鰭1402的個別者沿著第一方向1404具有最長尺寸。複數閘極結構1406在複數鰭1402的上方，閘極結構1406的個別者沿著與第一方向1404正交的第二方向1408具有最長尺寸。於實施方式，閘極結構1406為犧牲或虛置閘極線，例如，從多晶矽製造的。於一實施方式，複數鰭1402為矽鰭且與下伏的矽基板的部分連續。

【0215】參照圖14B，介電質材料結構1410形成在複數閘極結構1406的相鄰者之間。

【0216】參照圖14C，複數閘極結構1406的一者的部分1412被移除以暴露複數鰭1402的各者的部分1414。於實施方式，移除複數閘極結構1406的一者的部分1412涉及使用比複數閘極結構1406的一者的部分1412的寬度1418寬的微影窗1416。

【0217】參照圖 14D，複數鰭 1402 的各者的暴露的部分 1414 被移除以形成切割區 1420。於實施方式，複數鰭 1402 的各者的暴露的部分 1414 使用乾或電漿蝕刻製程移除。於實施方式，移除複數鰭 1402 的各者的暴露的部分 1414 涉及蝕刻至的深度小於複數鰭 1402 的高度。於一此實施方式，深度大於複數鰭 1402 中的源極或汲極區深度。於實施方式，深度深於複數鰭 1402 的主動區深度以提供隔離邊際。於實施方式，複數鰭 1402 的各者的暴露的部分 1414 被移除且無蝕刻或無實質蝕刻複數鰭 1402 的源極或汲極區(例如，磊晶源極或汲極區)。於一此實施方式，複數鰭 1402 的各者的暴露的部分 1414 被移除且無側向蝕刻或無實質側向蝕刻複數鰭 1402 的源極或汲極區(例如，磊晶源極或汲極區)。

【0218】於實施方式，切割區 1420 最終以絕緣層填充，例如，於複數鰭 1402 的各者的被移除的部分 1414 的位置。範例絕緣層或「多晶切割」或「插塞」結構於下敘述。於其它實施方式，唯，切割區 1420 僅以其中之後形成導電結構的絕緣層部分填充。導電結構可用以作為區域互連。於實施方式，在以絕緣層或以裝載區域互連結構的絕緣層填充切割區 1420 前，摻雜物可由固態源摻雜物層植入或傳遞經過切割區 1420 進入一或多個鰭的區域切割部分。

【0219】圖 15 描述具有用於區域隔離的有多閘極間隔的鰭的積體電路結構的截面圖，根據本揭露的實施方式。

【0220】參照圖 15，矽鰭 1502 具有第一鰭部分 1504，



側向相鄰第二鰭部分 1506。第一鰭部分 1504 由相對寬的切割 1508 (例如，關聯圖 13A 及 13B 敘述的) 與第二鰭部分 1506 分開，相對寬的切割 1508 具有寬度 X。介電質填充材料 1510 形成於相對寬的切割 1508 中且電隔離第一鰭部分 1504 與第二鰭部分 1506。複數閘極線 1512 在矽鰭 1502 上方，其中閘極線的各者可包含閘極介電質及閘極電極堆疊 1514、介電質帽層 1516 及側壁間隔物 1518。二閘極線 (左二閘極線 1512) 佔據相對寬的切割 1508，且如此，由有效二虛置或非主動閘極將第一鰭部分 1504 與第二鰭部分 1506 分開。

【0221】相對地，鰭部分可由單閘極距離分開。作為例子，圖 16A 描述具有用於區域隔離的有單閘極間隔的鰭的積體電路結構的截面圖，根據本揭露的另一實施方式。

【0222】參照圖 16A，矽鰭 1602 具有第一鰭部分 1604，側向相鄰第二鰭部分 1606。第一鰭部分 1604 由相對窄的切割 1608 (例如，關聯圖 14A 至 14D 敘述的) 與第二鰭部分 1606 分開，相對窄的切割 1608 具有寬度 Y，其中 Y 小於圖 15 的 X。介電質填充材料 1610 形成於相對窄的切割 1608 中且電隔離第一鰭部分 1604 與第二鰭部分 1606。複數閘極線 1612 在矽鰭 1602 上方，其中閘極線的各者可包含閘極介電質及閘極電極堆疊 1614、介電質帽層 1616 及側壁間隔物 1618。介電質填充材料 1610 佔據單閘極線先前的位置，且如此，第一鰭部分 1604 與第二鰭部分 1606 由單「插塞」閘極線分開。於一實施方式，殘餘間隔物材料 1620 維持在移除的閘極線部分的位置的側壁上，如所示。可以理解的

是，鰭1602的其它區可由在先的較廣鰭切割製程製造的二或甚至更多的非主動閘極線(具有三非主動閘極線的區域1622)彼此隔離，如下所述。

【0223】參照圖16A，積體電路結構1600包含鰭1602，例如矽鰭。鰭1602沿著第一方向1650具有最長尺寸。隔離結構1610沿著第一方向1650將鰭1602的第一上部分1604與鰭1602的第二上部分1606分開。隔離結構1610沿著第一方向1650具有中心1611。

【0224】第一閘極結構1612A在鰭1602的第一上部分1604上方，第一閘極結構1612A沿著與第一方向1650正交的第二方向1652(例如，入紙面)具有最長尺寸。沿著第一方向1650，第一閘極結構1612A的中心1613A以間距與隔離結構1610的中心1611間隔開。第二閘極結構1612B在鰭的第一上部分1604上方，第二閘極結構1612B沿著第二方向1652具有最長尺寸。沿著第一方向1650，第二閘極結構1612B的中心1613B以間距與第一閘極結構1612A的中心1613A間隔開。第三閘極結構1612C在鰭1602的第二上部分1606上方，第三閘極結構1612C沿著第二方向1652具有最長尺寸。沿著第一方向1650，第三閘極結構1612C的中心1613C以間距與隔離結構1610的中心1611間隔開。於實施方式，隔離結構1610具有的頂部與第一閘極結構1612A的頂部、第二閘極結構1612B的頂部及第三閘極結構1612C的頂部實質共平面，如所示。

【0225】於實施方式，第一閘極結構1612A、第二閘

極結構 1612B 及第三閘極結構 1612C 的各者包含閘極電極 1660 在高 k 值 (high-k) 閘極介電質層 1662 的側壁上及之間，如對於範例第三閘極結構 1612C 所示的。於一此實施方式，第一閘極結構 1612A、第二閘極結構 1612B 及第三閘極結構 1612C 的各者更包含絕緣帽 1616 在閘極電極 1660 上且在高 k 值閘極介電質層 1662 的側壁上。

【0226】於實施方式，積體電路結構 1600 更包含第一磊晶半導體區 1664A 在第一閘極結構 1612A 與隔離結構 1610 之間的鰭 1602 的第一上部分 1604 上。第二磊晶半導體區 1664B 在第一閘極結構 1612A 與第二閘極結構 1612B 之間的鰭 1602 的第一上部分 1604 上。第三磊晶半導體區 1664C 在第三閘極結構 1612C 與隔離結構 1610 之間的鰭 1602 的第二上部分 1606 上。於一實施方式，第一磊晶半導體區 1664A、第二磊晶半導體區 1664B 及第三磊晶半導體區 1664C 包含矽及鍺。於另一實施方式，第一磊晶半導體區 1664A、第二磊晶半導體區 1664B 及第三磊晶半導體區 1664C 包含矽。

【0227】於實施方式，隔離結構 1610 誘發壓力在鰭 1602 的第一上部分 1604 上及鰭 1602 的第二上部分 1606 上。於一實施方式，壓力為壓縮壓力。於另一實施方式，壓力為拉伸壓力。於其它實施方式，隔離結構 1610 為其中之後形成導電結構的部分填充絕緣層。導電結構可用以作為區域互連。於實施方式，在以絕緣層或以裝載區域互連結構的絕緣層形成隔離結構 1610 前，摻雜物由固態源摻雜物層

植入或傳遞進入一或多個鰭的區域切割部分。

【0228】於另一態樣，可以理解的是，隔離結構(例如，於上所述的隔離結構1610)可形成取代主動閘極電極於鰭切割的區域位置或於鰭切割的較廣區域位置。此外，此鰭切割的區域或較廣區域可被形成為鰭內的相對於彼此的不同的深度。於第一例，圖16B描述顯示鰭隔離結構可被形成以取代閘極電極的位置的截面圖，根據本揭露的實施方式。

【0229】參照圖16B，鰭1680，例如矽鰭，形成在基板1682之上且可與基板1682連續。鰭1680具有鰭端部或廣鰭切割1684，例如，其可形成於鰭圖案化時，例如於上所述的鰭修整最後方式。鰭1680亦具有區域切割1686，其中鰭1680的部分被移除，例如，使用鰭修整隔離方式，其中虛置閘極以介電質插塞取代，如上所述的。主動閘極電極1688形成在鰭上方，且為了描述的目的，顯示為在鰭1680的些微前方，有鰭1680於背景中，其中虛線表示由前視圖覆蓋的區域。介電質插塞1690可形成於鰭的端部或廣鰭切割1684，以取代於此位置的主動閘極的使用。此外或替代的，介電質插塞1692可形成在區域切割1686的位置，取代於此位置的主動閘極的使用。可以理解的是，磊晶源極或汲極區1694亦顯示於在主動閘極電極1688與插塞1690或1692之間的鰭1680的區域。此外，於實施方式，在區域切割1686的鰭的端部的表面粗糙度比在較廣切割的位置的鰭的端部還粗糙，如於圖16B所示的。

【0230】圖 17A 至 17C 描述使用鰭修整隔離方式製造的鰭切割的多樣的深度可能性，根據本揭露的實施方式。

【0231】參照圖 17A，半導體鰭 1700，例如矽鰭，形成在下伏的基板 1702 之上且可與下伏的基板 1702 連續。鰭 1700 具有下鰭部分 1700A 及上鰭部分 1700B，由絕緣結構 1704 相對於鰭 1700 的高度定義。區域鰭隔離切割 1706A 將鰭 1700 分開成為第一鰭部分 1710 與第二鰭部分 1712。於圖 17A 的例子，如沿著 a-a' 軸顯示的，區域鰭隔離切割 1706A 的深度是鰭 1700 對基板 1702 的整個深度。

【0232】參照圖 17B，於第二例子，如沿著 a-a' 軸顯示的，區域鰭隔離切割 1706B 的深度大於鰭 1700 對基板 1702 的整體深度。亦即，切割 1706B 延伸進入下伏的基板 1702。

【0233】參照圖 17C，於第三例子，如沿著 a-a' 軸顯示的，區域鰭隔離切割 1706C 的深度小於鰭 1700 的整個深度，但深於隔離結構 1704 的上表面。再參照圖 17C，於第四例子，如沿著 a-a' 軸顯示的，區域鰭隔離切割 1706D 的深度小於鰭 1700 的整個深度，且於與隔離表面 1704 的上表面大致共平面的位準。

【0234】圖 18 描述沿著 a-a' 軸的平面圖及對應的截面圖，其顯示對於鰭內的鰭切割的區域相對於較廣位置的深度的可能選項，根據本揭露的實施方式。

【0235】參照圖 18，第一及第二半導體鰭 1800 及 1802 (例如矽鰭) 具有上鰭部分 1800B 及 1802B 延伸於絕緣結

構 1804 之上。鰭 1800 及 1802 的兩者具有鰭端部或廣鰭切割 1806，例如，其可形成於鰭圖案化時，例如於上所述的鰭修整最後方式。鰭 1800 及 1802 的兩者亦具有區域切割 1808，其中鰭 1800 或 1802 的部分被移除，例如，使用鰭修整隔離方式，其中虛置閘極以介電質插塞取代，如上所述的。於實施方式，在區域切割 1808 的鰭 1800 及 1802 的端部的表面粗糙度比在區域 1806 的鰭的端部更粗糙，如圖 18 所示的。

【0236】參照圖 18 的截面圖，下鰭部分 1800A 及 1802A 可從絕緣結構 1804 的高度之下看到。又，於截面圖中可見的是在形成絕緣結構 1804 前的鰭修整最後製程被移除的鰭的剩餘部分 1810，如上所述。雖然顯示為突出於基板之上，剩餘部分 1810 亦可在基板的位準或進入基板，如由額外範例寬切割深度 1820 所示的。可以理解的是，對於鰭 1800 及 1802 的廣切割 1806 亦可在對於切割深度 1820 所述的位準，其範例如所示。區域切割 1808 可具有對應於參照圖 17A 至 17C 敘述的深度的範例深度，如所示。

【0237】整體參照圖 16A、16B、17A 至 17C 及 18，根據本揭露的實施方式，積體電路結構包含鰭，鰭包含矽，鰭具有頂部及側壁，其中頂部沿著第一方向具有最長尺寸。第一隔離結構沿著第一方向將鰭的第一部分的第一端部與鰭的第二部分的第一端部分開。第一隔離結構具有沿著第一方向的寬度。鰭的第一部分的第一端部具有表面粗糙度。閘極結構包含閘極電極，其在鰭的第一部分的區域

的頂部上方且側向相鄰於鰭的第一部分的區域的側壁。閘極結構具有沿著第一方向的寬度，且沿著第一方向閘極結構的中心與第一隔離結構的中心由間距間隔開。第二隔離結構在鰭的第一部分的第二端部上方，第二端部與第一端部相對。第二隔離結構具有沿著第一方向的寬度，且鰭的第一部分的第二端部具有的表面粗糙度小於鰭的第一部分的第一端部的表面粗糙度。沿著第一方向第二隔離結構的中心以間距與閘極結構的中心間隔開。

【0238】於一實施方式，鰭的第一部分的第一端部具有扇形拓樸，如圖 16B 所示。於一實施方式，第一磊晶半導體區在閘極結構與第一隔離結構之間的鰭的第一部分上。第二磊晶半導體區在閘極結構與第二隔離結構之間的鰭的第一部分上。於一實施方式，第一及第二磊晶半導體區具有沿著與第一方向正交的第二方向的寬度，沿著第二方向的寬度寬於在閘極結構下面之鰭的第一部分沿著第二方向的寬度，例如，如關聯圖 11 及 12D 敘述的磊晶特徵，其具有的寬度寬於它們生長於上的鰭部分，於圖 11 及 12D 所示的透視圖中。於一實施方式，閘極結構更包含高 k 值介電質層在閘極電極與鰭的第一部分之間且沿著閘極電極的側壁。

【0239】整體參照圖 16A、16B、17A 至 17C 及 18，根據本揭露的另一實施方式，積體電路結構包含含有矽的鰭，鰭具有頂部及側壁，其中頂部沿著一方向具有最長尺寸。第一隔離結構沿著此方向將鰭的第一部分的第一端部

與鰭的第二部分的第一端部分開。鰭的第一部分的第一端部具有深度。閘極結構包含閘極電極，其在鰭的第一部分的區域的頂部上方且側向相鄰於鰭的第一部分的區域的側壁。第二隔離結構在鰭的第一部分的第二端部上方，第二端部與第一端部相對。鰭的第一部分的第二端部具有的深度與鰭的第一部分的第一端部的深度不同。

【0240】於一實施方式，鰭的第一部分的第二端部的深度小於鰭的第一部分的第一端部的深度。於一實施方式，鰭的第一部分的第二端部的深度大於鰭的第一部分的第一端部的深度。於一實施方式，第一隔離結構具有沿著此方向的寬度，且閘極結構具有沿著此方向的寬度。第二隔離結構具有沿著此方向的寬度。於一實施方式，沿著此方向閘極結構的中心以間距與第一隔離結構的中心間隔開，且沿著此方向第二隔離結構的中心以間距與閘極結構的中心間隔開。

【0241】整體參照圖16A、16B、17A至17C及18，根據本揭露的另一實施方式，積體電路結構包含含有矽的第一鰭，第一鰭具有頂部及側壁，其中頂部沿著一方向具有最長尺寸，且不連續部沿著此方向將第一鰭的第一部分的第一端部與鰭的第二部分的第一端部分開。第一鰭的第一部分具有與第一端部相對的第二端部，且鰭的第一部分的第一端部具有深度。積體電路結構亦包含含有矽的第二鰭，第二鰭具有頂部及側壁，其中頂部沿著此方向具有最長尺寸。積體電路結構亦包含留下或殘餘鰭部分在第一鰭



與第二鰭之間。殘留鰭部分具有頂部及側壁，其中頂部沿著此方向具有最長尺寸，且頂部與鰭的第一部分的第一端部的深度非共平面。

【0242】於一實施方式，鰭的第一部分的第一端部的深度在留下或殘餘鰭部分的頂部之下。於一實施方式，鰭的第一部分的第二端部具有的深度與鰭的第一部分的第一端部的深度共平面。於一實施方式，鰭的第一部分的第二端部具有的深度在鰭的第一部分的第一端部的深度之下。於一實施方式，鰭的第一部分的第二端部具有的深度在鰭的第一部分的第一端部的深度之上。於一實施方式，鰭的第一部分的第一端部的深度在留下或殘餘鰭部分的頂部之上。於一實施方式，鰭的第一部分的第二端部具有的深度與鰭的第一部分的第一端部的深度共平面。於一實施方式，鰭的第一部分的第二端部具有的深度在鰭的第一部分的第一端部的深度之下。於一實施方式，鰭的第一部分的第二端部具有的深度在鰭的第一部分的第一端部的深度之上。於一實施方式，鰭的第一部分的第二端部具有的深度與殘餘鰭部分的頂部共平面。於一實施方式，鰭的第一部分的第二端部具有的深度在殘餘鰭部分的頂部之下。於一實施方式，鰭的第一部分的第二端部具有的深度在殘餘鰭部分的頂部之上。

【0243】於另一態樣，形成於區域或廣鰭切割的位置中的介電質插塞可被裁切以提供對於鰭或鰭部分的特定的壓力。介電質插塞可被稱為鰭端部壓力源於此實施例中。

【0244】一或更多實施方式係關於基於鰭的半導體裝置的製造。對於此裝置的表現改進可藉由從多晶插塞填充製程誘發的通道壓力作出。實施方式可包含利用多晶插塞填充製程中的材料特性以誘發機械壓力於金屬氧化物半導體場效電晶體(MOSFET)通道中。因此，誘發的壓力可增加電晶體的移動率及驅動電流。此外，於此所述的插塞填充方法可允許消除在沉積期間的任意縫或空隙的形成。

【0245】提供脈絡，操縱毗鄰鰭的插塞填充的獨特材料特性可誘發壓力於通道中。根據一或更多實施方式，由調整插塞填充材料的成分、沉積及後處理條件，通道中的壓力被調控以利於NMOS及PMOS電晶體的兩者。此外，相較於其它一般壓力源技術(例如，磊晶源極或汲極)，此插塞可位於鰭基板中的較深處。插塞填充的達成此種效應的本質亦消除在沉積期間的縫或間隙且減緩在製程期間的特定的缺陷模式。

【0246】提供進一步脈絡，目前對於閘極(多晶)插塞無有意的壓力工程。從傳統壓力源(例如，磊晶源極或汲極、虛置多晶閘極移除、壓力線等)的壓力增強不幸地在裝置間距縮小時易於消失。對於一或更多上述問題，根據本揭露的一或更多實施方式，額外的壓力源整合於電晶體結構中。此製程的另一可能的利益可為於插塞中的縫或間隙的消除，其在一般化學氣相沉積法可是常見的。

【0247】圖19A及19B描述選擇在具有廣切割的鰭的端部的鰭端部壓力源位置的方法的多樣的操作的截面圖，

例如，作為於上敘述的鰭修整最後製程的部分，根據本揭露的實施方式。

【0248】參照圖 19A，鰭 1900，例如矽鰭，形成在基板 1902 之上且可與基板 1902 連續。鰭 1900 具有鰭端部或廣鰭切割 1904，例如，其可形成於鰭圖案化時，例如於上所述的鰭修整最後方式。主動閘極電極位置 1906 及虛置閘極電極位置 1908 形成在鰭 1900 上方，且為了描述的目的，顯示為在鰭 1900 的些微前方，有鰭 1900 於背景中，其中虛線表示由前視圖覆蓋的區域。可以理解的是，磊晶源極或汲極區 1910 亦顯示於在閘極位置 1906 與 1908 之間的鰭 1900 的區域。此外，層間介電質材料 1912 包含於在閘極位置 1906 與 1908 之間的鰭 1900 的位置。

【0249】參照圖 19B，閘極佔位器結構或虛置閘極位置 1908 被移除，暴露鰭端部或廣鰭切割 1904。移除產生開口 1920，其中介電質插塞(例如，鰭端部壓力源介電質插塞)可最終被形成。

【0250】圖 20A 及 20B 描述選擇在具有區域切割的鰭的端部的鰭端部壓力源位置的方法的多樣的操作的截面圖，例如，作為於上敘述的鰭修整隔離製程的部分，根據本揭露的實施方式。

【0251】參照圖 20A，鰭 2000，例如矽鰭，形成在基板 2002 之上且可與基板 2002 連續。鰭 2000 亦具有區域切割 2004，其中鰭 2000 的部分被移除，例如，使用鰭修整隔離方式，其中虛置閘極被移除且鰭被蝕刻於區域位置中，如

上所述的。主動閘極電極位置2006及虛置閘極電極位置2008形成在鰭2000上方，且為了描述的目的，顯示為在鰭2000的些微前方，有鰭2000於背景中，其中虛線表示由前視圖覆蓋的區域。可以理解的是，磊晶源極或汲極區2010亦顯示於在閘極位置2006與2008之間的鰭2000的區域。此外，層間介電質材料2012包含於在閘極位置2006與2008之間的鰭2000的位置。

【0252】參照圖20B，閘極佔位器結構或虛置閘極電極位置2008被移除，暴露鰭端部與廣鰭切割2004。移除產生開口2020，其中介電質插塞(例如，鰭端部壓力源介電質插塞)可最終被形成。

【0253】圖21A至21M描述於製造具有差異化的鰭端部介電質插塞的積體電路結構的方法中的多樣的操作的截面圖，根據本揭露的實施方式。

【0254】參照圖21A，開始結構2100包含NMOS區及PMOS區。開始結構2100的NMOS區包含第一鰭2102，例如第一矽鰭，其形成在基板2104之上且可與基板2104連續。第一鰭2102具有鰭端部2106，其可從區域或廣鰭切割形成。第一主動閘極電極位置2108及第一虛置閘極電極位置2110形成在第一鰭2102上方，為了說明的目的，顯示在第一鰭2102的些微前方，有第一鰭2102於背景中，其中虛線表示由前視圖覆蓋的區域。磊晶N型源極或汲極區2112，例如磊晶矽源極或汲極結構，亦顯示於在閘極位置2108與2110之間的第一鰭2102的位置。此外，層間介電質

材料 2114 包含於在閘極位置 2108 與 2110 之間的第一鰭 2102 的位置。

【0255】開始結構 2100 的 PMOS 區包含第二鰭 2122，例如第二矽鰭，其形成在基板 2104 之上且可與基板 2104 連續。第二鰭 2122 具有鰭端部 2126，其可從區域或廣鰭切割形成。第二主動閘極電極位置 2128 及第二虛置閘極電極位置 2130 形成在第二鰭 2122 上方，為了說明的目的，顯示在第二鰭 2122 的些微前方，有第二鰭 2122 於背景中，其中虛線表示由前視圖覆蓋的區域。磊晶 P 型源極或汲極區 2132，例如磊晶矽鍺源極或汲極結構，亦顯示於在閘極位置 2128 與 2130 之間的第二鰭 2122 的位置。此外，層間介電質材料 2134 包含於在閘極位置 2128 與 2130 之間的第二鰭 2122 的位置。

【0256】參照圖 21B，分別於位置 2110 及 2130 的第一及第二虛置閘極電極被移除。一旦移除，第一鰭 2102 的鰭端部 2106 及第二鰭 2122 的鰭端部 2126 被暴露。移除亦分別產生開口 2116 及 2136，其中介電質插塞(例如，鰭端部壓力源介電質插塞)可最終被形成。

【0257】參照圖 21C，材料襯墊 2140 形成為與圖 21B 的結構共形。於實施方式，材料襯墊包含矽及氮，例如氮化矽材料襯墊。

【0258】參照圖 21D，保護冠層 2142，例如金屬氮化物層，形成於圖 21C 的結構上。

【0259】參照圖 21E，硬遮罩材料 2144，例如基於碳

的硬遮罩材料形成於圖 21D 的結構上方。微影遮罩或遮罩堆疊 2146 形成於硬遮罩材料 2144 上方。

【0260】參照圖 21F，PMOS 區中的硬遮罩材料 2144 的部分及保護冠層 2142 的部分從圖 21E 的結構移除。微影遮罩或遮罩堆疊 2146 亦被移除。

【0261】參照圖 21G，第二材料襯墊 2148 形成為與圖 21F 的結構共形。於實施方式，第二材料襯墊包含矽及氮，例如第二氮化矽材料襯墊。於實施方式，第二材料襯墊 2148 具有不同的壓力狀態以調整暴露的插塞中的壓力。

【0262】參照圖 21H，第二硬遮罩材料 2150，例如第二基於碳的硬遮罩材料形成於圖 21G 的結構上方且之後凹陷於結構的 PMOS 區的開口 2136 內。

【0263】參照圖 21I，第二材料襯墊 2148 被從圖 2H 的結構蝕刻，以從結構的 NMOS 區移除第二材料襯墊 2148 且以於結構的 PMOS 區凹陷第二材料襯墊 2148。

【0264】參照圖 2J，硬遮罩材料 2144、保護冠層 2142 及第二硬遮罩材料 2150 從圖 2I 的結構移除。與分別的開口 2136 相較，移除留下對於開口 2116 的二不同的填充結構。

【0265】參照圖 2K，絕緣填充材料 2152 形成於圖 2J 的結構的開口 2116 及 2136 中且被平坦化。於實施方式，絕緣填充材料 2152 為可流動的氧化物材料，例如可流動的氧化矽或二氧化矽材料。

【0266】參照圖 2L，絕緣填充材料 2152 於圖 2K 的結構的開口 2116 及 2136 內被凹陷以形成凹陷的絕緣填充材料

2154。於實施方式，執行蒸氣氧化製程作為凹陷製程的部分或在凹陷製程之後，以固化凹陷的絕緣填充材料2154。於一此實施方式，凹陷的絕緣填充材料2154收縮，誘發拉伸壓力於鰭2102及2122上。唯，於PMOS區中有的拉伸壓力誘發材料相對少於NMOS區中的。

【0267】參照圖21M，第三材料襯墊2156在圖21L的結構上方。於實施方式，第三材料襯墊2156包含矽及氮，例如第三氮化物材料襯墊。於實施方式，第三材料襯墊2156防止凹陷的絕緣填充材料2154在後續的源極或汲極接觸物蝕刻期間被蝕刻掉。

【0268】圖22A至22D描述PMOS鰭端部壓力源介電質插塞的範例結構的截面圖，根據本揭露的實施方式。

【0269】參照圖22A，結構2100的PMOS區上的開口2136包含沿著開口2136的側壁的材料襯墊2140。第二材料襯墊2148與材料襯墊2140的下部分共形，但相對於材料襯墊2140的上部分而言是凹陷的。凹陷的絕緣填充材料2154在第二材料襯墊2148內且具有的上表面與第二材料襯墊2148的上表面共平面。第三材料襯墊2156在材料襯墊2140的上部分內且在絕緣填充材料2154的上表面上及第二材料襯墊2148的上表面上。第三材料襯墊2156具有縫2157，例如，用以形成第三材料襯墊2156的沉積製程的人造物。

【0270】參照圖22B，結構2100的PMOS區上的開口2136包含沿著開口2136的側壁的材料襯墊2140。第二材料襯墊2148與材料襯墊2140的下部分共形，但相對於材料襯

墊 2140 的上部分而言是凹陷的。凹陷的絕緣填充材料 2154 在第二材料襯墊 2148 內且具有的上表面與第二材料襯墊 2148 的上表面共平面。第三材料襯墊 2156 在材料襯墊 2140 的上部分內且在絕緣填充材料 2154 的上表面上及第二材料襯墊 2148 的上表面上。第三材料襯墊 2156 不具有縫。

【0271】參照圖 22C，結構 2100 的 PMOS 區上的開口 2136 包含沿著開口 2136 的側壁的材料襯墊 2140。第二材料襯墊 2148 與材料襯墊 2140 的下部分共形，但相對於材料襯墊 2140 的上部分而言是凹陷的。凹陷的絕緣填充材料 2154 在第二材料襯墊 2148 內及上方且具有的上表面在第二材料襯墊 2148 的上表面之上。第三材料襯墊 2156 在材料襯墊 2140 的上部分內且在絕緣填充材料 2154 的上表面上。第三材料襯墊 2156 顯示為沒有縫，但於其它實施方式，第三材料襯墊 2156 具有縫。

【0272】參照圖 22D，結構 2100 的 PMOS 區上的開口 2136 包含沿著開口 2136 的側壁的材料襯墊 2140。第二材料襯墊 2148 與材料襯墊 2140 的下部分共形，但相對於材料襯墊 2140 的上部分而言是凹陷的。凹陷的絕緣填充材料 2154 在第二材料襯墊 2148 內且具有的上表面凹陷於第二材料襯墊 2148 的上表面之下。第三材料襯墊 2156 在材料襯墊 2140 的上部分內且在絕緣填充材料 2154 的上表面上及第二材料襯墊 2148 的上表面上。第三材料襯墊 2156 顯示為沒有縫，但於其它實施方式，第三材料襯墊 2156 具有縫。

【0273】整體參照圖 19A、19B、20A、20B、21A 至



21M及22A至22D，根據本揭露的實施方式，積體電路結構包含鰭(例如，矽)，鰭具有頂部及側壁。頂部沿著一方向具有最長尺寸。第一隔離結構在鰭的第一端部上方。閘極結構包含閘極電極，其在鰭的區域的頂部上方且側向相鄰於鰭的區域的側壁。沿著此方向閘極結構與第一隔離結構間隔開。第二隔離結構在鰭的第二端部上方，第二端部與第一端部相對。沿著此方向第二隔離結構與閘極結構間隔開。第一隔離結構及第二隔離結構皆包含第一介電質材料(例如，材料襯墊2140)，其側向的圍繞與第一介電質材料不同的凹陷的第二介電質材料(例如，第二材料襯墊2148)。凹陷的第二介電質材料側向圍繞與第一及第二介電質材料不同的第三介電質材料(例如，凹陷的絕緣填充材料2154)的至少一部分。

【0274】於一實施方式，第一隔離結構及第二隔離結構皆更包含第四介電質材料(例如，第三材料襯墊2156)，其被第一介電質材料的上部分側向圍繞，第四介電質材料在第三介電質材料的上表面上。於一此實施方式，第四介電質材料更在第二介電質材料的上表面上。於另一此實施方式，第四介電質材料具有大致垂直的中心縫。於另一此實施方式，第四介電質材料不具有縫。

【0275】於一實施方式，第三介電質材料具有的上表面與在第二介電質材料的上表面共平面。於一實施方式，第三介電質材料具有的上表面在第二介電質材料的上表面之下。於一實施方式，第三介電質材料具有的上表面在第

二介電質材料的上表面之上，且第三介電質材料更在第二介電質材料的上表面上方。於一實施方式，第一及第二隔離結構誘發壓縮壓力於鰭上。於一此實施方式，閘極電極為P型閘極電極。

【0276】於一實施方式，第一隔離結構具有沿著此方向的寬度，閘極結構具有沿著此方向的寬度，且第二隔離結構具有沿著此方向的寬度。於一此實施方式，沿著此方向閘極結構的中心以間距與第一隔離結構的中心間隔開，且沿著此方向第二隔離結構的中心以間距與閘極結構的中心間隔開。於一實施方式，第一及第二隔離結構皆於層間介電質層的對應的溝槽中。

【0277】於一此實施方式，第一源極或汲極區在閘極結構與第一隔離結構之間。第二源極或汲極區在閘極結構與第二隔離結構之間。於一此實施方式，第一及第二源極或汲極區為包含矽及鍺的嵌入的源極或汲極區。於一此實施方式，閘極結構更包含高k值介電質層在閘極電極與鰭之間且沿著閘極電極的側壁。

【0278】於另一態樣，在半導體結構內的或在形成在共同基板上的架構內的個別介電質插塞的深度可被改變。作為例子，圖23A描述具有鰭端部壓力誘發特徵的另一半導體結構的截面圖，根據本揭露的另一實施方式。參照圖23A，淺介電質插塞2308A與深介電質插塞2308B及2308C的對一起被包含。於一此實施方式，如所示，淺介電質插塞2308C所在的深度大致等於在基板2304內的半導體鰭

2302的深度，而深介電質插塞的對2308B及2308C所在的深度為在基板2304內的半導體鰭2302的深度之下。

【0279】再參照圖23A，此配置可致能為了提供相鄰鰭2302之間的隔離而蝕刻較深進入基板2304的溝槽中的鰭修整隔離(FTI)裝置上的壓力放大。此方式可實施以增加晶片上的電晶體的密度。於實施方式，從插塞填充的電晶體上的誘發的壓力效應在FTI電晶體中被增強，因為壓力轉移都發生於鰭中及電晶體下方的基板或井中。

【0280】於另一態樣，包含於介電質插塞中的拉伸壓力誘發氧化物層的寬度或量，在半導體結構內或在形成在共同基板上的架構內可被改變，例如，依若裝置為PMOS裝置或NMOS裝置。作為例子，圖23B描述具有鰭端部壓力誘發特徵的另一半導體結構的截面圖，根據本揭露的另一實施方式。參照圖23B，於特定的實施方式，與對應的PMOS裝置相較，NMOS裝置包含相對多的拉伸壓力誘發氧化物層2350。

【0281】再參照圖23B，於實施方式，差異插塞填充被實施以誘發適當的壓力於NMOS及PMOS中。例如，與PMOS插塞2308F及2308G相較，NMOS插塞2308D及2308E具有較大的體積及較大的寬度的拉伸壓力誘發氧化物層2350。插塞填充可被圖案化以誘發不同壓力於NMOS及PMOS裝置中。例如，微影圖案化可用以打開PMOS裝置(例如，對於PMOS裝置寬化介電質插塞溝槽)，於其點不同填充選項可被執行，以差異化NMOS裝置中相對於

PMOS裝置中的插塞填充。於範例實施方式，減少PMOS裝置上的插塞中的可流動氧化物的體積可減少誘發的拉伸壓力。於一此實施方式，壓縮壓力可成為支配，例如，從壓縮壓力源極及汲極區。於其它實施方式，不同插塞襯墊的使用或不同填充材料提供可調控的壓力控制。

【0282】如於上所述的，可以理解的是，多晶插塞壓力效應可有利於NMOS電晶體(例如，拉伸通道壓力)及PMOS電晶體(例如，壓縮通道壓力)的兩者。根據本揭露的實施方式，半導體鰭是單軸壓力的半導體鰭。單軸壓力的半導體鰭可有拉伸壓力或有壓縮壓力而為單軸壓力的。例如，圖24A描述具有拉伸單軸壓力的鰭的有角度的圖，而圖24B描述具有壓縮單軸壓力的鰭的有角度的圖，根據本揭露的一或更多實施方式。

【0283】參照圖24A，半導體鰭2400具有離散的通道區(C)設置於其中。源極區(S)及汲極區(D)設置於半導體鰭2400中，於通道區(C)的各側上。半導體鰭2400的離散的通道區具有沿著單軸拉伸壓力的方向的電流流動方向(箭頭指彼此遠離且往端部2402及2404)，從源極區(S)至汲極區(D)。

【0284】參照圖24B，半導體鰭2450具有離散的通道區(C)設置於其中。源極區(S)及汲極區(D)設置於半導體鰭2450中，於通道區(C)的各側上。半導體鰭2450的離散的通道區具有沿著單軸壓縮壓力的方向的電流流動方向(箭頭指往彼此且從端部2452及2454)，從源極區(S)至汲極區

(D)。因此，於此所述的實施方式可被實施以改進電晶體的移動率及驅動電流，允許較快的電路及晶片表現。

【0285】於另一態樣，可能有閘極線切割(多晶切割)被作成的位置與鰭修整隔離(FTI)區域鰭切割被作成的位置之間的關係。於實施方式，FTI區域鰭切割僅被作成於多晶切割被作成的位置。於一此實施方式，唯，FTI切割不需要被作成於多晶切割被作成的所有位置。

【0286】圖25A及25B描述表示用於形成區域隔離結構於選擇的閘極線切割位置的圖案化有單閘極間隔的鰭的方法的多樣的操作的平面圖，根據本揭露的實施方式。

【0287】參照圖25A，製造積體電路結構的方法包含形成複數鰭2502，複數鰭2502的個別者沿著第一方向2504具有最長尺寸。複數閘極結構2506在複數鰭2502的上方，閘極結構2506的個別者沿著與第一方向2504正交的第二方向2508具有最長尺寸。於實施方式，閘極結構2506為犧牲或虛置閘極線，例如，從多晶矽製造的。於一實施方式，複數鰭2502為矽鰭且與下伏的矽基板的部分連續。

【0288】再參照圖25A，介電質材料結構2510形成在複數閘極結構2506的相鄰者之間。複數閘極結構2506的二者的一部分2512及2513被移除以暴露複數鰭2502的各者的部分。於實施方式，移除閘極結構2506的二者的一部分2512及2513涉及使用微影窗，其寬於閘極結構2506的部分2512及2513的各者的寬度。於位置2512的複數鰭2502的各者的暴露的部分被移除以形成切割區2520。於實施方式，複數鰭

2502的各者的暴露的部分使用乾或電漿蝕刻製程移除。唯，於位置2513的複數鰭2502的各者的暴露的部分被遮罩而不被移除。於實施方式，區域2512/2520表示多晶切割及FTI區域鰭切割的兩者。唯，位置2513僅表示多晶切割。

【0289】參照圖25B，多晶切割及FTI區域鰭切割的位置2512/2520及多晶切割的位置2513以絕緣結構2530填充，例如介電質插塞。範例絕緣結構或「多晶切割」或「插塞」結構於下敘述。

【0290】圖26A至26C描述對於圖25B的結構的多樣的區域的對於多晶切割及FTI區域鰭切割位置及僅有多晶切割的位置的介電質插塞的多樣的可能性的截面圖，根據本揭露的實施方式。

【0291】參照圖26A，於位置2513的介電質插塞2530的部分2600A的截面圖顯示為沿著圖25B的結構的a-a'軸。介電質插塞2530的部分2600A顯示於未切割鰭2502上且在介電質材料結構2510之間。

【0292】參照圖26B，於位置2512的介電質插塞2530的部分2600B的截面圖顯示為沿著圖25B的結構的b-b'軸。介電質插塞2530的部分2600B顯示於切割鰭位置2520上且在介電質材料結構2510之間。

【0293】參照圖26C，於位置2512的介電質插塞2530的部分2600C的截面圖顯示為沿著圖25B的結構的c-c'軸。介電質插塞2530的部分2600C顯示於在鰭2502之間的溝槽

隔離結構 2602 上且在介電質材料結構 2510 之間。於實施方式，於上所述的例子，溝槽隔離結構 2602 包含第一絕緣層 2602A、第二絕緣層 2602B、及在第二絕緣層 2602B 上的絕緣填充材料 2602C。

【0294】整體參照圖 25A、25B 及 26A 至 26C，根據本揭露的實施方式，製造積體電路結構的方法包含形成複數鰭，複數鰭的個別者沿著第一方向。複數閘極結構形成於複數鰭上方，閘極結構的個別者沿著與第一方向正交的第二方向。介電質材料結構形成在複數閘極結構的相鄰者之間。複數閘極結構的第一者的部分被移除以暴露複數鰭的各者的第一部分。複數閘極結構的第二者的部分被移除以暴露複數鰭的各者的第二部分。複數鰭的各者的暴露的第一部分被移除，但複數鰭的各者的暴露的第二部分不被移除。第一絕緣結構形成於移除的複數鰭的第一部分的位置。第二絕緣結構形成於複數閘極結構的第二者的被移除的部分的位置。

【0295】於一實施方式，移除複數閘極結構的第一者及第二者的部分涉及使用微影窗，其寬於複數閘極結構的第一者及第二者的部分的各者的寬度。於一實施方式，移除複數鰭的各者的暴露的第一部分涉及蝕刻至的深度小於複數鰭的高度。於一實施方式，該深度大於複數鰭中源極區或汲極區的深度。於一實施方式，複數鰭包含矽且與矽基板的部分連續。

【0296】整體參照圖 16A、25A、25B 及 26A 至 26C，

根據本揭露的另一實施方式，積體電路結構包含含有矽的鰭，鰭沿著第一方向具有最長尺寸。隔離結構在鰭的上部分上方，隔離結構具有沿著第一方向的中心。第一閘極結構在鰭的上部分上方，第一閘極結構沿著與第一方向正交的第二方向具有最長尺寸。沿著第一方向第一閘極結構的中心以間距與隔離結構的中心間隔開。第二閘極結構在鰭的上部分上方，第二閘極結構沿著第二方向具有最長尺寸。沿著第一方向第二閘極結構的中心以間距與第一閘極結構的中心間隔開。第三閘極結構在鰭的上部分上方，相對於從第一及第二閘極結構的隔離結構的側，第三閘極結構沿著第二方向具有最長尺寸。沿著第一方向第三閘極結構的中心以間距與隔離結構的中心間隔開。

【0297】於一實施方式，第一閘極結構、第二閘極結構及第三閘極結構的各者包含閘極電極在高k值閘極介電質層的側壁上及之間。於一此實施方式，第一閘極結構、第二閘極結構及第三閘極結構的各者更包含絕緣帽在閘極電極上且在高k值閘極介電質層的側壁上。

【0298】於一實施方式，第一磊晶半導體區在第一閘極結構與隔離結構之間的鰭的上部分上。第二磊晶半導體區在第一閘極結構與第二閘極結構之間的鰭的上部分上。第三磊晶半導體區在第三閘極結構與隔離結構之間的鰭的上部分上。於一此實施方式，第一磊晶半導體區、第二磊晶半導體區及第三磊晶半導體區包含矽及鍺。於另一實施方式，第一磊晶半導體區、第二磊晶半導體區及第三磊晶



半導體區包含矽。

【0299】整體參照圖16A、25A、25B及26A至26C，根據本揭露的另一實施方式，積體電路結構包含淺溝槽隔離(STI)結構在半導體鰭的對之間，STI結構沿著第一方向具有最長尺寸。隔離結構在STI結構上，隔離結構具有沿著第一方向的中心。第一閘極結構在STI結構上，第一閘極結構沿著與第一方向正交的第二方向具有最長尺寸。沿著第一方向第一閘極結構的中心以間距與隔離結構的中心間隔開。第二閘極結構在STI結構上，第二閘極結構沿著第二方向具有最長尺寸。沿著第一方向，第二閘極結構的中心以間距與第一閘極結構的中心間隔開。第三閘極結構在STI結構上，相對於從第一及第二閘極結構的隔離結構的側，第三閘極結構沿著第二方向具有最長尺寸。沿著第一方向，第三閘極結構的中心以間距與隔離結構的中心間隔開。

【0300】於一實施方式，第一閘極結構、第二閘極結構及第三閘極結構的各者包含閘極電極在高k值閘極介電質層的側壁上及之間。於一此實施方式，第一閘極結構、第二閘極結構及第三閘極結構的各者更包含絕緣帽在閘極電極上且在高k值閘極介電質層的側壁上。於一實施方式，半導體鰭的對為矽鰭的對。

【0301】於另一態樣，不論多晶切割及FTI區域鰭切割一起或僅有多晶切割，用以填充切割位置的絕緣結構或介電質插塞可側向延伸進入對應的切割閘極線的介電質間

隔物，或甚至超過對應切割閘極線的介電質間隔物。

【0302】於溝槽接觸物形狀不由多晶切割介電質插塞影響的第一例，圖27A描述具有有延伸進入閘極線的介電質間隔物的介電質插塞的閘極線切割的積體電路結構的平面圖及對應的截面圖，根據本揭露的實施方式。

【0303】參照圖27A，積體電路結構2700A包含第一矽鰭2702，沿著第一方向2703具有最長尺寸。第二矽鰭2704沿著第一方向2703具有最長尺寸。絕緣材料2706在第一矽鰭2702及第二矽鰭2704之間。沿著第二方向2709閘極線2708在第一矽鰭2702上方且在第二矽鰭2704上方，第二方向2709與第一方向2703正交。閘極線2708具有第一側2708A及第二側2708B，且具有第一端部2708C及第二端部2708D。閘極線2708具有不連續部2710在絕緣材料2706上方，在閘極線2708的第一端部2708C與第二端部2708D之間。不連續部2710由介電質插塞2712填充。

【0304】於閘極線2708的第一側2708A，沿著第二方向2709，溝槽接觸物2714在第一矽鰭2702上方且在第二矽鰭2704上方。溝槽接觸物2714連續的在絕緣材料2706上方於側向相鄰於介電質插塞2712的位置2715。介電質間隔物2716側向的在溝槽接觸物2714與閘極線2708的第一側2708A之間。介電質間隔物2716沿著閘極線2708的第一側2708A及介電質插塞2712是連續的。介電質間隔物2716具有的側向相鄰於介電質插塞2712的寬度(W2)窄於側向相鄰於閘極線2708的第一側2708A的寬度(W1)。

【0305】於一實施方式，於閘極線2708的第二側2708B，沿著第二方向2709，第二溝槽接觸物2718在第一矽鰭2702上方且在第二矽鰭2704上方。第二溝槽接觸物2718連續的在絕緣材料2706上方於側向相鄰於介電質插塞2712的位置2719。於一此實施方式，第二介電質間隔物2720側向的於第二溝槽接觸物2718及閘極線2708的第二側2708B之間。第二介電質間隔物2720沿著閘極線2708的第二側2708B及介電質插塞2712是連續的。第二介電質間隔物具有的側向相鄰介電質插塞2712的寬度窄於側向相鄰於閘極線2708的第二側2708B的寬度。

【0306】於一實施方式，閘極線2708包含高k值閘極介電質層2722、閘極電極2724、及介電質帽層2726。於一實施方式，介電質插塞2712包含與介電質間隔物2714相同的材料但與介電質間隔物2714離散。於一實施方式，介電質插塞2712包含與介電質間隔物2714不同的材料。

【0307】於溝槽接觸物形狀由多晶切割介電質插塞影響的第二例，圖27B描述具有有延伸超過閘極線的介電質間隔物的介電質插塞的閘極線切割的積體電路結構的平面圖及對應的截面圖，根據本揭露的另一實施方式。

【0308】參照圖27B，積體電路結構2700B包含第一矽鰭2752，沿著第一方向2753具有最長尺寸。第二矽鰭2754沿著第一方向2753具有最長尺寸。絕緣材料2756在第一矽鰭2752及第二矽鰭2754之間。沿著第二方向2759閘極線2758在第一矽鰭2752上方且在第二矽鰭2754上方，第二

方向 2759 與第一方向 2753 正交。閘極線 2758 具有第一側 2758A 及第二側 2758B，且具有第一端部 2758C 及第二端部 2758D。閘極線 2758 具有不連續部 2760 在絕緣材料 2756 上方，在閘極線 2758 的第一端部 2758C 與第二端部 2758D 之間。不連續部 2760 由介電質插塞 2762 填充。

【0309】於閘極線 2758 的第一側 2758A，沿著第二方向 2759 溝槽接觸物 2764 在第一矽鰭 2752 上方且在第二矽鰭 2754 上方。溝槽接觸物 2764 連續的在絕緣材料 2756 上方於側向相鄰於介電質插塞 2762 的位置 2765。介電質間隔物 2766 側向的在溝槽接觸物 2764 與閘極線 2758 的第一側 2758A 之間。介電質間隔物 2766 沿著閘極線 2758 的第一側 2758A，但不沿著介電質插塞 2762，造成不連續的介電質間隔物 2766。溝槽接觸物 2764 具有的側向相鄰於介電質插塞 2762 的寬度 (W1) 窄於側向相鄰於介電質間隔物 2766 的寬度 (W2)。

【0310】於一實施方式，於閘極線 2758 的第二側 2758B，沿著第二方向 2759 第二溝槽接觸物 2768 在第一矽鰭 2752 上方且在第二矽鰭 2754 上方。第二溝槽接觸物 2768 連續的在絕緣材料 2756 上方於側向相鄰於介電質插塞 2762 的位置 2769。於此一實施方式，第二介電質間隔物 2770 側向的於第二溝槽接觸物 2768 及閘極線 2758 的第二側 2758B 之間。第二介電質間隔物 2770 沿著閘極線 2758 的第二側 2758B，但不沿著介電質插塞 2762，造成不連續的介電質間隔物 2770。第二溝槽接觸物 2768 具有的側向相鄰於介電

質插塞 2762 的寬度窄於側向相鄰於介第二介電質間隔物 2770 的寬度。

【0311】於一實施方式，閘極線 2758 包含高 k 值閘極介電質層 2772、閘極電極 2774、及介電質帽層 2776。於一實施方式，介電質插塞 2762 包含與介電質間隔物 2764 相同的材料但與介電質間隔物 2764 離散。於一實施方式，介電質插塞 2762 包含與介電質間隔物 2764 不同的材料。

【0312】於對於從插塞的頂部至插塞的底部的多晶切割位置錐角的介電質插塞的第三例子，圖 28A 至 28F 描述製造具有有介電質插塞的閘極線切割的積體電路結構的方法的多樣操作的截面圖，此介電質插塞有延伸超過閘極線的介電質間隔物的上部分及延伸進入閘極線的介電質間隔物的下部分，根據本揭露的另一實施方式。

【0313】參照圖 28A，複數閘極線 2802 形成於結構 2804 的上方，例如於半導體鰭之間的溝槽隔離結構上方。於一實施方式，閘極線 2802 的各者為犧牲或虛置閘極線，例如，虛置閘極電極 2806 及介電質帽 2808。此犧牲或虛置閘極線的部分可之後於取代閘極製程中被取代，例如，於下所述的介電質插塞形成後。介電質間隔物 2810 為沿著閘極線 2802 的側壁。介電質材料 2812，例如層間介電質層，在閘極線 2802 之間。遮罩 2814 被形成且微影圖案化以暴露閘極線 2802 的一者的部分。

【0314】參照圖 28B，有遮罩 2814 於位置上，中心閘極線 2802 以蝕刻製程移除。遮罩 2814 之後被移除。於實施

方式，蝕刻製程侵蝕移除的閘極線 2802 的介電質間隔物 2810 的部分，形成減少的介電質間隔物 2816。此外，由遮罩 2814 暴露的介電質材料 2812 的上部分於蝕刻製程被侵蝕，形成侵蝕的介電質材料部分 2818。於特定的實施方式，殘餘虛置閘極材料 2820，例如殘餘多晶矽，維持於結構中，如不完整的蝕刻製程的人造物。

【0315】參照圖 28C，硬遮罩 2822 形成在圖 28B 的結構上方。硬遮罩 2822 可與圖 2B 的結構的上部分共形，且特別是，有侵蝕的介電質材料部分 2818。

【0316】參照圖 28D，殘餘虛置閘極材料 2820 被移除，例如，以蝕刻製程，其可與用以移除閘極線 2802 的一中心者的蝕刻製程在化學上相似。於實施方式，硬遮罩 2822 保護侵蝕的介電質材料部分 2818 免於殘餘虛置閘極材料 2820 的移除期間的進一步侵蝕。

【0317】參照圖 28E，硬遮罩 2822 被移除。於一實施方式，硬遮罩 2822 被移除無或實質上沒有侵蝕的介電質材料部分 2818 的進一步侵蝕。

【0318】參照圖 28F，介電質插塞 2830 形成於圖 28E 的結構的開口中。介電質插塞 2830 的上部分在侵蝕的介電質材料部分 2818 上方，例如有效的超過原間隔物 2810。介電質插塞 2830 的下部分相鄰於減少的介電質間隔物 2816，例如，有效的進入但不超過原間隔物 2810。因此，介電質插塞 2830 具有錐角輪廓，如圖 28F 所示。可以理解的是，介電質插塞 2830 可從於上述對於其它多晶切割或 FTI 插塞或

鰭端部壓力源的材料及製程製造。

【0319】於另一態樣，佔位器閘極結構或虛置閘極結構的部分可維持在永久閘極結構下面的溝槽隔離區上方，作為對抗取代閘極製程期間的溝槽隔離區的侵蝕。例如，圖29A至29C描述具有在永久閘極堆疊的底部的部分的殘餘虛置閘極材料的積體電路結構的平面圖及對應的截面圖，根據本揭露的實施方式。

【0320】參照圖29A至29C，積體電路結構包含鰭2902，例如矽鰭，從半導體基板2904突出。鰭2902具有下鰭部分2902B及上鰭部分2902A。上鰭部分2902A具有頂部2902C及側壁2902D。隔離結構2906圍繞下鰭部分2902B。隔離結構2906包含具有頂表面2907的絕緣材料2906C。半導體材料2908在絕緣材料2906C的頂表面2907的部分上。半導體材料2908與鰭2902分開。

【0321】閘極介電質層2910在上鰭部分2902A的頂部2902C上方且側向相鄰上鰭部分2902A的側壁2902D。閘極介電質層2910更在絕緣材料2906C的頂表面2907的部分上的半導體材料2908上。中介額外的閘極介電質層2911(例如，鰭2902的氧化的部分)可在上鰭部分2902A的頂部2902C上方且側向相鄰上鰭部分2902A的側壁2902D的閘極介電質層2910之間。閘極電極2912在閘極介電質層2910上方，閘極介電質層2910在上鰭部分2902A的頂部2902C上方且側向相鄰上鰭部分2902A的側壁2902D。閘極電極2912更在閘極介電質層2910上方，閘極介電質層2910在絕

緣材料 2906C 的頂表面 2907 的部分上的半導體材料 2908 上。第一源極或汲極區 2916 相鄰閘極電極 2912 的第一側，且第二源極或汲極區 2918 相鄰閘極電極 2912 的第二側，第二側與第一側相對。於實施方式，於上所述的例子，溝槽隔離結構 2906 包含第一絕緣層 2906A、第二絕緣層 2906B、及絕緣材料 2906C。

【0322】於一實施方式，在絕緣材料 2906C 的頂表面 2907 的部分上的半導體材料 2908 為或包含多晶矽。於一實施方式，絕緣材料 2906C 的頂表面 2907 具有凹的凹陷，如所示，且半導體材料 2908 在凹的凹陷中。於一實施方式，隔離結構 2906 包含第二絕緣材料 (2906A 或 2906B 或兩者 2906A/2906B) 沿著絕緣材料 2906C 的底部及側壁。於一實施方式，沿著絕緣材料 2906C 的側壁的第二絕緣材料 (2906A 或 2906B 或兩者 2906A/2906B) 的部分具有絕緣材料 2906C 的最上表面之上的頂表面，如所示。於一實施方式，第二絕緣材料 (2906A 或 2906B 或兩者 2906A/2906B) 的頂表面在半導體材料 2908 的最上表面之上或與其共平面。

【0323】於一實施方式，在絕緣材料 2906C 的頂表面 2907 的部分上的半導體材料 2908 不延伸超過閘極介電質層 2910。亦即，從平面圖透視，半導體材料 2908 的位置限制於由閘極堆疊 2912/2910 覆蓋的區域。於一實施方式，第一介電質間隔物 2920 沿著閘極電極 2912 的第一側。第二介電質間隔物 2922 沿著閘極電極 2912 的第二側。於一此實施方式，閘極介電質層 2910 更延伸沿著第一介電質間隔物



2920及第二介電質間隔物2922的側壁，如圖29B所示。

【0324】於一實施方式，閘極電極2912包含共形的導電層2912A(例如，功函數層)。於一此實施方式，功函數層2912A包含鈦及氮。於另一實施方式，功函數層2912A包含鈦、鋁、碳及氮。於一實施方式，閘極電極2912更包含導電填充金屬層2912B在功函數層2912A上方。於一此實施方式，導電填充金屬層2912B包含鎢。於特定的實施方式，導電填充金屬層2912B包含95或更大的原子百分比的鎢及0.1至2原子百分比的氟。於一實施方式，絕緣帽2924在閘極電極2912上且可延伸於閘極介電質層2910上方，如圖29B所示。

【0325】圖30A至30D描述製造具有在永久閘極堆疊的底部的部分的殘餘虛置閘極材料的積體電路結構的方法的多樣的操作的截面圖，根據本揭露的另一實施方式。透視圖顯示是沿著圖29C的結構的a-a'軸的部分。

【0326】參照圖30A，積體電路結構的製造方法包含從半導體基板3002形成鰭3000。鰭3000具有下鰭部分3000A及上鰭部分3000B。上鰭部分3000B具有頂部3000C及側壁3000D。隔離結構3004圍繞下鰭部分3000A。隔離結構3004包含具有頂表面3005的絕緣材料3004C。佔位器閘極電極3006在上鰭部分3000B的頂部3000C上方且側向相鄰上鰭部分3000B的側壁3000D。佔位器閘極電極3006包含半導體材料。

【0327】雖然從圖30A的透視圖沒有顯示(但其位置顯

示於圖 29C)，第一源極或汲極區可形成為相鄰佔位器閘極電極 3006 的第一側，第二源極或汲極區可形成為相鄰佔位器閘極電極 3006 的第二側，第二側與第一側相對。此外，閘極介電質間隔物可形成為沿著佔位器閘極電極 3006 的側壁，且層間介電質 (ILD) 層可形成為側向相鄰佔位器閘極電極 3006。

【0328】於一實施方式，佔位器閘極電極 3006 是或包含多晶矽。於一實施方式，隔離結構 3004 的絕緣材料 3004C 頂表面 3005 具有凹的凹陷，如所示。佔位器閘極電極 3006 的部分在凹的凹陷中。於一實施方式，隔離結構 3004 包含第二絕緣材料 (3004A 或 3004B 或兩者 3004A 及 3004B) 沿著絕緣材料 3004C 的底部及側壁，如所示。於此一實施方式，沿著沿著絕緣材料 3004C 的側壁的第二絕緣材料 (3004A 或 3004B 或兩者 3004A 及 3004B) 的部分具有的頂表面在絕緣材料 3004C 的頂表面 3005 的至少部分之上。於一實施方式，的第二絕緣材料 (3004A 或 3004B 或兩者 3004A 及 3004B) 的頂表面在佔位器閘極電極 3006 的部分的最下表面之上。

【0329】參照圖 30B，佔位器閘極電極 3006 從上鰭部分 3000B 的頂部 3000C 及側壁 3000D 上方被蝕刻，例如，沿著圖 30A 的方向 3008。蝕刻製程可被稱為取代閘極製程。於實施方式，蝕刻或取代閘極製程是不完整的且留下佔位器閘極電極 3006 的部分 3012 在隔離結構 3004 的絕緣材料 3004C 的頂表面 3005 的至少部分上。

【0330】參照圖30A及30B的兩者，於實施方式，在形成佔位器閘極電極3006之前形成的上鰭部分3000B的氧化的部分3010在蝕刻製程期間被保留，如所示。於另一實施方式，唯，在形成佔位器閘極電極3006之前形成佔位器閘極介電質層，且在蝕刻佔位器閘極電極後佔位器閘極介電質層被移除。

【0331】參照圖30C，閘極介電質層3014形成在上鰭部分3000B的頂部3000C上方且側向相鄰上鰭部分3000B的側壁3000D。於一實施方式，閘極介電質層3014形成在上鰭部分3000B的氧化的部分3010上，在上鰭部分3000B的頂部3000C上方且側向相鄰上鰭部分3000B的側壁3000D，如所示。於另一實施方式，閘極介電質層3014直接形成在上鰭部分3000B上，在上鰭部分3000B的頂部3000C上方且側向相鄰上鰭部分3000B的側壁3000D，在上鰭部分3000B的氧化的部分3010在蝕刻佔位器閘極電極後被移除的情況。於各情況，於實施方式，閘極介電質層3014更形成在佔位器閘極電極3006的部分3012上，佔位器閘極電極3006的部分3012在隔離結構3004的絕緣材料3004C的頂表面3005的部分上。

【0332】參照圖30D，永久閘極電極3016形成在閘極介電質層3014上方，閘極介電質層3014在上鰭部分3000B的頂部3000C上方且側向相鄰上鰭部分3000B的側壁3000D。永久閘極電極3016更在佔位器閘極電極3006的部分3012上的閘極介電質層3014上方，佔位器閘極電極3006

的部分 3012 在絕緣材料 3004C 的頂表面 3005 的部分上。

【0333】於一實施方式，形成永久閘極電極 3016 包含形成功函數層 3016A。於一此實施方式，功函數層 3016A 包含鈦及氮。於另一實施方式，功函數層 3016A 包含鈦、鋁、碳及氮。於一實施方式，形成永久閘極電極 3016 更包含形成導電填充金屬層 3016B，導電填充金屬層 3016B 形成在功函數層 3016A 上方。於一此實施方式，形成導電填充金屬層 3016B 包含形成含鎢的膜，使用有六氟化鎢 ( $\text{WF}_6$ ) 前驅物的原子層沉積 (ALD)。於實施方式，絕緣閘極帽層 3018 形成於永久閘極電極 3016 上。

【0334】於另一態樣，本揭露的一些實施方式包含非晶高 k 值層於對於閘極電極的閘極介電質結構中。於其它實施方式，部分或整體結晶的高 k 值層包含於對於閘極電極的閘極介電質結構中。於一實施方式，部分或整體結晶的高 k 值層被包含，閘極介電質結構為鐵電 (FE) 閘極介電質結構。於另一實施方式，部分或整體結晶的高 k 值層被包含，閘極介電質結構為反鐵電 (AFE) 閘極介電質結構。

【0335】於實施方式，於此所述的方式用以增加裝置通道中的電荷且改進次臨界表現，由適配鐵電或反鐵電閘極氧化物。鐵電及反鐵電閘極氧化物對於較高的電流可增加通道電荷，且亦可作成較陡的開啟表現。

【0336】提供脈絡，基於鈹或鋯 (Hf 或 Zr) 的鐵電及反鐵電 (FE 或 AFE) 材料典型地比鐵電材料 (例如，鋯鈦酸鉛 (PZT)) 薄很多，且，如此，可與高微縮邏輯技術相容。FE

或 AFE 材料有二特徵可改進邏輯電晶體的表現：(1)由 FE 或 AFE 極化達成的在通道中的較高的電荷及(2)因為銳利 FE 或 AFE 轉換的較陡的開啟表現。由增加電流且降低次臨界擺盪(SS)，此特性可改進電晶體的表現。

【0337】圖 31A 描述具有鐵電或反鐵電閘極介電質結構的半導體裝置的截面圖，根據本揭露的實施方式。

【0338】參照圖 31A，積體電路結構 3100 包含閘極結構 3102 在基板 3104 之上。於一實施方式，閘極結構 3102 在半導體通道結構 3106 之上或上方，半導體通道結構 3106 包含單晶材料，例如單晶矽。閘極結構 3102 包含閘極介電質在半導體通道結構 3106 上方及閘極電極在閘極介電質結構上方。閘極介電質包含鐵電或反鐵電多晶材料層 3102A。閘極電極具有導電層 3102B 在鐵電或反鐵電多晶材料層 3102A 上。導電層 3102B 包含金屬且可為阻障層，功函數層或模版層，其強化 FE 或 AFE 層的結晶。一或多個閘極填充層 3102C 在導電層 3102B 上或之上。源極區 3108 及汲極區 3110 在閘極結構 3102 的相對側上。源極或汲極接觸物 3112 電連接於源極區 3108 及汲極區 3110 於位置 3149，且由層間介電質層 3114 或閘極介電質間隔物 3116 的一或兩者與閘極結構 3102 間隔開。於圖 31A 的例子，源極區 3108 及汲極區 3110 為基板 3104 的區域。於實施方式，源極或汲極接觸物 3112 包含阻障層 3112A 及導電溝槽填充材料 3112B。於一實施方式，鐵電或反鐵電多晶材料層 3102A 延伸沿著介電質間隔物 3116，如圖 31A 所示。

【0339】於實施方式，如可應用於整個說明書的，鐵電或反鐵電多晶材料層3102A是鐵電多晶材料層。於一實施方式，鐵電多晶材料層為包含Zr及Hf的氧化物，有50:50的Zr:Hf比率或Zr較多。當斜方結晶性增加，鐵電效應可增加。於一實施方式，鐵電結晶材料層具有至少80%的斜方結晶性。

【0340】於實施方式，如可應用於整個說明書的，鐵電或反鐵電多晶材料層3102A是反鐵電多晶材料層。於一實施方式，反鐵電多晶材料層為包含Zr及Hf的氧化物，有80:20的Zr:Hf比率，且甚至多至100%的Zr， $\text{ZrO}_2$ 。於一實施方式，反鐵電結晶材料層具有至少80%的四方結晶性。

【0341】於實施方式，如可應用於整個揭露的，閘極堆疊3102的閘極介電質更包含非晶介電質層3103，例如原生氧化矽層，高k值介電質( $\text{HfO}_x$ 、 $\text{Al}_2\text{O}_3$ 等)或氧化物及高k值的組合，於鐵電或反鐵電多晶材料層3102A及半導體通道結構3106之間。於實施方式，如可應用於整個說明書的，鐵電或反鐵電多晶材料層3102A具有在1奈米至8奈米的範圍的厚度。於實施方式，如可應用於整個說明書的，鐵電或反鐵電多晶材料層3102A具有約在20或更多奈米的結晶晶粒大小。

【0342】於實施方式，在鐵電或反鐵電多晶材料層3102A的沉積之後(例如，由原子層沉積(ALD))，包含金屬的層(例如，層3102B，例如，5至10奈米的氮化鈦或氮化鉭或鎢)形成在鐵電或反鐵電多晶材料層3102A上。之後執

行退火。於一實施方式，退火執行於1毫秒至30分的範圍的時間長度。於一實施方式，退火執行於攝氏500至1100度的溫度。

【0343】圖31B描述具有鐵電或反鐵電閘極介電質結構的另一半導體裝置的截面圖，根據本揭露的另一實施方式。

【0344】參照圖31B，積體電路結構3150包含閘極結構3152在基板3154之上。於一實施方式，閘極結構3152在半導體通道結構3156之上或上方，半導體通道結構3156包含單晶材料，例如單晶矽。閘極結構3152包含閘極介電質在半導體通道結構3156上方及閘極電極在閘極介電質結構上方。閘極電極包含鐵電或反鐵電多晶材料層3152A，且可更包含非晶氧化物層3153。閘極電極具有導電層3152B在鐵電或反鐵電多晶材料層3152A上。導電層3152B包含金屬且可為阻障層或功函數層。一或多個閘極填充層3152C在導電層3152B上或之上。升起的源極區3158及升起的汲極區3160，例如不同於半導體通道結構3156的半導體材料區域，於閘極結構3152的相對側上。源極或汲極接觸物3162電連接於源極區3158及汲極區3160於位置3199，且由層間介電質層3164或閘極介電質間隔物3166的一或兩者與閘極結構3152間隔開。於實施方式，源極或汲極接觸物3162包含阻障層3162A及導電溝槽填充材料3162B。於一實施方式，鐵電或反鐵電多晶材料層3152A延伸沿著介電質間隔物3166，如圖31B所示。

【0345】圖32A描述在半導體鰭的對上方的複數閘極線的平面圖，根據本揭露的另一實施方式。

【0346】參照圖32A，複數主動閘極線3204形成於複數半導體鰭3200上方。虛置閘極線3206於複數半導體鰭3200的端部。在閘極線3204/3206之間的間隔3208在溝槽接觸物可位於的位置，以提供導電接觸物於源極或汲極區，例如，源極或汲極區3251、3252、3253及3254。於實施方式，複數閘極線3204/3206的圖案或複數半導體鰭3200的圖案敘述為柵結構。於一實施方式，柵狀圖案包含複數閘極線3204/3206或複數半導體鰭3200的圖案，以固定間距間隔開且具有固定寬度，或兩者。

【0347】圖32B描述沿著圖32A的a-a'軸的截面圖，根據本揭露的實施方式。

【0348】參照圖32B，複數主動閘極線3264形成於半導體鰭3262上方，半導體鰭3262形成於基板3260之上。虛置閘極線3266於半導體鰭3262的端部。介電質層3270在虛置閘極線3266外。溝槽接觸物材料3297在主動閘極線3264之間，且在虛置閘極線3266與主動閘極線3264之間。嵌入的源極或汲極結構3268在主動閘極線3264之間且在虛置閘極線3266與主動閘極線3264之間的半導體鰭3262中。

【0349】主動閘極線3264包含閘極介電質結構3272、功函數閘極電極部分3274及填充閘極電極部分3276、及介電質帽層3278。介電質間隔物3280沿著主動閘極線3264及虛置閘極線3266的側壁。於實施方式，閘極介電質結構



3272包含鐵電或反鐵電多晶材料層3298。於一實施方式，閘極介電質結構3272更包含非晶氧化物層3299。

【0350】於另一態樣，相同導電率類型的裝置，例如，N型或P型，可具有對於相同導電率類型的差異化的閘極電極堆疊。唯，為了比較的目的，具有相同導電率類型的裝置可具有基於調變的摻雜的差異化的電壓臨界(VT)。

【0351】圖33A描述具有基於調變的摻雜的差異化的電壓臨界的NMOS裝置的對，以及具有基於調變的摻雜的差異化的電壓臨界的PMOS裝置的對的截面圖，根據本揭露的實施方式。

【0352】參照圖33A，在半導體主動區3300上方(例如，在矽鰭或基板上方)第一NMOS裝置3302相鄰第二NMOS裝置3304。第一NMOS裝置3302及第二NMOS裝置3304的兩者包含閘極介電質層3306、第一閘極電極導電層3308(例如功函數層)、及閘極電極導電填充3310。於實施方式，第一NMOS裝置3302及第二NMOS裝置3304的第一閘極電極導電層3308為相同材料且相同厚度，如此，具有相同功函數。唯，第一NMOS裝置3302具有比第二NMOS裝置3304低的VT。於此一實施方式，第一NMOS裝置3302被稱為「標準VT」裝置，且第二NMOS裝置3304被稱為「高VT」裝置。於實施方式，差異化的VT由使用調變的或差異化的植入摻雜於第一NMOS裝置3302及第二NMOS裝置3304的區域3312達成。

【0353】參照圖33A，在半導體主動區3320上方(例如，在矽鰭或基板上方)第一PMOS裝置3322相鄰第二PMOS裝置3324。第一PMOS裝置3322及第二PMOS裝置3324的兩者包含閘極介電質層3326、第一閘極電極導電層3328(例如功函數層)、及閘極電極導電填充3330。於實施方式，第一PMOS裝置3322及第二PMOS裝置3324的第一閘極電極導電層3328為相同材料且相同厚度，如此，具有相同功函數。唯，第一PMOS裝置3322具有比第二PMOS裝置3324高的 $V_T$ 。於一此實施方式，第一PMOS裝置3322被稱為「標準 $V_T$ 」裝置，且第二PMOS裝置3324被稱為「低 $V_T$ 」裝置。於實施方式，差異化的 $V_T$ 由使用調變的或差異化的植入摻雜於第一PMOS裝置3322及第二PMOS裝置3324的區域3332達成。

【0354】相對於圖33A，圖33B描述具有基於差異化的閘極電極結構的差異化的電壓臨界的NMOS裝置的對，以及具有基於差異化的閘極電極結構的差異化的電壓臨界的PMOS裝置的對的截面圖，根據本揭露的另一實施方式。

【0355】參照圖33B，在半導體主動區3350上方(例如，在矽鰭或基板上方)第一NMOS裝置3352相鄰第二NMOS裝置3354。第一NMOS裝置3352及第二NMOS裝置3354皆包含閘極介電質層3356。唯，第一NMOS裝置3352及第二NMOS裝置3354具有結構上不同的閘極電極堆疊。特別是，第一NMOS裝置3352包含第一閘極電極導電層

3358(例如第一功函數層)、及閘極電極導電填充3360。第二NMOS裝置3354包含第二閘極電極導電層3359(例如第二功函數層)、第一閘極電極導電層3358及閘極電極導電填充3360。第一NMOS裝置3352具有比第二NMOS裝置3354低的 $V_T$ 。於一此實施方式，第一NMOS裝置3352被稱為「標準 $V_T$ 」裝置，且第二NMOS裝置3354被稱為「高 $V_T$ 」裝置。於實施方式，差異化的 $V_T$ 由使用對於相同導電率類型裝置的差異化的閘極堆疊達成。

【0356】再參照圖33B，在半導體主動區3370上方(例如，在矽鰭或基板上方)第一PMOS裝置3372相鄰第二PMOS裝置3374。第一PMOS裝置3372及第二PMOS裝置3374皆包含閘極介電質層3376。唯，第一PMOS裝置3372及第二PMOS裝置3374具有結構上不同的閘極電極堆疊。特別是，第一PMOS裝置3372包含具有第一厚度的閘極電極導電層3378A(例如功函數層)、及閘極電極導電填充3380。第二PMOS裝置3374包含具有第二厚度的閘極電極導電層3378B、及閘極電極導電填充3380。於一實施方式，閘極電極導電層3378A及閘極電極導電層3378B具有相同的成分，但閘極電極導電層3378B的厚度(第二厚度)大於閘極電極導電層3378A的厚度(第一厚度)。第一PMOS裝置3372具有比第二PMOS裝置3374高的 $V_T$ 。於一此實施方式，第一PMOS裝置3372被稱為「標準 $V_T$ 」裝置，且第二PMOS裝置3374被稱為「低 $V_T$ 」裝置。於實施方式，差異化的 $V_T$ 由使用對於相同導電率類型裝置的差異化的閘

極堆疊達成。

【0357】再參照圖33B，根據本揭露的實施方式，積體電路結構包含鰭(例如，例如矽鰭，例如3350)。可以理解的是，鰭具有頂部(如所示)及側壁(入及出紙面)。閘極介電質層3356在鰭的頂部上方且側向相鄰鰭的側壁。裝置3354的N型閘極電極在閘極介電質層3356上方，閘極介電質層3356在鰭的頂部上方且側向相鄰鰭的側壁。N型閘極電極包含P型金屬層3359在閘極介電質層3356上、及N型金屬層3358在P型金屬層3359上。可以理解的，第一N型源極或汲極區可相鄰閘極電極的第一側(例如，入紙面)，且第二N型源極或汲極區可相鄰閘極電極的第二側(例如，出紙面)，第二側與第一側相對。

【0358】於一實施方式，P型金屬層3359包含鈦及氮，且N型金屬層3358包含鈦、鋁、碳及氮。於一實施方式，P型金屬層3359具有在2至12埃的範圍的厚度，且於特定的實施方式，P型金屬層3359具有在2至4埃的範圍的厚度。於一實施方式，N型閘極電極更包含導電填充金屬層3360在N型金屬層3358上。於一此實施方式，導電填充金屬層3360包含鎢。於特定的實施方式，導電填充金屬層3360包含95或更大的原子百分比的鎢及0.1至2原子百分比的氟。

【0359】再參照圖33B，根據本揭露的另一實施方式，積體電路結構包含具有電壓臨界( $V_T$ )的第一N型裝置3352，第一N型裝置3352具有第一閘極介電質層3356，且

第一 N 型金屬層 3358 在第一閘極介電質層 3356 上。又，包含的是具有電壓臨界 (VT) 的第二 N 型裝置 3354，第二 N 型裝置 3354 具有第二閘極介電質層 3356，P 型金屬層 3359 在第二閘極介電質層 3356 上，且第二 N 型金屬層 3358 在 P 型金屬層 3359 上。

【0360】於一實施方式，其中第二 N 型裝置 3354 的 VT 高於第一 N 型裝置 3352 的 VT。於一實施方式，第一 N 型金屬層 3358 及第二 N 型金屬層 3358 具有相同的成分。於一實施方式，第一 N 型金屬層 3358 及第二 N 型金屬層 3358 具有相同的厚度。於一實施方式，其中 N 型金屬層 3358 包含鈦、鋁、碳及氮，且 P 型金屬層 3359 包含鈦及氮。

【0361】再參照圖 33B，根據本揭露的另一實施方式，積體電路結構包含具有電壓臨界 (VT) 的第一 P 型裝置 3372，第一 P 型裝置 3372 具有第一閘極介電質層 3376，且第一 P 型金屬層 3378A 在第一閘極介電質層 3376 上。第一 P 型金屬層 3378A 具有厚度。第二 P 型裝置 3374 亦被包含且具有電壓臨界 (VT)。第二 P 型裝置 3374 具有第二閘極介電質層 3376，且第二 P 型金屬層 3378B 在第二閘極介電質層 3376 上。第二 P 型金屬層 3378B 具有的厚度大於第一 P 型金屬層 3378A 的厚度。

【0362】於一實施方式，第二 P 型裝置 3374 的 VT 低於第一 P 型裝置 3372 的 VT。於一實施方式，第一 P 型金屬層 3378A 及第二 P 型金屬層 3378B 具有相同的成分。於一實施方式，第一 P 型金屬層 3378A 及第二 P 型金屬層 3378B 皆包

含鈦及氮。於一實施方式，第一P型金屬層3378A的厚度小於第一P型金屬層3378A的材料的功函數飽和厚度。於一實施方式，雖然未示出，第二P型金屬層3378B包含第一金屬膜(例如，從第二沉積)於第二金屬膜(例如，從第一沉積)上，且縫在第一金屬膜及第二金屬膜之間。

【0363】再參照圖33B，根據本揭露的另一實施方式，積體電路結構包含具有第一閘極介電質層3356的第一N型裝置3352，且第一N型金屬層3358在第一閘極介電質層3356上。第二N型裝置3354具有第二閘極介電質層3356，第一P型金屬層3359在第二閘極介電質層3356上，且第二N型金屬層3358在第一P型金屬層3359上。第一P型裝置3372具有第三閘極介電質層3376，且第二P型金屬層3378A在第三閘極介電質層3376上。第二P型金屬層3378A具有厚度。第二P型裝置3374具有第四閘極介電質層3376，且第三P型金屬層3378B在第四閘極介電質層3376上。第三P型金屬層3378B具有的厚度大於第二P型金屬層3378A的厚度。

【0364】於一實施方式，第一N型裝置3352具有電壓臨界( $V_T$ )，第二N型裝置3354具有電壓臨界( $V_T$ )，且第二N型裝置3354的 $V_T$ 低於第一N型裝置3352的 $V_T$ 。於一實施方式，第一P型裝置3372具有電壓臨界( $V_T$ )，第二P型裝置3374具有電壓臨界( $V_T$ )，且第二P型裝置3374的 $V_T$ 低於第一P型裝置3372的 $V_T$ 。於一實施方式，第三P型金屬層3378B包含第一金屬膜於第二金屬膜上，且縫在第一金屬

膜及第二金屬膜之間。

【0365】可以理解的是，多於二類型的對於相同導電率類型的VT裝置可包含於相同結構，例如，相同晶粒。於第一例，圖34A描述具有基於差異化的閘極電極結構及基於調變的摻雜的差異化的電壓臨界的NMOS裝置的三聯體，以及具有基於差異化的閘極電極結構及基於調變的摻雜的差異化的電壓臨界的PMOS裝置的三聯體的截面圖，根據本揭露的實施方式。

【0366】參照圖34A，在半導體主動區3400上方(例如，在矽鰭或基板上方)第一NMOS裝置3402相鄰第二NMOS裝置3404及第三NMOS裝置3403。第一NMOS裝置3402、第二NMOS裝置3404及第三NMOS裝置3403皆包含閘極介電質層3406。第一NMOS裝置3402及第三NMOS裝置3403具有結構上相同或相似的閘極電極堆疊。唯，第二NMOS裝置3404相對於第一NMOS裝置3402及第三NMOS裝置3403而言具有結構上不同的閘極電極堆疊。特別是，第一NMOS裝置3402及第三NMOS裝置3403包含第一閘極電極導電層3408(例如第一功函數層)、及閘極電極導電填充3410。第二NMOS裝置3404包含第二閘極電極導電層3409(例如第二功函數層)、第一閘極電極導電層3408及閘極電極導電填充3410。第一NMOS裝置3402具有比第二NMOS裝置3404低的VT。於一此實施方式，第一NMOS裝置3402被稱為「標準VT」裝置，且第二NMOS裝置3404被稱為「高VT」裝置。於實施方式，差異化的VT由使用對

於相同導電率類型裝置的差異化的閘極堆疊達成。於實施方式，第三NMOS裝置3403具有的 $V_T$ 不同於第一NMOS裝置3402及第二NMOS裝置3404的 $V_T$ ，即使第三NMOS裝置3403的閘極電極結構與第一NMOS裝置3402的閘極電極結構相同。於一實施方式，第三NMOS裝置3403的 $V_T$ 在第一NMOS裝置3402及第二NMOS裝置3404的 $V_T$ 之間。於實施方式，第三NMOS裝置3403與第一NMOS裝置3402之間的差異化的 $V_T$ 由使用調變的或差異化的植入摻雜於第三NMOS裝置3403的區域3412達成。於一此實施方式，第三N型裝置3403具有的通道區所具有的摻雜物濃度與第一N型裝置3402的通道區的摻雜物濃度不同。

【0367】參照圖34A，在半導體主動區3420上方(例如，在矽鰭或基板上方)第一PMOS裝置3422相鄰第二PMOS裝置3424及第三PMOS裝置3423。第一PMOS裝置3422、第二PMOS裝置3424、及第三PMOS裝置3423包含閘極介電質層3426。第一PMOS裝置3422及第三PMOS裝置3423具有結構上相同或相似的閘極電極堆疊。唯，第二PMOS裝置3424相對於第一PMOS裝置3422及第三PMOS裝置3423而言具有結構上不同的閘極電極堆疊。特別是，第一PMOS裝置3422及第三PMOS裝置3423包含具有第一厚度的閘極電極導電層3428A(例如功函數層)、及閘極電極導電填充3430。第二PMOS裝置3424含具有第二厚度的閘極電極導電層3428B、及閘極電極導電填充3430。於一實施方式，閘極電極導電層3428A及閘極電極導電層3428B具



有相同的成分，但閘極電極導電層 3428B 的厚度(第二厚度)大於閘極電極導電層 3428A 的厚度(第一厚度)。於實施方式，第一 PMOS 裝置 3422 具有比第二 PMOS 裝置 3424 高的 VT。於一此實施方式，第一 PMOS 裝置 3422 被稱為「標準 VT」裝置，且第二 PMOS 裝置 3424 被稱為「低 VT」裝置。於實施方式，差異化的 VT 由使用對於相同導電率類型裝置的差異化的閘極堆疊達成。於實施方式，第三 PMOS 裝置 3423 具有的 VT 不同於第一 PMOS 裝置 3422 及第二 PMOS 裝置 3424 的 VT，即使第三 PMOS 裝置 3423 的閘極電極結構與第一 PMOS 裝置 3422 的閘極電極結構相同。於一實施方式，第三 PMOS 裝置 3423 的 VT 在第一 PMOS 裝置 3422 及第二 PMOS 裝置 3424 的 VT 之間。於實施方式，第三 PMOS 裝置 3423 與第一 PMOS 裝置 3422 之間的差異化的 VT 由使用調變的或差異化的植入摻雜於第三 PMOS 裝置 3423 的區域 3432 達成。於一此實施方式，第三 P 型裝置 3423 具有的通道區所具有的摻雜物濃度與第一 P 型裝置 3422 的通道區的摻雜物濃度不同。

【0368】於第二例，圖 34B 描述具有基於差異化的閘極電極結構及基於調變的摻雜的差異化的電壓臨界的 NMOS 裝置的三聯體，以及具有基於差異化的閘極電極結構及基於調變的摻雜的差異化的電壓臨界的 PMOS 裝置的三聯體的截面圖，根據本揭露的另一實施方式。

【0369】參照圖 34B，在半導體主動區 3450 上方(例如，在矽鰭或基板上方)第一 NMOS 裝置 3452 相鄰第二

NMOS裝置3454及第三NMOS裝置3453。第一NMOS裝置3452、第二NMOS裝置3454及第三NMOS裝置3453皆包含閘極介電質層3456。第二NMOS裝置3454及第三NMOS裝置3453具有結構上相同或相似的閘極電極堆疊。唯，第一NMOS裝置3452相對於第二NMOS裝置3454及第三NMOS裝置3453而言具有結構上不同的閘極電極堆疊。特別是，第一NMOS裝置3452包含第一閘極電極導電層3458(例如第一功函數層)、及閘極電極導電填充3460。第二NMOS裝置3454及第三NMOS裝置3453包含第二閘極電極導電層3459(例如第二功函數層)、第一閘極電極導電層3458及閘極電極導電填充3460。第一NMOS裝置3452具有比第二NMOS裝置3454低的 $V_T$ 。於一此實施方式，第一NMOS裝置3452被稱為「標準 $V_T$ 」裝置，且第二NMOS裝置3454被稱為「高 $V_T$ 」裝置。於實施方式，差異化的 $V_T$ 由使用對於相同導電率類型裝置的差異化的閘極堆疊達成。於實施方式，第三NMOS裝置3453具有的 $V_T$ 不同於第一NMOS裝置3452及第二NMOS裝置3454的 $V_T$ ，即使第三NMOS裝置3453的閘極電極結構與第二NMOS裝置3454的閘極電極結構相同。於一實施方式，第三NMOS裝置3453的 $V_T$ 在第一NMOS裝置3452及第二NMOS裝置3454的 $V_T$ 之間。於實施方式，第三NMOS裝置3453與第二NMOS裝置3454之間的差異化的 $V_T$ 由使用調變的或差異化的植入摻雜於第三NMOS裝置3453的區域3462達成。於一此實施方式，第三N型裝置3453具有的通道區所具有的摻雜物濃度與第二N

型裝置3454的通道區的摻雜物濃度不同。

【0370】參照圖34B，在半導體主動區3470上方(例如，在矽鰭或基板上方)第一PMOS裝置3472相鄰第二PMOS裝置3474及第三PMOS裝置3473。第一PMOS裝置3472、第二PMOS裝置3474、及第三PMOS裝置3473包含閘極介電質層3476。第二PMOS裝置3474及第三PMOS裝置3473具有結構上相同或相似的閘極電極堆疊。唯，第一PMOS裝置3472相對於第二PMOS裝置3474及第三PMOS裝置3473而言具有結構上不同的閘極電極堆疊。特別是，第一PMOS裝置3472包含具有第一厚度的閘極電極導電層3478A(例如功函數層)、及閘極電極導電填充3480。第二PMOS裝置3474及第三PMOS裝置3473包含具有第二厚度的閘極電極導電層3478B、及閘極電極導電填充3480。於一實施方式，閘極電極導電層3478A及閘極電極導電層3478B具有相同的成分，但閘極電極導電層3478B的厚度(第二厚度)大於閘極電極導電層3478A的厚度(第一厚度)。於實施方式，第一PMOS裝置3472具有比第二PMOS裝置3474高的 $V_T$ 。於此一實施方式，第一PMOS裝置3472被稱為「標準 $V_T$ 」裝置，且第二PMOS裝置3474被稱為「低 $V_T$ 」裝置。於實施方式，差異化的 $V_T$ 由使用對於相同導電率類型裝置的差異化的閘極堆疊達成。於實施方式，第三PMOS裝置3473具有的 $V_T$ 不同於第一PMOS裝置3472及第二PMOS裝置3474的 $V_T$ ，即使第三PMOS裝置3473的閘極電極結構與第二PMOS裝置3474的閘極電極結構相同。

於一實施方式，第三PMOS裝置3473的VT在第一PMOS裝置3472及第二PMOS裝置3474的VT之間。於實施方式，第三PMOS裝置3473與第一PMOS裝置3472之間的差異化的VT由使用調變的或差異化的植入摻雜於第三PMOS裝置3473的區域3482達成。於一此實施方式，第三P型裝置3473具有的通道區所具有的摻雜物濃度與第二P型裝置3474的通道區的摻雜物濃度不同。

【0371】圖35A至35D描述於製造具有基於差異化的閘極電極結構的差異化的電壓臨界的NMOS裝置的方法中的多樣的操作的截面圖，根據本揭露的另一實施方式。

【0372】參照圖35A，其中「標準VT NMOS」區(STD VT NMOS)及「高VT NMOS」區(HIGH VT NMOS)顯示為分叉於共同基板上，製造積體電路結構的方法包含形成閘極介電質層3506在第一半導體鰭3502上方且在第二半導體鰭3504上方，例如在第一及第二矽鰭上方。P型金屬層3508形成於在第一半導體鰭3502上方且在第二半導體鰭3504上方的閘極介電質層3506上。

【0373】參照圖35B，P型金屬層3508的部分被從在第一半導體鰭3502上方的閘極介電質層3506移除，但P型金屬層3508的部分3509維持在第二半導體鰭3504上方的閘極介電質層3506上。

【0374】參照圖35C，N型金屬層3510形成在第一半導體鰭3502上方的閘極介電質層3506上，且在第二半導體鰭3504上方的閘極介電質層3506上的P型金屬層的部分

3509上。於實施方式，後續的製程包含形成第一N型裝置，其具有電壓臨界(VT)且在第一半導體鰭3502上方，及形成第二N型裝置，其具有電壓臨界(VT)且在第二半導體鰭3504上方，其中第二N型裝置的VT高於第一N型裝置的VT。

【0375】回到圖35D，於實施方式，導電填充金屬層3512形成在N型金屬層3510上。於一此實施方式，形成導電填充金屬層3512包含形成含鎢的膜，使用有六氟化鎢(WF<sub>6</sub>)前驅物的原子層沉積(ALD)。

【0376】圖36A至36D描述於製造具有基於差異化的閘極電極結構的差異化的電壓臨界的PMOS裝置的方法中的多樣的操作的截面圖，根據本揭露的另一實施方式。

【0377】參照圖36A，其中「標準VT PMOS」區(STD VT PMOS)及「低VT PMOS」區(LOW VT PMOS)顯示為分叉於共同基板上，製造積體電路結構的方法包含形成閘極介電質層3606在第一半導體鰭3602上方且在第二半導體鰭3604上方，例如在第一及第二矽鰭上方。第一P型金屬層3608形成於在第一半導體鰭3602上方且在第二半導體鰭3604上方的閘極介電質層3606上。

【0378】參照圖36B，第一P型金屬層3608的部分被從在第一半導體鰭3602上方的閘極介電質層3606移除，但第一P型金屬層3608的部分3609維持在第二半導體鰭3604上方的閘極介電質層3606上。

【0379】參照圖36C，第二P型金屬層3610形成在第一

半導體鰭3602上方的閘極介電質層3606上，且在第二半導體鰭3604上方的閘極介電質層3606上的第一P型金屬層的部分3609上。於實施方式，後續的製程包含形成第一P型裝置，其具有電壓臨界(VT)且在第一半導體鰭3602上方，及形成第二P型裝置，其具有電壓臨界(VT)且在第二半導體鰭3604上方，其中第二P型裝置的VT低於第一P型裝置的VT。

【0380】於一實施方式，第一P型金屬層3608及第二P型金屬層3610具有相同的成分。於一實施方式，第一P型金屬層3608及第二P型金屬層3610具有相同的厚度。於一實施方式，第一P型金屬層3608及第二P型金屬層3610具有相同的厚度及相同的成分。於一實施方式，縫3611在第一P型金屬層3608及第二P型金屬層3610之間，如所示。

【0381】參照圖36D，於實施方式，導電填充金屬層3612形成在P型金屬層3610上方。於一此實施方式，形成導電填充金屬層3612包含形成含鎢的膜，使用有六氟化鎢(WF<sub>6</sub>)前驅物的原子層沉積(ALD)。於一實施方式，在形成導電填充金屬層3612之前，N型金屬層3614形成在P型金屬層3610上，如所示。於一此實施方式，N型金屬層3614為雙金屬閘極取代製程方案的人造物。

【0382】於另一態樣，敘述了對於互補金屬氧化物半導體(CMOS)半導體裝置的金屬閘極結構。於例子中，圖37描述具有P/N接面的積體電路結構的截面圖，根據本揭露的實施方式。

【0383】參照圖37，積體電路結構3700包含半導體基板3702，具有有第一半導體鰭3706從其突出的N井區3704，及具有有第二半導體鰭3710從其突出的P井區3708。第一半導體鰭3706與第二半導體鰭3710間隔開。於半導體基板3702中N井區3704直接相鄰P井區3708。溝槽隔離結構3712於在第一半導體鰭3706及第二半導體鰭3210之間及之外的半導體基板3702上。第一半導體鰭3706及第二半導體鰭3210延伸於溝槽隔離結構3712之上。

【0384】閘極介電質層3714在第一半導體鰭3706及第二半導體鰭3710上且在溝槽隔離結構3712上。閘極介電質層3714在第一半導體鰭3706及第二半導體鰭3710之間連續。導電層3716在第一半導體鰭3706上方的閘極介電質層3714上方，但不在第二半導體鰭3710上方。於一實施方式，導電層3716包含鈦、氮及氧。p型金屬閘極層3718在第一半導體鰭3706上方的導電層3716上方，但不在第二半導體鰭3710上方。p型金屬閘極層3718更在第一半導體鰭3706及第二半導體鰭3710之間的溝槽隔離結構3712的部分上但不在全部上。n型金屬閘極層3720更在第二半導體鰭3710上方，在第一半導體鰭3706及第二半導體鰭3710之間的溝槽隔離結構3712上方，且在p型金屬閘極層3718上方。

【0385】於一實施方式，層間介電質(ILD)層3722在第一半導體鰭3706及第二半導體鰭3710的外側上的溝槽隔離結構3712之上。ILD層3722具有開口3724，開口3724暴

露第一半導體鰭3706及第二半導體鰭3710。於一此實施方式，導電層3716、p型金屬閘極層3718及n型金屬閘極層3720更形成為沿著開口3724的側壁3726，如所示。於特定的實施方式，導電層3716具有沿著開口3724的側壁3726的頂表面3717，在沿著開口3724的側壁3726的p型金屬閘極層3718的頂表面3719及n型金屬閘極層3720的頂表面3721之下。

【0386】於一此實施方式，p型金屬閘極層3718包含鈦及氮。於一實施方式，n型金屬閘極層3720包含鈦及鋁。於一實施方式，導電填充金屬層3730在n型金屬閘極層3720上方，如所示。於一此實施方式，導電填充金屬層3730包含鎢。於特定的實施方式，導電填充金屬層3730包含95或更大的原子百分比的鎢及0.1至2原子百分比的氟。於一實施方式，閘極介電質層3714具有包含鉛及氧的層。於一實施方式，熱或化學氧化物層3732在第一半導體鰭3706及第二半導體鰭3710的上部分之間，如所示。於一實施方式，半導體基板3702為塊狀矽半導體基板。

【0387】現在僅參照圖37的右手側，根據本揭露的實施方式，積體電路結構包含半導體基板3702，半導體基板3702包含具有半導體鰭3706突出於其上的N井區3704。溝槽隔離結構3712在半導體鰭3706附近的半導體基板3702上。半導體鰭3706延伸於溝槽隔離結構3712之上。閘極介電質層3714在半導體鰭3706上方。導電層3716在半導體鰭3706上方的閘極介電質層3714上方。於一實施方式，導電



層 3716 包含鈦、氮及氧。P 型金屬閘極層 3718 在半導體鰭 3706 上方的導電層 3716 上方。

【0388】於一實施方式，層間介電質 (ILD) 層 3722 在溝槽隔離結構 3712 之上。ILD 層具有開口，開口暴露半導體鰭 3706。導電層 3716 及 P 型金屬閘極層 3718 更形成為沿著開口的側壁。於一此實施方式，導電層 3716 具有沿著開口的側壁的頂表面，在沿著開口的側壁的 P 型金屬閘極層 3718 的頂表面之下。於一實施方式，P 型金屬閘極層 3718 在導電層 3716 上。於一實施方式，P 型金屬閘極層 3718 包含鈦及氮。於一實施方式，導電填充金屬層 3730 在 P 型金屬閘極層 3718 上方。於一此實施方式，導電填充金屬層 3730 包含鎢。於特定的實施方式，導電填充金屬層 3730 由 95 或更大的原子百分比的鎢及 0.1 至 2 原子百分比的氟構成。於一實施方式，閘極介電質層 3714 包含具有鉛及氧的層。

【0389】圖 38A 至 38H 描述於使用雙金屬閘極取代的閘極製程流程製造積體電路結構的方法中的多樣的操作的截面圖，根據本揭露的實施方式。

【0390】參照圖 38A，其顯示 NMOS(N 型)區及 PMOS(P 型)區，製造積體電路結構的方法包含形成層間介電質 (ILD) 層 3802 在基板 3800 之上的第一半導體鰭 3804 及第二半導體鰭 3806 之上。開口 3808 形成於 ILD 層 3802 中，開口 3808 暴露第一半導體鰭 3804 及第二半導體鰭 3806。於一實施方式，開口 3808 由移除一開始置於第一半導體鰭 3804 及

第二半導體鰭3806上方的閘極佔位器或虛置閘極結構形成。

【0391】閘極介電質層3810形成於開口3808中且在第一半導體鰭3804及第二半導體鰭3806上方且在第一半導體鰭3804及第二半導體鰭3806之間的溝槽隔離結構3812的部分上。於一實施方式，閘極介電質層3810形成於形成在第一半導體鰭3804及第二半導體鰭3806上的熱或化學氧化物層3811(例如，氧化矽或二氧化矽層)上，如所示。於另一實施方式，閘極介電質層3810形成為直接在第一半導體鰭3804及第二半導體鰭3806上。

【0392】導電層3814形成於形成在第一半導體鰭3804上方及第二半導體鰭3806上方的閘極介電質層3810上方。於一實施方式，導電層3814包含鈦、氮及氧。p型金屬閘極層3816形成於形成在第一半導體鰭3804及第二半導體鰭3806上方的導電層3814上方。

【0393】參照圖38B，介電質蝕刻停止層3818形成在p型金屬閘極層3816上。於一實施方式，介電質蝕刻停止層3818包含氧化矽(例如， $\text{SiO}_2$ )的第一層、在氧化矽的第一層上的氧化鋁(例如， $\text{Al}_2\text{O}_3$ )的層、及在氧化鋁的層上的氧化矽(例如， $\text{SiO}_2$ )的第二層。

【0394】參照圖38C，遮罩3820形成在圖38B的結構上方。遮罩3820覆蓋PMOS區且暴露NMOS區。

【0395】參照圖38D，介電質蝕刻停止層3818、p型金屬閘極層3816及導電層3814被圖案化以提供圖案化的介電

質蝕刻停止層 3819、圖案化的 p 型金屬閘極層 3817 在第一半導體鰭 3804 上方的圖案化的導電層 3815 上方，但不在第二半導體鰭 3806 上方。於實施方式，在圖案化期間導電層 3814 保護第二半導體鰭 3806。

【0396】參照圖 38E，遮罩 3820 從圖 38D 的結構移除。參照圖 3F，圖案化的介電質蝕刻停止層 3819 從圖 3E 的結構移除。

【0397】參照圖 38G，n 型金屬閘極層 3822 形成於第二半導體鰭 3806 上方、在第一半導體鰭 3804 及第二半導體鰭 3806 之間的溝槽隔離結構 3812 的部分上方、且在圖案化的 p 型金屬閘極層 3817 上方。於實施方式，圖案化的導電層 3815、圖案化的 p 型金屬閘極層 3817、及 n 型金屬閘極層 3822 更形成為沿著開口 3808 的側壁 3824。於一此實施方式，圖案化的導電層 3815 具有沿著開口 3808 的側壁 3824 的頂表面，在沿著開口 3808 的側壁 3824 的圖案化的 p 型金屬閘極層 3817 的頂表面及 n 型金屬閘極層 3822 的頂表面之下。

【0398】參照圖 38H，導電填充金屬層 3826 形成在 n 型金屬閘極層 3822 上方。於一實施方式，導電填充金屬層 3826 由沉積含鎢的膜形成，使用有六氟化鎢 ( $WF_6$ ) 前驅物的原子層沉積 (ALD)。

【0399】於另一態樣，敘述了對於互補金屬氧化物半導體 (CMOS) 半導體裝置的雙矽化物結構。作為範例製程流程，圖 39A 至 39H 描述代表在基於雙矽化物的積體電路

的製造方法中的多樣的操作的截面圖，根據本揭露的實施方式。

【0400】參照圖39A，其中NMOS區及PMOS區顯示為分叉於共同基板上，製造積體電路結構的方法包含在第一鰭3904(例如，第一矽鰭)上方形成第一閘極結構3902，其可包含介電質側壁間隔物3903。可包含介電質側壁間隔物3953的第二閘極結構3952形成於第二鰭3954(例如，第二矽鰭)上方。絕緣材料3906形成為相鄰在第一鰭3904上方的第一閘極結構3902且相鄰在第二鰭3954上方的第二閘極結構3952。於一實施方式，絕緣材料3906為犧牲材料，且用於作為雙矽化物製程中的遮罩。

【0401】參照圖39B，絕緣材料3906的第一部分從第一鰭3904上方移除但不從第二鰭3954上方移除，以暴露相鄰於第一閘極結構3902的第一鰭3904的第一源極或汲極區3908及第二源極或汲極區3910。於實施方式，第一源極或汲極區3908及第二源極或汲極區3910為形成於第一鰭3904的凹陷的部分內的磊晶區，如所示。於一此實施方式，第一源極或汲極區3908及第二源極或汲極區3910包含矽及鍺。

【0402】參照圖39C，第一金屬矽化物層3912形成於第一鰭3904的第一源極或汲極區3908及第二源極或汲極區3910上。於一實施方式，第一金屬矽化物層3912由以下形成：沉積包含鎳及鉑的層在圖39B的結構上、退火包含鎳及鉑的層、及移除包含鎳及鉑的層的未反應的部分。

【0403】參照圖39D，在形成第一金屬矽化物層3912之後，絕緣材料3906的第二部分從第二鰭3954上方移除，以暴露相鄰於第二閘極結構3952的第二鰭3954的第三源極或汲極區3958及第四源極或汲極區3960。於實施方式，第二源極或汲極區3958及第三源極或汲極區3960形成於第二鰭3954內，例如於第二矽鰭內，如所示。於另一實施方式，唯，第三源極或汲極區3958及第四源極或汲極區3960為形成於第二鰭3954的凹陷的部分內的磊晶區。於一此實施方式，第三源極或汲極區3958及第四源極或汲極區3960包含矽。

【0404】參照圖39E，第一金屬層3914形成於圖39D的結構上(即，於第一源極或汲極區3908、第二源極或汲極區3910、第三源極或汲極區3958及第四源極或汲極區3960上)。之後第二金屬矽化物層3962形成於第二鰭3954的第三源極或汲極區3958及第四源極或汲極區3960上。第二金屬矽化物層3962從第一金屬層3914形成，例如，使用退火製程。於實施方式，第二金屬矽化物層3962與第一金屬矽化物層3912的成分不同。於一實施方式，第一金屬層3914為或包含鈦層。於一實施方式，第一金屬層3914形成為共形金屬層，例如，與圖39D的開口溝槽共形，如所示。

【0405】參照圖39F，於實施方式，第一金屬層3914被凹陷以形成於第一源極或汲極區3908、第二源極或汲極區3910、第三源極或汲極區3958及第四源極或汲極區3960

的各者之上的U形金屬層3916。

【0406】參照圖39G，於實施方式，第二金屬層3918形成於圖39F的結構的U形金屬層3916上。於實施方式，第二金屬層3918與U形金屬層3916的成分不同。

【0407】參照圖39H，於實施方式，第三金屬層3920形成於圖39G的結構的第二金屬層3918上。於實施方式，第三金屬層3920具有的成分與U形金屬層3916的成分相同。

【0408】再參照圖3H，根據本揭露的實施方式，積體電路結構3900包含P型半導體裝置(PMOS)在基板之上。P型半導體裝置包含第一鰭3904，例如矽鰭。可以理解的是，第一鰭具有頂部(顯示為3904A)及側壁(例如，入及出紙面)。第一閘極電極3902包含第一閘極介電質層在第一鰭3904的頂部3904A上方且側向相鄰於第一鰭3904的側壁，且包含第一閘極電極在第一鰭3904的頂部3904A上方的第一閘極介電質層上方且側向相鄰第一鰭3904的側壁。第一閘極電極3902具有第一側3902A及相對於第一側3902A的第二側3902B。

【0409】第一半導體源極或汲極區3908及第二半導體源極或汲極區3910分別相鄰第一閘極電極3902的第一側3902A及第二側3902B。第一溝槽接觸物結構3930及第二溝槽接觸物結構3932在第一半導體源極或汲極區3908及第二半導體源極或汲極區3910上方，第一半導體源極或汲極區3908及第二半導體源極或汲極區3910分別相鄰第一閘極

電極 3902 的第一側 3902A 及第二側 3902B。第一金屬矽化物層 3912 直接分別於第一溝槽接觸物結構 3930 與第二溝槽接觸物結構 3932 之間及第一半導體源極或汲極區 3908 與第二半導體源極或汲極區 3910 之間。

【0410】積體電路結構 3900 包含 N 型半導體 (例如, NMOS) 裝置於基板之上。N 型半導體裝置包含第二鰭 3954, 例如第二矽鰭。可以理解的是, 第二鰭具有頂部 (顯示為 3954A) 及側壁 (例如, 入及出紙面)。第二閘極電極 3952 包含第二閘極介電質層在第二鰭 3954 的頂部 3954A 上方且側向相鄰第二鰭 3954 的側壁, 且包含第二閘極電極在第二鰭 3954 的頂部 3954A 上方的第二閘極介電質層上方且側向相鄰第二鰭 3954 的側壁。第二閘極電極 3952 具有第一側 3952A 及相對於第一側 3952A 的第二側 3952B。

【0411】第三半導體源極或汲極區 3958 及第四半導體源極或汲極區 3960 分別相鄰第二閘極電極 3952 的第一側 3952A 及第二側 3952B。第三溝槽接觸物結構 3970 及第四溝槽接觸物結構 3972 在第三半導體源極或汲極區 3958 及第四半導體源極或汲極區 3960 上方, 第三半導體源極或汲極區 3958 及第四半導體源極或汲極區 3960 分別相鄰第二閘極電極 3952 的第一側 3952A 及第二側 3952B。第二金屬矽化物層 3962 直接分別於第三溝槽接觸物結構 3970 與第四溝槽接觸物結構 3972 之間及第三半導體源極或汲極區 3958 與第四半導體源極或汲極區 3960 之間。於實施方式, 第一金屬矽化物層 3912 包含: 不包含於第二金屬矽化物層 3962 中的

至少一金屬物種。

【0412】於一實施方式，第二金屬矽化物層3962包含鈦及矽。第一金屬矽化物層3912包含鎳、鉑及矽。於一實施方式，第一金屬矽化物層3912更包含鍺。於一實施方式，第一金屬矽化物層3912更包含鈦，例如，在後續的第二金屬矽化物層3962以第一金屬層3914形成的期間併入第一金屬矽化物層3912。於此一實施方式，已形成於PMOS源極或汲極區上的矽化物層更由用以形成矽化物區在NMOS源極或汲極區上的退火製程修改。這可造成具有全部矽化金屬的部分百分比的在PMOS源極或汲極區上的矽化物層。唯，於其它實施方式，此於PMOS源極或汲極區上的矽化物層在由用以形成矽化物區在NMOS源極或汲極區上的退火製程不改變或不實質改變。

【0413】於一實施方式，第一半導體源極或汲極區3908及第二半導體源極或汲極區3910為包含矽及鍺的第一嵌入半導體源極或汲極區及第二嵌入半導體源極或汲極區。於此一實施方式，第三半導體源極或汲極區3958及第四半導體源極或汲極區3960為包含矽的第三嵌入半導體源極或汲極區及第四嵌入半導體源極或汲極區。於另一實施方式，第三半導體源極或汲極區3958及第四半導體源極或汲極區3960為形成於鰭3954中且非嵌入磊晶區。

【0414】於實施方式，第一溝槽接觸物結構3930、第二溝槽接觸物結構3932、第三溝槽接觸物結構3970及第四溝槽接觸物結構3972都包含U形金屬層3916及在U形金屬



層 3916 的整個上及上方的 T 形金屬層 3918。於一實施方式，U 形金屬層 3916 包含鈦，且 T 形金屬層 3198 包含鈷。於一實施方式，第一溝槽接觸物結構 3930、第二溝槽接觸物結構 3932、第三溝槽接觸物結構 3970 及第四溝槽接觸物結構 3972 都更包含第三金屬層 3920 在 T 形金屬層 3918 上。於一實施方式，第三金屬層 3920 與 U 形金屬層 3916 具有相同成分。於特定實施方式，第三金屬層 3920 及 U 形金屬層 3916 包含鈦，且 T 形金屬層 3918 包含鈷。

【0415】於另一態樣，溝槽接觸物結構(例如，對源極或汲極區)被敘述。於例子中，圖 40A 描述對於 NMOS 裝置的具有溝槽接觸物的積體電路結構的截面圖，根據本揭露的實施方式。圖 40B 描述對於 PMOS 裝置的具有溝槽接觸物的積體電路結構的截面圖，根據本揭露的另一實施方式。

【0416】參照圖 40A，積體電路結構 4000 包含鰭 4002，例如矽鰭。閘極介電質層 4004 在鰭 4002 上方。閘極電極 4006 在閘極介電質層 4004 上方。於實施方式，閘極電極 4006 包含共形的導電層 4008 及導電填充 4010。於實施方式，介電質帽 4012 在閘極電極 4006 上方且在閘極介電質層 4004 上方。閘極電極具有第一側 4006A 及相對於第一側 4006A 的第二側 4006B。介電質間隔物 4013 為沿著閘極電極 4006 的側壁。於一實施方式，閘極介電質層 4004 更在介電質間隔物 4013 的第一者與閘極電極 4006 的第一側 4006A 之間，且在介電質層間隔物 4013 的第二者與閘極電極 4006

的第二側 4006B 之間，如所示。於實施方式，雖然未示出，薄氧化物層，例如，熱或化學矽氧化物或二氧化矽層在鰭 4002 及閘極介電質層 4004 之間。

【0417】第一半導體源極或汲極區 4014 及第二半導體源極或汲極區 4016 分別相鄰閘極電極 4006 的第一側 4006A 及第二側 4006B。於實施方式，第一半導體源極或汲極區 4014 及第二半導體源極或汲極區 4016 於鰭 4002 內，如所示。唯，於另一實施方式，第一半導體源極或汲極區 4014 及第二半導體源極或汲極區 4016 為形成於鰭 4002 的凹部中的嵌入磊晶區。

【0418】第一溝槽接觸物結構 4018 及第二溝槽接觸物結構 4020 在第一半導體源極或汲極區 4014 及第二半導體源極或汲極區 4016 上方，第一半導體源極或汲極區 4014 及第二半導體源極或汲極區 4016 分別相鄰閘極電極 4006 的第一側 4006A 及第二側 4006B。第一溝槽接觸物結構 4018 及第二溝槽接觸物結構 4020 皆包含 U 形金屬層 4022 及在 U 形金屬層 4022 的整個上及上方的 T 形金屬層 4024。於一實施方式，U 形金屬層 4022 與 T 形金屬層 4024 的成分不同。於一此實施方式，U 形金屬層 4022 包含鈦，且 T 形金屬層 4024 包含鈷。於一實施方式，第一溝槽接觸物結構 4018 及第二溝槽接觸物結構 4020 皆更包含第三金屬層 4026 在 T 形金屬層 4024 上。於一此實施方式，第三金屬層 4026 與 U 形金屬層 4022 具有相同成分。於特定實施方式，第三金屬層 4026 及 U 形金屬層 4022 包含鈦，且 T 形金屬層 4024 包含鈷。

【0419】第一溝槽接觸通孔4028電連接於第一溝槽接觸物4018。於特定實施方式，第一溝槽接觸通孔4028在第一溝槽接觸物4018的第三金屬層4026上且與其耦合。第一溝槽接觸通孔4028更在介電質間隔物4013的一者的部分上方且與其接觸，且在介電質帽4012的部分上方且與其接觸。第二溝槽接觸通孔4030電連接於第二溝槽接觸物4020。於特定實施方式，第二溝槽接觸通孔4030在第二溝槽接觸物4020的第三金屬層4026上且與其耦合。第二溝槽接觸通孔4030更在介電質間隔物4013的另一者的部分上方且與其接觸，且在介電質帽4012的另一部分上方且與其接觸。

【0420】於實施方式，金屬矽化物層4032直接分別於第一溝槽接觸物結構4018與第二溝槽接觸物結構4020之間及第一半導體源極或汲極區4014與第二半導體源極或汲極區4016之間。於一實施方式，金屬矽化物層4032包含鈦及矽。於特定此實施方式，第一半導體源極或汲極區4014及第二半導體源極或汲極區4016為第一及第二N型半導體源極或汲極區。

【0421】參照圖40B，積體電路結構4050包含鰭4052，例如矽鰭。閘極介電質層4054在鰭4052上方。閘極電極4056在閘極介電質層4054上方。於實施方式，閘極電極4056包含共形的導電層4058及導電填充4060。於實施方式，介電質帽4062在閘極電極4056上方且在閘極介電質層4054上方。閘極電極具有第一側4056A及相對於第一側

4056A的第二側4056B。介電質間隔物4063為沿著閘極電極4056的側壁。於一實施方式，閘極介電質層4054更在介電質間隔物4063的第一者與閘極電極4056的第一側4056A之間，且在介電質層間隔物4063的第二者與閘極電極4056的第二側4056B之間，如所示。於實施方式，雖然未示出，薄氧化物層，例如，熱或化學矽氧化物或二氧化矽層在鰭4052及閘極介電質層4054之間。

【0422】第一半導體源極或汲極區4064及第二半導體源極或汲極區4066分別相鄰閘極電極4056的第一側4056A及第二側4056B。於一實施方式，第一半導體源極或汲極區4064及第二半導體源極或汲極區4066分別為形成於鰭4052的凹部4065及4067中的嵌入磊晶區，如所示。唯，於另一實施方式，第一半導體源極或汲極區4064及第二半導體源極或汲極區4066在鰭4052中。

【0423】第一溝槽接觸物結構4068及第二溝槽接觸物結構4070在第一半導體源極或汲極區4064及第二半導體源極或汲極區4066上方，第一半導體源極或汲極區4064及第二半導體源極或汲極區4066分別相鄰閘極電極4056的第一側4056A及第二側4056B。第一溝槽接觸物結構4068及第二溝槽接觸物結構4070皆包含U形金屬層4072及在U形金屬層4072的整個上及上方的T形金屬層4074。於一實施方式，U形金屬層4072與T形金屬層4074的成分不同。於此一實施方式，U形金屬層4072包含鈦，且T形金屬層4074包含鈷。於一實施方式，第一溝槽接觸物結構4068及第二

溝槽接觸物結構 4070 皆更包含第三金屬層 4076 在 T 形金屬層 4074 上。於一此實施方式，第三金屬層 4076 與 U 形金屬層 4072 具有相同成分。於特定實施方式，第三金屬層 4076 及 U 形金屬層 4072 包含鈦，且 T 形金屬層 4074 包含鈷。

【0424】第一溝槽接觸通孔 4078 電連接於第一溝槽接觸物 4068。於特定實施方式，第一溝槽接觸通孔 4078 在第一溝槽接觸物 4068 的第三金屬層 4076 上且與其耦合。第一溝槽接觸通孔 4078 更在介電質間隔物 4063 的一者的部分上方且與其接觸，且在介電質帽 4062 的部分上方且與其接觸。第二溝槽接觸通孔 4080 電連接於第二溝槽接觸物 4070。於特定實施方式，第二溝槽接觸通孔 4080 在第二溝槽接觸物 4070 的第三金屬層 4076 上且與其耦合。第二溝槽接觸通孔 4080 更在介電質間隔物 4063 的另一者的部分上方且與其接觸，且在介電質帽 4062 的另一部分上方且與其接觸。

【0425】於實施方式，金屬矽化物層 4082 直接分別於第一溝槽接觸物結構 4068 與第二溝槽接觸物結構 4070 之間及第一半導體源極或汲極區 4064 與第二半導體源極或汲極區 4066 之間。於一實施方式，金屬矽化物層 4082 包含鎳、鉑及矽。於特定此實施方式，第一半導體源極或汲極區 4064 及第二半導體源極或汲極區 4066 為第一及第二 P 型半導體源極或汲極區。於一實施方式，金屬矽化物層 4082 更包含鍺。於一實施方式，金屬矽化物層 4082 更包含鈦。

【0426】於此所述的一或更多實施方式係針對對於捲

繞半導體接觸物的金屬化學氣相沉積的使用。實施方式可應用於或包含化學氣相沉積(CVD)、電漿增強化學氣相沉積(PECVD)、原子層沉積(ALD)、導電接觸物製造、或薄膜的一或多者。

【0427】特定實施方式可包含鈦或類似的金屬層的製造，使用接觸物金屬的低溫(例如，小於攝氏500度，或在攝氏400至500度的範圍)化學氣相沉積以提供共形的源極或汲極接觸物。此共形的源極或汲極接觸物的實施可改進三維(3D)電晶體互補金屬氧化物半導體(CMOS)表現。

【0428】提供脈絡，金屬對半導體接觸層可使用濺射沉積。濺射為瞄準線製程，且不能良好適用於3D電晶體製造。已知的濺射方案具有差的或不完整的金屬-半導體接面於裝置接觸表面上，有沉積的入射的角度。

【0429】根據本揭露的一或更多實施方式，低溫化學氣相沉積製程對於接觸物金屬實施以提供在三維中的共形且極大化金屬半導體接面接觸面積。所成的較大的接觸面積可減少接面的電阻。實施方式可包含沉積於具有非平的拓樸的半導體表面上，其中區域的拓樸表示表面形狀及特徵本身，且非平的拓樸包含表面形狀及特徵或表面形狀及特徵的部分，其為非平的，即，表面形狀及特徵不是完整平的。

【0430】於此所述的實施方式可包含捲繞接觸物結構的製造。於一此實施方式，敘述了使用純金屬共形地沉積於電晶體源極-汲極接觸物上，由化學氣相沉積、電漿增

強化學氣相沉積、原子層沉積、或電漿增強原子層沉積。此共形沉積可用以增加金屬半導體接觸物的可用面積且降低電阻，改進電晶體裝置的表現。於實施方式，沉積的相對低溫導致每單位面積的接面的極小化的電阻。

【0431】可以理解的是，多樣的積體電路結構可使用整合方案製造，涉及金屬層沉積製程，如於此所述的。根據本揭露的實施方式，積體電路結構的製造方法包含提供基板於具有RF源的化學氣相沉積(CVD)腔中，基板具有特徵於其上。方法亦包含反應四氯化鈦( $\text{TiCl}_4$ )及氫( $\text{H}_2$ )以形成鈦(Ti)層於基板的特徵上。

【0432】於實施方式，鈦層具有的總原子成分包含98%或更大的鈦及0.5至2%的氯。於替代的實施方式，相似的製程用以製造鋯(Zr)、鈦(Hf)、鉭(Ta)、鈮(Nb)或釩(V)的高純度金屬層。於實施方式，有相對小的膜厚變化，例如，於實施方式，所有覆蓋率大於50%且標稱是70%或更大(即，厚度變化30%或更小)。於實施方式，於矽(Si)或矽鍺(SiGe)上的厚度可量測地大於其它表面，因為在沉積期間Si或SiGe反應且加速Ti。於實施方式，膜成分包含約0.5%的Cl(或小於1%)作為雜質，實質沒有其它觀察到的雜質。於實施方式，沉積製程致能於非瞄準線表面上的金屬覆蓋率，例如由濺射沉積瞄準線隱藏的表面。由減少驅動經過源極及汲極接觸物的電流的外部電阻，於此所述的實施方式可被實施以改進電晶體裝置驅動。

【0433】根據本揭露的實施方式，基板的特徵為暴露

半導體源極或汲極結構的源極或汲極接觸物溝槽。鈦層(或其它高純度金屬層)為對於半導體源極或汲極結構的導電接觸層。此實施例的範例實施方式於下關聯圖41A、41B、42、43A至43C及44敘述。

【0434】圖41A描述具有在源極或汲極區上的導電接觸物的半導體裝置的截面圖，根據本揭露的實施方式。

【0435】參照圖41A，半導體結構4100包含閘極結構4102在基板4104之上。閘極結構4102包含閘極介電質層4102A、功函數層4102B、及閘極填充4102C。源極區4108及汲極區4110在閘極結構4102的相對側上。源極或汲極接觸物4112電連接於源極區4108及汲極區4110，且由層間介電質層4114或閘極介電質間隔物4116的一或兩者與閘極結構4102間隔開。源極區4108及汲極區4110為基板4104的區域。

【0436】於實施方式，源極或汲極接觸物4112包含高純度金屬層4112A，例如於上所述的，及導電溝槽填充材料4112B。於一實施方式，高純度金屬層4112A具有的總原子成分包含98%或更大的鈦。於一此實施方式，高純度金屬層4112A的總原子成分更包含0.5至2%的氯。於實施方式，高純度金屬層4112A具有30%或更小的厚度變化。於實施方式，導電溝槽填充材料4112B由導電材料構成，例如但不限於，Cu、Al、W或其合金。

【0437】圖41B描述具有在升起的源極或汲極區上的導電物的另一半導體裝置的截面圖，根據本揭露的實施方



式。

【0438】參照圖41B，半導體結構4150包含閘極結構4152在基板4154之上。閘極結構4152包含閘極介電質層4152A、功函數層4152B、及閘極填充4152C。源極區4158及汲極區4160在閘極結構4152的相對側上。源極或汲極接觸物4162電連接於源極區4158及汲極區4160，且由層間介電質層4164或閘極介電質間隔物4166的一或兩者與閘極結構4152間隔開。源極區4158及汲極區4160為形成於基板4154的蝕刻掉的區域的磊晶或嵌入材料區。如所示，於實施方式，源極區4158及汲極區4160為升起的源極及汲極區。於特定的此實施方式，升起的源極及汲極區為升起的矽源極及汲極區或升起的鍺源極及汲極區。

【0439】於實施方式，源極或汲極接觸物4162包含高純度金屬層4162A，例如於上所述的，及導電溝槽填充材料4162B。於一實施方式，高純度金屬層4162A具有的總原子成分包含98%或更大的鈦。於一此實施方式，高純度金屬層4162A的總原子成分更包含0.5至2%的氯。於實施方式，高純度金屬層4162A具有30%或更小的厚度變化。於實施方式，導電溝槽填充材料4162B由導電材料構成，例如但不限於，Cu、Al、W或其合金。

【0440】據此，於實施方式，整體參照圖41A及41B，積體電路結構包含具有表面的特徵(源極或汲極接觸物溝槽暴露半導體源極或汲極結構)。高純度金屬層4112A或4162A在源極或汲極接觸物溝槽的表面上。可以理解的

是，接觸物形成製程可涉及源極或汲極區的暴露的矽或鍺或矽鍺材料的消耗。此消耗可劣化裝置表現。相對地，根據本揭露的實施方式，半導體源極(4108或4158)或汲極(4110或4160)結構的表面(4149或4199)不被侵蝕或消耗或不被實質侵蝕或消耗於源極或汲極接觸物溝槽下面。於此一實施方式，消耗或侵蝕的缺乏源自高純度金屬接觸層的低溫沉積。

【0441】圖42描述在半導體鰭的對上方的複數閘極線的平面圖，根據本揭露的實施方式。

【0442】參照圖42，複數主動閘極線4204形成於複數半導體鰭4200上方。虛置閘極線4206於複數半導體鰭4200的端部。在閘極線4204/4206之間的間隔4208為溝槽接觸物可形成作為對於源極或汲極區的導電接觸物的位置，例如，源極或汲極區4251、4252、4253及4254。

【0443】圖43A至43C描述對於製造積體電路結構的方法中的多樣的操作的沿圖42的a-a'軸的截面圖，根據本揭露的實施方式。

【0444】參照圖43A，複數主動閘極線4304形成於半導體鰭4302上方，半導體鰭4302形成於基板4300之上。虛置閘極線4306於複數半導體鰭4302的端部。介電質層4310在主動閘極線4304之間，在虛置閘極線4306與主動閘極線4304之間，且在虛置閘極線4306外。嵌入的源極或汲極結構4308在主動閘極線4304之間且在虛置閘極線4306與主動閘極線4304之間的半導體鰭4302中。主動閘極線4304包含

閘極介電質層 4312、功函數閘極電極部分 4314 及填充閘極電極部分 4316、及介電質帽層 4318。介電質間隔物 4320 沿著主動閘極線 4304 及虛置閘極線 4306 的側壁。

【0445】參照圖 43B，在主動閘極線 4304 之間及在虛置閘極線 4306 與主動閘極線 4304 之間的介電質層 4310 的部分被移除以提供開口 4330 於溝槽接觸物要被形成的位置。在主動閘極線 4304 之間及在虛置閘極線 4306 與主動閘極線 4304 之間的介電質層 4310 的部分的移除可導致嵌入的源極或汲極結構 4308 的侵蝕以提供侵蝕的嵌入的源極或汲極結構 4332，其可具有上鞍形拓樸，如圖 43B 所示。

【0446】參照圖 43C，溝槽接觸物 4334 形成於主動閘極線 4304 之間及在虛置閘極線 4306 與主動閘極線 4304 之間的開口 4330 中。各溝槽接觸物 4334 可包含金屬接觸層 4336 及導電填充材料 4338。

【0447】圖 44 描述對於積體電路結構的沿圖 42 的 b-b' 軸的截面圖，根據本揭露的實施方式。

【0448】參照圖 44，鰭 4402 示出於基板 4404 之上。鰭 4402 的下部分由溝槽隔離材料 4404 圍繞。鰭 4402 的上部分已被移除以致能嵌入源極及汲極結構 4406 的生長。溝槽接觸物 4408 形成於介電質層 4410 的開口中，開口暴露嵌入源極及汲極結構 4406。溝槽接觸層包含金屬接觸層 4412 及導電填充材料 4414。可以理解的是，根據實施方式，金屬接觸層 4412 延伸於溝槽接觸物 4408 的頂部，如圖 44 所示。於另一實施方式，唯，金屬接觸層 4412 不延伸於溝槽接觸物

4408的頂部且於溝槽接觸物4408內凹陷一些，例如，相似於圖43C所示的金屬接觸層4336。

【0449】據此，整體參照圖42、43A至43C及44，根據本揭露的實施方式，積體電路結構包含半導體鰭(4200、4302、4402)於基板(4300、4400)之上。半導體鰭(4200、4302、4402)具有頂部及側壁。閘極電極(4204、4304)在半導體鰭(4200、4302、4402)的部分的頂部上方且相鄰其側壁。閘極電極(4204、4304)在半導體鰭(4200、4302、4402)中定義通道區。第一半導體源極或汲極結構(4251、4332、4406)在閘極電極(4204、4304)的第一側的通道區的第一端部，第一半導體源極或汲極結構(4251、4332、4406)具有非平面拓樸。第二半導體源極或汲極結構(4252、4332、4406)在閘極電極(4204、4304)的第二側的通道區的第二端部，第二端部與第一端部相對，且第二側與第一側相對。第二半導體源極或汲極結構(4252、4332、4406)具有非平面拓樸。金屬接觸物材料(4336、4412)直接於第一半導體源極或汲極結構(4251、4332、4406)上，且直接於第二半導體源極或汲極結構(4252、4332、4406)上。金屬接觸物材料(4336、4412)與第一半導體源極或汲極結構(4251、4332、4406)的非平面拓樸共形，且與第二半導體源極或汲極結構(4252、4332、4406)的非平面拓樸共形。

【0450】於實施方式，金屬接觸物材料(4336、4412)具有的總原子成分包含95%或更大的單金屬物種。於此一

實施方式，金屬接觸物材料(4336、4412)具有的總原子成分包含98%或更大的鈦。於特定此實施方式，金屬接觸物材料(4336、4412)的總原子成分更包含0.5至2%的氯。於實施方式，金屬接觸物材料(4336、4412)具有30%或更少的厚度變化沿著第一半導體源極或汲極結構(4251、4332、4406)的非平面拓樸且沿著第二半導體源極或汲極結構(4252、4332、4406)的非平面拓樸。

【0451】於實施方式，第一半導體源極或汲極結構(4251、4332、4406)的非平面拓樸及第二半導體源極或汲極結構(4252、4332、4406)的非平面拓樸都包含升起的中央部分及下側部分，例如，如圖44所示。於實施方式，第一半導體源極或汲極結構(4251、4332、4406)的非平面拓樸及第二半導體源極或汲極結構(4252、4332、4406)的非平面拓樸都包含鞍形的部分，例如，如圖43C所示。

【0452】於實施方式，第一半導體源極或汲極結構(4251、4332、4406)及第二半導體源極或汲極結構(4252、4332、4406)都包含矽。於實施方式，第一半導體源極或汲極結構(4251、4332、4406)及第二半導體源極或汲極結構(4252、4332、4406)都更包含鍺，例如，以矽鍺的形式。

【0453】於實施方式，直接於第一半導體源極或汲極結構(4251、4332、4406)上的金屬接觸物材料(4336、4412)更沿著第一半導體源極或汲極結構(4251、4332、4406)上方的介電質層(4320、4410)中的溝槽的側壁，溝槽

暴露第一半導體源極或汲極結構(4251、4332、4406)的部分。於一此實施方式，沿著溝槽的側壁的金屬接觸物材料(4336)的厚度從第一半導體源極或汲極結構(於4332的4336A)往第一半導體源極或汲極結構(4332)之上的位置(4336B)薄化，如圖43C描述的例子。於實施方式，導電填充材料(4338、4414)在溝槽內的金屬接觸物材料(4336、4412)上，如圖43C及44所示。

【0454】於實施方式，積體電路結構更包含具有頂部及側壁的第二半導體鰭(例如，圖42的上鰭4200，以及4302、4402)。閘極電極(4204、4304)更在第二半導體鰭的部分的頂部上方且相鄰其側壁，閘極電極定義第二半導體鰭中的通道區。第三半導體源極或汲極結構(4253、4332、4406)在閘極電極(4204、4304)的第一側的第二半導體鰭的通道區的第一端部，第三半導體源極或汲極結構具有非平面拓撲。第四半導體源極或汲極結構(4254、4332、4406)在閘極電極(4204、4304)的第二側的第二半導體鰭的通道區的第二端部，第二端部與第一端部相對，第四半導體源極或汲極結構(4254、4332、4406)具有非平面拓撲。金屬接觸物材料(4336、4412)直接在第三半導體源極或汲極結構(4253、4332、4406)上且直接在第四半導體源極或汲極結構(4254、4332、4406)上，金屬接觸物材料(4336、4412)與第三半導體源極或汲極結構(4253、4332、4406)的非平面拓撲共形，且與第四半導體源極或汲極結構(4254、4332、4406)的非平面拓撲共形。於實施方式，

金屬接觸物材料(4336、4412)在第一半導體源極或汲極結構(4251、4332、左側4406)與第三半導體源極或汲極結構(4253、4332、右側4406)之間連續，且在第二半導體源極或汲極結構(4252)與第四半導體源極或汲極結構(4254)之間連續。

【0455】於另一態樣，硬遮罩材料可用以保存(阻礙侵蝕)，且可留在導電溝槽接觸物中斷的溝槽線位置(例如，於接觸插塞位置)的介電質材料上方。例如，圖45A及45B分別描述包含有硬遮罩材料於其上的溝槽接觸插塞的積體電路結構的分別的平面圖及對應的截面圖，根據本揭露的實施方式。

【0456】參照圖45A及45B，於實施方式，積體電路結構4500包含鰭4502A，例如矽鰭。複數閘極結構4506在鰭4502A上方。閘極結構4506的個別者為沿著與鰭4502A正交的方向4508，且具有介電質側壁間隔物4510的對。溝槽接觸物結構4512在鰭4502A上方且直接在閘極結構4506的第一對4506A/4506B的介電質側壁間隔物4510之間。接觸插塞4514B在鰭4502A上方且直接在閘極結構4506的第二對4506B/4506C的介電質側壁間隔物4510之間。接觸插塞4514B包含下介電質材料4516及上硬遮罩材料4518。

【0457】於實施方式，接觸插塞4516B的下介電質材料4516包含矽及氧，例如氧化矽或二氧化矽材料。接觸插塞4516B的上硬遮罩材料4518包含矽及氮，例如，氮化矽、矽較多的氮化矽、或矽較少的氮化矽材料。

【0458】於實施方式，溝槽接觸物結構4512包含下導電結構4520及介電質帽4522在下導電結構4520上。於一實施方式，溝槽接觸物結構4512的介電質帽4522具有的上表面與接觸插塞4514B的上硬遮罩材料4518的上表面共平面，如所示。

【0459】於實施方式，複數閘極結構4506的個別者包含閘極電極4524在閘極介電質層4526上。介電質帽4528在閘極電極4524上。於一實施方式，複數閘極結構4506的個別者的介電質帽4528具有的上表面與接觸插塞4514B的上硬遮罩材料4518的上表面共平面，如所示。於實施方式，雖然未示出，薄氧化物層(例如，熱或化學矽氧化物或二氧化矽層)在鰭4502A及閘極介電質層4526之間。

【0460】參照圖45A及45B，於實施方式，積體電路結構4500包含複數鰭4502，例如複數矽鰭。複數鰭4502的個別者為沿著第一方向4504。複數閘極結構4506在複數鰭4502上方。複數閘極結構4506的個別者為沿著與第一方向4504正交的第二方向4508。複數閘極結構4506的個別者具有介電質側壁間隔物4510的對。溝槽接觸物結構4512在複數鰭4502的第一鰭4502A上方且直接在閘極結構4506的對的介電質側壁間隔物4510之間。接觸插塞4514A在複數鰭4502的第二鰭4502B上方且直接在閘極結構4506的對的介電質側壁間隔物4510之間。相似於接觸插塞4514B的截面圖，接觸插塞4514A包含下介電質材料4516及上硬遮罩材料4518。



【0461】於實施方式，接觸插塞4516A的下介電質材料4516包含矽及氧，例如氧化矽或二氧化矽材料。接觸插塞4516A的上硬遮罩材料4518包含矽及氮，例如，氮化矽、矽較多的氮化矽、或矽較少的氮化矽材料。

【0462】於實施方式，溝槽接觸物結構4512包含下導電結構4520及介電質帽4522在下導電結構4520上。於一實施方式，溝槽接觸物結構4512的介電質帽4522具有的上表面與接觸插塞4514A或4514B的上硬遮罩材料4518的上表面共平面，如所示。

【0463】於實施方式，複數閘極結構4506的個別者包含閘極電極4524在閘極介電質層4526上。介電質帽4528在閘極電極4524上。於一實施方式，複數閘極結構4506的個別者的介電質帽4528具有的上表面與接觸插塞4514A或4514B的上硬遮罩材料4518的上表面共平面，如所示。於實施方式，雖然未示出，薄氧化物層(例如，熱或化學矽氧化物或二氧化矽層)在鰭4502A及閘極介電質層4526之間。

【0464】本揭露的一或更多實施方式係對於閘極對準接觸物製程。此製程可被實施以形成用於半導體結構製造(例如，用於積體電路製造)的接觸物結構。於實施方式，接觸物圖案形成為對準於存在的閘極圖案。相對地，其它方式典型涉及額外的微影製程，有對於存在的閘極圖案的微影接觸物圖案的緊密對準，及與選擇性的接觸物蝕刻的組合。例如，其它製程可包含多晶(閘極)柵的圖案化，其

有分開的接觸物及接觸插塞的圖案化。

【0465】根據於此所述的一或更多實施方式，接觸物形成的方法涉及接觸物圖案的形成，其大致完美對準於存在的閘極圖案，同時消除有非常緊密的對準預算的微影操作的使用。於一此實施方式，此方式致能本質高選擇性濕蝕刻(例如，相對於乾或電漿蝕刻)的使用以產生接觸開口。於實施方式，接觸物圖案使用存在的閘極圖案與接觸插塞微影操作的組合形成。於一此實施方式，方式致能消除對於如於其它方式中使用的另外的關鍵微影操作以產生接觸物圖案的需求。於實施方式，溝槽接觸物柵不是分開地圖案化，而是形成於多晶(閘極)線之間。例如，於一此實施方式，溝槽接觸物柵在閘極柵圖案化之後形成，但在閘極柵切割之前。

【0466】圖46A至46D描述表示製造包含有硬遮罩材料於其上的溝槽接觸插塞的積體電路結構的方法的多樣的操作的截面圖，根據本揭露的實施方式。

【0467】參照圖46A，製造積體電路結構的方法包含形成複數鰭，複數鰭的個別者4602具有沿著第一方向4604。複數鰭的個別者4602可包含擴散區4606。複數閘極結構4608在複數鰭上方。複數閘極結構4508的個別者為沿著與第一方向4604正交的第二方向4610(例如，方向4610為入及出紙面)。犧牲材料結構4612形成於閘極結構4608的第一對之間。接觸插塞4614在閘極結構4608的第二對之間。接觸插塞包含下介電質材料4616。硬遮罩材料4618在

下介電質材料4616上。

【0468】於實施方式，閘極結構4608包含犧牲或虛置閘極堆疊及介電質間隔物4609。犧牲或虛置閘極堆疊可由多晶矽或氮化矽柱或一些其它犧牲材料構成，其可被稱為閘極虛置材料。

【0469】參照圖46B，犧牲材料結構4612從圖46A的結構移除以形成開口4620在閘極結構4608的第一對之間。

【0470】參照圖46C，溝槽接觸物結構4622形成於在閘極結構4608的第一對之間的開口4620中。此外，於實施方式，作為形成溝槽接觸物結構4622的部分，圖46A及46B的硬遮罩4618被平坦化。最終完成的接觸插塞4614'包含下介電質材料4616及上硬遮罩材料4624從硬遮罩材料4618形成。

【0471】於實施方式，接觸插塞4614'的各者的下介電質材料4616包含矽及氧，且接觸插塞4614'的各者的上硬遮罩材料4624包含矽及氮。於實施方式，溝槽接觸物結構4622的各者包含下導電結構4626及介電質帽4628在下導電結構4626上。於一實施方式，溝槽接觸物結構4622的介電質帽4628具有的上表面與接觸插塞4614'的上硬遮罩材料4624的上表面共平面。

【0472】參照圖46D，閘極結構4608的犧牲或虛置閘極堆疊於取代閘極製程方案中被取代。於此方案，虛置閘極材料，例如多晶矽或氮化矽柱材料，被移除且以永久閘極電極材料取代。於一此實施方式，永久閘極介電質層亦

於此製程形成，而不是於更早的製程進行。

【0473】據此，永久閘極結構4630包含永久閘極介電質層4632及永久閘極電極層或堆疊4634。此外，於實施方式，永久閘極結構4630的頂部被移除，例如，由蝕刻製程，且以介電質帽4636取代。於實施方式，永久閘極結構4630的個別者的介電質帽4636具有的上表面與接觸插塞4614'的上硬遮罩材料4624的上表面共平面。

【0474】參照圖46A至46D，於實施方式，取代閘極製程在形成溝槽接觸物結構4622後執行，如所示。根據另一實施方式，唯，取代閘極製程在形成溝槽接觸物結構4622之前執行。

【0475】於另一態樣，敘述主動閘極(COAG)上方接觸物結構及製程。本揭露的一或更多實施方式係對於半導體結構或裝置，具有一或更多接觸物結構(例如，如閘極接觸通孔)設置於半導體結構或裝置的閘極電極的主動部分上方。本揭露的一或更多實施方式係對於製造半導體結構或裝置的方法，具有一或更多閘極接觸物結構形成於半導體結構或裝置的閘極電極的主動部分上方。藉由致能閘極接觸物形成在主動閘極區上方，於此所述的方式可用以減少標準單元面積。於一或更多實施方式，被製造以接觸閘極電極的閘極接觸物結構為自對準通孔結構。

【0476】於空間及佈局限制相較於目前世代的空間及佈局限制而言比較鬆一些的技術，對閘極結構的接觸可由對設置於隔離區上方的閘極電極的部分作出接觸而被製

造。作為例子，圖47A描述具有設置在閘極電極的非主動部分上方的閘極接觸物的半導體裝置的平面圖。

【0477】參照圖47A，半導體結構或裝置4700A包含擴散或主動區4704設置於基板4702內，且在隔離區4706內。一或更多閘極線（亦稱為多晶線），例如閘極線4708A、4708B及4708C設置於擴散或主動區4704上方以及於隔離區4706的部分上方。源極或汲極接觸物（亦稱為溝槽接觸物），例如接觸物4710A及4710B，設置於半導體結構或裝置4700A的源極及汲極區上方。溝槽接觸通孔4712A及4712B分別提供對溝槽接觸物4710A及4710B的接觸。分開的閘極接觸物4714及上覆閘極接觸通孔4716，提供對閘極線4708B的接觸。相對於源極或汲極溝槽接觸4710A或4710B，從平面圖透視，閘極接觸物4714設置於隔離區4706上方但不在擴散或主動區4704上方。此外，閘極接觸物4714及閘極接觸通孔4716都沒有設置於源極或汲極溝槽接觸物4710A及4710B之間。

【0478】圖47B描述具有設置在閘極電極的非主動部分上方的閘極接觸物的非平面半導體裝置的截面圖。參照圖47B，半導體結構或裝置4700B，例如，圖47A的裝置4700A的非平面版本，包含非平面擴散或主動區4704C（例如，鰭結構）從基板4702形成，且於隔離區4706內。閘極線4708B設置於非平面擴散或主動區4704B上方以及在隔離區4706的部分上方。如所示，閘極線4708B包含閘極電極4750及閘極介電質層4752，與介電質帽層4754一起。閘

極接觸物 4714 及上覆閘極接觸通孔 4716 亦可從此透視圖看到，與上覆金屬互連 4760 一起，其全部設置於層間介電質堆疊或層 4770 中。亦可從圖 47B 的透視圖看到，閘極接觸物 4714 設置於隔離區 4706 上方，但不在非平面擴散或主動區 4704B 上方。

【0479】再參照圖 47A 及 47B，分別的半導體結構或裝置 4700A 及 4700B 的配置，設置閘極接觸物在隔離區上方。此配置浪費佈局空間。唯，設置閘極接觸物在主動區上方會需要極緊密對準預算或閘極尺寸會需要增加以提供足夠的空間讓閘極接觸物著陸。此外，傳統地，對擴散區上方的閘極的接觸已被避免，為了免於鑿穿經過其它閘極材料(例如，多晶矽)及接觸下伏的主動區的風險。於此所述的一或更多實施方式由提供可行的方式及所成的結構解決上述問題，以製造接觸形成於擴散或主動區上方的閘極電極的部分的接觸物結構。

【0480】作為例子，圖 48A 描述具有設置在閘極電極的主動部分上方的閘極接觸通孔的半導體裝置的平面圖，根據本揭露的實施方式。參照圖 48A，半導體結構或裝置 4800A 包含擴散或主動區 4804 設置於基板 4802 內，且在隔離區 4806 內。一或更多閘極線，例如閘極線 4808A、4808B 及 4808C 設置於擴散或主動區 4804 上方以及於隔離區 4806 的部分上方。源極或汲極接觸物，例如溝槽接觸物 4810A 及 4810B，設置於半導體結構或裝置 4800A 的源極及汲極區上方。溝槽接觸通孔 4812A 及 4812B 分別提供對溝

槽接觸物 4810A 及 4810B 的接觸。閘極接觸通孔 4816，沒有中介分開的閘極接觸層，提供對閘極線 4808B 的接觸。相對於圖 47A，從平面圖透視，閘極接觸物 4816 設置於擴散或主動區 4804 上方且在源極或汲極接觸物 4810A 及 4810B 之間。

【0481】圖 48B 描述具有設置在閘極電極的主動部分上方的閘極接觸通孔的非平面半導體裝置的截面圖，根據本揭露的實施方式。參照圖 48B，半導體結構或裝置 4800B，例如，圖 48A 的裝置 4800A 的非平面版本，包含非平面擴散或主動區 4804B (例如，鰭結構) 從基板 4802 形成，且於隔離區 4806 內。閘極線 4808B 設置於非平面擴散或主動區 4804B 上方以及在隔離區 4806 的部分上方。如所示，閘極線 4808B 包含閘極電極 4850 及閘極介電質層 4852，與介電質帽層 4854 一起。閘極接觸通孔 4816 亦可從此透視圖看到，與上覆金屬互連 4860 一起，其都設置於層間介電質堆疊或層 4870 中。亦可從圖 48B 的透視圖看到，閘極接觸通孔 4816 設置於非平面擴散或主動區 4804B 上方。

【0482】因此，再參照圖 48A 及 48B，於實施方式，溝槽接觸通孔 4812A、4812B 及閘極接觸通孔 4816 形成於相同層中且實質共平面。與圖 47A 及圖 48B 相較，對閘極線的接觸否則會包含額外閘極接觸層，例如，其可沿著垂直於對應的閘極線。於關聯圖 48A 及 48B 所述的結構，唯，分別製造結構 4800A 及 4800B，致能直接從主動閘極

部分上的金屬互連層的接觸物的著陸，而無短路於相鄰源極汲極區。於實施方式，由消除對於延伸電晶體閘極於隔離上以形成可靠的接觸的需求，此配置提供於電路佈局的大面積減少。如用於整個說明書的，於實施方式，閘極的主動部分的參照表示閘極線或結構的部分設置在下伏的基板的主動或擴散區上方(從平面透視圖)。於實施方式，閘極的非主動部分的參照表示閘極線或結構的部分設置在下伏的基板的隔離區上方(從平面透視圖)。

【0483】於實施方式，半導體結構或裝置4800為非平面裝置，例如但不限於，鰭場效電晶體(fin-FET)或三閘極裝置。於一此實施方式，對應的半導體通道區由三維本體構成或形成於三維本體中。於一此實施方式，閘極線4808A至4808C的閘極電極堆疊至少圍繞三維本體的頂表面及側壁的對。於另一實施方式，至少通道區被作成離散的三維本體，例如，於閘極全環繞裝置。於一此實施方式，閘極線4808A至4808C的閘極電極堆疊各完全圍繞通道區。

【0484】更一般地，一或更多實施方式係對於用於直接著陸閘極接觸通孔於主動電晶體閘極上的方式及從其形成的結構。此方式可消除對於為了接觸的目的而在隔離區上的閘極線的延伸的需求。此方式亦可消除對於用以從閘極線或結構傳導訊號的分開的閘極接觸物(GCN)層的需求。於實施方式，消除上述特徵由凹陷接觸物金屬於溝槽接觸物(TCN)中及導入額外的介電質材料於製程流程中(例



如，TILA)達成。額外介電質材料被包含作為溝槽接觸物介電質帽層，有與已用於在閘極對準接觸物製程(GAP)的製程方案(例如，GILA)中的溝槽接觸物對準的閘極介電質材料帽層不同的蝕刻特性。

【0485】作為製程方案，圖49A至49D描述代表具有閘極接觸物結構設置於閘極的主動部分上方的半導體結構的製造方法的多樣的操作的截面圖，根據本揭露的實施方式。

【0486】參照圖49A，半導體結構4900提供以下的溝槽接觸物(TCN)形成。可以理解的是，結構4900的特定配置僅用於描述的目的，且多樣的可能的佈局可從於此所述的揭示的實施方式得到利益。半導體結構4900包含一或更多閘極堆疊，例如閘極堆疊結構4908A至4908E設置於基板4902之上。閘極堆疊結構可包含閘極介電質層及閘極電極。溝槽接觸物，例如，對基板4902的擴散區的接觸，例如，溝槽接觸物4910A至4910C，亦包含於結構4900中且由介電質間隔物4920與閘極堆疊結構4908A至4908E間隔開。絕緣帽層4922可設置於閘極堆疊結構4908A至4908E(例如，GILA)上，且亦如圖49A所示。亦如圖49A中所示，接觸物阻擋區或「接觸插塞」，例如從層間介電質材料製造的區域4923，可包含於接觸物的形成被阻擋的區域中。

【0487】於實施方式，提供結構4900涉及接觸物圖案的形成，其大致完美對準於存在的閘極圖案，同時消除有

非常緊密的對準預算的微影操作的使用。於一此實施方式，此方式致能本質高選擇性濕蝕刻(例如，相對於乾或電漿蝕刻)的使用以產生接觸開口。於實施方式，接觸物圖案使用存在的閘極圖案與接觸插塞微影操作的組合形成。於一此實施方式，方式致能消除對於如於其它方式中使用的另外的關鍵微影操作以產生接觸物圖案的需求。於實施方式，溝槽接觸物柵不是分開地圖案化，而是形成於多晶(閘極)線之間。例如，於一此實施方式，溝槽接觸物柵在閘極柵圖案化之後形成，但在閘極柵切割之前。

【0488】此外，閘極堆疊結構4908A至4908E可由取代閘極製程製造。於此方案，虛置閘極材料，例如多晶矽或氮化矽柱材料，可被移除且以永久閘極電極材料取代。於一此實施方式，永久閘極介電質層亦於此製程形成，而不是於更早的製程進行。於實施方式中，虛置閘極由乾蝕刻或濕蝕刻製程移除。於一實施方式，虛置閘極由多晶矽或非晶矽構成且以包含 $\text{SF}_6$ 的乾蝕刻製程移除。於另一實施方式，虛置閘極由多晶矽或非晶矽構成，且以包含含水的 $\text{NH}_4\text{OH}$ 或氫氧化四甲銨的濕蝕刻製程移除。於一實施方式，虛置閘極由氮化矽構成且以包含含水的磷酸的濕蝕刻製程移除。

【0489】於一實施方式，一或更多此處所述的方式主要考量虛置及取代閘極製程與虛置及取代接觸物製程的結合，以到達結構4900。於一此實施方式，在取代閘極製程後執行取代接觸物製程，允許永久閘極堆疊的至少部分的

高溫退火。例如，於特定的此實施方式，永久閘極結構的至少部分的退火例如，在形成閘極介電質層後，於大於約攝氏 600 度的溫度執行。退火在永久接觸物的形成之前執行。

【0490】參照圖 49B，結構 4900 的溝槽接觸物 4910A 至 4910C 被凹陷於間隔物 4920 內以提供凹陷的溝槽接觸物 4911A 至 4911C，其具有在間隔物 4920 及絕緣帽層 4922 的頂表面之下的高度。絕緣帽層 4924 之後形成於凹陷的溝槽接觸物 4911A 至 4911C (例如，TILA) 上。根據本揭露的實施方式，於凹陷的溝槽接觸物 4911A 至 4911C 上的絕緣帽層 4924 由具有與閘極堆疊結構 4908A 至 4908E 上的絕緣帽層 4922 的蝕刻特性不同的材料構成。如於後續製程操作中可見的，此不同可用於選擇性的蝕刻 4922/4924 的一者而不蝕刻 4922/4924 另一者。

【0491】溝槽接觸物 4910A 至 4910C 可由對間隔物 4920 及絕緣帽層 4922 的材料的選擇性製程而凹陷。例如，於一實施方式，溝槽接觸物 4910A 至 4910C 由蝕刻製程 (例如，濕蝕刻製程或乾蝕刻製程) 凹陷。絕緣帽層 4924 可由適合提供共形及密封層於溝槽接觸物 4910A 至 4910C 的暴露的部分之上的製程形成。例如，於一實施方式，絕緣帽層 4924 由化學氣相沉積 (CVD) 製程形成，作為整個結構上的共形層。共形層之後被平坦化，例如，由化學機械研磨 (CMP)，以提供絕緣帽層 4924 材料僅在溝槽接觸物 4910A 至 4910C 之上，且再暴露間隔物 4920 及絕緣帽層 4922。

【0492】對於用於絕緣帽層4922/4924的適合的材料組合，於一實施方式，4922/4924的對的一者由氧化矽構成，而另一者由氮化矽構成。於另一實施方式，4922/4924的對的一者由氧化矽構成，而另一者由碳摻雜的氮化矽構成。於另一實施方式，4922/4924的對的一者由氧化矽構成，而另一者由碳化矽構成。於另一實施方式，4922/4924的對的一者由氮化矽構成，而另一者由碳摻雜的氮化矽構成。於另一實施方式，4922/4924的對的一者由氮化矽構成，而另一者由碳化矽構成。於另一實施方式，4922/4924的對的一者由碳摻雜的氮化矽構成，而另一者由碳化矽構成。

【0493】參照圖49C，層間介電質(ILD)4930及硬遮罩4932堆疊被形成且被圖案化，以提供，例如，金屬(0)溝槽4934圖案化於圖49B的結構之上。

【0494】層間介電質(ILD)4930可由適合電隔離最終形成於其中的金屬特徵的材料構成，同時維持堅固的結構於前端及後端製程之間。此外，於實施方式，ILD 4930的成分被選擇為與對於溝槽接觸物介電質帽層圖案化的通孔蝕刻選擇性一致，如於下關聯圖49D更詳細敘述的。於一實施方式，ILD 4930由氧化矽的單或多層或碳摻雜的氧化物(CDO)材料的單或多層構成。唯，於其它實施方式，ILD 4930具有雙層組成，有由與下伏的ILD 4930的底部分不同的材料構成的頂部分。硬遮罩層4932可由適合作為後續犧牲層的材料構成。例如，於一實施方式，硬遮罩層

4932實質由碳構成，例如，作為交聯有機聚合物的層。於其它實施方式，氮化矽或碳摻雜的氮化矽層用於作為硬遮罩4932。層間介電質(ILD)4930及硬遮罩4932堆疊可由微影及蝕刻製程圖案化。

【0495】參照圖49D，通孔開口4936(例如，VCT)形成於層間介電質(ILD)4930中，從金屬(0)溝槽4934延伸至凹陷的溝槽接觸物4911A至4911C的一或多者。例如，於圖49D，通孔開口被形成以暴露凹陷的溝槽接觸物4911A及4911C。通孔開口4936的形成包含蝕刻層間介電質(ILD)4930及對應的絕緣帽層4924的分別的部分的兩者。於此一實施方式，絕緣帽層4922的部分在層間介電質(ILD)4930的圖案化期間被暴露(例如，在閘極堆疊結構4908B及4908E上方的絕緣帽層4922的部分被暴露)。於此實施方式，絕緣帽層4924被蝕刻以形成通孔開口4936，其選擇性相對於(即，沒有顯著蝕刻或影響)絕緣帽層4922。

【0496】於一實施方式，通孔開口圖案最終由蝕刻製程轉移至絕緣帽層4924(即，溝槽接觸物絕緣帽層)，而無蝕刻絕緣帽層4922(即，閘極絕緣帽層)。絕緣帽層4924(TILA)可由以下任意者或其組合構成，包含：氧化矽、氮化矽、碳化矽、碳摻雜氮化矽、碳摻雜氧化矽、多晶矽、多樣的金屬氧化物及矽化物包含：氧化鋯、氧化鉛、氧化鋇或其組合。層可使用任意以下的技術沉積，包含：CVD、ALD、PECVD、PVD、HDP輔助CVD、低溫CVD。對應的電漿乾蝕刻被發展作為化學及物理濺射機制

的組合。重合聚合物沉積可用以控制材料移除率、蝕刻輪廓及膜選擇性。乾蝕刻典型地產生，有以下的氣體的混合，包含  $\text{NF}_3$ 、 $\text{CHF}_3$ 、 $\text{C}_4\text{F}_8$ 、 $\text{HBr}$  及  $\text{O}_2$ ，有典型的在 30-100 mTorr 的範圍的壓力及 50-1000 Watts 的電漿偏壓。乾蝕刻可被工程以達成顯著的蝕刻選擇性於帽層 4924(TILA) 及 4922(GILA) 層之間，以在 4924(TILA) 的乾蝕刻以形成對電晶體的源極汲極區的接觸期間極小化 4922(GILA) 的損失。

【0497】再參照圖 49D，可以理解的是，相似的方式可實施以製造通孔開口圖案，其最終由蝕刻製程轉移至絕緣帽層 4922(即，溝槽接觸物絕緣帽層)，而無蝕刻絕緣帽層 4924(即，閘極絕緣帽層)。

【0498】進一步例證主動閘極上方接觸物(COAG)技術的模型，圖 50 描述具有包含上覆絕緣帽層的溝槽接觸物的積體電路結構的平面圖及對應的截面圖，根據本揭露的實施方式。

【0499】參照圖 50，積體電路結構 5000 包含閘極線 5004 在半導體基板或鰭 5002 之上，例如矽鰭。閘極線 5004 包含閘極堆疊 5005(例如，包含閘極介電質層或堆疊及在閘極介電質層或堆疊上的閘極電極)及在閘極堆疊 5005 上的閘極絕緣帽層 5006。介電質間隔物 5008 係沿著閘極堆疊 5005 的側壁，且於實施方式，沿著閘極絕緣帽層 5006 的側壁，如所示。

【0500】溝槽接觸物 5010 相鄰閘極線 5004 的側壁，有

介電質間隔物 5008 在閘極線 5004 及溝槽接觸物 5010 之間。溝槽接觸物 5010 的個別者包含導電接觸物 5011 及溝槽接觸物絕緣帽層 5012 在導電接觸物結構 5011 上。

【0501】參照圖 50，閘極接觸通孔 5014 形成於閘極絕緣帽層 5006 的開口中且電接觸閘極堆疊 5005。於實施方式，閘極接觸通孔 5014 電接觸閘極堆疊 5005 於半導體基板或鰭 5002 上方的位置且側向於溝槽接觸物 5010 之間，如所示。於一此實施方式，在導電接觸物結構 5011 上的溝槽接觸物絕緣帽層 5012 防止由閘極接觸通孔 5014 的閘極對源極短路或閘極對汲極短路。

【0502】參照圖 50，溝槽接觸通孔 5016 形成於溝槽接觸絕緣帽層 5012 的開口中且電接觸分別的導電接觸物結構 5011。於實施方式，溝槽接觸通孔 5016 電接觸分別的導電接觸物結構 5011 於半導體基板或鰭 5002 上方的位置且側向相鄰閘極線 5004 的閘極堆疊 5005，如所示。於一此實施方式，在閘極堆疊 5005 上的閘極絕緣帽層 5006 防止由溝槽接觸通孔 5016 的源極對閘極短路或汲極對閘極短路。

【0503】可以理解的是，絕緣閘極帽層與絕緣溝槽接觸物帽層之間的不同的結構關係可被製造。作為例子，圖 51A 至 51F 描述多樣的積體電路結構的截面圖，各具有包含上覆絕緣帽層的溝槽接觸物及具有包含上覆絕緣帽層的閘極堆疊，根據本揭露的實施方式。

【0504】參照圖 51A、51B 及 51C，分別的積體電路結構 5100A、5100B 及 5100C 包含鰭 5102，例如矽鰭。雖然所

示的是截面圖，可以理解的是，鰭5102具有頂部5102A及側壁(入及出所示的透視圖的紙面)。第一閘極介電質層5104及第二閘極介電質層5106在鰭5102的頂部5102A上方且側向相鄰鰭5102的側壁。第一閘極電極5108及第二閘極電極5110分別在第一閘極介電質層5104及第二閘極介電質層5106上方，在鰭5102的頂部5102A上方且側向相鄰鰭5102的側壁。第一閘極電極5108及第二閘極電極5110各包含共形導電層5109A，例如功函數設定層，及導電填充材料5109B在共形導電層5109A之上。第一閘極電極5108及第二閘極電極5110皆具有第一側5112及相對於第一側5112的第二側5114。第一閘極電極5108及第二閘極電極5110亦皆具有絕緣帽5116，絕緣帽5116具有頂表面5118。

【0505】第一介電質間隔物5120相鄰第一閘極電極5108的第一側5112。第二介電質間隔物5122相鄰第二閘極電極5110的第二側5114。半導體源極或汲極區5124相鄰第一介電質間隔物5120及第二介電質間隔物5122。溝槽接觸物結構5126在相鄰第一介電質間隔物5120及第二介電質間隔物5122的半導體源極或汲極區5124上方。

【0506】溝槽接觸物結構5126包含絕緣帽5128在導電結構5130上。溝槽接觸物結構5126的絕緣帽5128具有的頂表面5129與第一閘極電極5108及第二閘極電極5110的絕緣帽5116的頂表面5118實質共平面。於實施方式，溝槽接觸物結構5126的絕緣帽5128側向延伸進入第一介電質間隔物5120及第二介電質間隔物5122中的凹陷5132中。於此實施



方式，溝槽接觸物結構5126的絕緣帽5128懸於溝槽接觸物結構5126的導電結構5130上方。於其它實施方式，唯，溝槽接觸物結構5126的絕緣帽5128不側向延伸進入第一介電質間隔物5120及第二介電質間隔物5122中的凹陷5132中，因此，不懸於溝槽接觸物結構5126的導電結構5130上方。

【0507】可以理解的是，溝槽接觸物結構5126的導電結構5130可為非長方形，如圖51A至51C所示。例如，溝槽接觸物結構5126的導電結構5130可具有的截面構形相似於或相同於圖51A的投影中所示的導電結構5130A的構形。

【0508】於實施方式，溝槽接觸物結構5126的絕緣帽5128具有的成分與第一閘極電極5108及第二閘極電極5110的絕緣帽5116的成分不同。於一此實施方式，溝槽接觸物結構5126的絕緣帽5128包含碳化物材料，例如碳化矽材料。第一閘極電極5108及第二閘極電極5110的絕緣帽5116包含氮化物材料，例如氮化矽材料。

【0509】於實施方式，第一閘極電極5108及第二閘極電極5110的絕緣帽5116都具有底表面5117A在溝槽接觸物結構5126的絕緣帽5128的底表面5128A之下，如圖51A所示。於另一實施方式，第一閘極電極5108及第二閘極電極5110的絕緣帽5116都具有底表面5117B，底表面5117B與溝槽接觸物結構5126的絕緣帽5128的底表面5128B實質共平面，如圖51B所示。於另一實施方式，第一閘極電極5108及第二閘極電極5110的絕緣帽5116都具有底表面

5117C在溝槽接觸物結構5126的絕緣帽5128的底表面5128C之上，如圖51C所示。

【0510】於實施方式，溝槽接觸物結構5128的導電結構5130包含U形金屬層5134，在U形金屬層5134的整個上及上方的T形金屬層5136，及在T形金屬層5136上的第三金屬層5138。溝槽接觸物結構5126的絕緣帽5128在第三金屬層5138上。於一此實施方式，第三金屬層5138及U形金屬層5134包含鈦，且T形金屬層5136包含鈷。於特定的此實施方式，T形金屬層5136更包含碳。

【0511】於實施方式，金屬矽化物層5140直接介於溝槽接觸物結構5126的導電結構5130與半導體源極或汲極區5124之間。於一此實施方式，金屬矽化物層5140包含鈦及矽。於特定此實施方式，半導體源極或汲極區5124為N型半導體源極或汲極區。於另一實施方式，金屬矽化物層5140包含鎳、鉑及矽。於特定此實施方式，半導體源極或汲極區5124為P型半導體源極或汲極區。於另一此實施方式，金屬矽化物層更包含鍺。

【0512】於實施方式，參照圖51D，導電通孔5150在鰭5102的頂部5102A上方的第一閘極電極5108的部分上且與其電連接。導電通孔5150在第一閘極電極5108的絕緣帽5116中的開口5152中。於一此實施方式，導電通孔5150在溝槽接觸物結構5126的絕緣帽5128的部分上，但不電連接於溝槽接觸物結構5126的導電結構5130。於特定此實施方式，導電通孔5150在溝槽接觸物結構5126的絕緣帽5128的

被侵蝕的部分5154中。

【0513】於實施方式，參照圖51E，導電通孔5160在溝槽接觸物結構5126的部分上且與其電連接。導電通孔在溝槽接觸物結構5126的絕緣帽5128的開口5162中。於一此實施方式，導電通孔5160在第一閘極電極5108及第二閘極電極5110的絕緣帽5116的部分上，但不電連接於第一閘極電極5108及第二閘極電極5110。於一此實施方式，導電通孔5160在第一閘極電極5108及第二閘極電極5110的絕緣帽5116的被侵蝕的部分5164中。

【0514】再參照圖51E，於實施方式，導電通孔5160為第二導電通孔，其結構與圖51D的導電通孔5150相同。於一此實施方式，此第二導電通孔5160與導電通孔5150隔離。於另一此實施方式，例如第二導電通孔5160與導電通孔5150合併以形成電短路接觸物5170，如圖51F所示。

【0515】於此所述的方式及結構可致能在使用其它方法時不可能或難以製造的其它結構或裝置的形成。於第一例，圖52A描述具有設置在閘極的主動部分上方的閘極接觸通孔的另一半導體裝置的平面圖，根據本揭露的另一實施方式。參照圖52A，半導體結構或裝置5200包含複數閘極結構5208A至5208C，與複數溝槽接觸物5210A及5210B相互交叉(這些特徵設置在基板的主動區之上，未顯示)。閘極接觸通孔5280形成於閘極結構5208B的主動部分上。閘極接觸通孔5280還設置在閘極結構5208C的主動部分上，耦合閘極結構5208B和5208C。可以理解的是，由使

用溝槽接觸物隔離帽層(例如，TILA)，中介溝槽接觸物5210B可與接觸物5280隔離。圖52A的接觸物組態可提供更簡單的方式，以條帶化相鄰閘極線於佈局中，不需要路由條帶經過金屬化物的上層，因此致能較小的單元面積或較不複雜的佈線方案，或兩者。

【0516】於第二例，圖52B描述具有耦合於溝槽接觸物的對的溝槽接觸通孔的另一半導體裝置的平面圖，根據本揭露的另一實施方式。參照圖52B，半導體結構或裝置5250包含複數閘極結構5258A至5258C，與複數溝槽接觸物5260A及5260B相互交叉(這些特徵設置在基板的主動區之上，未顯示)。溝槽接觸通孔5290形成於溝槽接觸物5260A上。溝槽接觸通孔5290更設置在溝槽接觸物5260B上，耦合溝槽接觸物5260A及5260B。可以理解的是，由使用閘極隔離帽層(例如，由GILA製程)中介閘極結構5258B可與溝槽接觸通孔5290隔離。圖52B的接觸物組態可提供更簡單的方式，以條帶化相鄰溝槽接觸物於佈局中，不需要路由條帶經過金屬化物的上層，因此致能較小的單元面積或較不複雜的佈線方案，或兩者。

【0517】用於閘極電極的絕緣帽層可使用一些沉積操作製造，因此，可包含多沉積製造製程的人造物。作為例子，圖53A至53E描述表示製造有具有上覆絕緣帽層的閘極堆疊的積體電路結構的方法的多樣的操作的截面圖，根據本揭露的實施方式。

【0518】參照圖53A，開始結構5300包含閘極堆疊

5304在基板或鰭5302之上。閘極堆疊5304包含閘極介電質層5306、共形的導電層5308及導電填充材料5310。於實施方式，閘極介電質層5306為使用原子層沉積(ALD)形成的高k值閘極介電質層，且共型的導電層為使用ALD製程形成的功函數層。於一此實施方式，熱或化學氧化物層5312，例如熱或化學二氧化矽或氧化矽層，在基板或鰭5302及閘極介電質層5306之間。介電質間隔物5314，例如氮化矽間隔物，相鄰閘極堆疊5304的側壁。介電質閘極堆疊5304及介電質間隔物5314裝載於層間介電質(ILD)層5316中。於實施方式，閘極堆疊5304使用取代閘極及取代閘極介電質製程方案形成。遮罩5318被圖案化於閘極堆疊5304及ILD層5316之上以提供暴露閘極堆疊5304的開口5320。

【0519】參照圖53B，使用一或多個選擇性蝕刻製程，包含閘極介電質層5306的閘極堆疊5304、共形的導電層5308、及導電填充材料5310被相對於介電質間隔物5314及層5316凹陷。遮罩5318之後被移除。凹陷提供穴5322於凹陷的閘極堆疊5324之上。

【0520】於另一實施方式，未示出，共形的導電層5308及導電填充材料5310被相對於介電質間隔物5314及層5316凹陷，但閘極介電質層5306不被凹陷或僅極小地被凹陷。可以理解的是，於其它實施方式，基於高蝕刻選擇性的不遮罩的方式用於凹陷。

【0521】參照圖53C，用於製造閘極絕緣帽層的於多

沉積製程中的第一沉積製程被執行。第一沉積製程用以形成與圖 53B 的結構共形的第一絕緣層 5326。於實施方式，第一絕緣層 5326 包含矽及氮，例如，第一絕緣層 5326 為氮化矽 ( $\text{Si}_3\text{N}_4$ ) 層，矽較多的氮化矽層、矽較少的氮化矽層、或碳摻雜氮化矽層。於實施方式，第一絕緣層 5326 僅部分填充於凹陷的閘極堆疊 5324 之上的穴 5322，如所示。

【0522】參照圖 53D，第一絕緣層 5326 接受蝕刻回去製程，例如，各向異性蝕刻製程，以提供絕緣帽層的第一部分 5328。絕緣帽層的第一部分 5328 僅部分填充於凹陷的閘極堆疊 5324 之上的穴 5322。

【0523】參照圖 53E，額外的交替的沉積製程及蝕刻回去製程被執行直到穴 5322 以凹陷的閘極堆疊 5324 之上的絕緣閘極帽結構 5330 填充。縫 5332 可在截面分析中看到，且可表示用於絕緣閘極帽結構 5330 的交替的沉積製程及蝕刻回去製程的次數。於圖 53E 所示的例子，三組縫 5332A、5332B 及 5332C 的出現表示用於絕緣閘極帽結構 5330 的四交替的沉積製程及蝕刻回去製程。於實施方式，由縫 5332 分開的緣閘極帽結構 5330 的材料 5330A、5330B、5330C 及 5330D 都具有確切或實質相同成分。

【0524】如整份說明書所述的，基板可由半導體材料構成，其可耐受製造製程且其中電荷可遷移。於實施方式，於此所述的基板為塊狀基板，其由以下構成：結晶矽、矽/鍺或鍺層，其以載子摻雜，例如但不限於磷、砷、硼或其組合，以形成主動區。於一實施方式，於此塊

狀基板中的矽原子的濃度大於97%。於另一實施方式，塊狀基板由生長於不同結晶基板頂上的磊晶層構成，例如，生長於硼摻雜的塊狀矽單晶基板上的矽磊晶層。塊狀基板可替代地由III-V族材料構成。於實施方式，塊狀基板由III-V材料構成，例如但不限於，氮化鎵、磷化鎵、砷化鎵、磷化銦、銻化銦、砷化銦鎵、砷化鋁鎵、磷化銦鎵或其組合。於一實施方式，塊狀基板由III-V材料構成且電荷載子摻雜物雜質原子為，例如但不限於，碳、矽、鍺、氧、硫、硒或碲。

【0525】如於整份說明書所述的，隔離區(例如，淺溝槽隔離區或子鰭隔離區)可由適合最終電隔離的材料構成，或對永久閘極結構的部分與下伏的塊狀矽基板的隔離有貢獻，或隔離形成於下伏的塊狀基板內的主動區，例如隔離鰭主動區。例如，於一實施方式，隔離區由介電質材料的一或多層構成，例如但不限於，二氧化矽、氧氮化矽、氮化矽、碳摻雜的氮化矽或其組合。

【0526】如於整份說明書所述的，閘極線或閘極結構可由閘極電極堆疊構成，包含閘極介電質層及閘極電極層。於實施方式，閘極電極堆疊的閘極電極由金屬閘極構成，且閘極介電質層由高k值材料構成。例如，於一實施方式，閘極介電質層由材料構成，例如但不限於，氧化鉛、鉛氧氮化物、矽酸鉛、氧化釧、氧化鋯、矽酸鋯、氧化鈮、鈦酸鋇、鈦酸鋇、鈦酸鋇、氧化鈮、氧化鋁、鉛鈦鈮氧化物、鋯酸鉛鋅或其組合。此外，閘極介電質層的

部分可包含從半導體基板的頂部數層形成的原生氧化物的層。於實施方式，閘極介電質層由頂部高k值部分及由半導體材料的氧化物構成的下部分所構成。於一實施方式，閘極介電質層由氧化鉛的頂部分及二氧化矽或氮化矽的底部分構成。於一些實施例，閘極介電質的部分可由「U」型結構構成，其包含實質平行於基板的表面的底部分及實質垂直於基板的頂表面的二側壁部分。

【0527】於一實施方式，閘極電極由金屬層構成，例如但不限於，金屬氮化物、金屬碳化物、金屬矽化物、金屬鋁化物、鉛、銦、鈦、鉭、鋁、鈮、鈹、鉑、鈷、鎳或導電金屬氧化物。於特定的實施方式，閘極電極由形成於金屬功函數設定層之上的非功函數設定填充材料構成。閘極電極層可由P型功函數金屬或N型功函數金屬組成，依其電晶體要作為PMOS或NMOS電晶體而定。於一些實施例，閘極電極可由二或更多金屬層的堆疊組成，其中一或更多金屬層為功函數金屬層且至少一金屬層為導電填充層。對於PMOS電晶體，可用於閘極電極的金屬，包含但不限於，鈮、鈹、鉑、鈷、鎳和導電金屬氧化物，例如，氧化鈮。P型金屬層會致能PMOS閘極電極形成有約4.9 eV及約5.2 eV之間的功函數。對於NMOS電晶體，可用於作為閘極電極的金屬，包含但不限於，鉛、銦、鈦、鉭、鋁、這些金屬的合金、以及這些金屬的碳化物，例如，碳化鉛、碳化銦、碳化鈦、碳化鉭及碳化鋁。N型金屬層會致能NMOS閘極電極形成有約3.9 eV及約4.2 eV之間的功函



數。於一些實施方式，閘極電極可由「U」型結構構成，其包含實質平行於基板的表面的底部分及實質垂直於基板的頂表面的二側壁部分。於另一實施例，形成閘極電極的金屬層的至少一者可簡單的為平面層，其實質平行於基板的頂表面且不包含實質垂直於基板的頂表面的側壁部分。於本揭露的更多實施例，閘極電極可由U形結構及平面、非U形結構的組合組成。例如，閘極電極可由形成於一或更多平面、非U形層頂上的一或更多U形金屬層組成。

【0528】如於整份說明書所述的，關聯於閘極線或電極堆疊的間隔物可由適用於最終電隔離的材料構成，或對永久閘極結構與相鄰的導電接觸物(例如，自對準接觸物)的隔離有貢獻。例如，於一實施方式，介間隔物由介電質材料構成，例如但不限於，二氧化矽、氧氮化矽、氮化矽或碳摻雜的氮化矽。

【0529】於實施方式，於此所述的方式可涉及接觸物圖案的形成，其非常好地對準於存在的閘極圖案，同時消除有非常緊密的對準預算的微影操作的使用。於一此實施方式，此方式致能本質高選擇性濕蝕刻(例如，相對於乾或電漿蝕刻)的使用以產生接觸開口。於實施方式，接觸物圖案使用存在的閘極圖案與接觸插塞微影操作的組合形成。於一此實施方式，方式致能消除對於如於其它方式中使用的另外的關鍵微影操作以產生接觸物圖案的需求。於實施方式，溝槽接觸物柵不是分開地圖案化，而是形成於多晶(閘極)線之間。例如，於一此實施方式，溝槽接觸物

柵在閘極柵圖案化之後形成，但在閘極柵切割之前。

【0530】此外，閘極堆疊結構可由取代閘極製程製造。於此方案，虛置閘極材料，例如多晶矽或氮化矽柱材料，可被移除且以永久閘極電極材料取代。於一此實施方式，永久閘極介電質層亦於此製程形成，而不是於更早的製程進行。於實施方式中，虛置閘極由乾蝕刻或濕蝕刻製程移除。於一實施方式，虛置閘極由多晶矽或非晶矽構成且以乾蝕刻製程移除，包含使用  $\text{SF}_6$ 。於另一實施方式，虛置閘極由多晶矽或非晶矽構成，且以濕蝕刻製程移除，包含含水的  $\text{NH}_4\text{OH}$  或氫氧化四甲銨的使用。於一實施方式，虛置閘極由氮化矽構成且以包含含水的磷酸的濕蝕刻移除。

【0531】於實施方式，一或更多此處所述的方式主要考量虛置及取代閘極製程與虛置及取代接觸物製程的結合，以到達結構。於一此實施方式，在取代閘極製程後執行取代接觸物製程，允許永久閘極堆疊的至少部分的高溫退火。例如，於特定的此實施方式，永久閘極結構的至少部分的退火例如，在形成閘極介電質層後，於大於約攝氏 600 度的溫度執行。退火在永久接觸物的形成之前執行。

【0532】於一些實施方式，半導體結構或裝置的配置設置了閘極接觸物於隔離區上方的閘極線或閘極堆疊的部分上方。唯，此配置可被視為佈局空間的無效率使用。於另一實施方式，半導體裝置具有接觸物結構，其接觸形成於主動區的上方的閘極電極的部分。一般而言，在形成閘

極接觸物結構(例如，通孔)在閘極的主動部分上方及於與溝槽接觸通孔的相同層中之前(例如，除了上述這些以外)，本揭露的一或更多實施方式包含首先使用閘極對準溝槽接觸物製程。此製程可被實施以形成用於半導體結構製造(例如，用於積體電路製造)的溝槽接觸物結構。於實施方式，溝槽接觸物圖案形成為對準於存在的閘極圖案。相對地，其它方式典型涉及額外的微影製程，有對於存在的閘極圖案的微影接觸物圖案的緊密對準，及與選擇性的接觸物蝕刻的組合。例如，另一製程可包含多晶(閘極)柵的圖案化，其有分開的接觸物特徵的圖案化。

【0533】可以理解的是，不是於上所述的製程的所有態樣都需要被實現才落入本揭露的實施方式的精神及範疇中。例如，於一實施方式，虛置閘極不需要在閘極堆疊的主動部分上方製造閘極接觸物之前而曾經被形成。當初始形成時，上述的閘極堆疊可實際上為永久閘極堆疊。又，此處所述的製程可用於製造一或複數半導體裝置。半導體裝置可為電晶體或類似的裝置。例如，於實施方式，半導體裝置為用於邏輯或記憶體的金屬氧化物半導體(MOS)電晶體，或為雙極電晶體。又，於實施方式，半導體裝置具有三維架構，例如三閘極裝置、獨立接取的雙閘極裝置或鰭場效電晶體。一或更多實施方式可對於製造於10奈米(10 nm)的技術節點或次10奈米(10 nm)的技術節點的半導體裝置特別地有用。

【0534】對於FEOL層或結構製造的額外或中介的操

作可包含標準微電子製造製程，例如微影、蝕刻、薄膜沉積、平坦化(例如，化學機械研磨(CMP))、擴散、度量、犧牲層的使用、蝕刻停止層的使用、平坦化停止層的使用或任意其它微電子組件製造的關聯動作。又，可以理解的是，對於前的製程流程的製程操作的敘述可以不同的順序實現，不是所有操作必須被執行或額外的製程操作可被執行或兩者。

【0535】可以理解的是，於上的範例FEOL實施方式，於實施方式，10奈米或次10奈米節點製程可直接對製程方案實施，且所成的結構作為技術驅動者。於其它實施方式，FEOL的考量可由BEOL 10奈米或次10奈米製程需求而驅使。例如，對於FEOL層及裝置的材料選擇及佈局，可能需要適配BEOL製程。於一此實施方式，材料選擇及閘極堆疊架構被選擇以適配BEOL層的高密度金屬化物，例如，減少形成於FEOL層中的電晶體結構的邊緣電容器，但由BEOL層的高密度金屬化物耦合在一起。

【0536】積體電路的產線後端(BEOL)層普遍包含導電微電子結構，其於所屬技術領域中稱為通孔，以電連接通孔之上的金屬線或其它互連至通孔之下的金屬線或其它互連。通孔可由微影製程形成。代表性地，光阻層可被旋塗於介電質層上，光阻層可被暴露於穿過圖案化的遮罩的圖案化的光化輻射，且之後此暴露的層可被顯影以形成在光阻層中的開口。接著，藉由使用於光阻層中的開口作為蝕刻遮罩，對於通孔的開口可被蝕刻於介電質層中。此開

口稱作通孔開口。最後，通孔開口可以一或更多金屬或其它導電材料填充以形成通孔。

【0537】通孔的大小及間隔已逐漸地減小，且對於至少一些類型的積體電路(例如，先進的微處理器、晶片組組件、圖形晶片等)，預期在未來通孔的尺寸及間隔會持續逐漸地減小。當由此微影製程以極小間距圖案化極小通孔，它們本身會出現許多挑戰。一此挑戰為，通孔及上覆的互連之間的重疊及通孔與下伏陸塊互連之間的重疊，一般而言需要被控制為通孔間距的四分之一的尺寸的高寬容度。當通孔間距隨時間縮得更小，重疊寬容度傾向於以更大於微影設備可以跟上的速度而隨著它們而縮小。

【0538】另一此挑戰為通孔開口的臨界尺寸一般傾向於以比微影掃描器的解析度能力的縮小速度更快地縮小。縮小技術存在以縮小通孔開口的臨界尺寸。唯，縮小的量傾向於為最小通孔間距以及由縮小製程的能力所限制，以有足夠的光學接近修正(OPC)中性，且不顯著地妥協線寬粗糙度(LWR)或臨界尺寸一致性(CDU)或兩者。再另一此挑戰為當通孔開口的臨界尺寸減小時光阻的LWR或CDU或兩者的特性一般需要進步以維持相同的臨界尺寸預算的整體的部分。

【0539】以上的因子亦關聯於考慮金屬線之間的非導電間隔或中斷(稱為「插塞」、「介電質插塞」或「金屬線端部」)配置及微縮，在產線後端(BEOL)金屬互連結構的金屬線之間。因此，在對於金屬線、金屬通孔及介電質

插塞的製造的後端金屬化製造技術的區域中需要有改進。

【0540】於另一態樣，間距四分之一對於介電質層中的圖案化溝槽實施，用於形成BEOL互連結構。根據本揭露的實施方式，間距分割應用對於BEOL製造方案中的金屬線製造。實施方式可致能超過當時技術水準的微影設備的解析度能力的金屬層的間距的繼續微縮。

【0541】圖54為用以製造對於互連結構的溝槽的間距四分之一方式5400的示意圖，根據本揭露的實施方式。

【0542】參照圖54，於操作(a)，骨幹特徵5402使用直接微影形成。例如，光阻層或堆疊可被圖案化且圖案轉移至硬遮罩材料以最終形成骨幹特徵5402。用於形成骨幹特徵5402的光阻層或堆疊可使用標準微影製程技術圖案化，例如193浸漬微影。第一間隔物特徵5404之後形成為相鄰骨幹特徵5402的側壁。

【0543】於操作(b)，骨幹特徵5402被移除以僅留下第一間隔物特徵5404剩餘。於此階段，第一間隔物特徵5404為有效的二分之一間距遮罩，例如，代表間距二分之一製程。第一間隔物特徵5404可直接用於間距四分之一製程，或第一間隔物特徵5404的圖案可首先被轉移至新硬遮罩材料，其中後者的方式被示出。

【0544】於操作(c)，第一間隔物特徵5404的圖案轉移至新硬遮罩材料以形成第一間隔物特徵5404'。第二間隔物特徵5406之後形成為相鄰第一間隔物特徵5404'的側壁。

【0545】於操作(d)，第一間隔物特徵5404'被移除以僅留下第二間隔物特徵5406剩餘。於此階段，第二間隔物特徵5406為有效的四分之一間距遮罩，例如，表示間距四分之一製程。

【0546】於操作(e)，第二間隔物特徵5406用作遮罩以圖案化複數溝槽5408於介電質或硬遮罩層中。溝槽可最終以導電材料填充以形成導電互連於積體電路的金屬化層中。溝槽5408具有對應於骨幹特徵5402的標籤「B」。溝槽5408具有對應於第一間隔物特徵5404或5404'的標籤「S」。溝槽5408具有對應於骨幹特徵5402之間的互補區5407的標籤「C」。

【0547】可以理解的是，因為圖54的溝槽5408的個別者具有圖案化的起始點，其對應於圖54的骨幹特徵5402、第一間隔物特徵5404或5404'、或互補區5407，此特徵的寬度及/或間距的差異可顯示為於積體電路的金屬化層中的最終形成的導電互連中的間距四分之一製程的人造物。作為例子，圖55A描述使用間距四分之一方案製造的金屬化層的截面圖，根據本揭露的實施方式。

【0548】參照圖55A，積體電路結構5500包含層間介電質(ILD)層5504在基板5502之上。複數導電互連線5506在ILD層5504中，且複數導電互連線5506的個別者由ILD層5504的部分彼此間隔開。複數導電互連線5506的個別者包含導電阻障層5508及導電填充材料5510。

【0549】參照圖54及55A的兩者，導電互連線5506B

以源自骨幹特徵 5402 的圖案形成於溝槽中。導電互連線 5506S 以源自第一間隔物特徵 5404 或 5404' 的圖案形成於溝槽中。導電互連線 5506C 以源自骨幹特徵 5402 之間的互補區 5407 的圖案形成於溝槽中。

【0550】再參照圖 55A，於實施方式，複數導電互連線 5506 包含具有寬度 (W1) 的第一導電互連線 5506B。第二互連線 5506S 緊鄰第一互連線 5506B，第二互連線 5506S 具有的寬度 (W2) 與第一互連線 5506B 的寬度 (W1) 不同。第三互連線 5506C 緊鄰第二互連線 5506S，第三互連線 5506C 具有寬度 (W3)。第四互連線 (第二 5506S) 緊鄰第三互連線 5506C，第四互連線具有的寬度 (W2) 與第二互連線 5506S 的寬度 (W2) 相同。第五互連線 (第二 5506B) 緊鄰第四互連線 (第二 5506S)，第五互連線 (第二 5506B) 具有的寬度 (W1) 與第一互連線 5506B 的寬度 (W1) 相同。

【0551】於實施方式，第三互連線 5506C 的寬度 (W3) 與第一互連線 5506B 的寬度 (W1) 不同。於一此實施方式，第三互連線 5506C 的寬度 (W3) 與第二互連線 5506S 的寬度 (W2) 不同。於另一此實施方式，第三互連線 5506C 的寬度 (W3) 與第二互連線 5506S 的寬度 (W2) 相同。於另一實施方式，第三互連線 5506C 的寬度 (W3) 與第一互連線 5506B 的寬度 (W1) 相同。

【0552】於實施方式，第一互連線 5506B 與第三互連線 5506C 之間間距 (P1) 相同於第二互連線 5506S 與第四互連線 (第二 5506S) 之間間距 (P2)。於另一實施方式，第一



互連線 5506B 與第三互連線 5506C 之間的間距 (P1) 不同於第二互連線 5506S 與第四互連線 (第二 5506S) 之間的間距 (P2)。

【0553】再參照圖 55A，於另一實施方式，複數導電互連線 5506 包含具有寬度 (W1) 的第一導電互連線 5506B。第二互連線 5506S 緊鄰第一互連線 5506B，第二互連線 5506S 具有寬度 (W2)。第三互連線 5506C 緊鄰第二互連線 5506S，第三互連線 5506S 具有的寬度 (W3) 與第一互連線 5506B 的寬度 (W1) 不同。第四互連線 (第二 5506S) 緊鄰第三互連線 5506C，第四互連線具有的寬度 (W2) 與第二互連線 5506S 的寬度 (W2) 相同。第五互連線 (第二 5506B) 緊鄰第四互連線 (第二 5506S)，第五互連線 (第二 5506B) 具有的寬度 (W1) 與第一互連線 5506B 的寬度 (W1) 相同。

【0554】於實施方式，第二互連線 5506S 的寬度 (W2) 與第一互連線 5506B 的寬度 (W1) 不同。於一此實施方式，第三互連線 5506C 的寬度 (W3) 與第二互連線 5506S 的寬度 (W2) 不同。於另一此實施方式，第三互連線 5506C 的寬度 (W3) 與第二互連線 5506S 的寬度 (W2) 相同。

【0555】於實施方式，第二互連線 5506S 的寬度 (W2) 與第一互連線 5506B 的寬度 (W1) 相同。於實施方式，第一互連線 5506B 與第三互連線 5506C 之間的間距 (P1) 相同於第二互連線 5506S 與第四互連線 (第二 5506S) 之間的間距 (P2)。於一實施方式，第一互連線 5506B 與第三互連線 5506C 之間的間距 (P1) 不同於第二互連線 5506S 與第四互連

線(第二5506S)之間間距(P2)。

【0556】圖55B描述在使用間距四分之一方案製造的金屬化層之上使用間距二分之一方案製造的金屬化層的截面圖，根據本揭露的實施方式。

【0557】參照圖55B，積體電路結構5550包含第一層間介電質(ILD)層5554在基板5552之上。第一複數導電互連線5556在第一ILD層5554中，且第一複數導電互連線5556的個別者由第一ILD層5554的部分彼此間隔開。複數導電互連線5556的個別者包含導電阻障層5558及導電填充材料5560。積體電路結構5550更包含第二層間介電質(ILD)層5574在基板5552之上。第二複數導電互連線5576在第二ILD層5574中，且第二複數導電互連線5576的個別者由第二ILD層5574的部分彼此間隔開。複數導電互連線5576的個別者包含導電阻障層5578及導電填充材料5580。

【0558】根據本揭露的實施方式，再參照圖55B，製造積體電路結構的方法，包含形成第一複數導電互連線5556於在基板5552之上的第一層間介電質(ILD)層5554中且由第一層間介電質(ILD)層5554間隔開。第一複數導電互連線5556使用基於間隔物的間距四分之一製程形成，例如，關聯圖54的操作(a)至(e)所述的方式。第二複數導電互連線5576形成於第一ILD層5554之上的第二ILD層5574中且由第二ILD層5574間隔開。第二複數導電互連線5576使用基於間隔物的間距二分之一製程形成，例如，關聯圖54的操作(a)及(b)所述的方式。

【0559】於實施方式，第一複數導電互連線5556具有40奈米(或更小)的緊鄰線之間的間距(P1)。第二複數導電互連線5576具有44奈米或更大的緊鄰線之間的間距(P2)。於實施方式，基於間隔物的間距四分之一製程及基於間隔物的間距二分之一製程基於浸漬193 nm微影製程。

【0560】於實施方式，第一複數導電互連線5554的個別者包含第一導電阻障襯墊5558及第一導電填充材料5560。第二複數導電互連線5556的個別者包含第二導電阻障襯墊5578及第二導電填充材料5580。於一此實施方式，第一導電填充材料5560的成分與第二導電填充材料5580的成分不同。於另一此實施方式，第一導電填充材料5560的成分與第二導電填充材料5580的成分相同。

【0561】雖未示出，於實施方式，方法更包含形成第三複數導電互連線於第二ILD層5574之上的第三ILD層中且由第三ILD層間隔開。第三複數導電互連線被形成而無使用間距分割。

【0562】雖未示出，於實施方式，方法更包含，在形成第二複數導電互連線5576之前，形成第三複數導電互連線於第一ILD層5554之上的第三ILD層中且由第三ILD層間隔開。第三複數導電互連線使用基於間隔物的間距四分之一製程形成。於一此實施方式，在形成第二複數導電互連線5576之後，形成第四複數導電互連線於第二ILD層5574之上的第四ILD層中且由第四ILD層間隔開。第四複數導電互連線使用基於間隔物的間距二分之一製程形成。於實

施方式，此方法更包含形成第五複數導電互連線於在第四ILD層之上的第五ILD層中且由第五ILD層間隔開，第五複數導電互連線使用基於間隔物的間距二分之一製程形成。形成第六複數導電互連線於在第五ILD層之上的第六ILD層中且由第六ILD層間隔開，第六複數導電互連線使用基於間隔物的間距二分之一製程形成。第七複數導電互連線之後形成於在第六ILD層之上的第七ILD層中且由第七ILD層間隔開。第七複數導電互連線被形成而無使用間距分割。

【0563】於另一態樣，金屬線成分在金屬化層之間有變化。此配置可稱為異質金屬化層。於實施方式，銅用作對於較大互連線的導電填充材料，而鈷用作相對較小的互連線的導電填充材料。具有鈷作為填充材料的較小的線可提供降低的電遷移同時維持低電阻率。對於較小的互連線使用鈷取代銅可解決微縮銅線的問題，此問題中導電阻障層消耗較大的互連體積的量且銅被減少，實質阻礙一般與銅互連線關聯的利益。

【0564】於第一例，圖56A描述積體電路結構的截面圖，具有有金屬線成分的金屬化層於有不同的金屬線成分的金屬化層之上，根據本揭露的實施方式。

【0565】參照圖56A，積體電路結構5600包含第一複數導電互連線5606於基板5602之上的第一層間介電質(ILD)層5604中且由第一層間介電質(ILD)層5604間隔開。導電互連線5606A的一者顯示為具有下伏的通孔5607。第

一複數導電互連線5606的個別者包含第一導電阻障材料5608沿著第一導電填充材料5610的側壁和底部。

【0566】第二複數導電互連線5616在第一ILD層5604之上的第二ILD層5614中且由第二ILD層5614間隔開。導電互連線5616A的一者顯示為具有下伏的通孔5617。第二複數導電互連線5616的個別者包含第二導電阻障材料5618沿著第二導電填充材料5620的側壁和底部。第二導電填充材料5620的成分與第一導電填充材料5610的成分不同。

【0567】於實施方式，第二導電填充材料5620主要由銅組成，且第一導電填充材料5610主要由鈷組成。於一此實施方式，第一導電阻障材料5608的成分與第二導電阻障材料5618的成分不同。於另一此實施方式，第一導電阻障材料5608的成分與第二導電阻障材料5618的成分相同。

【0568】於實施方式，第一導電填充材料5610包含具有摻雜物雜質原子的第一濃度的銅，且第二導電填充材料5620包含具有摻雜物雜質原子的第二濃度的銅。摻雜物雜質原子的第二濃度小於摻雜物雜質原子的第一濃度。於一此實施方式，摻雜物雜質原子選自由鋁(Al)及錳(Mn)組成的群組。於實施方式，第一導電阻障材料5610及第二導電阻障材料5620具有相同成分。於實施方式，第一導電阻障材料5610及第二導電阻障材料5620具有不同成分。

【0569】再參照圖56A，第二ILD層5614在蝕刻停止層5622上。導電通孔5617在第二ILD層5614中且在蝕刻停止層5622的開口中。於實施方式，第一及第二ILD層5604

及5614包含矽、碳及氧，且蝕刻停止層5622包含矽及氮。於實施方式，第一複數導電互連線5606的個別者具有第一寬度(W1)，且第二複數導電互連線5616的個別者具有大於第一寬度(W1)的第二寬度(W2)。

【0570】於第二例，圖56B描述積體電路結構的截面圖，具有有金屬線成分的金屬化層耦合於有不同金屬線成分的金屬化層，根據本揭露的實施方式。

【0571】參照圖56B，積體電路結構5650包含第一複數導電互連線5656於基板5652之上的第一層間介電質(ILD)層5654中且由第一層間介電質(ILD)層5654間隔開。導電互連線5656A的一者顯示為具有下伏的通孔5657。第一複數導電互連線5656的個別者包含第一導電阻障材料5658沿著第一導電填充材料5660的側壁和底部。

【0572】第二複數導電互連線5666在第一ILD層5654之上的第二ILD層5664中且由第二ILD層5664間隔開。導電互連線5666A的一者顯示為具有下伏的通孔5667。第二複數導電互連線5666的個別者包含第二導電阻障材料5668沿著第二導電填充材料5670的側壁和底部。第二導電填充材料5670的成分與第一導電填充材料5660的成分不同。

【0573】於實施方式，導電通孔5657在第一複數導電互連線5656的個別的一者5656B上且與其電耦合，電耦合第二複數導電互連線5666的個別的一者5666A至第一複數導電互連線5656的個別的一者5656B。於實施方式，第一複數導電互連線5656的個別者沿著第一方向5698(例如，

入及出紙面方向)，且第二複數導電互連線 5666 的個別者沿著與第一方向 5698 正交的第二方向 5699，如所示。於實施方式，導電通孔 5667 包含第二導電阻障材料 5668 沿著第二導電填充材料 5670 的側壁和底部，如所示。

【0574】於實施方式，第二 ILD 層 5664 在第一 ILD 層 5654 上的蝕刻停止層 5672 上。導電通孔 5667 在第二 ILD 層 5664 中且在蝕刻停止層 5672 的開口中。於實施方式，第一及第二 ILD 層 5654 及 5664 包含矽、碳及氧，且蝕刻停止層 5672 包含矽及氮。於實施方式，第一複數導電互連線 5656 的個別者具有第一寬度 (W1)，且第二複數導電互連線 5666 的個別者具有大於第一寬度 (W1) 的第二寬度 (W2)。

【0575】於實施方式，第二導電填充材料 5670 主要由銅組成，且第一導電填充材料 5660 主要由鈷組成。於一此實施方式，第一導電阻障材料 5658 的成分與第二導電阻障材料 5668 的成分不同。於另一此實施方式，第一導電阻障材料 5658 的成分與第二導電阻障材料 5668 的成分相同。

【0576】於實施方式，第一導電填充材料 5660 包含具有摻雜物雜質原子的第一濃度的銅，且第二導電填充材料 5670 包含具有摻雜物雜質原子的第二濃度的銅。摻雜物雜質原子的第二濃度小於摻雜物雜質原子的第一濃度。於一此實施方式，摻雜物雜質原子選自由鋁 (Al) 及錳 (Mn) 組成的群組。於實施方式，第一導電阻障材料 5660 及第二導電阻障材料 5670 具有相同成分。於實施方式，第一導電阻障材料 5660 及第二導電阻障材料 5670 具有不同成分。

【0577】圖 57A 至 57C 描述具有多樣的阻障襯墊及導電帽結構配置的個別互連線的截面圖，適用於關聯圖 56A 及 56B 敘述的結構，根據本揭露的實施方式。

【0578】參照圖 57A，在介電質層 5701 中的互連線 5700 包含導電阻障材料 5702 及導電填充材料 5704。導電阻障材料 5702 包含離導電填充材料 5704 遠的外層 5706 及緊鄰導電填充材料 5704 的內層 5708。於實施方式，導電填充材料包含鈷，外層 5706 包含鈦及氮，且內層 5708 包含鎢、氮及碳。於一此實施方式，外層 5706 具有約 2 奈米的厚度，且內層 5708 具有約 0.5 奈米的厚度。於另一實施方式，導電填充材料包含鈷，外層 5706 包含鉍，且內層 5708 包含鈦。於一此實施方式，外層 5706 更包含氮。

【0579】參照圖 57B，在介電質層 5721 中的互連線 5720 包含導電阻障材料 5722 及導電填充材料 5724。導電帽層 5730 在導電填充材料 5724 的頂部上。於一此實施方式，導電帽層 5730 更在導電阻障材料 5722 的頂部上，如所示。於另一實施方式，導電帽層 5730 不在導電阻障材料 5722 的頂部上。於實施方式，導電帽層 5730 主要由鈷組成，且導電填充材料 5724 主要由銅組成。

【0580】參照圖 57C，在介電質層 5741 中的互連線 5740 包含導電阻障材料 5742 及導電填充材料 5744。導電阻障材料 5742 包含離導電填充材料 5744 遠的外層 5746 及緊鄰導電填充材料 5744 的內層 5748。導電帽層 5750 在導電填充材料 5744 的頂部上。於一實施方式，導電帽層 5750 僅為導



電填充材料5744的頂部。於另一實施方式，導電帽層5750更在導電阻障材料5742的內層5748的頂部上，即位置5752。於另一實施方式，唯，導電帽層5750更在導電阻障材料5742的外層5746的頂部上，即位置5754。

【0581】於實施方式，參照圖57B及57C，製造積體電路結構的方法，包含形成層間介電質(ILD)層5721或5741在基板之上。複數導電互連線5720或5740形成於溝槽中且由ILD層間隔開，複數導電互連線5720或5740的個別者在對應的溝槽的一者中。複數導電互連線由以下形成：首先形成導電阻障材料5722或5724於溝槽的底部和側壁上，且之後分別形成導電填充材料5724或5744在導電阻障材料5722或5742上，且填充溝槽，其中導電阻障材料5722或5742分別沿著導電填充材料5730或5750的底部和側壁。導電填充材料5724或5744的頂部之後以包含氧及碳的氣體處理。在導電填充材料5724或5744的頂部以包含氧及碳的氣體處理後，導電帽層5730或5750分別形成於導電填充材料5724或5744的頂部上。

【0582】於一實施方式，以包含氧及碳的氣體處理導電填充材料5724或5744的頂部包含以一氧化碳(CO)處理導電填充材料5724或5744的頂部。於一實施方式，導電填充材料5724或5744包含銅，且形成導電帽層5730或5750在導電填充材料5724或5744的頂部上包含使用化學氣相沉積(CVD)形成包含鈷的層。於一實施方式，導電帽層5730或5750形成在導電填充材料5724或5744的頂部上，但不在在

導電阻障材料5722或5724的頂部上。

【0583】於一實施方式，形成導電阻障材料5722或5744包含形成第一導電層在溝槽的底部和側壁上，第一導電層包含鉬。第一導電層的第一部分首先使用原子層沉積(ALD)形成且之後第一導電層的第二部分使用物理氣相沉積(PVD)形成。於一此實施方式，形成導電阻障材料更包含形成第二導電層在溝槽的底部及側壁上的第一導電層上，且第二導電層包含鈦，且導電填充材料包含銅。於一實施方式，第一導電層更包含氮。

【0584】圖58描述積體電路結構的截面圖，具有有金屬線成分及間距的四金屬化層於有不同的金屬線成分及較小的間距的二金屬化層之上，根據本揭露的實施方式。

【0585】參照圖58，積體電路結構5800包含第一複數導電互連線5804於基板5801之上的第一層間介電質(ILD)層5802中且由第一層間介電質(ILD)層5802間隔開。第一複數導電互連線5804的個別者包含第一導電阻障材料5806沿著第一導電填充材料5808的側壁和底部。第一複數導電互連線5804的個別者沿著第一方向5898(例如，入及出紙面)。

【0586】第二複數導電互連線5814在第一ILD層5802之上的第二ILD層5812中且由第二ILD層5812間隔開。第二複數導電互連線5814的個別者包含第一導電阻障材料5806沿著第一導電填充材料5808的側壁和底部。第二複數導電互連線5814的個別者沿著與第一方向5898正交的第二

方向 5899。

【0587】第三複數導電互連線 5824 在第二 ILD 層 5812 之上的第三 ILD 層 5822 中且由第三 ILD 層 5822 間隔開。第三複數導電互連線 5824 的個別者包含第二導電阻障材料 5826 沿著第二導電填充材料 5828 的側壁和底部。第二導電填充材料 5828 的成分與第一導電填充材料 5808 的成分不同。第三複數導電互連線 5824 的個別者沿著第一方向 5898。

【0588】第四複數導電互連線 5834 在第三 ILD 層 5822 之上的第四 ILD 層 5832 中且由第四 ILD 層 5832 間隔開。第四複數導電互連線 5834 的個別者包含第二導電阻障材料 5826 沿著第二導電填充材料 5828 的側壁和底部。第四複數導電互連線 5834 的個別者沿著第二方向 5899。

【0589】第五複數導電互連線 5844 在第四 ILD 層 5832 之上的第五 ILD 層 5842 中且由第五 ILD 層 5842 間隔開。第五複數導電互連線 5844 的個別者包含第二導電阻障材料 5826 沿著第二導電填充材料 5828 的側壁和底部。第五複數導電互連線 5844 的個別者沿著第一方向 5898。

【0590】第六複數導電互連線 5854 在第五 ILD 層之上的第六 ILD 層 5852 中且由第六 ILD 層 5852 間隔開。第六複數導電互連線 5854 的個別者包含第二導電阻障材料 5826 沿著第二導電填充材料 5828 的側壁和底部。第六複數導電互連線 5854 的個別者沿著第二方向 5899。

【0591】於實施方式，第二導電填充材料 5828 主要由

銅組成，且第一導電填充材料5808主要由鈷組成。於實施方式，第一導電填充材料5808包含具有摻雜物雜質原子的第一濃度的銅，且第二導電填充材料5828包含具有摻雜物雜質原子的第二濃度的銅，摻雜物雜質原子的第二濃度小於摻雜物雜質原子的第一濃度。

【0592】於實施方式，第一導電阻障材料5806的成分與第二導電阻障材料5826的成分不同。於另一實施方式，第一導電阻障材料5806及第二導電阻障材料5826具有相同成分。

【0593】於實施方式，第一導電通孔5819在第一複數導電互連線5804的個別一者5804A上且與其電耦合。第二複數導電互連線5814的個別一者5814A在第一導電通孔5819上且與其電耦合。

【0594】第二導電通孔5829在第二複數導電互連線5814的個別一者5814B上且與其電耦合。第三複數導電互連線5824的個別一者5824A在第二導電通孔5829上且與其電耦合。

【0595】第三導電通孔5839在第三複數導電互連線5824的個別一者5824B上且與其電耦合。第四複數導電互連線5834的個別一者5834A在第三導電通孔5839上且與其電耦合。

【0596】第四導電通孔5849在第四複數導電互連線5834的個別一者5834B上且與其電耦合。第五複數導電互連線5844的個別一者5844A在第四導電通孔5849上且與其

電耦合。

【0597】第五導電通孔5859在第五複數導電互連線5844的個別一者5844B上且與其電耦合。第六複數導電互連線5854的個別一者5854A在第五導電通孔5859上且與其電耦合。

【0598】於一實施方式，第一導電通孔5819包含第一導電阻障材料5806沿著第一導電填充材料5808的側壁和底部。第二導電通孔5829、第三導電通孔5839、第四導電通孔5849及第五導電通孔5859包含第二導電阻障材料5826沿著第二導電填充材料5828的側壁和底部。

【0599】於實施方式，第一ILD層5802、第二ILD層5812、第三ILD層5822、第四ILD層5832、第五ILD層5842及第六ILD層5852由相鄰的ILD層之間的對應的蝕刻停止層5890彼此分開。於實施方式，第一ILD層5802、第二ILD層5812、第三ILD層5822、第四ILD層5832、第五ILD層5842及第六ILD層5852包含矽、碳及氮。

【0600】於實施方式，第一複數導電互連線5804及第二複數導電互連線5814的個別者具有第一寬度(W1)。第三複數導電互連線5824、第四複數導電互連線5834、第五複數導電互連線5844及第六複數導電互連線5854的個別者具有大於第一寬度(W1)的第二寬度(W2)。

【0601】圖59A至59D描述具有底導電層的多樣的互連線及通孔配置的截面圖，根據本揭露的實施方式。

【0602】參照圖59A及59B，積體電路結構5900包含

層間介電質(ILD)層5904在基板5920之上。導電通孔5906在ILD層5904中的第一溝槽5908中。導電互連線5910在導電通孔5906之上且與其電耦合。導電互連線5910在ILD層5904中的第二溝槽5912中。第二溝槽5912具有的開口5913大於第一溝槽5908具有的開口5909。

【0603】於實施方式，導電通孔5906及導電互連線5910包含第一導電阻障層5914在第一溝槽5908的底部上，但不沿著第一溝槽5908的側壁，且不沿著第二溝槽5912的底部及側壁。第二導電阻障層5916在第一溝槽5908的底部上的第一導電阻障層5914上。第二導電阻障層5916更沿著第一溝槽5908的側壁且更沿著第二溝槽5912的底部和側壁。第三導電阻障層5918在第一溝槽5908的底部上的第二導電阻障層5916上。第三導電阻障層5918更在第二導電阻障層5916上，第二導電阻障層5916沿著第一溝槽5908的側壁且沿著第二溝槽5912的底部和側壁。導電填充材料5920在第三導電阻障層5918上且填充第一溝槽5908及第二溝槽5912。第三導電阻障層5918沿著導電填充材料5920的底部及側壁。

【0604】於一實施方式，第一導電阻障層5914及第三導電阻障層5918具有相同的成分，且第二導電阻障層5916的成分不同於第一導電阻障層5914及第三導電阻障層5918。於此一實施方式，第一導電阻障層5914及第三導電阻障層5918包含鈣，且第二導電阻障層5916包含鋁。於特定的此實施方式，第二導電阻障層5916更包含氮。於實施

方式，導電填充材料5920主要由銅組成。

【0605】於實施方式，導電帽層5922在導電填充材料5920的頂部上。於一此實施方式，導電帽層5922不在第二導電阻障層5916的頂部上且不在第三導電阻障層5918的頂部上。唯，於另一實施方式，導電帽層5922更在第三導電阻障層5918的頂部上，例如，於位置5924。於一此實施方式，導電帽層5922更在第二導電阻障層5916的頂部上，例如，於位置5926。於實施方式，導電帽層5922主要由鈷組成，且導電填充材料5920主要由銅組成。

【0606】參照圖59C及59D，於實施方式，導電通孔5906在ILD層5904之下的第二ILD層5952中的第二導電互連線5950上且與其電連接。第二導電互連線5950包含導電填充材料5954及導電帽5956於其上。蝕刻停止層5958可在導電帽5956上方，如所示。

【0607】於一實施方式，導電通孔5906的第一導電阻障層5914在第二導電互連線5950的導電帽5956的開口5960中，如圖59C所示。於一此實施方式，導電通孔5906的第一導電阻障層5914包含鈉，且第二導電互連線5950的導電帽5956包含鈷。

【0608】於另一實施方式，導電通孔5906的第一導電阻障層5914在第二導電互連線5950的導電帽5956的部分上，如圖59D所示。於一此實施方式，導電通孔5906的第一導電阻障層5914包含鈉，且第二導電互連線5950的導電帽5956包含鈷。於特定的實施方式，雖未示出，導電通孔

5906的第一導電阻障層5914在進入但不穿過第二導電互連線5950的導電帽5956的凹陷上。

【0609】於另一態樣，BEOL金屬化層具有非平面拓撲，例如，導電線及裝載導電線的ILD層之間的階高差異。於實施方式，上覆蝕刻停止層與拓撲共形地形成，且在拓撲上。於實施方式，拓撲幫助引導上覆通孔蝕刻製程往導電線，以阻礙導電通孔的「未著陸」。

【0610】於蝕刻停止層拓撲的第一例，圖60A至60D描述對於BEOL金屬化層的凹陷線拓撲的結構配置的截面圖，根據本揭露的實施方式。

【0611】參照圖60A，積體電路結構6000包含複數導電互連線6006於基板6002之上的層間介電質(ILD)層6004中且由層間介電質(ILD)層6004隔開。複數導電互連線6006的一者顯示為耦合於下伏的通孔6007，為了作為例子。複數導電互連線6006的個別者具有的上表面6008在ILD層6004的上表面6010之下。蝕刻停止層6012在ILD層6004及複數導電互連線6006上且與其共形。蝕刻停止層6012具有非平面上表面，非平面上表面的最上部分6014在ILD層6004上方且非平面上表面的最下部分6016在複數導電互連線6006上方。

【0612】導電通孔6018在複數導電互連線6006的個別一者6006A上且與其電耦合。導電通孔6018在蝕刻停止層6012的開口6020中。開口6020在複數導電互連線6006的個別一者6006A上方但不在ILD層6014上方。導電通孔6018



在蝕刻停止層 6012 之上的第二 ILD 層 6022 中。於一實施方式，第二 ILD 層 6022 在蝕刻停止層 6012 上且與其共形，如所圖 60A 所示。

【0613】於實施方式，導電通孔 6018 的中心 6024 與複數導電互連線 6006 的個別一者 6006A 的中心 6026 對準，如圖 60A 所示。於另一實施方式，唯，導電通孔 6018 的中心 6024 與複數導電互連線 6006 的個別一者 6006A 的中心 6026 偏位，如圖 60B 所示。

【0614】於實施方式，複數導電互連線 6006 的個別者包含阻障層 6028 沿著導電填充材料 6030 的側壁及底部。於一實施方式，阻障層 6028 及導電填充材料 6030 的兩者皆具有在 ILD 層 6004 的上表面 6010 之下的最上表面，如圖 60A、60B 及 60C 所示。於特定的此實施方式，阻障層 6028 的最上表面在導電填充材料 6030 的最上表面之上，如圖 6C 所示。於另一實施方式，導電填充材料 6030 具有的最上表面在 ILD 層 6004 的上表面 6010 之下，且阻障層 6028 具有的最上表面與 ILD 層 6004 的上表面 6010 共平面，如圖 6D 所示。

【0615】於實施方式，ILD 層 6004 包含矽、碳及氧，且蝕刻停止層 6012 包含矽及氮。於實施方式，複數導電互連線 6006 的個別者的上表面 6008 在 ILD 層 6004 的上表面 6010 之下 0.5 至 1.5 奈米的範圍的量。

【0616】整體參照圖 60A 至 60D，根據本揭露的實施方式，製造積體電路結構的方法，包含形成複數導電互連

線在基板 6002 之上的第一層間介電質 (ILD) 層 6004 中且由第一層間介電質 (ILD) 層 6004 間隔開。複數導電互連線相對於第一 ILD 層凹陷，以提供複數導電互連線的個別一者 6006 具有上表面 6008 在第一 ILD 層 6004 的上表面 6010 之下。在凹陷複數導電互連線之後，蝕刻停止層 6012 形成在第一 ILD 層 6004 及複數導電互連線 6006 上且與其共形。蝕刻停止層 6012 具有非平面上表面，非平面上表面的最上部分 6016 在第一 ILD 層 6004 上方且非平面上表面的最下部分 6014 在複數導電互連線 6006 上方。第二 ILD 層 6022 形成在蝕刻停止層 6012 的上。通孔溝槽於第二 ILD 層 6022 中被蝕刻。在蝕刻期間蝕刻停止層 6012 引導第二 ILD 層 6022 中的通孔溝槽的位置。蝕刻停止層 6012 被蝕刻穿過通孔溝槽以形成開口 6020 於蝕刻停止層 6012 中。開口 6020 在複數導電互連線 6006 的個別一者 6006A 上方但不在第一 ILD 層 6004 上方。導電通孔 6018 形成在通孔溝槽中且在蝕刻停止層 6012 的開口 6020 中。導電通孔 6018 在複數導電互連線 6006 的個別一者 6006A 上且與其電耦合。

【0617】於一實施方式，複數導電互連線 6006 的個別者包含阻障層 6028 沿著導電填充材料 6030 的側壁及底部，且凹陷複數導電互連線包含凹陷阻障層 6028 及導電填充材料 6030 的兩者，如圖 60A 至 60C 所示。於另一實施方式，複數導電互連線 6006 的個別一者包含阻障層 6028 沿著導電填充材料 6030 的側壁和底部，且凹陷複數導電互連線包含凹陷導電填充材料 6030 但不實質凹陷阻障層 6028，如圖

60D所示。於實施方式，蝕刻停止層6012重引導微影地不對準通孔溝槽圖案。於實施方式，凹陷複數導電互連線包含相對於第一ILD層6004凹陷在0.5至1.5奈米的範圍的量。

【0618】於蝕刻停止層拓樸的第二例，圖61A至61D描述對於BEOL金屬化層的階狀線拓樸的結構配置的截面圖，根據本揭露的實施方式。

【0619】參照圖61A，積體電路結構6100包含複數導電互連線6106於基板6102之上的層間介電質(ILD)層6104中且由層間介電質(ILD)層6104隔開。複數導電互連線6106的一者顯示為耦合於下伏的通孔6107，為了作為例子。複數導電互連線6106的個別者具有的上表面6108在ILD層6104的上表面6110之上。蝕刻停止層6112在ILD層6104及複數導電互連線6106上且與其共形。蝕刻停止層6112具有非平面上表面，非平面上表面的最下部分6114在ILD層6104上方且非平面上表面的最上部分6116在複數導電互連線6106上方。

【0620】導電通孔6118在複數導電互連線6106的個別一者6106A上且與其電耦合。導電通孔6118在蝕刻停止層6112的開口6120中。開口6120在複數導電互連線6106的個別一者6106A上方但不在ILD層6114上方。導電通孔6118在蝕刻停止層6112之上的第二ILD層6122中。於一實施方式，第二ILD層6122在蝕刻停止層6112上且與其共形，如所圖61A所示。

【0621】於實施方式，導電通孔6118的中心6124與複數導電互連線6106的個別一者6106A的中心6126對準，如圖61A所示。於另一實施方式，唯，導電通孔6118的中心6124與複數導電互連線6106的個別一者6106A的中心6126偏位，如圖61B所示。

【0622】於實施方式，複數導電互連線6106的個別者包含阻障層6128沿著導電填充材料6130的側壁及底部。於一實施方式，阻障層6128及導電填充材料6130的兩者皆具有在ILD層6104的上表面6110之上的最上表面，如圖61A、61B及61C所示。於特定的此實施方式，阻障層6128的最上表面在導電填充材料6130的最上表面之下，如圖61C所示。於另一實施方式，導電填充材料6130具有的最上表面在ILD層6104的上表面6110之上，且阻障層6128具有的最上表面與ILD層6104的上表面6110共平面，如圖61D所示。

【0623】於實施方式，ILD層6104包含矽、碳及氧，且蝕刻停止層6112包含矽及氮。於實施方式，複數導電互連線6106的個別者的上表面6108在ILD層6104的上表面6110之上0.5至1.5奈米的範圍的量。

【0624】整體參照圖61A至61D，根據本揭露的實施方式，製造積體電路結構的方法，包含形成複數導電互連線6106在基板6102之上的第一層間介電質(ILD)層中且由第一層間介電質(ILD)層間隔開。第一ILD層6104相對於複數導電互連線6106凹陷以提供複數導電互連線6106的個別

者具有上表面 6108 於第一 ILD 層 6104 的上表面 6110 之上。在凹陷第一 ILD 層 6104 之後，蝕刻停止層 6112 形成在第一 ILD 層 6104 及複數導電互連線 6106 上且與其共形。蝕刻停止層 6112 具有非平面上表面，非平面上表面的最下部分 6114 在第一 ILD 層 6104 上方且非平面上表面的最上部分 6116 在複數導電互連線 6106 上方。第二 ILD 層 6122 形成在蝕刻停止層 6112 上。通孔溝槽於第二 ILD 層 6122 中被蝕刻。在蝕刻期間蝕刻停止層 6112 引導第二 ILD 層 6122 中的通孔溝槽的位置。蝕刻停止層 6112 被蝕刻穿過通孔溝槽以形成開口 6120 於蝕刻停止層 6112 中。開口 6120 在複數導電互連線 6106 的個別一者 6106A 上方但不在第一 ILD 層 6104 上方。導電通孔 6118 形成在通孔溝槽中且在蝕刻停止層 6112 的開口 6120 中。導電通孔 6118 在複數導電互連線 6106 的個別一者 6106A 上且與其電耦合。

【0625】於一實施方式，複數導電互連線 6106 的個別者包含阻障層 6128 沿著導電填充材料 6130 的側壁及底部，且凹陷第一 ILD 層 6104 包含相對於阻障層 6128 及導電填充材料 6030 的兩者凹陷，如圖 61A 至 61C 所示。於另一實施方式，複數導電互連線 6106 的個別者包含阻障層 6128 沿著導電填充材料 6130 的側壁及底部，且凹陷第一 ILD 層 6104 包含相對於導電填充材料 6130 凹陷但不相對於阻障層 6128 凹陷，如圖 61D 所示。於實施方式，其中蝕刻停止層 6112 重引導微影地不對準通孔溝槽圖案。於實施方式，凹陷第一 ILD 層 6104 包含凹陷複數導電互連線 6106 在 0.5 至 1.5 奈

米的範圍的量。

【0626】於另一態樣，敘述用於圖案化金屬線端部的技術。提供脈絡，於半導體製造的先進的節點，下階互連可由線柵、線端部及通孔的分開的圖案化製程產生。唯，當通孔於線端部上侵犯或反之，組成圖案的保真度傾向於劣化。於此所述的實施方式提供的線端部製程亦被理解作為插塞製程，其消除關聯的緊鄰規則。實施方式可允許通孔被設置在線端部及大通孔以繫跨線端部。

【0627】提供進一步的脈絡，圖62A描述沿著金屬化層的平面圖的a-a'軸的平面圖及對應的截面圖，根據本揭露的實施方式。圖62B描述線端部或插塞的截面圖，根據本揭露的實施方式。圖62C描述線端部或插塞的另一截面圖，根據本揭露的實施方式。

【0628】參照圖62A，金屬化層6200包含金屬線6202形成於介電質層6204中。金屬線6202可耦合於下伏的通孔6203。介電質層6204可包含線端部或插塞區6205。參照圖62B，介電質層6204的線端部或插塞區6205可由圖案化硬遮罩層6210於介電質層6204上且之後蝕刻介電質層6204的暴露的部分而製造。介電質層6204的暴露的部分可被蝕刻至適合形成線溝槽6206的深度或更蝕刻至適合形成通孔溝槽6208的深度。參照圖62C，相鄰於線端部或插塞6205的相對側的二通孔可製造於單一大暴露區6216以最終形成線溝槽6212及通孔溝槽6214。

【0629】唯，再參照圖62A至62C，保真度問題及/或

硬遮罩侵蝕問題可造成不完美的圖案化機制。相對地，於此所述的一或更多實施方式包含涉及在溝槽及通孔圖案化製程後的線端部介電質(插塞)的建造的製程流程的實施。

【0630】於態樣中，之後，於此所述的一或更多實施方式係對於用於建造非導電間隔或中斷於金屬線(稱為「線端部」、「插塞」或「切割」)之間(且於一些實施方式，關聯的導電通孔之間)的方式。導電通孔，由定義，用於著陸於先前的層金屬圖案上。如此，於此所述的實施方式致能更多堅固的互連製造方案，因為由微影設備的對準的依靠程度較低。此互連製造方案可用以放鬆對於對齊/曝光的限制，可用以改進電接觸(例如，由減少通孔電阻)，且可用以減少相對於使用傳統方式圖案化此特徵需要的總製程操作及製程時間。

【0631】圖 63A 至 63F 描述表示插塞最後製程方案的多樣的操作的平面圖及對應的截面圖，根據本揭露的實施方式。

【0632】參照圖 63A，製造積體電路結構的方法，包含形成線溝槽 6306 在形成於下伏的金屬化層 6300 之上的層間介電質(ILD)材料層 6302 的上部分 6304 中。通孔溝槽 6308 形成於 ILD 材料層 6302 的下部分 6310 中。通孔溝槽 6308 暴露下伏的金屬化層 6300 的金屬線 6312。

【0633】參照圖 63B，犧牲材料 6314 形成於 ILD 材料層 6302 之上且於線溝槽 6306 及通孔溝槽 6308 中。犧牲材料 6314 可具有硬遮罩 6315 形成於其上，如圖 63B 所示。於一

實施方式，犧牲材料6314包含碳。

【0634】參照圖63C，犧牲材料6314被圖案化以破壞線溝槽6306中的犧牲材料6314的連續性，例如，提供開口6316於犧牲材料6314中。

【0635】參照圖63D，於犧牲材料6314中的開口6316以介電質材料填充以形成介電質插塞6318。於實施方式，在以介電質材料填充犧牲材料6314中的開口6316後，硬遮罩6315被移除以提供介電質插塞6318，介電質插塞6318具有的上表面6320在ILD材料6302的上表面6322之上，如圖63D所示。犧牲材料6314被移除以留下介電質插塞6318維持。

【0636】於實施方式，以介電質材料填充犧牲材料6314的開口6316包含以金屬氧化物材料填充。於一此實施方式，金屬氧化物材料為氧化鋁。於實施方式，以介電質材料填充犧牲材料6316的開口6314包含使用原子層沉積(ALD)填充。

【0637】參照圖63E，線溝槽6306及通孔溝槽6308以導電材料6324填充。於實施方式，導電材料6324形成於介電質插塞6318及ILD層6302之上及上方，如所示。

【0638】參照圖63F，導電材料6324及介電質插塞6318被平坦化以提供平坦化的介電質插塞6318'，破壞線溝槽6306中的導電材料6324的連續性。

【0639】再參照圖63F，根據本揭露的實施方式，積體電路結構6350包含層間介電質(ILD)層6302在基板之



上。導電互連線 6324 在 ILD 層 6302 中的溝槽 6306 中。導電互連線 6324 具有第一部分 6324A 及第二部分 6324B，第一部分 6324A 側向相鄰於第二部分 6324B。介電質插塞 6318' 在導電互連線 6324 的第一部分 6324A 及第二部分 6324B 之間且與其側向相鄰。雖然未示出，於實施方式，導電互連線 6324 包含導電阻障襯墊及導電填充材料，其材料的例子如上所述。於一此實施方式，導電填充材料層包含鈷。

【0640】於實施方式，介電質插塞 6318' 包含金屬氧化物材料。於一此實施方式，金屬氧化物材料為氧化鋁。於實施方式，介電質插塞 6318' 直接接觸導電互連線 6324 的第一部分 6324A 及第二部分 6324B。

【0641】於實施方式，介電質插塞 6318' 具有的底部 6318A 實質共平面於導電互連線 6324 的底部 6324C。於實施方式，第一導電通孔 6326 在 ILD 層 6302 中的溝槽 6308 中。於一此實施方式，第一導電通孔 6326 在互連線 6324 的底部 6324C 之下，且第一導電通孔 6326 電耦合於導電互連線 6324 的第一部分 6324A。

【0642】於實施方式，第二導電通孔 6328 在 ILD 層 6302 中的第三溝槽 6330 中。第二導電通孔 6328 在互連線 6324 的底部 6324C 之下，且第二導電通孔 6328 電耦合於導電互連線 6324 的第二部分 6324B。

【0643】介電質插塞可使用填充製程形成，例如化學氣相沉積製程。人造物可維持在製造的介電質插塞中。作為例子，圖 64A 描述具有縫於其中的導電線插塞的截面

圖，根據本揭露的實施方式。

【0644】參照圖64A，介電質插塞6418具有大致垂直的縫6400，從導電互連線6324的第一部分6324A及從導電互連線6324的第二部分6324B大致等距的間隔開。

【0645】可以理解的是，介電質插塞與裝載它們的ILD材料在成分上有差異，介電質插塞可僅包含於選擇的金屬化層上，例如下金屬化層。作為例子，圖64B描述包含導電線插塞於下金屬線位置的金屬化層的堆疊的截面圖，根據本揭露的實施方式。

【0646】參照圖64B，積體電路結構6450包含第一複數導電互連線6456於基板6452之上的第一層間介電質(ILD)層6454中且由第一層間介電質(ILD)層6454間隔開。第一複數導電互連線6456的個別者具有由一或更多介電質插塞6458破壞的連續性。於實施方式，一或更多介電質插塞6458包含與ILD層6452不同的材料。第二複數導電互連線6466在第一ILD層6454之上的第二ILD層6464中且由第二ILD層6464間隔開。於實施方式，第二複數導電互連線6466的個別者具有由第二ILD層6464的一或更多部分6468破壞的連續性。可以理解的是，如所示，其它金屬化層可包含於積體電路結構6450中。

【0647】於一實施方式，一或更多介電質插塞6458包含金屬氧化物材料。於一此實施方式，金屬氧化物材料為氧化鋁。於一實施方式，第一ILD層6454及第二ILD層6464(且因此，第二ILD層6464的一或更多部分6568)包含

碳摻雜的氧化矽材料。

【0648】於一實施方式，第一複數導電互連線6456的個別者包含第一導電阻障襯墊6456A及第一導電填充材料6456B。第二複數導電互連線6466的個別者包含第二導電阻障襯墊6466A及第二導電填充材料6466B。於一此實施方式，第一導電填充材料6456B的成分與第二導電填充材料6466B的成分不同。於特定的實施方式，第一導電填充材料6456B包含鈷，且第二導電填充材料6466B包含銅。

【0649】於一實施方式，第一複數導電互連線6456具有第一間距(P1，如類似的層6470所示)。第二複數導電互連線6466具有第二間距(P2，如類似的層6480所示)。第二間距(P2)大於第一間距(P1)。於一實施方式，第一複數導電互連線6456的個別者具有第一寬度(W1，如類似的層6470所示)。第二複數導電互連線6466具有第二寬度(W2，如類似的層6480所示)。第二寬度(W2)大於第一寬度(W1)。

【0650】可以理解的是，於上關聯產線後端(BEOL)結構及製程敘述的層及材料可形成於下伏的半導體基板或結構上或之上，例如積體電路的下伏的裝置層。於實施方式，下伏的半導體基板代表用以製造積體電路的一般工件物體。半導體基板通常包含晶圓或矽的其它片或另一半導體材料。適合的半導體基板包含，但不限於，單晶矽、多晶矽、絕緣覆矽(SOI)、及由其它半導體材料形成的相似的基板，例如，包含鍺、碳或III-V族材料的基板。半導體

基板，依製造的階段而定，通常包含電晶體、積體電路及類似。基板亦可包含半導體材料、金屬、介電質、摻雜物、及一般出現於半導體基板中的其它材料。此外，所示的結構可被製造於下伏的下階互連層上。

【0651】雖然已經針對選擇操作詳細描述了製造BEOL金屬化層或金屬化層之部分的上述方法，但是應當領會，用於製造的額外或中間操作可以包含標準微電子製造工序，例如微影、蝕刻、薄膜沉積、平坦化(例如化學機械研磨(CMP))、擴散、測量、犧牲層的使用、蝕刻停止層的使用、平坦化停止層的使用、及/或與微電子組件製造相關的任何其它相關聯的動作。又，可以理解的是，對於前的製程流程的製程操作的敘述可以不同的順序實現，不是所有操作必須被執行或額外的製程操作可被執行或兩者。

【0652】於實施方式，如於整份本說明書中所使用的，層間介電質(ILD)材料由介電質或絕緣材料的層構成或包含介電質或絕緣材料的層。適合的介電質材料的例子，包含但不限於，氧化矽(例如，二氧化矽( $\text{SiO}_2$ ))、氧摻雜的矽、矽的氟化的氧化物、矽的碳摻雜氧化物、所屬技術領域中可知的多樣的低k值(low-k)介電質材料、及其組合。層間介電質材料可由技術形成，例如，化學氣相沉積(CVD)、物理氣相沉積(PVD)或其它沉積技術。

【0653】於實施方式，如亦用於整份本說明書的，金屬線或互連線材料(及通孔材料)由一或更多金屬或其它導

電結構構成。一般例子為銅線及結構的使用，其可有或沒有包含阻障層於銅及圍繞的ILD材料之間。如於此所用的，詞語「金屬」包含合金、堆疊及複數金屬的其它組合。例如，金屬互連線可包含阻障層(例如，包含Ta、Ta<sub>2</sub>N<sub>5</sub>、Ti或TiN的一或多者的層)、不同金屬或合金的堆疊等。因此，互連線可為單材料層、或可從許多層形成，包含導電襯墊層及填充層。任意適合的沉積製程，例如電鍍、化學氣相沉積、或物理氣相沉積，可用以形成互連線。於一實施方式，互連線由導電材料構成，例如但不限於，Cu、Al、Ti、Zr、Hf、V、Ru、Co、Ni、Pd、Pt、W、Ag、Au或其合金。互連線亦有時於所屬技術領域稱為跡線、導線、線、金屬或單純稱為互連線。

【0654】於實施方式，如亦用於整份本說明書的，硬遮罩材料由與層間介電質材料不同的介電質材料構成。於一實施方式，不同硬遮罩材料可用於不同區，以提供對於彼此及對於下伏的介電質及金屬層的不同的生長或蝕刻選擇性。於一些實施方式，硬遮罩層包含矽的氮化物(例如，氮化矽)的層或矽的氧化物的層、或兩者、或其組合。其它適合的材料可包含基於碳的材料。於另一實施方式，硬遮罩材料包含金屬物種。例如，硬遮罩或其它上覆材料可包含鈦的氮化物或另一金屬(例如，氮化鈦)的層。其它材料的潛在的較少量，例如氧，可包含於這些層的一或更多中。或是，可使用其它於所屬技術領域中可知的其它硬遮罩層，依特定的實施例而定。硬遮罩層可由CVD、

PVD或由其它沉積方法形成。

【0655】於實施方式，如亦用於整份本揭露的，微影操作使用以下執行：193 nm浸漬微影(i193)、極紫外光(EVU)微影及/或電子束直寫(EBDW)微影，或類似。可使用正調或負調阻。於一實施方式，微影遮罩為三層遮罩，其由拓樸的遮罩部分、抗反射覆蓋(ARC)層及光阻層構成。於此特定的實施方式，拓樸的遮罩部分為碳硬遮罩(CHM)層且抗反射覆蓋層為矽ARC層。

【0656】於另一態樣，於此所述的一或更多實施方式係關於具有內部節點接續器的記憶體位元單元。特定的實施方式可包含實施記憶體位元單元於先進的自對準製程技術中的佈局有效率的技術。實施方式可針對10奈米或更小的技術節點。實施方式可提供發展具有改進的表現的記憶體位元單元於相同的足跡內，由利用主動閘極上方接觸物(COAG)或積極的金屬1(M1)間距微縮，或兩者。實施方式可包含或針對位元單元佈局，其作成在相對於先前的技術節點而言的相同或較小的足跡中的可能的較高表現的位元單元。

【0657】根據本揭露的實施方式，較高的金屬層(例如，金屬1或M1)接續器被實施以連接內部節點而不是使用傳統的閘極-溝槽接觸物-閘極接觸物(多晶-鎢溝槽接觸物-多晶導電物(poly-tcn-polycon))連接。於實施方式，主動閘極上方接觸物(COAG)整合方案結合金屬1接續器以連接內部結點而減緩或一起消滅對較高表現的位元單元的生長

足跡的需求。亦即，改進的電晶體率可被達成。於實施方式，此方式致能積極微縮以提供改進的每電晶體成本，對於，例如，10奈米(10 nm)技術節點。內部節點M1接續器可實施於在10 nm技術的SRAM、RF及雙埠位元單元以產生非常緊密的佈局。

【0658】作為比較例，圖65描述對於記憶體單元的單元佈局的第一視圖。

【0659】參照圖65，範例14奈米(14 nm)佈局6500包含位元單元6502。位元單元6502包含閘極或多晶線(poly line)6504及金屬1(M1)線6506。於所示的例子，多晶線6504具有1x間距，且M1線6506具有1x間距。於特定的實施方式，多晶線6504具有70 nm間距，且M1線6506具有70 nm間距。

【0660】相對於圖65，圖66描述對於具有內部節點接續器的記憶體單元的單元佈局的第一視圖，根據本揭露的實施方式。

【0661】參照圖66，範例10奈米(10 nm)佈局6600包含位元單元6602。位元單元6602包含閘極或多晶線(poly line)6604及金屬1(M1)線6606。於所示的例子，多晶線6604具有1x間距，且M1線6606具有0.67x間距。所成的為重疊線6605，其包含在多晶線正上方的M1線。於特定的實施方式，多晶線6604具有54 nm間距，且M1線6606具有36 nm間距。

【0662】與佈局6500相較，於佈局6600，M1間距小

於閘極間距，每三線空出額外的線(6605)(例如，對於每二多晶線，有三M1線)。「空出」(free up)的M1線於此稱為內部節點接續器。內部節點接續器可用於閘極對閘極(多晶對多晶)互連或用於溝槽接觸物對溝槽接觸物互連。於實施方式，對多晶的接觸藉由在透過主動閘極上方接觸物(COAG)配置達成，致能內部節點接續器的製造。

【0663】更一般地參照圖66，於實施方式，積體電路結構包含記憶體位元單元6602在基板上。記憶體位元單元6602包含第一及第二閘極線6604，其平行沿著基板的第二方向2。第一及第二閘極線6602具有沿著基板的第一方向(1)的第一間距，第一方向(1)垂直於第二方向(2)。第一、第二及第三互連線6606在第一及第二閘極線6604上方。第一、第二及第三互連線6606為平行沿著基板的第二方向(2)。第一、第二及第三互連線6606具有沿著第一方向的第二間距，其中第二間距小於第一間距。於一實施方式，第一、第二及第三互連線6606的一者為對於記憶體位元單元6602的內部節點接續器。

【0664】如應用於整個本揭露，閘極線6604可被表示為在跡線上以形成柵結構。據此，於此所述的柵狀圖案可具有於固定間距且具有固定寬度的閘極線或互連線。圖案化可由間距二分之一或間距四分之一或其它間距分割方式而製造。

【0665】作為比較例，圖67描述對於記憶體單元的單元佈局6700的第二視圖。



【0666】參照圖 67，14 nm位元單元 6502顯示有 N擴散 6702(例如，P型摻雜主動區，例如，下伏的基板的硼摻雜的擴散區)及 P擴散 6704(例如，N型摻雜主動區，例如，下伏的基板的磷或砷或兩者摻雜的擴散區)，為了清晰去掉 M1線。位元單元 102的佈局 6700包含閘極或多晶線 6504、溝槽接觸物 6706、閘極接觸物 6708(特別對於 14 nm節點)及接觸通孔 6710。

【0667】相對於圖 67，圖 68描述對於具有內部節點接續器的記憶體單元的單元佈局 6800的第二視圖，根據本揭露的實施方式。

【0668】參照圖 68，10 nm位元單元 6602顯示有 N擴散 6802(例如，P型摻雜主動區，例如，下伏的基板的硼摻雜的擴散區)及 P擴散 6804(例如，N型摻雜主動區，例如，下伏的基板的磷或砷或兩者摻雜的擴散區)，為了清晰去掉 M1線。位元單元 202的佈局 6800包含閘極或多晶線 6604、溝槽接觸物 6806、閘極通孔 6808(特別對於 10 nm節點)及接觸通孔 6710。

【0669】比較佈局 6700及 6800，根據本揭露的實施方式，於 14 nm佈局中內部節點僅由閘極接觸物(GCN)連接。強化表現的佈局不能產生相同的足跡，因為多晶對 GCN空間的限制。於 10 nm佈局，設計允許接觸物(VCG)著陸於閘極上以消除對於多晶接觸物的需求。於一實施方式，配置致能使用 M1的內部節點的連接，允許額外主動區密度(例如，鱗的增加的數量)於 14 nm足跡中。於 10 nm佈局，若

使用COAG架構，在擴散區之間的時間隔可成較小，因為它們不由溝槽接觸物對閘極接觸物的間隔所限制。於實施方式，圖67的佈局6700稱為112(1鰭上拉、1鰭通過閘極、2鰭下拉)配置。相對地，圖68的佈局6800稱為122(1鰭上拉、2鰭通過閘極、2鰭下拉)配置，於特定的實施方式，於與圖67的112佈局相同的足跡內。於實施方式，122配置提供相較於112配置的改進的表現。

【0670】作為比較例，圖69描述對於記憶體單元的單元佈局6900的第三視圖。

【0671】參照圖69，14 nm位元單元6502顯示有金屬0(M0)線6902，且為了清晰去掉多晶線。亦顯示的為金屬1(M1)線6506、接觸通孔6710、通孔0結構6904。

【0672】相對於圖69，圖70描述對於具有內部節點接續器的記憶體單元的單元佈局7000的第三視圖，根據本揭露的實施方式。

【0673】參照圖70，10 nm位元單元6602顯示有金屬0(M0)線7002，且為了清晰去掉多晶線。亦顯示金屬1(M1)線6606、閘極通孔6808、溝槽接觸通孔6810及通孔0結構7004。比較圖69及圖70，根據本揭露的實施方式，對於14 nm佈局，內部節點僅由閘極接觸物(GCN)連接，而對於10 nm佈局，內部節點的一者使用M1接續器線連接。

【0674】整體參照圖66、68及70，根據本揭露的實施方式，積體電路結構包含記憶體位元單元6602在基板上。記憶體位元單元6602包含第一(頂6802)、第二(頂6804)、

第三(底 6804)及第四(底 6802)主動區平行沿著基板的第一方向(1)。第一(左 6604)及第二(右 6604)閘極線在第一、第二、第三及第四主動區 6802/6804 上方。第一及第二閘極線 6604 為平行沿著基板的第二方向(2)，第二方向(2)垂直於第一方向(1)。第一(最左 6606)、第二(靠左 6606)及第三(靠右 6606)互連線在第一及第二閘極線 6604 上方。第一、第二及第三互連線 6606 為平行沿著基板的第二方向(2)。

【0675】於一實施方式，第一(最左 6606)及第二(靠左 6606)互連線電連接於第一及第二閘極線 6604 於第一及第二閘極線 6604 在一或更多第一、第二、第三及第四主動區 6802/6804 上方的位置(例如，於稱為「主動閘極」位置)。於一實施方式，第一(最左 6606)及第二(靠左 6606)互連線由垂直地在第一及第二互連線 6606 與第一及第二閘極線 6604 之間的中介複數互連線 7004 而電連接於第一及第二閘極線 6604。中介的複數互連線 7004 平行沿著基板的第一方向(1)。

【0676】於實施方式，第三互連線(靠右 6606)與記憶體位元單元 6602 的閘極電極的對電耦合在一起，閘極電極的對包含於第一及第二閘極線 6604 中。於另一實施方式，第三互連線(靠右 6606)與記憶體位元單元 6602 的溝槽接觸物的對電耦合在一起，溝槽接觸物的對包含於複數溝槽接觸線 6806 中。於實施方式，第三互連線(靠右 6606)為內部節點接續器。

【0677】於實施方式，第一主動區(頂 6802)為 P 型摻

雜主動區(例如，提供對於NMOS裝置的N擴散)、第二主動區(頂6804)為N摻雜主動區(例如，提供對於PMOS裝置的P擴散)、第三主動區(底6804)為N型摻雜的主動區(例如，提供對於PMOS裝置的P擴散)且第四主動區(底6802)為N型摻雜的主動區(例如，提供對於NMOS裝置的N擴散)。於實施方式，第一、第二、第三及第四主動區6802/6804為於矽鰭中。於實施方式，記憶體位元單元6602包含上拉電晶體，基於單矽鰭，通過閘極電晶體，基於二矽鰭，及下拉電晶體，基於二矽鰭。

【0678】於實施方式，第一及第二閘極線6604與複數溝槽接觸線6806的個別者交替，平行沿著基板的第二方向(2)。複數溝槽接觸線6806包含記憶體位元單元6602的溝槽接觸物。第一及第二閘極線6604包含記憶體位元單元6602的閘極電極。

【0679】於實施方式，第一及第二閘極線6604具有沿著第一方向(1)的第一間距。第一、第二及第三互連線6606具有沿著第一方向(2)的第二間距。於一此實施方式，第二間距小於第一間距。於特定的此實施方式，第一間距在50奈米至60奈米的範圍，且第二間距在30奈米至40奈米的範圍。於特定的此實施方式，第一間距為54奈米且第二間距為36奈米。

【0680】於此所述的實施方式可被實施以提供增加的數量的鰭於與先前技術節點相較相對相同的位元單元足跡內，增強較小技術節點記憶體位元單元相對於先前世代的

表現。作為例子，圖 71A 及 71B 分別描述位元單元佈局及示意圖，對於六電晶體 (6T) 靜態隨機存取記憶體 (SRAM)，根據本揭露的實施方式。

【0681】參照圖 71A 及 71B，位元單元佈局 7102 包含平行沿著方向 (2) 的閘極線 7104 (其亦可稱為多晶線) 於其間。溝槽接觸線 7106 與閘極線 7104 交替。閘極線 7104 及溝槽接觸線 7106 在 NMOS 擴散區 7108 (例如，P 型摻雜主動區，例如下伏基板的硼摻雜的擴散區) 上方，且在平行沿著方向 (1) 的 PMOS 擴散區 7110 (例如，N 型摻雜主動區，例如，下伏的基板的磷或砷或兩者摻雜的擴散區) 上方。於實施方式，NMOS 擴散區 7108 的兩者各包含二矽鰭。PMOS 擴散區 7110 的兩者各包含一矽鰭。

【0682】再參照圖 71A 及 71B，NMOS 通過閘極電晶體 7112、NMOS 下拉電晶體 7114 及 PMOS 上拉電晶體 7116 從閘極線 7104、NMOS 擴散區 7108 及 PMOS 擴散區 7110 形成。亦示出的是字線 (WL) 7118、內部節點 7120 及 7126、位元線 (BL) 7122、位元線條 (BLB) 7124、SRAM VCC 7128 及 VSS 7130。

【0683】於實施方式，對於位元單元佈局 7102 的第一及第二閘極線 7104 的接觸被作成到第一及第二閘極線 7104 的主動閘極位置。於實施方式，6T SRAM 位元單元 7104 包含內部節點接續器，例如於上所述的。

【0684】於實施方式，於此描述的佈局與一致的插塞及遮罩圖案相容，包含一致的鰭修飾遮罩。佈局可與非極

紫外線 (non-EUV) 製程相容。此外，佈局可僅需使用中鰭修飾遮罩。與其它佈局相較，於此所述的實施方式可致能增加的密度，對於面積而言。實施方式可被實施為提供有效率的佈局的記憶體實施例於先進的自對準製程技術中。利益可以晶粒面積或記憶體表現或兩者的方式實現。電路技術可獨特地由此佈局方式致能。

【0685】於此所述的一或更多實施方式為針對多版本庫單元，其處理當平行互連線(例如，金屬1線)及閘極線不對準時。實施方式可針對10奈米或更小的技術節點。實施方式可包含或針對單元佈局，其作成在相對於先前的技術節點而言的相同或較小的足跡中的可能的較高表現的單元。於一實施方式，互連線上覆閘極線被製造以具有相對於下伏的閘極線而言增加的密度。此實施方式可致能增加的接腳打入、增加路由的可能性、或增加的對於單元接腳的接取。實施方式可被實現以提供大於6%的方塊級密度。

【0686】為了提供脈絡，閘極線及互連(典型地表示為金屬1，有金屬0層延伸正交於金屬1與閘極線之間)的次一平行級在方塊級需要被對準。唯，於實施方式，金屬1線的間距作成為不同於(例如，小於)閘極線的間距。對於各單元的二標準單元版本(例如，二不同單元圖案)作成為對於適配間距的不同而言是可用的。特定版本依在方塊級的設置規則而選擇。若不適當的選擇，會發生隣對準(DR)。根據本揭露的實施方式，實施了較高金屬層(例

如，金屬 1 或 M1) 有相對於下伏的閘極線而言增加的間距密度。於實施方式，此方式致能積極微縮以提供改進的每電晶體成本，對於，例如，10 奈米 (10 nm) 技術節點。

【0687】圖 72 描述對於相同標準單元的二不同佈局的截面圖，根據本揭露的實施方式。

【0688】參照圖 72 的 (a) 部分，閘極線 7204A 的組上覆基板 7202A。金屬 1 (M1) 互連 7206A 的組上覆閘極線 7204A 的組。金屬 1 (M1) 互連 7206A 的組具有較閘極線 7204A 的組緊密的間距。唯，最外的金屬 1 (M1) 互連 7206A 具有與最外的閘極線 7204A 的外對準。為了指定的目的，如用於整個本揭露的，圖 72 的 (a) 部分的對準的配置稱作具有偶 (E) 對準。

【0689】相對於 (a) 部分，參照圖 72 的 (b) 部分，閘極線 7204B 的組上覆基板 7202B。金屬 1 (M1) 互連 7206B 的組上覆閘極線 7204B 的組。金屬 1 (M1) 互連 7206B 的組具有較閘極線 7204B 的組緊密的間距。最外的金屬 1 (M1) 互連 7206B 不具有與最外的閘極線 7204B 的外對準。為了指定的目的，如用於整個本揭露的，圖 72 的 (b) 部分的不對準的配置稱作具有奇 (O) 對準。

【0690】圖 73 描述四不同單元配置的平面圖，表示偶 (E) 或奇 (O) 指定，根據本揭露的實施方式。

【0691】參照圖 73 的 (a) 部分，單元 7300A 具有閘極 (或多晶) 線 7302A 及金屬 1 (M1) 線 7304A。單元 7300A 指定為 EE 單元，因為單元 7300A 的左側及單元 7300A 的右側具

有對準的閘極7302A及M1 7304A線。相對地，參照圖73的(b)部分，單元7300B具有閘極(或多晶)線7302B及金屬1(M1)線7304B。單元7300B指定為OO單元，因為單元7300B的左側及單元7300B的右側具有不對準的閘極7302B及M1 7304B線。

【0692】參照圖73的(c)部分，單元7300C具有閘極(或多晶)線7302C及金屬1(M1)線7304C。單元7300C指定為EO單元，因為單元7300C的左側具有對準的閘極7302C及M1 7304C線，但單元7300C的右側具有不對準的閘極7302C及M1 7304C線。相對地，參照圖73的(d)部分，單元7300D具有閘極(或多晶)線7302D及金屬1(M1)線7304D。單元7300D指定為OE單元，因為單元7300D的左側具有不對準的閘極7302D及M1 7304D線，但單元7300D的右側具有對準的閘極7302D及M1 7304D線。

【0693】作為用於設置對於選擇的標準單元類型的第一或第二版本的基礎，圖74描述方塊級多晶柵的平面圖，根據本揭露的實施方式。參照圖74，方塊級多晶柵7400包含閘極線7402延伸平行沿著方向7404。顯示指定單元佈局邊界7406及7408為延伸於第二、正交的方向。閘極線7402於偶(E)及奇(O)指定之間交替。

【0694】圖75描述範例可接受(通過)的佈局，基於具有不同版本的標準單元，根據本揭露的實施方式。參照圖75，佈局7500包含三單元的類型7300C/7300D，如於邊界7406與7408之間依序從左至右設置的：7300D，毗鄰第一



7300C且與第二7300C間隔開。7300C及7300D之間的選擇為基於在對應的閘極線7402上的E或O指定的對準。佈局7500亦包含單元的類型7300A/7300B，如於邊界7408之下依序從左至右設置的：第一7300A與第二7300A間隔開。7300A與7300B之間的選擇為基於在對應的閘極線7402上的E或O指定的對準。佈局7500為通過的單元，其以沒有隣對準(DR)發生於佈局7500中的情況。可以理解的是，p指定電源，且a、b、c或o為範例接腳。於配置7500，電源線p跨越邊界7408彼此列隊。

【0695】更一般地參照圖75，根據本揭露的實施方式，積體電路結構包含複數閘極線7402，平行沿著基板的第一方向且具有沿著與第一方向正交的第二方向的間距。單元類型的第一版本7300C為在複數閘極線7402的第一部分上方。單元類型的第一版本7300C包含第一複數互連線，具有沿著第二方向的第二間距，第二間距小於第一間距。單元類型的第二版本7300D為在複數閘極線7402的第二部分上方，沿著第二方向側向相鄰於單元類型的第一版本7300C。單元類型的第二版本7300D包含第二複數互連線，具有沿著第二方向的第二間距。單元類型的第二版本7300D與單元類型的第一版本7300C在結構上不同。

【0696】於實施方式，單元類型的第一版本7300C的第一複數互連線的個別者對準沿著第一方向的複數閘極線7402的個別者於沿著第二方向的單元類型的第一版本7300C的第一邊緣(例如，左邊緣)，但不對準沿著第一方

向的複數閘極線 7402 的個別者於沿著第二方向的單元類型的第一版本 7300C 的第二邊緣(例如，右邊緣)。於一此實施方式，單元類型的第一版本 7300C 為 NAND 單元的第一版本。單元類型的第二版本 7300D 的第二複數互連線的個別者不對準沿著第一方向的複數閘極線 7402 的個別者於沿著第二方向的單元類型的第二版本 7300D 的第一邊緣(例如，左邊緣)，但對準沿著第一方向的複數閘極線 7402 的個別者於沿著第二方向的單元類型的第二版本 7300D 的第二邊緣(例如，右邊緣)。於一此實施方式，單元類型的第二版本 7300D 為 NAND 單元的第二版本。

【0697】於另一實施方式，第一及第二版本從單元類型 7300A 及 7300B 選擇。單元類型的第一版本 7300A 的第一複數互連線的個別者對準沿著第一方向的複數閘極線 7402 的個別者於沿著第二方向的單元類型 7300A 的第一版本的邊緣的兩者。於實施方式，單元類型的第一版本 7300A 為反向器單元的第一版本。可以理解的是，單元類型的第二版本 7300B 的第二複數互連線的個別者不會對準沿著第一方向的複數閘極線 7402 的個別者於沿著第二方向的單元類型的第二版本 7300B 的邊緣的兩者。於一實施方式，單元類型的第二版本 7300B 為反向器單元的第二版本。

【0698】圖 76 描述範例不可接受(失敗)的佈局，基於具有不同版本的標準單元，根據本揭露的實施方式。參照圖 76，佈局 7600 包含三單元的類型 7300C/7300D，如於邊界 7406 與 7408 之間依序從左至右設置的：7300D，毗鄰第

一 7300C 且與第二 7300C 間隔開。7300C 與 7300D 之間的適當選擇為基於在對應的閘極線 7402 上的 E 或 O 指定的對準，如所示。唯，佈局 7600 亦包含單元的類型 7300A/7300B，如於邊界 7408 之下依序從左至右設置的：第一 7300A 與第二 7300A 間隔開。佈局 7600 與 7500 不同在於第二 7300A 被往左移動一線過去。雖然在 7300A 與 7300B 之間的選擇應基於對應於閘極線 7402 的 E 或 O 指定的對準，它不是，且第二單元 7300A 不對準，一結果為不對準的電源 (p) 線。佈局 7600 為失敗的單元，因為髒對準 (DR) 發生於佈局 7600 中。

【0699】圖 77 描述另一範例可接受 (通過) 的佈局，基於具有不同版本的標準單元，根據本揭露的實施方式。參照圖 77，佈局 7700 包含三單元的類型 7300C/7300D，如於邊界 7406 與 7408 之間依序從左至右設置的：7300D，毗鄰第一 7300C 且與第二 7300C 間隔開。7300C 及 7300D 之間的選擇為基於在對應的閘極線 7402 上的 E 或 O 指定的對準。佈局 7700 亦包含單元的類型 7300A/7300B，如於邊界 7408 之下依序從左至右設置的：7300A 與 7300B 間隔開。7300B 的位置與於佈局 7600 中的 7300A 的位置相同，但選擇的單元 7300B 是基於在對應的閘極線 7402 上的 O 指定的適當的對準。佈局 7700 為通過的單元，其以沒有髒對準 (DR) 發生於佈局 7700 中的情況。可以理解的是，p 指定電源，且 a、b、c 或 o 為範例接腳。於配置 7700，電源線 p 跨越邊界 7408 彼此列隊。

【0700】整體參照圖 76 及 77，用於積體電路結構的佈局的製造方法包含，沿著第二方向，指定平行沿著第一方向的複數閘極線 7402 的交替者為偶 (E) 或奇 (O)。之後在複數閘極線 7402 上方選擇單元類型的位置。方法亦包含，依位置在單元類型的第一版本與單元類型的第二版本之間選擇，第二版本與第一版本結構上不同，其中單元類型的選擇的版本具有對於沿著第二方向的單元類型的邊緣的互連的偶 (E) 或奇 (O) 指定，且其中單元類型的邊緣的指定匹配在互連之下的複數閘極線的個別者的指定。

【0701】於另一態樣，一或更多實施方式係對於在包含於鰭場效電晶體 (FET) 架構中的基於鰭的結構上的金屬電阻器的製造。於實施方式，此精密電阻器被植入作為系統單晶片 (SoC) 技術的基礎元件，因為對於較快的資料傳輸率所需的高速 IO。此電阻器可致能高速類比電路的實現 (例如 CSI/SERDES) 及微縮的 IO 架構，因為具有低變異及近零的溫度係數的特徵。於一實施方式，於此所述的電阻器為可變電阻器。

【0702】提供脈絡，用於目前製程技術的傳統電阻器典型地落於二分類的其一：一般電阻器或精密電阻器。一般電阻器，例如溝槽接觸電阻器，為成本中性的，但會遭受高變異，因為所用的製造方法中的變異本質或關聯的電阻器的大溫度係數，或兩者。精密電阻器可減緩變異及溫度係數問題，但通常的代價為較高的製程成本及增加的所需的製造操作數量。多晶矽精密電阻器的整合被證實在高

k值/金屬閘極製程技術中是更加的困難的。

【0703】根據實施方式，敘述了基於鰭的薄膜電阻器(TFR)。於一實施方式，此電阻器具有近零的溫度係數。於一實施方式，此電阻器由尺寸控制展現降低的變異。根據本揭露的一或更多實施方式，積體的精密電阻器於fin-FET電晶體架構內製造。可以理解的是，用於高k值/金屬閘極製程技術的傳統電阻器典型地為鎢溝槽接觸物(TCN)、井電阻器或多晶矽精密電阻器。此電阻器增加製程成本或複雜度，或遭受高變異及差溫度係數，因為所用的製造製程中的變異。相對地，於實施方式，鰭積體薄膜電阻器的製造致能成本中性、好(近零)溫度係數、及替代已知的方式的低變異。

【0704】提供進一步的脈絡，目前技術水準的精密電阻器已使用二維(2D)金屬薄膜或高摻雜多晶線製造。此電阻器傾向於離散於固定值的模板，且因此更精密的電阻值的漸變是難以達成的。

【0705】為了解決上述的一或更多問題，根據本揭露的一或更多實施方式，於此敘述使用鰭骨幹(例如，矽鰭骨幹)的高密度精密電阻器的設計。於一實施方式，此高密度精密電阻器的利益包含：高密度可由使用鰭封裝密度達成。此外，於一實施方式，此電阻器被整合於主動電晶體的相同階上，致使緻密電路的製造。矽鰭骨幹的使用可允許高封裝密度且提供控制電阻器的電阻的複數自由度。據此，於特定實施方式，鰭圖案化製程的彈性被槓桿化以

提供電阻值的廣泛範圍，造成可調精密電阻器製造。

【0706】作為基於鰭的精密電阻器的範例構形，圖78描述基於鰭的薄膜電阻器結構的部分切割平面圖及對應的截面圖，其中截面圖是沿著部分切割平面圖的a-a'軸，根據本揭露的實施方式。

【0707】參照圖78，積體電路結構7800包含半導體鰭7802突出穿過基板7804之上的溝槽隔離區7814。於一實施方式，半導體鰭7802從基板7804突出且與基板7804連續，如所示。半導體鰭具有頂表面7805、第一端部7806(於部分切割平面圖中顯示為虛線，因為鰭於此視角被覆蓋)、第二端部7808(於部分切割平面圖中顯示為虛線，因為鰭於此視角被覆蓋)、及第一端部7806及第二端部7808之間的側壁7807的對。可以理解的是，於部分切割平面圖，側壁7807實際上由層7812覆蓋。

【0708】隔離層7812與半導體鰭7802的頂表面7805、第一端部7806、第二端部7808及側壁7807的對共形。金屬電阻器層7810與隔離層7814共形，隔離層7814與半導體鰭7802的頂表面7805(金屬電阻器層部分7810A)、第一端部7806(金屬電阻器層部分7810B)、第二端部7808(金屬電阻器層部分7810C)及側壁7807的對(金屬電阻器層部分7810D)共形。於特定的實施方式，金屬電阻器層7810包含落腳的特徵7810E相鄰於側壁7807，如所示。隔離層7812電隔離金屬電阻器層7810與半導體鰭7802，且因此電隔離金屬電阻器層7810與基板7804。

【0709】於實施方式，金屬電阻器層7810由適合的材料構成，以提供近零溫度係數，其中金屬電阻器層部分7810的電阻不在從其製造的薄膜電阻器(TFR)的操作溫度的範圍顯著改變。於實施方式，金屬電阻器層7810為氮化鈦(TiN)層。於另一實施方式，金屬電阻器層7810為鎢(W)金屬層。可以理解的是，其它金屬可用於金屬電阻器層7810，取代氮化鈦(TiN)或鎢(W)或與其組合。於實施方式，金屬電阻器層7810具有的厚度約2至5奈米的範圍。於實施方式，金屬電阻器層7810具有的電阻率約100至100,000 ohms/square的範圍。

【0710】於實施方式，陽極電極及陰極電極電連接於金屬電阻器層7810，其範例實施方式於下關聯圖84更詳細敘述。於一此實施方式，金屬電阻器層7810、陽極電極、及陰極電極形成精密薄膜電阻器(TFR)被動裝置。於實施方式，基於鰭7802高度、鰭7802寬度、金屬電阻器層7810厚度和總鰭7802長度，以圖78的結構7800為基礎的TFR能精準控制電阻。這些自由度可允許電路設計者達成選擇的電阻值。此外，因為電阻器圖案化為基於鰭的，在電晶體密度的增加上高密度是可能的。

【0711】於實施方式，目前技術水準的finFET製程操作以提供適用於製造基於鰭的電阻器的鰭。此方式的利益可在它的高密度及緊鄰於主動電晶體，致能容易整合於電路。又，下伏的鰭的構形的彈性允許廣範圍的電阻值。於範例製程方案，鰭首先使用骨幹微影圖案化及間隔化方

式。鰭之後以被凹陷的隔離氧化物覆蓋，以設定電阻器的高度。絕緣氧化物之後被共形地沉積於鰭以將導電膜與下伏的基板分開，例如下伏的矽基板。金屬或高摻雜的多晶矽膜之後被沉積於鰭上。膜之後被間隔化以產生精密電阻器。

【0712】於範例製程方案，圖79至83描述表示製造基於鰭的薄膜電阻器結構的方法的多樣的操作的平面圖及對應的截面圖，根據本揭露的實施方式。

【0713】參照圖79，平面圖及沿著平面圖的b-b'軸的對應的截面圖描述在形成骨幹模板結構7902於半導體基板7801上之後的製程流程的階段。側壁間隔物層7904之後形成為與骨幹模板結構7902的側壁表面共形。於實施方式，在骨幹模板結構7902的圖案化後，共形氧化物材料被沉積且之後被各向異性蝕刻(間隔物化)以提供側壁間隔物層7904。

【0714】參照圖80，平面圖描述在側壁間隔物層7904的區域7906暴露(例如，由微影遮罩及曝光製程)之後的製程流程的階段。包含於區域7906中的側壁間隔物層7904的部分之後被移除，例如，由蝕刻製程。移除的部分為要用於最終鰭定義的那些部分。

【0715】參照圖81，平面圖及沿著平面圖的c-c'軸的對應的截面圖描述在圖80的包含於區域7906中的側壁間隔物層7904的部分被移除以形成鰭圖案化遮罩(例如，氧化物鰭圖案化遮罩)後的製程流程的階段。骨幹模板結構



7902之後被移除且留下的圖案化遮罩用作蝕刻遮罩以圖案化基板7801。在基板7801的圖案化及鰭圖案化遮罩的後續移除時，半導體鰭7802維持從現在被圖案化的半導體基板7804突出且與其連續。半導體鰭7802具有頂表面7805、第一端部7806、第二端部7808及側壁的對7807於第一端部與第二端部之間，如於上關聯圖78所述的。

【0716】參照圖82，平面圖及沿著平面圖的d-d'軸的對應的截面圖描述在形成溝槽隔離層7814後的製程流程的階段。於實施方式，溝槽隔離層7814由沉積絕緣材料及後續的凹陷以定義鰭高度(H<sub>si</sub>)而形成，以定義鰭高度。

【0717】參照圖83，平面圖及沿著平面圖的e-e'軸的對應的截面圖描述在形成隔離層7812後的製程流程的階段。於實施方式，隔離層7812由化學氣相沉積(CVD)製程形成。隔離層7812形成為與半導體鰭7802的頂表面7805、第一端部7806、第二端部7808及側壁7807的對共形。金屬電阻器層7810之後形成為與隔離層7812共形，隔離層7812與半導體鰭7802的頂表面、第一端部、第二端部及側壁的對共形。

【0718】於實施方式，金屬電阻器層7810使用覆層沉積及後續的各向異性蝕刻製程形成。於實施方式，金屬電阻器層7810使用原子層沉積(ALD)形成。於實施方式，金屬電阻器層7810形成至在2至5奈米的範圍的厚度。於實施方式，金屬電阻器層7810為或包含氮化鈮(TiN)層或鎢(W)層。於實施方式，金屬電阻器層7810形成為具有的電阻率

在 100 至 100,000 ohms/square 的範圍。

【0719】於後續製程操作，陽極或陰極電極的對可被形成且可電連接於圖 83 的結構的金屬電阻器層 7810。作為例子，圖 84 描述有對於陽極或陰極電極接觸物的多樣範例位置的基於鰭的薄膜電阻器結構的平面圖，根據本揭露的實施方式。

【0720】參照圖 84，第一陽極或陰極電極，例如，8400、8402、8404、8406、8408、8410 的一者電連接於金屬電阻器層 7810。第二陽極或陰極電極，例如，8400、8402、8404、8406、8408、8410 的另一者電連接於金屬電阻器層 7810。於實施方式，金屬電阻器層 7810、陽極電極、及陰極電極形成精密薄膜電阻器 (TFR) 被動裝置。精密 TFR 被動裝置可為可調變的，其中電阻可基於第一陽極或陰極電極與第二陽極或陰極電極之間的距離而選擇。選項可由形成多樣的實際電極，例如，8400、8402、8404、8406、8408、8410 及其它可能性提供，且之後基於互連電路選擇實際的配對。或是，可形成單陽極或陰極配對，有對於各選擇的 TFR 裝置的製造期間的位置。於各情況，於實施方式，陽極或陰極電極的一者的位置為在鰭 7802 的端部 (例如，在位置 8400 或 8402)，在鰭 7802 的角落 (例如，在位置 8404、8406 或 8408) 或在角落之間的過渡的中心 (例如，在位置 8410)。

【0721】於範例實施方式，第一陽極或陰極電極電連接於緊鄰半導體鰭 7802 的第一端部 7806 的金屬電阻器層

7810，例如，在位置8400。第二陽極或陰極電極電連接於緊鄰半導體鰭7802的第二端部7808的金屬電阻器層7810，例如，在位置8402。

【0722】於另一範例實施方式，第一陽極或陰極電極電連接於緊鄰半導體鰭7802的第一端部7806的金屬電阻器層7810，例如，在位置8400。第二陽極或陰極電極電連接於遠離半導體鰭7802的第二端部7808的金屬電阻器層7810，例如，在位置8410、8408、8406或8404。

【0723】於另一範例實施方式，第一陽極或陰極電極電連接於遠離半導體鰭7802的第一端部7806的金屬電阻器層7810，例如，在位置8404或8406。第二陽極或陰極電極電連接於遠離半導體鰭7802的第二端部7808的金屬電阻器層7810，例如，在位置8410或8408。

【0724】更特定的是，根據本揭露的一或更多實施方式，基於鰭的電晶體的拓樸特徵架構用作用於製造嵌入電阻器的基礎。於一實施方式，精密電阻器被製造於鰭結構上。於特定的實施方式，此方式致能被動元件(例如精密電阻器)的非常高密度整合。

【0725】可以理解的是，多樣的鰭構形適用於製造基於鰭的精密電阻器。圖85A至85D描述對於製造基於鰭的精密電阻器結構的多樣的鰭構形的平面圖，根據本揭露的實施方式。

【0726】於實施方式，參照圖85A至85C，半導體鰭7802為非線性半導體鰭。於一實施方式，半導體鰭7802突

出穿過於基板之上的溝槽隔離區。金屬電阻器層7810與隔離層(未顯示)共形，隔離層與非線性半導體鰭7802共形。於一實施方式，二或更多陽極或陰極電極8400電連接於金屬電阻器層7810，範例選擇性的位置由圖85A至85C的虛線圈顯示。

【0727】非線性鰭構形包含一或更多角落，例如，但不限於，單角落(例如，L形)、二角落(例如，U形)、四角落(例如，S形)或六角落(例如，圖78的結構)。於實施方式，非線性鰭構形為開放式結構構形。於另一實施方式，非線性鰭構形為封閉式結構構形。

【0728】作為於非線性鰭構形的開放式結構構形的範例實施方式，圖85A描述非線性鰭具有一角落以提供開放式結構L形構形。圖85B描述非線性鰭具有二角落以提供開放式結構U形構形。在開放式結構的例子，非線性半導體鰭7802具有頂表面、第一端部、第二端部、在第一端部與第二端部之間的側壁的對。金屬電阻器層7810形成為與隔離層(未顯示)共形，隔離層與頂表面、第一端部、第二端部及第一端部與第二端部之間的側壁的對共形。

【0729】於特定實施方式，再參照圖85A及85B，第一陽極或陰極電極電連接於緊鄰開放式結構非線性半導體鰭的第一端部的金屬電阻器層7810，且第二陽極或陰極電極電連接於緊鄰開放式結構非線性半導體鰭的第二端部的金屬電阻器層7810。於另一實施方式，第一陽極或陰極電極電連接於緊鄰開放式結構非線性半導體鰭的第一端部的

金屬電阻器層 7810，且第二陽極或陰極電極電連接於遠離開放式結構非線性半導體鰭的第二端部的金屬電阻器層 7810。於另一特定實施方式，第一陽極或陰極電極電連接於遠離開放式結構非線性半導體鰭的第一端部的金屬電阻器層 7810，且第二陽極或陰極電極電連接於遠離開放式結構非線性半導體鰭的第二端部的金屬電阻器層 7810。

【0730】作為於非線性鰭構形的封閉式結構構形的範例實施方式，圖 85C 描述非線性鰭具有四角落以提供封閉式結構方形或長方形構形。於封閉式結構的例子，非線性半導體鰭 7802 具有頂表面及側壁的對，且特別是內側壁及外側壁。唯，封閉式結構不包含暴露的第一及第二端部。金屬電阻器層 7810 形成為與隔離層(未顯示)共形，隔離層與鰭 7802 的頂表面、內側壁及外側壁共形。

【0731】於另一實施方式，參照圖 85D，半導體鰭 7802 為線性半導體鰭。於一實施方式，半導體鰭 7802 突出穿過於基板之上的溝槽隔離區。金屬電阻器層 7810 與隔離層(未顯示)共形，隔離層與線性半導體鰭 7802 共形。於一實施方式，二或更多陽極或陰極電極 8400 電連接於金屬電阻器層 7810，範例選擇性的位置由圖 85D 的虛線圈顯示。

【0732】於另一態樣，根據本揭露的實施方式，敘述對於微影的高解析度相位位移遮罩(PSM)製造的新結構。此 PSM 遮罩可用於一般(直接)微影或互補微影。

【0733】微影一般用於製造製程以形成圖案於光阻的層中。於微影製程，光阻層沉積於要被蝕刻的下伏層上

方。典型地，下伏層為半導體層，但可為硬遮罩或介電質材料的任意類型。光阻層之後選擇性的暴露於經過光罩或標線片的放射線。光阻之後被顯影且光阻暴露於放射線的這些部分被移除，於「正」光阻的情況。

**【0734】**用以圖案化晶圓的光罩或標線片設置於光微影曝光工具內，一般稱為「步進器」或「掃描器」。於步進器或掃描器機器中，光罩或標線片設置於放射線源與晶圓之間。光罩或標線片典型地從設置於石英基板上的圖案化的鉻(吸收物層)形成。在沒有鉻的位置，放射線實質未衰減地通過光罩或標線片的石英段。相對地，放射線不通過遮罩的鉻部分。因為入射在遮罩上的放射線完全通過石英段或由鉻段完全阻擋，遮罩的此類性稱為二元遮罩。在放射線選擇性的通過經過遮罩後，由投影遮罩的影像經過一系列的鏡片進入光阻，遮罩上的圖案轉移進入光阻。

**【0735】**當光罩或標線片上的特徵成為越來越靠近在一起，當遮罩上的特徵的大小與光源的波長是可比較的，繞射效應開始造成影響。繞射模糊了投影於光阻上的影像，造成差的解析度。

**【0736】**防止繞射圖案干擾光阻的想要的圖案化的一种方式為以被稱為位移器的透明層覆蓋光罩或標線片中的選擇的開口。位移器以另一相鄰的組位移暴露於射線的組之一者偏離相位，其無效化繞射對圖案的干擾。此方式稱為相位移遮罩(PSM)方式。唯，在遮罩生產中減少缺陷且增加產出的替代的遮罩製程方案是微影製程發展的重要的焦

點領域。

【0737】本揭露的一或更多實施方式係對於製造微影遮罩的方法及其所成的微影遮罩。提供脈絡，符合由半導體工業提出的積極裝置微縮目標的需求依靠微影遮罩圖案化較小特徵且高保真的能力。唯，圖案化越來越小的特徵的方式出現對於遮罩製造的難以克服的挑戰。因此，今天廣泛使用的微影遮罩依靠相位位移遮罩(PSM)技術以圖案化特徵的概念。唯，減少缺陷同時產生越來越小的圖案仍是遮罩製造的最大障礙之一。使用相位位移遮罩會有一些缺點。首先，相位位移遮罩的設計是相對於複雜的程序，其需要大量的資源。再者，因為相位位移遮罩的本質，難以檢查缺陷出現於相位位移遮罩與否。於相位位移遮罩中的此缺陷產自配置以製造遮罩本身的目前整合方案。一些相位位移遮罩適用繁複且有些容易造成缺陷的方式來圖案化厚的光吸收材料且之後轉移圖案至第二層，其幫助相位位移。使問題複雜化的是，吸收物層受到電漿蝕刻兩次，且因此，不想要的電漿蝕刻效應(例如，負載效應、反應離子蝕刻延遲、充電及可再現效應)導致遮罩生產中的缺陷。

【0738】用以製造無缺陷微影遮罩的材料的創新及新穎的整合製程技術仍在致能裝置微縮上是高優先性的。因此，為了利用相位位移遮罩技術的完整的利益，可能需要新穎的整合方案，其使用(i)以高保真度圖案化位移層及(ii)僅圖案化吸收物一次，且在製造的最終階段。此外，

此製造方案亦可提供其它利益於遮罩製造，例如材料選擇的彈性、製造期間的減少的基板傷害及增加的產出。

【0739】圖86描述微影遮罩結構8601的截面圖，根據本揭露的實施方式。微影遮罩8601包含晶粒內區8610、框區8620及晶粒框介面區8630。晶粒框介面區8630包含相鄰於晶粒內區8610及框區8620的部分。晶粒內區8610包含圖案化的位移層8606直接設置於基板8600上，其中圖案化的位移層具有的特徵具有側壁。框區8620圍繞晶粒內區8610且包含圖案化的吸收物層8602直接設置於基板8600上。

【0740】設置於基板8600上的晶粒框介面區8630包含雙層堆疊8640。雙層堆疊8640包含上層8604，設置在下圖案化位移層8606上。雙層堆疊8640的上層8604由與框區8620的圖案化的吸收物層8602相同的材料構成。

【0741】於實施方式，圖案化的位移層8606的特徵的最上表面8608具有的高度不同於晶粒框介面區的特徵的最上表面8612且不同於框區中的特徵的最上表面8614。此外，於實施方式，晶粒框介面區的特徵的最上表面8612的高度不同於框區中的特徵的最上表面8614的高度。相位位移層8606的典型的厚度在40至100 nm的範圍，而吸收物層的典型的厚度在30至100 nm的範圍。於實施方式，框區8620中的吸收物層8602的厚度為50 nm，設置於晶粒框介面區8630中的位移層8606上的吸收物層8604的組合厚度為120 nm且框區中的吸收物的厚度為70 nm。於實施方式，基板8600為石英，圖案化位移層包含的材料，例如但不限



於，鉬-矽化物、鉬-氮氧化矽、鉬-氮化矽、氮氧化矽或氮化矽，且吸收物材料為鉻。

【0742】於此揭示的實施方式可用以製造廣泛多樣的不同類型的積體電路或微電子裝置。此積體電路的例子包含，但不限於，處理器、晶片組組件、圖形處理器、數位訊號處理器、微控制器及類似。於其它實施方式，半導體記憶體可被製造。此外，積體電路或其它微電子裝置可用於廣泛多樣的所屬技術領域可知的電子裝置。例如，於電腦系統(例如，桌上電腦、膝上電腦、伺服器)、行動電話、個人電子等。積體電路可耦合於匯流排及系統中的其它組件。例如，處理器可由一或更多匯流排耦合於記憶體、晶片組等。處理器、記憶體及晶片組的各者，可能使用於此所述的方式製造。

【0743】圖87描述根據本揭露的一實施例的電腦裝置8700。電腦裝置8700裝載板8702。板8702可包含一些組件，包含但不限於，處理器7904以及至少一通訊晶片8706。處理器8704與板8702實體且電耦合。於一些實施中例，至少一通訊晶片8706亦與板8702實體且電耦合。於更多實施例，通訊晶片8706為處理器8704的部分。

【0744】依其應用，電腦裝置8700可包含可能有或可能沒有與板8702實體且電耦合的其它組件。這些其它組件，包含但不限於，揮發性記憶體(例如，DRAM)、非揮發性記憶體(例如，ROM)、快閃記憶體、圖形處理器、數位訊號處理、密碼處理器、晶片組、天線、顯示器、觸控

螢幕顯示器、觸控螢幕控制、電池、音訊編解碼器、影片編解碼器、功率放大器、全球定位系統(GPS)裝置、羅盤、加速度計、陀螺儀、喇叭、相機及大量儲存裝置(例如硬碟、光碟(CD)、數位多用碟片(DVD)等)。

【0745】通訊晶片8706致能用於從且至電腦裝置8700的資料的傳輸的無線通訊。單詞「無線」及其所衍生的可用於敘述電路、裝置、系統、方法、技術、通訊頻道等，經由非固態介質，可藉由調整的電磁輻射的使用而通訊資料。此單詞並非暗示相關裝置沒有包含任何線，雖然於一些實施方式中它們可能沒有線。通訊晶片8706可實現任意一些無線標準或協定，包含但不限於Wi-Fi(IEEE 802.11家族)、WiMAX(IEEE 802.16家族)、IEEE 802.20、長期演進(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙(Bluetooth)、其衍生物，以及任何指定用於3G、4G、5G以及更多的其它無線協定。電腦裝置8700可包含複數通訊晶片8706。例如，第一通訊晶片8706可用於較短範圍的無線通訊，例如Wi-Fi及藍牙，且第二通訊晶片8706可用於較長的範圍的無線通訊，例如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO及其它。

【0746】電腦裝置8700的處理器8704包含封裝於處理器8704中的積體電路晶粒。於本揭露的實施方式的一些實施例，處理器的積體電路晶粒包含一或更多結構，例如根據本揭露的實施例建構的積體電路結構。詞語「處理器」

可表示，從暫存器或記憶體或兩者處理電資料以將電資料轉換成可儲存於暫存器或記憶體或兩者中的其它電資料的任意裝置的裝置或裝置的部分。

【0747】通訊晶片8706亦包含積體電路晶粒，封裝在通訊晶片8706中。根據本揭露的另一實施例，通訊晶片的積體電路晶粒根據本揭露的實施例建構。

【0748】根據本揭露的更多實施例，裝載於電腦裝置8700內的另一組件可含有根據本揭露的實施例建構的積體電路晶粒。

【0749】於多樣的實施方式中，電腦裝置8700可為膝上電腦、小筆電、筆記型電腦、超極筆電、智慧手機、平板電腦、個人數位助理(PDA)、超極移動個人電腦、行動電話、桌上電腦、伺服器、印表機、掃描器、螢幕、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器或數位影片錄影機。於更多實施例，電腦裝置8700可為處理資料的任意其它的電子裝置。

【0750】圖88描述中介物8800，其包含本揭露的一或更多實施方式。中介物8800係用於橋接第一基板8802至第二基板8804的中介基板。第一基板8802可為，例如，積體電路晶粒。第二基板8804可為，例如，記憶體模組、電腦主機板或其它積體電路晶粒。一般而言，中介物8800的目的是擴展連接至更廣的間距或重路由連接至不同的連接。例如，中介物8800可耦合積體電路晶粒至球柵陣列(BGA)8806，其可接續耦合至第二基板8804。於一些實施

方式，第一及第二基板 8802/8804 係附接至中介物 8800 的相對側。於其它實施方式，第一及第二基板 8802/8804 附接至中介物 8800 的相同側。且於更多實施方式，三或更多基板由中介物 8800 的方式互連。

【0751】中介物 8800 可由，環氧樹脂、玻璃纖維加強環氧樹脂、陶瓷材料或例如聚醯亞胺的聚合物材料，形成。於更多實施例，中介物可由替代的剛性或撓性材料形成，其可包含與上述用於半導體基板的相同材料，例如矽、鍺及其它 III-V 族及 IV 族材料。

【0752】中介物可包含金屬互連 8808 及通孔 8810，包含但不限於矽穿孔 (TSV) 8812。中介物 8800 可更包含嵌入裝置 8814，包含被動及主動裝置的兩者。此裝置包含，但不限於，電容器、解耦合電容器、電阻器、電感器、熔絲、二極體、變壓器、感測器及靜電放電 (ESD) 裝置。更複雜的裝置，例如射頻 (RF) 裝置、功率放大器、電源管理裝置、天線、陣列、感測器及微機電系統 (MEMS) 裝置亦可形成於中介物 8000 上。根據本揭露的實施方式，此處所揭示的設備或製程可用於中介物 8800 的製造或包含於中介物 8800 中的組件的製造。

【0753】圖 89 描述行動電腦平台 8900，其配置根據於此所述的一或更多製程製造的積體電路 (IC) 或包含於此所述的一或更多特徵，根據本揭露的實施方式。

【0754】行動電腦平台 8900 可以是任意可攜式裝置，組態為用於電子資料顯示、電子資料處理、及無線電子資

料傳輸的各者。例如，行動電腦平台 8900 可以是平板電腦、智慧手機、膝上型電腦等的任意者，且包括顯示螢幕 8905，其於範例實施方式為允許使用者輸入的觸控螢幕(例如，電容性、電感性、電阻性等)、晶片級(SoC)或封裝級積體系統 8910、及電池 8913。如所示，由越高的電晶體封裝密度致能的系統 8910 的整合程度越大，於行動電腦平台 8900 中的可由電池 8913 或非揮發儲存器(例如，固態硬碟)佔據的部分越大，或越大的電晶體閘極數量，改進平台功能性。相似地，在系統 8910 中的各電晶體的載子移動率越大，功能性越大。如此，於此所述的技術可致能在行動電腦平台 8900 中的改進的表現及形成因素。

【0755】積體系統 8910 更於展開圖 8920 描述。於範例實施方式，封裝的裝置 8977 包含至少一記憶體晶片(例如，RAM)或至少一處理器晶片(例如，多核心微處理器及/或圖形處理器)，其根據於此所述的一或更多製程製造或包含於此所述的一或更多特徵。封裝的裝置 8977 更與一或更多功率管理積體電路(PMIC)8915、包含寬頻 RF(射頻)(無線)發射器及/或接收器(包含數位基頻及類比前端模組，其更包含功率放大器於傳輸路徑及上及低噪放大器於接收路徑上)的 RF(無線)積體電路(RFIC)8925、及它們的控制器 8911 一起耦合於板 8960。功能上來說，PMIC 8915 執行電池功率調節、DC 對 DC 轉換等，具有耦合於電池 8913 的輸入及提供至所有其它功能模組的電流源的輸出。如進一步所示，於範例實施方式，RFIC 8925 具有耦合於

天線的輸出，其提供用以實現任意一些的無線標準或協定，包含但不限於Wi-Fi(IEEE 802.11家族)、WiMAX(IEEE 802.16家族)、IEEE 802.20、長期演進(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙(Bluetooth)、其衍生物，以及任何指定用於3G、4G、5G以及更多的其它無線協定。於替代的實施例，各這些板級模組可整合於耦合於封裝的裝置8977的封裝基板的分開的IC上，或於耦合於封裝的裝置8977的封裝基板的單IC(SoC)內。

【0756】於另一態樣，半導體封裝用於保護積體電路(IC)晶片或晶粒，且亦提供至外部電路的電介面予晶粒。有對於較小的電子裝置的增加的需求，半導體封裝設計為更緊密且必須支持較大的電路密度。此外，對於較高表現裝置的需求造成對於改進的半導體封裝的需求，其致能薄封裝輪廓且低整體翹曲與後續的組裝製程相容。

【0757】於實施方式，對於陶瓷或有機封裝基板的導線接合被使用。於另實施方式，C4製程用以安裝晶粒至陶瓷或有機封裝基板。特定的，C4焊球連接可被實施以提供半導體裝置與基板之間的覆晶互連。覆晶或受控崩潰晶片連接(C4)為用於半導體裝置(例如，積體電路(IC)晶片、MEMS或組件)的安裝的類型，其利用焊料凸塊取代導線接合。焊料凸塊沉積於C4墊上，位於基板封裝的頂側上。為了安裝半導體裝置於基板，它以主動側面向下覆裝於安裝區上方。焊料凸塊用以直接連接半導體裝置於基板。

【0758】圖90描述覆晶安裝晶粒的截面圖，根據本揭露的實施方式。

【0759】參照圖90，設備9000包含晶粒9002，例如根據於此所述的一或更多製程製造或包含於此所述的一或更多特徵的積體電路(IC)，根據本揭露的實施方式。晶粒9002包含金屬化墊9004於其上。封裝基板9006，例如陶瓷或有機基板，包含連接9008於其上。晶粒9002及封裝基板9006由耦合於金屬化墊9004及連接9008的焊球9010而電連接。欠填材料9012圍繞焊球9010。

【0760】製造覆晶可與傳統IC製造相似，有一些額外的操作。接近製造製程的末端，附接墊被金屬化以使它們更接受焊料。這典型地由許多處理構成。焊料的小點之後沉積於各金屬化墊上。晶片之後切割出晶圓，如一般地。為了附接覆晶至電路，晶片被反轉以帶著焊點於下而至下伏電子或電路板上的連接上。焊料之後被再熔化以產生電連接，典型地使用超音波或替代的再流動焊料製程。這亦留下在晶片的電路與下伏安裝物之間的小空間。於多數的情況，電絕緣黏著物之後被「欠填」以提供較強的機械連接、提供熱橋接、且確保焊料接點在因為晶片及系統的其它部分的熱差異時不受壓。

【0761】於其它實施方式，較新的封裝及晶粒對晶粒互連方式，例如矽通孔(TSV)及矽中介物，被使用以製造高表現的多晶片模組(MCM)及封裝中系統(SiP)，其裝載根據於此所述的一或更多製程製造的積體電路(IC)或包含於

此所述的一或更多特徵，根據本揭露的實施方式。

【0762】因此，本揭露的實施方式包含先進的積體電路結構製造。

【0763】雖然於上已敘述了特定實施方式，這些實施方式無意限制本揭露的範疇，即使僅對於特定特徵敘述了單一實施方式。除非特別說明，於說明書中提出的特徵的例子有意為描述性的而不是限制性的。於上的敘述有意涵蓋這樣的變換、修改及等效，只要對於所屬技術領域中具有通常知識者而言是明顯的具有對於本揭露的利益。

【0764】本揭露的範疇包含於此揭示的任意特徵或特徵的組合(明示或暗示)、或其任意衍生，不論它減緩於此論述的任意或全部問題與否。據此，在本案(或主張本案優先權的任意申請案)的申請期間可撰寫新請求項於任意特徵的這樣組合。特定的，參照所附的申請專利範圍，從附屬項中的特徵可與獨立項的特徵組合，且從個別獨立項的特徵可以任意適合的方式組合，而不是僅以於所附的申請專利範圍中編號的特定組合。

【0765】所附範例關於更多實施方式。不同實施方式的多樣的特徵可與包含的一些特徵多樣的結合且其它排除，以適合多樣不同的應用。

【0766】實施例實施方式1：積體電路結構包含包括矽的鰭，該鰭具有頂部和側壁，其中該頂部沿著第一方向具有最長尺寸。第一隔離結構沿著該第一方向將該鰭的第一部分的第一端部與該鰭的第二部分的第一端部分開，該



第一隔離結構具有沿著該第一方向的寬度，該鰭的該第一部分的該第一端部具有表面粗糙度。包括閘極電極的閘極結構在該鰭的該第一部分的區域的該頂部上方且側向相鄰於該鰭的該第一部分的該區域的該側壁，其中該閘極結構具有沿著該第一方向的該寬度，以及其中該閘極結構的中心沿著該第一方向以間距與該第一隔離結構的中心間隔開。第二隔離結構在該鰭的第一部分的第二端部上方，該第二端部與該第一端部相對，該第二隔離結構具有沿著該第一方向的該寬度，以及該鰭的該第一部分的該第二端部具有的表面粗糙度小於該鰭的該第一部分的該第一端部的該表面粗糙度，其中該第二隔離結構的中心沿著該第一方向以間距與該閘極結構的該中心間隔開。

【0767】實施例實施方式2：實施例實施方式1之積體電路結構，其中該鰭的該第一部分的該第一端部具有扇形拓樸。

【0768】實施例實施方式3：實施例實施方式1或2之積體電路結構，進一步包括第一磊晶半導體區，在該閘極結構和該第一隔離結構之間的該鰭的該第一部分上，以及第二磊晶半導體區，在該閘極結構和該第二隔離結構之間的該鰭的該第一部分上。

【0769】實施例實施方式4：實施例實施方式3之積體電路結構，其中該第一和第二磊晶半導體區具有沿著與該第一方向正交的第二方向的寬度，沿著該第二方向的該寬度寬於在該閘極結構下面之該鰭的該第一部分沿著該第二

方向的寬度。

【0770】實施例實施方式5：實施例實施方式1、2、3或4之積體電路結構，該閘極結構更包括高k值介電質層，在該閘極電極與該鰭的該第一部分之間且沿著該閘極電極的側壁。

【0771】實施例實施方式6：積體電路結構包含包括矽的鰭，該鰭具有頂部和側壁，其中該頂部沿著一方向具有最長尺寸。第一隔離結構沿著該方向將該鰭的第一部分的第一端部與該鰭的第二部分的第一端部分開，該鰭的該第一部分的該第一端部具有深度。包括閘極電極的閘極結構在該鰭的該第一部分的區域的該側壁的該頂部上方且側向相鄰於該鰭的該第一部分的區域的該側壁。第二隔離結構在該鰭的第一部分的第二端部上方，該第二端部與該第一端部相對，該鰭的該第一部分的該第二端部具有的深度相異於該鰭的該第一部分的該第一端部的該深度。

【0772】實施例實施方式7：實施例實施方式6之積體電路結構，其中該鰭的該第一部分的該第二端部的該深度小於該鰭的該第一部分的該第一端部的該深度。

【0773】實施例實施方式8：實施例實施方式6之積體電路結構，其中該鰭的該第一部分的該第二端部的該深度大於該鰭的該第一部分的該第一端部的該深度。

【0774】實施例實施方式9：實施例實施方式6、7或8之積體電路結構，其中該第一隔離結構具有沿著該方向的寬度，其中該閘極結構具有沿著該方向的該寬度，以及其

中該第二隔離結構具有沿著該方向的該寬度。

【0775】實施例實施方式10：實施例實施方式6、7、8或9之積體電路結構，其中該閘極結構的中心沿著該方向以間距與該第一隔離結構的中心間隔開，以及其中該第二隔離結構的中心沿著該方向以該間距與該閘極結構的該中心間隔開。

【0776】實施例實施方式11：一種積體電路包含包括矽的第一鰭，該第一鰭具有頂部和側壁，其中該頂部沿著一方向具有最長尺寸，以及其中不連續部沿著該方向將該第一鰭的第一部分的第一端部與該鰭的第二部分的第一端部分開，該第一鰭的該第一部分具有與該第一端部相對的第二端部，以及該鰭的該第一部分具有與該第一端部具有深度。該積體電路結構進一步包含包括矽的第二鰭，該第二鰭具有頂部和側壁，其中該頂部沿著該方向具有最長尺寸。該積體電路結構進一步包含殘餘鰭部，在該第一鰭和該第二鰭之間，該殘餘鰭部分具有頂部和側壁，其中該頂部沿著該方向具有最長尺寸，以及該頂部與該鰭的該第一部分的該第一端部的該深度非共平面。

【0777】實施例實施方式12：實施例實施方式11之積體電路結構，其中該鰭的該第一部分的該第一端部的該深度在該殘餘鰭部分的該頂部之下。

【0778】實施例實施方式13：實施例實施方式12之積體電路結構，其中該鰭的該第一部分的該第二端部具有的深度與該鰭的該第一部分的該第一端部的該深度共平面。

【0779】實施例實施方式14：實施例實施方式12之積體電路結構，其中該鰭的該第一部分的該第二端部具有的深度在該鰭的該第一部分的該第一端部的該深度之下。

【0780】實施例實施方式15：實施例實施方式12之積體電路結構，其中該鰭的該第一部分的該第二端部具有的深度在該鰭的該第一部分的該第一端部的該深度之上。

【0781】實施例實施方式16：實施例實施方式11之積體電路結構，其中該鰭的該第一部分的該第一端部的該深度在該殘餘鰭部分的該頂部之上。

【0782】實施例實施方式17：實施例實施方式16之積體電路結構，其中該鰭的該第一部分的該第二端部具有的深度與該鰭的該第一部分的該第一端部的該深度共平面。

【0783】實施例實施方式18：實施例實施方式16之積體電路結構，其中該鰭的該第一部分的該第二端部具有的深度在該鰭的該第一部分的該第一端部的該深度之下。

【0784】實施例實施方式19：實施例實施方式16之積體電路結構，其中該鰭的該第一部分的該第二端部具有的深度在該鰭的該第一部分的該第一端部的該深度之上。

【0785】實施例實施方式20：實施例實施方式11之積體電路結構，其中該鰭的該第一部分的該第二端部具有的深度與該殘餘鰭部分的該頂部共平面。

【0786】實施例實施方式21：實施例實施方式11之積體電路結構，其中該鰭的該第一部分的該第二端部具有的深度在該殘餘鰭部分的該頂部之下。

【0787】實施例實施方式22：實施例實施方式11之積體電路結構，其中該鰭的該第一部分的該第二端部具有的深度在該殘餘鰭部分的該頂部之上。

【符號說明】

【0788】

100:結構

102:ILD層

104:硬遮罩材料層

106:遮罩

108:間隔物

110:硬遮罩

200:間距四分之一方式

202:光阻特徵

204:第一骨幹特徵

206:第一間隔物特徵

206':第一間隔物特徵

208:第二骨幹特徵

210:第二間隔物特徵

250:半導體鰭

300:間距四分之一方式

302:光阻特徵

304:第一骨幹特徵

306:第一間隔物特徵

306':第一間隔物特徵

308:第二骨幹特徵

310:第二間隔物特徵

350:半導體鰭

352:半導體鰭

353:半導體鰭

354:半導體鰭

355:半導體鰭

356:半導體鰭

357:半導體鰭

402:硬遮罩層

404:半導體層

406:鰭

408:鰭短柱

502:鰭

502A:下鰭部分

502B:上鰭部分

504:第一絕緣層

506:第二絕緣層

508:介電質填充材料

552:第一鰭

552A:下鰭部分

552B:上鰭部分

554:肩特徵

562:第二鰭

562A:下鰭部分

562B:上鰭部分

564:肩特徵

574:第一絕緣層

574A:第一端部分

574B:第二端部分

576:第二絕緣層

578:介電質填充材料

578A:上表面

602:鰭

602A:上鰭部分

604:第一絕緣層

606:第二絕緣層

608:介電質填充材料

700:積體電路結構

702:鰭

702A:下鰭部分

702B:上鰭部分

704:絕緣結構

704A:第一部分

704A':第二部分

704A":第三部分

704B:第二部分

706:閘極結構

706A:犧牲閘極介電質層

706B:犧牲閘極

706C:硬遮罩

708:介電質材料

710:硬遮罩材料

712:硬遮罩材料

714:介電質材料

714A:第一介電質間隔物

714B:第一介電質間隔物

714C:第二介電質間隔物

902:第一絕緣層

904:第二絕緣層

906:介電質填充材料

910:嵌入源極或汲極結構

910A:底表面

910B:頂表面

920:永久閘極堆疊

922:閘極介電質層

924:第一閘極層

926:閘極填充材料

930:多晶矽部分

990:頂表面

1000:積體電路結構



- 1001:塊狀矽基板
- 1002:鰭
- 1004:源極或汲極結構
- 1006:絕緣結構
- 1008:導電接觸物
- 1052:鰭
- 1054:源極或汲極結構
- 1058:導電接觸物
- 1100:積體電路結構
- 1102:第一鰭
- 1104:第一磊晶源極或汲極結構
- 1104A:底部
- 1104B:頂部
- 1105:輪廓
- 1108:第一導電電極
- 1152:第二鰭
- 1154:第三磊晶源極或汲極結構
- 1158:第二導電電極
- 1201:矽基板
- 1202:鰭
- 1202A:下鰭部分
- 1202B:上鰭部分
- 1204:介電質間隔物
- 1204A:頂表面

1206: 鰭 部 分

1208: 磊 晶 源 極 或 汲 極 結 構

1208A: 下 部 分

1210: 導 電 電 極

1210A: 導 電 阻 障 層

1210B: 導 電 填 充 材 料

1302: 鰭

1304: 第 一 方 向

1306: 閘 極 線

1307: 間 隔

1308: 第 二 方 向

1310: 鰭

1312: 切 割

1402: 鰭

1404: 第 一 方 向

1406: 閘 極 結 構

1408: 第 二 方 向

1410: 介 電 質 材 料 結 構

1412: 部 分

1414: 部 分

1416: 微 影 窗

1418: 寬 度

1420: 切 割 區

1502: 矽 鰭

1504:第一鰭部分  
 1506:第二鰭部分  
 1508:切割  
 1510:介電質填充材料  
 1512:閘極電極  
 1514:閘極電極堆疊  
 1516:介電質帽層  
 1518:側壁間隔物  
 1600:積體電路結構  
 1602:鰭  
 1604:第一上部分  
 1606:第二上部分  
 1610:隔離結構  
 1611:中心  
 1612:閘極線  
 1612A:第一閘極結構  
 1612B:第二閘極結構  
 1612C:第三閘極結構  
 1613A:中心  
 1613B:中心  
 1613C:中心  
 1614:堆疊  
 1616:絕緣帽  
 1618:側壁間隔物

1620:間隔物材料  
1622:區域  
1650:第一方向  
1652:第二方向  
1660:閘極電極  
1662:閘極介電質層  
1664A:第一磊晶半導體區  
1664B:第二磊晶半導體區  
1664C:第三磊晶半導體區  
1680:鰭  
1682:基板  
1684:切割  
1686:切割  
1688:閘極電極  
1690:介電質插塞  
1692:介電質插塞  
1694:磊晶源極或汲極區  
1700:鰭  
1700A:下鰭部分  
1700B:上鰭部分  
1702:基板  
1704:絕緣結構  
1706A:切割  
1706B:切割

1706C:切割

1706D:切割

1710:第一鰭部分

1712:第二鰭部分

1800:鰭

1800A:下鰭部分

1800B:上鰭部分

1802:鰭

1802A:下鰭部分

1802B:上鰭部分

1804:絕緣結構

1806:切割

1808:切割

1810:剩餘部分

1820:切割深度

1900:鰭

1902:基板

1904:切割

1906:閘極位置

1908:閘極位置

1910:磊晶源極或汲極區

1912:層間介電質材料

1920:開口

2000:鰭

2002:基板  
 2004:切割  
 2006:閘極位置  
 2008:閘極位置  
 2010:磊晶源極或汲極區  
 2012:層間介電質材料  
 2020:開口  
 2100:結構  
 2102:第一鰭  
 2104:基板  
 2106:鰭端部  
 2108:閘極位置  
 2110:閘極位置  
 2112:磊晶N型源極或汲極區  
 2114:層間介電質材料  
 2116:開口  
 2122:第二鰭  
 2126:鰭端部  
 2128:閘極位置  
 2130:閘極位置  
 2132:磊晶P型源極或汲極區  
 2134:層間介電質材料  
 2136:開口  
 2140:材料襯墊

2142:保護冠層

2144:硬遮罩材料

2146:微影遮罩或遮罩堆疊

2148:第二材料襯墊

2150:第二硬遮罩材料

2152:絕緣填充材料

2154:絕緣填充材料

2156:第三材料襯墊

2157:縫

2302:鰭

2304:基板

2308A:淺介電質插塞

2308B:深介電質插塞

2308C:深介電質插塞

2308D:NMOS插塞

2308E:NMOS插塞

2308F:PMOS插塞

2308G:PMOS插塞

2350:氧化物層

2400:半導體鰭

2402:端部

2404:端部

2450:半導體鰭

2452:端部

2454:端 部

2502:鰭

2504:第一方向

2506:閘極結構

2508:第二方向

2510:介電質材料結構

2512:部分

2513:部分

2520:切割區

2530:絕緣結構

2600A:部分

2600B:部分

2600C:部分

2602:溝槽隔離結構

2602A:第一絕緣層

2602B:第二絕緣層

2602C:絕緣填充材料

2700A:積體電路結構

2700B:積體電路結構

2702:第一矽鰭

2703:第一方向

2704:第二矽鰭

2706:絕緣材料

2708:閘極線



2708A:第一側  
 2708B:第二側  
 2708C:第一端部  
 2708D:第二端部  
 2709:第二方向  
 2710:不連續部  
 2712:介電質插塞  
 2714:溝槽接觸物  
 2715:位置  
 2716:介電質間隔物  
 2718:第二溝槽接觸物  
 2719:位置  
 2720:第二介電質間隔物  
 2722:閘極介電質層  
 2724:閘極電極  
 2726:介電質帽層  
 2752:第一矽鰭  
 2753:第一方向  
 2754:第二矽鰭  
 2756:絕緣材料  
 2758:閘極線  
 2758A:第一側  
 2758B:第二側  
 2758C:第一端部

2758D:第二端部  
 2759:第二方向  
 2760:不連續部  
 2762:介電質插塞  
 2764:溝槽接觸物  
 2765:位置  
 2766:介電質間隔物  
 2768:第二溝槽接觸物  
 2769:位置  
 2770:第二介電質間隔物  
 2772:閘極介電質層  
 2774:閘極電極  
 2776:介電質帽層  
 2802:閘極線  
 2804:結構  
 2806:虛置閘極電極  
 2808:介電質帽  
 2810:介電質間隔物  
 2812:介電質材料  
 2814:遮罩  
 2816:介電質間隔物  
 2818:介電質材料部分  
 2820:殘餘虛置閘極材料  
 2822:硬遮罩

2830:介電質插塞

2902:鰭

2902A:上鰭部分

2902B:下鰭部分

2902C:頂部

2902D:側壁

2904:半導體基板

2906:隔離結構

2906A:第一絕緣層

2906B:第二絕緣層

2906C:絕緣材料

2907:頂表面

2908:半導體材料

2910:閘極介電質層

2911:閘極介電質層

2912:閘極電極

2912A:功函數層

2912B:導電填充金屬層

2916:第一源極或汲極區

2918:第二源極或汲極區

2920:第一介電質間隔物

2922:第二介電質間隔物

2924:絕緣帽

3000:鰭

3000A:下鰭部分  
 3000B:上鰭部分  
 3000C:頂部  
 3000D:側壁  
 3002:半導體基板  
 3004:隔離結構  
 3004A:絕緣材料  
 3004B:絕緣材料  
 3004C:絕緣材料  
 3005:頂表面  
 3006:佔位器閘極電極  
 3008:方向  
 3010:氧化的部分  
 3012:部分  
 3014:閘極介電質層  
 3016:永久閘極電極  
 3016A:功函數層  
 3016B:導電填充金屬層  
 3018:絕緣閘極帽層  
 3100:積體電路結構  
 3102:閘極結構  
 3102A:鐵電或反鐵電多晶材料層  
 3102B:導電層  
 3102C:閘極填充層

3103:非晶介電質層

3104:基板

3106:半導體通道結構

3108:源極區

3110:汲極區

3112:源極或汲極接觸物

3112A:阻障層

3112B:導電溝槽填充材料

3114:層間介電質層

3116:閘極介電質間隔物

3149:位置

3150:積體電路結構

3152:閘極結構

3152A:鐵電或反鐵電多晶材料層

3152B:導電層

3152C:閘極填充層

3153:非晶氧化物層

3154:基板

3156:半導體通道結構

3158:源極區

3160:源極區

3162:汲極區

3162A:阻障層

3162B:導電溝槽填充材料

3164:層間介電質層  
 3166:閘極介電質間隔物  
 3199:位置  
 3200:半導體鰭  
 3204:主動閘極線  
 3206:虛置閘極線  
 3208:間隔  
 3251:源極或汲極區  
 3252:源極或汲極區  
 3253:源極或汲極區  
 3254:源極或汲極區  
 3260:基板  
 3262:半導體鰭  
 3264:主動閘極線  
 3266:虛置閘極線  
 3268:介電質層  
 3270:介電質層  
 3272:閘極介電質結構  
 3274:功函數閘極電極部分  
 3276:填充閘極電極部分  
 3278:介電質帽層  
 3280:介電質間隔物  
 3297:溝槽接觸物材料  
 3298:鐵電或反鐵電多晶材料層

3299:非晶氧化物層  
3300:半導體主動區  
3302:第一NMOS裝置  
3304:第二NMOS裝置  
3306:閘極介電質層  
3308:第一閘極電極導電層  
3310:閘極電極導電填充  
3312:區域  
3320:半導體主動區  
3322:第一PMOS裝置  
3324:第二PMOS裝置  
3326:閘極介電質層  
3328:第一閘極電極導電層  
3330:閘極電極導電填充  
3332:區域  
3350:半導體主動區  
3352:第一NMOS裝置  
3354:第二NMOS裝置  
3356:閘極介電質層  
3358:第一閘極電極導電層  
3359:第二閘極電極導電層  
3360:閘極電極導電填充  
3370:半導體主動區  
3372:第一PMOS裝置

3374:第二PMOS裝置  
3376:閘極介電質層  
3378A:閘極電極導電層  
3378B:閘極電極導電層  
3380:閘極電極導電填充  
3400:半導體主動區  
3402:第一NMOS裝置  
3403:第三NMOS裝置  
3404:第二NMOS裝置  
3406:閘極介電質層  
3408:第一閘極電極導電層  
3409:第二閘極電極導電層  
3410:閘極電極導電填充  
3412:區域  
3420:半導體主動區  
3422:第一PMOS裝置  
3423:第三PMOS裝置  
3424:第二PMOS裝置  
3426:閘極介電質層  
3428A:閘極電極導電層  
3428B:閘極電極導電層  
3430:閘極電極導電填充  
3432:區域  
3450:半導體主動區



3452:第一NMOS裝置  
3453:第三NMOS裝置  
3454:第二NMOS裝置  
3456:閘極介電質層  
3458:第一閘極電極導電層  
3459:第二閘極電極導電層  
3460:閘極電極導電填充  
3462:區域  
3470:半導體主動區  
3472:第一PMOS裝置  
3473:第三PMOS裝置  
3474:第二PMOS裝置  
3476:閘極介電質層  
3478A:閘極電極導電層  
3478B:閘極電極導電層  
3480:閘極電極導電填充  
3482:區域  
3502:第一半導體鰭  
3504:第二半導體鰭  
3506:閘極介電質層  
3508:P型金屬層  
3509:部分  
3510:N型金屬層  
3512:導電填充金屬層

3602:第一半導體鰭  
 3604:第二半導體鰭  
 3606:閘極介電質層  
 3608:第一P型金屬層  
 3609:部分  
 3610:第二P型金屬層  
 3611:縫  
 3612:導電填充金屬層  
 3614:N型金屬層  
 3700:積體電路結構  
 3702:半導體基板  
 3704:N井區  
 3706:第一半導體鰭  
 3708:P井區  
 3710:第二半導體鰭  
 3712:溝槽隔離結構  
 3714:閘極介電質層  
 3716:導電層  
 3717:頂表面  
 3718:p型金屬閘極層  
 3719:頂表面  
 3720:n型金屬閘極層  
 3721:頂表面  
 3722:ILD層

3724:開口

3726:側壁

3730:導電填充金屬層

3732:氧化物層

3800:基板

3802:ILD層

3804:第一半導體鰭

3806:第二半導體鰭

3808:開口

3810:閘極介電質層

3811:氧化物層

3812:溝槽隔離結構

3814:導電層

3815:導電層

3816:p型金屬閘極層

3817:p型金屬閘極層

3818:介電質蝕刻停止層

3819:介電質蝕刻停止層

3820:遮罩

3822:n型金屬閘極層

3824:側壁

3826:導電填充金屬層

3900:積體電路結構

3902:第一閘極結構

3902A:第一側  
 3902B:第二側  
 3903:介電質側壁間隔物  
 3904:第一鰭  
 3904A:頂部  
 3906:絕緣材料  
 3908:第一源極或汲極區  
 3910:第二源極或汲極區  
 3912:第一金屬矽化物層  
 3914:第一金屬層  
 3916:U形金屬層  
 3918:T形金屬層  
 3920:第三金屬層  
 3930:第一溝槽接觸物結構  
 3932:第二溝槽接觸物結構  
 3952:第二閘極結構  
 3952A:第一側  
 3952B:第二側  
 3953:介電質側壁間隔物  
 3954:第二鰭  
 3954A:頂部  
 3958:第三源極或汲極區  
 3960:第四源極或汲極區  
 3962:第二金屬矽化物

3970:第三溝槽接觸物結構  
3972:第四溝槽接觸物結構  
4000:積體電路結構  
4002:鰭  
4004:閘極介電質層  
4006:閘極電極  
4006A:第一側  
4006B:第二側  
4008:導電層  
4010:導電填充  
4012:介電質帽  
4013:介電質間隔物  
4014:第一半導體源極或汲極區  
4016:第二半導體源極或汲極區  
4018:第一溝槽接觸物結構  
4020:第二溝槽接觸物結構  
4022:U形金屬層  
4024:T形金屬層  
4026:第三金屬層  
4028:第一溝槽接觸通孔  
4030:第二溝槽接觸通孔  
4032:金屬矽化物層  
4050:積體電路結構  
4052:鰭

4054:閘極介電質層  
 4056:閘極電極  
 4056A:第一側  
 4056B:第二側  
 4058:導電層  
 4060:導電填充  
 4062:介電質帽  
 4063:介電質間隔物  
 4064:第一半導體源極或汲極區  
 4065:凹部  
 4066:第二半導體源極或汲極區  
 4067:凹部  
 4068:第一溝槽接觸物結構  
 4070:第二溝槽接觸物結構  
 4072:U形金屬層  
 4074:T形金屬層  
 4076:第三金屬層  
 4078:第一溝槽接觸通孔  
 4080:第二溝槽接觸通孔  
 4082:金屬矽化物層  
 4100:半導體結構  
 4102:閘極結構  
 4102A:閘極介電質層  
 4102B:功函數層

4104:基板  
4108:源極區  
4110:汲極區  
4112:源極或汲極接觸物  
4112A:金屬層  
4112B:導電溝槽填充材料  
4114:層間介電質層  
4116:閘極介電質間隔物  
4149:表面  
4150:積體電路結構  
4152:閘極結構  
4152A:閘極介電質層  
4152B:功函數層  
4152C:閘極填充  
4154:基板  
4158:源極區  
4160:汲極區  
4162:源極或汲極接觸物  
4162A:金屬層  
4162B:導電溝槽填充材料  
4164:層間介電質層  
4166:閘極介電質間隔物  
4199:表面  
4200:半導體鰭

4204:主動閘極線  
 4206:虛置閘極線  
 4208:間隔  
 4251:源極或汲極區  
 4252:源極或汲極區  
 4253:源極或汲極區  
 4254:源極或汲極區  
 4300:基板  
 4302:半導體鰭  
 4304:主動閘極線  
 4306:虛置閘極線  
 4308:源極或汲極結構  
 4310:介電質層  
 4312:閘極介電質層  
 4314:功函數閘極電極部分  
 4316:填充閘極電極部分  
 4318:介電質帽層  
 4320:介電質間隔物  
 4330:開口  
 4332:源極或汲極結構  
 4334:溝槽接觸物  
 4336:金屬接觸層  
 4336A:第一半導體源極或汲極結構  
 4336B:位置



4338:金屬接觸層

4400:基板

4402:鰭

4404:溝槽隔離材料

4406:第一半導體源極或汲極結構

4408:溝槽接觸物

4410:介電質層

4412:金屬接觸層

4414:導電填充材料

4500:積體電路結構

4502:鰭

4502A:鰭

4502B:第二鰭

4504:第一方向

4506:閘極結構

4508:第二方向

4510:介電質側壁間隔物

4512:溝槽接觸物結構

4514A:接觸插塞

4514B:接觸插塞

4516:下介電質材料

4518:上硬遮罩材料

4520:下導電結構

4522:介電質帽

4524:閘極電極  
 4526:閘極介電質層  
 4528:介電質帽  
 4602:複數鰭的個別者  
 4604:第一方向  
 4606:擴散區  
 4608:閘極結構  
 4609:介電質間隔物  
 4610:第二方向  
 4612:犧牲材料結構  
 4614:接觸插塞  
 4614':接觸插塞  
 4616:下介電質材料  
 4618:硬遮罩材料  
 4620:開口  
 4622:溝槽接觸物結構  
 4624:上硬遮罩材料  
 4626:下導電結構  
 4628:介電質帽  
 4630:永久閘極結構  
 4632:永久閘極介電質層  
 4634:永久閘極電極層或堆疊  
 4636:介電質帽  
 4700A:半導體結構或裝置

4700B:半 導 體 結 構 或 裝 置  
 4702:基 板  
 4704:擴 散 或 主 動 區  
 4704B:非 平 面 擴 散 或 主 動 區  
 4706:隔 離 區  
 4708A:閘 極 線  
 4708B:閘 極 線  
 4708C:閘 極 線  
 4710A:接 觸 物  
 4710B:接 觸 物  
 4712A:溝 槽 接 觸 通 孔  
 4712B:溝 槽 接 觸 通 孔  
 4714:閘 極 接 觸 物  
 4716:閘 極 接 觸 通 孔  
 4750:閘 極 電 極  
 4752:閘 極 介 電 質 層  
 4754:介 電 質 帽 層  
 4760:金 屬 互 連  
 4770:層 間 介 電 質 堆 疊 或 層  
 4800A:半 導 體 結 構 或 裝 置  
 4800B:半 導 體 結 構 或 裝 置  
 4802:基 板  
 4804:擴 散 或 主 動 區  
 4804B:非 平 面 擴 散 或 主 動 區

4806:隔離區

4808A:閘極線

4808B:閘極線

4808C:閘極線

4810A:溝槽接觸物

4810B:溝槽接觸物

4812A:溝槽接觸通孔

4812B:溝槽接觸通孔

4816:閘極接觸通孔

4850:閘極電極

4852:閘極介電質層

4854:介電質帽層

4860:金屬互連

4870:層間介電質堆疊或層

4900:結構

4902:基板

4908A:閘極堆疊結構

4908B:閘極堆疊結構

4908C:閘極堆疊結構

4908D:閘極堆疊結構

4908E:閘極堆疊結構

4910A:溝槽接觸物

4910B:溝槽接觸物

4910C:溝槽接觸物

4911A:溝槽接觸物  
 4911B:溝槽接觸物  
 4911C:溝槽接觸物  
 4920:介電質間隔物  
 4922:絕緣帽層  
 4923:區域  
 4924:絕緣帽層  
 4930:ILD  
 4932:硬遮罩  
 4934:溝槽  
 4936:通孔開口  
 5000:積體電路結構  
 5002:鰭  
 5004:半導體基板或鰭  
 5005:閘極線  
 5006:閘極堆疊  
 5008:介電質間隔物  
 5010:溝槽接觸物  
 5011:導電接觸物  
 5012:溝槽接觸物絕緣帽層  
 5014:閘極接觸通孔  
 5016:溝槽接觸通孔  
 5100A:積體電路結構  
 5100B:積體電路結構

5100C:積體電路結構

5102:鰭

5102A:頂部

5104:第一閘極介電質層

5106:第二閘極介電質層

5108:第一閘極電極

5109A:共形導電層

5109B:導電填充材料

5110:第二閘極電極

5112:第一側

5114:第二側

5116:絕緣帽

5117A:底表面

5117B:底表面

5117C:底表面

5118:頂表面

5120:第一介電質間隔物

5122:第二介電質間隔物

5124:半導體源極或汲極區

5126:溝槽接觸物結構

5128:絕緣帽

5128A:底表面

5128B:底表面

5128C:底表面

5129:頂表面

5130:導電結構

5130A:導電結構

5132:凹陷

5134:U形金屬層

5136:T形金屬層

5138:第三金屬層

5140:金屬矽化物層

5150:導電通孔

5152:開口

5154:部分

5160:導電通孔

5162:開口

5164:部分

5170:電短路接觸物

5200:半導體結構或裝置

5208A:閘極結構

5208B:閘極結構

5208C:閘極結構

5210A:溝槽接觸物

5210B:溝槽接觸物

5250:半導體結構或裝置

5258A:閘極結構

5258B:閘極結構

5258C:閘極結構

5260A:溝槽接觸物

5260B:溝槽接觸物

5280:閘極接觸通孔

5290:溝槽接觸通孔

5300:結構

5302:基板或鰭

5304:閘極堆疊

5306:閘極介電質層

5308:共形的導電層

5310:導電填充材料

5312:熱或化學氧化物層

5314:介電質間隔物

5316:ILD層

5318:遮罩

5320:開口

5322:穴

5324:閘極堆疊

5326:第一絕緣層

5328:第一部分

5330:絕緣閘極帽結構

5330A:材料

5330B:材料

5330C:材料



5330D:材 料

5332:縫

5332A:縫

5332B:縫

5332C:縫

5400:間 距 四 分 之 一 方 式

5402:骨 幹 特 徵

5404:第 一 間 隔 物 特 徵

5404':第 一 間 隔 物 特 徵

5406:第 二 間 隔 物 特 徵

5407:互 補 區

5408:溝 槽

5500:積 體 電 路 結 構

5502:基 板

5504:ILD層

5506:導 電 互 連 線

5506B:導 電 互 連 線

5506C:導 電 互 連 線

5506S:導 電 互 連 線

5508:導 電 阻 障 層

5510:導 電 填 充 材 料

5550:積 體 電 路 結 構

5552:基 板

5554:第 一 ILD層

5556:導電互連線  
 5558:導電阻障層  
 5560:導電填充材料  
 5574:第二ILD層  
 5576:導電互連線  
 5578:導電阻障層  
 5580:導電填充材料  
 5600:積體電路結構  
 5602:基板  
 5604:第一ILD層  
 5606:第一複數導電互連線  
 5606A:導電互連線  
 5607:通孔  
 5608:第一導電阻障材料  
 5610:第一導電填充材料  
 5614:第二ILD層  
 5616:第二複數導電互連線  
 5616A:導電互連線  
 5617:通孔  
 5618:第二導電阻障材料  
 5620:第二導電填充材料  
 5622:蝕刻停止層  
 5650:積體電路結構  
 5652:基板

5654:第一ILD層

5656:第一複數導電互連線

5656A:導電互連線

5656B:第一複數導電互連線的個別的一者

5657:通孔

5658:第一導電阻障材料

5660:第一導電填充材料

5664:第二ILD層

5666:第二複數導電互連線

5666A:第二複數導電互連線的個別的一者

5667:導電通孔

5668:第二導電阻障材料

5670:第二導電填充材料

5672:蝕刻停止層

5698:第一方向

5699:第二方向

5700:互連線

5701:介電質層

5702:導電阻障材料

5704:導電填充材料

5706:外層

5708:內層

5720:互連線

5721:介電質層

5722:導電阻障材料

5724:導電填充材料

5730:導電帽層

5740:互連線

5741:介電質層

5742:導電阻障材料

5744:導電填充材料

5746:外層

5748:內層

5750:導電帽層

5752:位置

5754:位置

5800:積體電路結構

5801:基板

5802:第一ILD層

5804:第一複數導電互連線

5804A:個別一者

5806:第一導電阻障材料

5808:第一導電填充材料

5812:第二ILD層

5814:第二複數導電互連線

5814A:第二複數導電互連線的個別一者

5814B:第二複數導電互連線的個別一者

5819:第一導電通孔

5822:第三ILD層

5824:第三複數導電互連線

5824A:第三複數導電互連線的個別一者

5824B:第三複數導電互連線的個別一者

5826:第二導電阻障材料

5828:第二導電填充材料

5829:第二導電通孔

5832:第四ILD層

5834:第四複數導電互連線

5834A:第四複數導電互連線的個別一者

5834B:第四複數導電互連線的個別一者

5839:第三導電通孔

5842:第五ILD層

5844:第五複數導電互連線

5844A:第五複數導電互連線的個別一者

5844B:第五複數導電互連線的個別一者

5849:第四導電通孔

5852:第六ILD層

5854:第六複數導電互連線

5854A:個別一者

5859:第五導電通孔

5890:蝕刻停止層

5898:第一方向

5899:第二方向

5900:積體電路結構  
 5902:基板  
 5904:ILD層  
 5906:導電通孔  
 5908:第一溝槽  
 5909:開口  
 5910:導電互連線  
 5912:第二溝槽  
 5913:開口  
 5914:第一導電阻障層  
 5916:第二導電阻障層  
 5918:第三導電阻障層  
 5920:導電填充材料  
 5922:導電帽層  
 5924:位置  
 5926:位置  
 5950:第二導電互連線  
 5952:第二ILD層  
 5954:導電填充材料  
 5956:導電帽  
 5958:蝕刻停止層  
 5960:導電通孔  
 6000:積體電路結構  
 6002:基板

6004:ILD層

6006:導電互連線

6006A:複數導電互連線的個別一者

6007:通孔

6008:上表面

6010:上表面

6012:蝕刻停止層

6014:最上部分

6016:最下部分

6018:導電通孔

6020:開口

6022:第二ILD層

6024:中心

6026:中心

6028:阻障層

6030:導電填充材料

6100:積體電路結構

6102:基板

6104:ILD層

6106:導電互連線

6106A:複數導電互連線的個別一者

6107:通孔

6108:上表面

6110:上表面

6112:蝕刻停止層  
 6114:最下部分  
 6116:最上部分  
 6118:導電通孔  
 6120:開口  
 6122:第二ILD層  
 6124:中心  
 6126:中心  
 6128:阻障層  
 6130:導電填充材料  
 6200:金屬化層  
 6202:金屬線  
 6203:通孔  
 6204:介電質層  
 6205:線端部或插塞區  
 6206:線溝槽  
 6208:通孔溝槽  
 6210:硬遮罩層  
 6212:線溝槽  
 6214:通孔溝槽  
 6216:暴露區  
 6300:金屬化層  
 6302:ILD材料層  
 6304:上部分



6306:線溝槽  
6308:通孔溝槽  
6310:下部分  
6312:金屬線  
6314:犧牲材料  
6315:硬遮罩  
6316:開口  
6318:介電質插塞  
6318':介電質插塞  
6318A:底部  
6320:上表面  
6322:上表面  
6324:導電材料  
6324A:第一部分  
6324B:第二部分  
6324C:底部  
6326:第一導電通孔  
6328:第二導電通孔  
6330:第三溝槽  
6350:積體電路結構  
6400:縫  
6418:介電質插塞  
6450:積體電路結構  
6452:基板

6454:第一ILD層  
 6456:第一複數導電互連線  
 6456A:第一導電阻障襯墊  
 6456B:第一導電填充材料  
 6458:介電質插塞  
 6464:第二ILD層  
 6466:第二複數導電互連線  
 6466A:第二導電阻障襯墊  
 6466B:第二導電填充材料  
 6468:部分  
 6470:層  
 6480:層  
 6500:佈局  
 6502:位元單元  
 6504:多晶線  
 6506:M1線  
 6600:佈局  
 6602:位元單元  
 6604:閘極線或多晶線  
 6605:重疊線  
 6606:M1線  
 6700:佈局  
 6702:N擴散  
 6704:P擴散

6706:溝槽接觸物  
 6708:閘極接觸物  
 6710:接觸通孔  
 6800:佈局  
 6802:N擴散  
 6804:P擴散  
 6806:溝槽接觸物  
 6808:閘極接觸物  
 6810:接觸通孔  
 6900:單元佈局  
 6902:M0線  
 6904:通孔0結構  
 7000:單元佈局  
 7002:M0線  
 7004:通孔0結構  
 7102:位元單元佈局  
 7104:閘極線  
 7106:溝槽接觸線  
 7108:NMOS擴散區  
 7110:PMOS擴散區  
 7112:NMOS通過閘極電晶體  
 7114:NMOS下拉電晶體  
 7116:PMOS上拉電晶體  
 7118:字線

- 7120:內 部 節 點
- 7122:位 元 線
- 7124:位 元 線 條
- 7126:內 部 節 點
- 7128:SRAM VCC
- 7130:VSS
- 7202A:基 板
- 7202B:基 板
- 7204A:閘 極 線
- 7204B:閘 極 線
- 7206A:M1互 連
- 7206B:M1互 連
- 7300A:單 元
- 7300B:單 元
- 7300C:單 元
- 7300D:單 元
- 7302A:閘 極 線
- 7302B:閘 極 線
- 7302C:閘 極 線
- 7302D:閘 極 線
- 7304A:M1線
- 7304B:M1線
- 7304C:M1線
- 7304D:M1線

7400:方塊級多晶柵

7402:閘極線

7404:方向

7406:邊界

7408:邊界

7500:佈局

7600:佈局

7700:佈局

7800:積體電路結構

7801:基板

7802:半導體鰭

7804:基板

7805:頂表面

7806:第一端部

7807:側壁

7808:第二端部

7810:金屬電阻器層

7810A:金屬電阻器層部分

7810B:金屬電阻器層部分

7810C:金屬電阻器層部分

7810D:金屬電阻器層部分

7810E:特徵

7812:隔離層

7814:隔離層

7902:骨幹模板結構  
 7904:側壁間隔物層  
 7906:區域  
 8400:陽極或陰極電極  
 8402:陽極或陰極電極  
 8404:陽極或陰極電極  
 8406:陽極或陰極電極  
 8408:陽極或陰極電極  
 8410:陽極或陰極電極  
 8600:基板  
 8601:微影遮罩  
 8602:吸收物層  
 8604:上層  
 8606:位移層  
 8608:最上表面  
 8610:晶粒內區  
 8612:最上表面  
 8614:最上表面  
 8620:框區  
 8630:晶粒框介面區  
 8640:雙層堆疊  
 8700:電腦裝置  
 8702:板  
 8704:處理器

8706:通訊晶片  
8800:中介物  
8802:第一基板  
8804:第二基板  
8806:球柵陣列  
8808:金屬互連  
8810:通孔  
8812:矽穿孔  
8814:嵌入裝置  
8900:行動電腦平台  
8905:顯示螢幕  
8910:系統  
8911:控制器  
8913:電池  
8915:PMIC  
8920:展開圖  
8925:RFIC  
8960:板  
8977:裝置  
9000:設備  
9002:晶粒  
9004:金屬化墊  
9006:封裝基板  
9008:連接

9010:焊 球

9012:欠 填 材 料

SP1:第一間隔物

SP2:第二間隔物

BB1:骨 幹

BB2:骨 幹

S1:第 一 量

S2:第 二 量

P1:間 距

P2:間 距

W1:寬 度

W2:寬 度

W3:寬 度

PR:光 阻 層



## 【發明申請專利範圍】

【請求項 1】一種積體電路結構，包含：

鰭，包括矽，該鰭具有頂部和側壁，其中該頂部沿著一方向具有最長尺寸；

第一隔離結構，沿著該方向而將該鰭的第一部分的第一端部與該鰭的第二部分的第一端部分開，該鰭的該第一部分的該第一端部具有一深度；

閘極結構，包括閘極電極，其係在該鰭的該第一部分的一區域的該頂部上方且側向相鄰於該鰭的該第一部分的該區域的該側壁；以及

第二隔離結構，在該鰭的該第一部分的第二端部上方，該第二端部與該第一端部相對，該鰭的該第一部分該第二端部具有不同於該鰭的該第一部分該第一端部的該深度的深度，其中該第二隔離結構在該鰭的該第一部分的該頂部的部分上。

【請求項 2】如請求項 1 所述之積體電路結構，其中該鰭的該第一部分該第二端部的該深度小於該鰭的該第一部分的該第一端部的該深度。

【請求項 3】如請求項 1 所述之積體電路結構，其中該鰭的該第一部分該第二端部的該深度大於該鰭的該第一部分的該第一端部的該深度。

【請求項 4】如請求項 1 所述之積體電路結構，其中該第一隔離結構具有沿著該方向的寬度，該閘極結構具有沿著該方向的該寬度，且該第二隔離結構具有沿著該方向的

該寬度。

【請求項5】如請求項1所述之積體電路結構，其中該閘極結構的中心沿著該方向以一間距而與該第一隔離結構的中心間隔開，且其中該第二隔離結構的中心沿著該方向以該間距而與該閘極結構的該中心間隔開。

【請求項6】一種積體電路結構，包含：

鰭，包括矽，該鰭具有頂部和側壁，其中該頂部沿著一方向具有最長尺寸，該鰭具有沿著該方向而與第二端部相對的第一端部，該第二端部具有小於該第一端部的深度的深度；

閘極結構，包括閘極電極，其係在該鰭的一區域的該頂部上方且側向相鄰於該鰭的該區域的該側壁；以及

隔離結構，其係在該鰭的該第二端部上方，其中該隔離結構在該鰭的該頂部的部分上。

【請求項7】如請求項6所述之積體電路結構，其中該隔離結構具有與該閘極結構的頂部表面共平面的頂部表面。

【請求項8】如請求項6所述之積體電路結構，其中該隔離結構具有沿著該方向的寬度，且其中該閘極結構具有沿著該方向的該寬度。

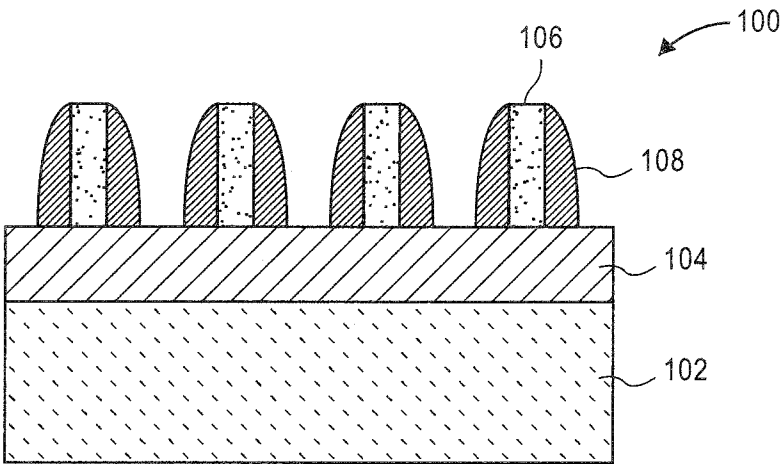
【請求項9】如請求項6所述之積體電路結構，還包含：

第一源極或汲極區域，其位於該閘極結構的第一側；以及

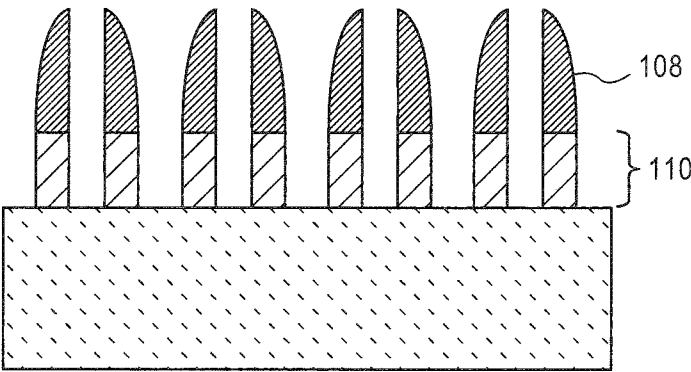
第二源極或汲極區域，其位於該閘極結構的第二側，該第二側與該第一側相對。

【請求項 10】如請求項 6 所述之積體電路結構，其中該鰭與下伏的矽基板是連續的。

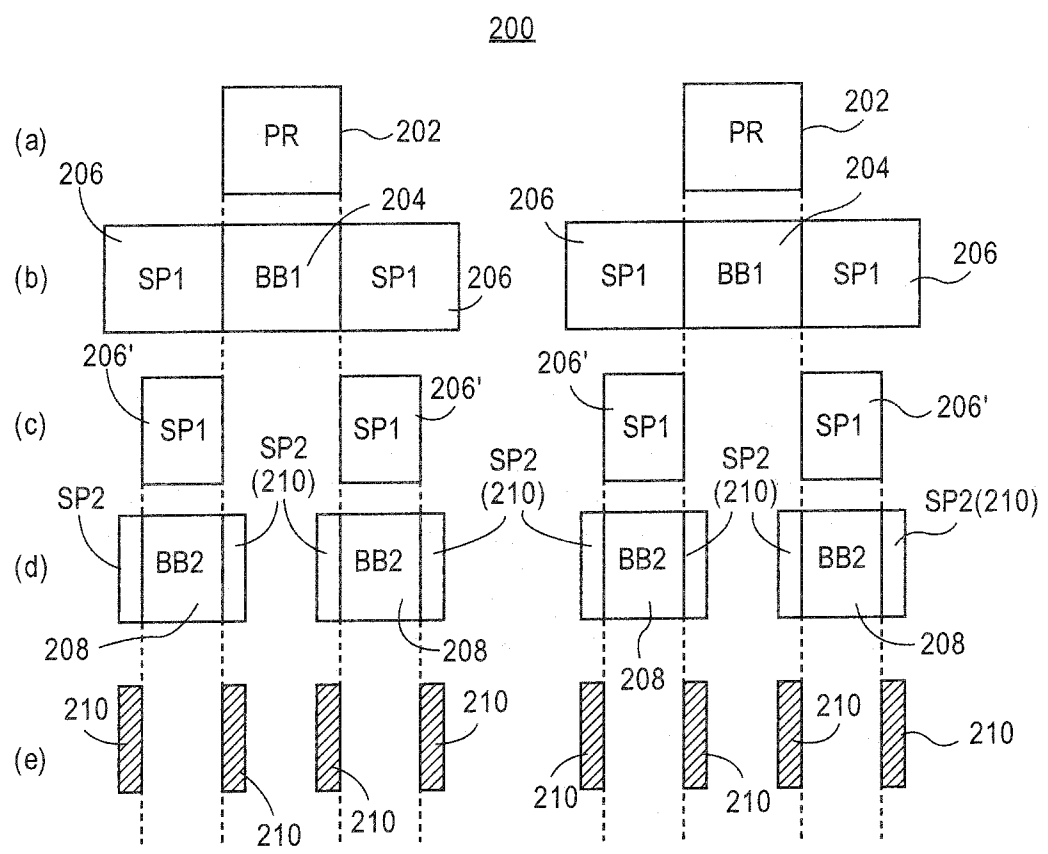
【發明圖式】



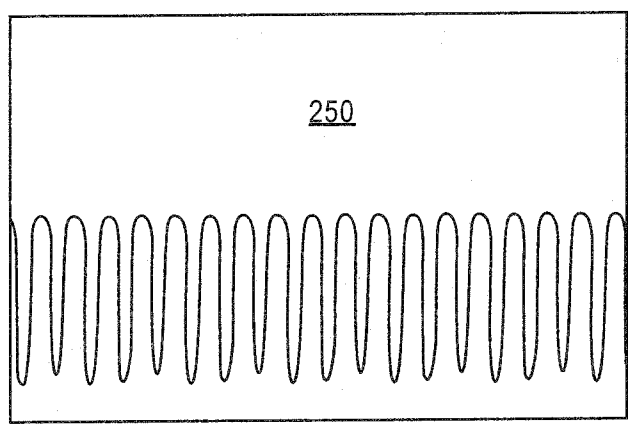
【圖 1A】



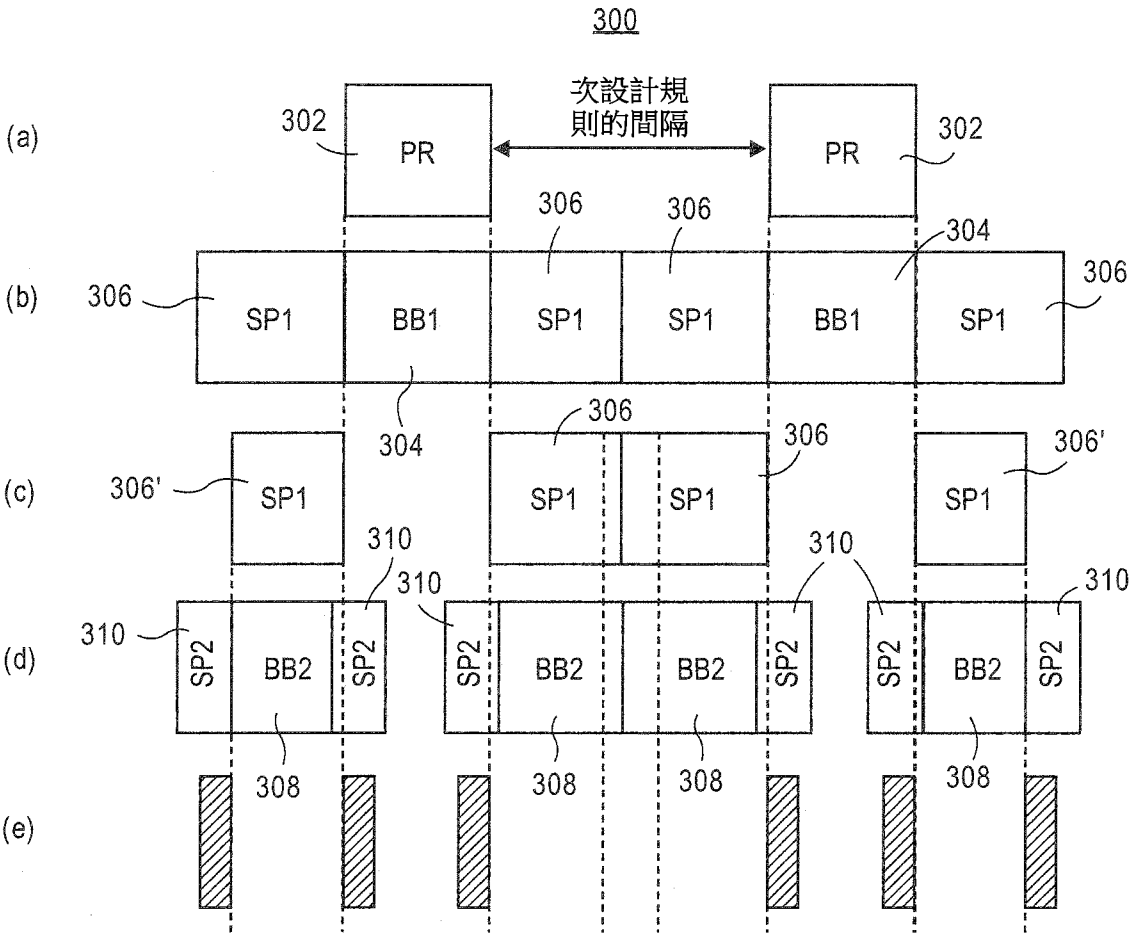
【圖 1B】



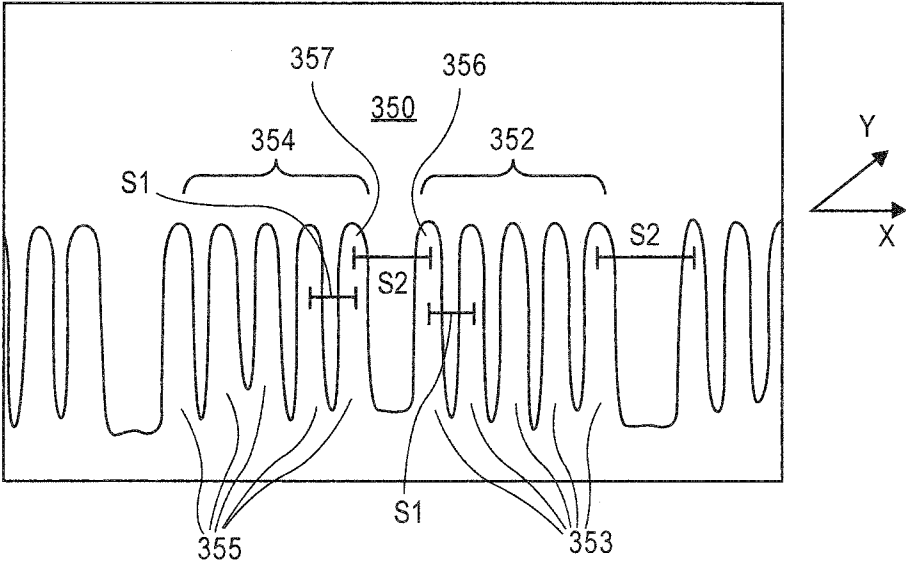
【圖 2A】



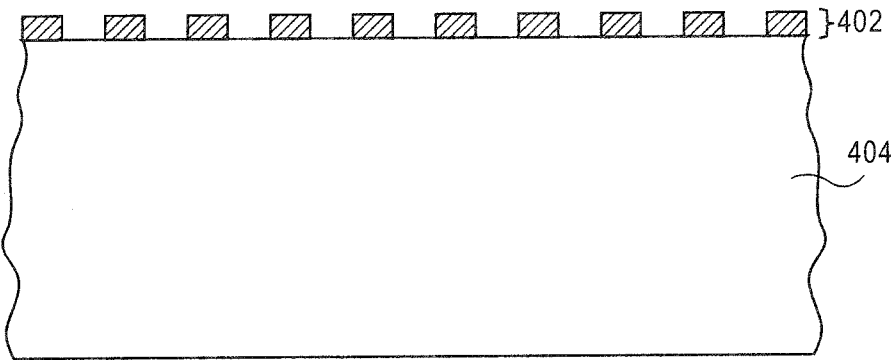
【圖 2B】



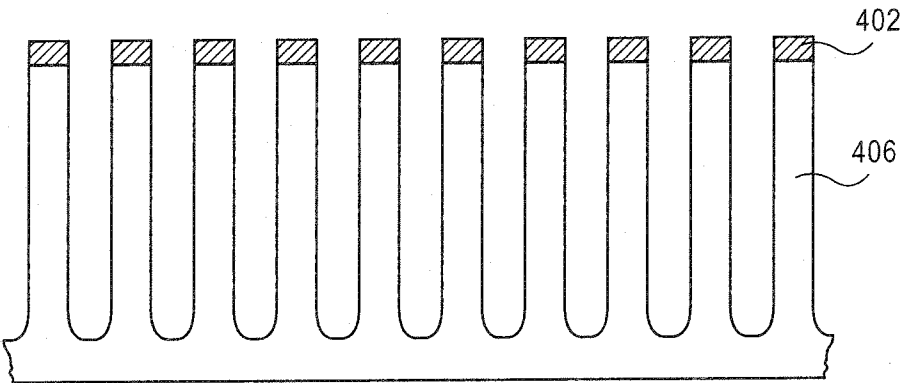
【圖 3A】



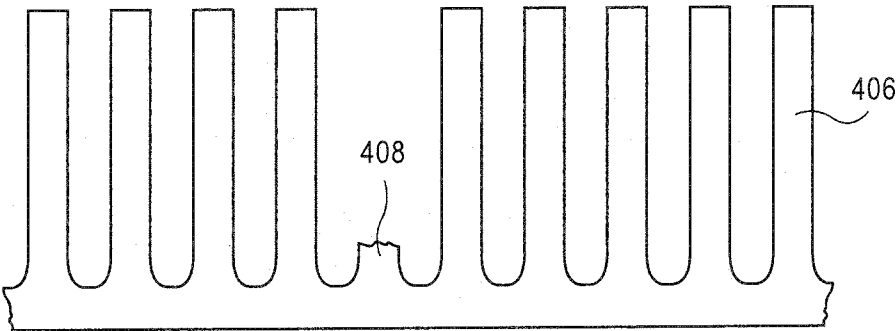
【圖 3B】



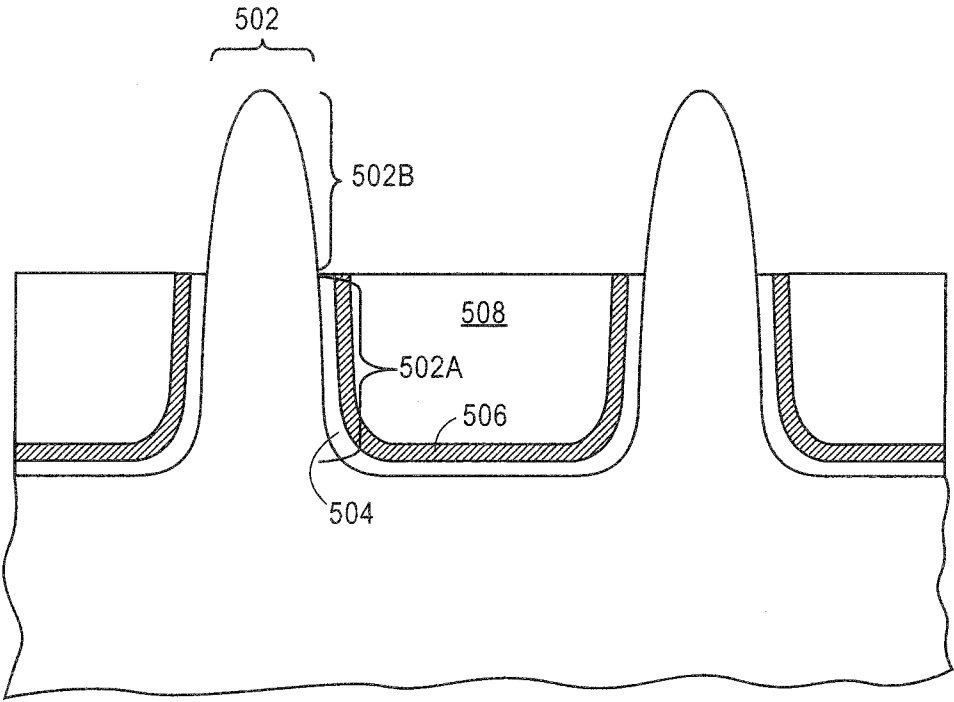
【圖 4A】



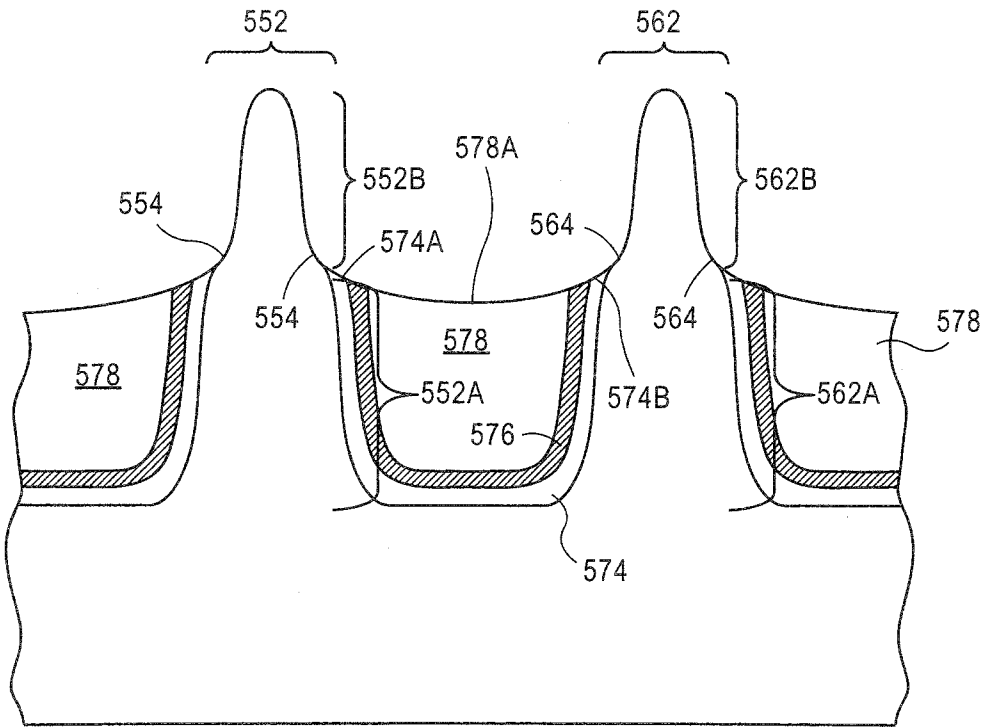
【圖 4B】



【圖 4C】

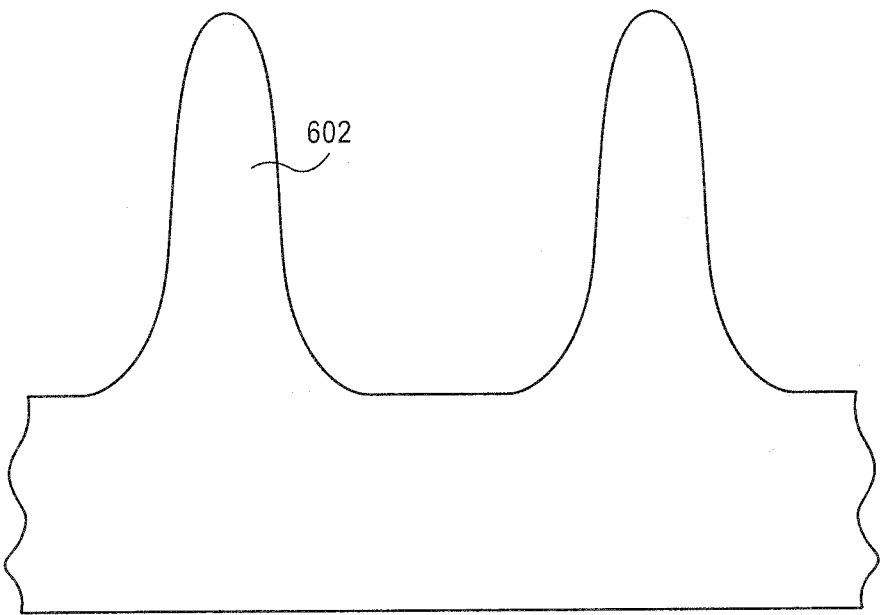


【圖 5A】

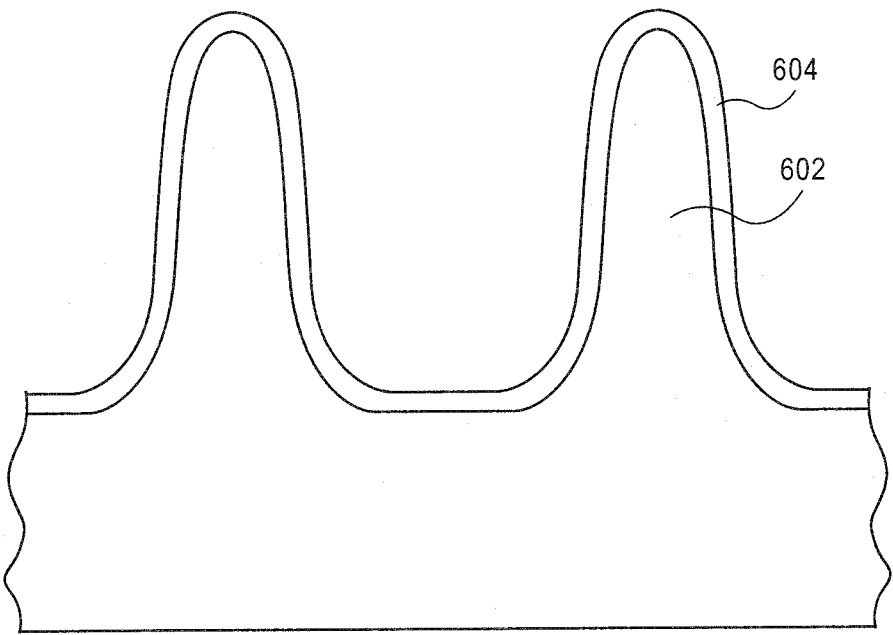


【圖 5B】

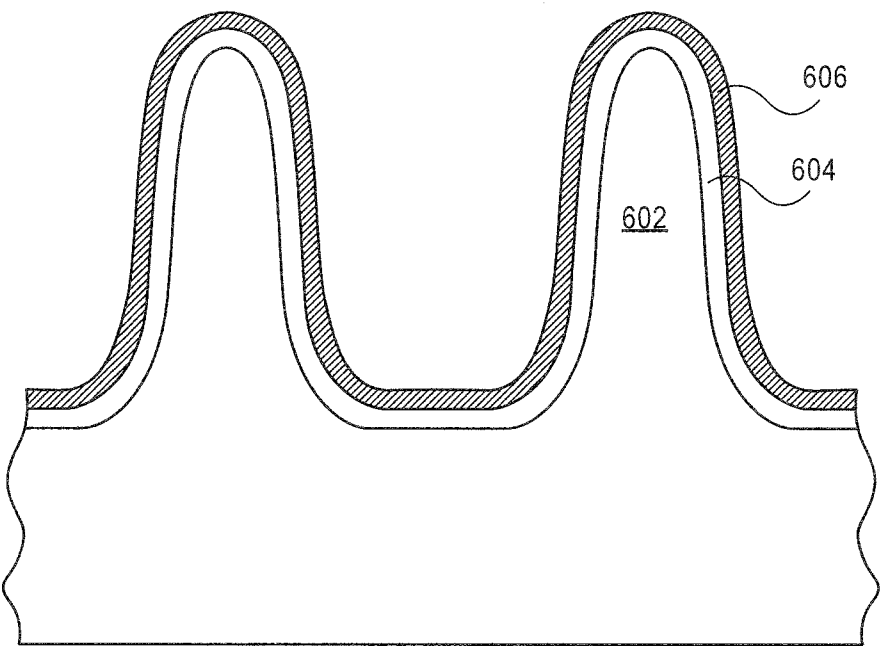




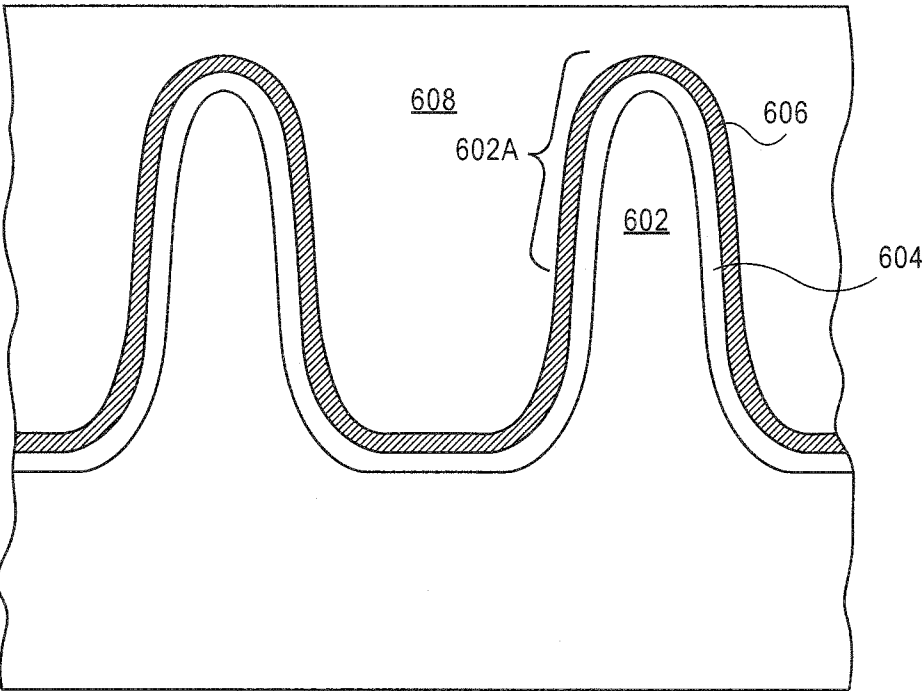
【圖 6A】



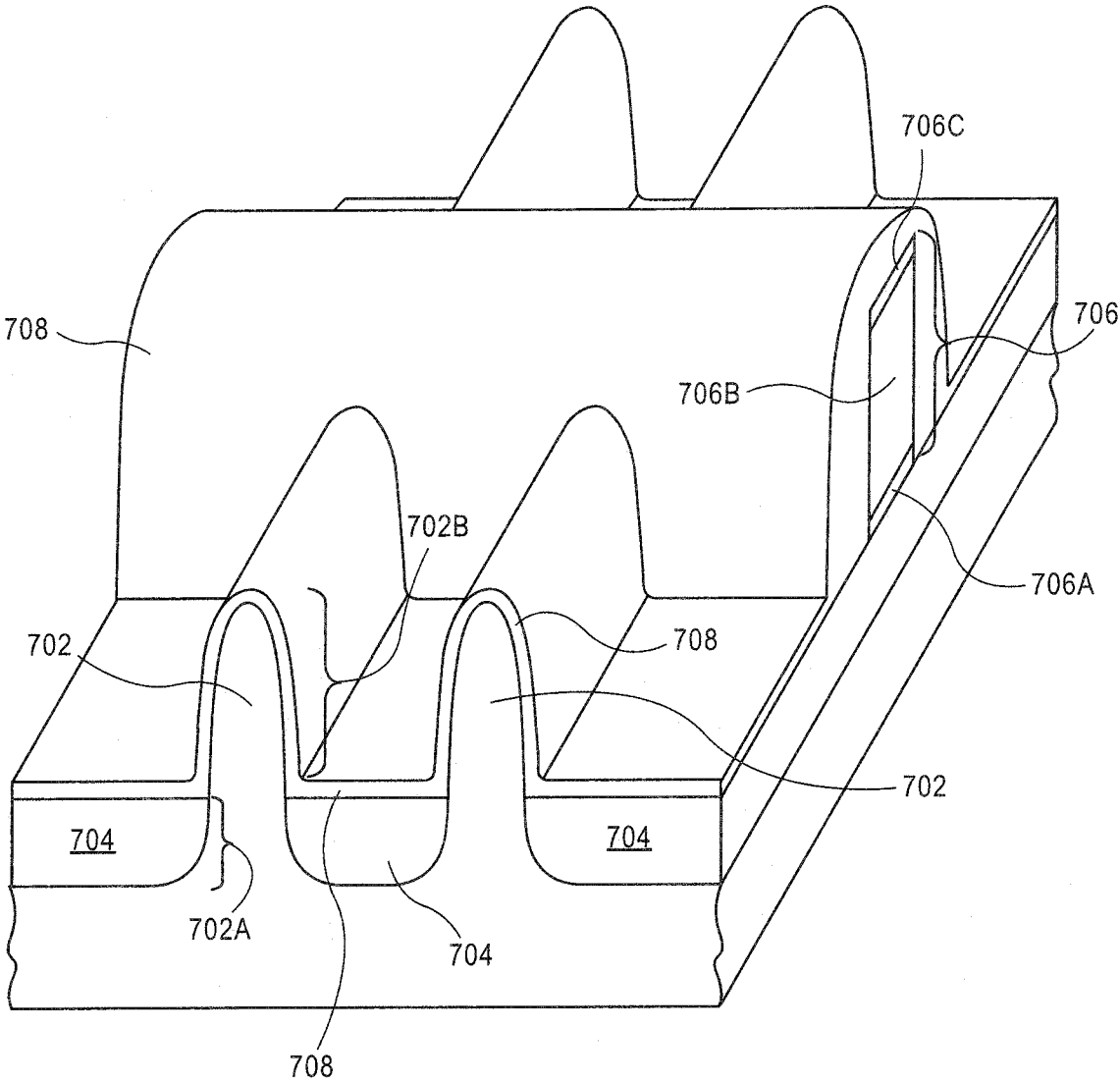
【圖 6B】



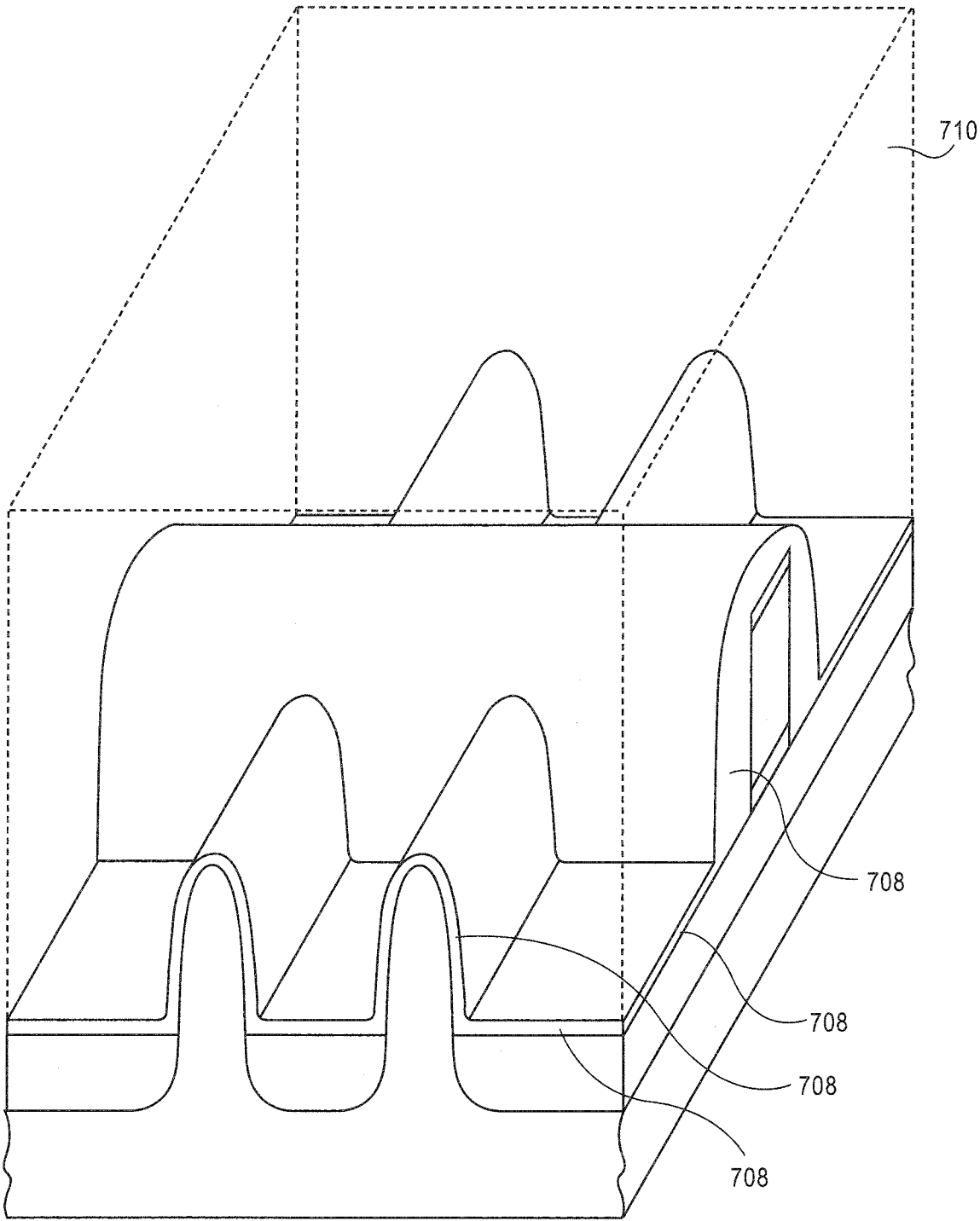
【圖 6C】



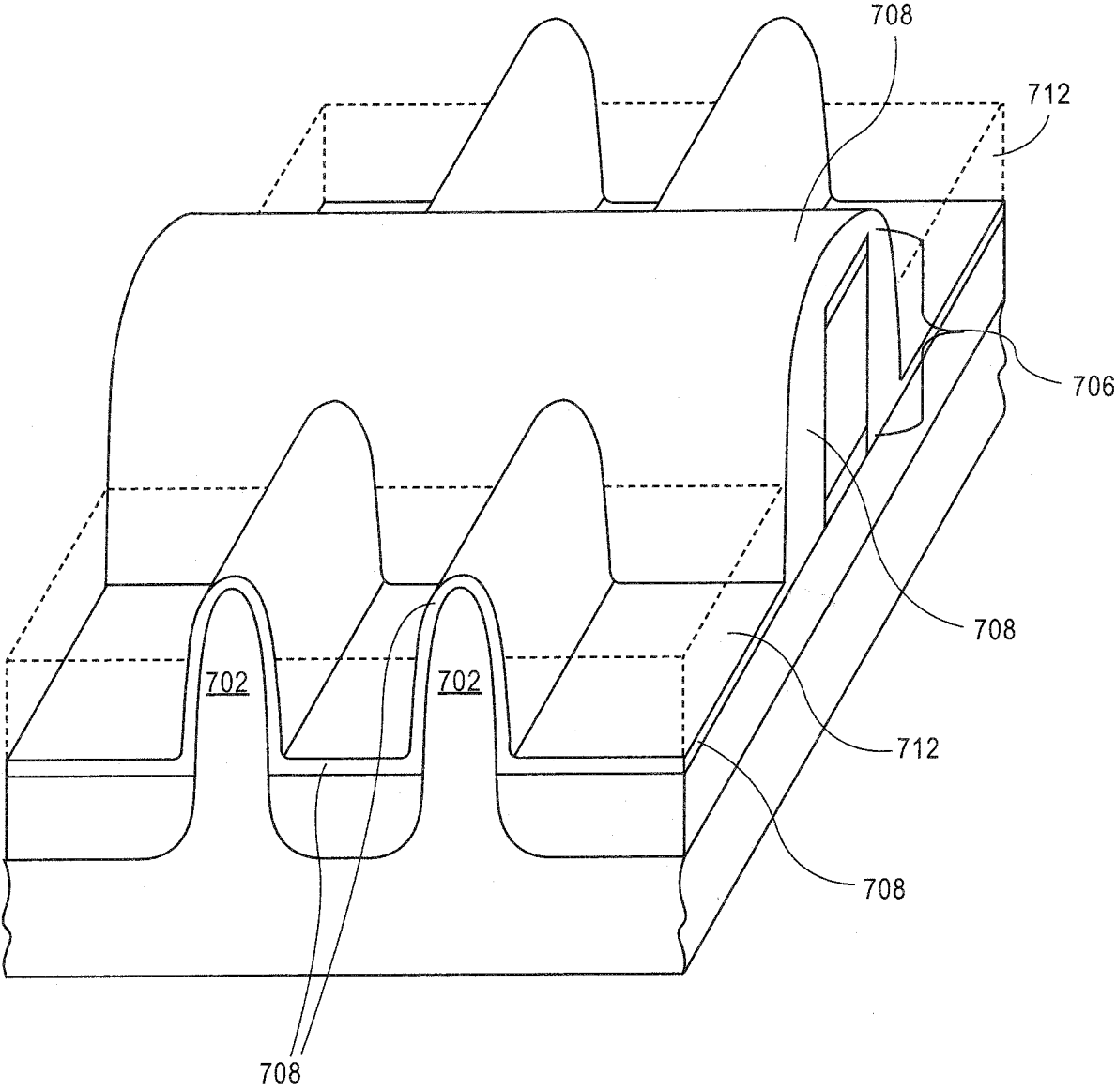
【圖 6D】



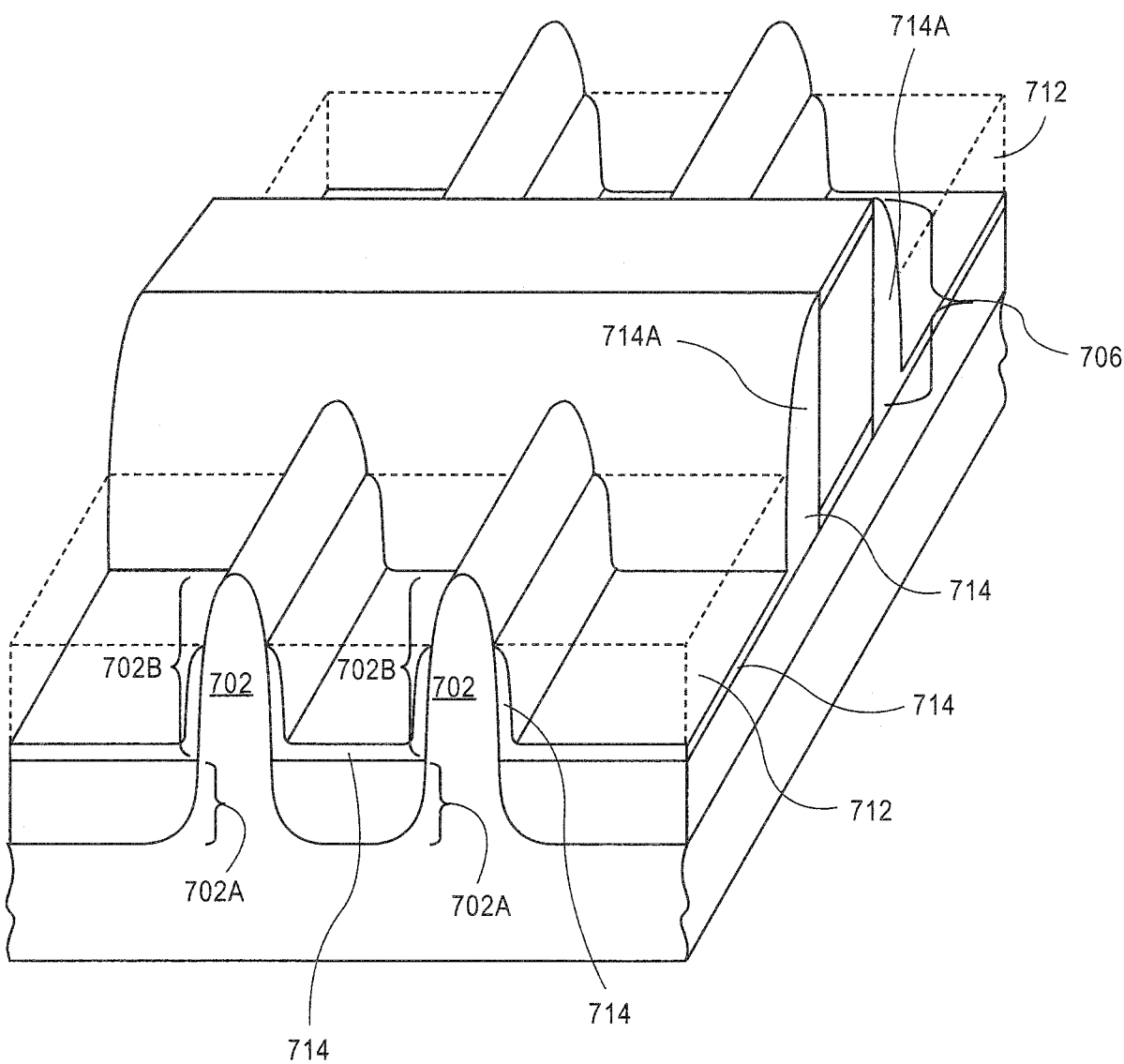
【圖 7A】



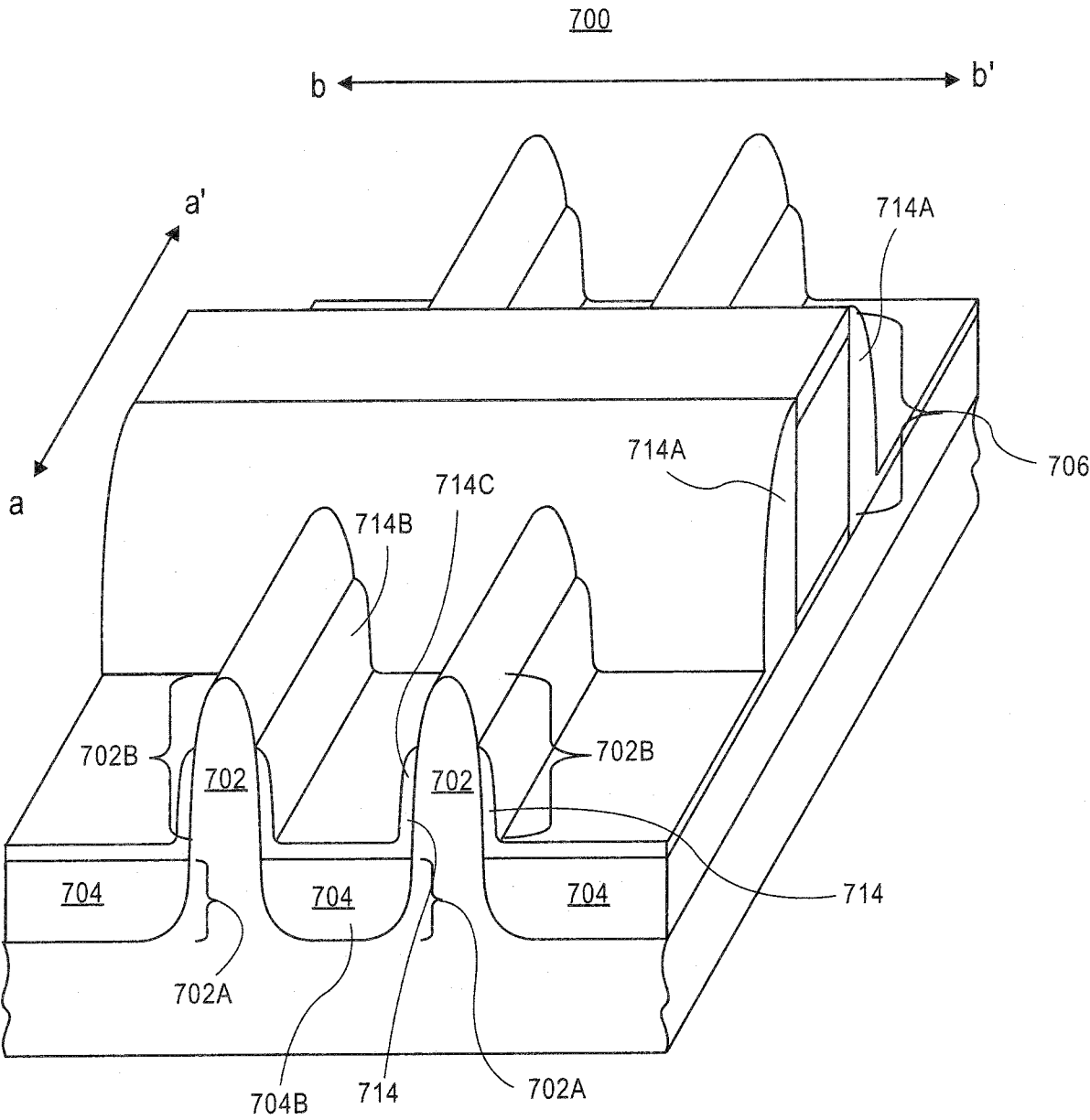
【圖 7B】



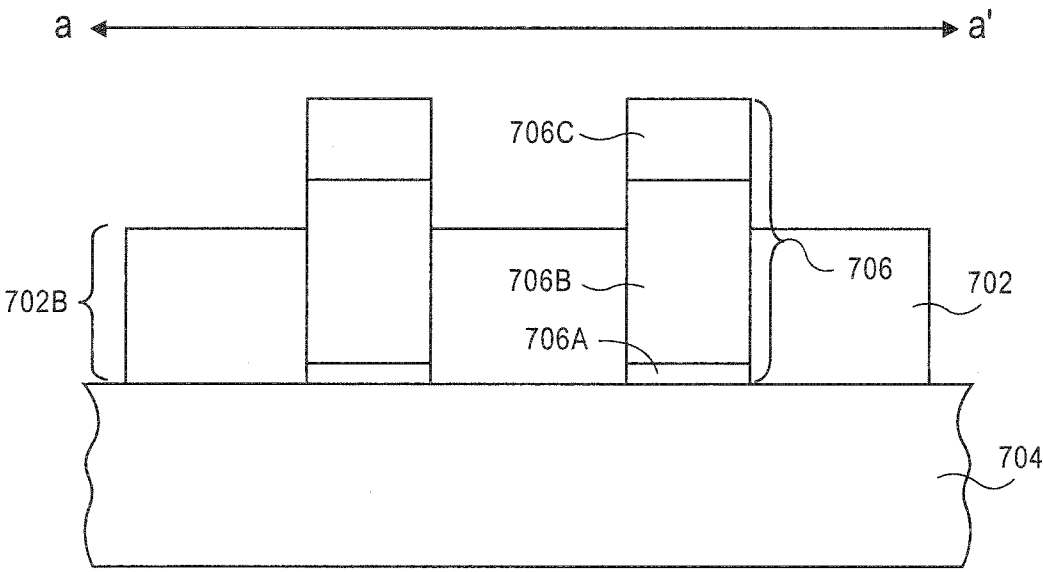
【圖 7C】



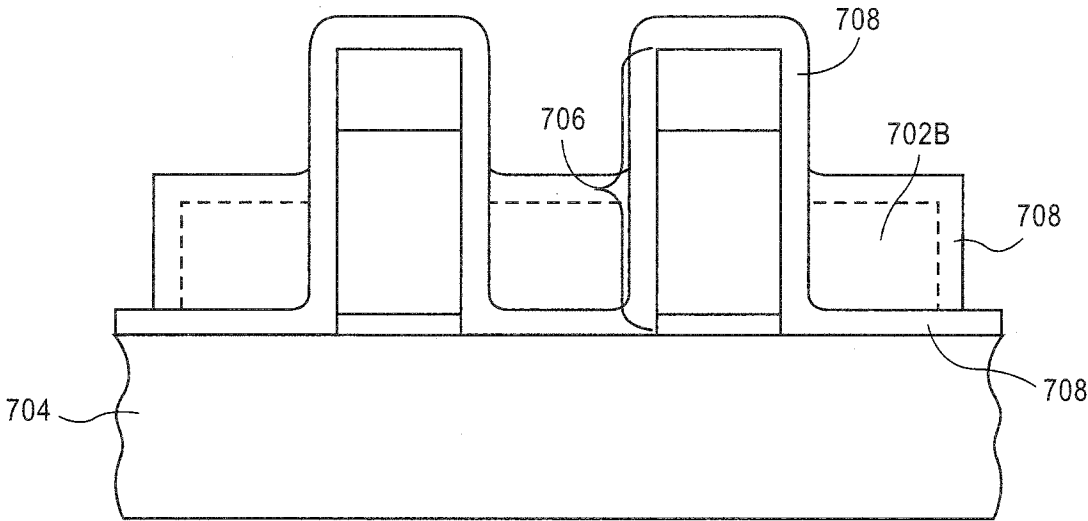
【圖 7D】



【圖 7E】

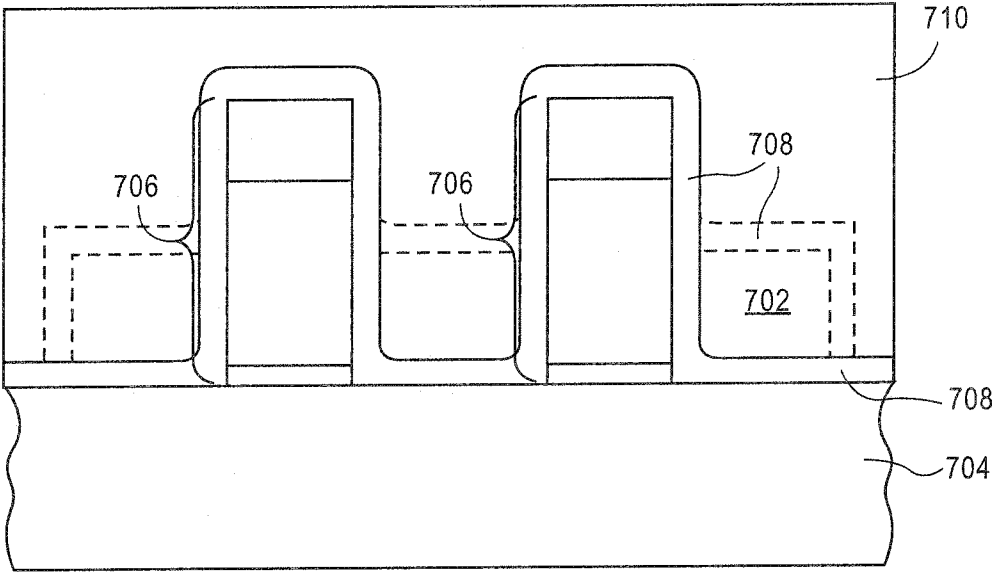


【圖 8A】

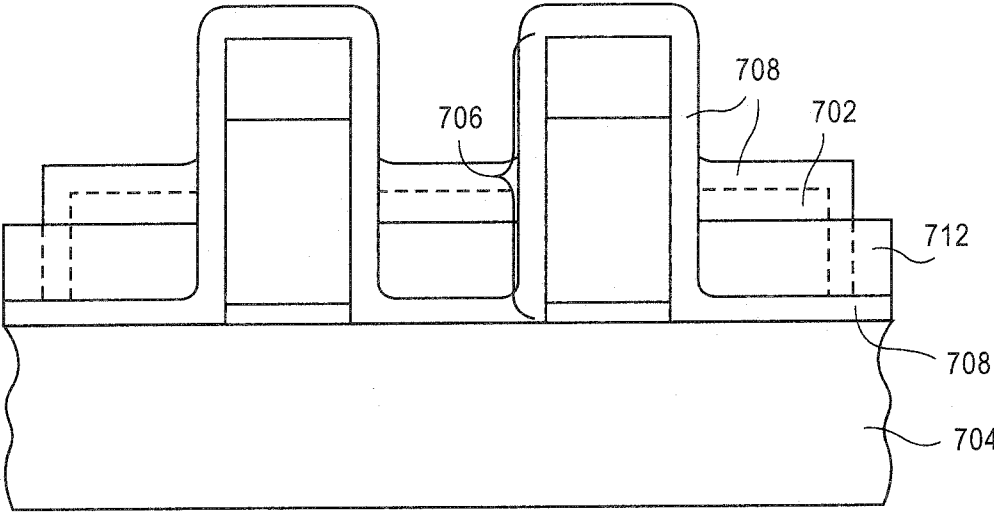


【圖 8B】

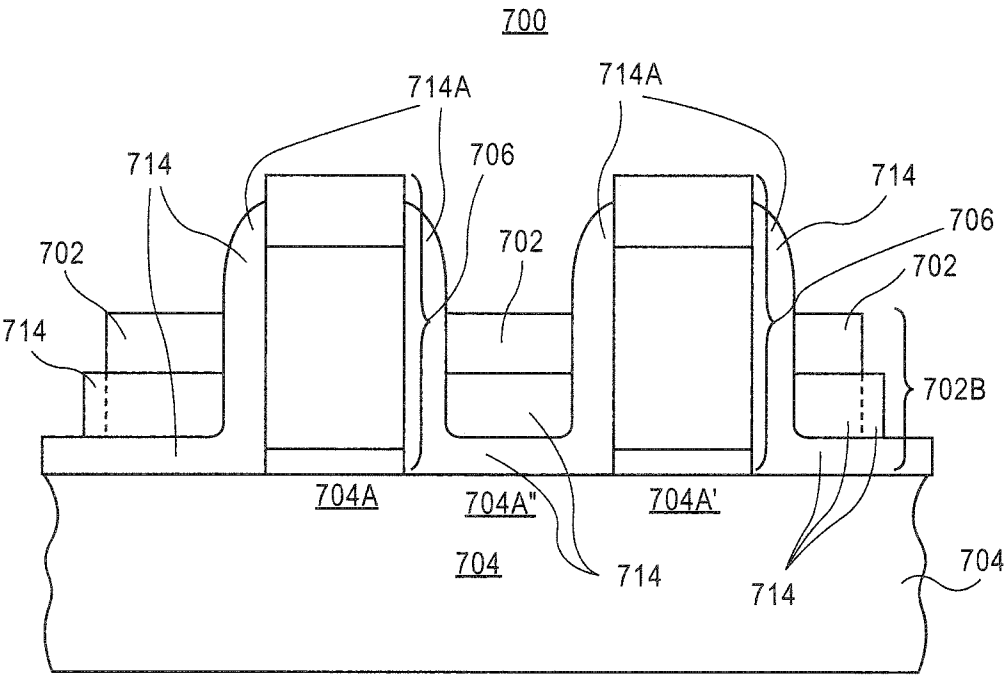
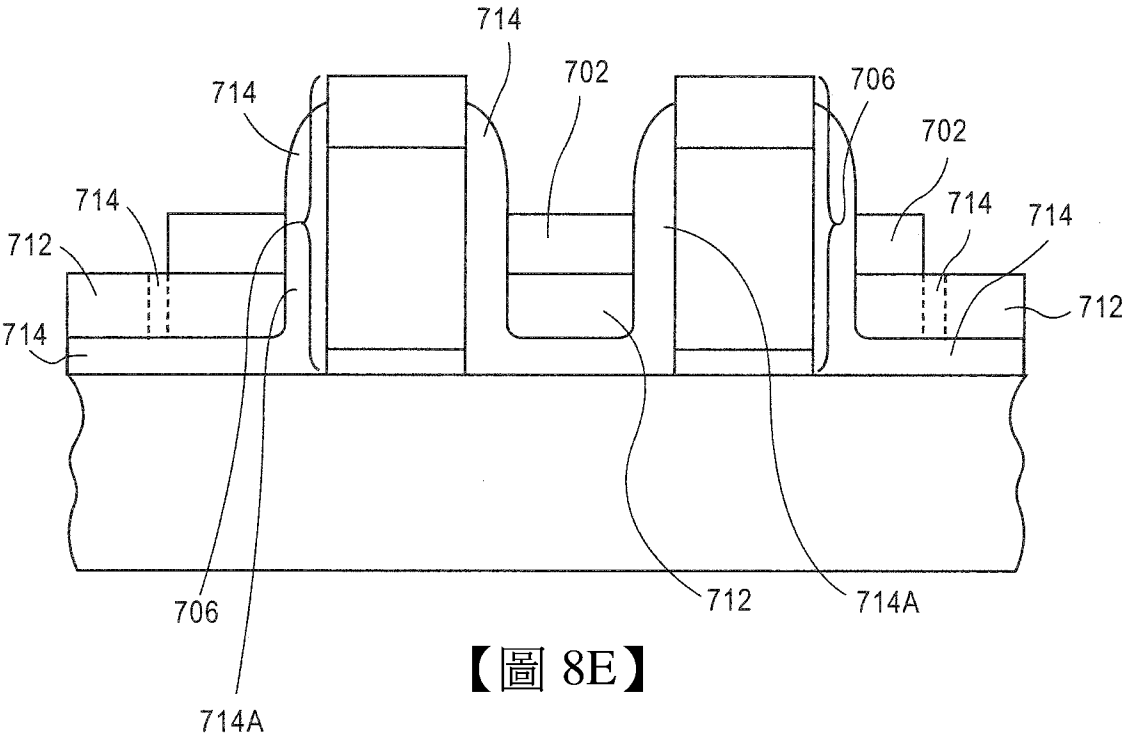


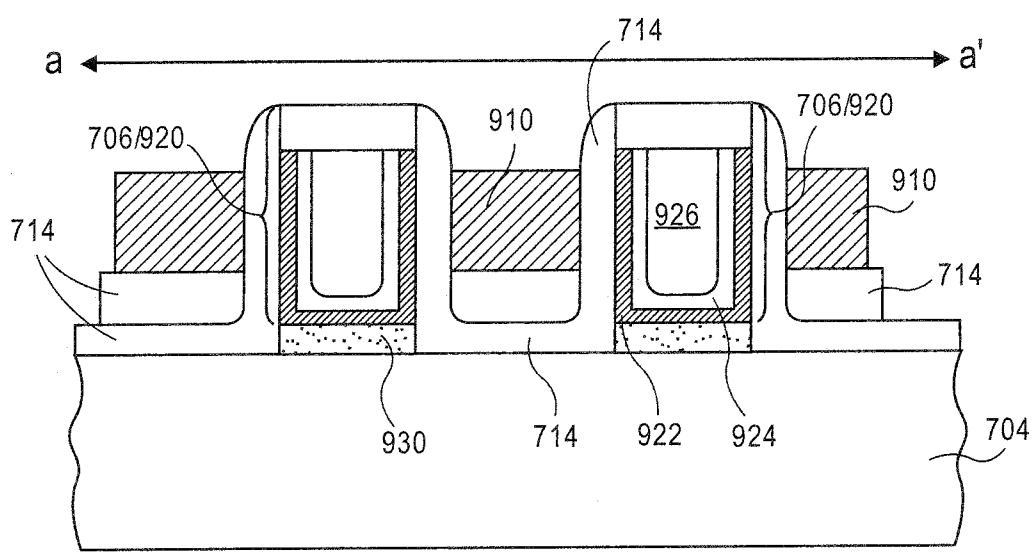


【圖 8C】

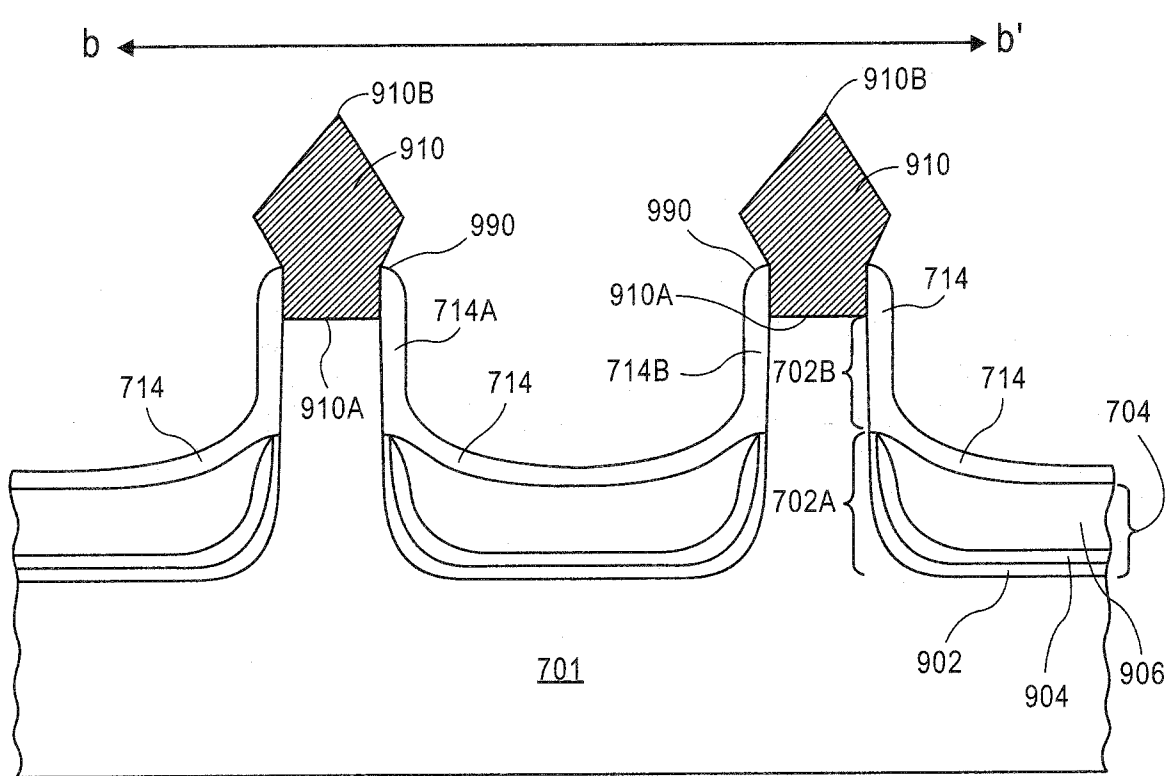


【圖 8D】

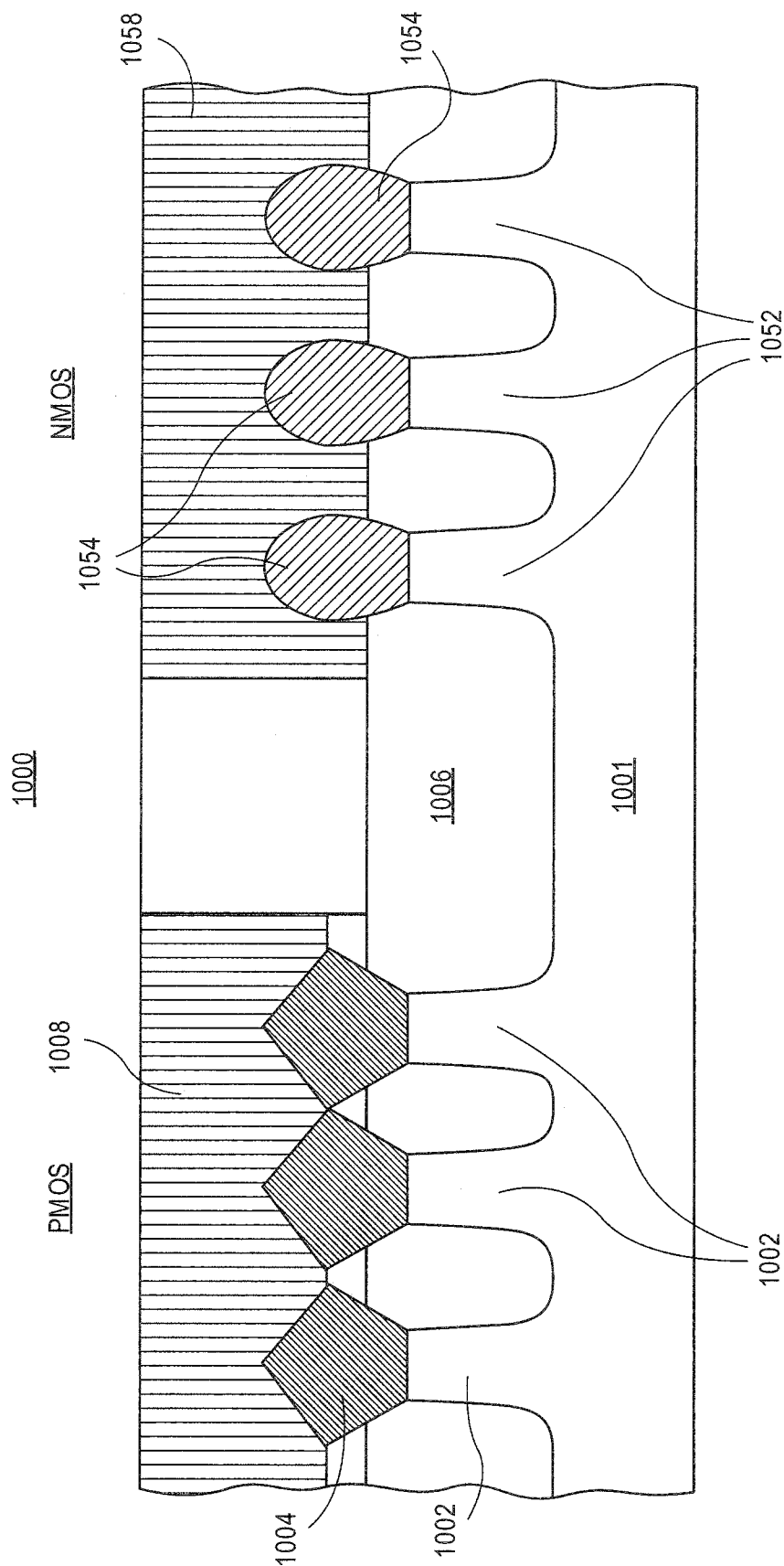




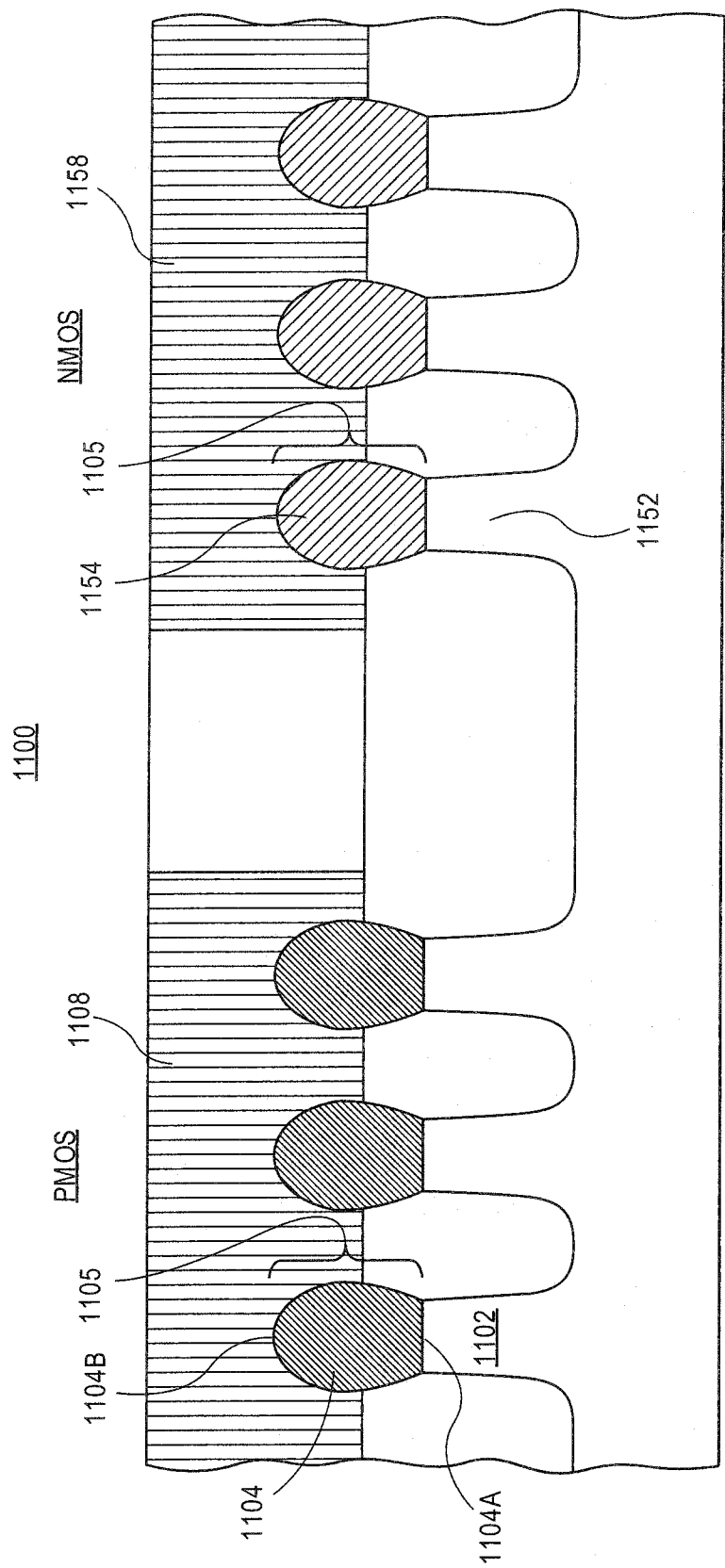
【圖 9A】



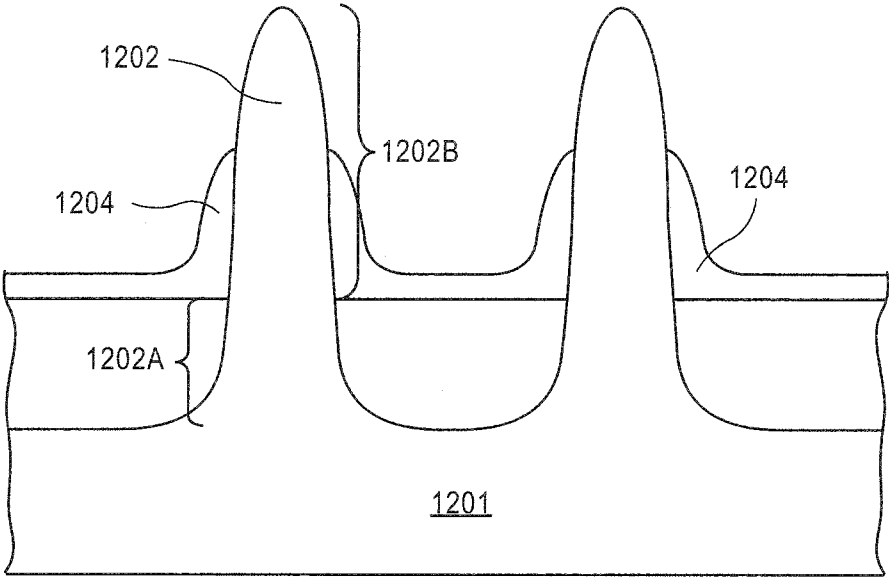
【圖 9B】



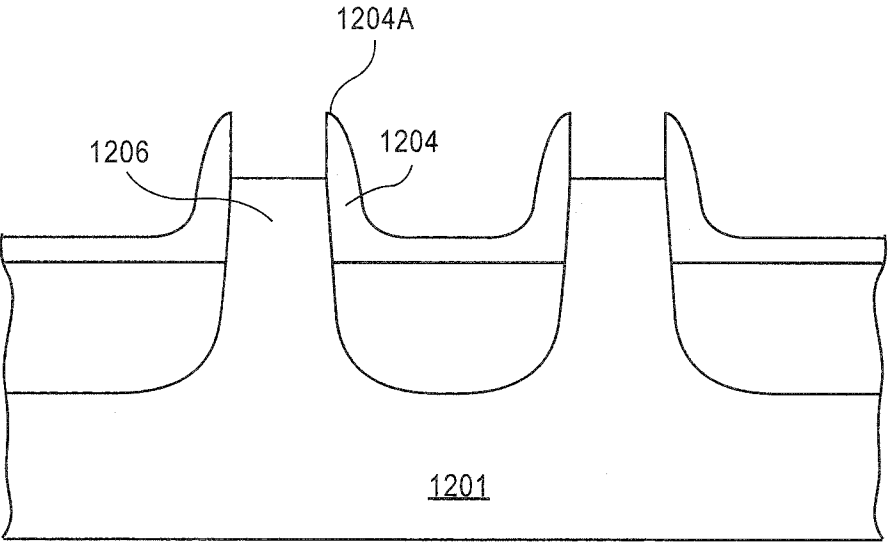
【圖 10】



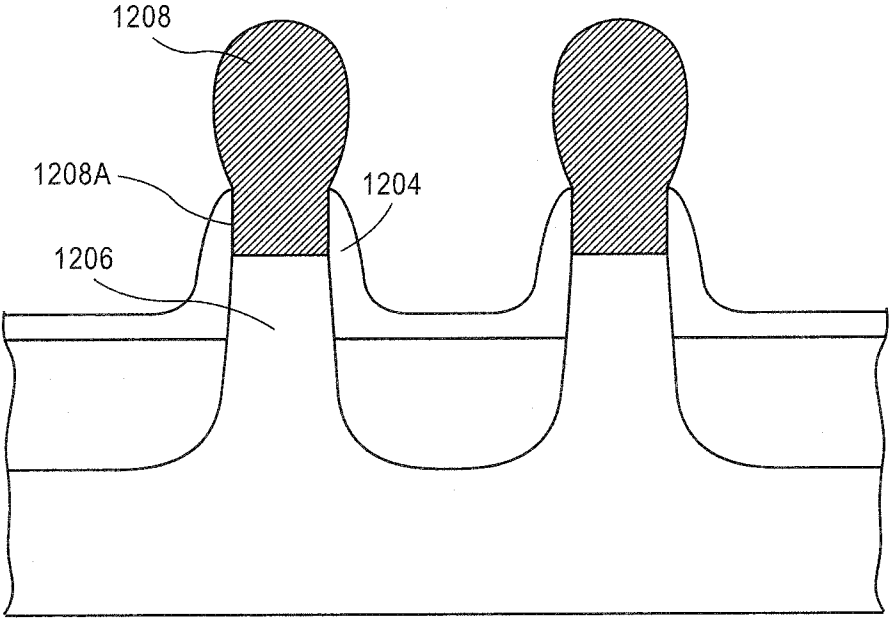
【圖 11】



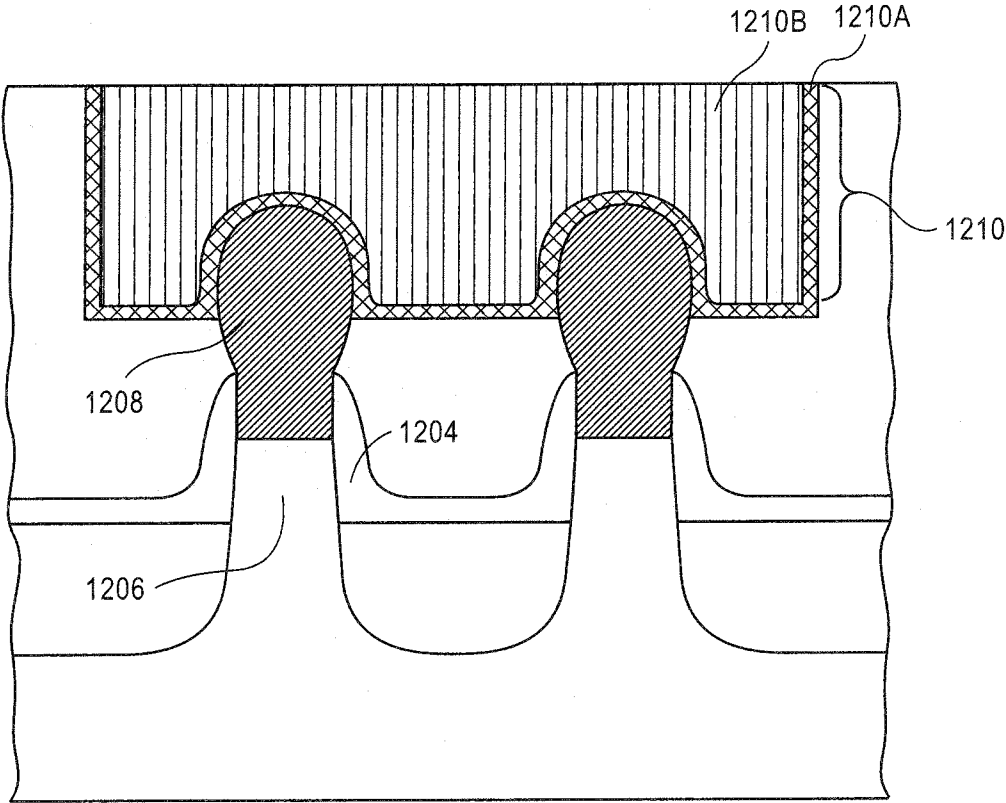
【圖 12A】



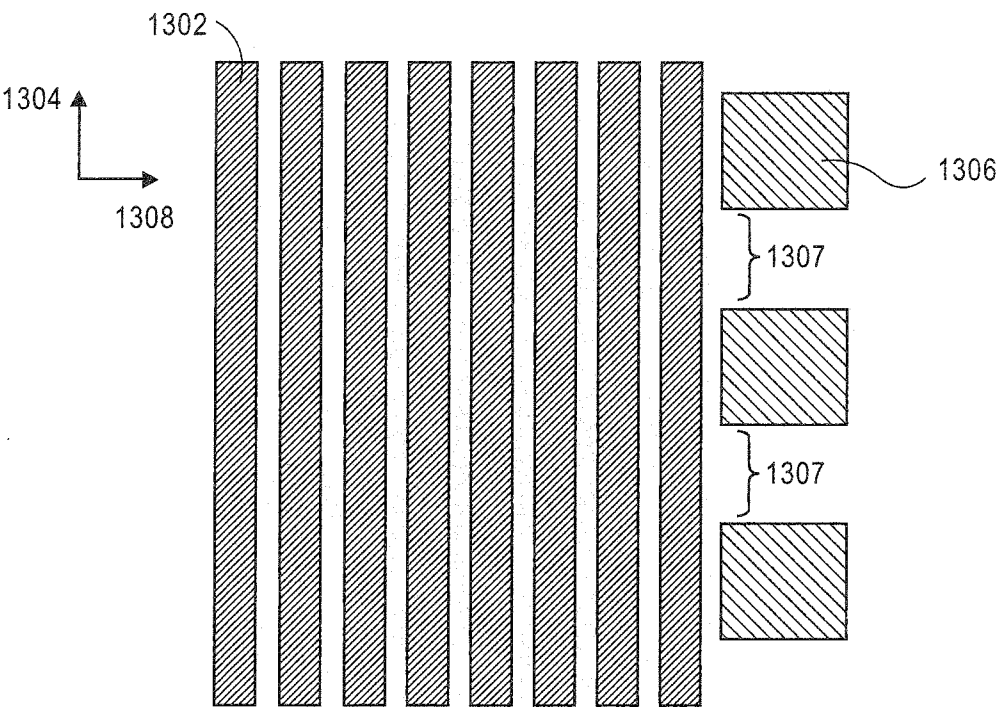
【圖 12B】



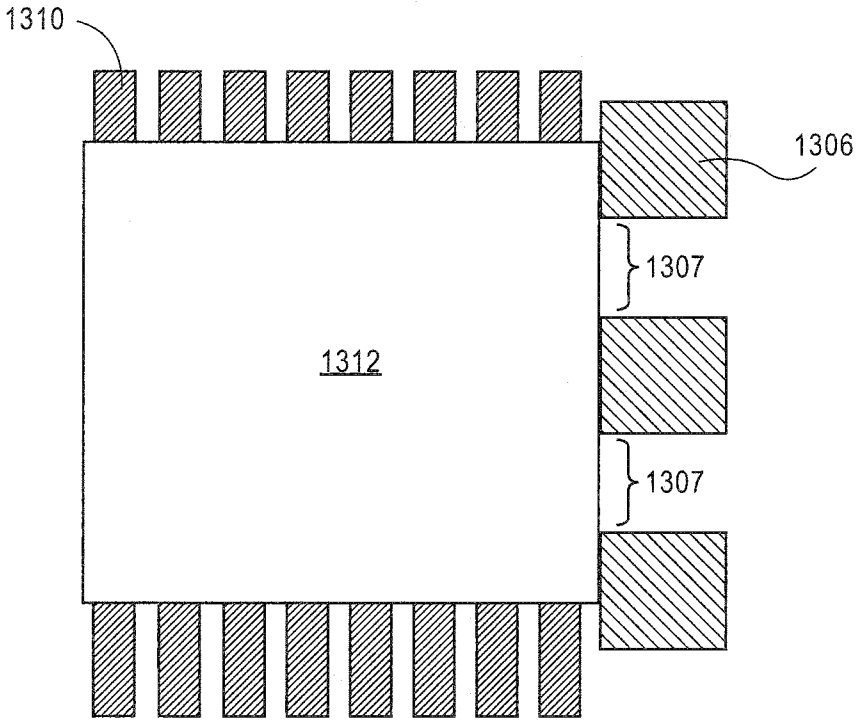
【圖 12C】



【圖 12D】

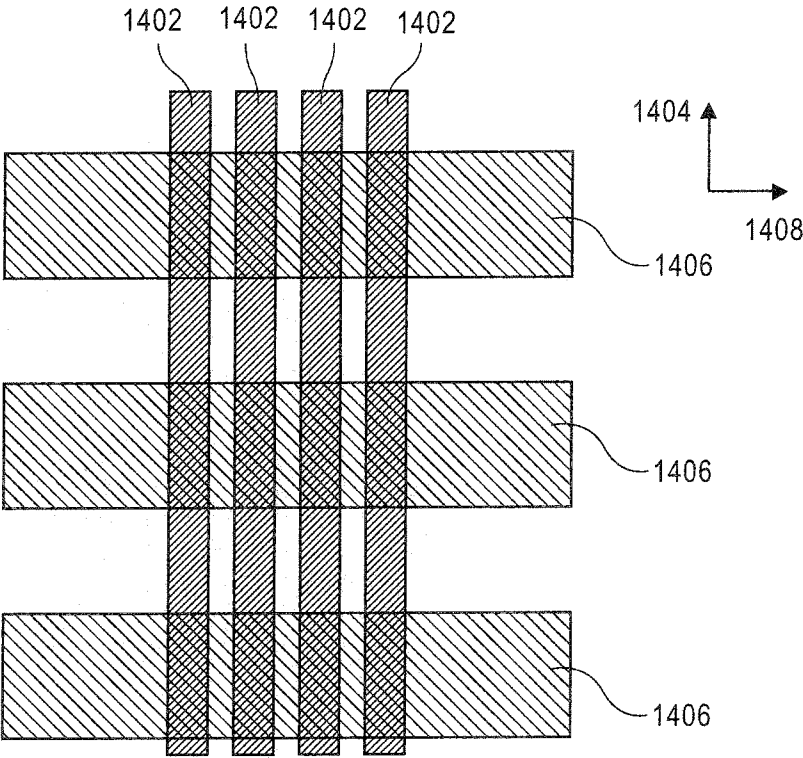


【圖 13A】

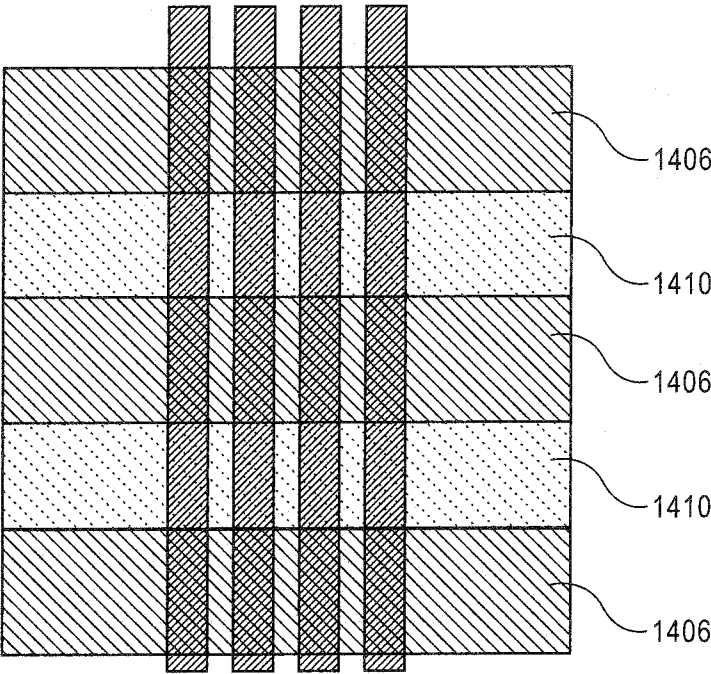


【圖 13B】

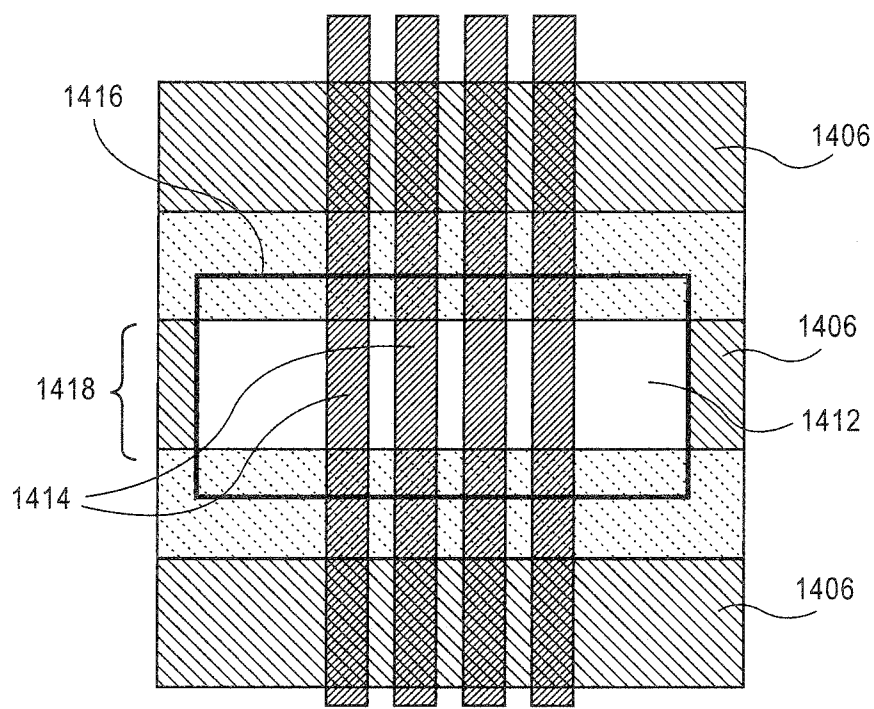




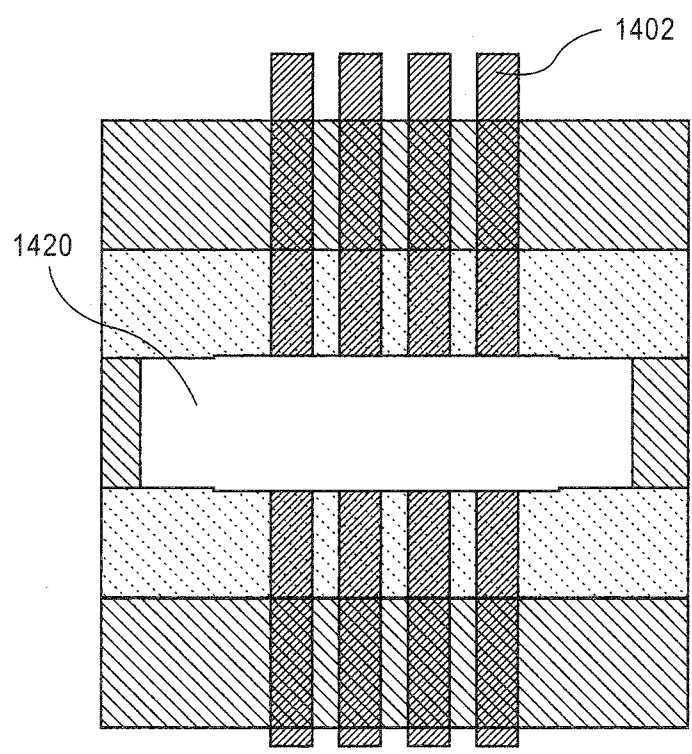
【圖 14A】



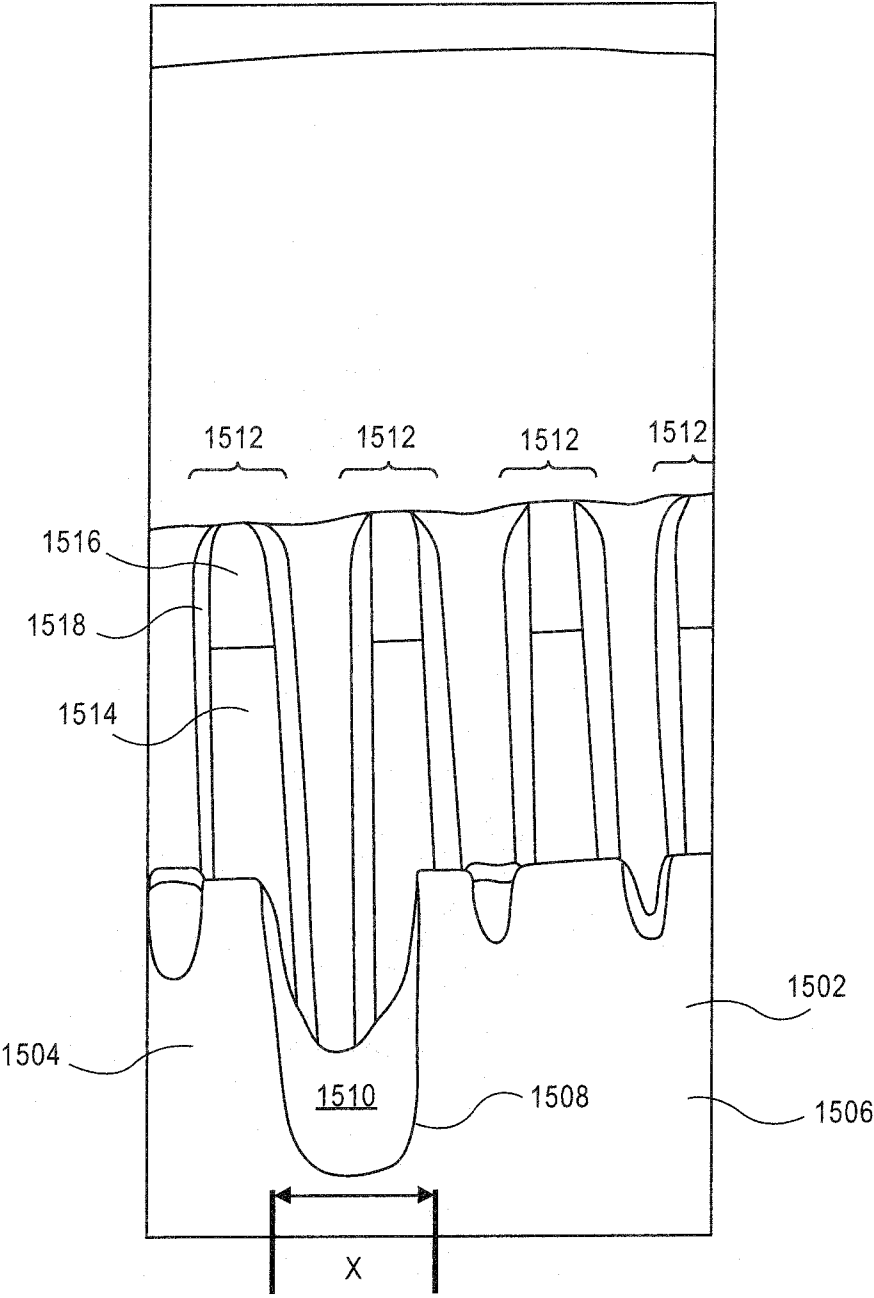
【圖 14B】



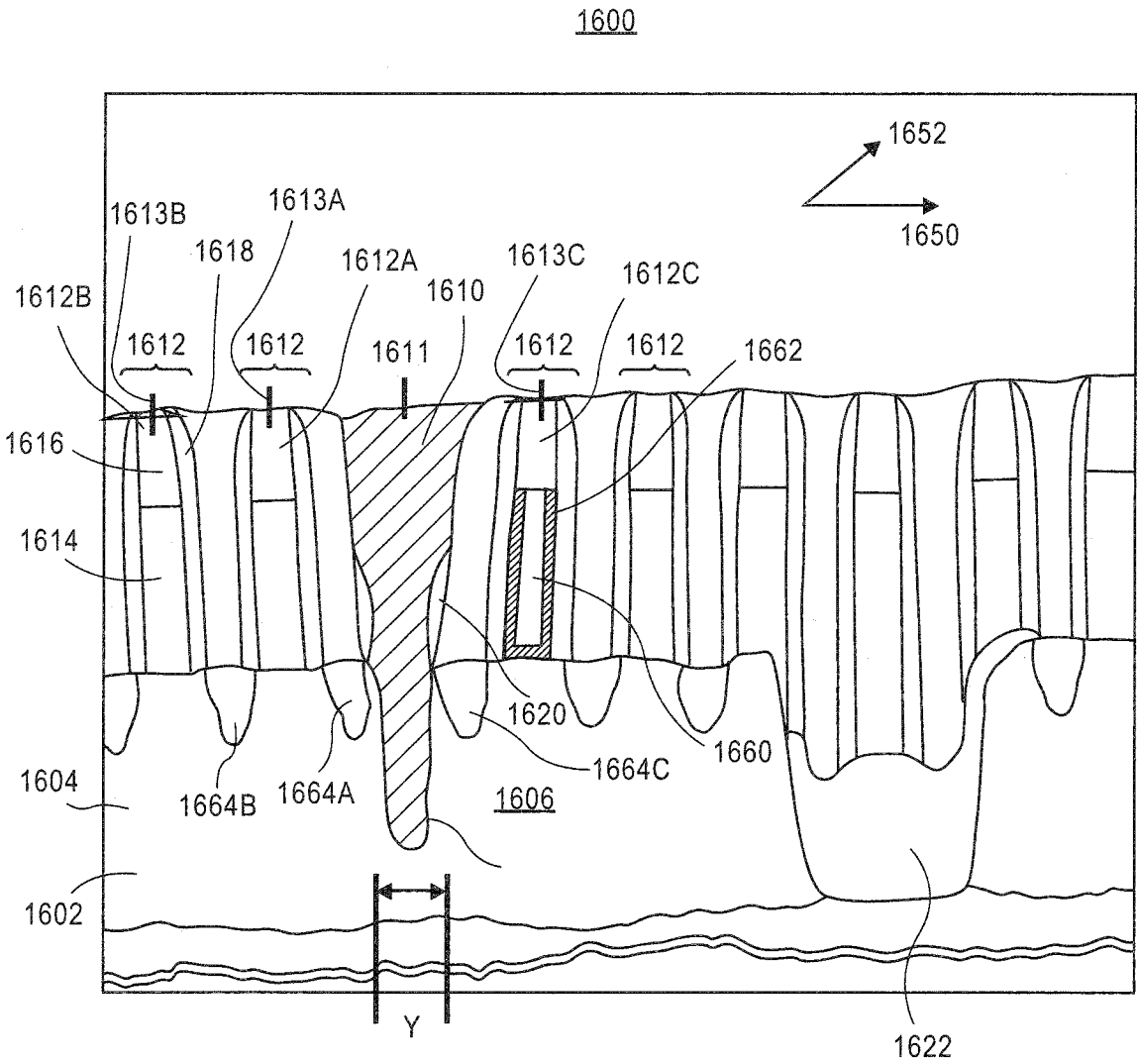
【圖 14C】



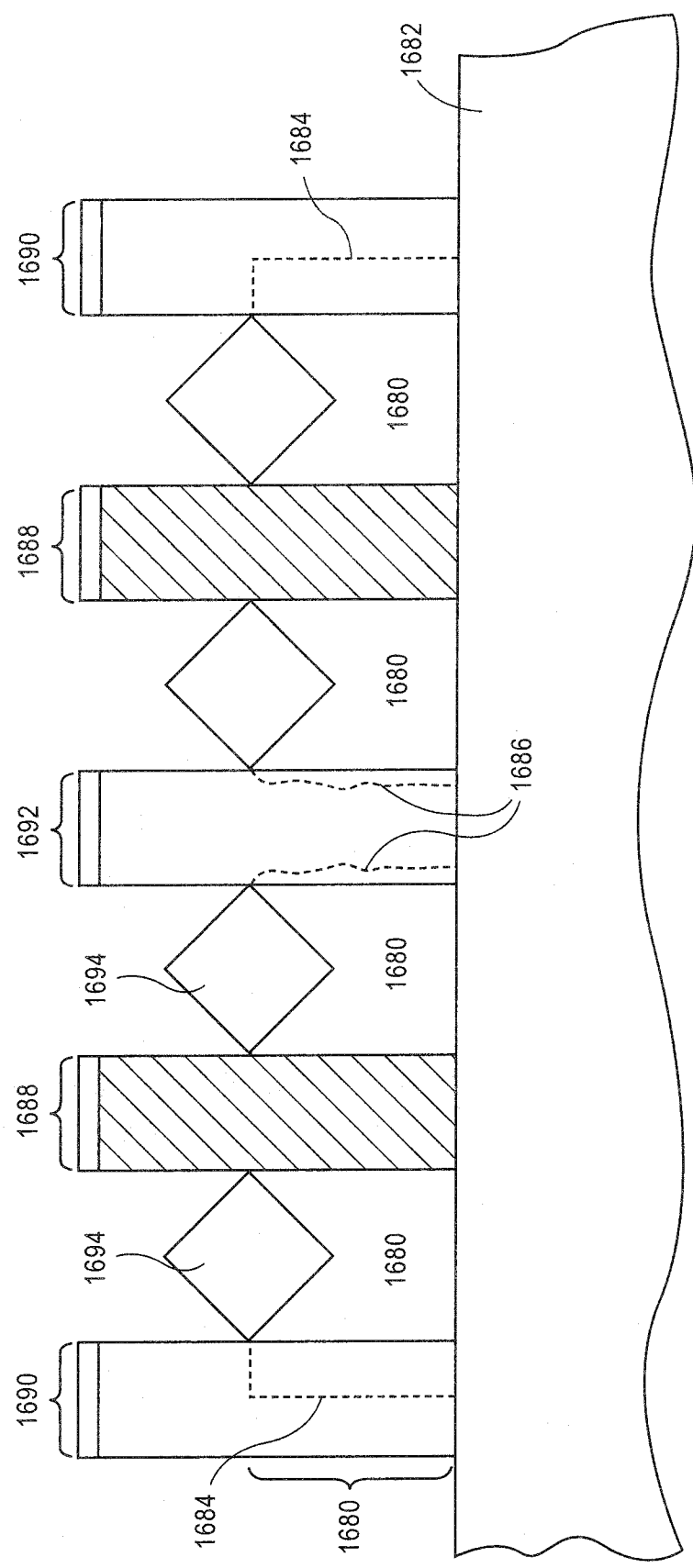
【圖 14D】



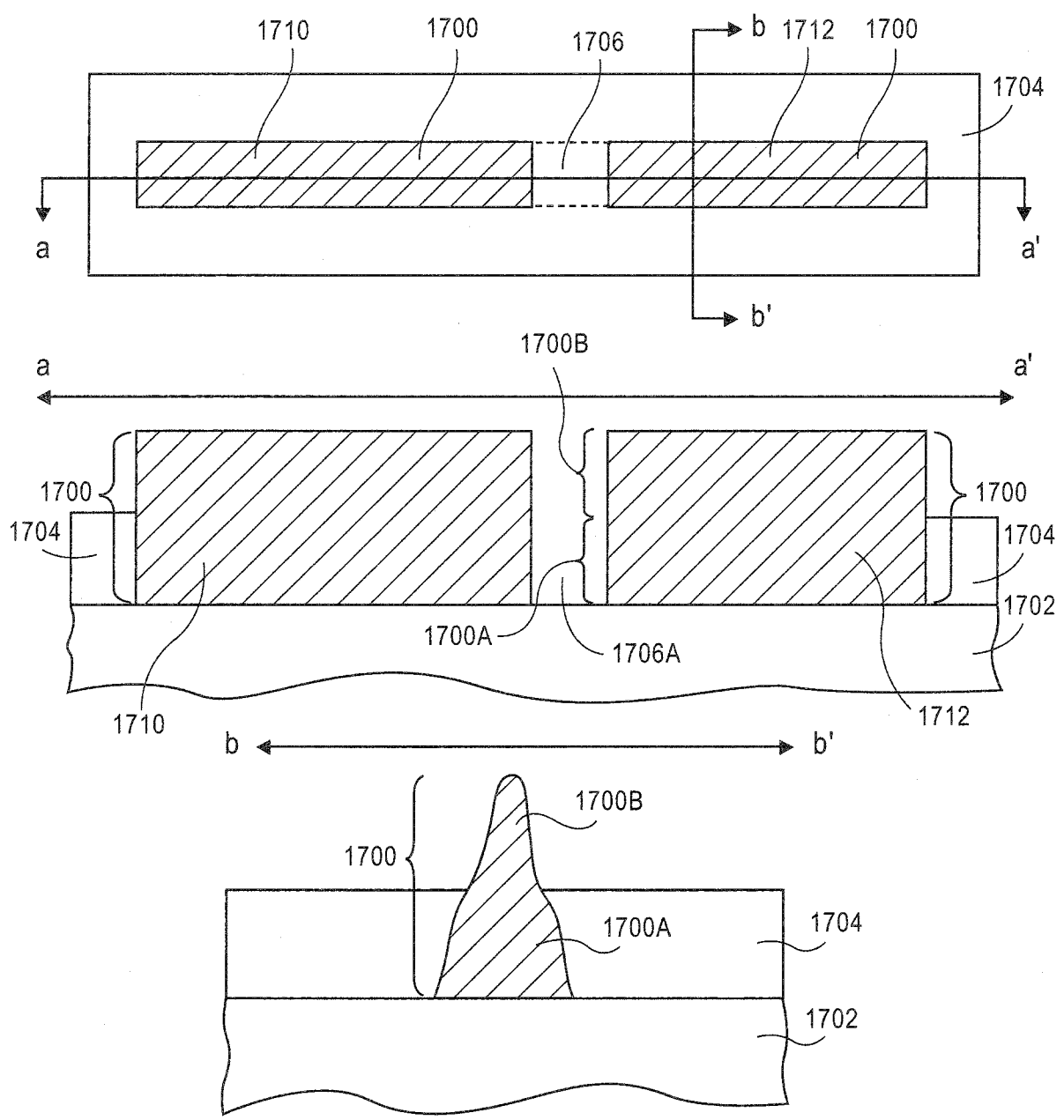
【圖 15】



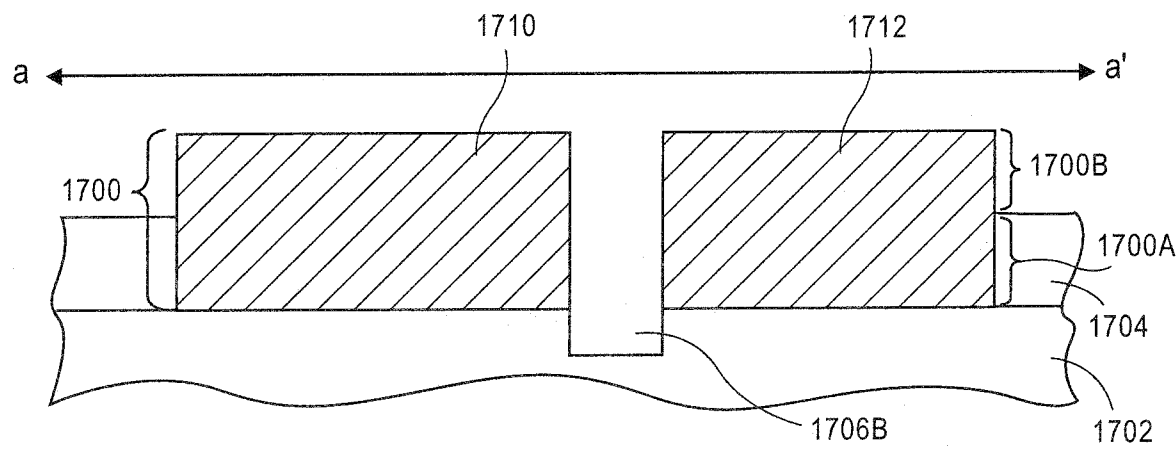
【圖 16A】



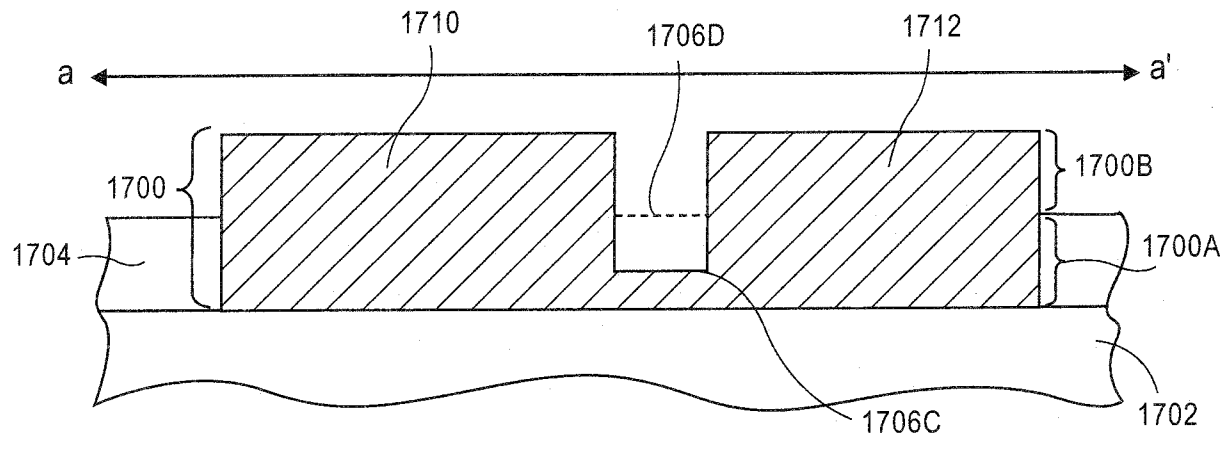
【圖 16B】



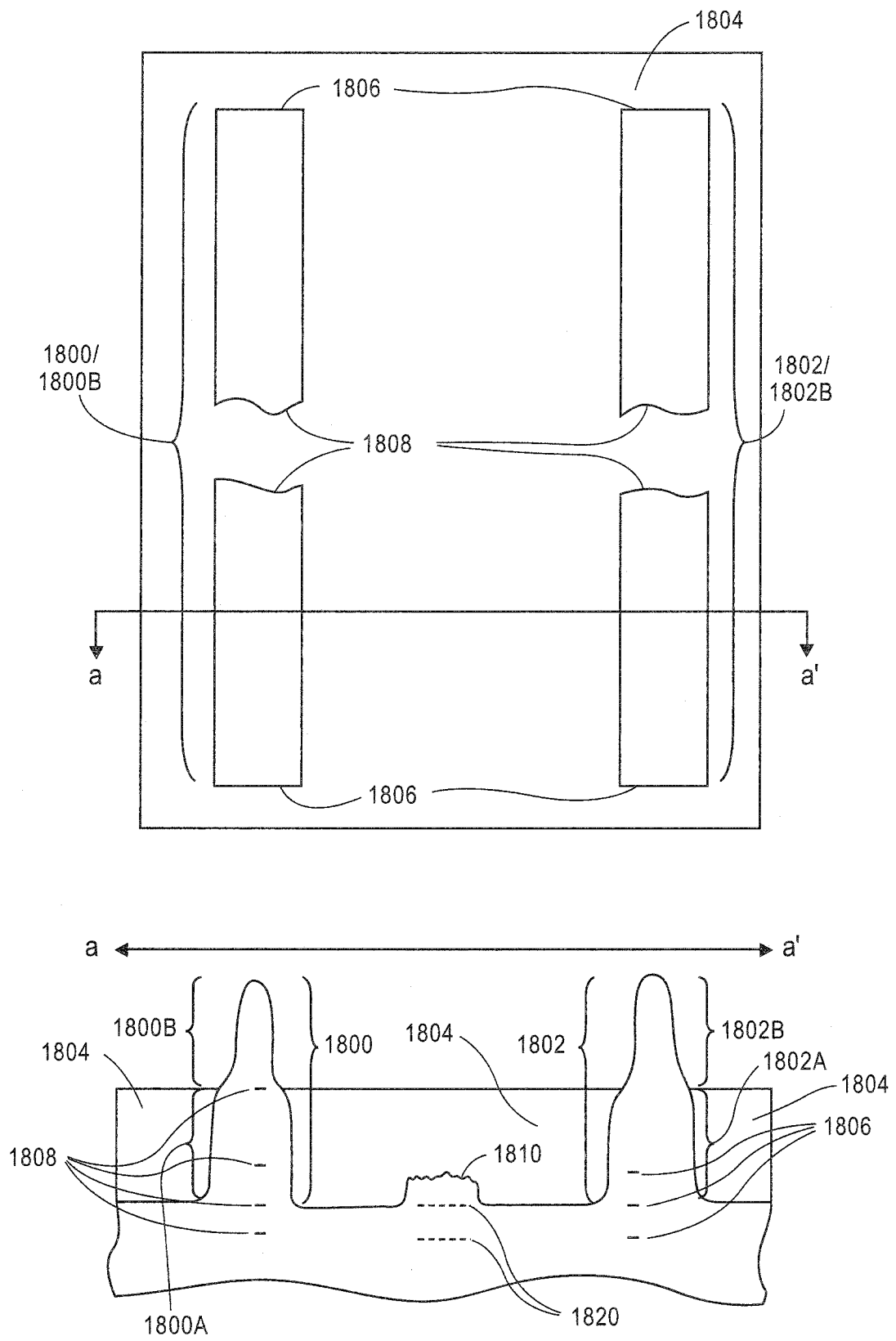
【圖 17A】



【圖 17B】

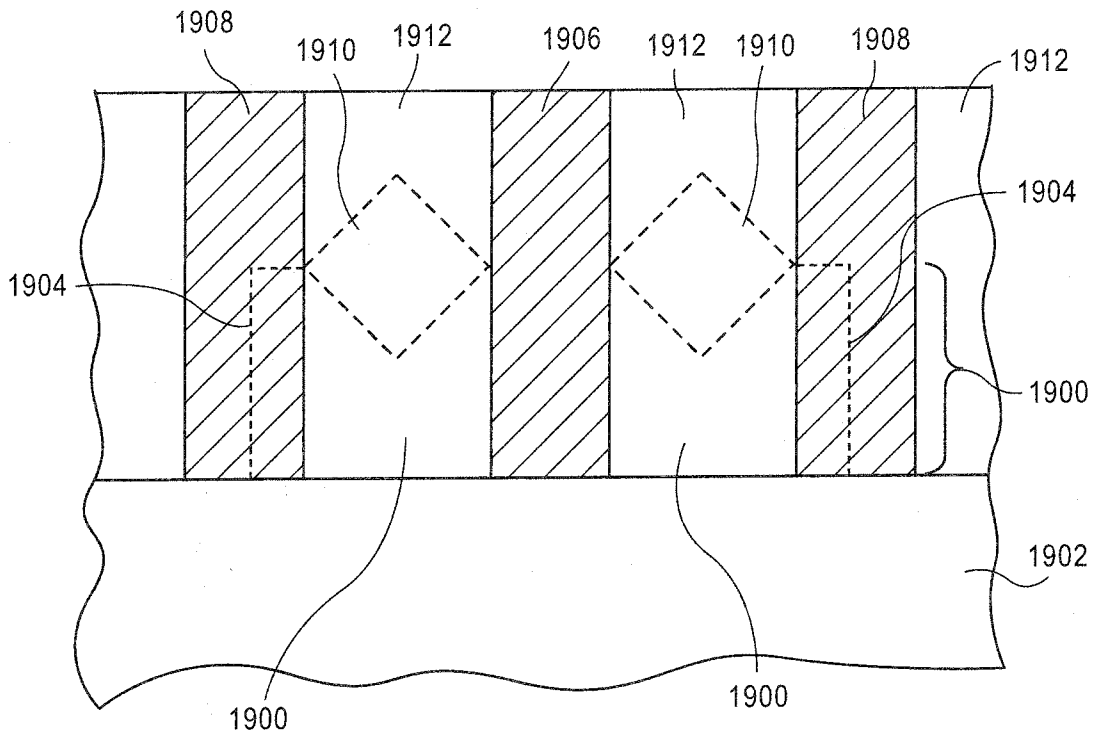


【圖 17C】

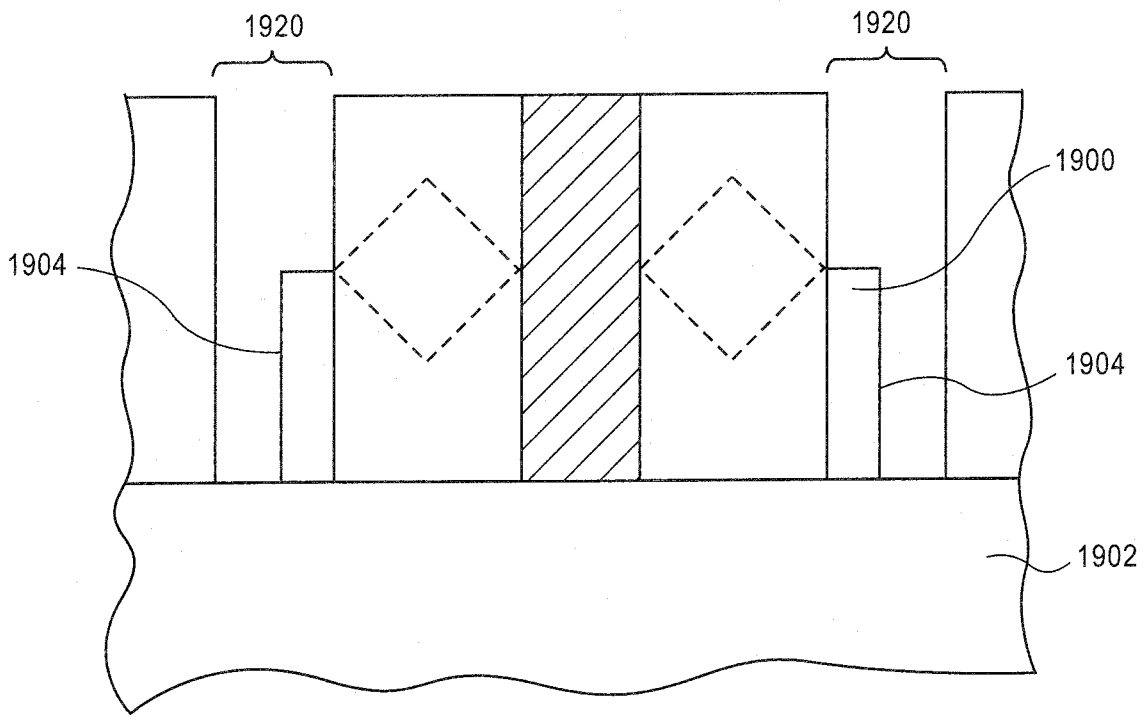


【圖 18】

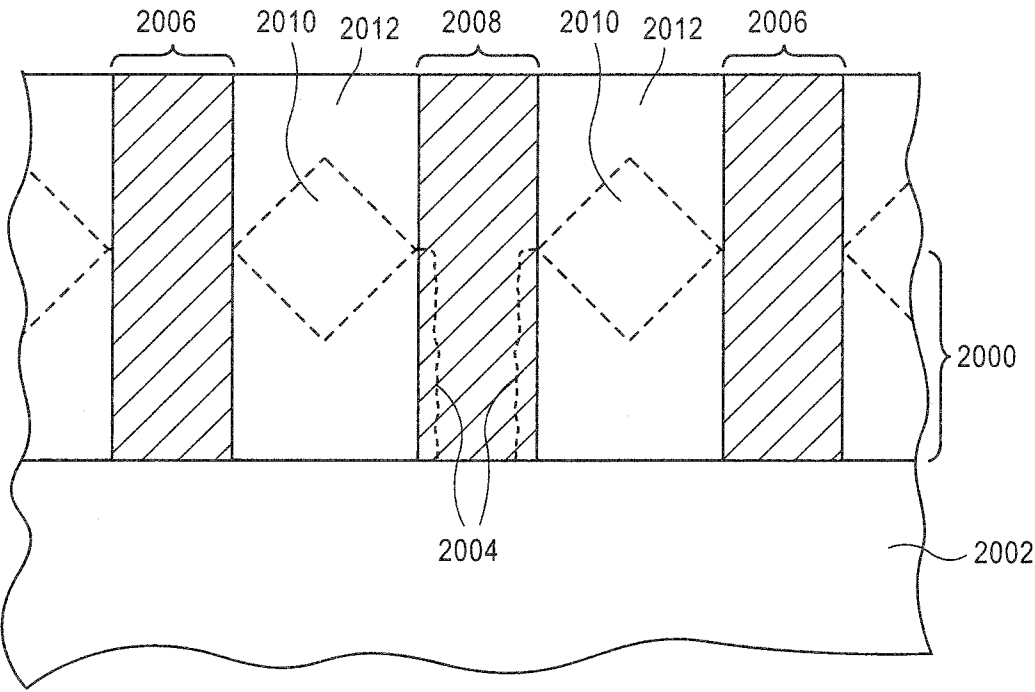




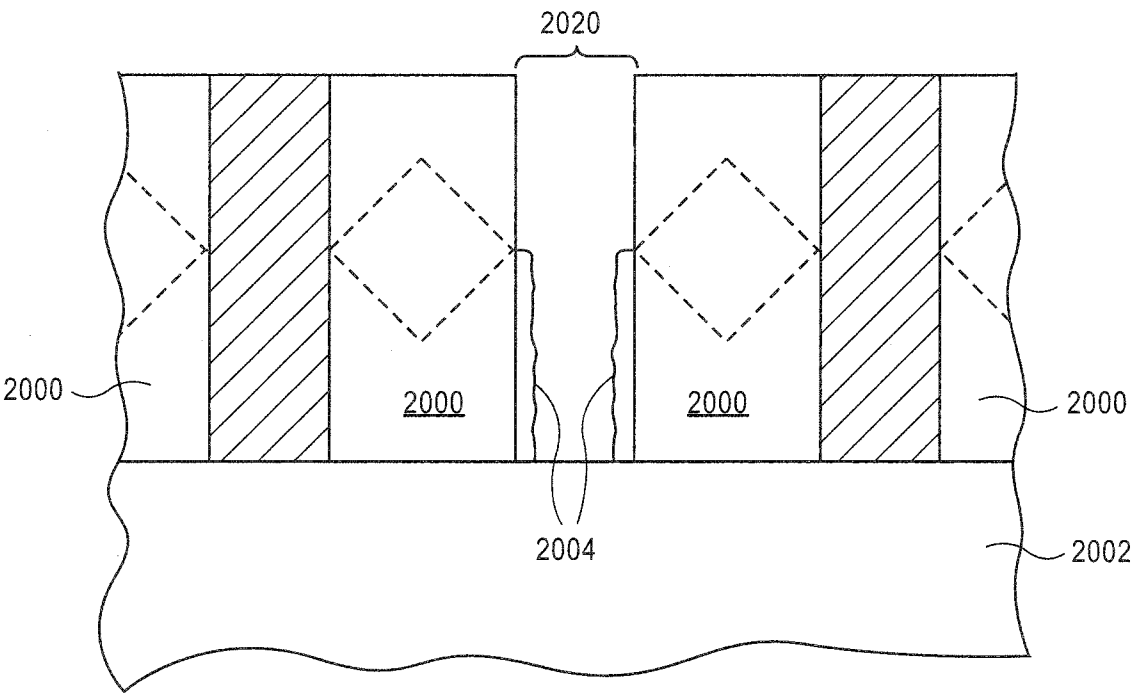
【圖 19A】



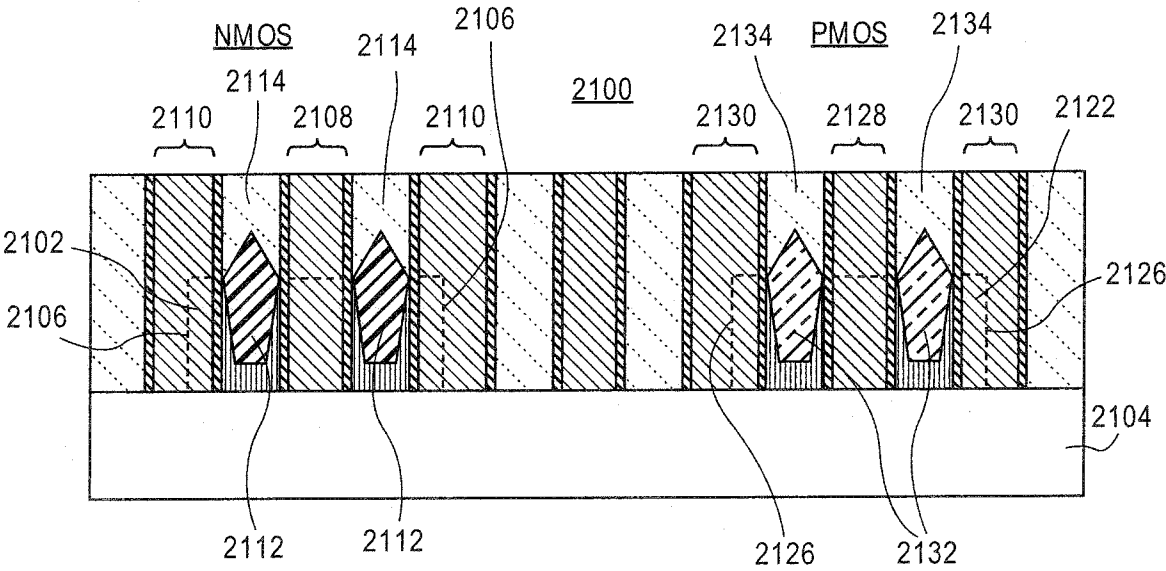
【圖 19B】



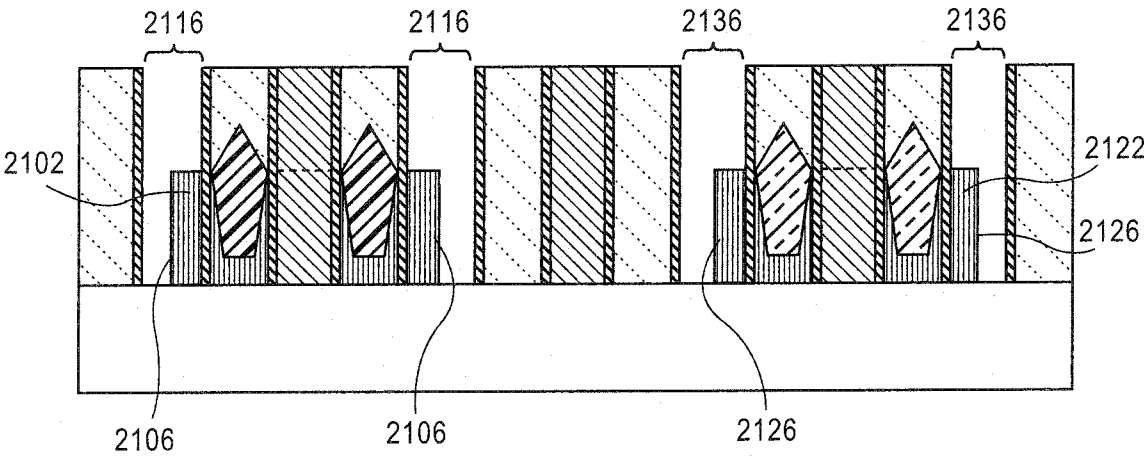
【圖 20A】



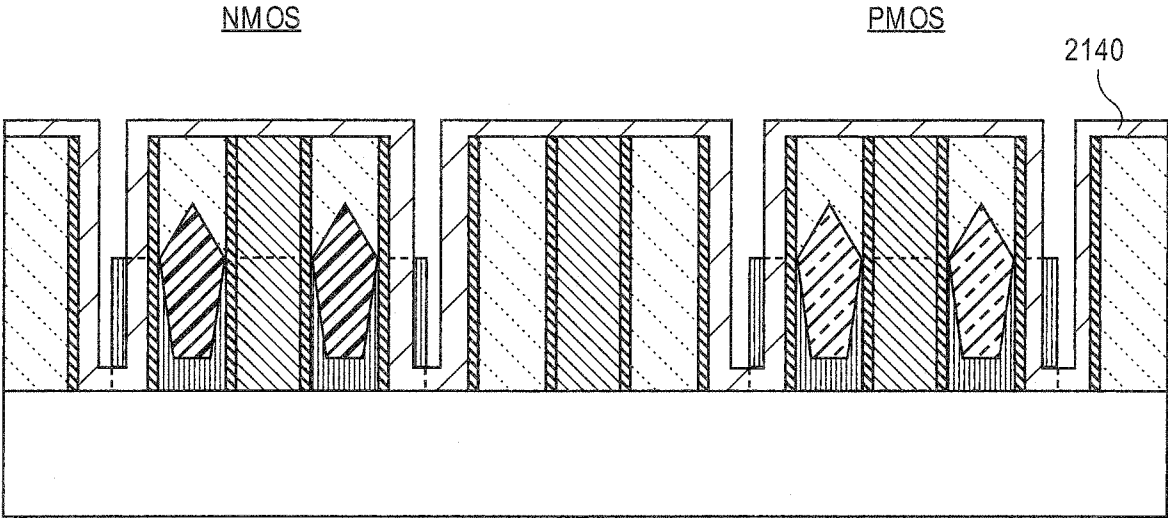
【圖 20B】



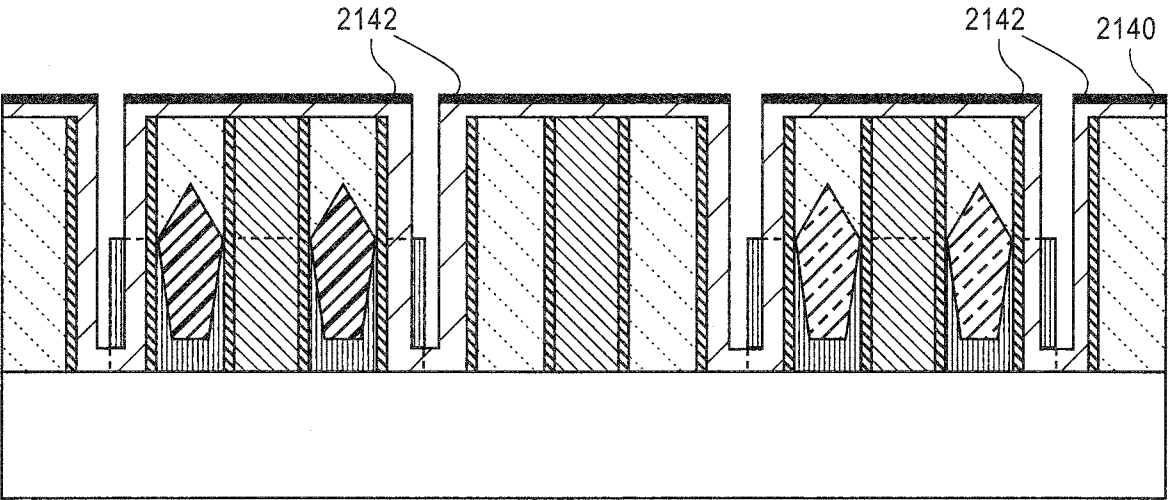
【圖 21A】



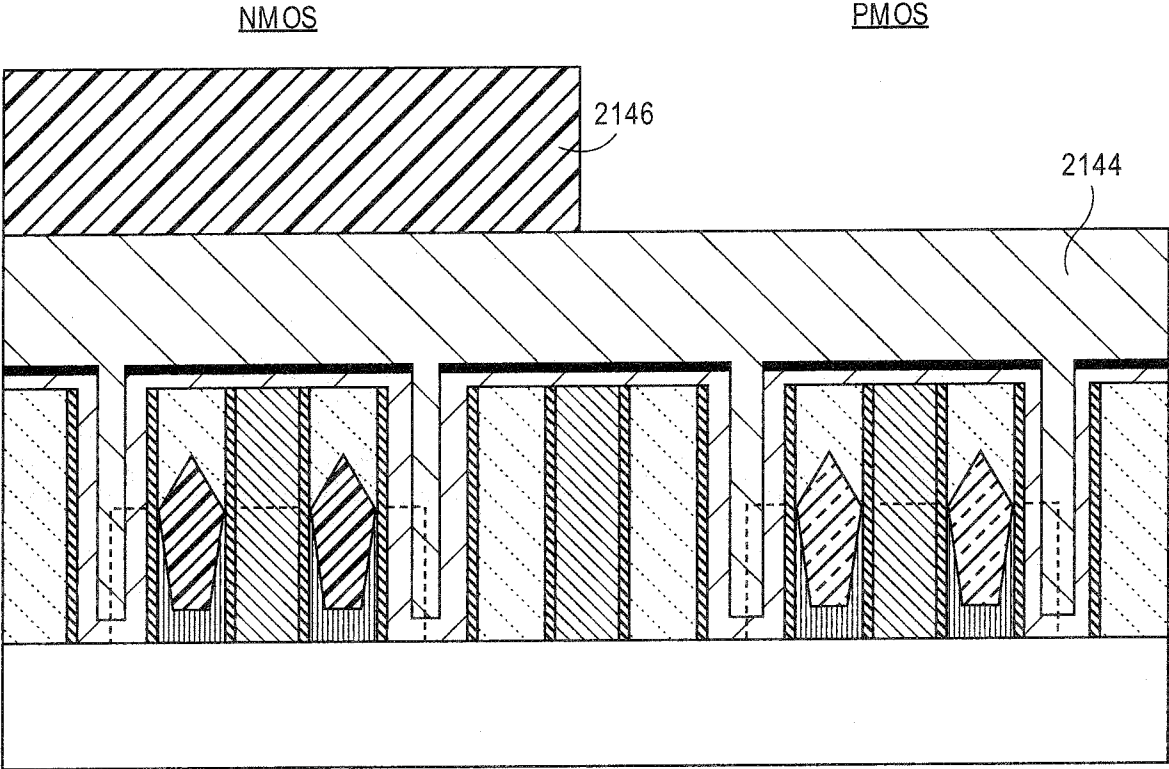
【圖 21B】



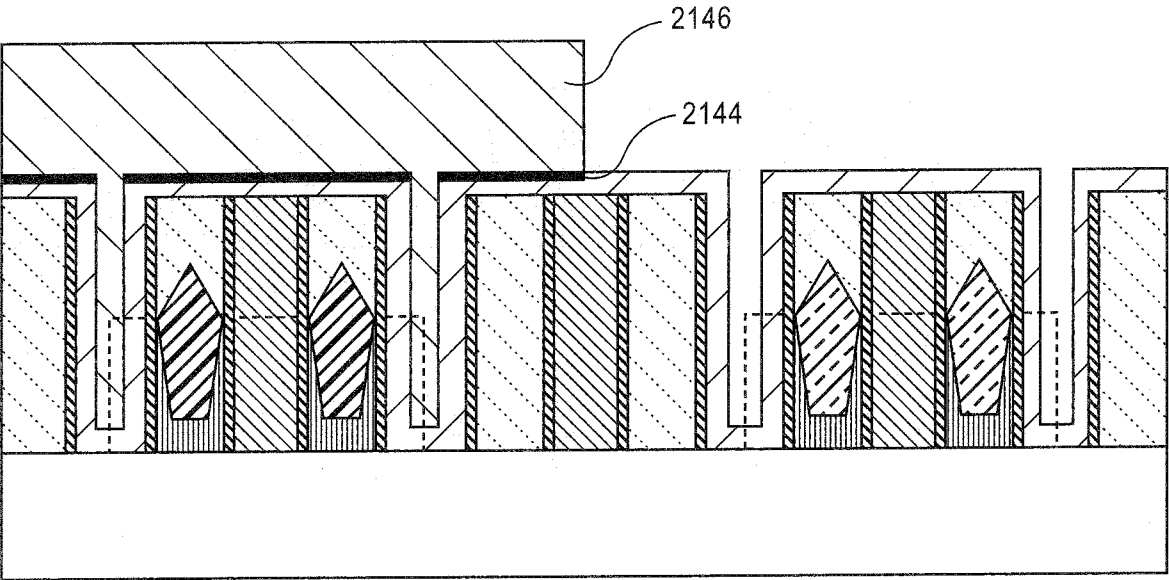
【圖 21C】



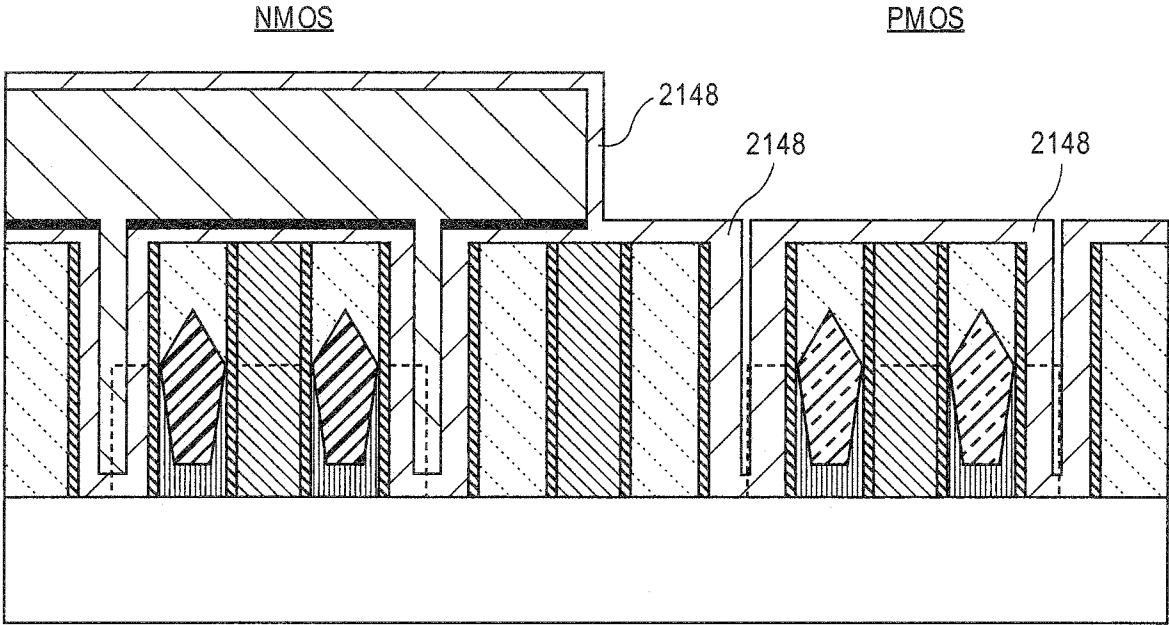
【圖 21D】



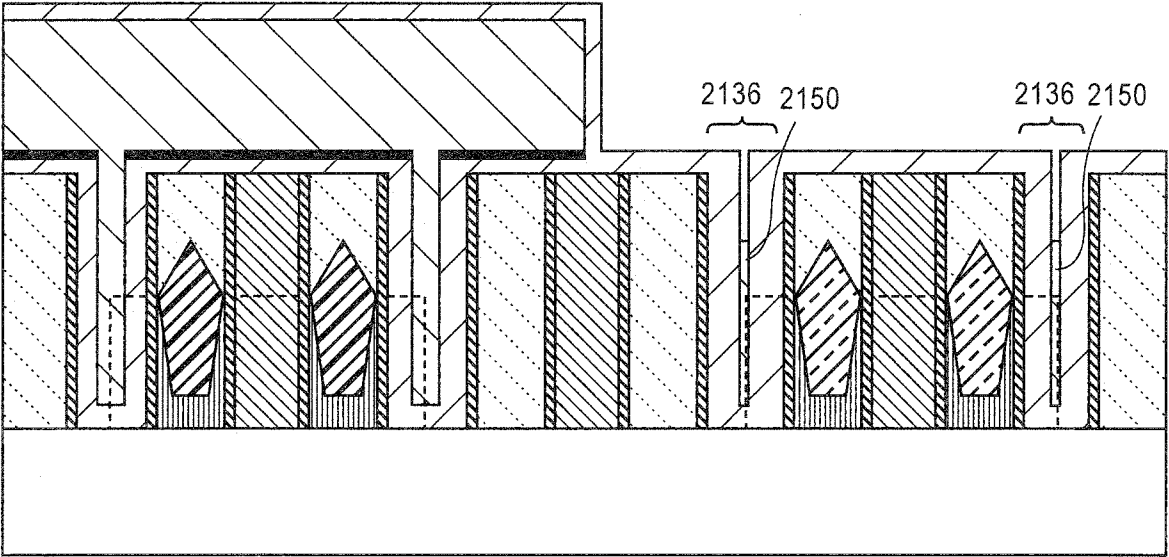
【圖 21E】



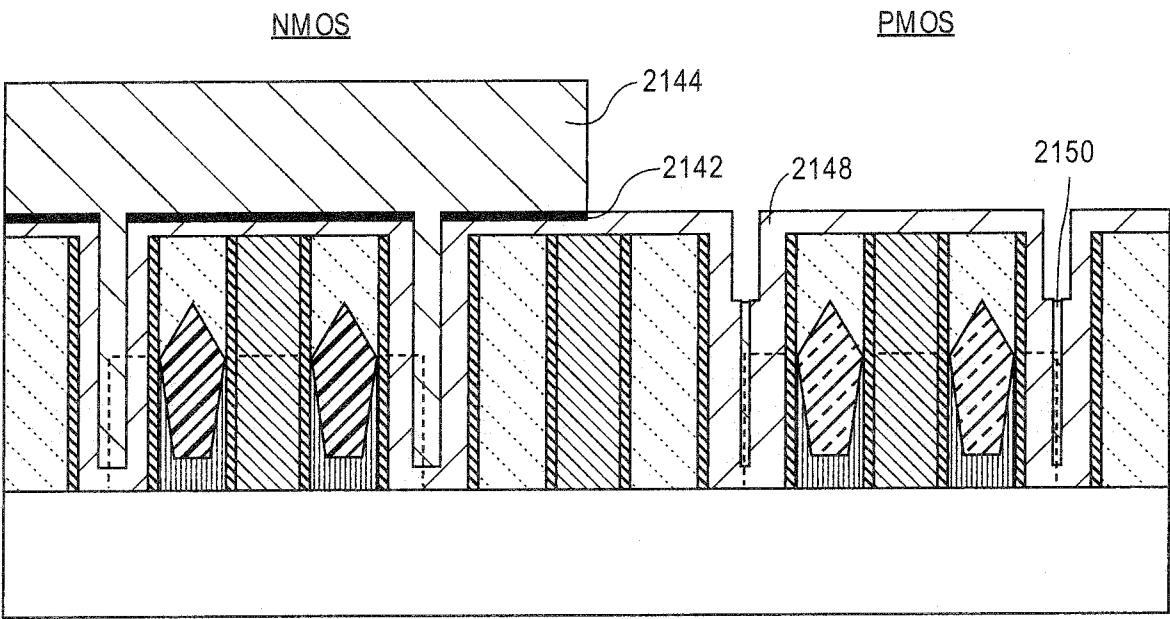
【圖 21F】



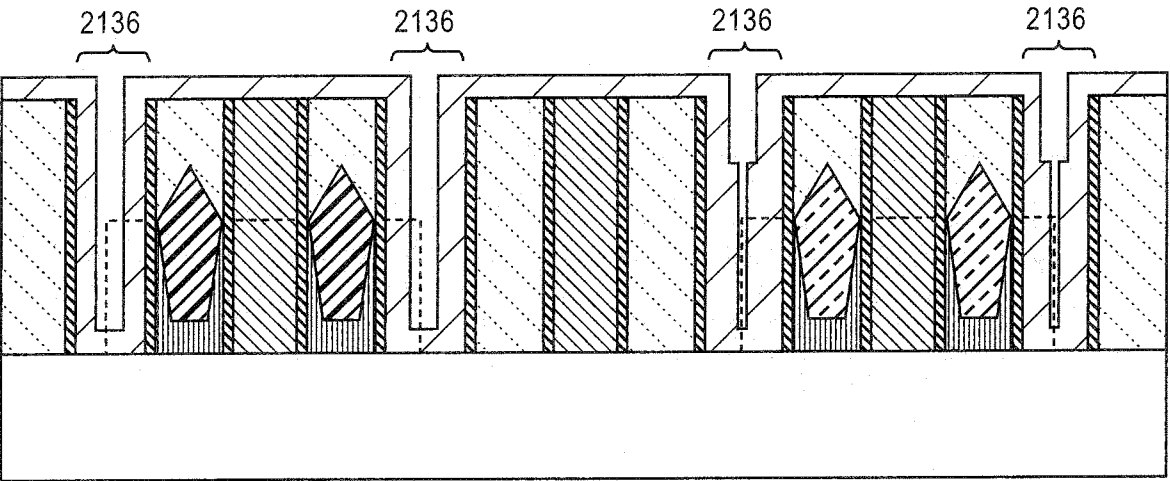
【圖 21G】



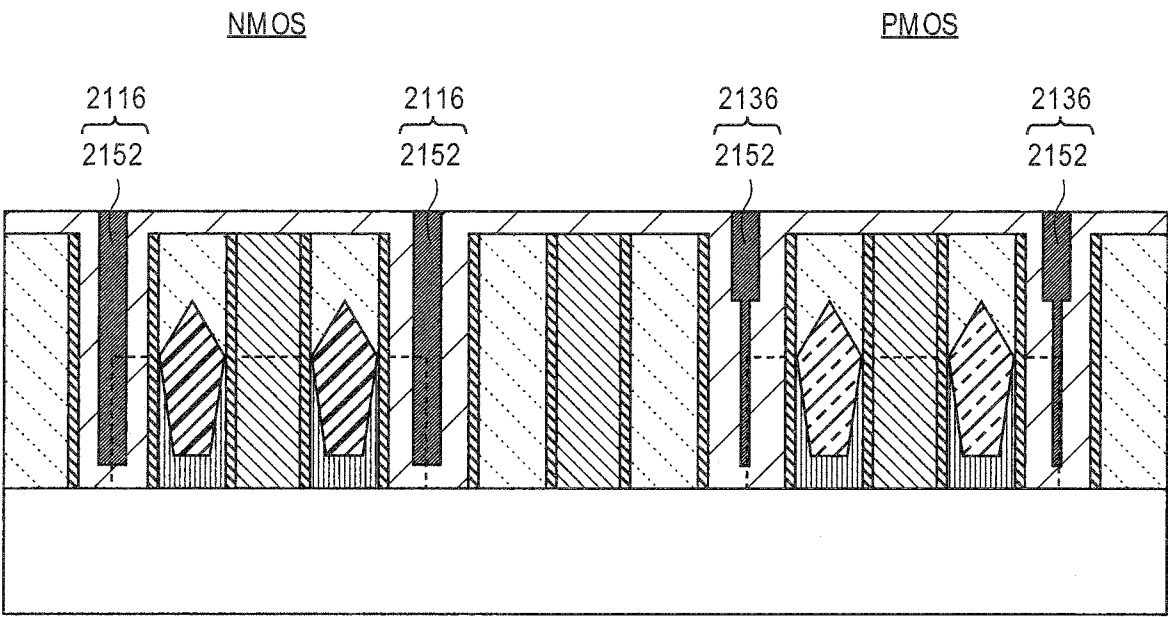
【圖 21H】



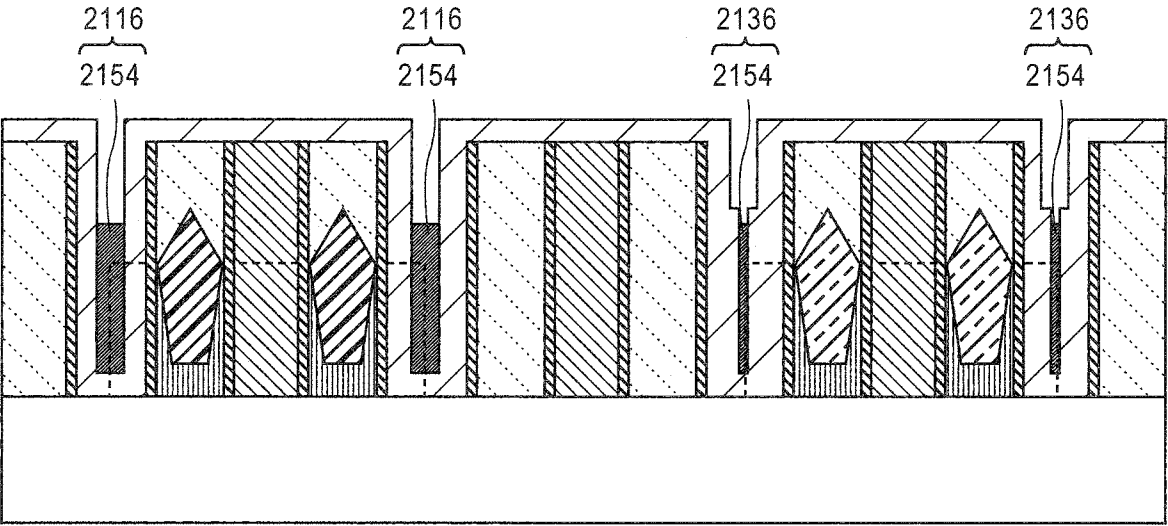
【圖 21I】



【圖 21J】

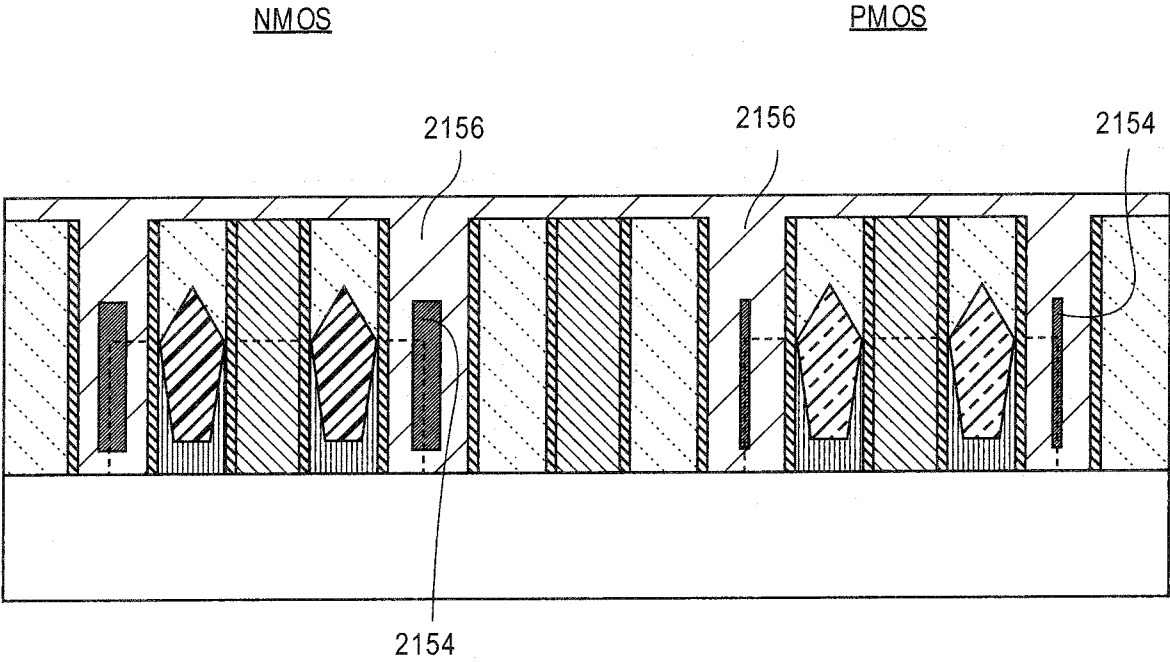


【圖 21K】



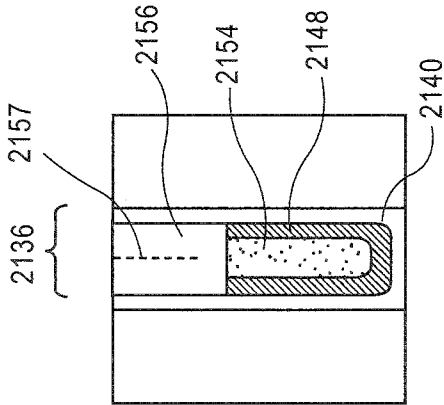
【圖 21L】



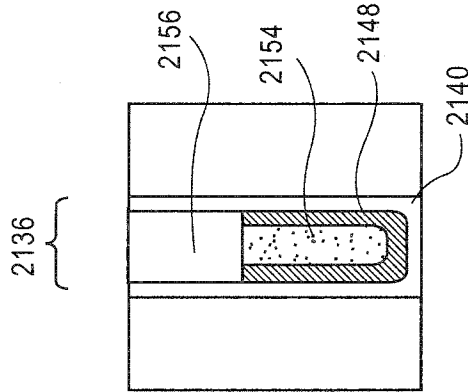


【圖 21M】

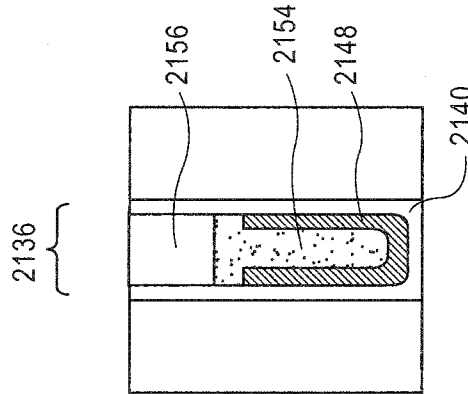
PMOS



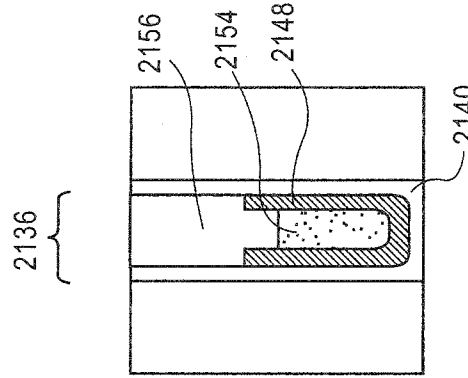
【圖 22A】



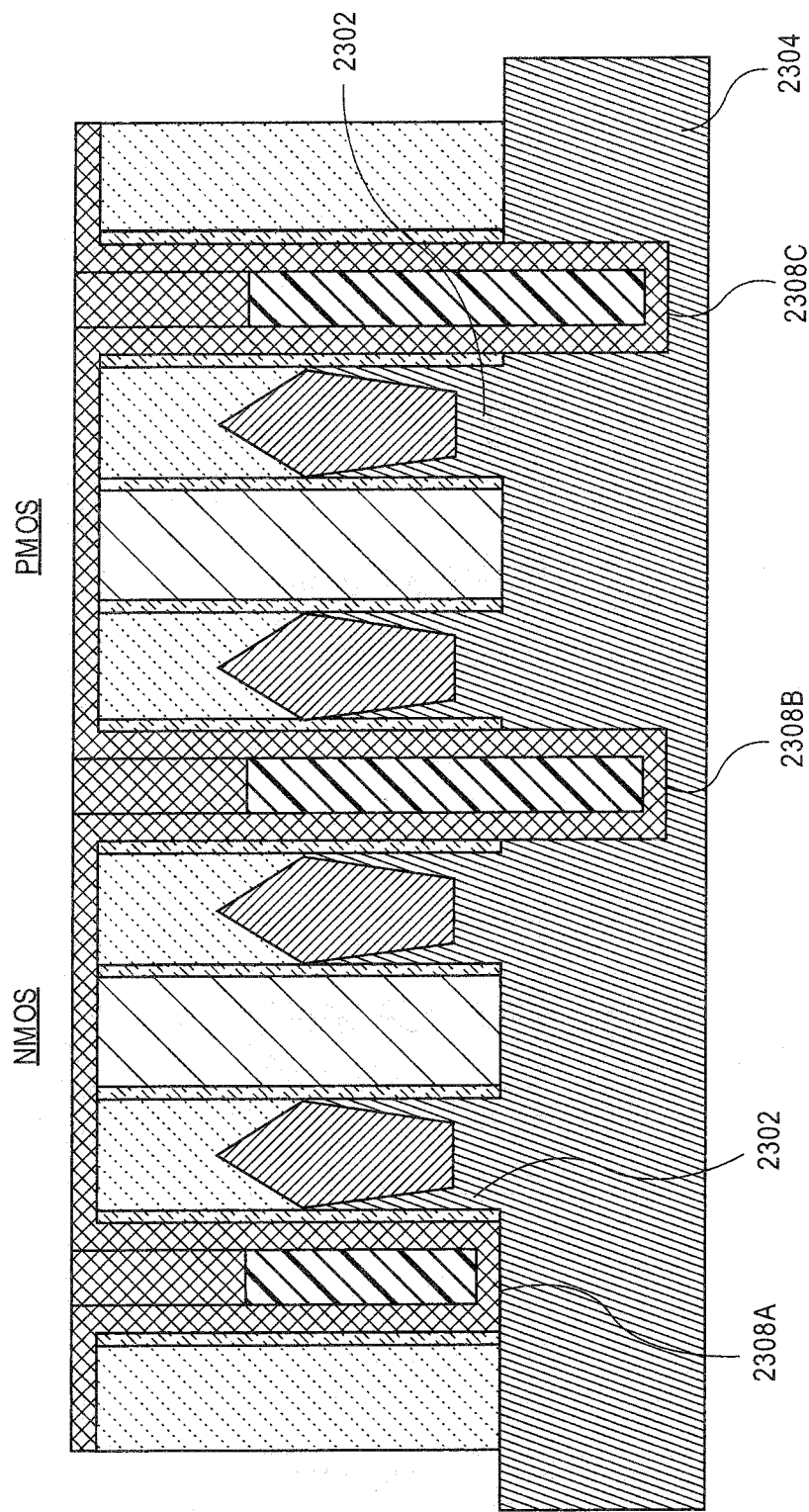
【圖 22B】



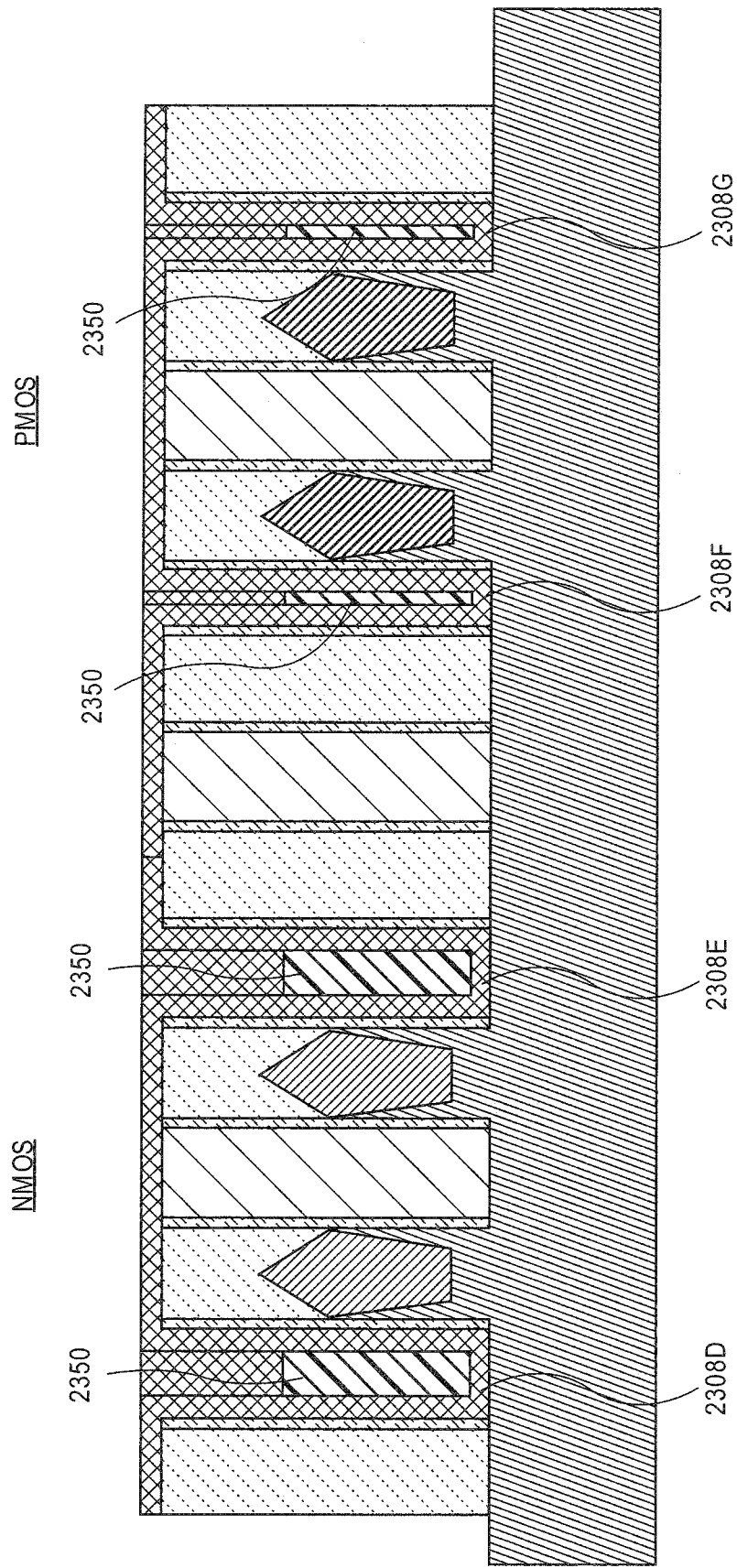
【圖 22C】



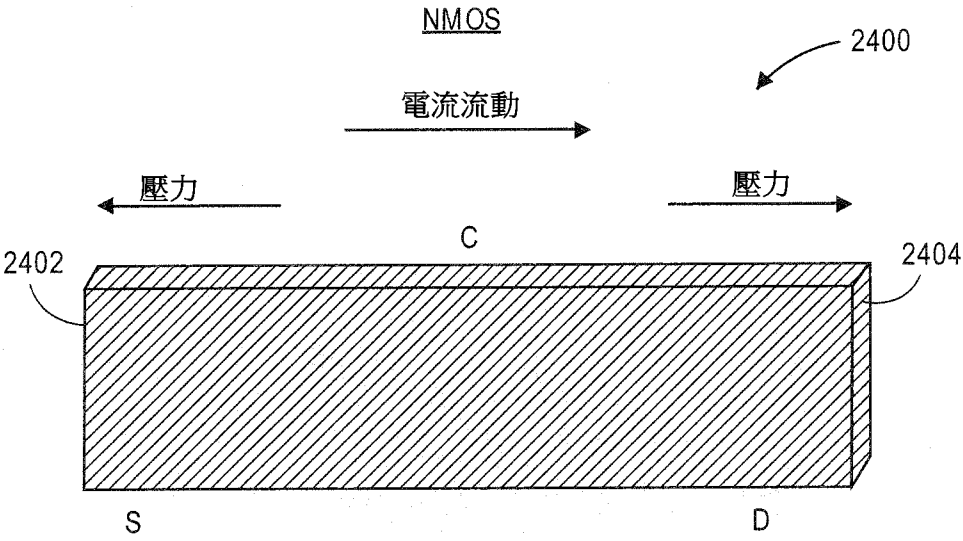
【圖 22D】



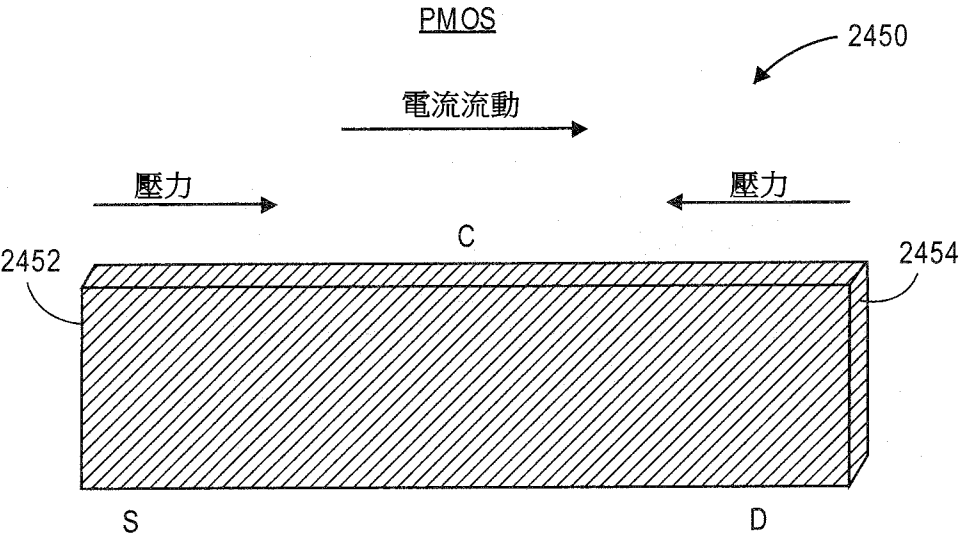
【圖 23A】



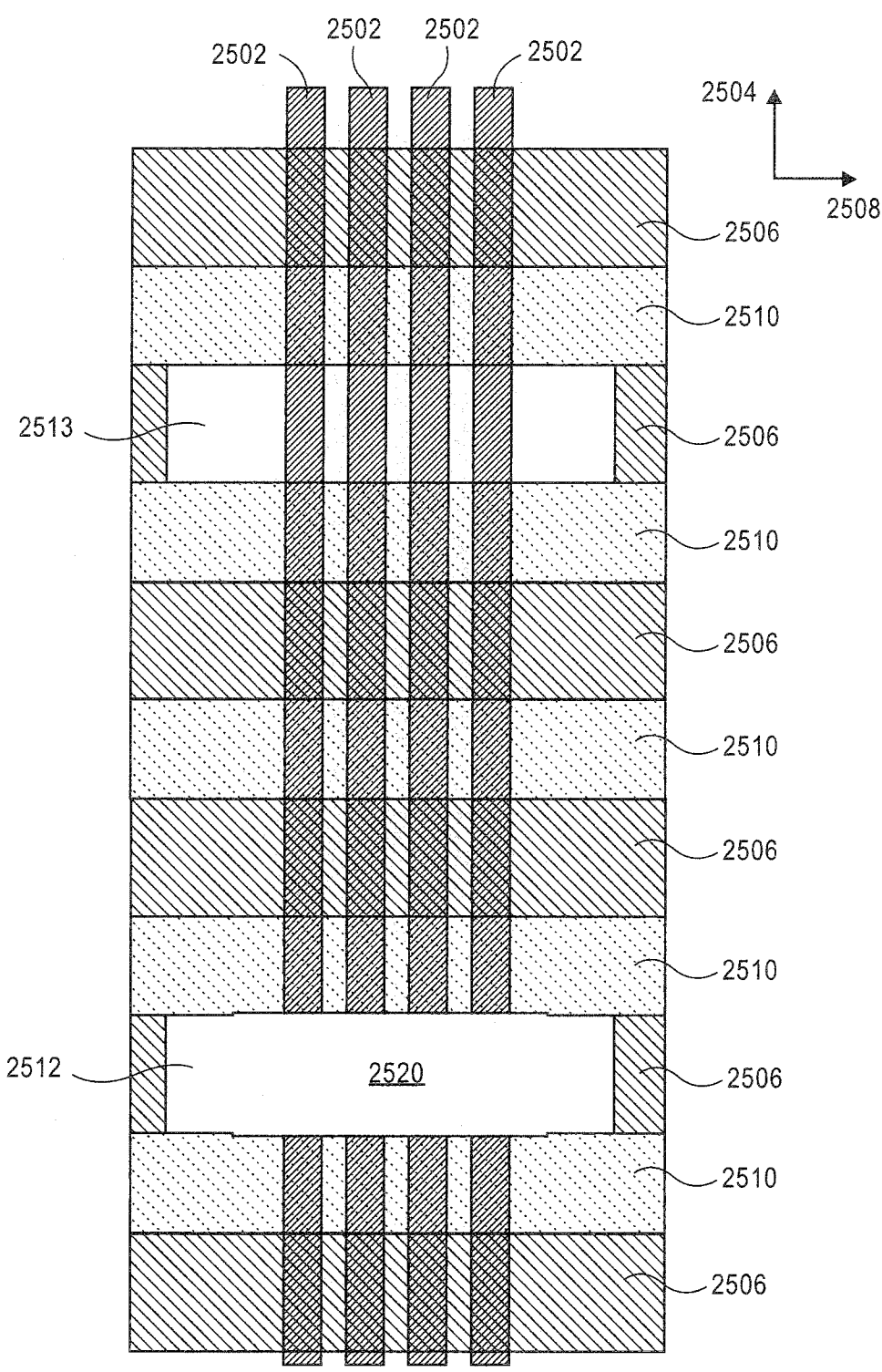
【圖 23B】



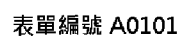
【圖 24A】



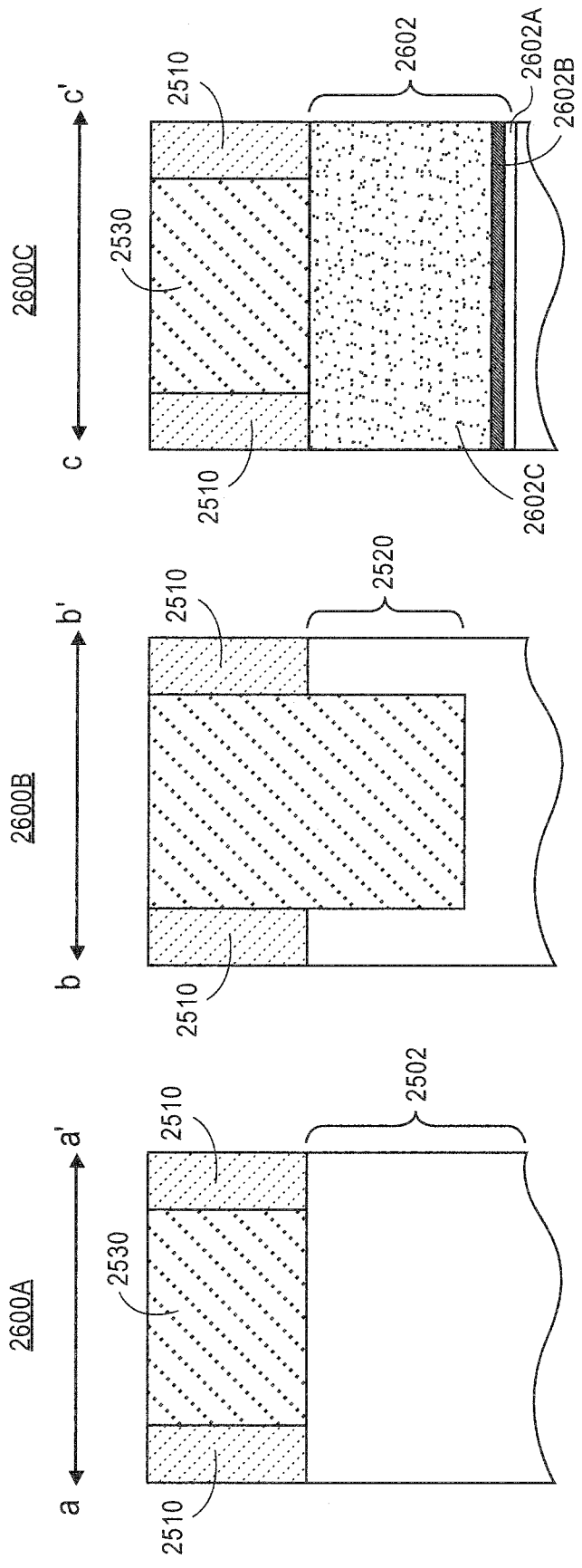
【圖 24B】



【圖 25A】



第 44 頁，共 121 頁(發明圖式)

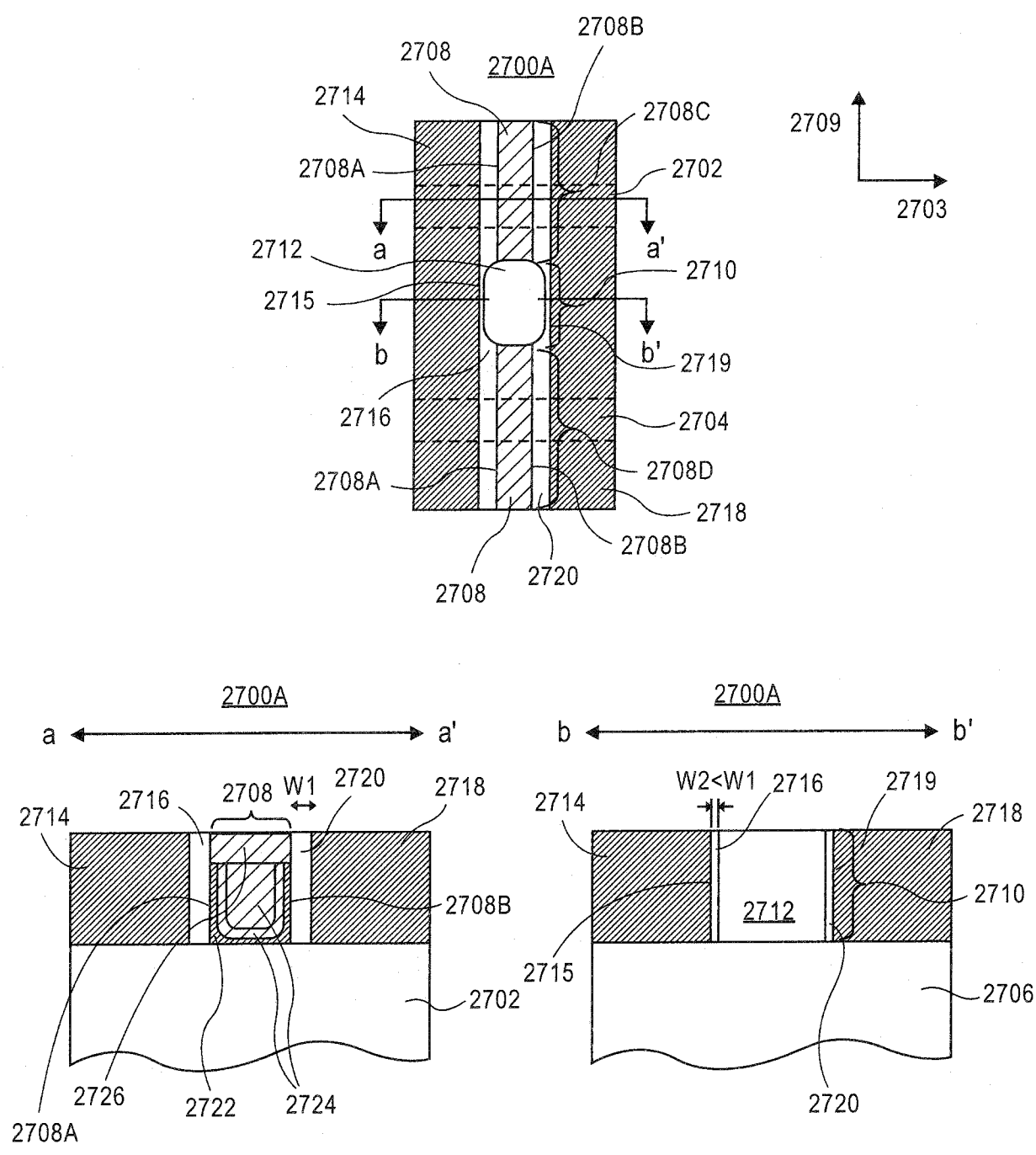


【圖 26C】

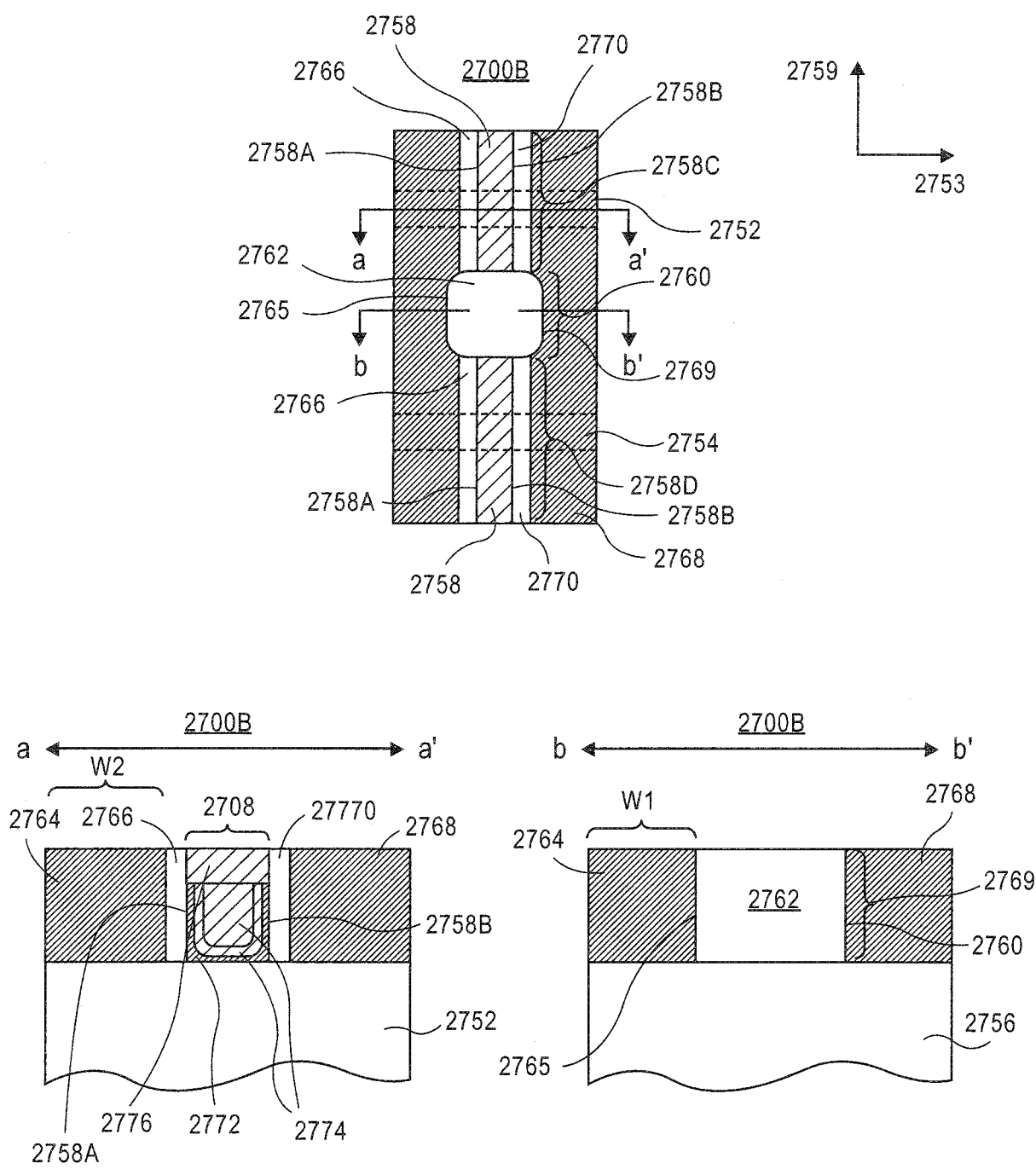
【圖 26B】

【圖 26A】

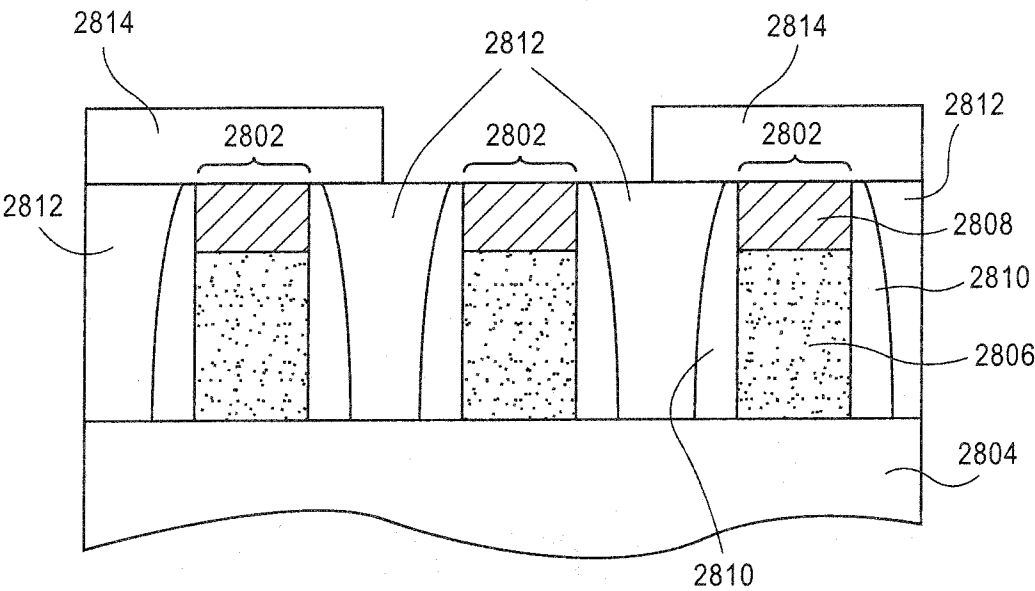




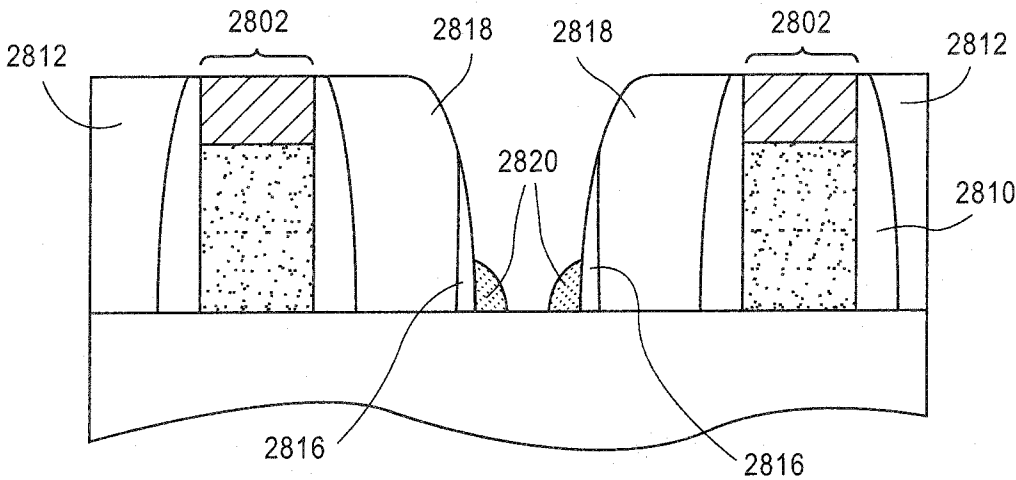
【圖 27A】



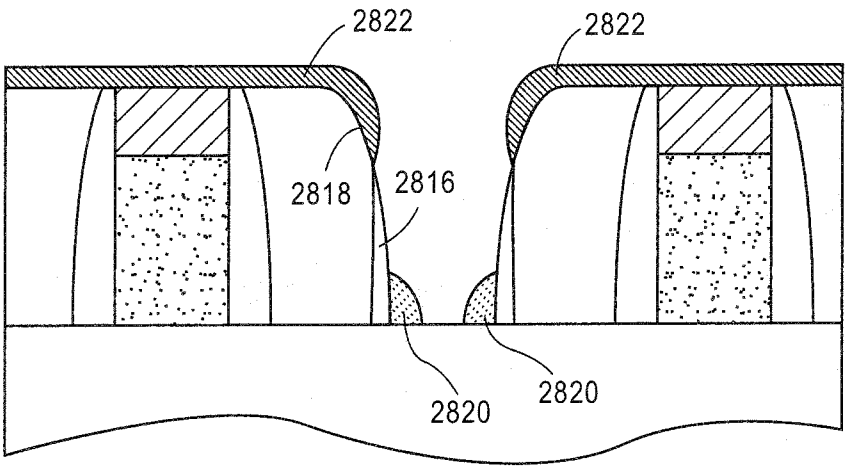
【圖 27B】



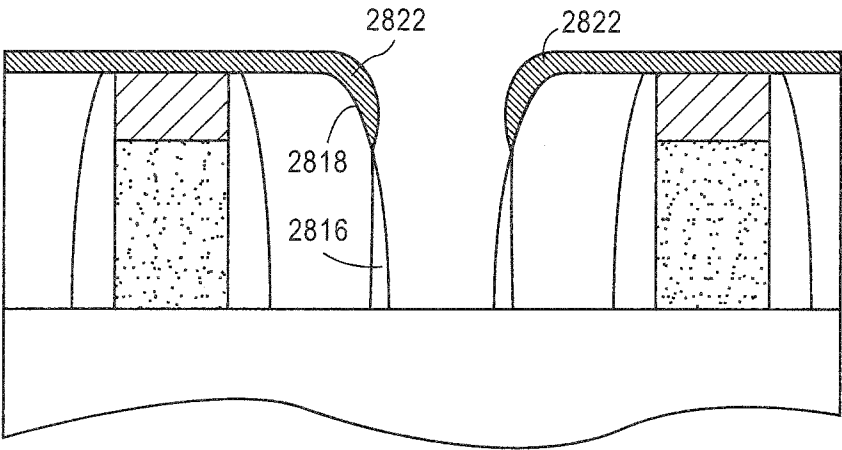
【圖 28A】



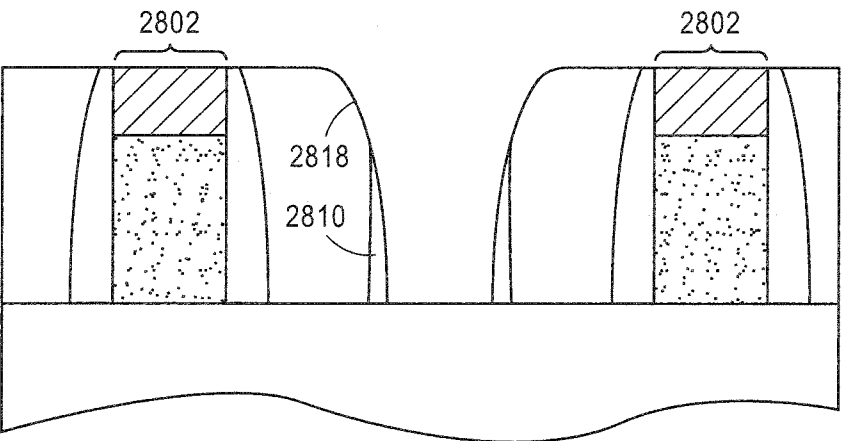
【圖 28B】



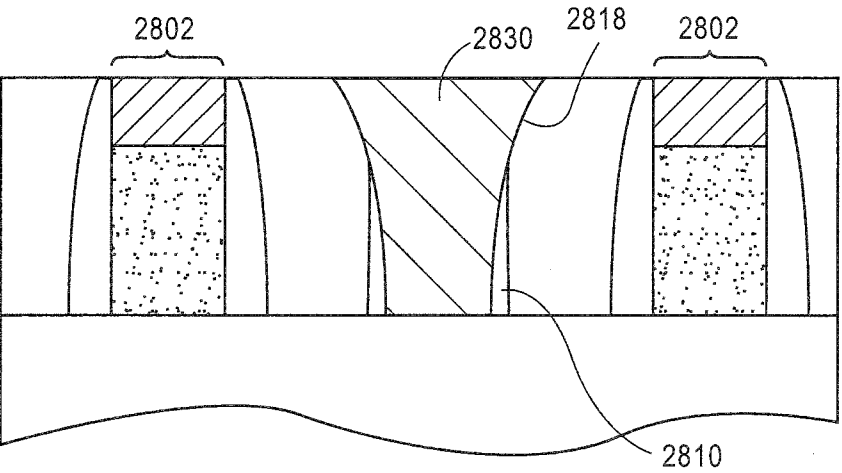
【圖 28C】



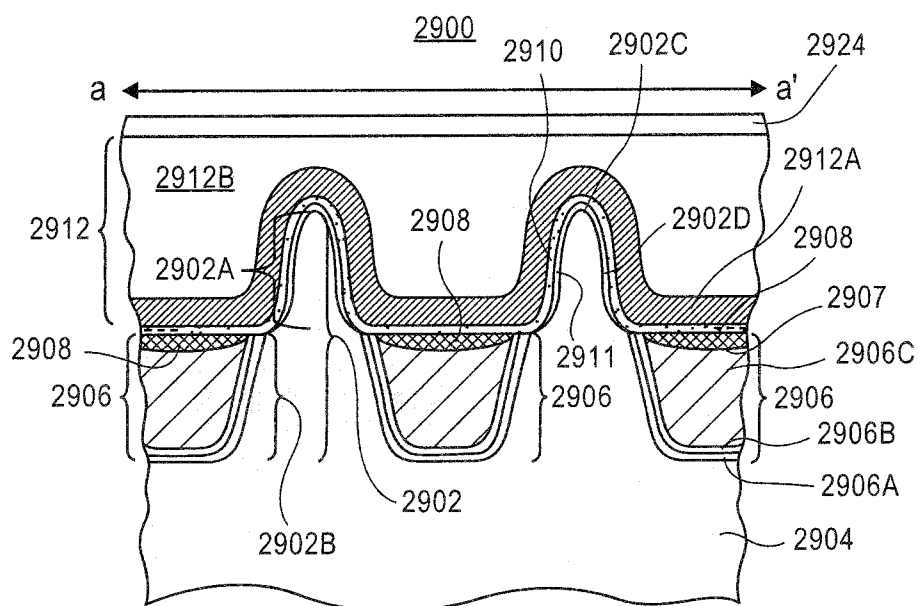
【圖 28D】



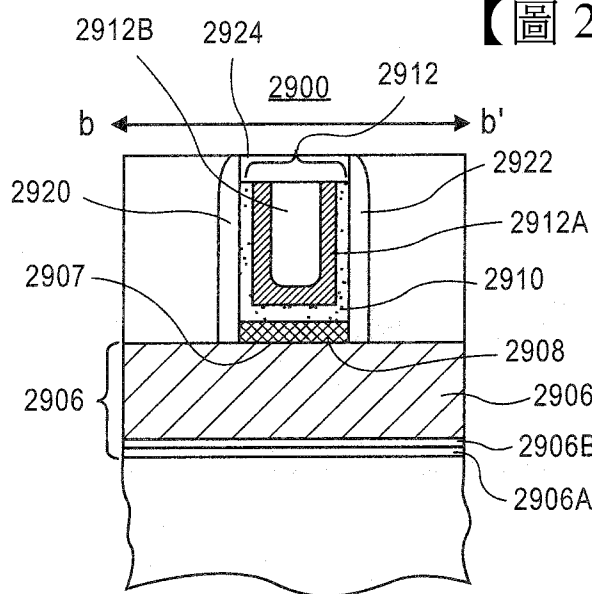
【圖 28E】



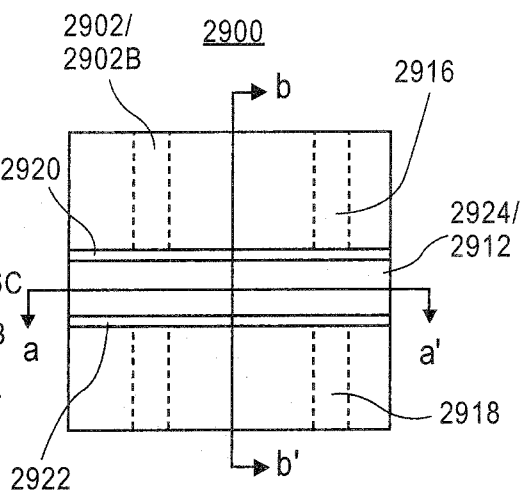
【圖 28F】



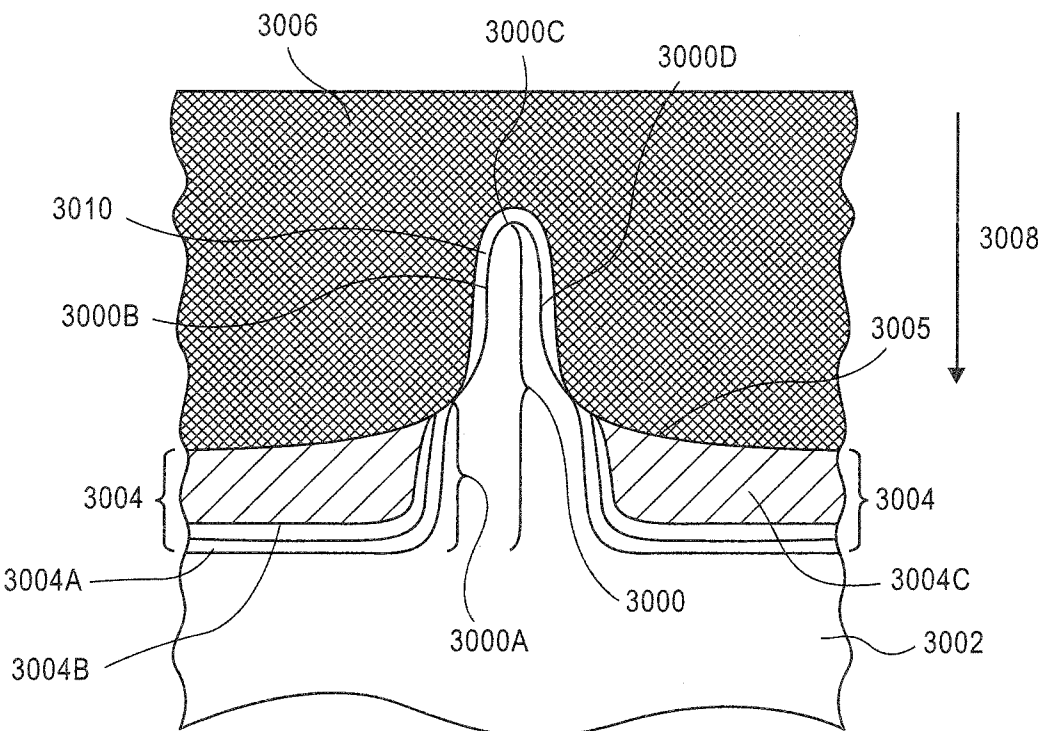
【圖 29A】



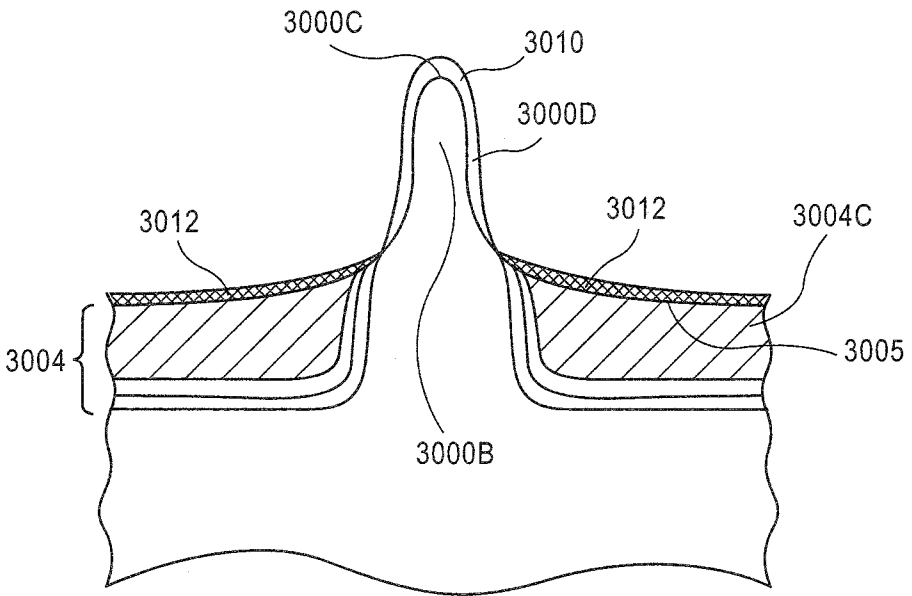
【圖 29B】



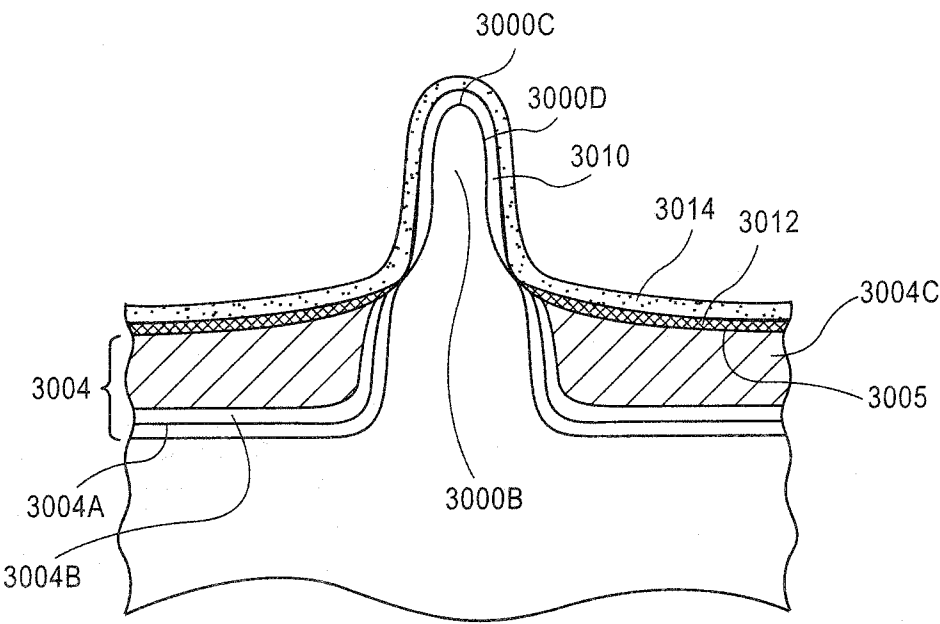
【圖 29C】



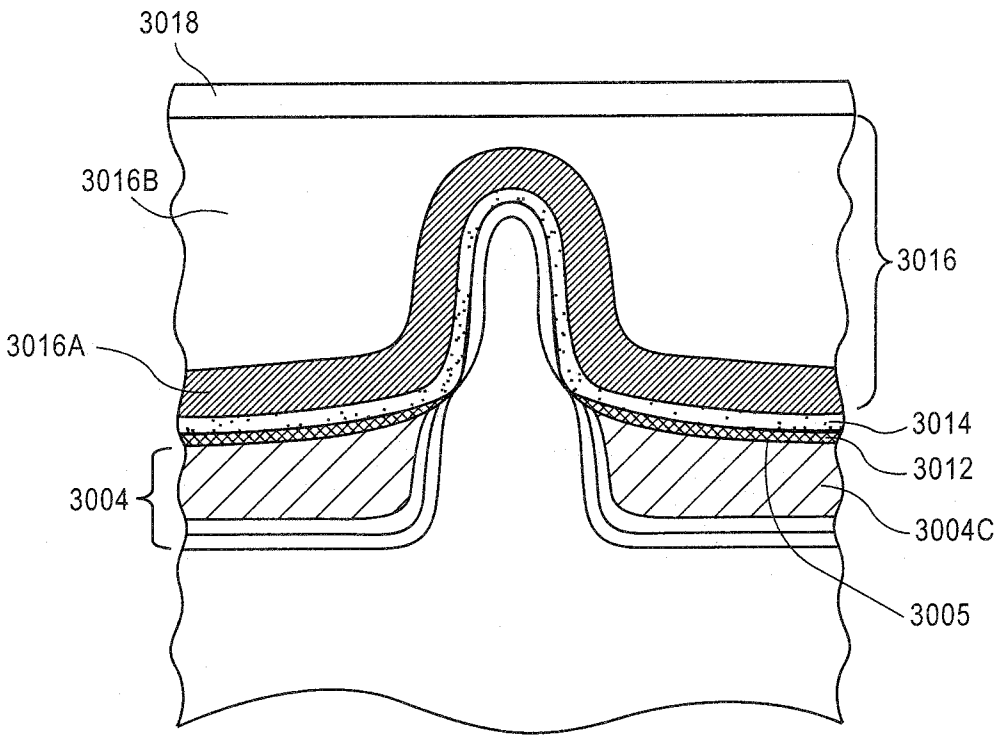
【圖 30A】



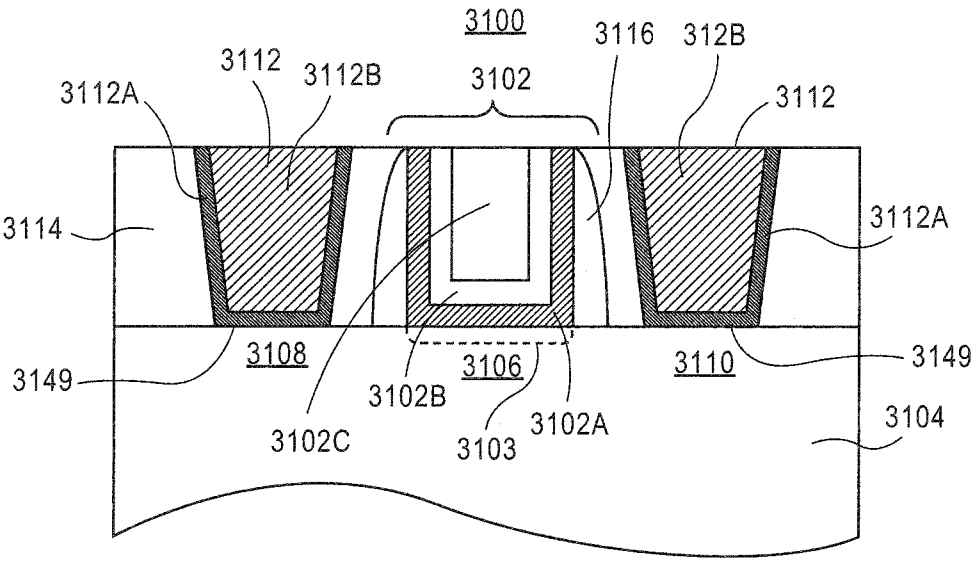
【圖 30B】



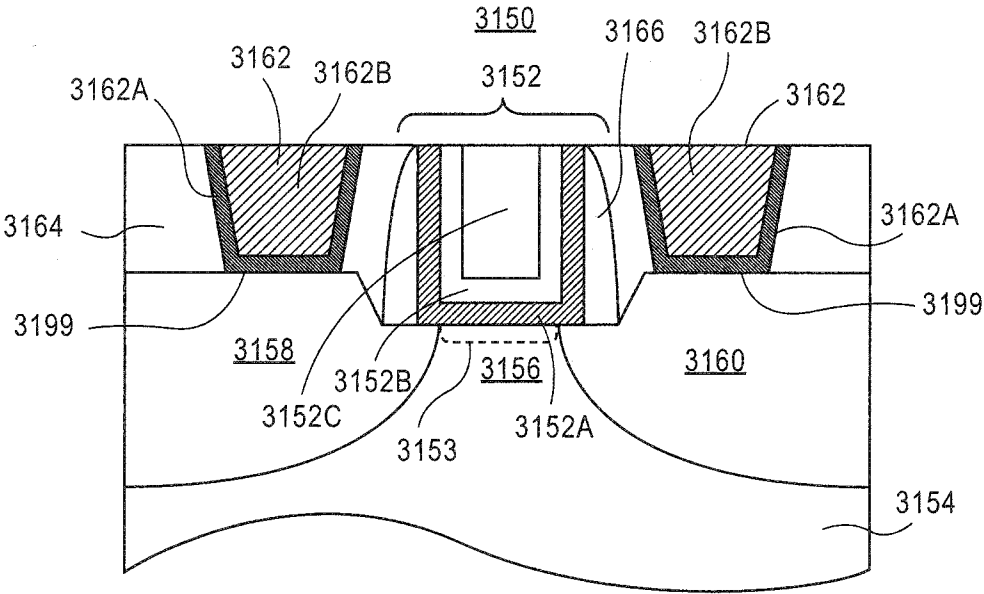
【圖 30C】



【圖 30D】

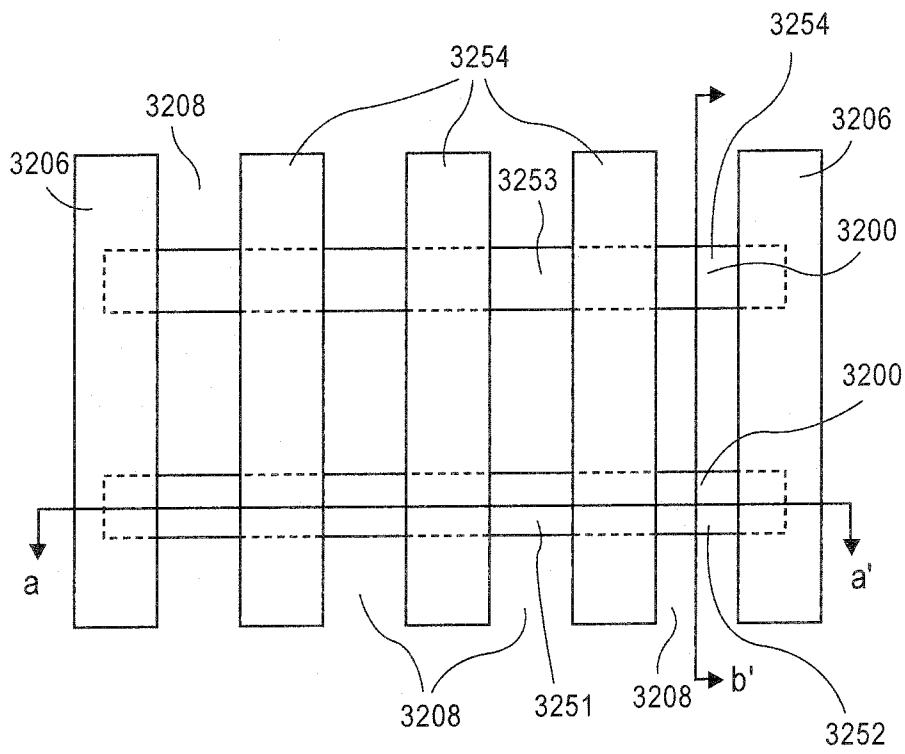


【圖 31A】

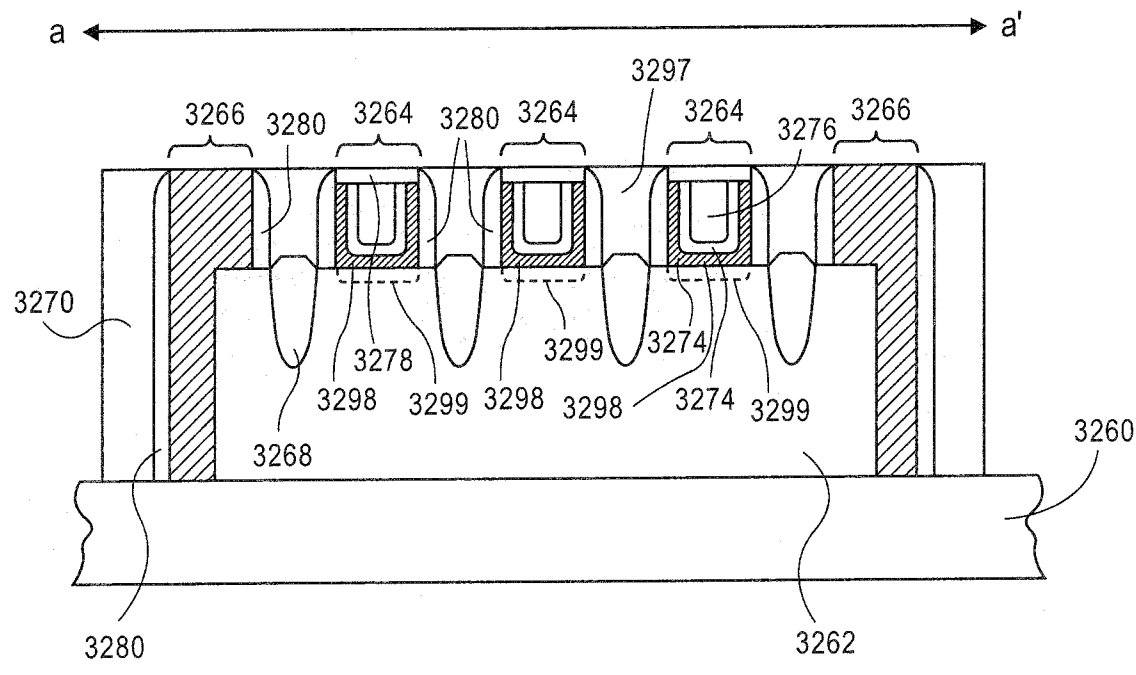


【圖 31B】

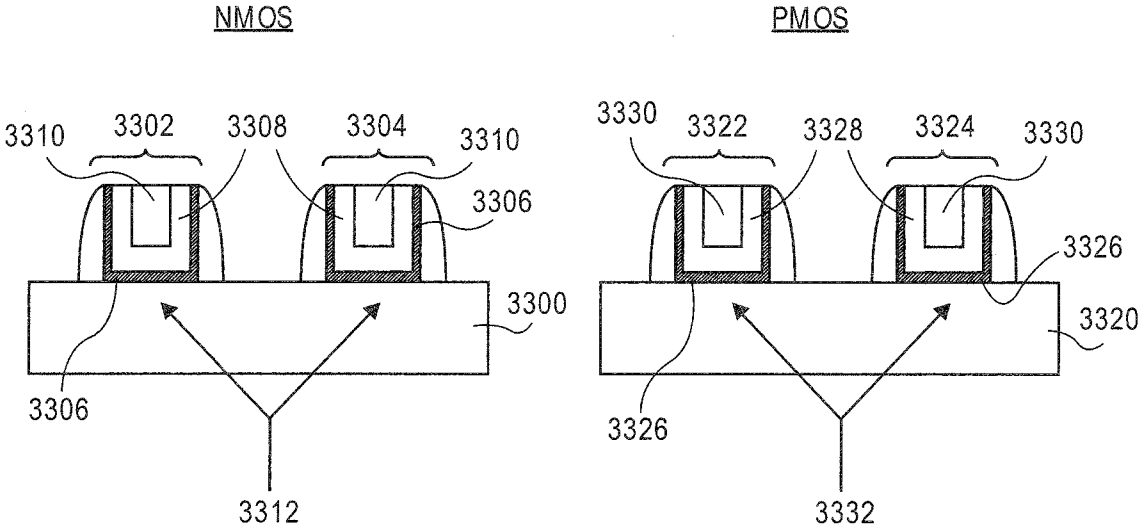




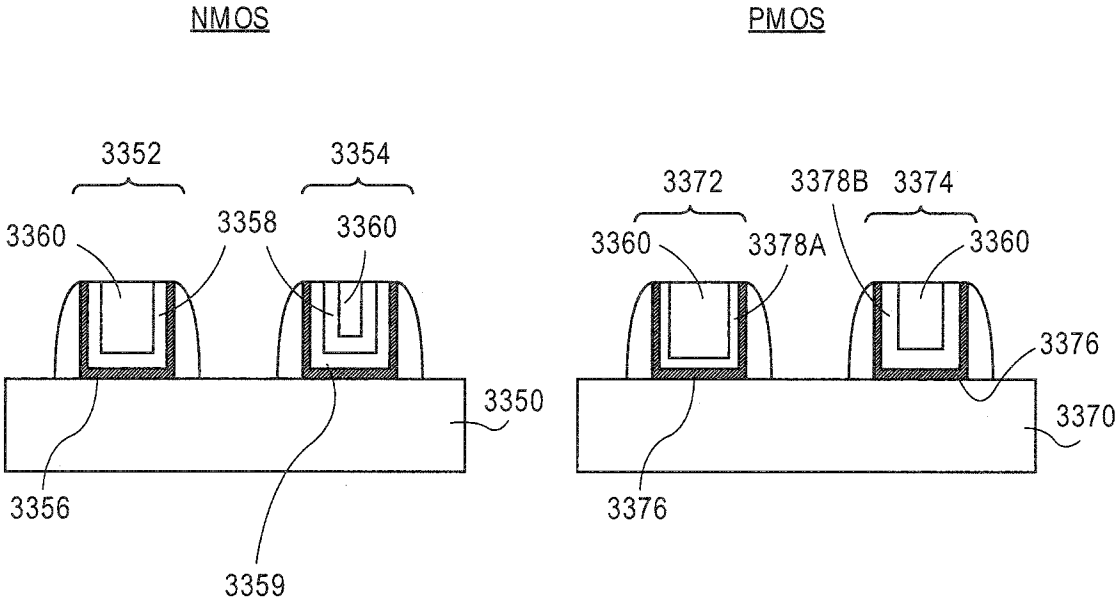
【圖 32A】



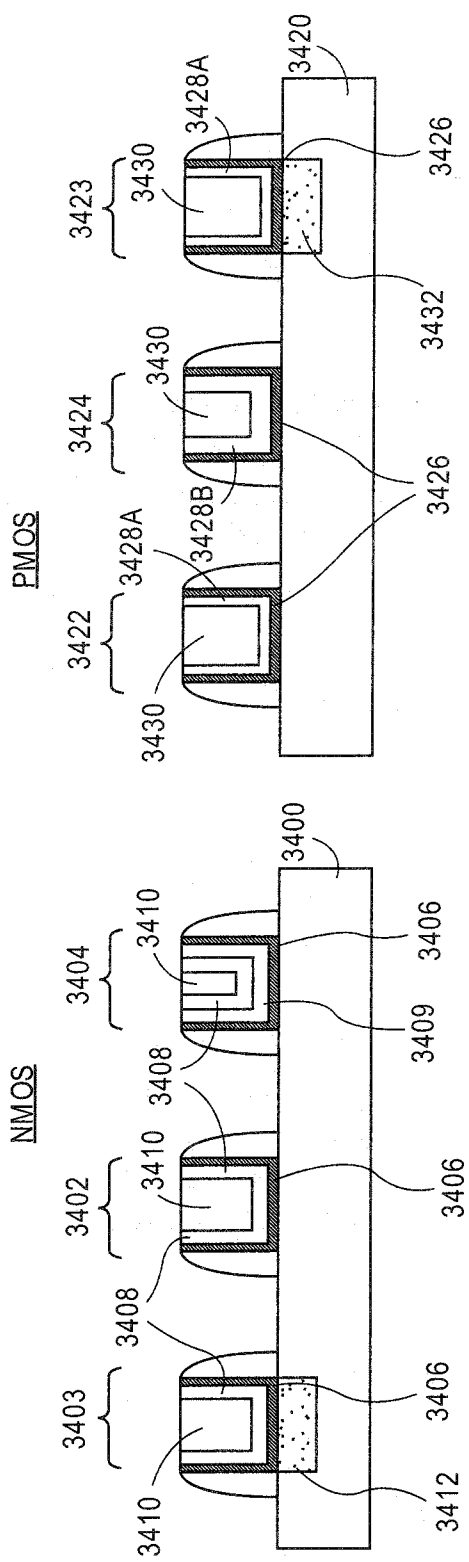
【圖 32B】



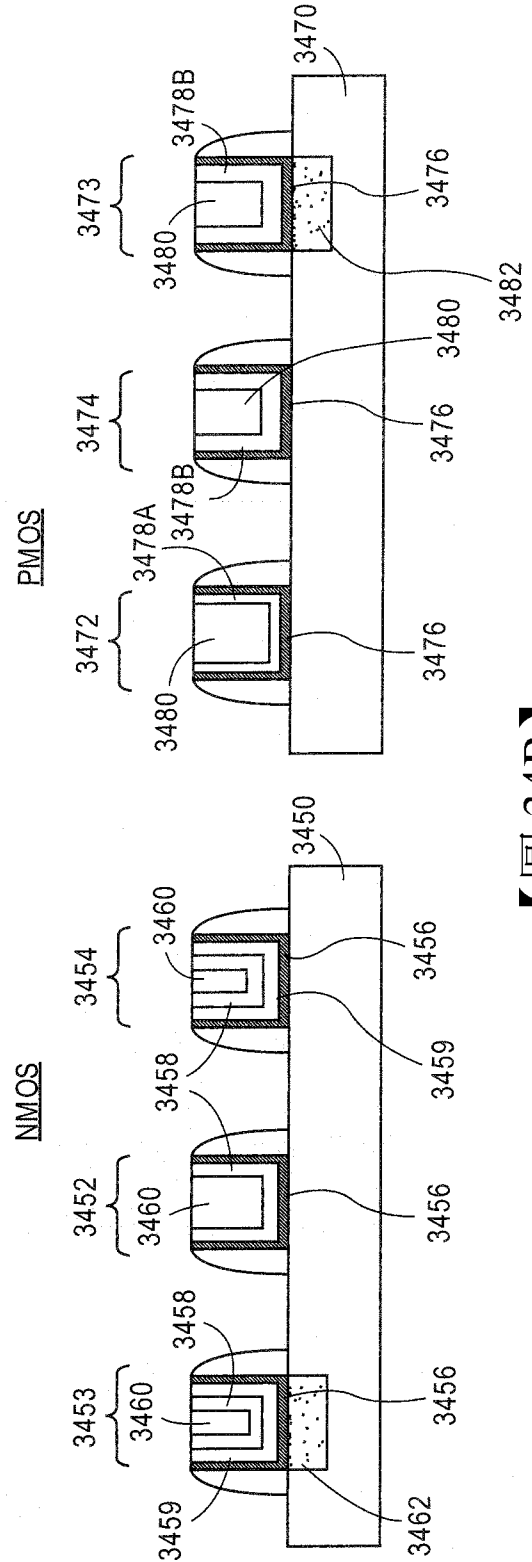
【圖 33A】



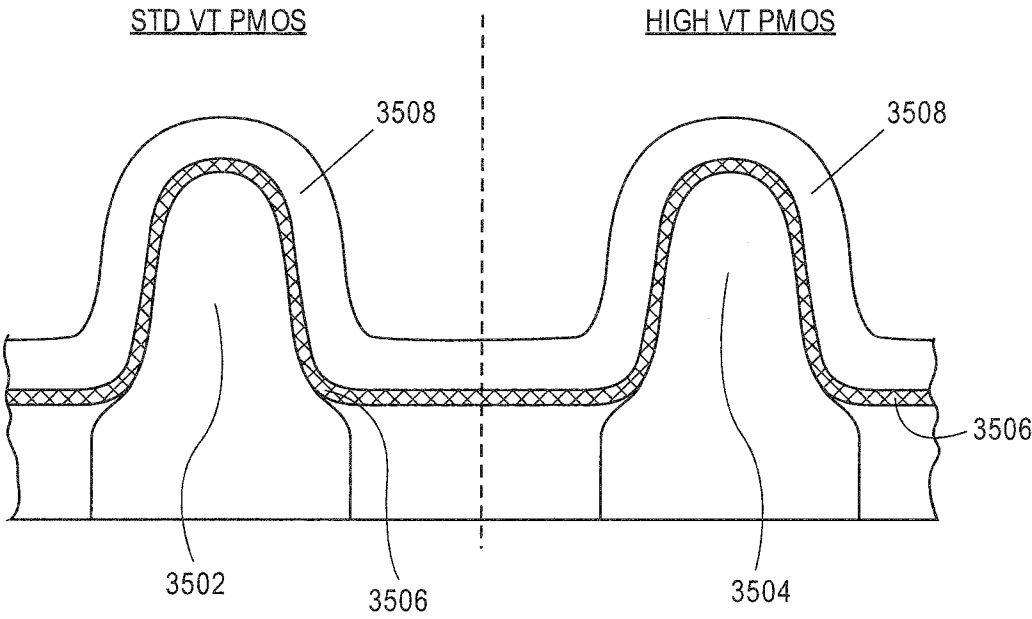
【圖 33B】



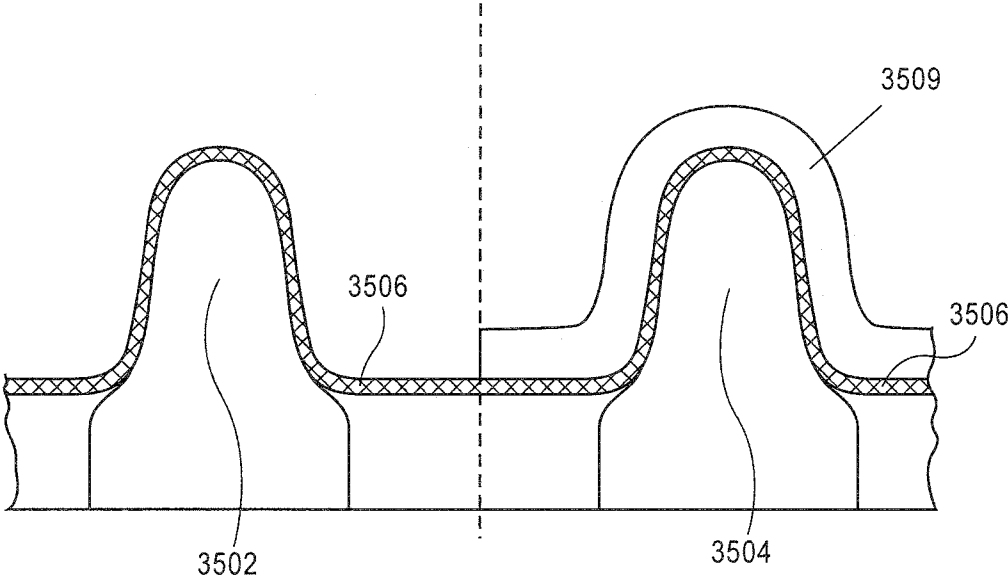
【圖 34A】



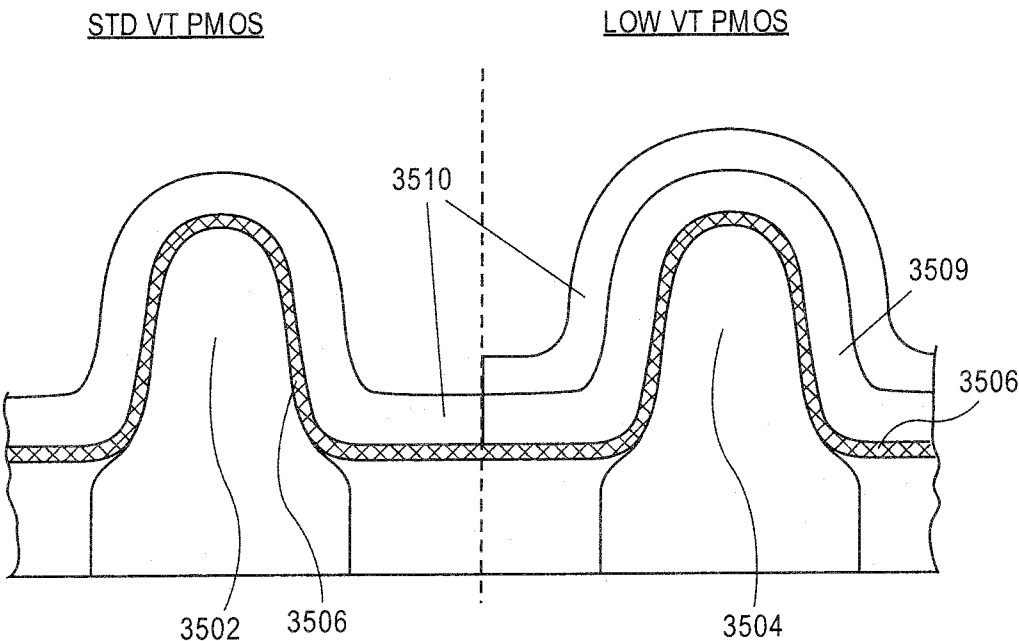
【圖 34B】



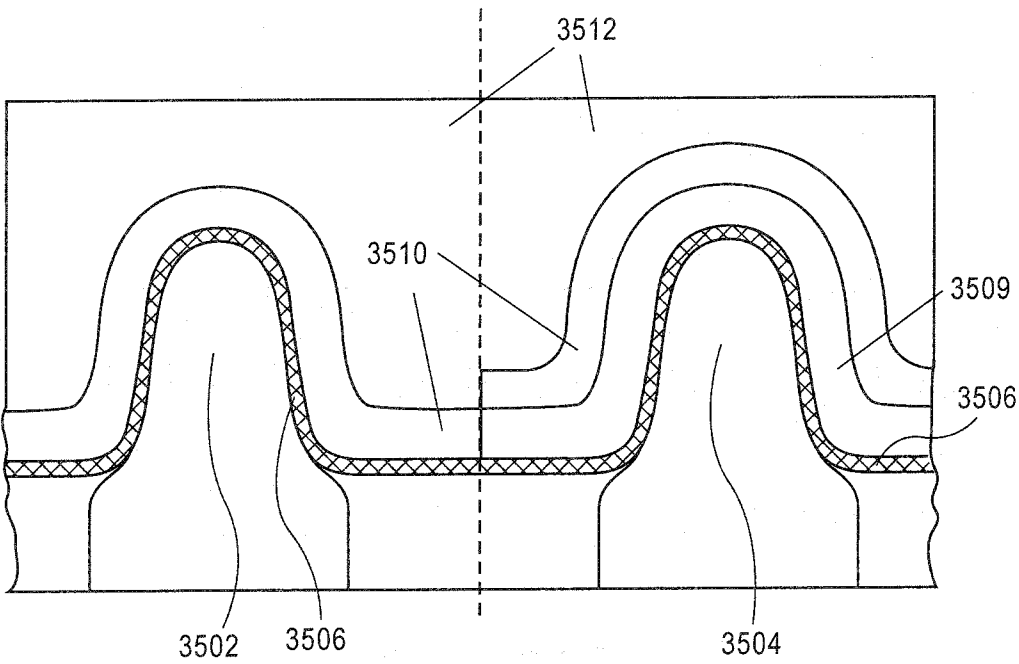
【圖 35A】



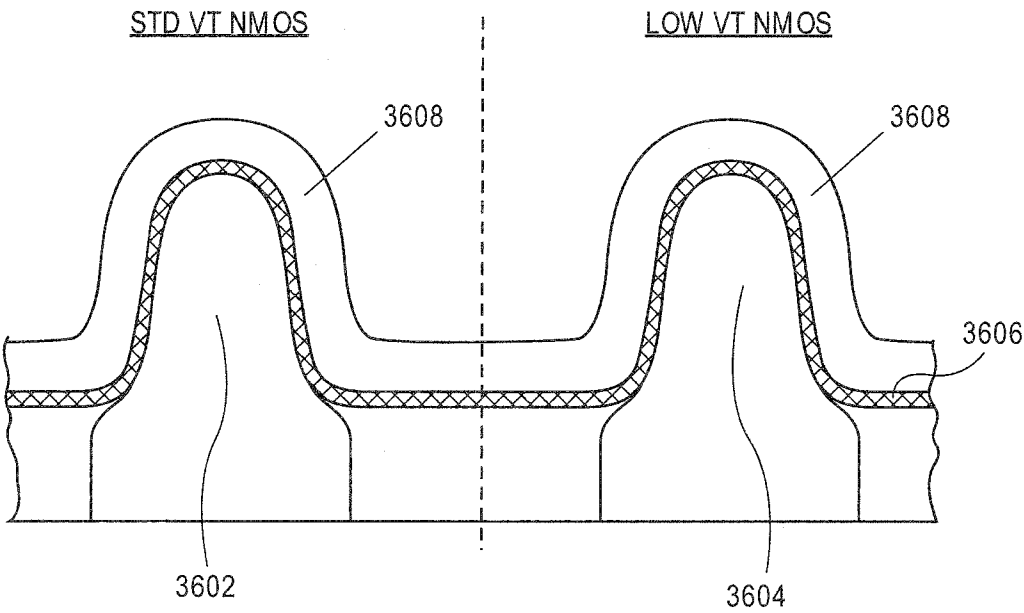
【圖 35B】



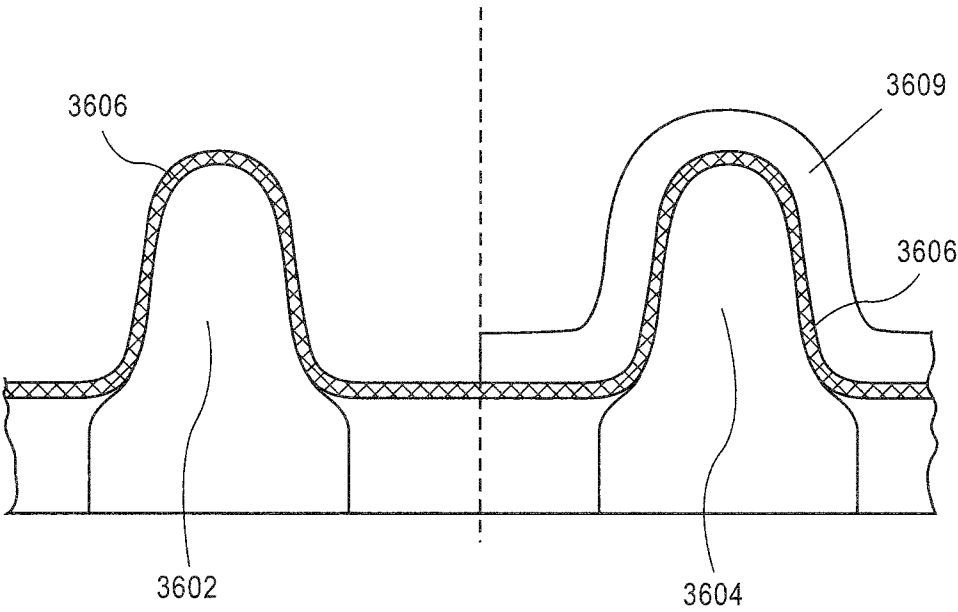
【圖 35C】



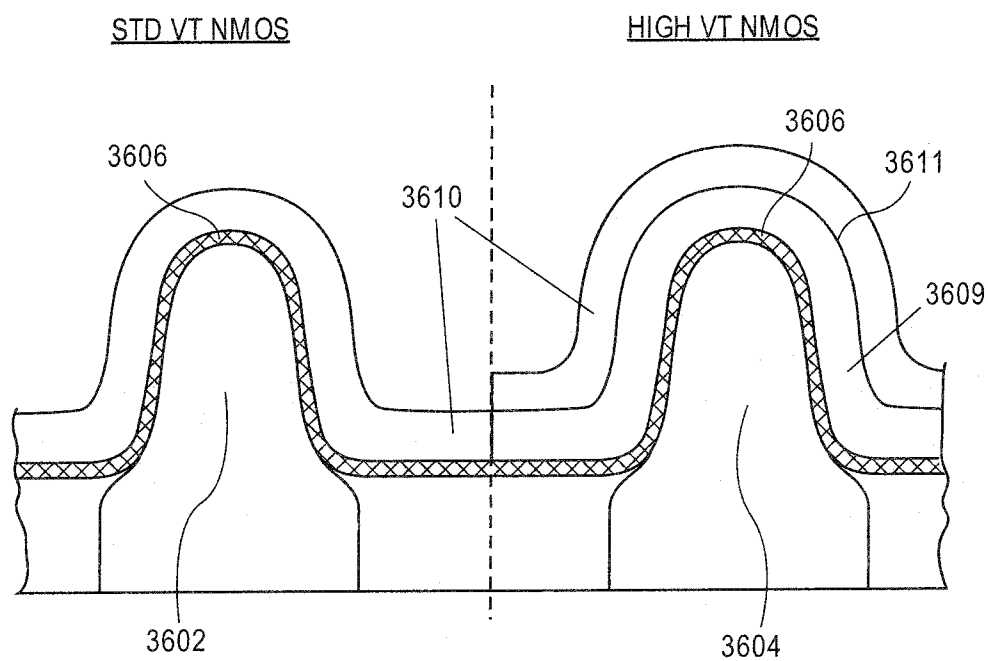
【圖 35D】



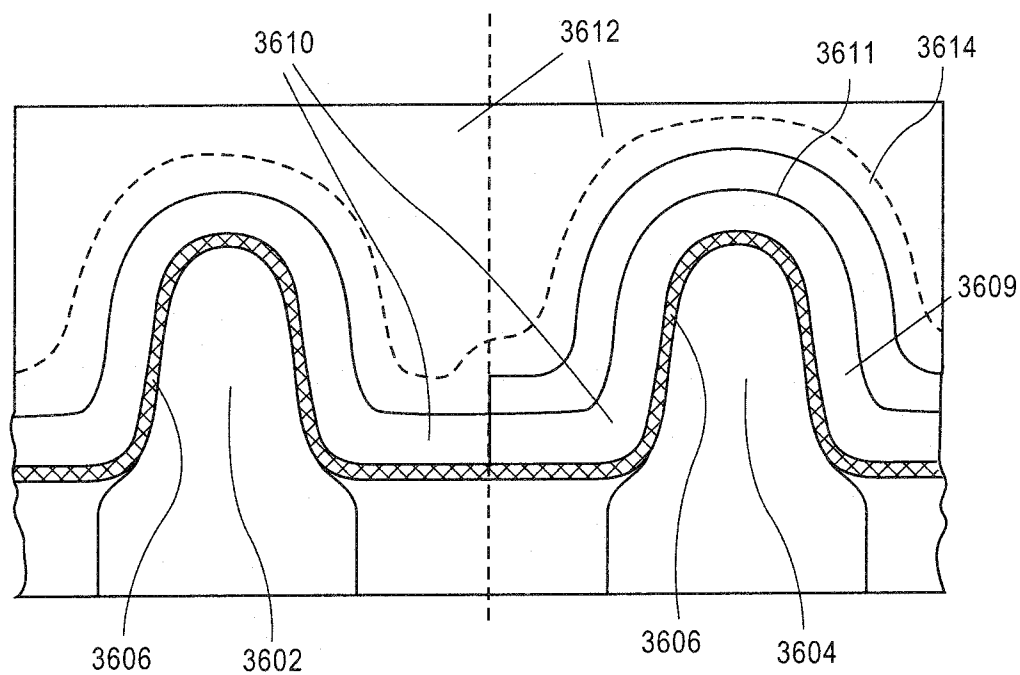
【圖 36A】



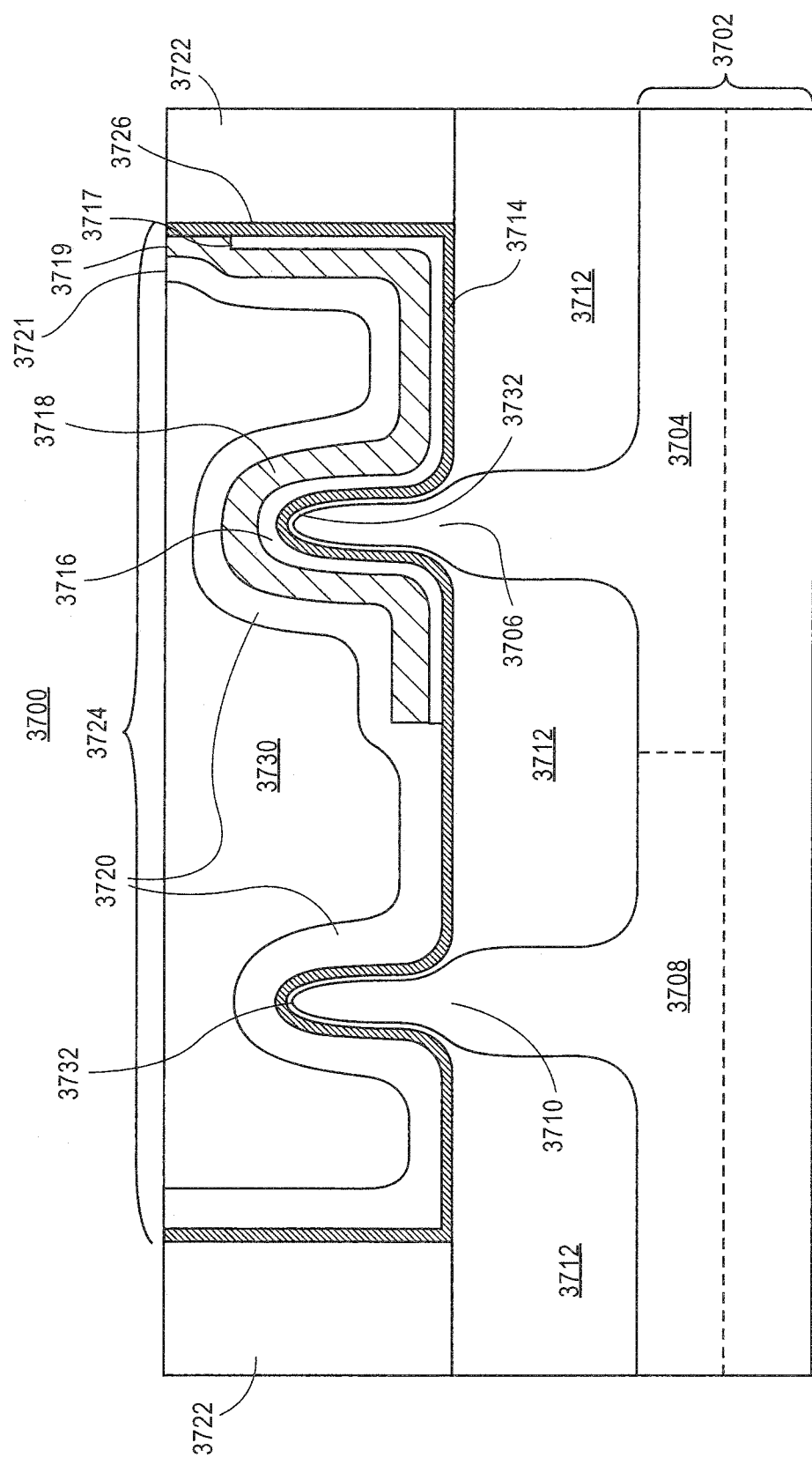
【圖 36B】



【圖 36C】

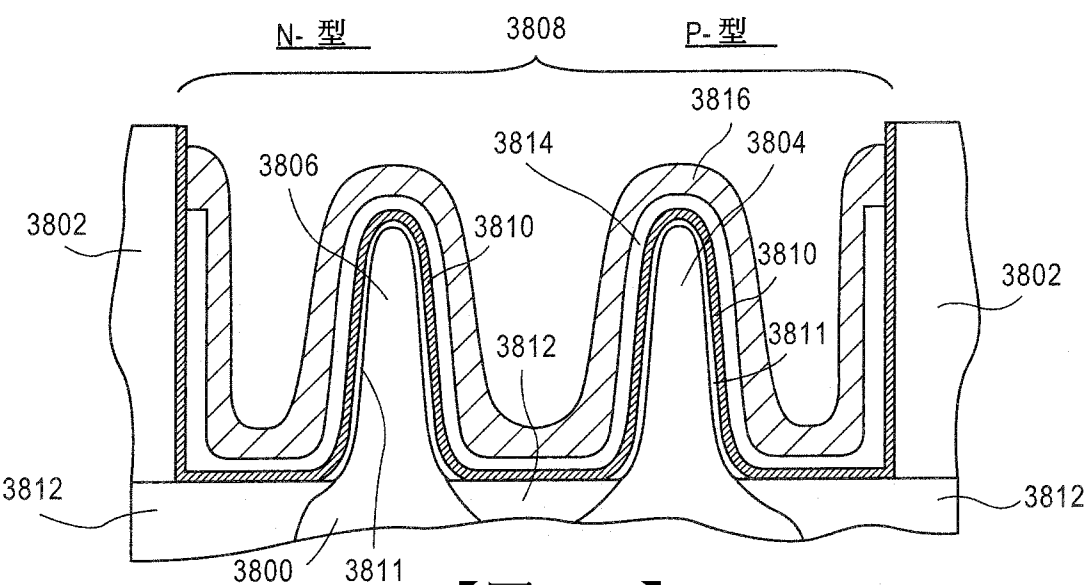


【圖 36D】

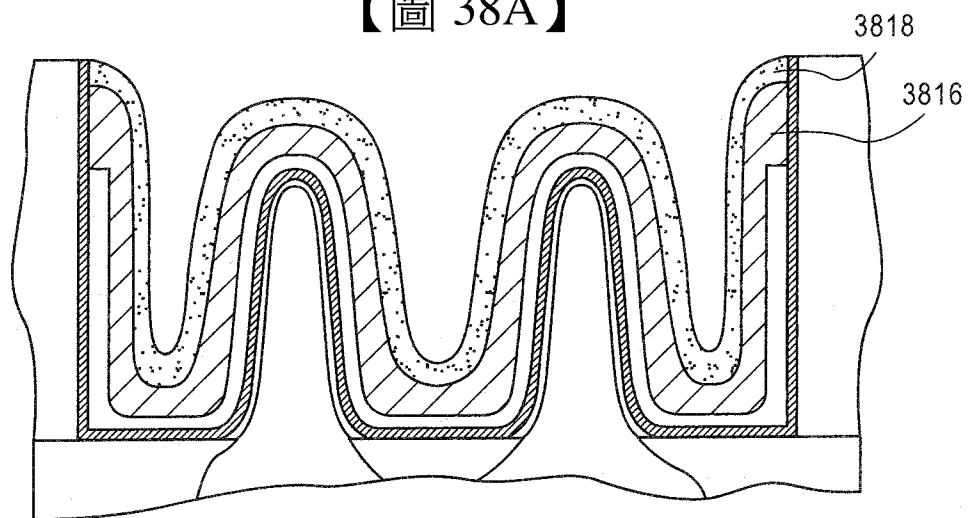


【圖 37】

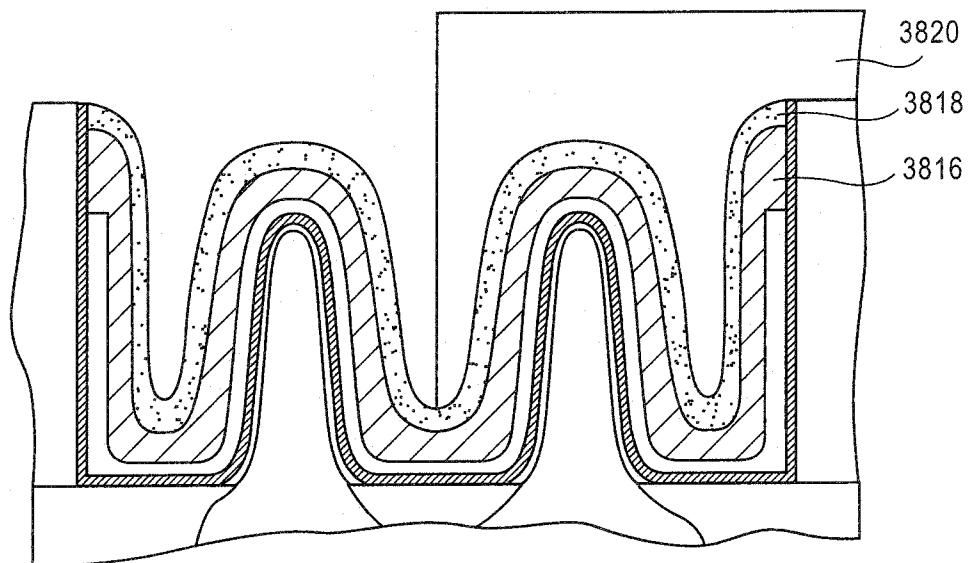




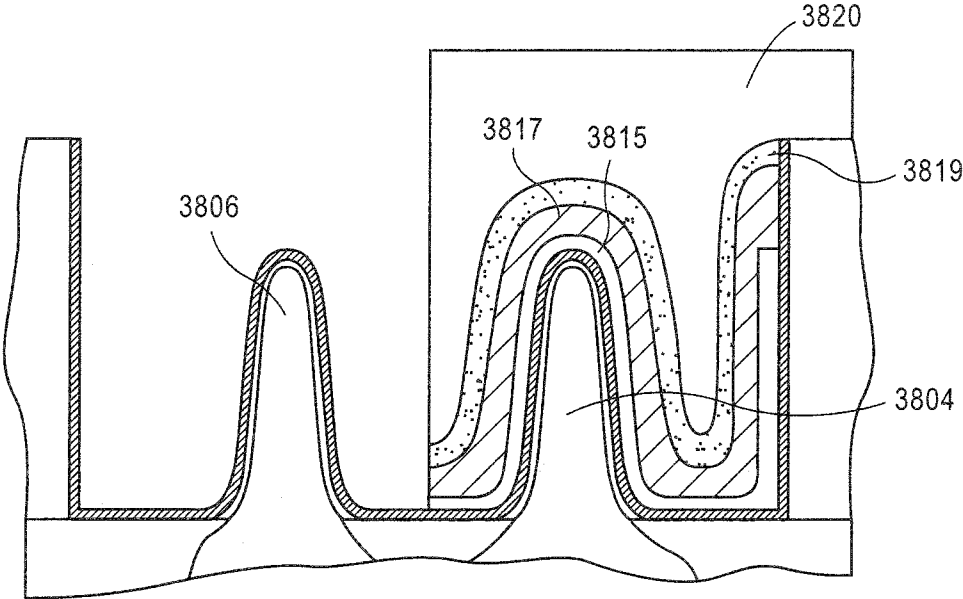
【圖 38A】



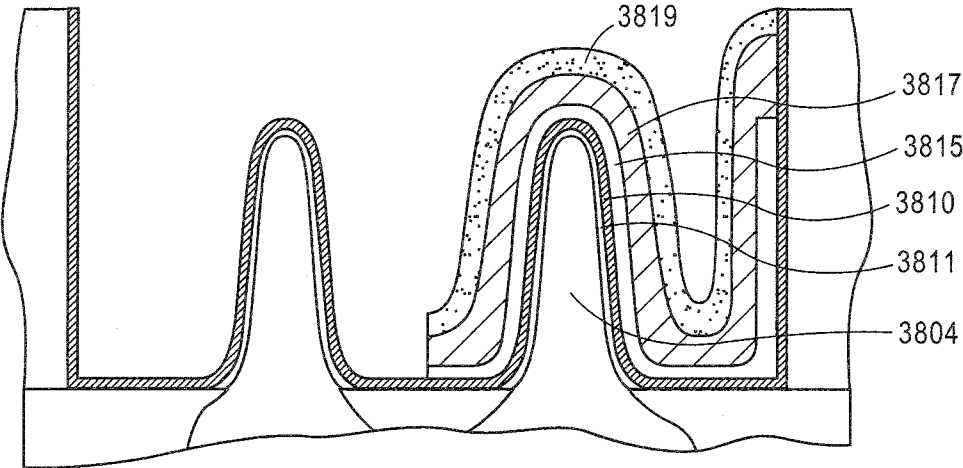
【圖 38B】



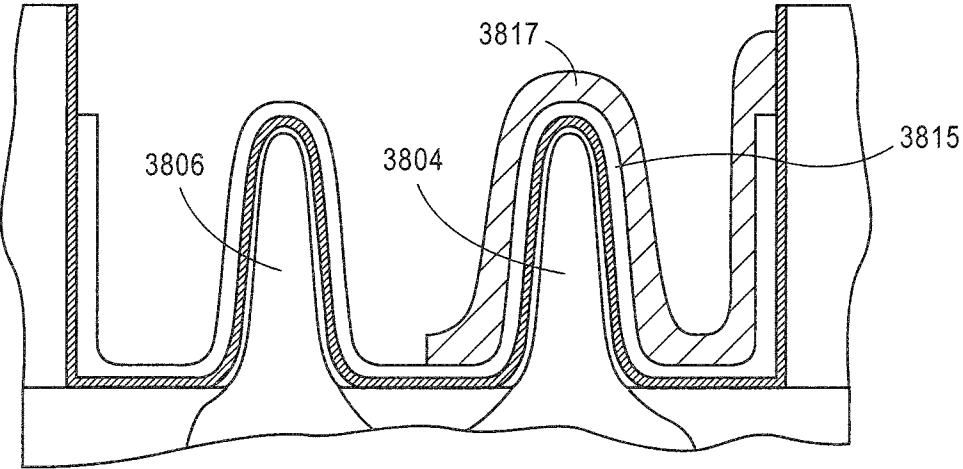
【圖 38C】



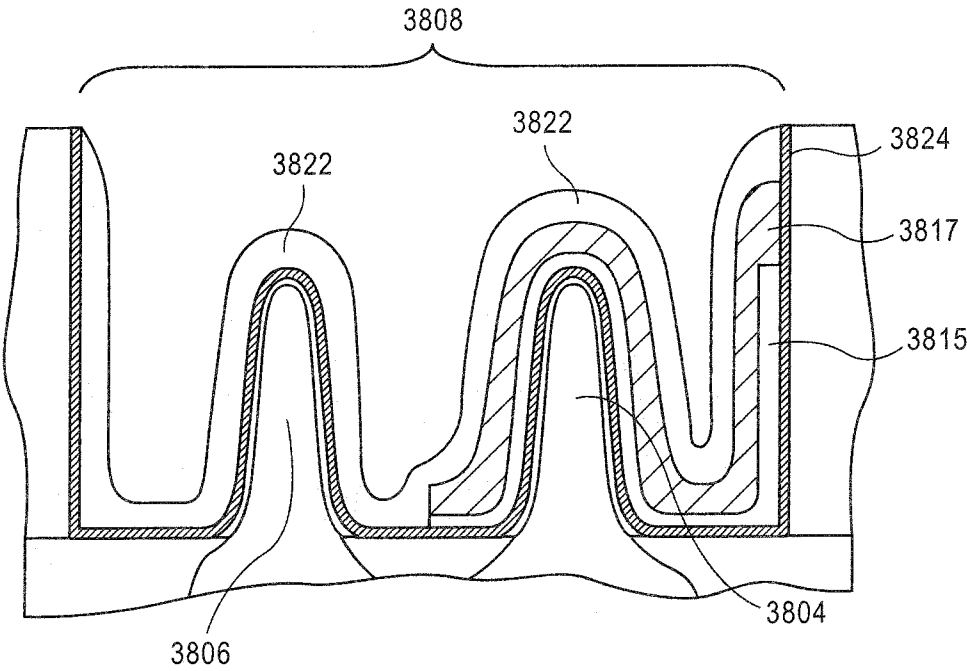
【圖 38D】



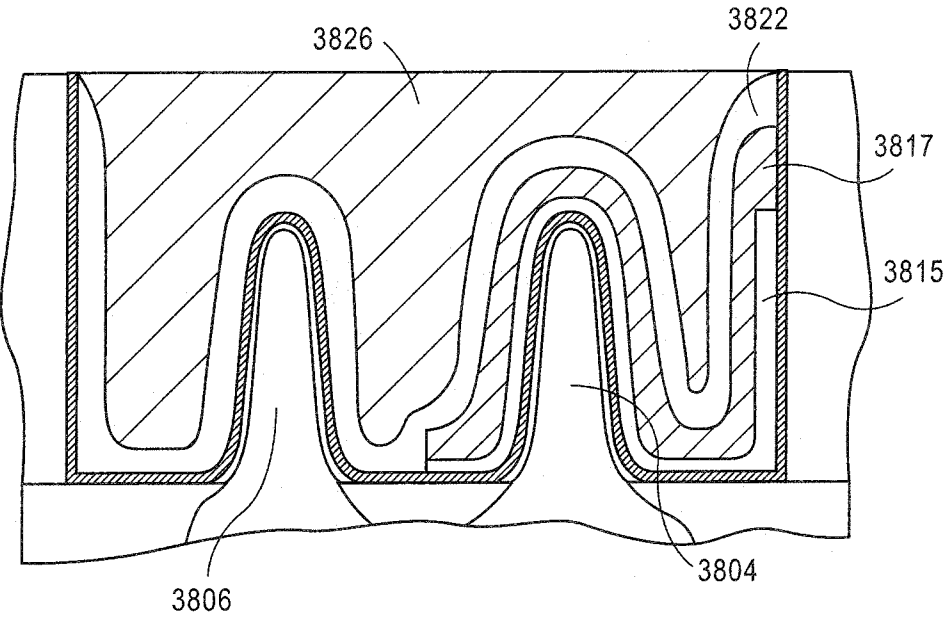
【圖 38E】



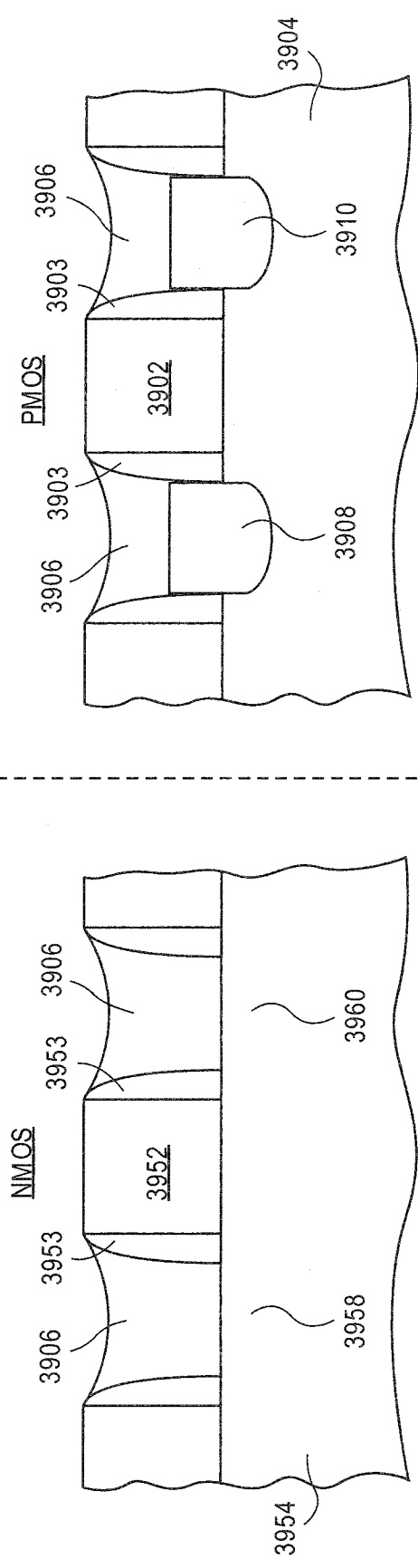
【圖 38F】



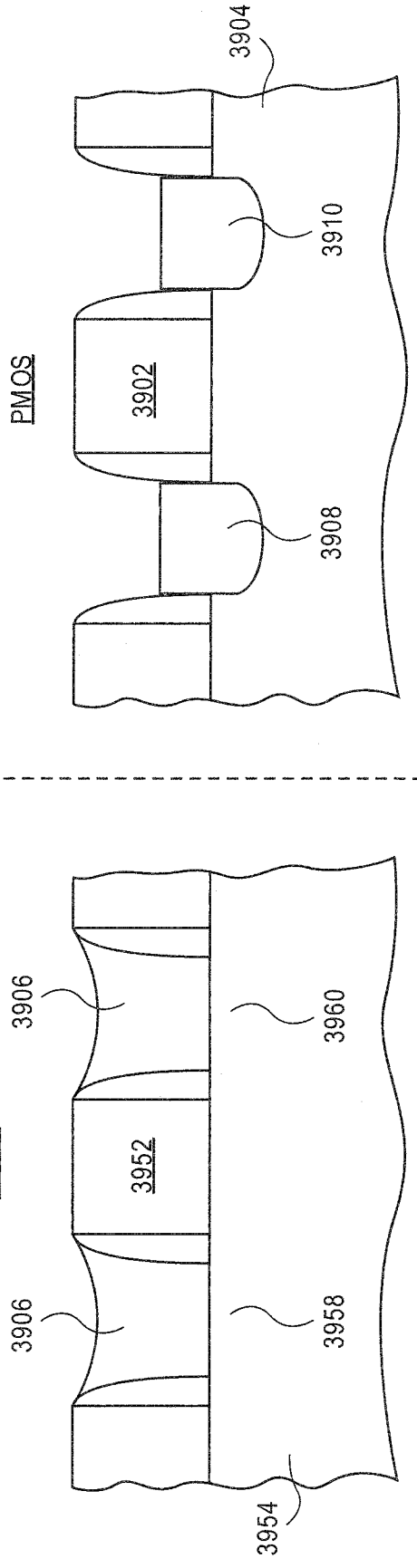
【圖 38G】



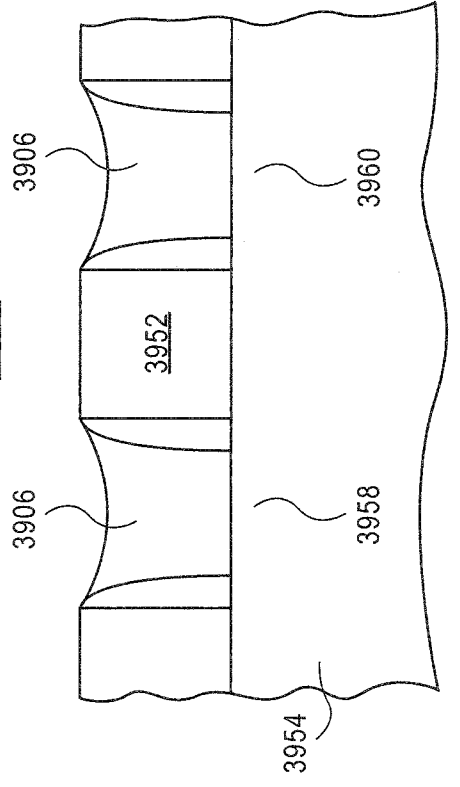
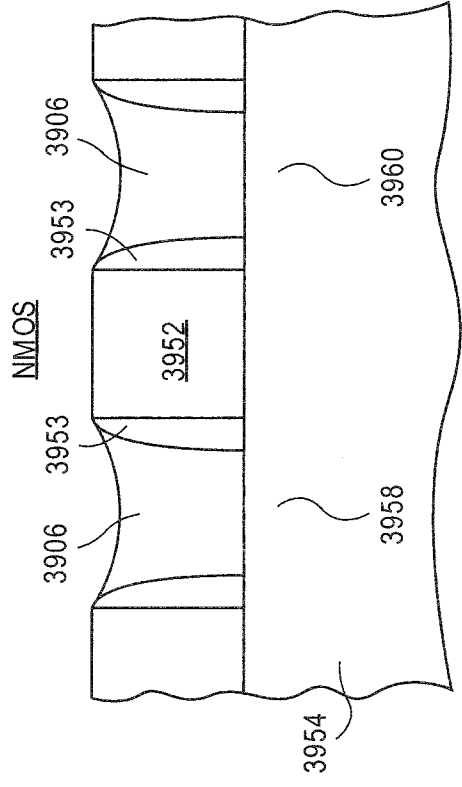
【圖 38H】

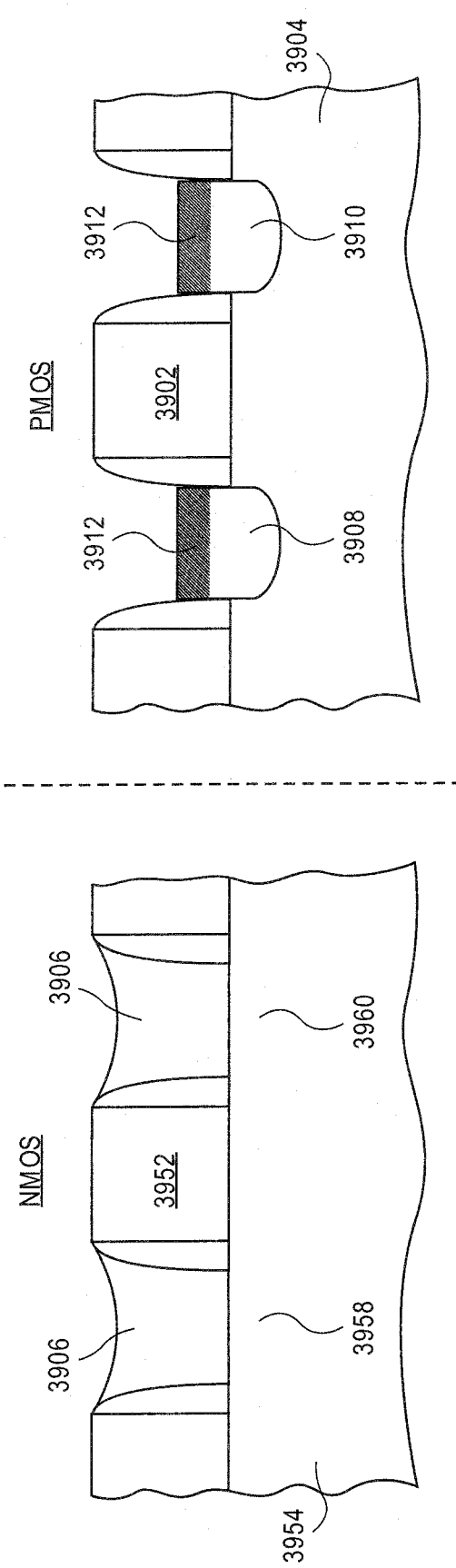


【圖 39A】

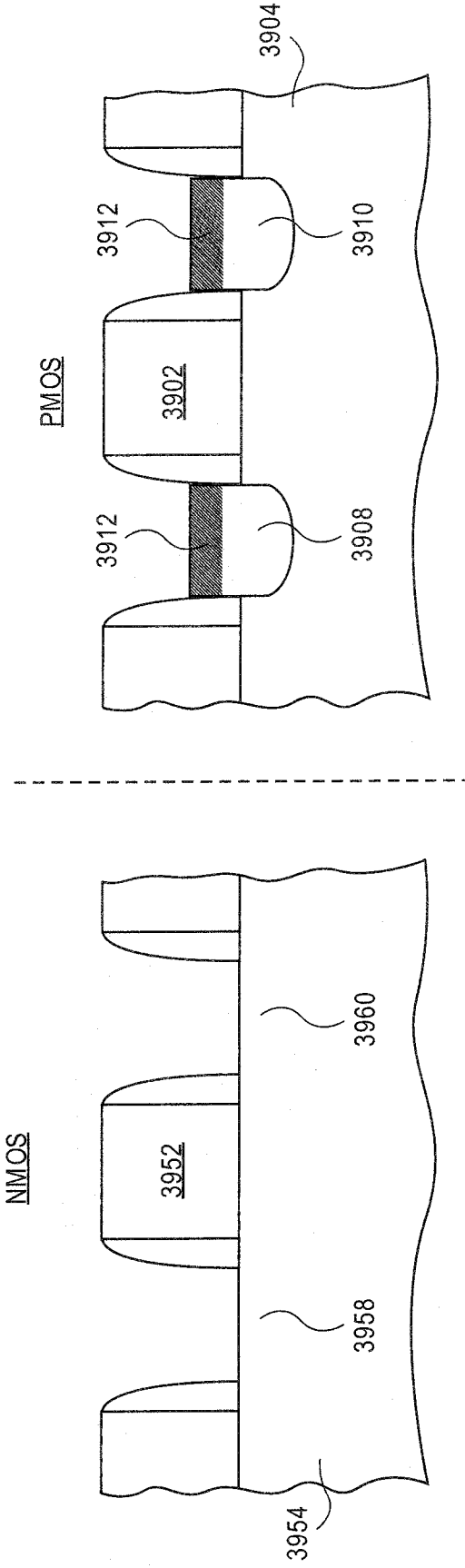


【圖 39B】

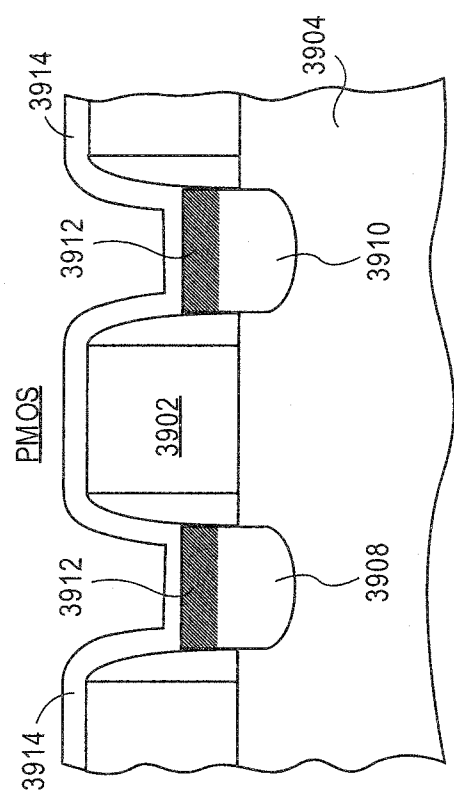




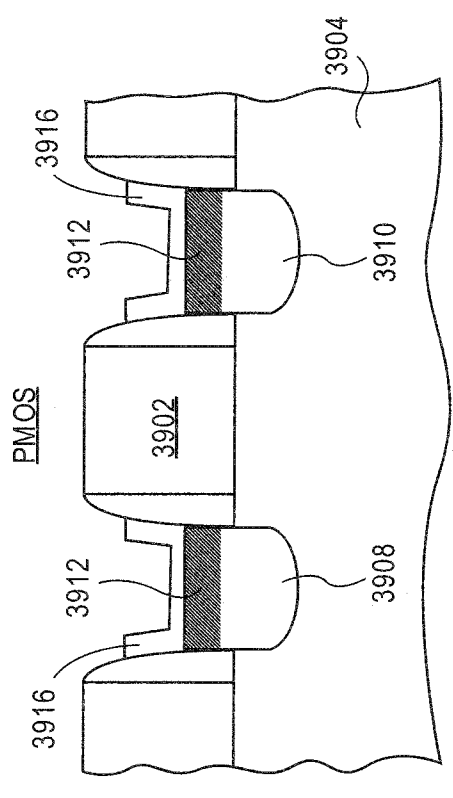
【圖 39C】



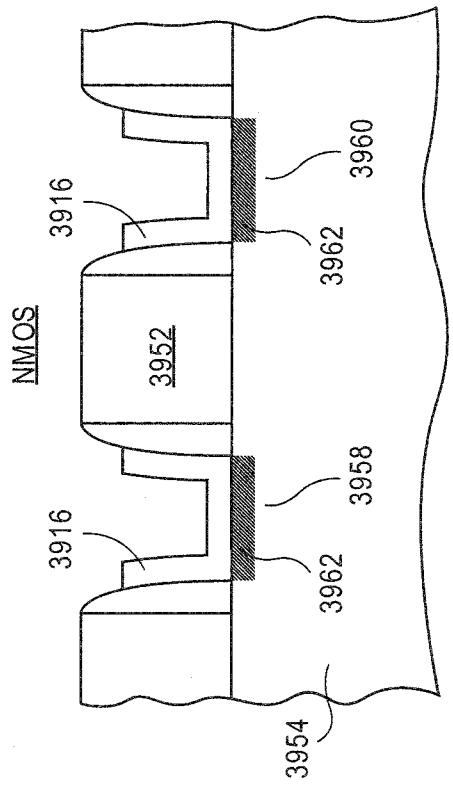
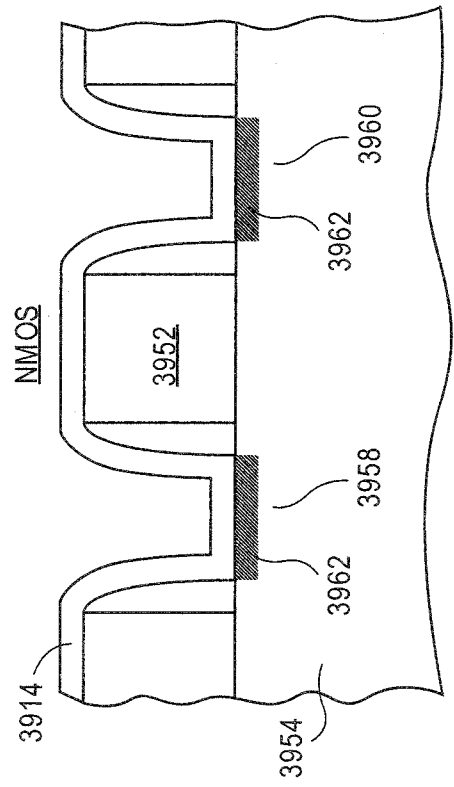
【圖 39D】

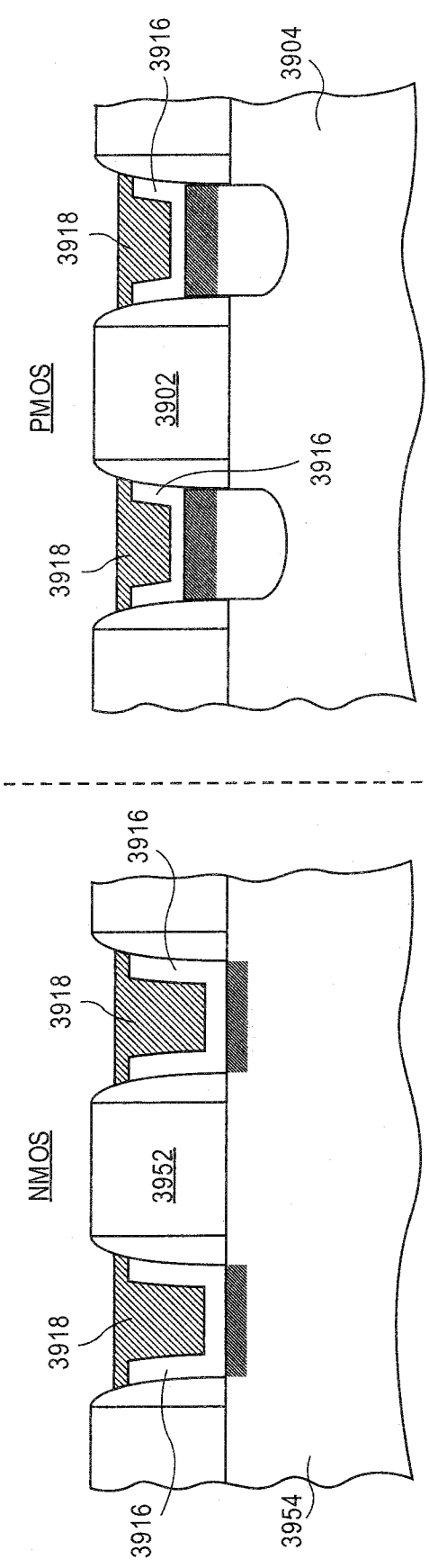


【圖 39E】

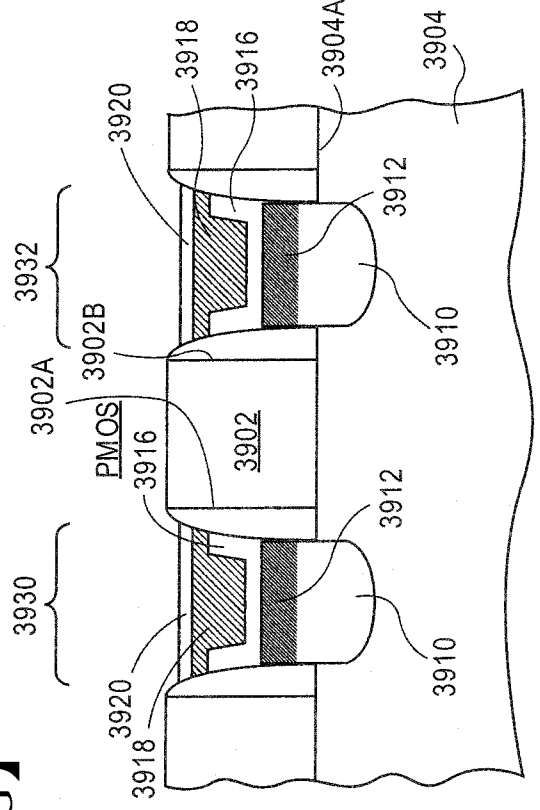


【圖 39F】

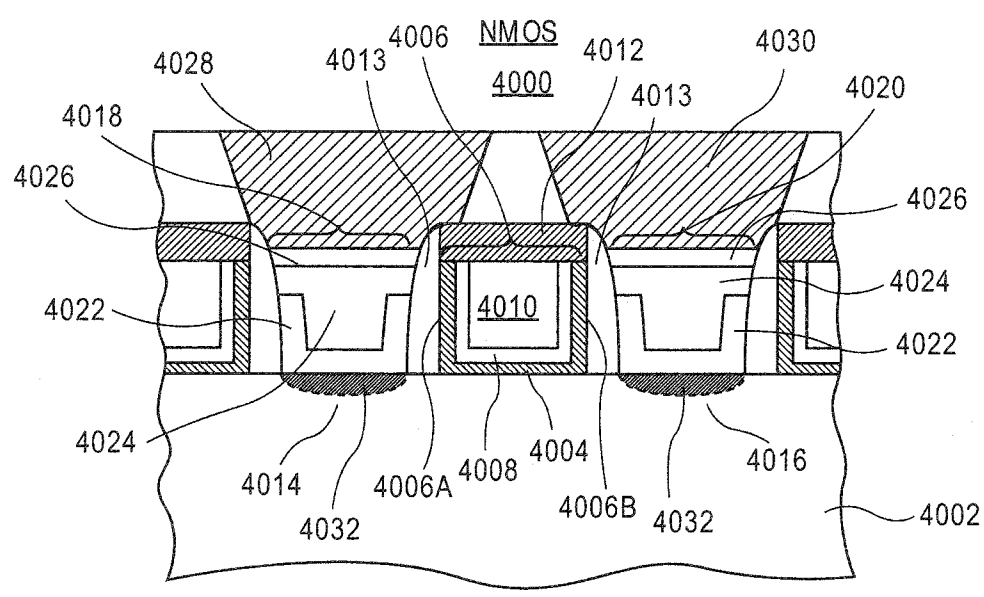




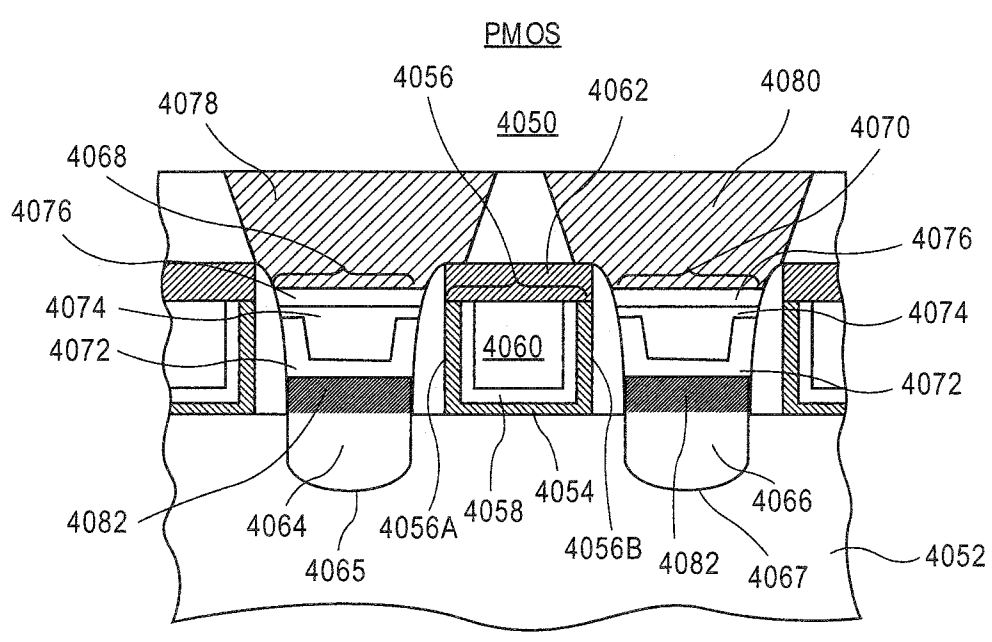
【圖 39G】



【圖 39H】

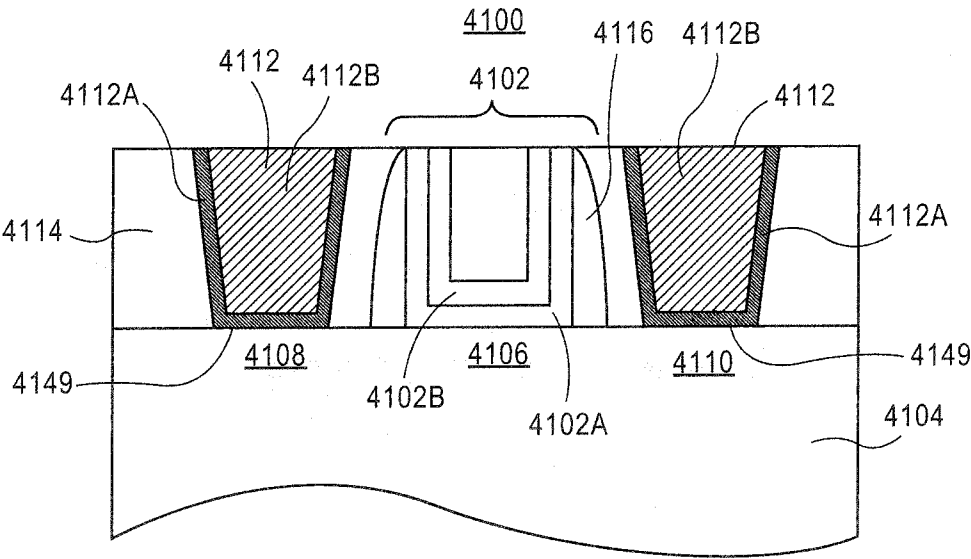


【圖 40A】

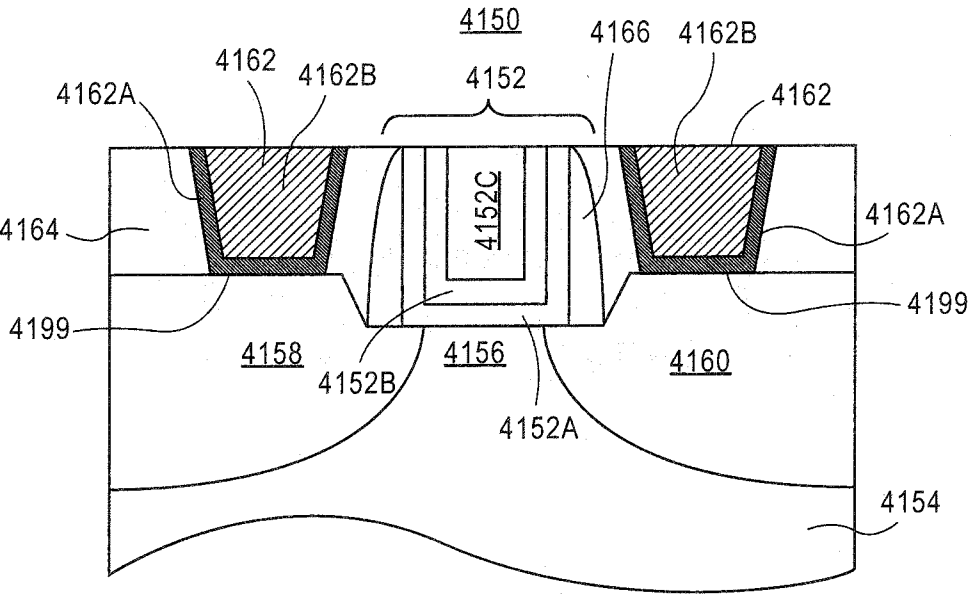


【圖 40B】

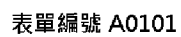




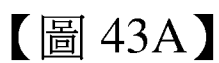
【圖 41A】

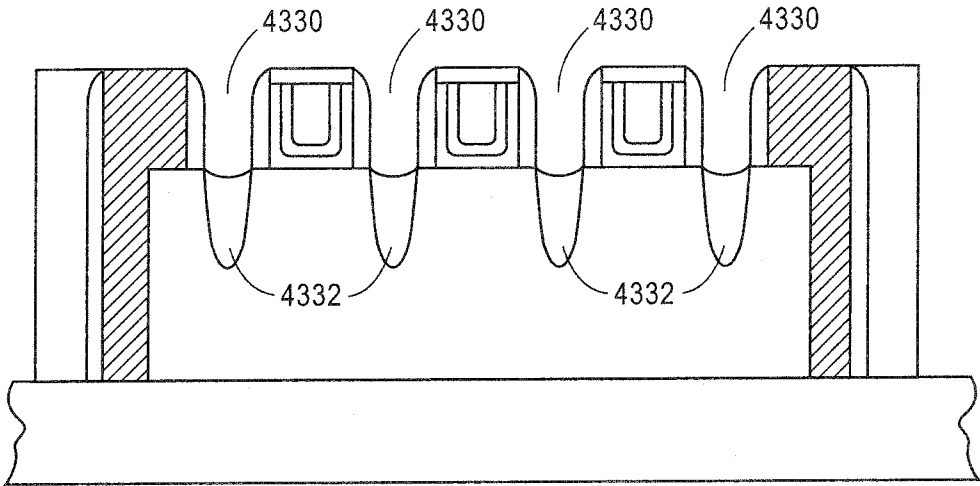


【圖 41B】

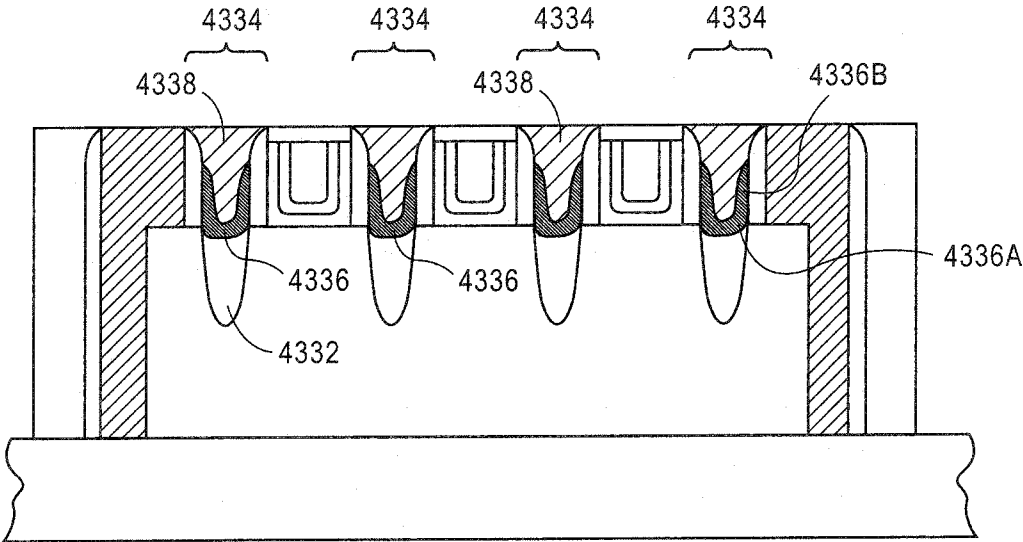


第 71 頁，共 121 頁(發明圖式)

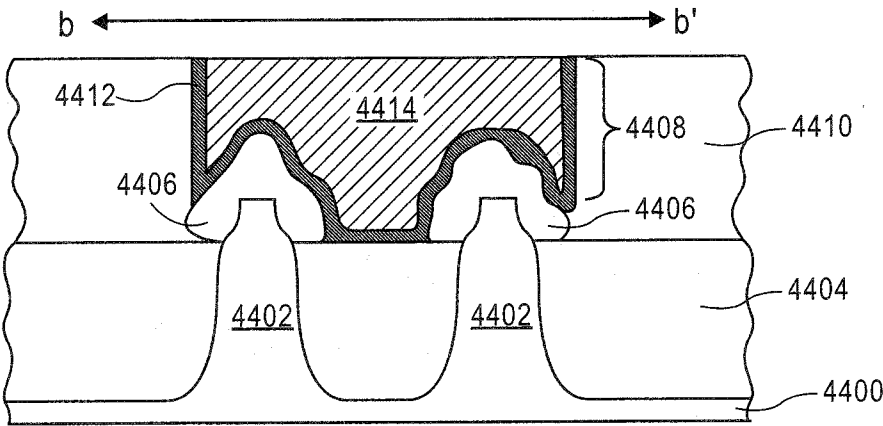




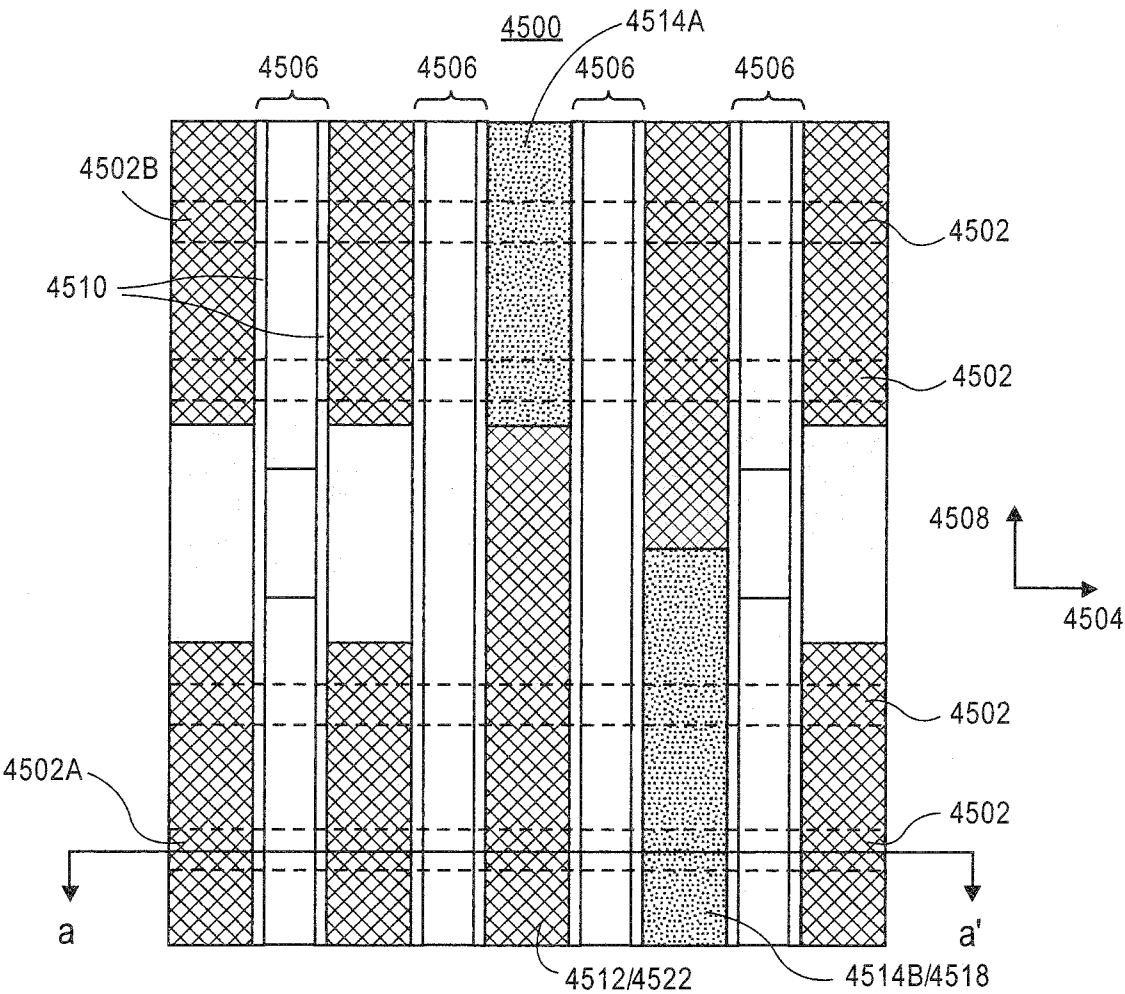
【圖 43B】



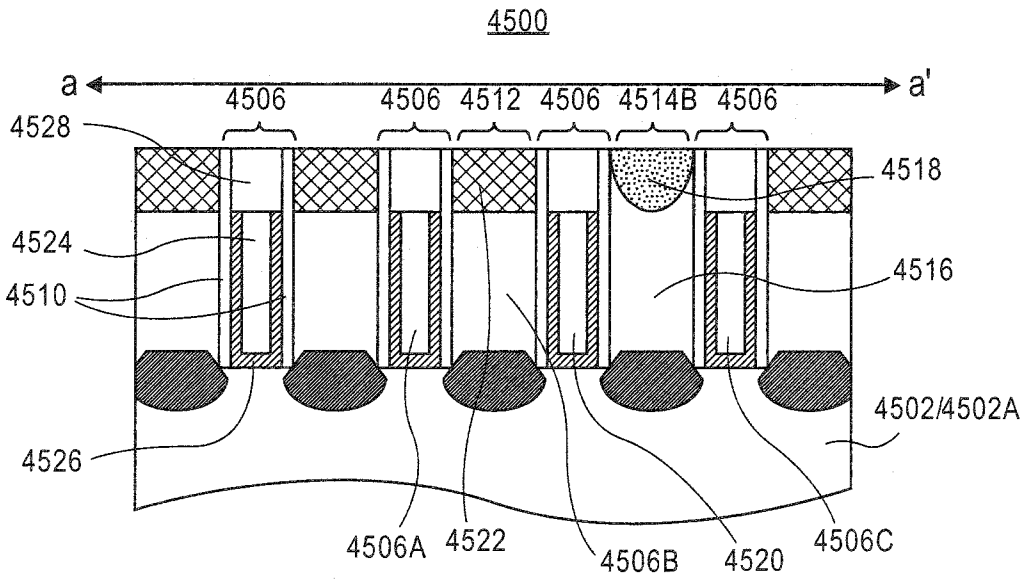
【圖 43C】



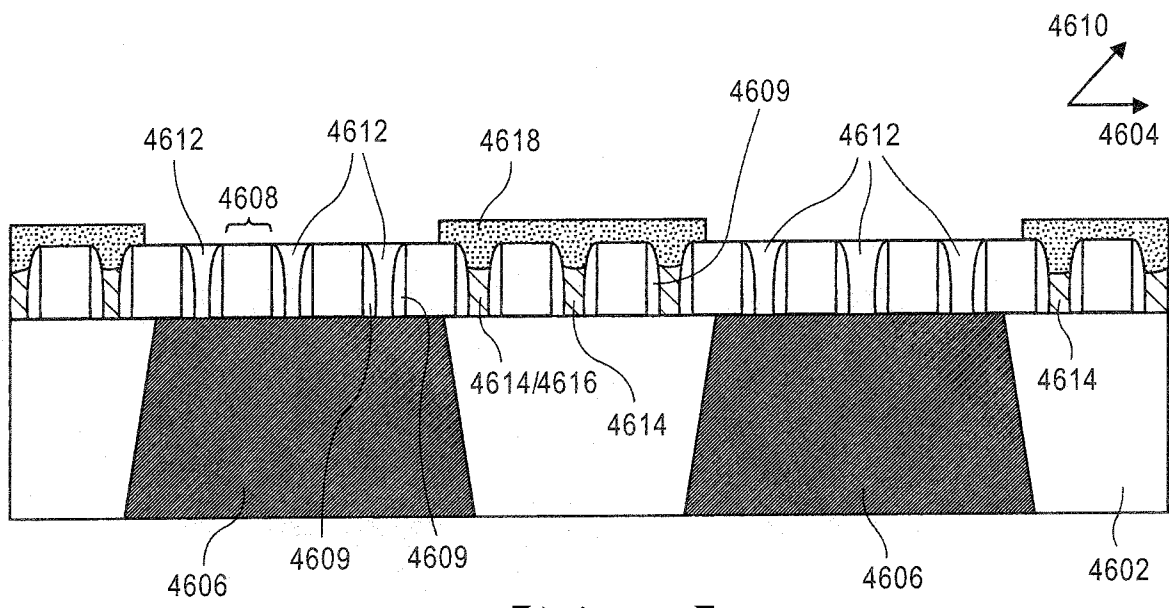
【圖 44】



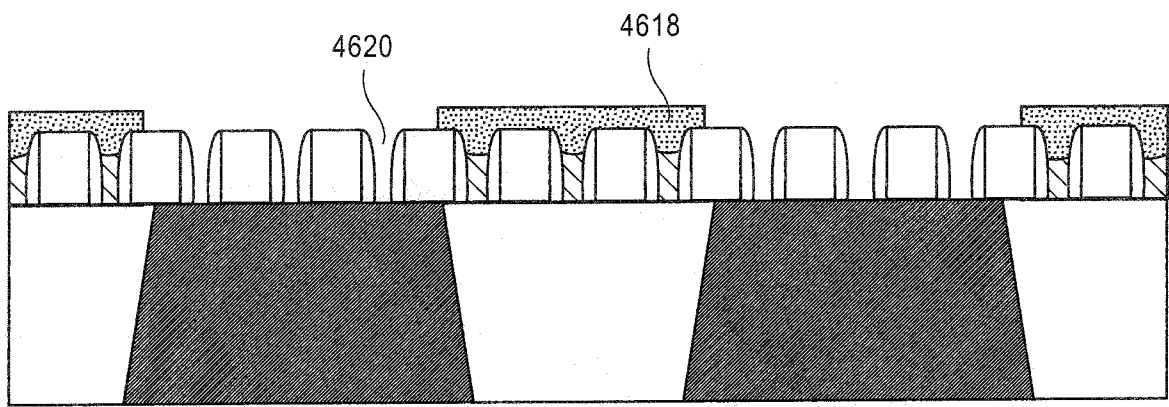
【圖 45A】



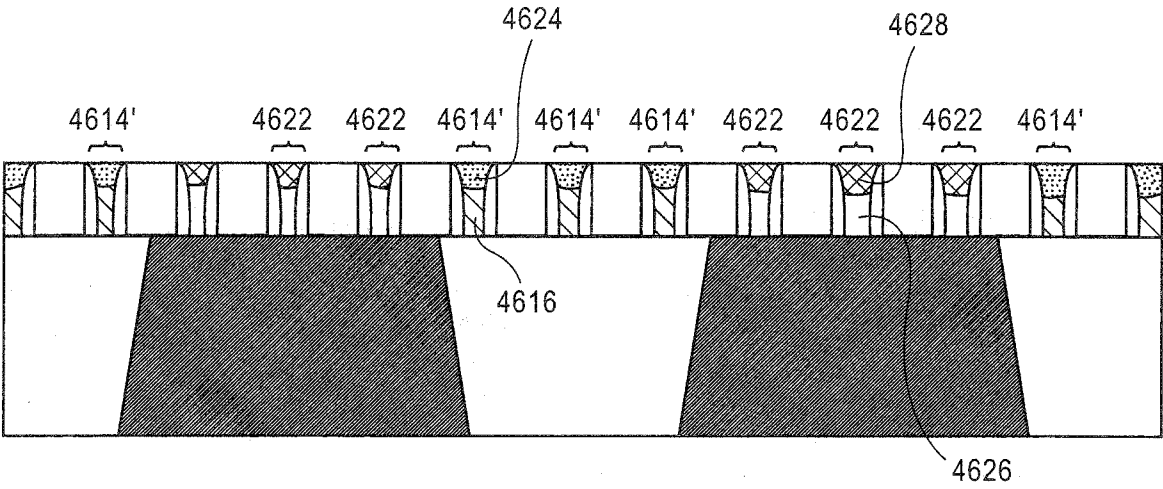
【圖 45B】



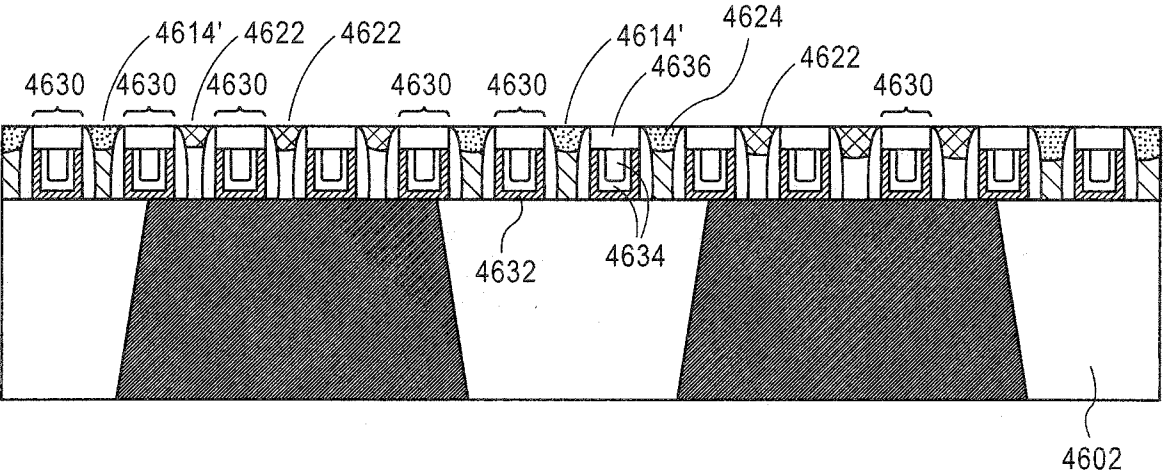
【圖 46A】



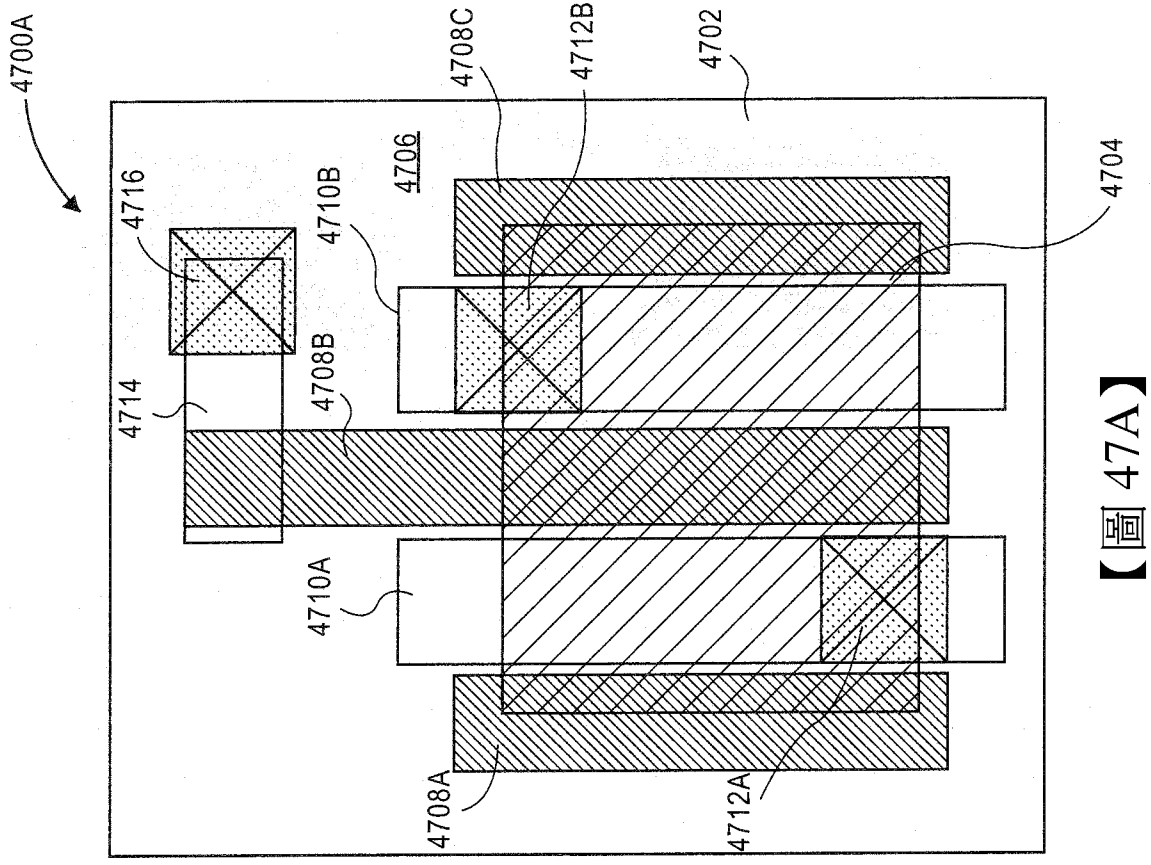
【圖 46B】



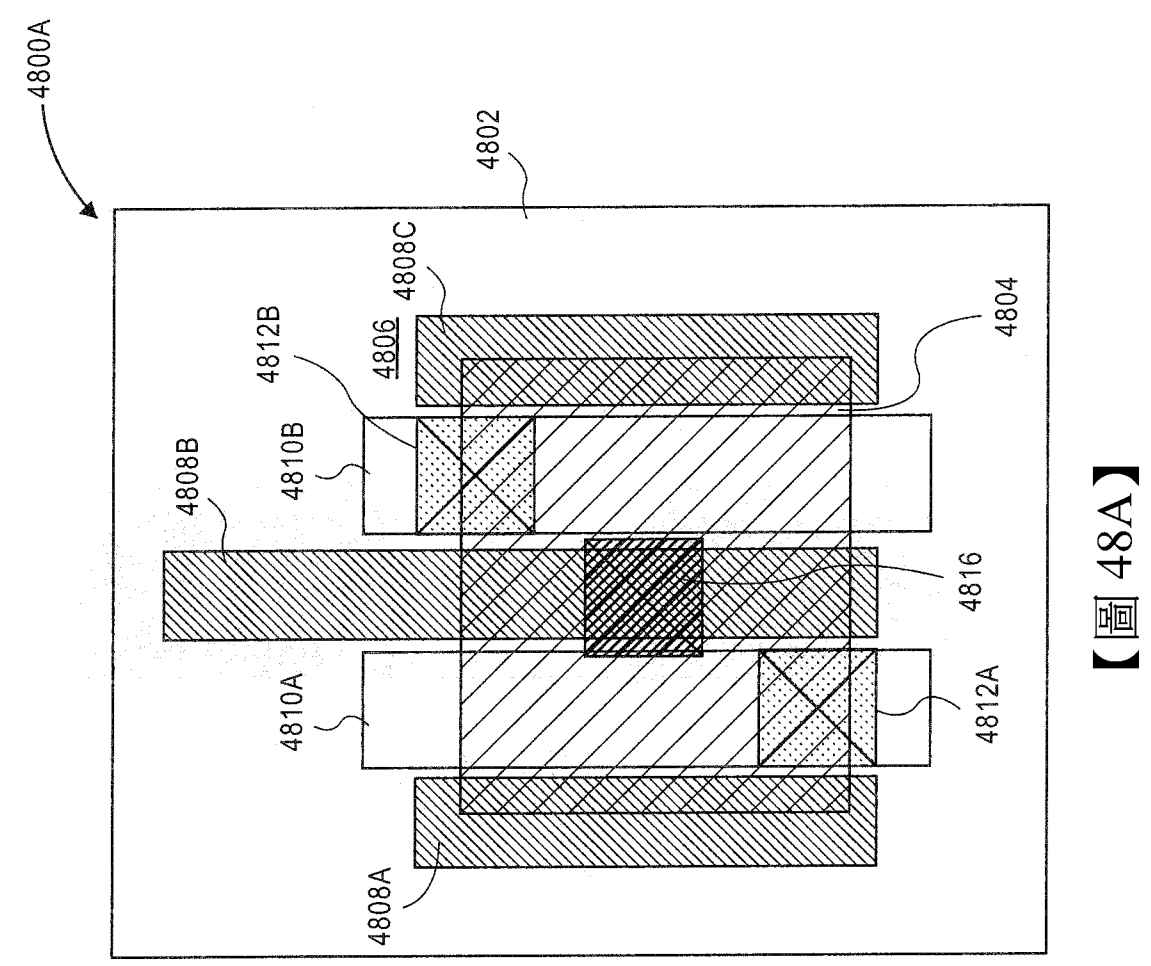
【圖 46C】



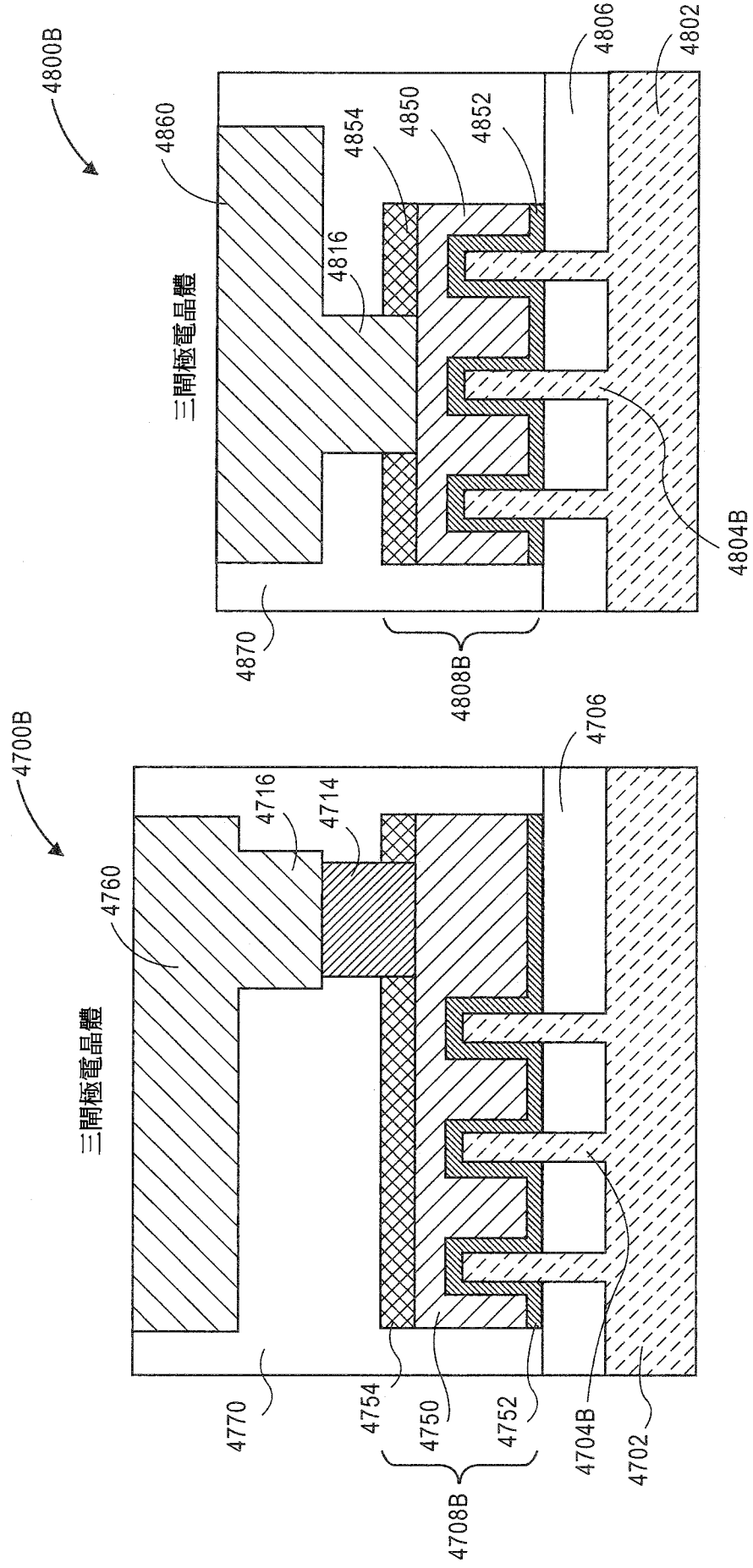
【圖 46D】



【圖 47A】



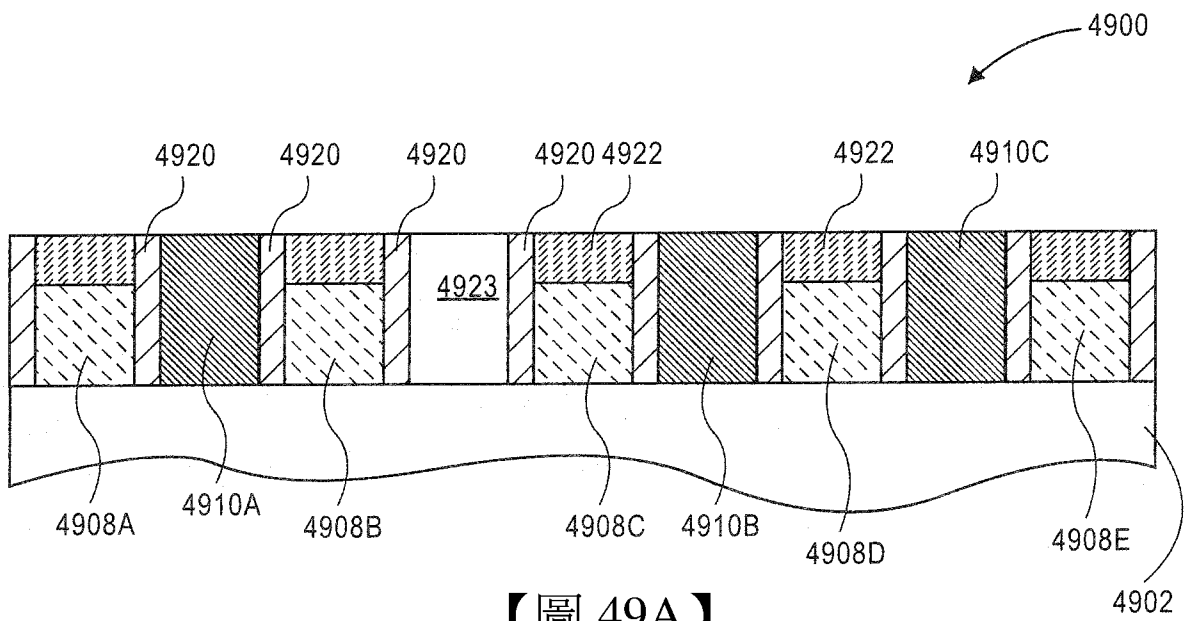
【圖 48A】



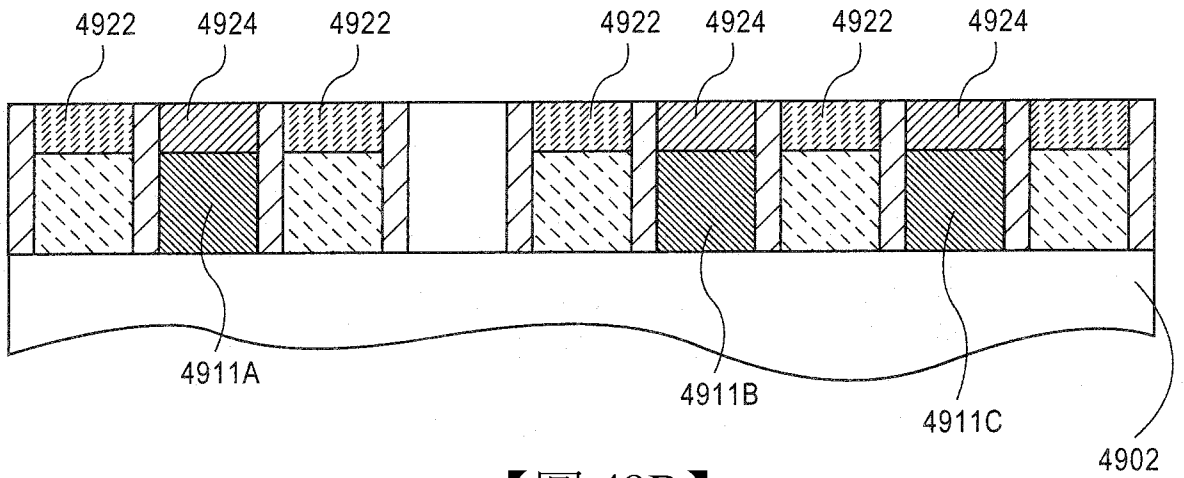
【圖 48B】

【圖 47B】

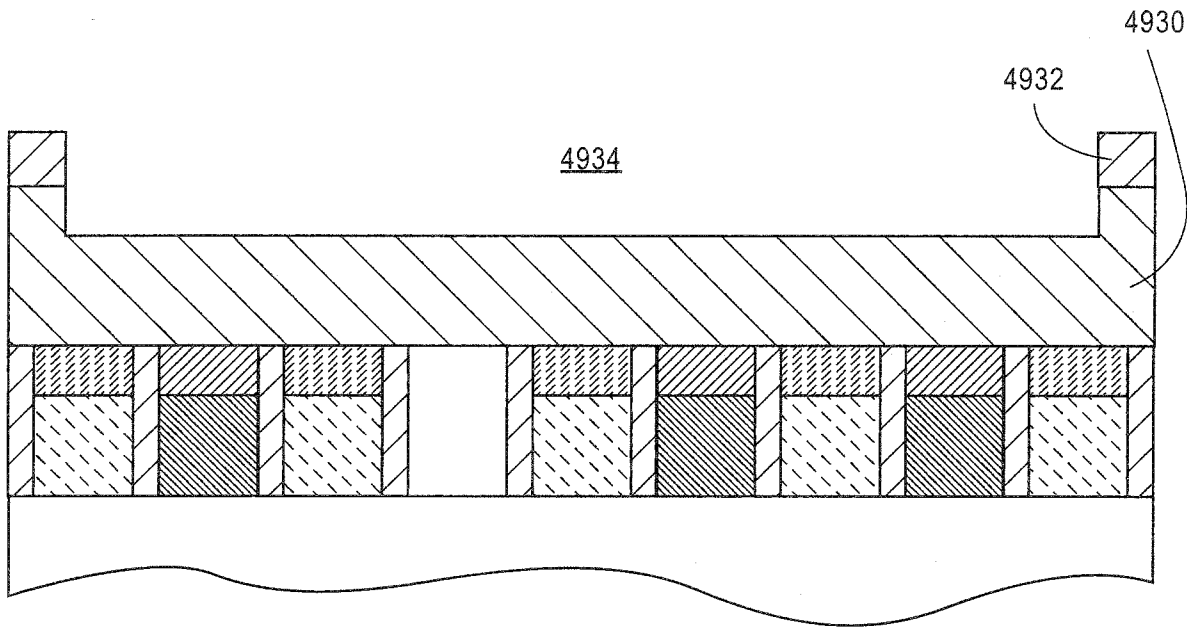




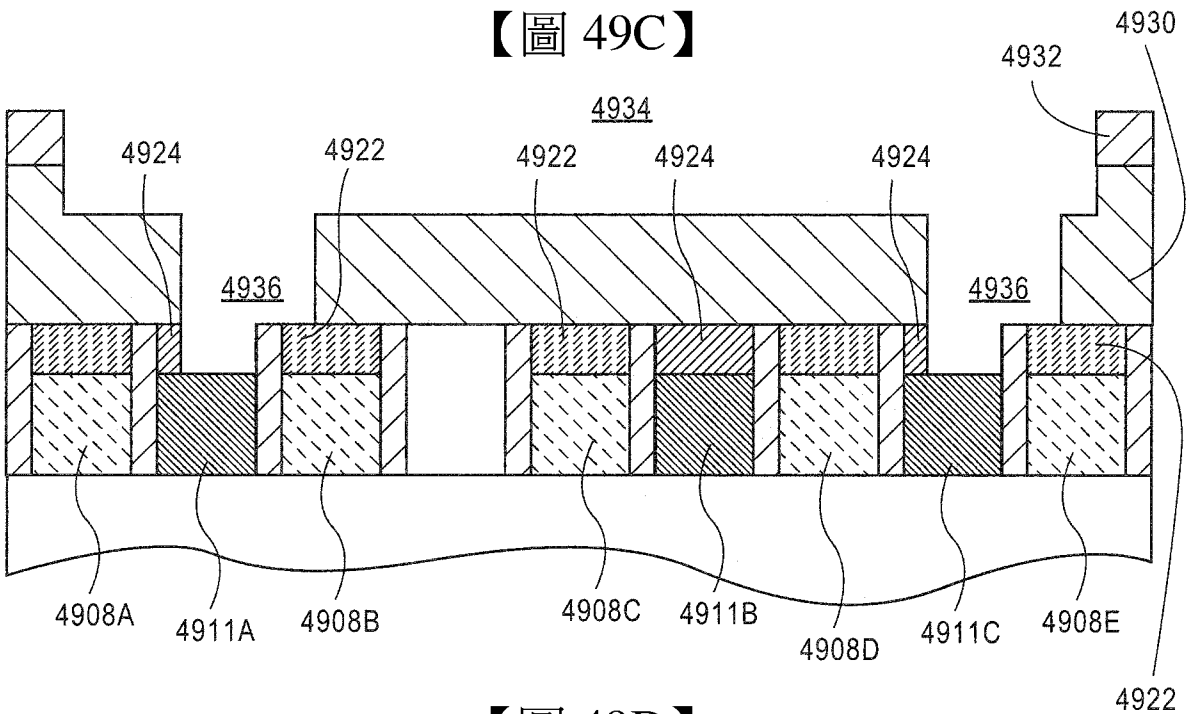
【圖 49A】



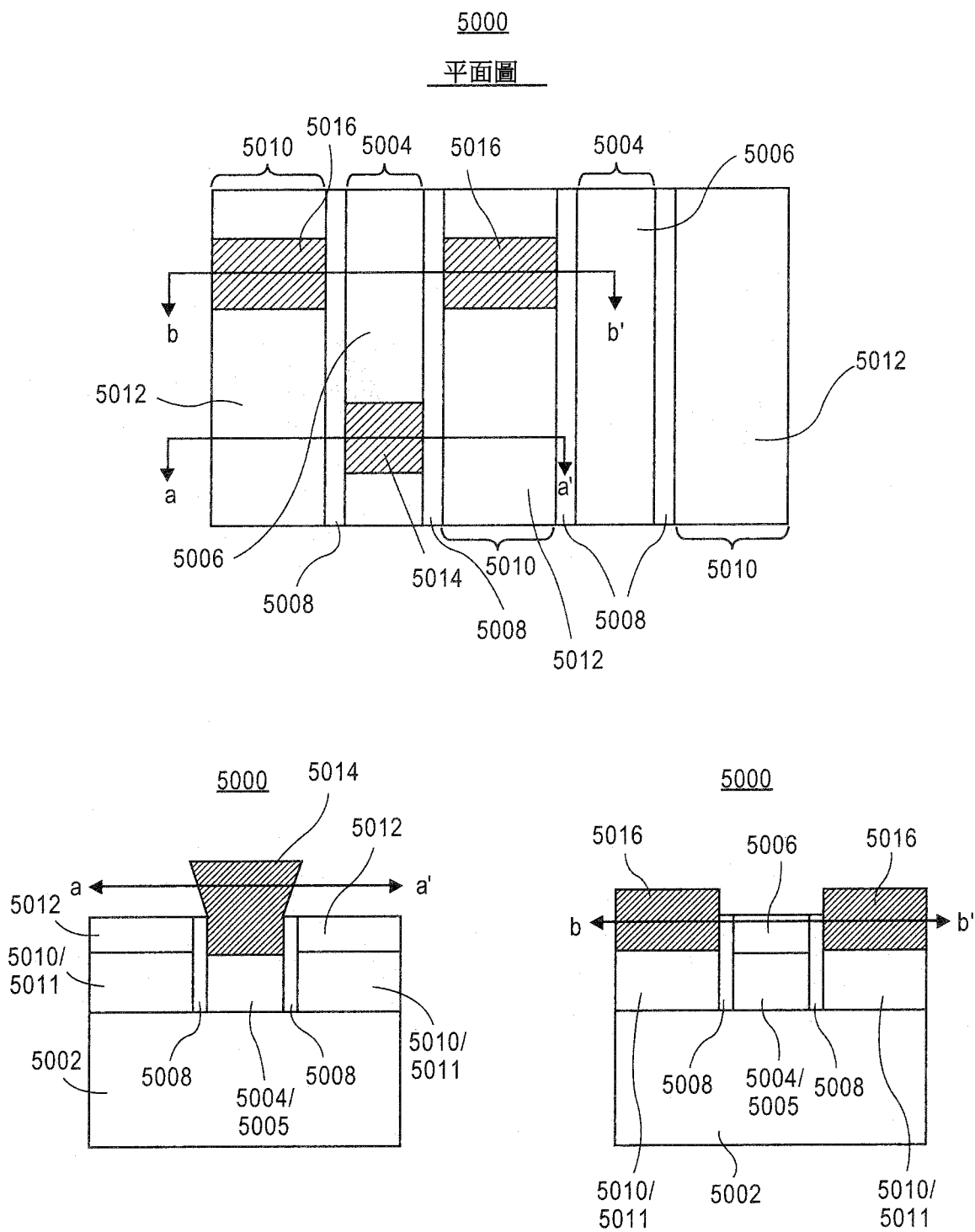
【圖 49B】



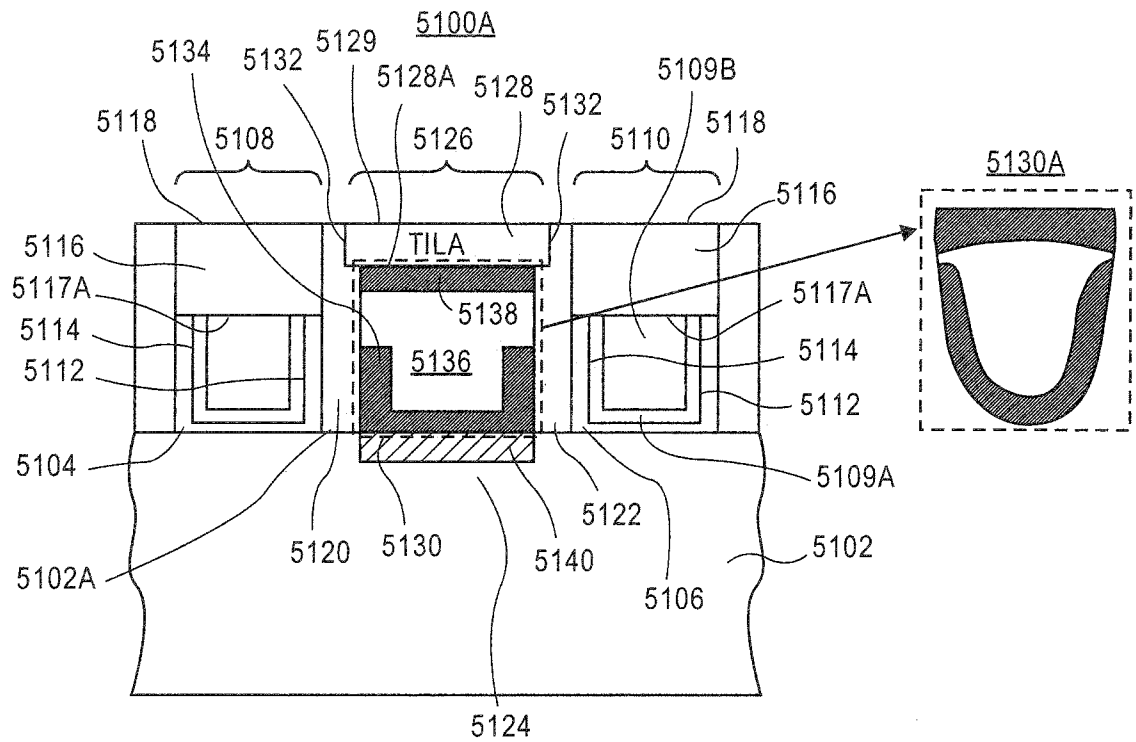
【圖 49C】



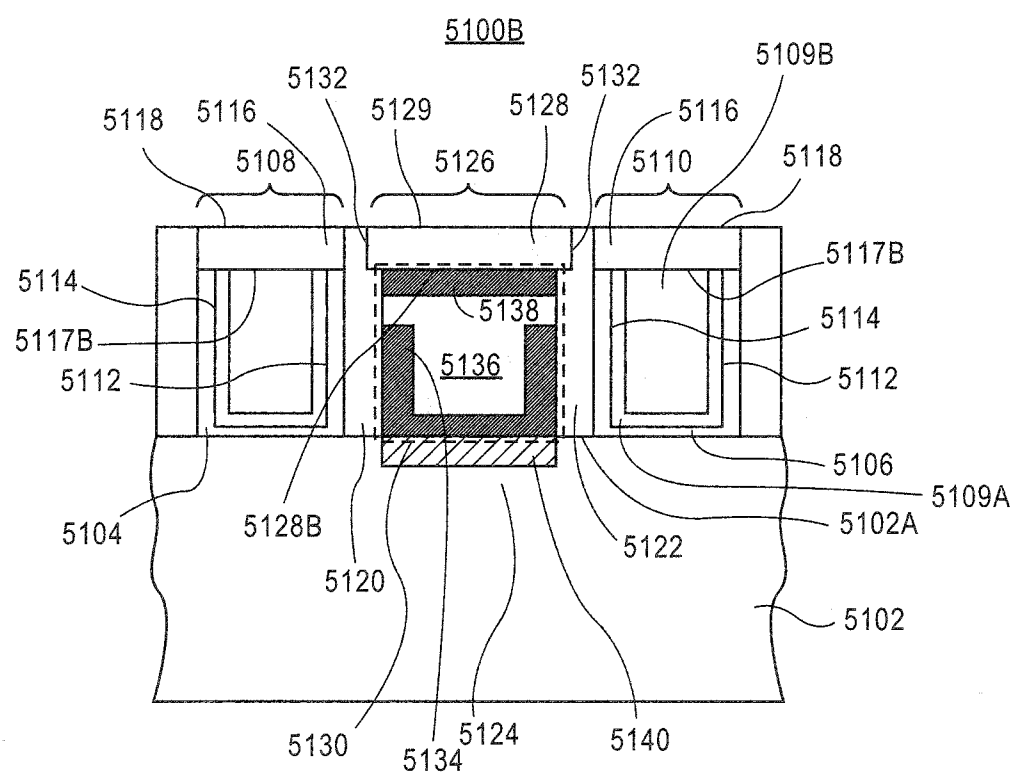
【圖 49D】



【圖 50】



【圖 51A】



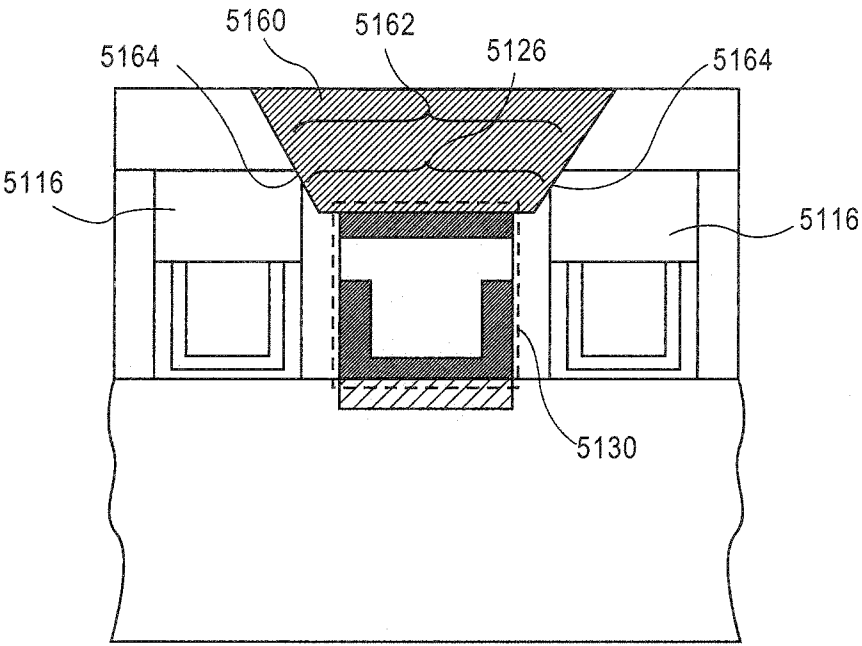
【圖 51B】



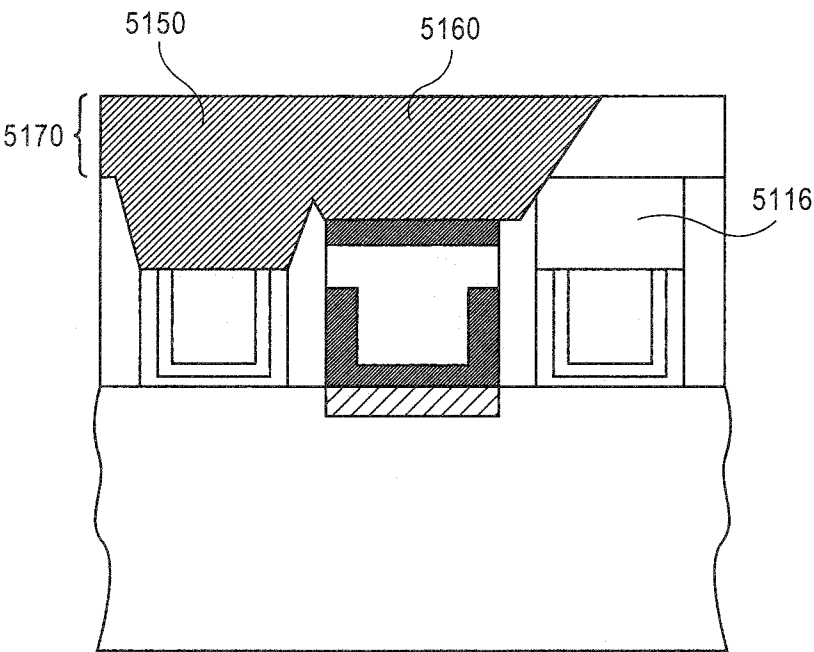
第 82 頁，共 121 頁(發明圖式)



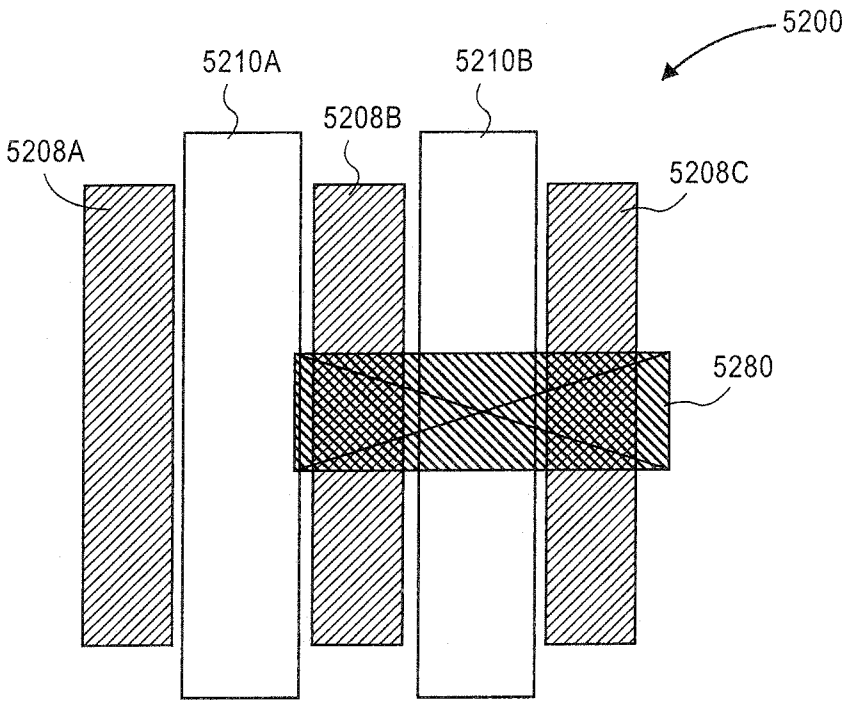
第 82 頁，共 121 頁(發明圖式)



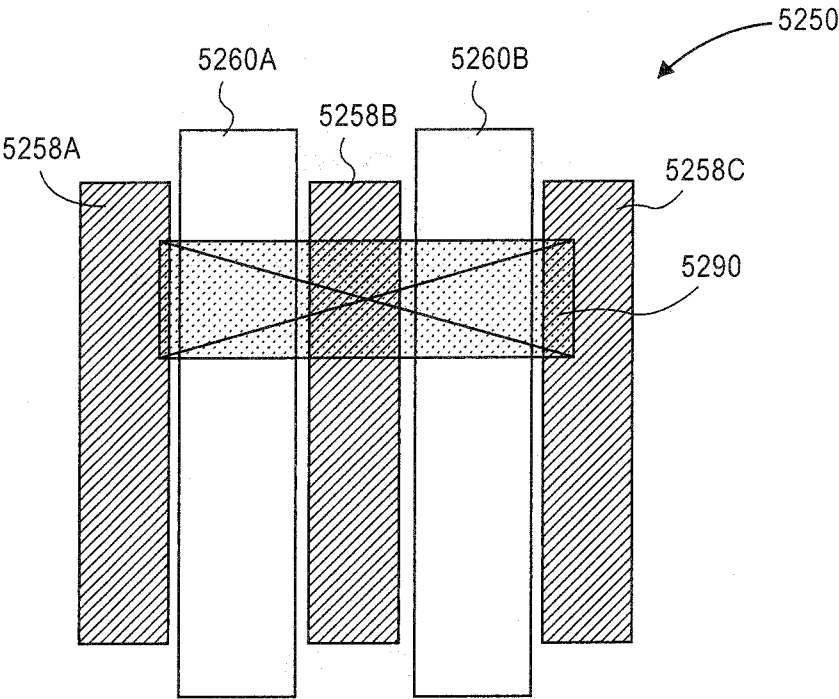
【圖 51E】



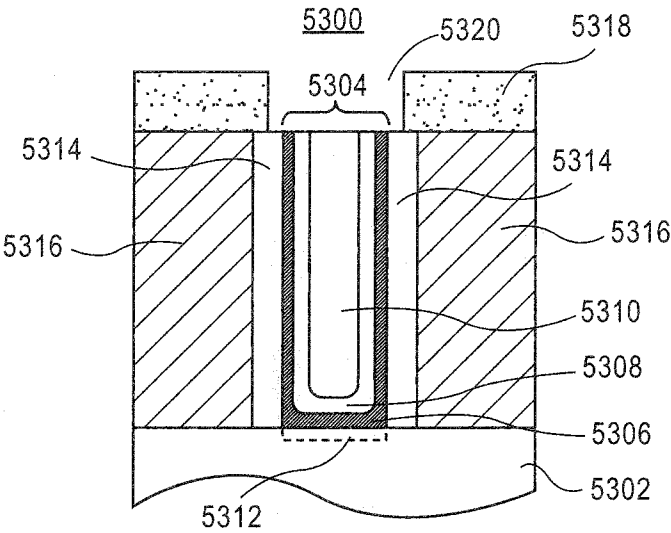
【圖 51F】



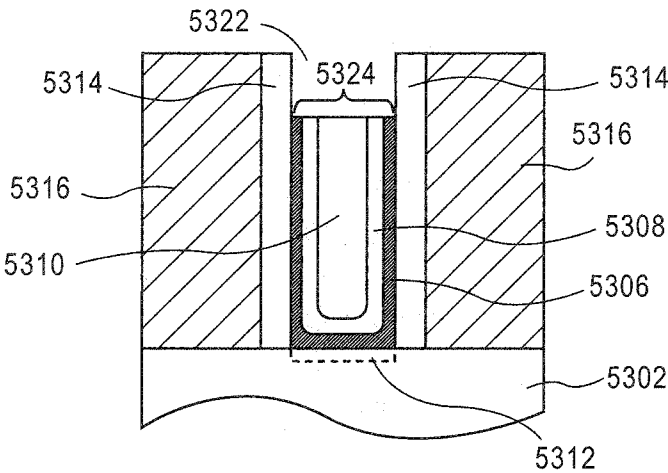
【圖 52A】



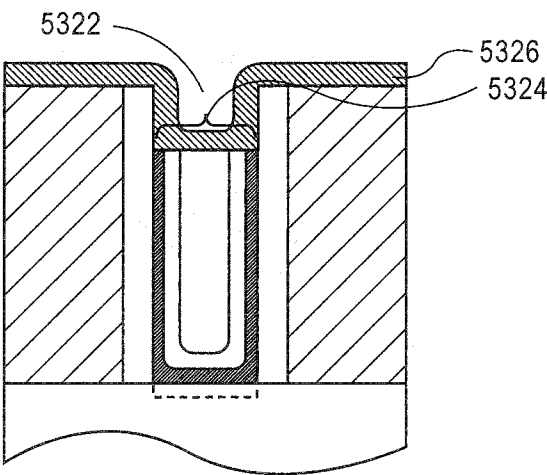
【圖 52B】



【圖 53A】

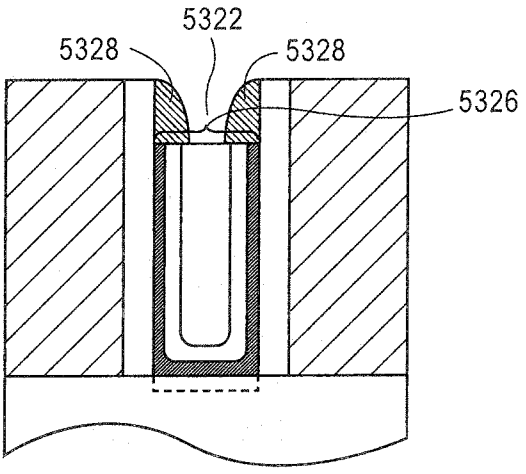


【圖 53B】

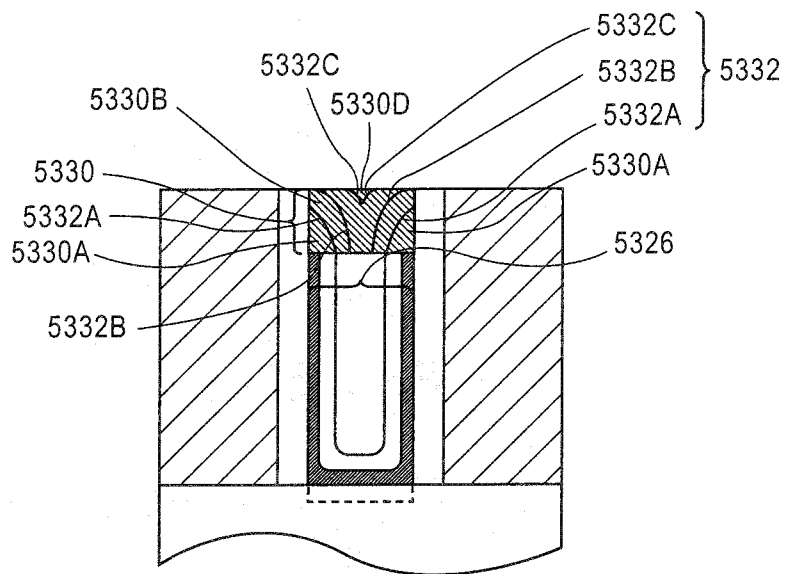


【圖 53C】

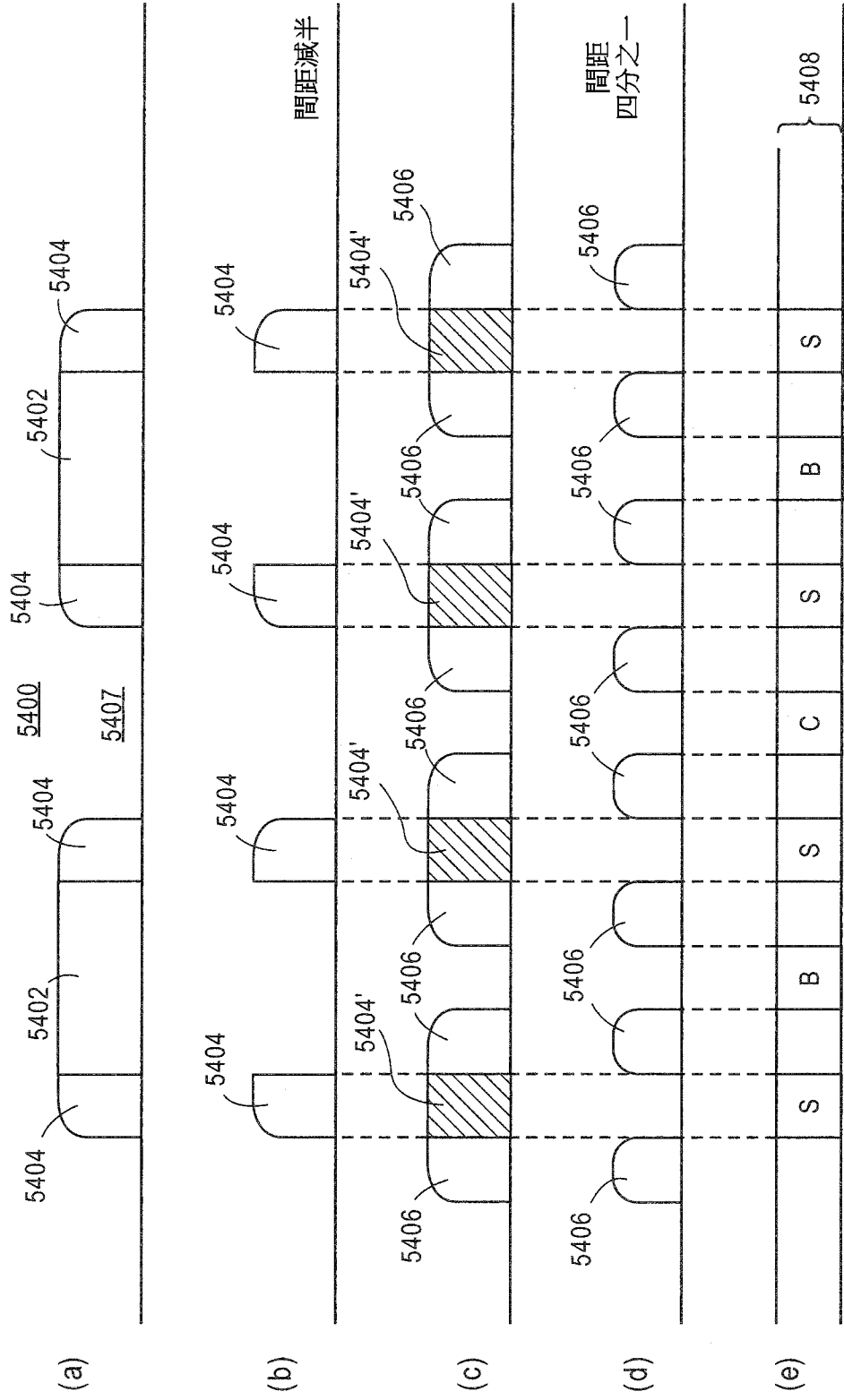




【圖 53D】

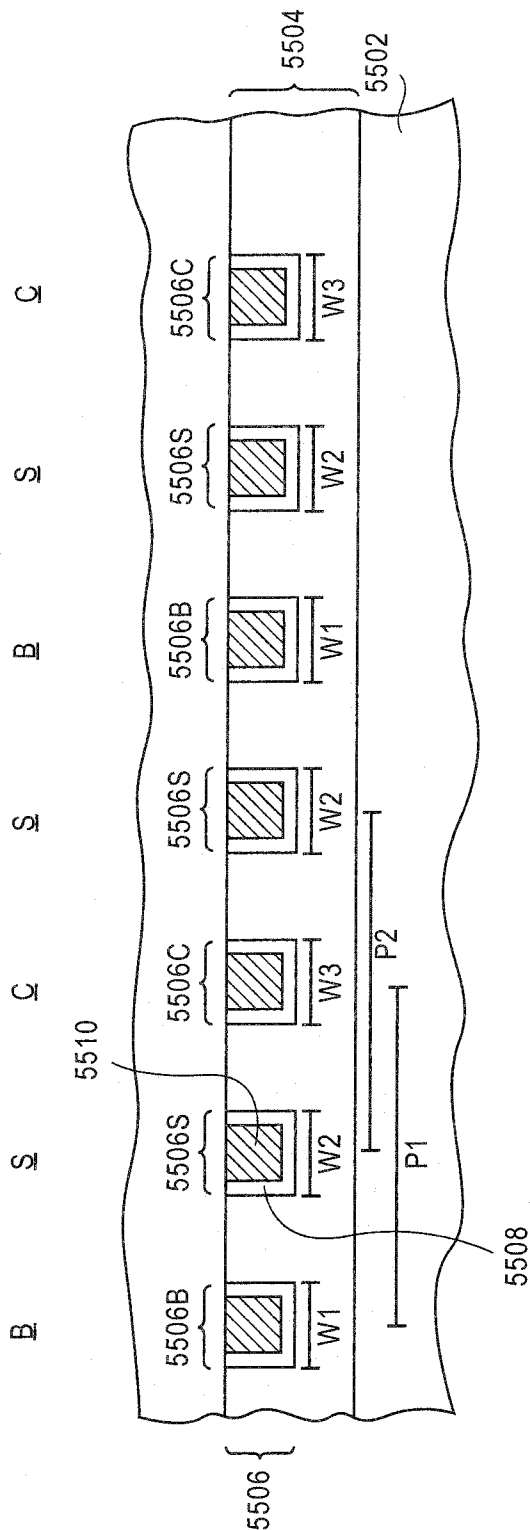


【圖 53E】

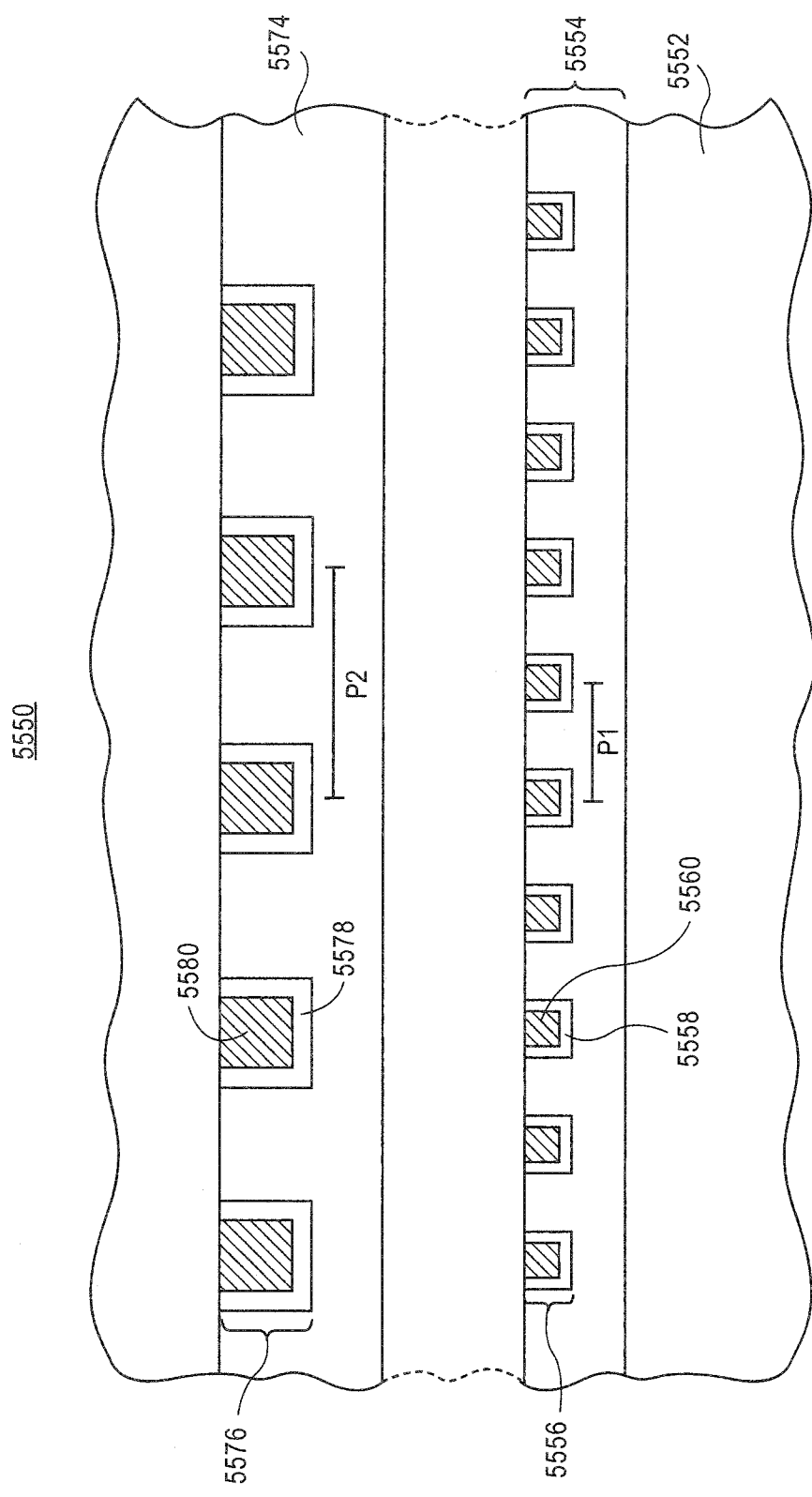


【圖 54】

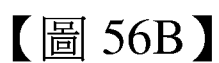
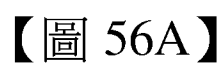
5500

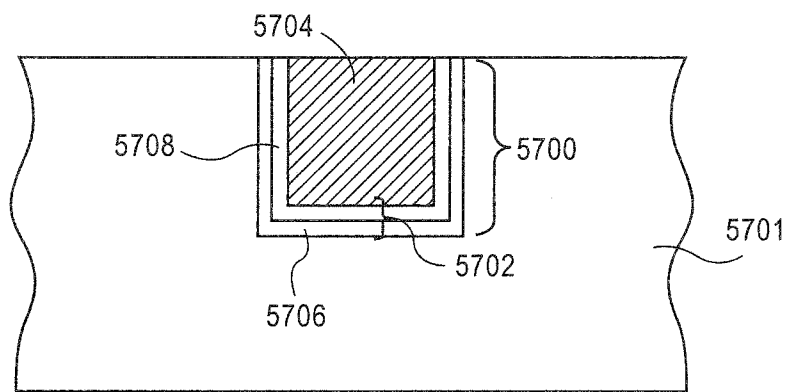


【圖 55A】

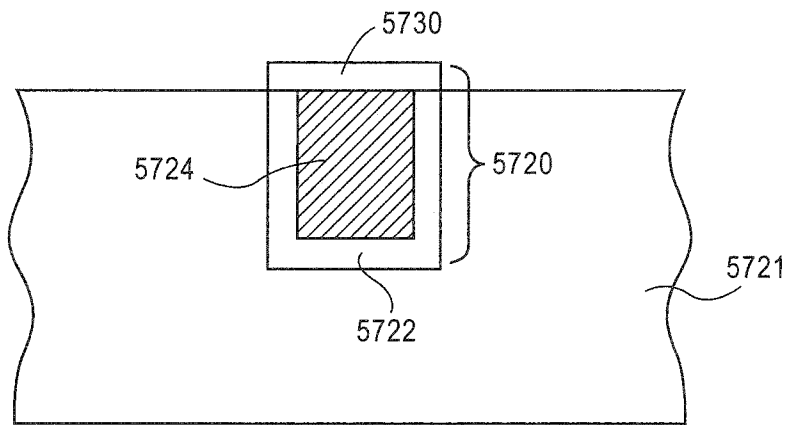


【圖 55B】

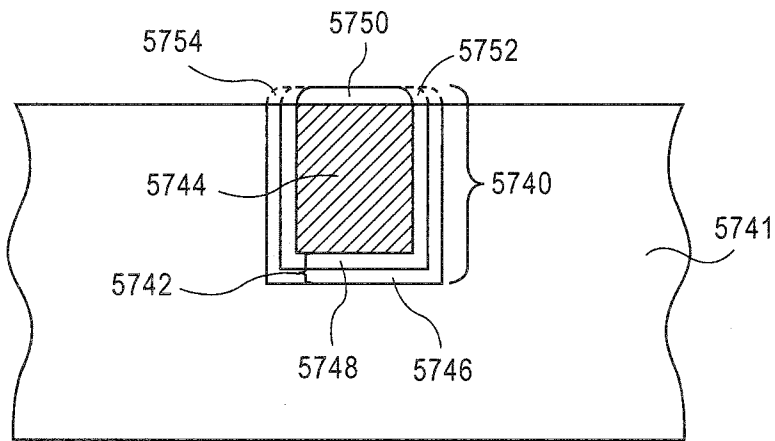




【圖 57A】

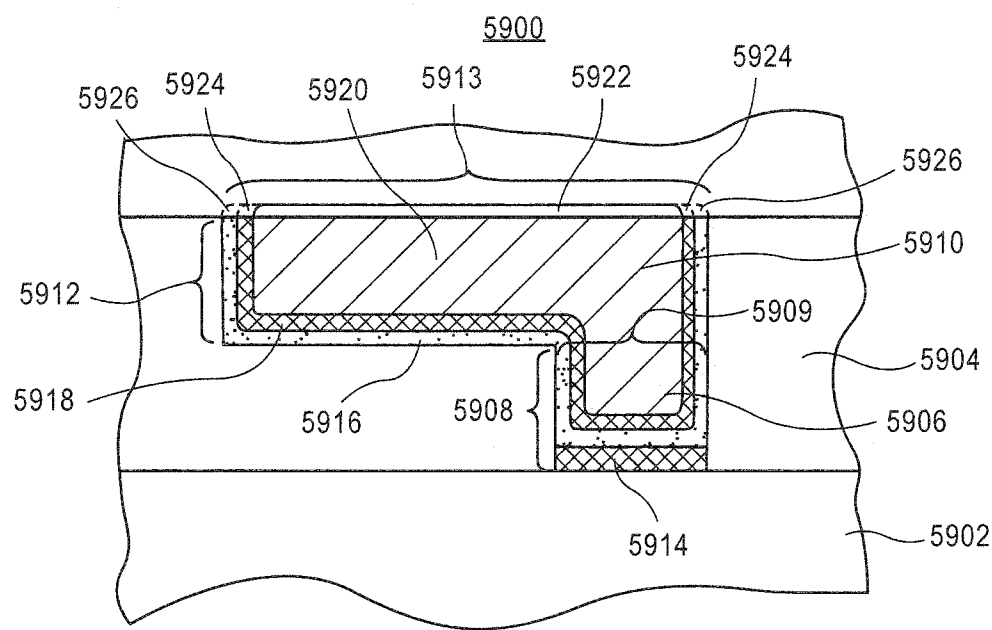


【圖 57B】

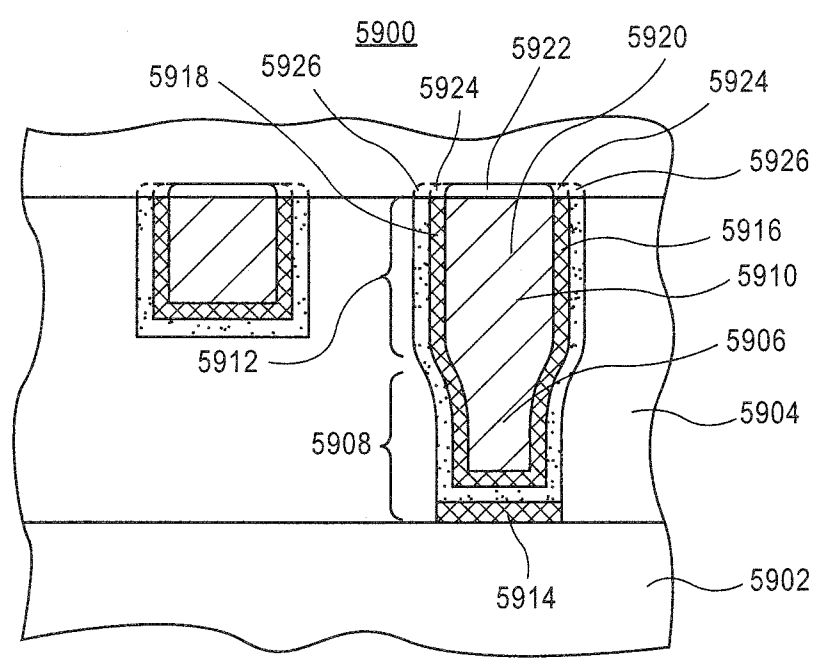


【圖 57C】



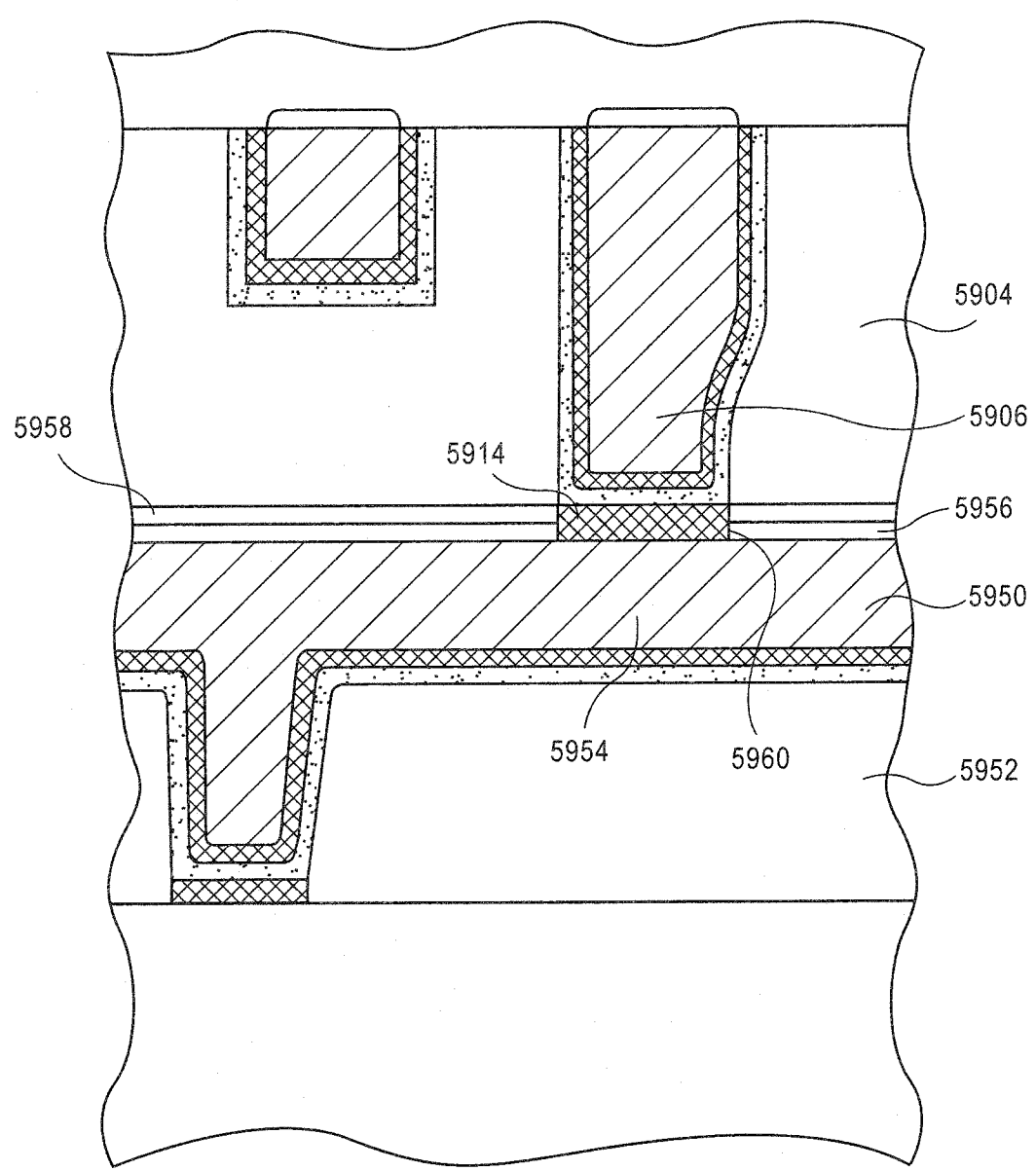


【圖 59A】

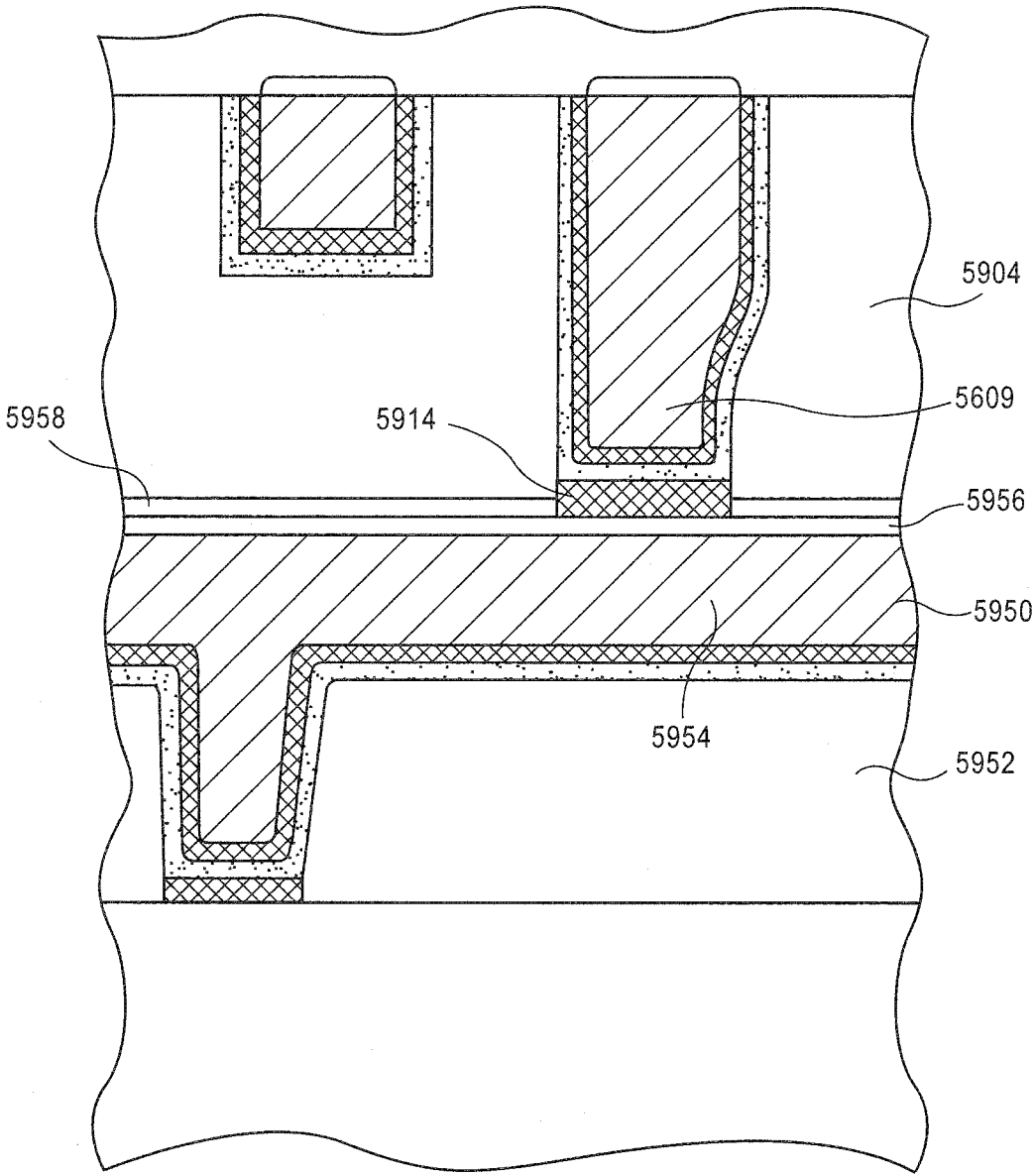


【圖 59B】

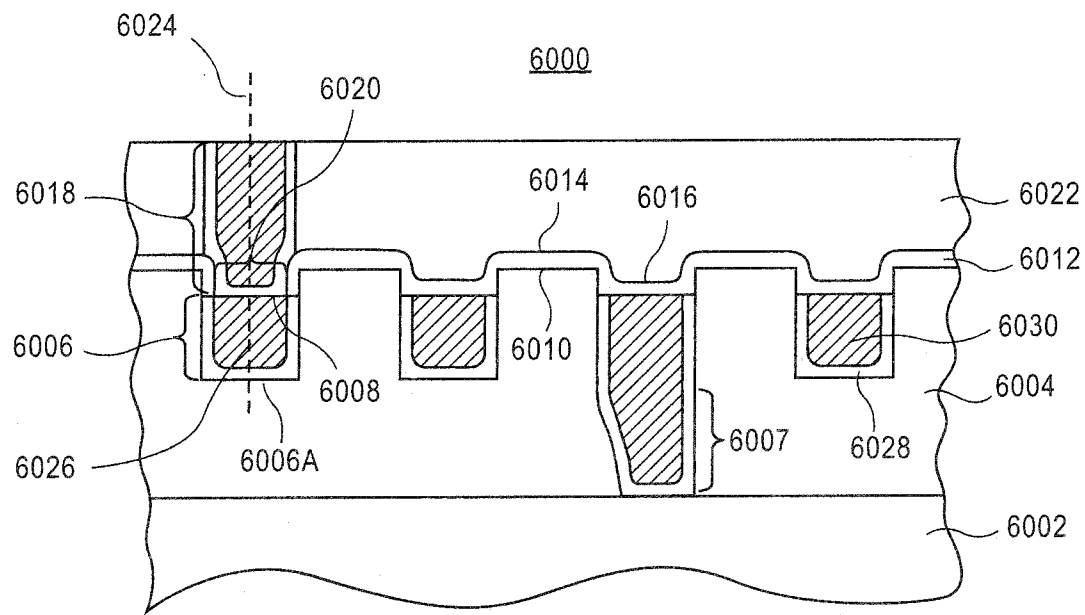




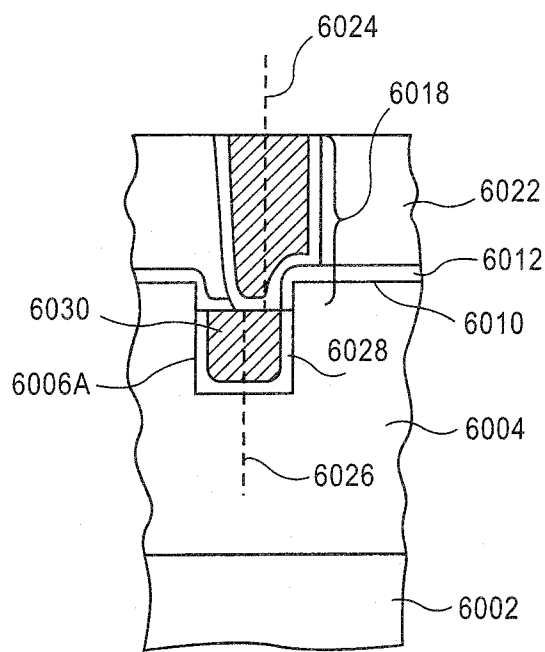
【圖 59C】



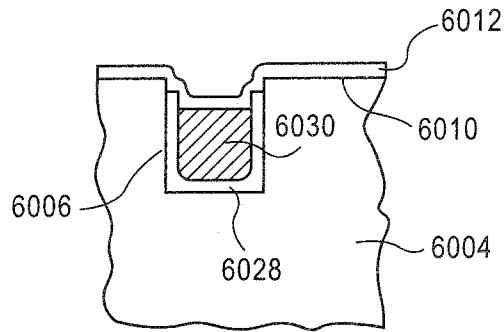
【圖 59D】



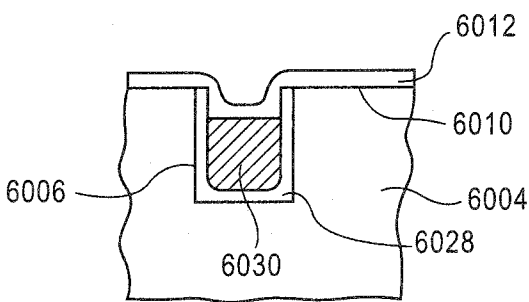
【圖 60A】



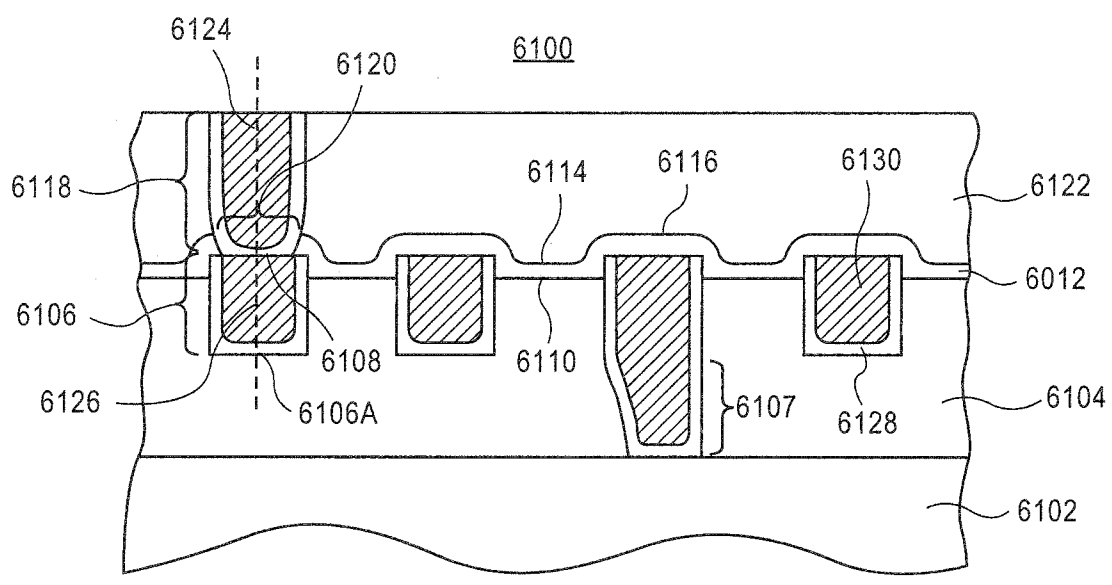
【圖 60B】



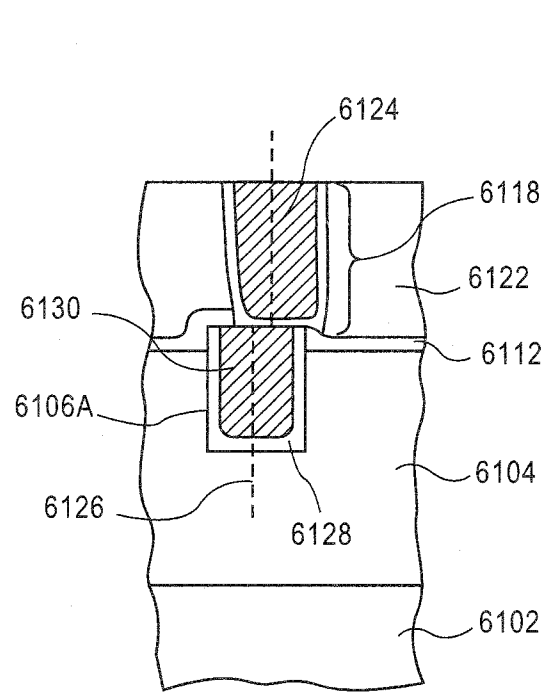
【圖 60C】



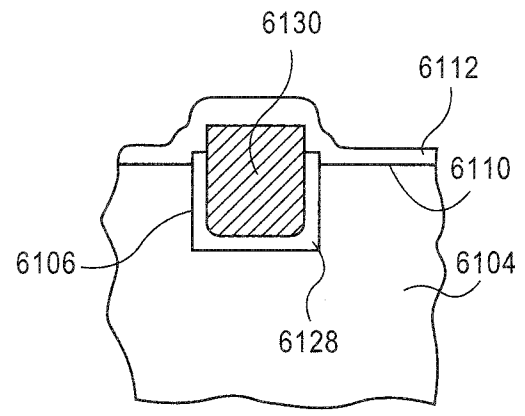
【圖 60D】



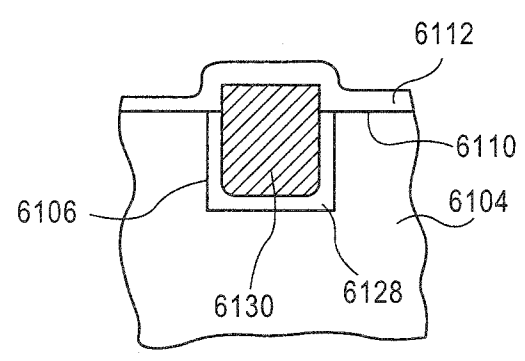
【圖 61A】



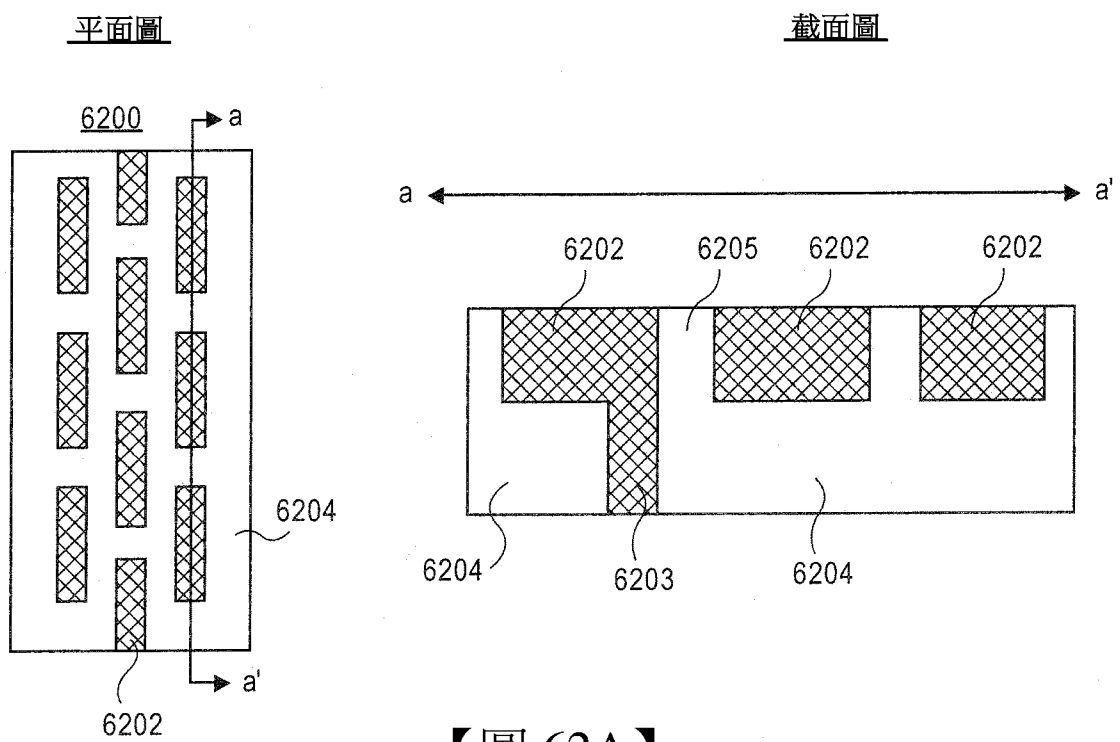
【圖 61B】



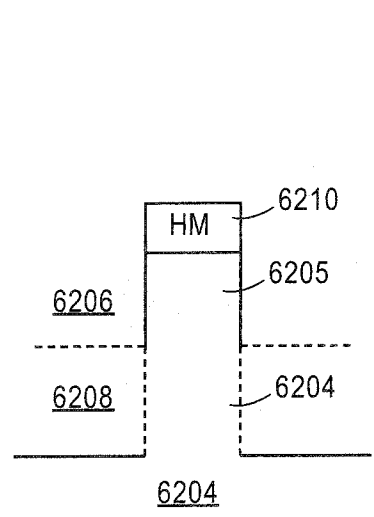
【圖 61C】



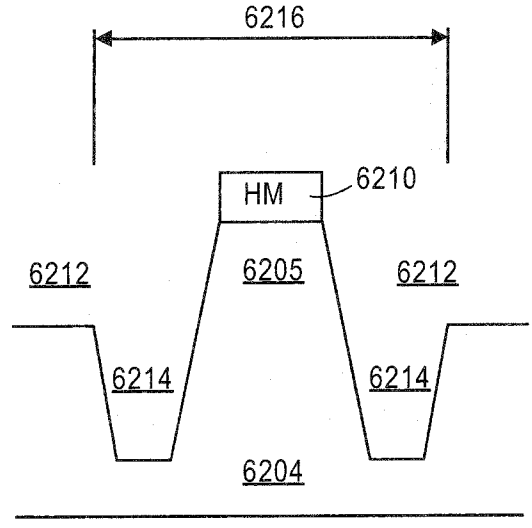
【圖 61D】



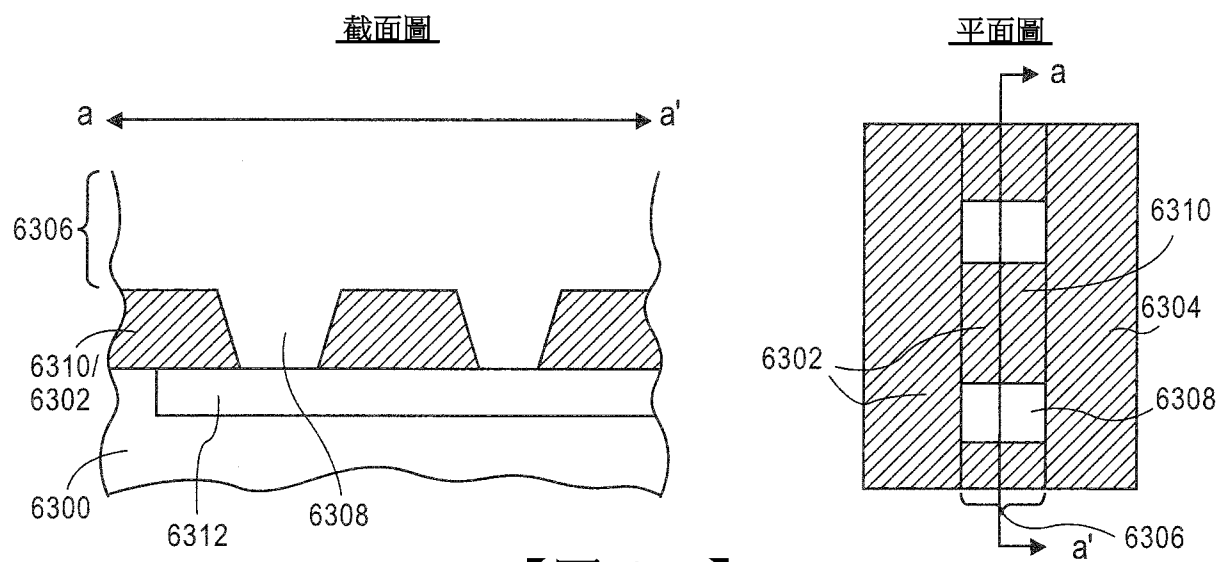
【圖 62A】



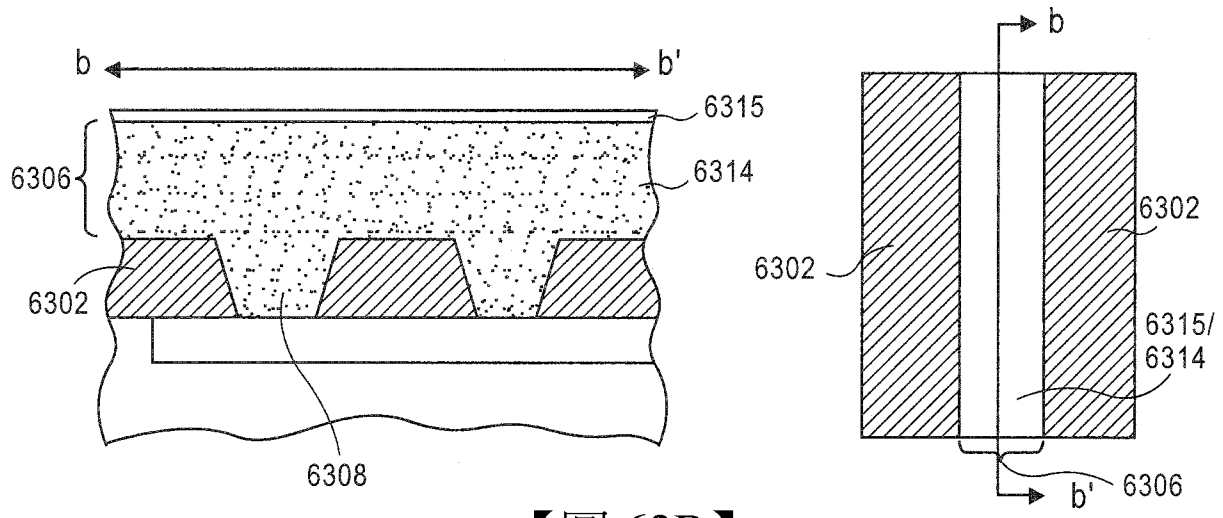
【圖 62B】



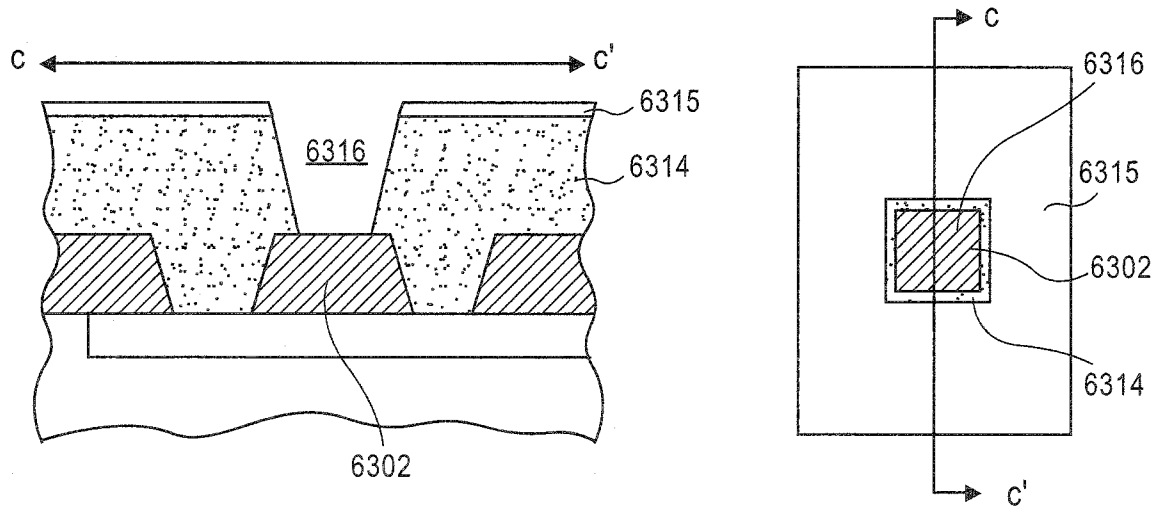
【圖 62C】



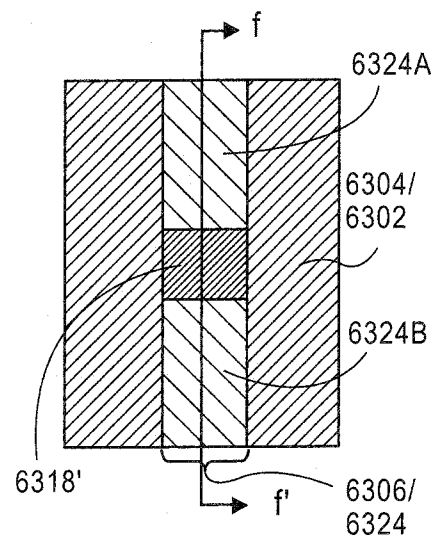
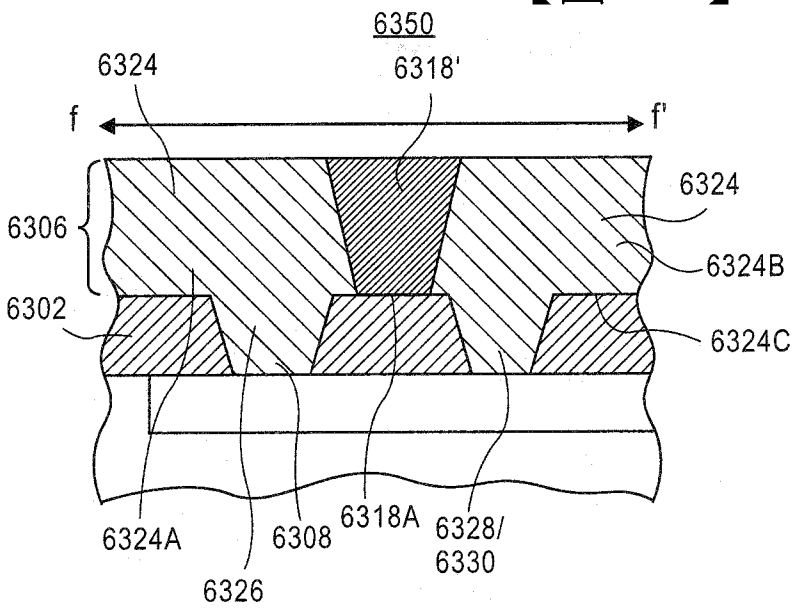
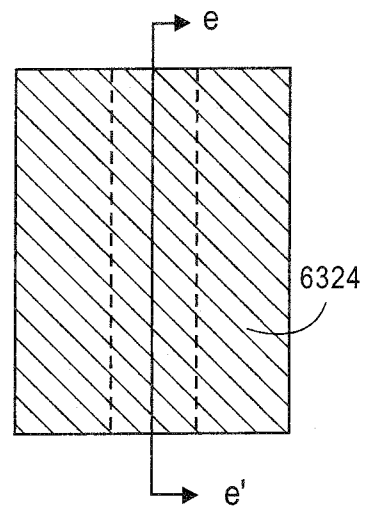
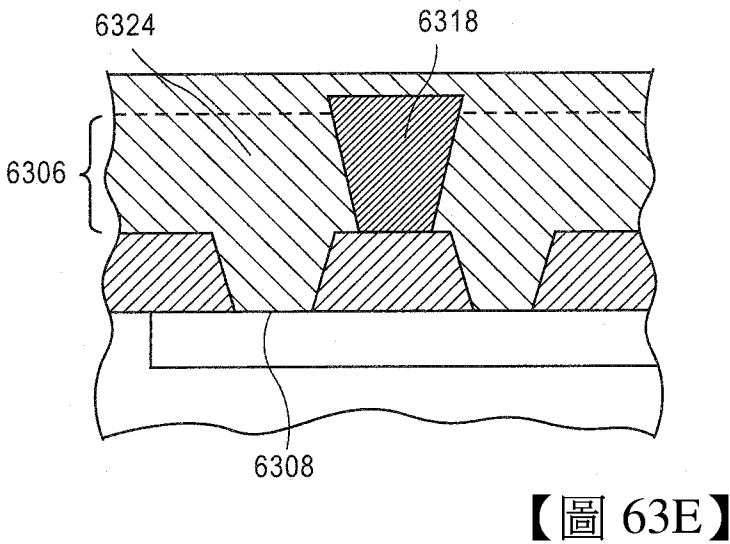
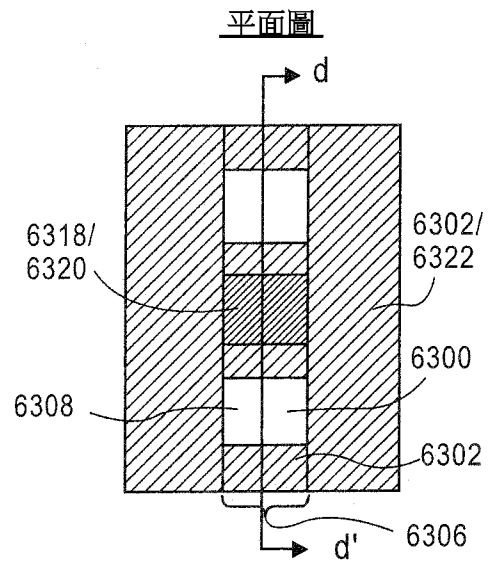
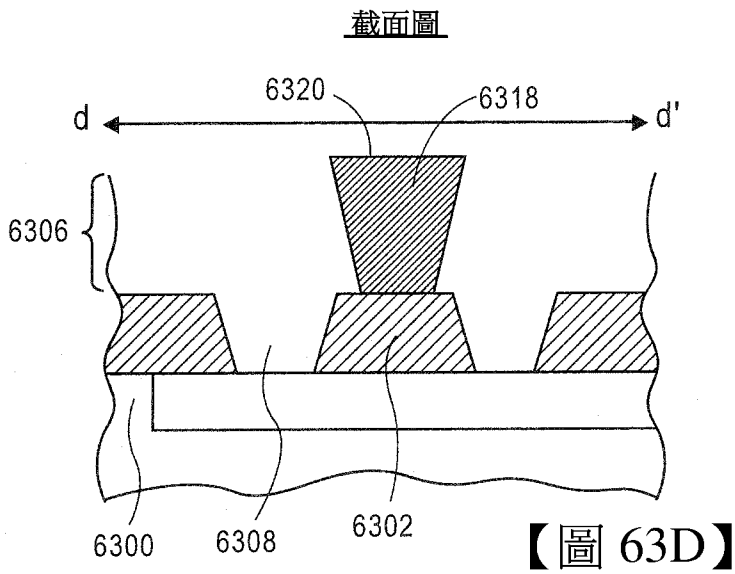
【圖 63A】

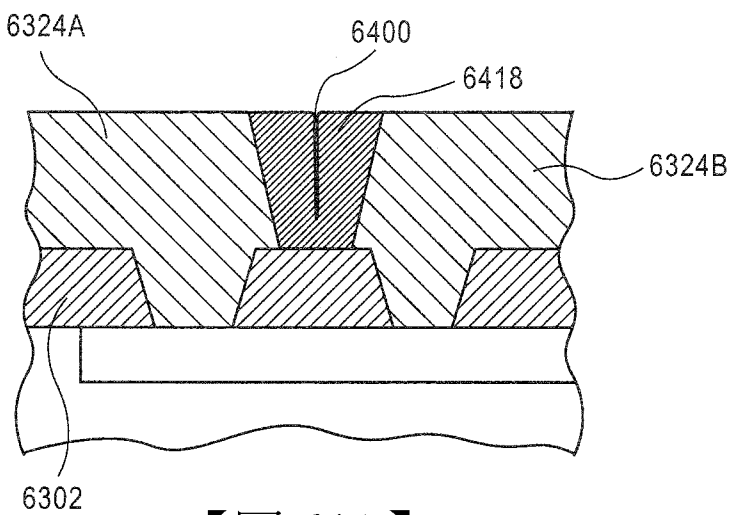


【圖 63B】

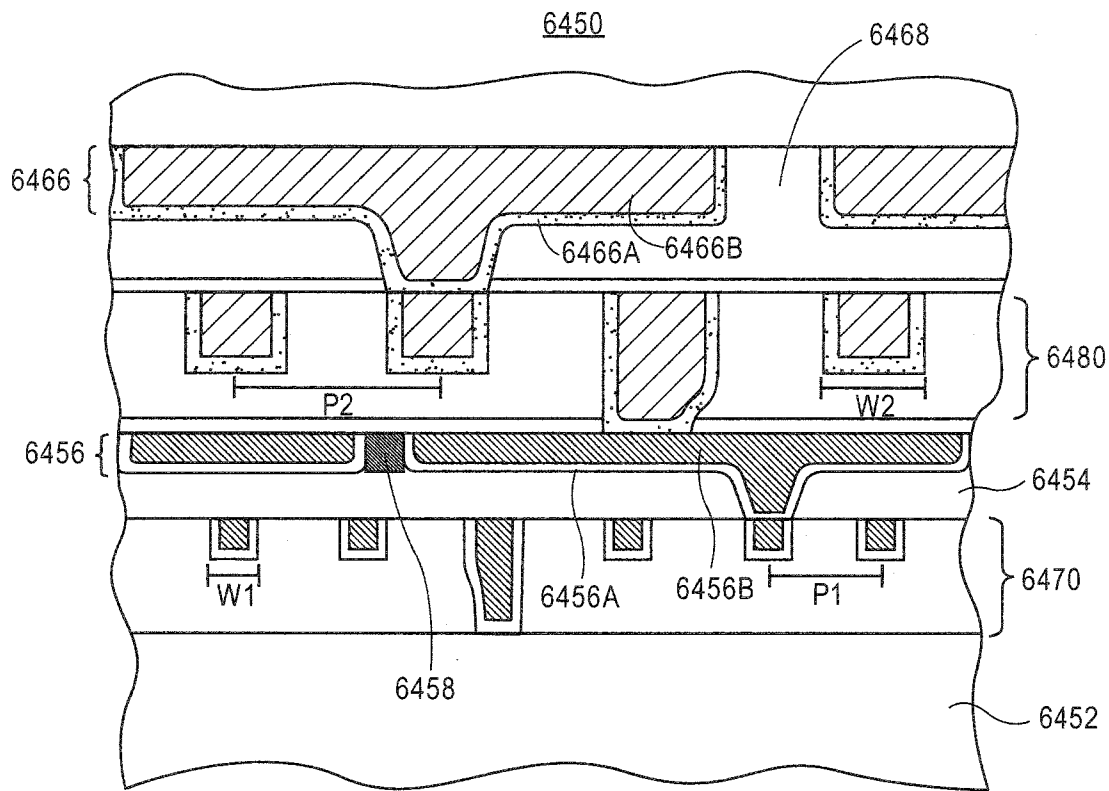


【圖 63C】



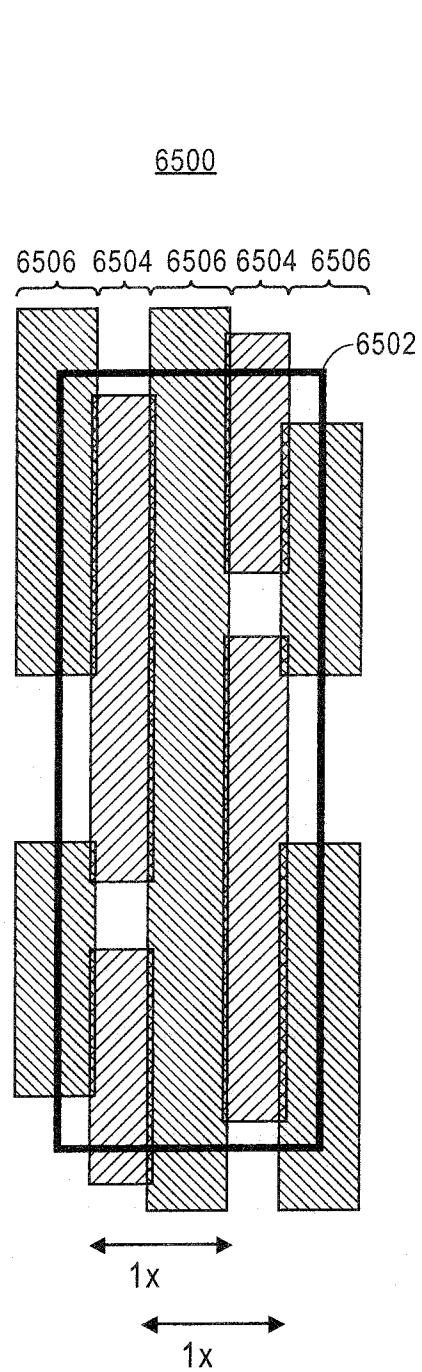


【圖 64A】

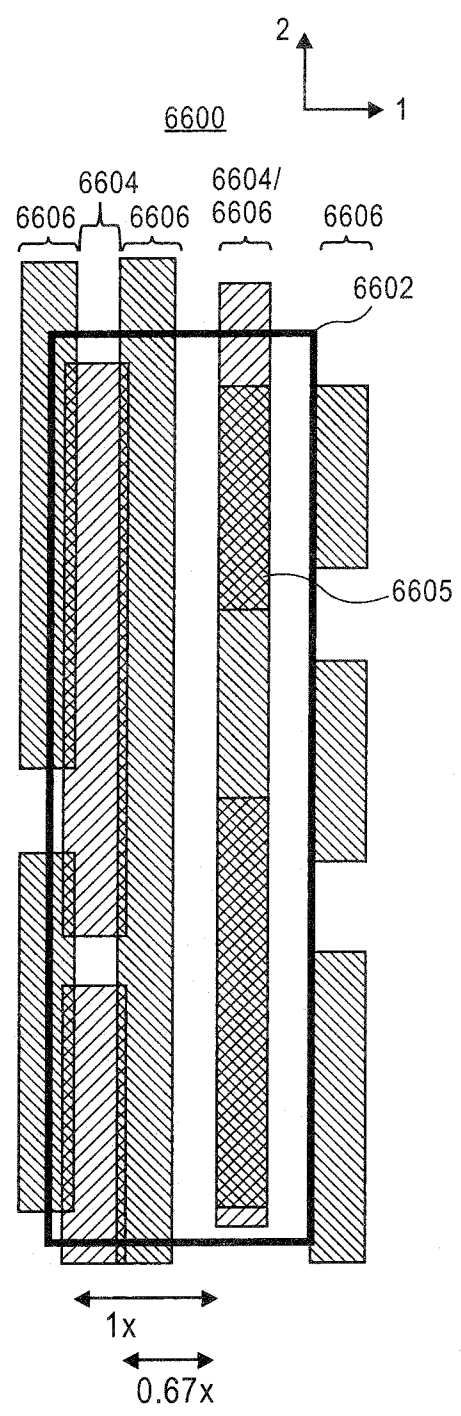


【圖 64B】

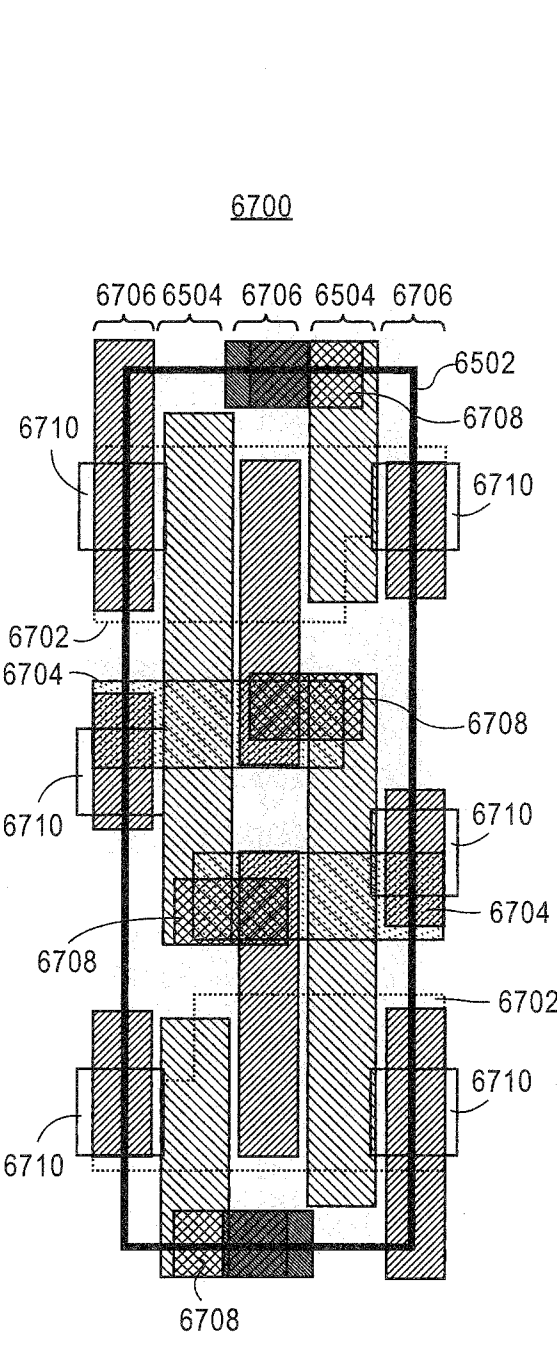




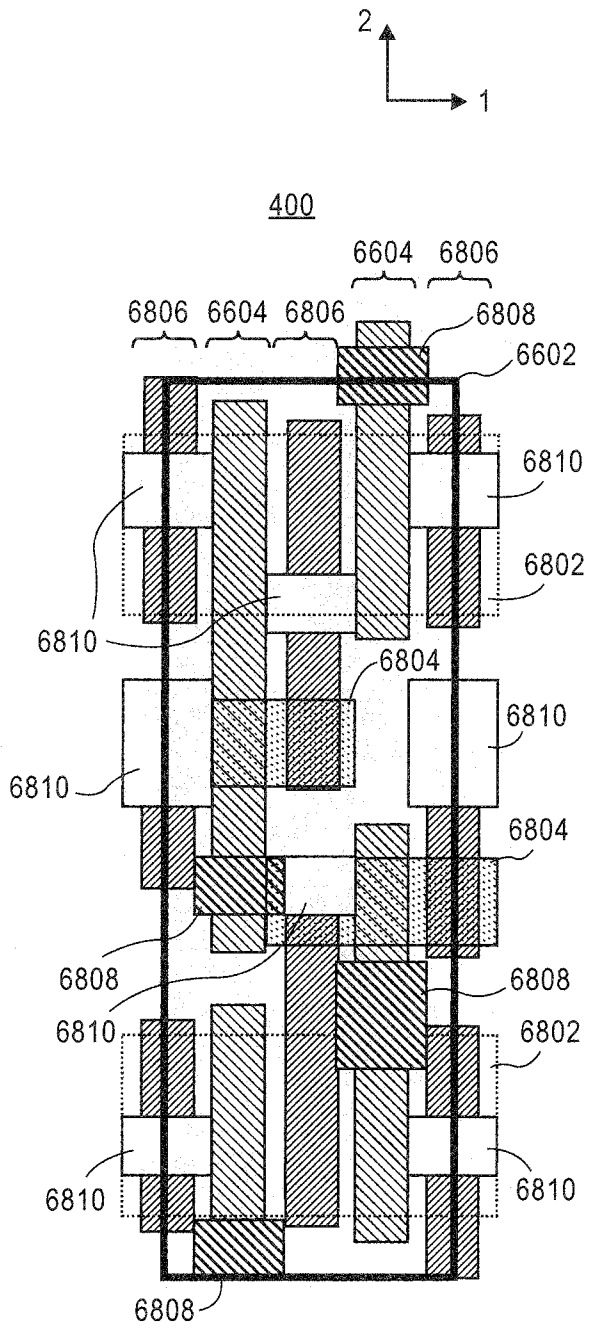
【圖 65】



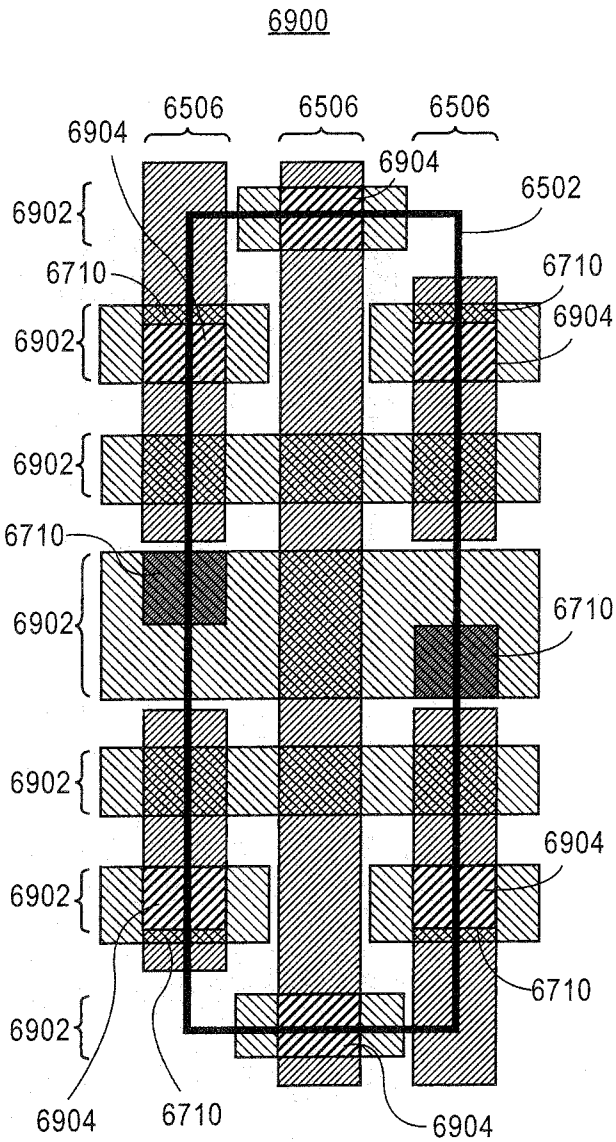
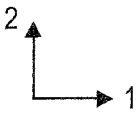
【圖 66】



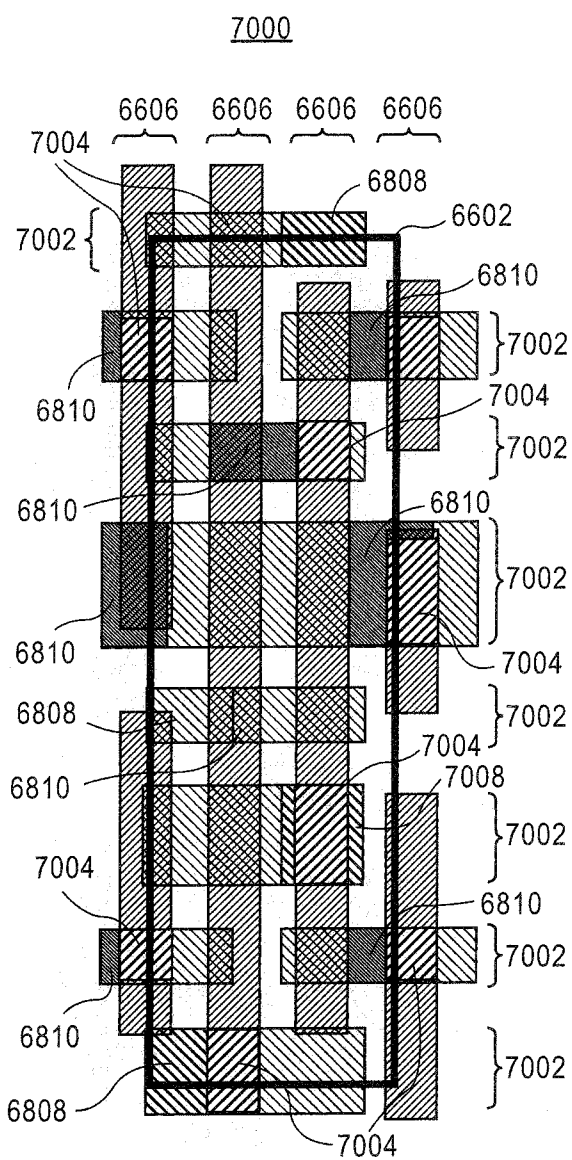
【圖 67】



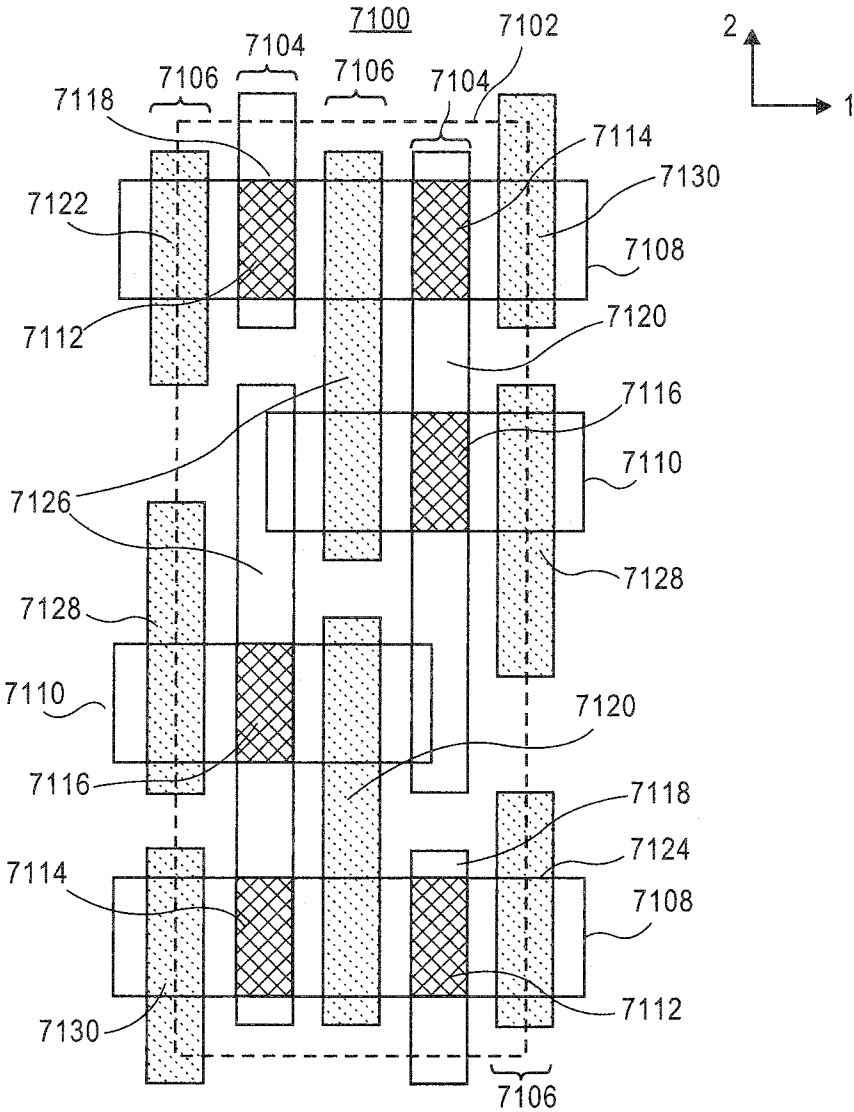
【圖 68】



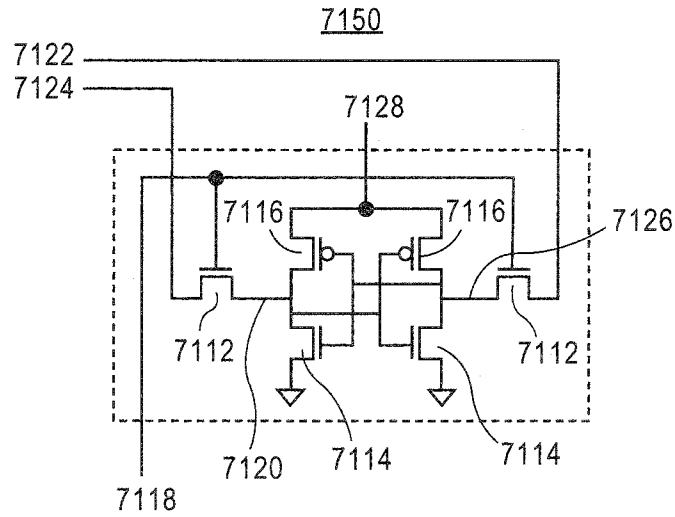
【圖 69】



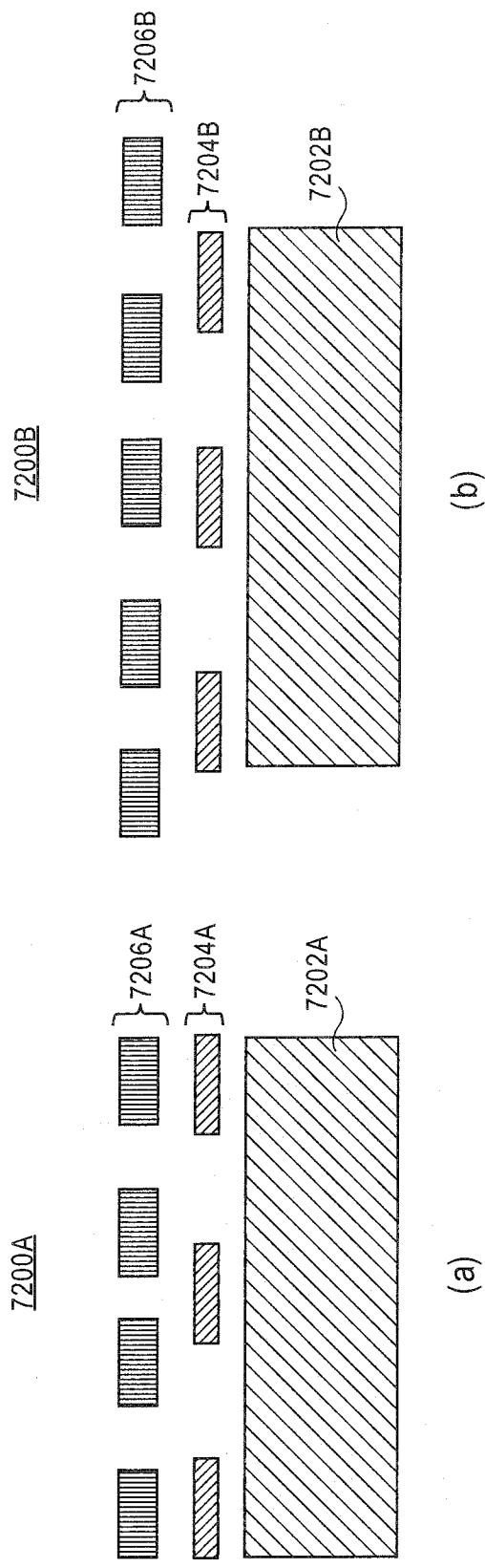
【圖 70】



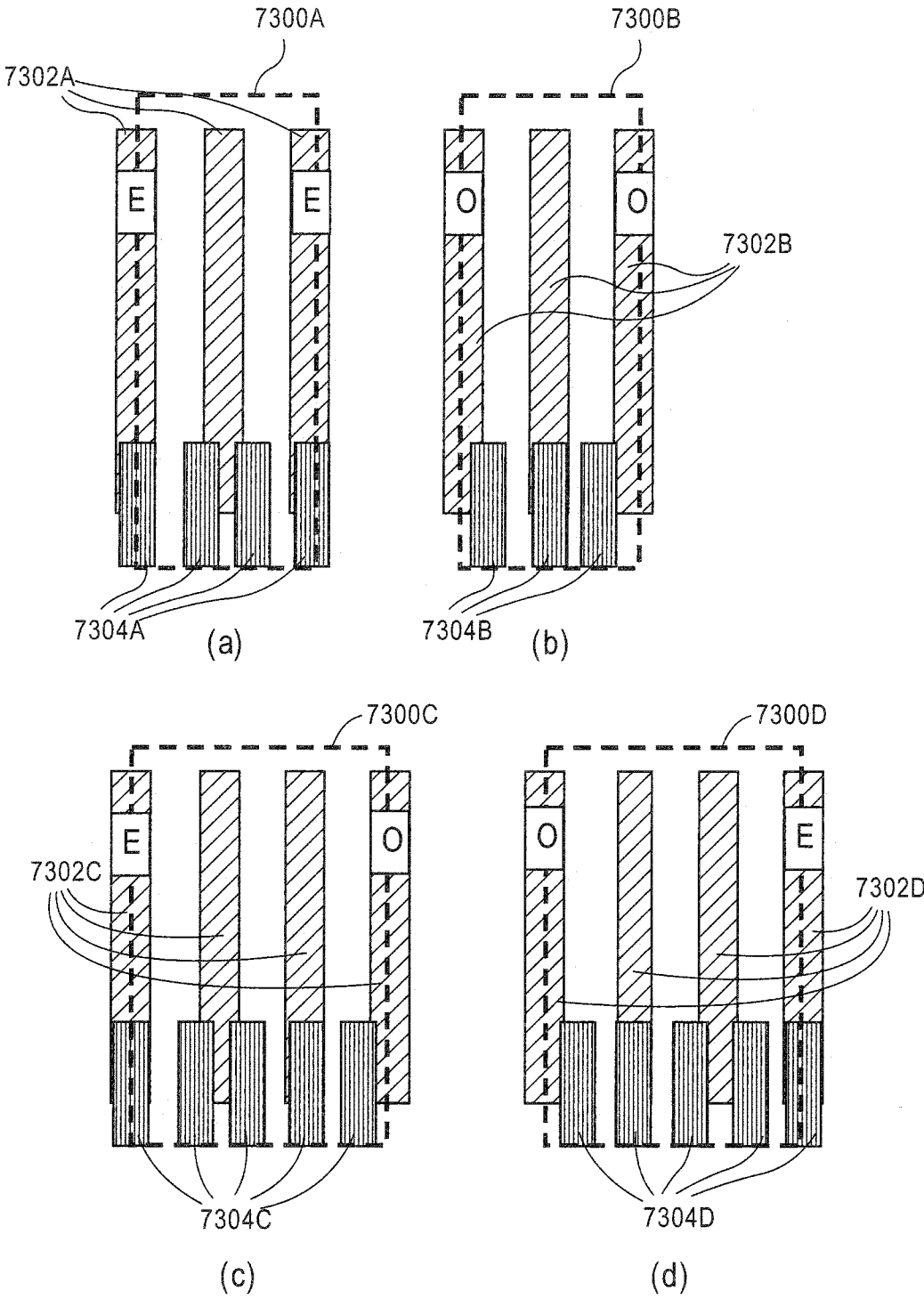
【圖 71A】



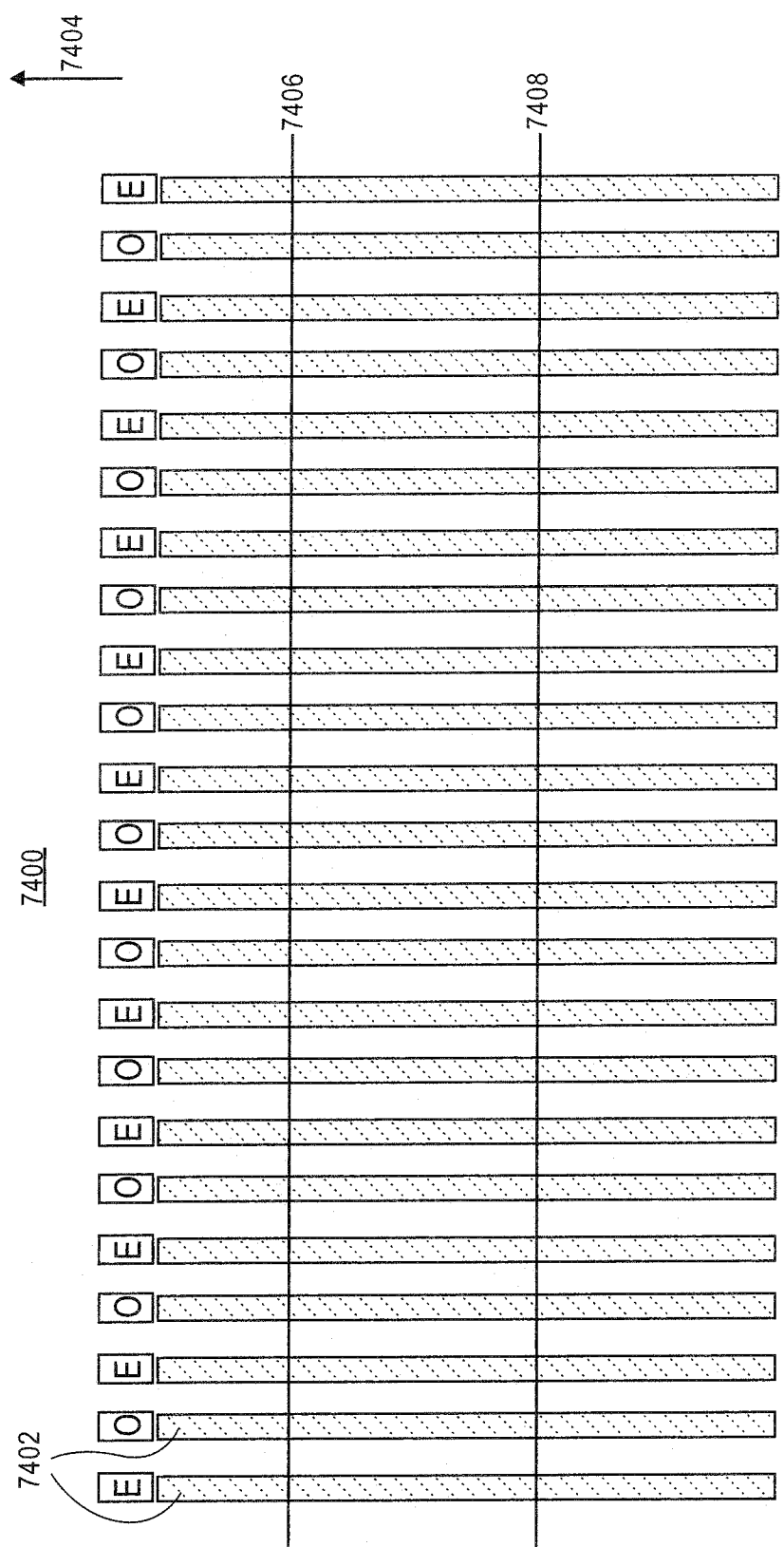
【圖 71B】



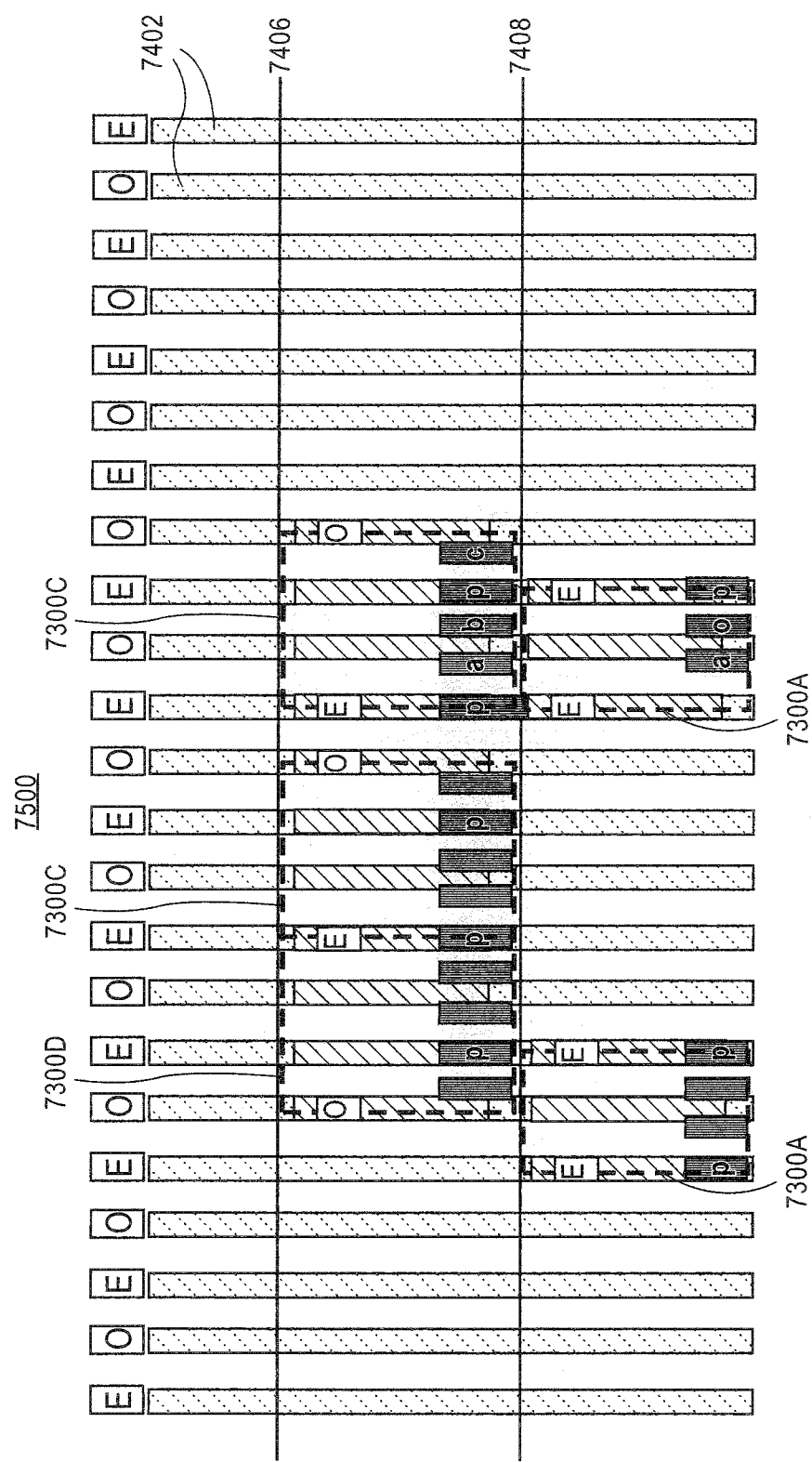
【圖 72】



【圖 73】

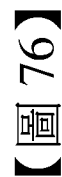


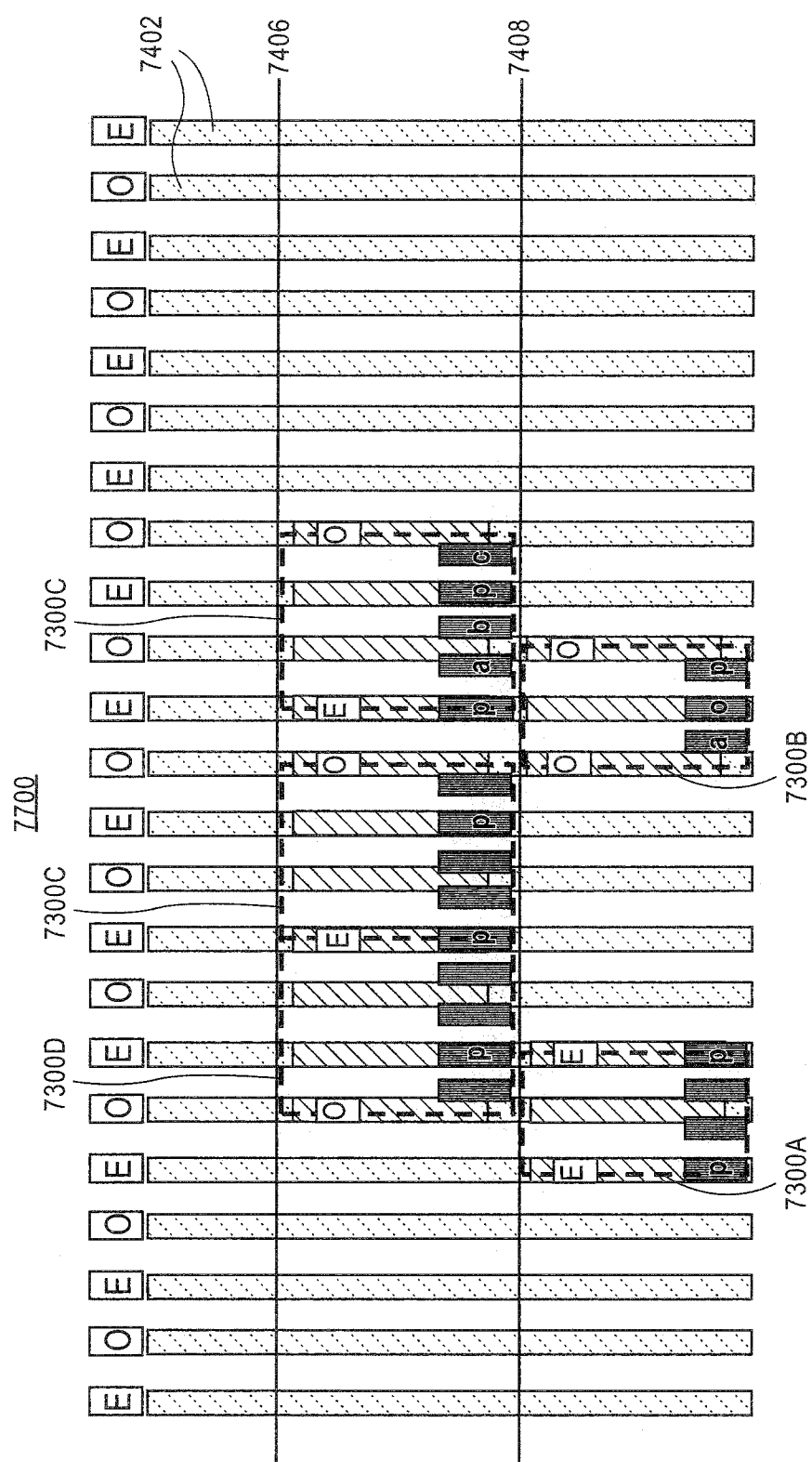
【圖 74】



【圖 75】

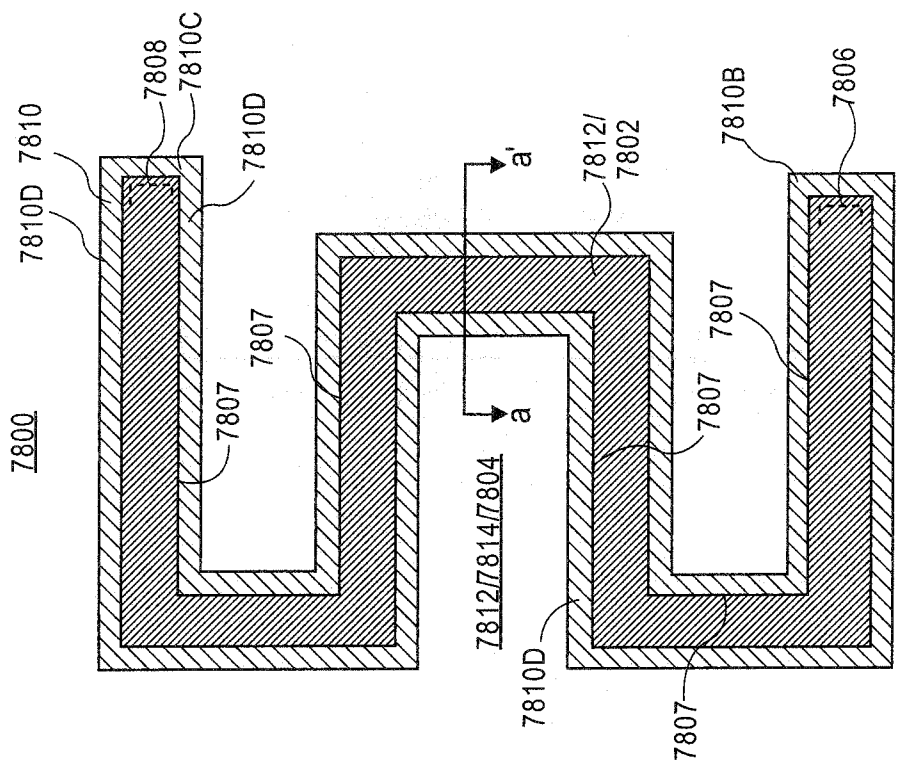




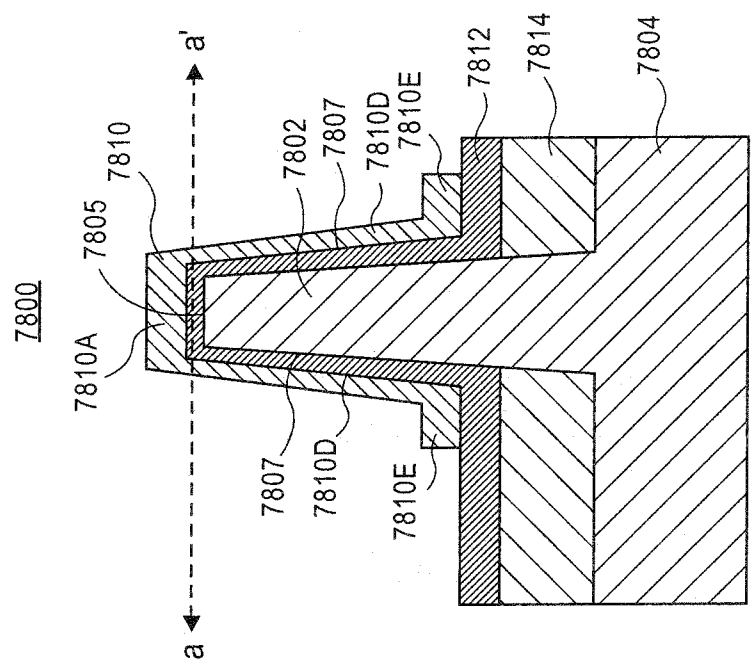


【圖 77】

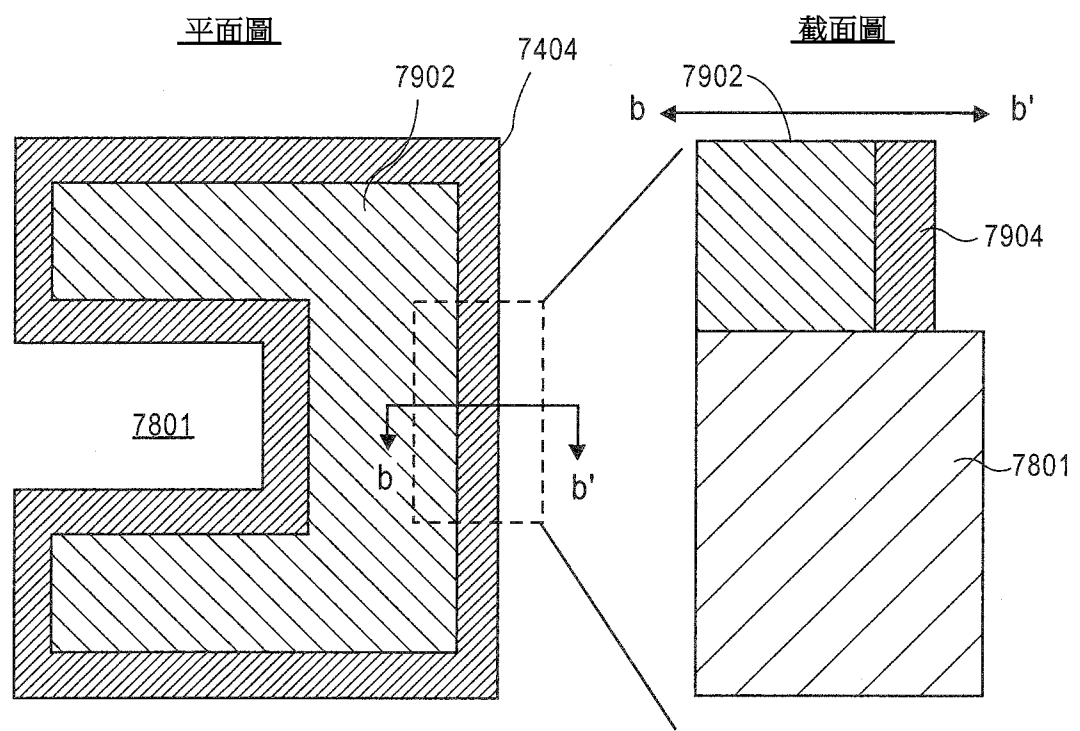
部分切割平面圖



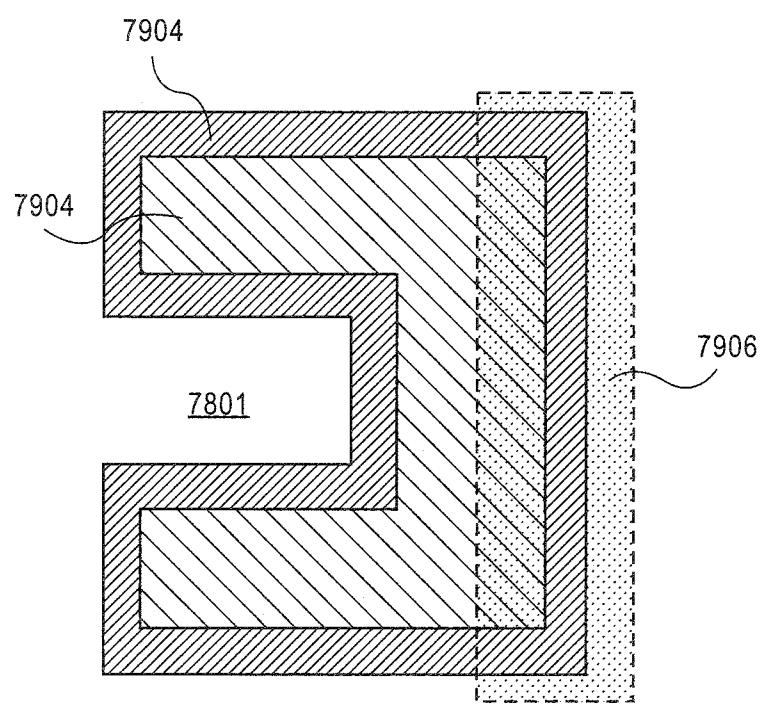
截面圖



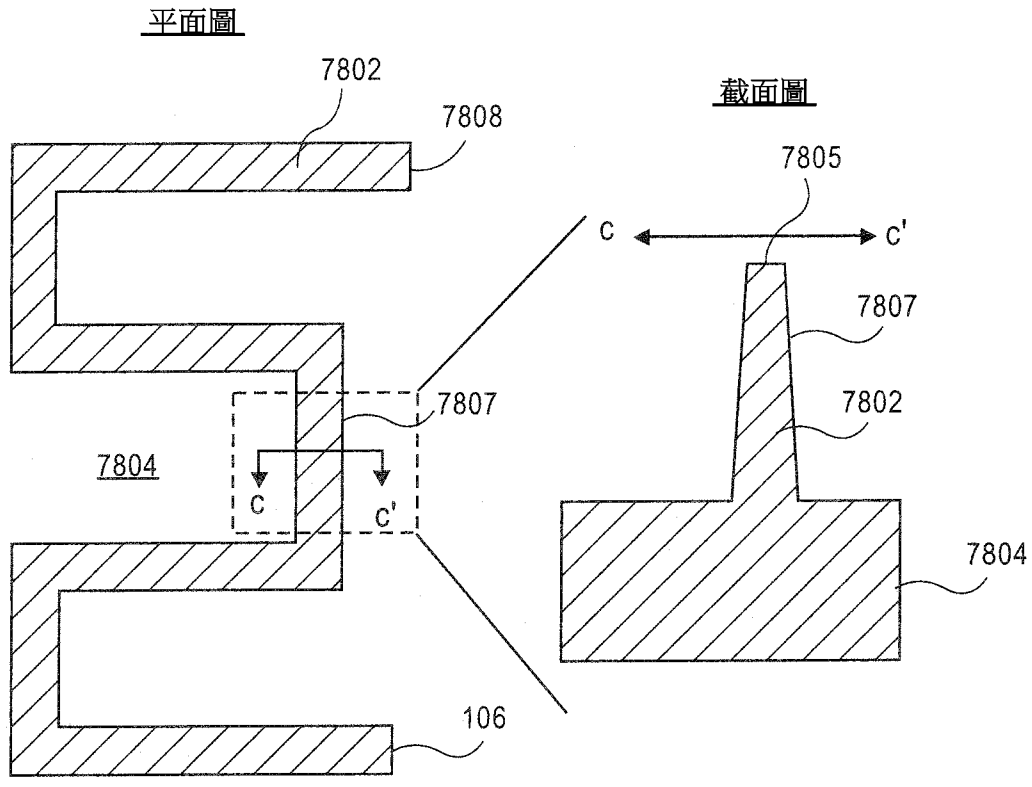
【圖 78】



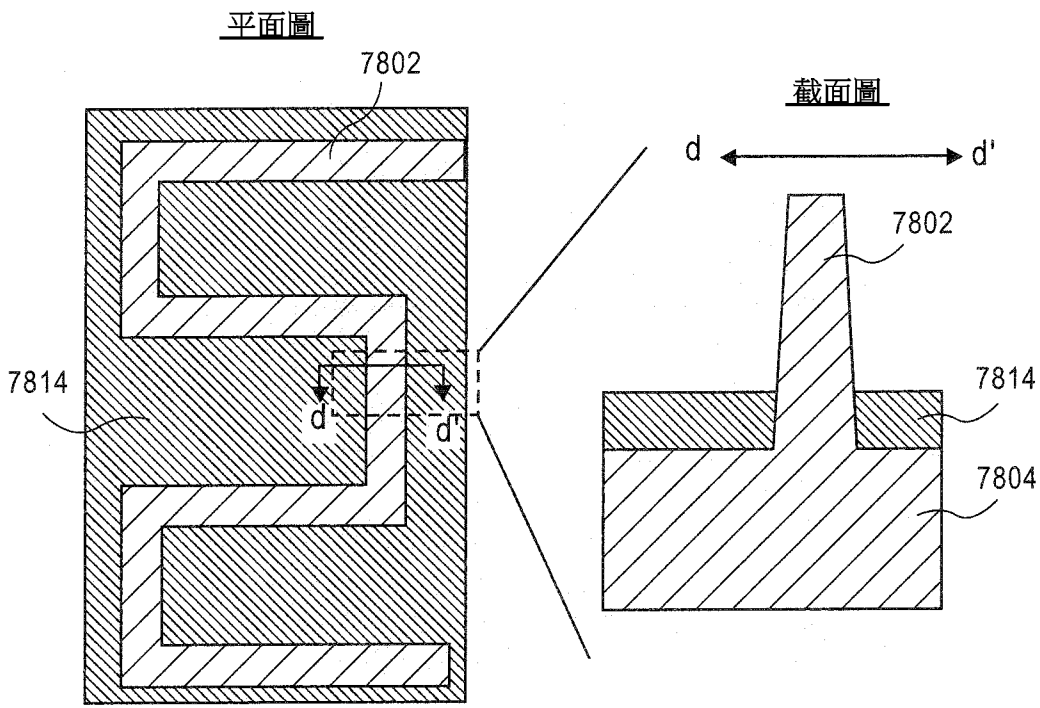
【圖 79】



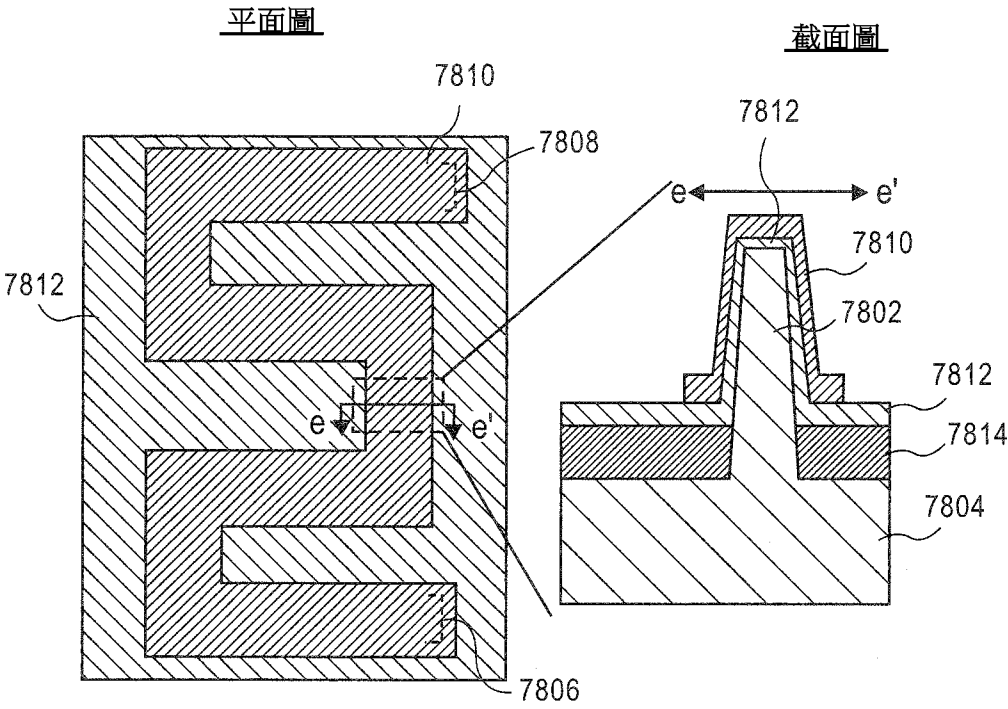
【圖 80】



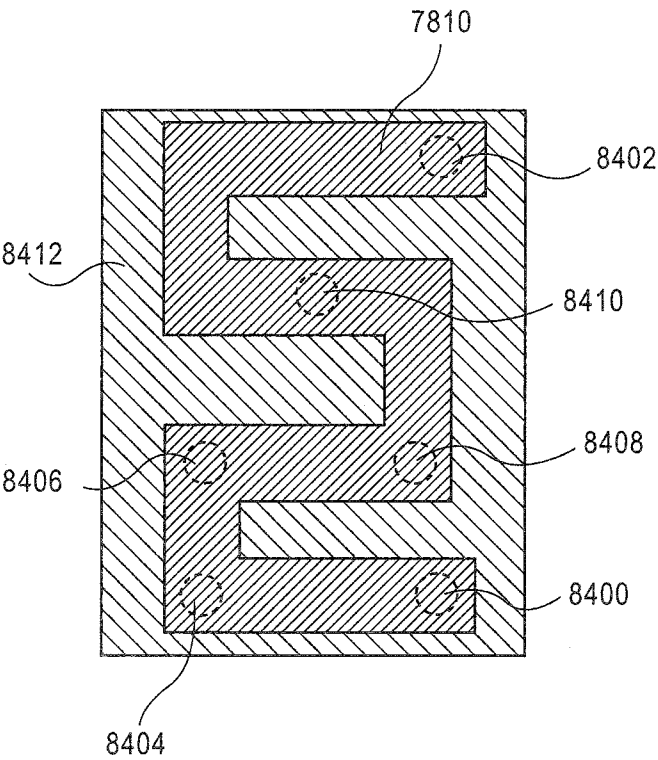
【圖 81】



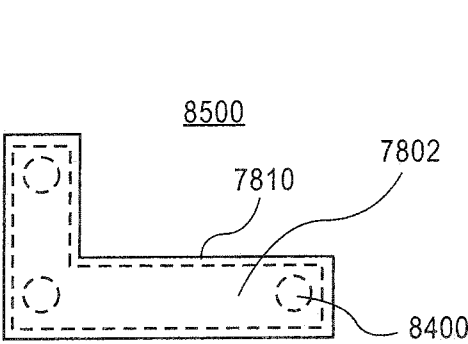
【圖 82】



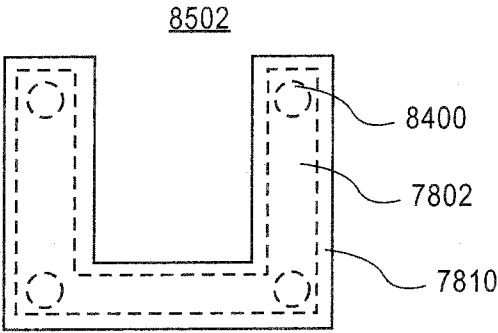
【圖 83】



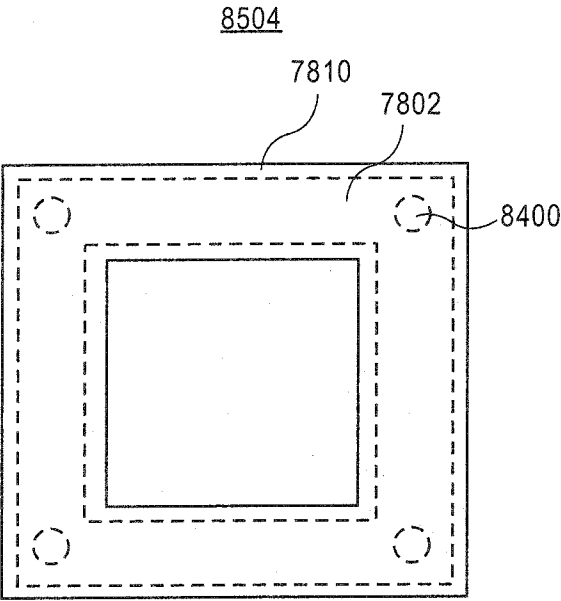
【圖 84】



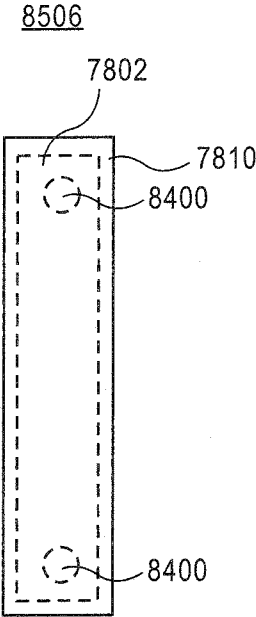
【圖 85A】



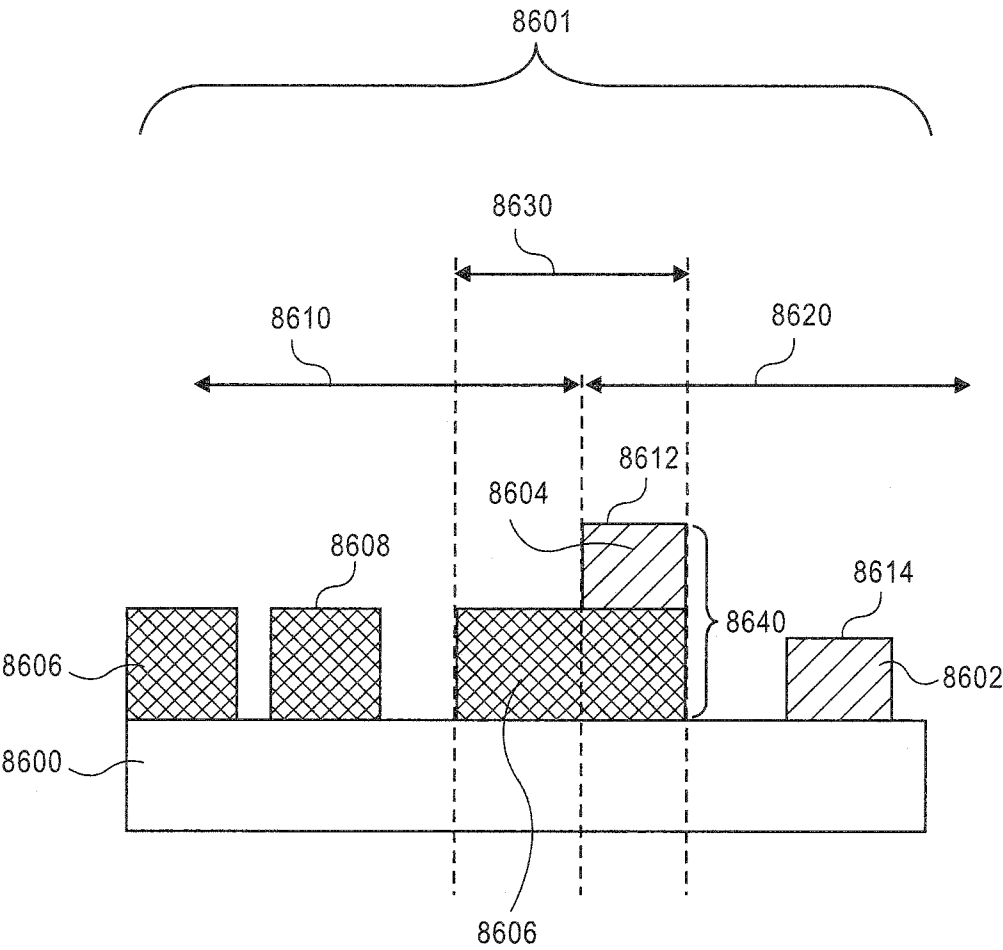
【圖 85B】



【圖 85C】

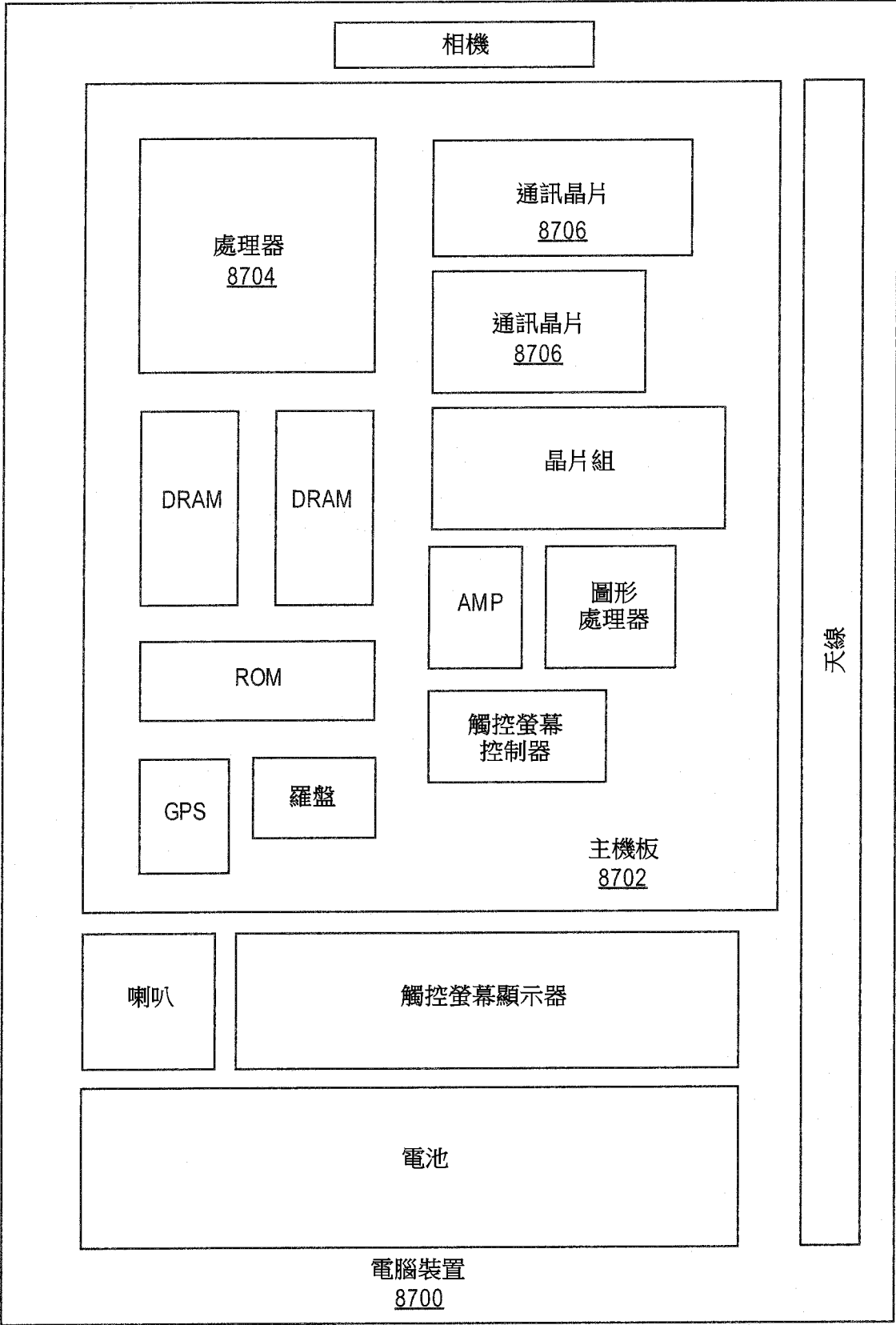


【圖 85D】

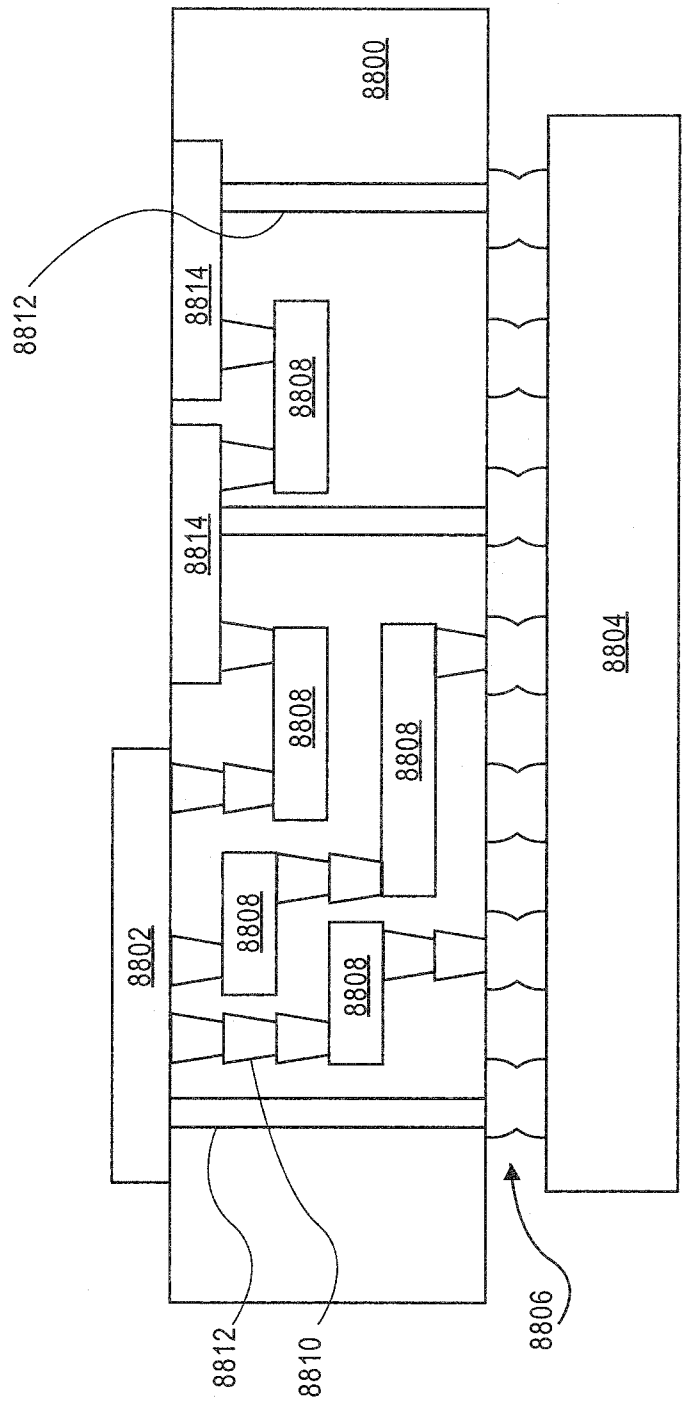


【圖 86】

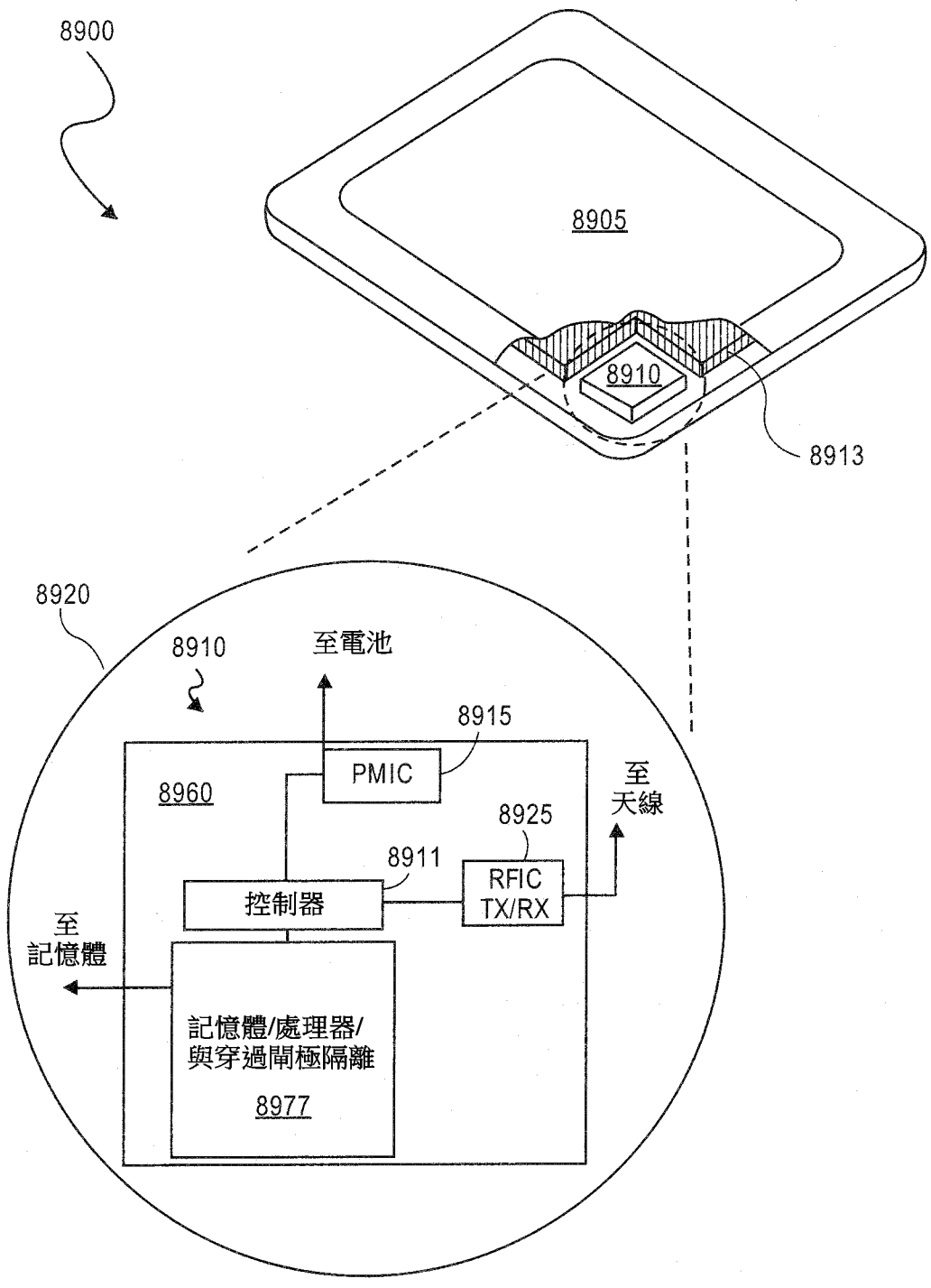




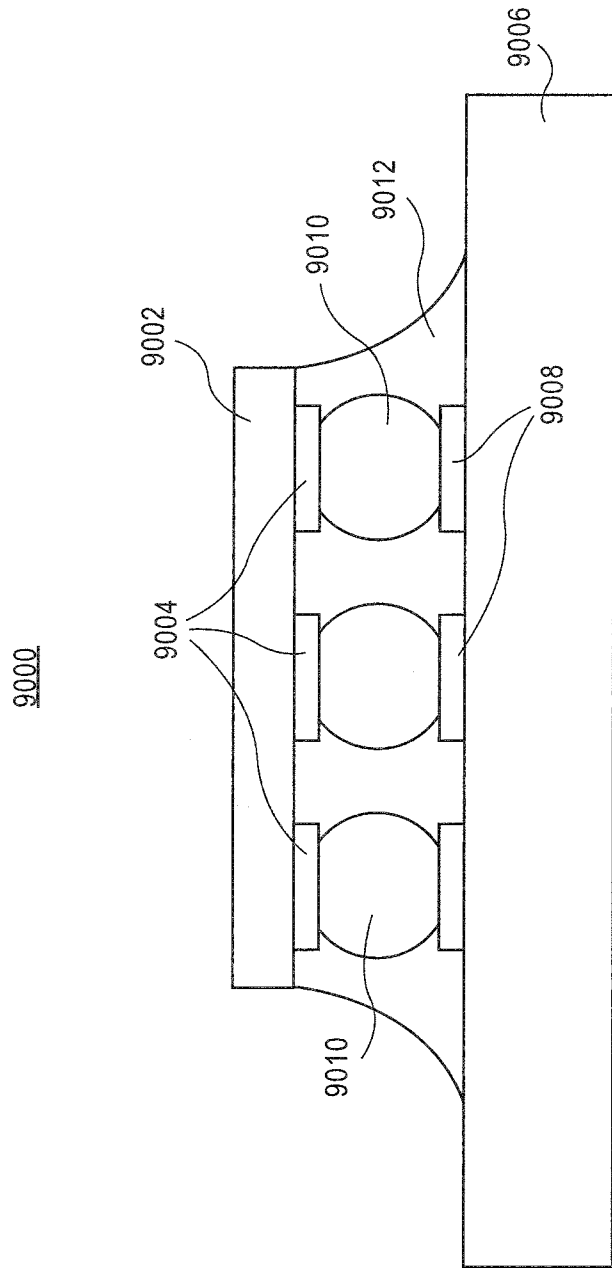
【圖 87】



【圖 88】



【圖 89】



【圖 90】