

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成22年9月24日(2010.9.24)

【公開番号】特開2008-91005(P2008-91005A)

【公開日】平成20年4月17日(2008.4.17)

【年通号数】公開・登録公報2008-015

【出願番号】特願2007-217704(P2007-217704)

【国際特許分類】

G 1 1 C 17/12 (2006.01)

【F I】

G 1 1 C 17/00 3 0 4 B

【手続補正書】

【提出日】平成22年8月6日(2010.8.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリ回路を有し、

前記メモリ回路は、

第 1 のワード配線及び第 2 のワード配線を有し、

第 1 のビット配線及び第 2 のビット配線を有し、前記第 1 のビット配線は前記第 1 のワード配線及び前記第 2 のワード配線と交差し、前記第 2 のビット配線は前記第 1 のワード配線及び前記第 2 のワード配線と交差し、

第 1 のラッチ回路及び第 2 のラッチ回路を有し、

第 1 のプリチャージ回路及び第 2 のプリチャージ回路を有し、

第 1 のバッファ及び第 2 のバッファを有し、

第 1 のメモリ出力配線及び第 2 のメモリ出力配線を有し、

前記第 1 のワード配線と前記第 1 のビット配線との交差部近傍、前記第 1 のワード配線と前記第 2 のビット配線との交差部近傍、前記第 2 のワード配線と前記第 1 のビット配線との交差部近傍、前記第 2 のワード配線と前記第 2 のビット配線との交差部近傍のうち、前記第 1 のワード配線と前記第 1 のビット配線との交差部近傍にトランジスタを選択的に設け、当該トランジスタのゲート電極は前記第 1 のワード配線に電氣的に接続され、ソース電極は前記第 1 のビット配線に電氣的に接続され、ドレイン電極は接地され、

前記第 1 のビット配線の出力側に前記第 1 のラッチ回路、前記第 1 のプリチャージ回路が順に電氣的に接続され、前記第 1 のビット配線の出力端には前記第 1 のバッファの入力端子が電氣的に接続され、前記第 1 のバッファの出力端子には前記第 1 のメモリ出力配線が電氣的に接続され、

前記第 2 のビット配線の出力側に前記第 2 のラッチ回路、前記第 2 のプリチャージ回路が順に電氣的に接続され、前記第 2 のビット配線の出力端には前記第 2 のバッファの入力端子が電氣的に接続され、前記第 2 のバッファの出力端子には前記第 2 のメモリ出力配線が電氣的に接続され、

前記第 1 のラッチ回路は 2 つのインバータを有し、一方のインバータの入力端子及び他方のインバータの出力端子には前記第 1 のビット配線が電氣的に接続され、前記一方のインバータの出力端子には前記他方のインバータの入力端子が電氣的に接続され、

前記第 2 のラッチ回路は 2 つのインバータを有し、一方のインバータの入力端子及び他

方のインバータの出力端子には前記第 2 のビット配線が電氣的に接続され、前記一方のインバータの出力端子には前記他方のインバータの入力端子が電氣的に接続され、

前記第 1 のプリチャージ回路はトランジスタからなり、当該トランジスタのゲート電極はプリチャージ配線に電氣的に接続され、ソース電極は電源配線に電氣的に接続され、ドレイン電極は前記第 1 のビット配線に電氣的に接続され、

前記第 2 のプリチャージ回路はトランジスタからなり、当該トランジスタのゲート電極は前記プリチャージ配線に電氣的に接続され、ソース電極は前記電源配線に電氣的に接続され、ドレイン電極は前記第 2 のビット配線に電氣的に接続されている、  
ことを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記メモリ回路からのデータの読み出しは、第 1 のプリチャージ信号期間、第 1 のワード信号期間、第 1 のデータ保持期間、第 2 のプリチャージ信号期間、第 2 のワード信号期間及び第 2 のデータ保持期間からなり、

前記第 1 のプリチャージ信号期間では、

前記プリチャージ配線の電位をローにすることにより、

前記第 1 のプリチャージ回路の前記トランジスタがオンになり、当該トランジスタを介して前記第 1 のビット配線に前記電源配線から電荷が供給されて前記第 1 のビット配線の電位がハイとなり、

前記第 2 のプリチャージ回路の前記トランジスタがオンになり、当該トランジスタを介して前記第 2 のビット配線に前記電源配線から電荷が供給されて前記第 2 のビット配線の電位がハイとなり、

前記第 1 のラッチ回路により前記第 1 のビット配線の電位は保持され、

前記第 2 のラッチ回路により前記第 2 のビット配線の電位は保持され、

前記第 1 のワード信号期間では、

前記プリチャージ配線の電位をハイにし、前記第 1 のワード配線の電位をハイにすることにより、

前記第 1 のプリチャージ回路の前記トランジスタ及び前記第 2 のプリチャージ回路の前記トランジスタがともにオフし、

前記第 1 のワード配線と前記第 1 のビット配線との交差部近傍にある前記トランジスタがオンになり、当該トランジスタの前記ドレイン電極の接地電位が前記第 1 のビット配線に印加されて前記第 1 のビット配線の電位はローになり、前記第 1 のバッファを介して前記第 1 のメモリ出力配線からロー信号として出力され、

前記第 2 のビット配線の電位はハイのままであり、前記第 2 のバッファを介して前記第 2 のメモリ出力配線からハイ信号として出力され、

前記第 1 のデータ保持期間では、

前記第 1 のビット配線の電位は前記第 1 のラッチ回路によって保持されて前記第 1 のメモリ出力配線の電位はローの状態を保持し、

前記第 2 のビット配線の電位は前記第 2 のラッチ回路によって保持されて前記第 2 のメモリ出力配線の電位はハイの状態を保持し、

前記第 2 のプリチャージ信号期間では、

前記プリチャージ配線の電位をローとすることにより、

前記第 1 のプリチャージ回路の前記トランジスタがオンになり、当該トランジスタを介して前記第 1 のビット配線に前記電源配線から電荷が供給されて前記第 1 のビット配線の電位がハイとなり、

前記第 2 のプリチャージ回路の前記トランジスタがオンになり、当該トランジスタを介して前記第 2 のビット配線に前記電源配線から電荷が供給されて前記第 2 のビット配線の電位がハイとなり、

前記第 1 のラッチ回路により前記第 1 のビット配線の電位は保持され、

前記第 2 のラッチ回路により前記第 2 のビット配線の電位は保持され、

前記第2のワード信号期間では、

前記プリチャージ配線の電位をハイにし、前記第2のワード配線の電位をハイにすることにより、

前記第1のプリチャージ回路の前記トランジスタ及び前記第2のプリチャージ回路の前記トランジスタがともにオフし、

前記第1のビット配線の電位はハイのままであり、前記第1のビット配線の電位が前記第1のバッファを介して前記第1のメモリ出力配線からハイ信号として出力され、

前記第1のビット配線の電位はハイのままであり、前記第2のビット配線の電位が前記第2のバッファを介して前記第2のメモリ出力配線からハイ信号として出力され、

前記第2のデータ保持期間では、

前記第1のビット配線の電位は前記第1のラッチ回路によって保持されて前記第1のメモリ出力配線の電位はハイの状態を保持し、

前記第2のビット配線の電位は前記第2のラッチ回路によって保持されて前記第2のメモリ出力配線の電位はハイの状態を保持する、  
ことを特徴とする半導体装置。

**【請求項3】**

メモリ回路を有し、

前記メモリ回路は、

第1のワード配線及び第2のワード配線を有し、

第1のビット配線及び第2のビット配線を有し、前記第1のビット配線は前記第1のワード配線及び前記第2のワード配線と交差し、前記第2のビット配線は前記第1のワード配線及び前記第2のワード配線と交差し、

第1のラッチ回路及び第2のラッチ回路を有し、

第1のプリチャージ回路及び第2のプリチャージ回路を有し、

第1のインバータ及び第2のインバータを有し、

第1のメモリ出力配線及び第2のメモリ出力配線を有し、

前記第1のワード配線と前記第1のビット配線との交差部近傍、前記第1のワード配線と前記第2のビット配線との交差部近傍、前記第2のワード配線と前記第1のビット配線との交差部近傍、前記第2のワード配線と前記第2のビット配線との交差部近傍のうち、前記第1のワード配線と前記第1のビット配線との交差部近傍にトランジスタを選択的に設け、当該トランジスタのゲート電極は前記第1のワード配線に電氣的に接続され、ソース電極は前記第1のビット配線に電氣的に接続され、ドレイン電極は接地され、

前記第1のビット配線の出力側に前記第1のラッチ回路、前記第1のプリチャージ回路が順に電氣的に接続され、前記第1のビット配線の出力端には前記第1のバッファの入力端子が電氣的に接続され、前記第1のインバータの出力端子には前記第1のメモリ出力配線が電氣的に接続され、

前記第2のビット配線の出力側に前記第2のラッチ回路、前記第2のプリチャージ回路が順に電氣的に接続され、前記第2のビット配線の出力端には前記第2のバッファの入力端子が電氣的に接続され、前記第2のインバータの出力端子には前記第2のメモリ出力配線が電氣的に接続され、

前記第1のラッチ回路は2つのインバータを有し、一方のインバータの入力端子及び他方のインバータの出力端子には前記第1のビット配線が電氣的に接続され、前記一方のインバータの出力端子には前記他方のインバータの入力端子が電氣的に接続され、

前記第2のラッチ回路は2つのインバータを有し、一方のインバータの入力端子及び他方のインバータの出力端子には前記第2のビット配線が電氣的に接続され、前記一方のインバータの出力端子には前記他方のインバータの入力端子が電氣的に接続され、

前記第1のプリチャージ回路はトランジスタからなり、当該トランジスタのゲート電極はプリチャージ配線に電氣的に接続され、ソース電極は電源配線に電氣的に接続され、ドレイン電極は前記第1のビット配線に電氣的に接続され、

前記第2のプリチャージ回路はトランジスタからなり、当該トランジスタのゲート電極

は前記プリチャージ配線に電氣的に接続され、ソース電極は前記電源配線に電氣的に接続され、ドレイン電極は前記第2のビット配線に電氣的に接続されている、  
ことを特徴とする半導体装置。

【請求項4】

請求項3において、

前記メモリ回路からのデータの読み出しは、第1のプリチャージ信号期間、第1のワード信号期間、第1のデータ保持期間、第2のプリチャージ信号期間、第2のワード信号期間及び第2のデータ保持期間からなり、

前記第1のプリチャージ信号期間では、

前記プリチャージ配線の電位をローにすることにより、

前記第1のプリチャージ回路の前記トランジスタがオンになり、当該トランジスタを介して前記第1のビット配線に前記電源配線から電荷が供給されて前記第1のビット配線の電位がハイとなり、

前記第2のプリチャージ回路の前記トランジスタがオンになり、当該トランジスタを介して前記第2のビット配線に前記電源配線から電荷が供給されて前記第2のビット配線の電位がハイとなり、

前記第1のラッチ回路により前記第1のビット配線の電位は保持され、

前記第2のラッチ回路により前記第2のビット配線の電位は保持され、

前記第1のワード信号期間では、

前記プリチャージ配線の電位をハイにし、前記第1のワード配線の電位をハイにすることにより、

前記第1のプリチャージ回路の前記トランジスタ及び前記第2のプリチャージ回路の前記トランジスタがともにオフし、

前記第1のワード配線と前記第1のビット配線との交差部近傍にある前記トランジスタがオンになり、当該トランジスタの前記ドレイン電極の接地電位が前記第1のビット配線に印加されて前記第1のビット配線の電位はローになり、前記第1のインバータを介して前記第1のメモリ出力配線からハイ信号として出力され、

前記第2のビット配線の電位はハイのままであり、前記第2のインバータを介して前記第2のメモリ出力配線からロー信号として出力され、

前記第1のデータ保持期間では、

前記第1のビット配線の電位は前記第1のラッチ回路によって保持されて前記第1のメモリ出力配線の電位はハイの状態を保持し、

前記第2のビット配線の電位は前記第2のラッチ回路によって保持されて前記第2のメモリ出力配線の電位はローの状態を保持し、

前記第2のプリチャージ信号期間では、

前記プリチャージ配線の電位をローとすることにより、

前記第1のプリチャージ回路の前記トランジスタがオンになり、当該トランジスタを介して前記第1のビット配線に前記電源配線から電荷が供給されて前記第1のビット配線の電位がハイとなり、

前記第2のプリチャージ回路の前記トランジスタがオンになり、当該トランジスタを介して前記第2のビット配線に前記電源配線から電荷が供給されて前記第2のビット配線の電位がハイとなり、

前記第1のラッチ回路により前記第1のビット配線の電位は保持され、

前記第2のラッチ回路により前記第2のビット配線の電位は保持され、

前記第2のワード信号期間では、

前記プリチャージ配線の電位をハイにし、前記第2のワード配線の電位をハイにすることにより、

前記第1のプリチャージ回路の前記トランジスタ及び前記第2のプリチャージ回路の前記トランジスタがともにオフし、

前記第1のビット配線の電位はハイのままであり、前記第1のビット配線の電位

が前記第 1 のインバータを介して前記第 1 のメモリ出力配線からロー信号として出力され、

前記第 2 のビット配線の電位はハイのままであり、前記第 2 のビット配線の電位が前記第 2 のインバータを介して前記第 2 のメモリ出力配線からロー信号として出力され、

前記第 2 のデータ保持期間では、

前記第 1 のビット配線の電位は前記第 1 のラッチ回路によって保持されて前記第 1 のメモリ出力配線の電位はローの状態を保持し、

前記第 2 のビット配線の電位は前記第 2 のラッチ回路によって保持されて前記第 2 のメモリ出力配線の電位はローの状態を保持する、  
ことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、

前記第 1 のワード配線と前記第 2 のビット配線との交差部近傍、前記第 2 のワード配線と前記第 1 のビット配線との交差部近傍、前記第 2 のワード配線と前記第 2 のビット配線との交差部近傍に、それぞれトランジスタが配置され、

前記それぞれのトランジスタのゲート電極は前記第 1 のワード配線及び前記第 2 のワード配線とは接続されていないことを特徴とする半導体装置。

【請求項 6】

メモリ回路を有し、

前記メモリ回路は、

第 1 のワード配線及び第 2 のワード配線を有し、

第 1 のビット配線及び第 2 のビット配線を有し、前記第 1 のビット配線は前記第 1 のワード配線及び前記第 2 のワード配線と交差し、前記第 2 のビット配線は前記第 1 のワード配線及び前記第 2 のワード配線と交差し、

第 1 のラッチ回路及び第 2 のラッチ回路を有し、

第 1 のプリチャージ回路及び第 2 のプリチャージ回路を有し、

第 1 のバッファ及び第 2 のバッファを有し、

第 1 のメモリ出力配線及び第 2 のメモリ出力配線を有し、

前記第 1 のワード配線と前記第 1 のビット配線との交差部近傍、前記第 1 のワード配線と前記第 2 のビット配線との交差部近傍、前記第 2 のワード配線と前記第 1 のビット配線との交差部近傍、前記第 2 のワード配線と前記第 2 のビット配線との交差部近傍のうち、前記第 2 のワード配線と前記第 1 のビット配線との交差部近傍に第 1 のメモリトランジスタを、前記第 2 のワード配線と前記第 2 のビット配線との交差部近傍に第 2 のメモリトランジスタを選択的に設け、

第 1 のメモリトランジスタ及び第 2 のメモリトランジスタはそれぞれ制御ゲート電極、浮遊ゲート電極を有し、

前記第 1 のメモリトランジスタの前記制御ゲート電極は前記第 2 のワード配線に電氣的に接続され、ソース電極は前記第 1 のビット配線に電氣的に接続され、ドレイン電極は接地され、

前記第 2 のメモリトランジスタの前記制御ゲート電極は前記第 2 のワード配線に電氣的に接続され、ソース電極は前記第 2 のビット配線に電氣的に接続され、ドレイン電極は接地され、

前記第 1 のビット配線の出力側に前記第 1 のラッチ回路、前記第 1 のプリチャージ回路が順に電氣的に接続され、前記第 1 のビット配線の出力端には前記第 1 のバッファの入力端子が電氣的に接続され、前記第 1 のバッファの出力端子には前記第 1 のメモリ出力配線が電氣的に接続され、

前記第 2 のビット配線の出力側に前記第 2 のラッチ回路、前記第 2 のプリチャージ回路が順に電氣的に接続され、前記第 2 のビット配線の出力端には前記第 2 のバッファの入力端子が電氣的に接続され、前記第 2 のバッファの出力端子には前記第 2 のメモリ出力配線

が電氣的に接続され、

前記第 1 のラッチ回路は 2 つのインバータを有し、一方のインバータの入力端子及び他方のインバータの出力端子には前記第 1 のビット配線が電氣的に接続され、前記一方のインバータの出力端子には前記他方のインバータの入力端子が電氣的に接続され、

前記第 2 のラッチ回路は 2 つのインバータを有し、一方のインバータの入力端子及び他方のインバータの出力端子には前記第 2 のビット配線が電氣的に接続され、前記一方のインバータの出力端子には前記他方のインバータの入力端子が電氣的に接続され、

前記第 1 のプリチャージ回路はトランジスタからなり、当該トランジスタのゲート電極はプリチャージ配線に電氣的に接続され、ソース電極は電源配線に電氣的に接続され、ドレイン電極は前記第 1 のビット配線に電氣的に接続され、

前記第 2 のプリチャージ回路はトランジスタからなり、当該トランジスタのゲート電極は前記プリチャージ配線に電氣的に接続され、ソース電極は前記電源配線に電氣的に接続され、ドレイン電極は前記第 2 のビット配線に電氣的に接続されている、

ことを特徴とする半導体装置。

【請求項 7】

請求項 6 において、

前記第 1 のメモリトランジスタにデータ " ハイ " を書き込み、前記第 2 のメモリトランジスタにデータ " ロー " を書き込む動作は、

前記第 2 のワード配線に高電位を印加し、前記第 1 のビット配線に高電位を印加するとともに前記第 2 のビット配線の電位を接地電位にすることにより、

前記第 1 のメモリトランジスタの前記浮遊ゲート電極に電荷を蓄積することにより、前記第 1 のメモリトランジスタの前記制御ゲート電極のしきい値電圧を高電位にしてデータ " ハイ " を記憶させ、

前記第 2 のメモリトランジスタの前記浮遊ゲート電極には電荷を蓄積させないことにより、前記第 2 のメモリトランジスタの前記制御ゲート電極のしきい値電圧を変化させないでデータ " ロー " を記憶させる、

ことによって行うことを特徴とする半導体装置。

【請求項 8】

請求項 7 において、

前記第 1 のメモリトランジスタに記憶させたデータの消去は、

前記第 1 のメモリトランジスタの前記ドレイン電極を開放し、前記制御ゲート電極を接地させ、前記ソース電極に高電圧を印加することによって行われることを特徴とする半導体装置。

【請求項 9】

請求項 7 において、

前記メモリ回路からのデータの読み出しは、

前記プリチャージ配線の電位をローにすることにより、

前記第 1 のプリチャージ回路の前記トランジスタがオンになり、当該トランジスタを介して前記第 1 のビット配線に前記電源配線から電荷が供給されて前記第 1 のビット配線の電位がハイとなり、

前記第 2 のプリチャージ回路の前記トランジスタがオンになり、当該トランジスタを介して前記第 2 のビット配線に前記電源配線から電荷が供給されて前記第 2 のビット配線の電位がハイとなり、

前記第 1 のラッチ回路により前記第 1 のビット配線の電位は保持され、

前記第 2 のラッチ回路により前記第 2 のビット配線の電位は保持され、

前記プリチャージ配線の電位をハイにし、前記第 2 のワード配線の電位をハイにすることにより、

前記第 1 のプリチャージ回路の前記トランジスタ及び前記第 2 のプリチャージ回路の前記トランジスタがともにオフし、

前記第 1 のメモリトランジスタはオンせず、前記第 1 のビット配線の電位はハイ

のままであり、前記第 1 のバッファを介して前記第 1 のメモリ出力配線からハイ信号として出力され、

前記第 2 のトランジスタがオンになり、当該第 2 のトランジスタの前記ドレイン電極の接地電位が前記第 2 のビット配線に印加されて前記第 2 のビット配線の電位はローになり、前記第 2 のバッファを介して前記第 2 のメモリ出力配線からロー信号として出力される、

ことを特徴とする半導体装置。