

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3915711号
(P3915711)

(45) 発行日 平成19年5月16日(2007.5.16)

(24) 登録日 平成19年2月16日(2007.2.16)

(51) Int. Cl.

G 1 1 C 11/403 (2006.01)

F I

G 1 1 C 11/34 3 7 1 J

請求項の数 2 (全 28 頁)

<p>(21) 出願番号 特願2003-33532 (P2003-33532)</p> <p>(22) 出願日 平成15年2月12日 (2003. 2. 12)</p> <p>(65) 公開番号 特開2004-246946 (P2004-246946A)</p> <p>(43) 公開日 平成16年9月2日 (2004. 9. 2)</p> <p>審査請求日 平成15年11月4日 (2003. 11. 4)</p>	<p>(73) 特許権者 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号</p> <p>(74) 代理人 110000028 特許業務法人明成国際特許事務所</p> <p>(72) 発明者 水垣 浩一 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内</p> <p>(72) 発明者 大塚 栄太郎 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内</p> <p>審査官 堀田 和義</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

ダイナミック型のメモリセルがマトリクス状に配列されたメモリセルアレイを有する半導体メモリ装置であって、

外部装置から供給されるアウトプットイネーブル信号がアクティブ状態に変化するリードサイクルにおいて、

前記メモリセルアレイへのアクセス動作の実行タイミングを示す外部アクセス実行タイミング信号であって、前記アウトプットイネーブル信号がアクティブ状態に変化すると直ちにアクティブ状態に変化し、前記メモリセルアレイから読み出された信号をラッチするためのラッチ信号がアクティブ状態に変化後非アクティブ状態に変化することによって、前記読み出された信号のラッチが開始されると直ちに非アクティブ状態に戻る外部アクセス実行タイミング信号を出力する外部アクセス制御部と、

前記メモリセルアレイに対するリフレッシュ動作の実行タイミングを示すリフレッシュ実行タイミング信号であって、前記メモリセルアレイに対してリフレッシュ動作を実行すべきことを示すリフレッシュ要求信号がアクティブ状態であった場合において、前記ラッチ信号がアクティブ状態に変化したときに、その変化に応じて一定期間アクティブ状態に変化するリフレッシュ実行タイミング信号を出力するリフレッシュ制御部と、を備えることを特徴とする半導体メモリ装置。

【請求項2】

請求項1記載の半導体メモリ装置であって、

10

20

外部装置から供給されるライトイネーブル信号がアクティブ状態に変化するライトサイクルにおいて、

前記リフレッシュ制御部は、前記リフレッシュ実行タイミング信号として、前記リフレッシュ要求信号がアクティブ状態であった場合に、前記ライトイネーブル信号がアクティブ状態に変化したときに、その変化に応じて前記一定期間アクティブ状態に変化する信号を出力し、

前記外部アクセス制御部は、前記外部アクセス実行タイミング信号として、前記リフレッシュ実行タイミング信号が非アクティブ状態に戻ると、その変化に応じてアクティブ状態に変化し、前記ライトイネーブル信号が非アクティブ状態に戻ると、その変化に応じて非アクティブ状態に戻る信号を出力する、半導体メモリ装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、ダイナミック型のメモリセルがマトリクス状に配列されたメモリセルアレイを有する半導体メモリ装置において、外部装置から供給されるアウトプットイネーブル信号に同期して実行される読み出し動作の高速化を図る技術に関する。

【0002】

【従来技術】

半導体メモリ装置としては、一般的にDRAMやSRAMが用いられている。良く知られているように、DRAMはSRAMに比べて安価で大容量であるが、リフレッシュ動作が必要である。一方、SRAMはリフレッシュ動作は不要で使い易いが、DRAMに比べて高価であり、また容量が小さい。

20

【0003】

DRAMとSRAMの利点を両方備えるように開発された半導体メモリ装置として、仮想SRAM(VSRAM, Virtually Static RAM)が知られている。仮想SRAM(「擬似SRAM(PSRAM, Pseudo Static RAM)」とも呼ばれる)は、DRAMと同じダイナミック型のメモリセルを含むメモリセルアレイを備えているとともに、リフレッシュコントローラ(リフレッシュ制御部)を内蔵しており、外部装置から供給されるアウトプットイネーブル信号またはライトイネーブル信号に同期してリフレッシュ動作を内部で実行している。

30

【0004】

なお、仮想SRAMのリフレッシュ制御に関する先行技術として、例えば、特許文献1に記載のものがあげられる。

【0005】

【特許文献1】

特開2002-74945号公報

【0006】

【発明が解決しようとする課題】

ここで、半導体メモリ装置からのデータの読み出しの速度は、通常、速いほうが好ましく、仮想SRAMにおいてもその速度の高速化が望まれている。

40

【0007】

しかしながら、従来仮想SRAMでは、外部装置との間でデータの読み出し(以下、「リードアクセス」、あるいは、単に「アクセス」とも呼ぶ)が実行されるリード・オペレーションサイクルにおいて、リフレッシュ動作がリードアクセス動作に優先して行われるため、リードアクセスにとって、リフレッシュ動作が実行される間は待時間となって、リードアクセス動作におけるアクセス速度が遅くなる場合がある。なお、以下では、リード・オペレーションサイクルを単に「リードサイクル」とも呼び、書き込み(以下、「ライトアクセス」、あるいは、単に「アクセス」とも呼ぶ)が実行されるライト・オペレーションサイクルを単に「ライトサイクル」とも呼ぶ。

【0008】

50

この発明は、上述した従来の課題を解決するためになされたものであり、仮想SRAMのようなダイナミック型のメモリセルがマトリクス状に配列されたメモリセルアレイを有する半導体メモリ装置において、リードアクセスにおけるアクセス速度の高速化を可能とする技術を提供することを目的とする。

【0009】

【課題を解決するための手段およびその作用・効果】

上記目的を達成するために、第1の半導体メモリ装置は、ダイナミック型のメモリセルがマトリクス状に配列されたメモリセルアレイを有する半導体メモリ装置であって、外部装置から供給されるアウトプットイネーブル信号がアクティブ状態に変化するリードサイクルにおいて、

10

前記メモリセルアレイへのアクセス動作の実行タイミングを示す外部アクセス実行タイミング信号であって、前記アウトプットイネーブル信号がアクティブ状態に変化すると直ちにアクティブ状態に変化し、前記メモリセルアレイから読み出された信号をラッチするためのラッチ信号がアクティブ状態に変化後非アクティブ状態に変化することによって、前記読み出された信号のラッチが開始されると直ちに非アクティブ状態に戻る外部アクセス実行タイミング信号を出力する外部アクセス制御部と、

前記メモリセルアレイに対するリフレッシュ動作の実行タイミングを示すリフレッシュ実行タイミング信号であって、前記メモリセルアレイに対してリフレッシュ動作を実行すべきことを示すリフレッシュ要求信号がアクティブ状態であった場合において、前記ラッチ信号がアクティブ状態に変化したときに、その変化に応じて一定期間アクティブ状態に変化するリフレッシュ実行タイミング信号を出力するリフレッシュ制御部と、を備えることを特徴とする。

20

【0010】

上記第1の半導体メモリ装置では、リードサイクルにおいては、外部アクセス実行タイミング信号は、アウトプットイネーブル信号がアクティブ状態に変化すると直ちにアクティブ状態に変化し、ラッチ信号がアクティブ状態に変化後非アクティブ状態に変化することによって、読み出された信号のラッチが開始されると非アクティブ状態に戻る。そして、リフレッシュ実行タイミング信号は、リフレッシュ要求信号がアクティブ状態であった場合において、ラッチ信号がアクティブ状態に変化したときに、その変化に応じて一定期間アクティブ状態に変化する。従って、本発明の第1の半導体メモリ装置では、リードサイクルにおいて、読み出しアクセス動作がリフレッシュ動作に優先して実行されるので、従来のようにリフレッシュ動作がリードアクセス動作に優先して実行される場合に比べて、アクセス速度の高速化を図ることが可能である。

30

【0011】

また、読み出された信号のラッチが開始されると外部アクセス実行タイミング信号が非アクティブ状態となるとともに、リフレッシュ実行タイミング信号が一定期間アクティブ状態となってリフレッシュが実行される。これにより、リードサイクル中において、ラッチされた読み出し信号が外部装置内で取得されるために要する期間中に、リフレッシュ動作を実行させることができるので、リードサイクル中にリフレッシュ動作のための期間を独立して設定する場合に比べて、リードサイクル時間を短くすることができる。

40

【0012】

また、上記第1の半導体メモリ装置では、外部装置から供給されるライトイネーブル信号がアクティブ状態に変化するライトサイクルにおいて、

前記リフレッシュ制御部は、前記リフレッシュ実行タイミング信号として、前記リフレッシュ要求信号がアクティブ状態であった場合に、前記ライトイネーブル信号がアクティブ状態に変化したときに、その変化に応じて前記一定期間アクティブ状態に変化する信号を出力し、

前記外部アクセス制御部は、前記外部アクセス実行タイミング信号として、前記リフレッシュ実行タイミング信号が非アクティブ状態に戻ると、その変化に応じてアクティブ状態

50

に変化し、前記ライトイネーブル信号が非アクティブ状態に戻ると、その変化に応じて非アクティブ状態に戻る信号を出力することが好ましい。

【0013】

このようにすれば、ライトサイクルの終了後リードサイクルが開始された場合においても、リフレッシュ動作に優先して読み出しアクセス動作が実行されるので、従来のように読み出しアクセス動作に優先してリフレッシュ動作が実行される場合に比べて、アクセス速度の高速化を図ることが可能である。

【0016】

なお、本発明は、種々の形態で実現することが可能であり、例えば、半導体メモリ装置、半導体メモリ装置の制御方法、および、半導体メモリ装置を備えた電子機器等の形態で実現することができる。 10

【0017】

【発明の実施の形態】

次に、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

A．半導体メモリ装置の端子構成と動作状態の概要：

B．半導体メモリ装置内部の構成：

C．第1実施例：

C1．リードサイクルが連続して実行される場合の動作：

C1.1．実施例：

C1.2．比較例： 20

C1.3．アクセス速度の比較：

C2．ライトサイクルの後リードサイクルが実行される場合の動作：

C2.1．実施例：

C2.2．比較例：

C2.3．アクセス速度の比較：

D．第2実施例：

E．電子機器への適用例：

【0018】

A．半導体メモリ装置の端子構成と動作状態の概要：

図1は、本発明の半導体メモリ装置の一実施例としてのメモリチップ10の端子構成を示す説明図である。メモリチップ10は、以下のような端子を有している。 30

【0019】

A0～A19：アドレス入力端子（20本）、

#CS：チップセレクト入力端子、

#WE：ライトイネーブル入力端子、

#OE：アウトプットイネーブル入力端子（出力許可信号入力端子）、

I00～I015：入出力データ端子（16本）。

【0020】

なお、以下の説明では、端子名と信号名と同じ符号を用いている。端子名（信号名）の先頭に「#」が付されているものは、負論理であることを意味している。アドレス入力端子A0～A19と入出力データ端子I00～I015はそれぞれ複数本設けられているが、図1では簡略化されて描かれている。また、電源端子等の以下の説明で特に必要としない他の端子は省略されている。 40

【0021】

このメモリチップ10は、仮想SRAM（VSRAM）として構成されている。ただし、SRAMと異なり、ダイナミック型のメモリセルが用いられているので、所定期間内にリフレッシュが必要となる。このため、メモリチップ10の内部には、外部アクセスコントローラ70とともにリフレッシュコントローラ80が内蔵されている。この外部アクセスコントローラ70が本発明の外部アクセス制御部に相当し、リフレッシュコントローラ80が本発明のリフレッシュ制御部に相当する。 50

【 0 0 2 2 】

本明細書では、外部アクセスコントローラを介して実行される外部装置（制御装置）からのデータの読み出しや書き込みの動作を「外部アクセス」あるいは単に「アクセス」と呼ぶ場合もある。また、リフレッシュコントローラによるリフレッシュ動作を「内部リフレッシュ」または単に「リフレッシュ」と呼ぶ場合もある。また、リフレッシュを「RF」と略す場合もある。

【 0 0 2 3 】

メモリチップ10内の回路は、外部装置から供給されるアウトプットイネーブル信号#OEまたはライトイネーブル信号#WE信号に同期して動作する。すなわち、このメモリチップ10は、同期型の仮想SRAMである。

10

【 0 0 2 4 】

図1に示すチップセレクト信号#CSは、メモリチップ10の動作状態を制御するための信号である。図2は、チップセレクト信号#CSの信号レベルに応じたメモリチップ10の動作状態の区分を示す説明図である。なお、本明細書において、「Hレベル」は2値信号の2つのレベルのうちの「1」レベルを意味し、「Lレベル」は「0」レベルを意味している。

【 0 0 2 5 】

チップセレクト信号#CSがLレベル（アクティブ状態）のときは、内部の動作状態がオペレーションモードとなり、リード・オペレーションサイクルあるいはライト・オペレーションサイクル（以下、単に「オペレーションサイクル」または「リード/ライトサイクル」とも呼ぶ）が行われる。オペレーションサイクルでは、外部アクセスの実行が可能であり、適時、内部リフレッシュが実行される。

20

【 0 0 2 6 】

チップセレクト信号#CSがHレベル（非アクティブ状態）のときには、内部の動作状態がスタンバイモードとなる。スタンバイモードでは、外部アクセスの実行が禁止されるため、メモリセルアレイ内に含まれるすべてのワード線が非活性状態とされる。但し、内部リフレッシュが行われるときには、後述するように、リフレッシュコントローラ80で発生するリフレッシュアドレスで指定されたワード線が選択されて活性化される。

【 0 0 2 7 】

なお、リフレッシュ動作は、オペレーションモードでは第1のリフレッシュモードに従って実行され、スタンバイモードでは第2のリフレッシュモードに従って実行される。第1のリフレッシュモードでは、リフレッシュコントローラ80においてリフレッシュタイミング信号が発生した後に、アウトプットイネーブル信号#OEまたはライトイネーブル信号#WEに同期してリフレッシュが開始される。一方、第2のリフレッシュモードでは、リフレッシュタイミング信号が発生すると直ちにリフレッシュが開始される。このように、このメモリチップ10は、2つの動作状態にそれぞれ適したリフレッシュモードに従ってリフレッシュを実行する。

30

【 0 0 2 8 】

なお、本明細書において、「ある信号がアウトプットイネーブル信号またはライトイネーブル信号に同期する」という文言は、その信号がアウトプットイネーブル信号またはライトイネーブル信号のエッジと同じ時刻に発生することを必ずしも意味している訳ではなく、アウトプットイネーブル信号またはライトイネーブル信号のエッジと一定の時間的な関係を保って発生することを意味している。

40

【 0 0 2 9 】

図1に示すアドレスA0～A19は、20ビットであり、1メガワードのアドレスを指定する。また、入出力データIO0～IO15は、1ワード分の16ビットのデータである。すなわち、アドレスA0～A19の1つの値は16ビット（1ワード）に対応しており、一度に16ビットの入出力データIO0～IO15を入出力することができる。

【 0 0 3 0 】

オペレーションモードでは、アウトプットイネーブル信号#OEがHレベル（非アクティ

50

ブ状態)でライトイネーブル信号#WEがLレベル(アクティブ状態)になるとライトサイクルが実行され、入出力データ端子IO0~IO15からデータの入力が可能になる。また、ライトイネーブル信号#WEがHレベル(非アクティブ状態)でアウトプットイネーブル信号#OEがLレベル(アクティブ状態)になるとリードサイクルが実行され、入出力データ端子IO0~IO15からデータの出力が可能になる。

【0031】

図3は、メモリチップ10の動作の概要を示すタイミングチャートである。図2に示した2つの動作状態(オペレーションモード、スタンバイモード)のいずれであるかは、図3(a)に示すチップセレクト信号#CSの変化に応じて、随時判断される。

【0032】

図3の最初の4つのサイクルでは、チップセレクト信号#CSがLレベルであるので、動作状態がオペレーションモードとなり、オペレーションサイクルが実行されている。オペレーションモードでは、アウトプットイネーブル信号#OEまたはライトイネーブル信号#WEに同期して読み出し(リードサイクル)と書き込み(ライトサイクル)のいずれかが実行される。図3は、第1、第2、および第4番目のサイクルでリードサイクルが、第3番目のサイクルでライトサイクルが実行されている状態を示している。

【0033】

なお、アウトプットイネーブル信号#OEの最短周期 T_c は、このメモリチップ10のサイクルタイム(「サイクル周期」とも呼ばれる)に相当する。サイクルタイム T_c は、例えばランダムアクセスにおいては約50nsから約100nsの範囲の値に設定される。

【0034】

図3の4番目のサイクルの終了以降は、チップセレクト信号#CSがHレベルに立ち上がっているため、動作状態がスタンバイモードとなっている状態を示している。

【0035】

B. 半導体メモリ装置内部の構成:

図4は、メモリチップ10の内部構成を示すブロック図である。このメモリチップ10は、アドレスバッファ20と、メモリセルアレイ30と、データ入出力バッファ40と、行デコーダ50と、列デコーダ60と、外部アクセスコントローラ70と、リフレッシュコントローラ80とを備えている。

【0036】

メモリセルアレイ30の構成は、典型的なDRAMのメモリセルアレイと同じである。すなわち、メモリセルアレイ30は、1トランジスタ1キャパシタ型の複数のメモリセルがマトリクス状に配列されたものである。各メモリセルには、図示しないワード線とビット線対(データ線対とも呼ばれる)とが接続されている。なお、本例では、行方向に4096列、列方向に256×16列(4096列)、すなわち、1メガワード(16メガビット)のメモリセルがマトリクス状に配列されている。

【0037】

アドレスバッファ20は、外部装置から与えられた複数のアドレスを他の内部回路に供給する回路である。本例では、20ビットのアドレス(外部アドレス)A0~A19が与えられており、20ビットの内部アドレスADD0~ADD19として他の内部回路に供給する。具体的には、下位8ビットの内部アドレスADD0~ADD7は列アドレスとして列デコーダ60に供給され、上位12ビットの内部アドレスADD8~ADD19は行アドレスとして行デコーダ50に供給されている。

【0038】

行デコーダ50は、アドレスバッファ20から供給される12ビットの行アドレスADD8~ADD19とリフレッシュコントローラ80から供給される12ビットのリフレッシュアドレスRAD8~RAD19のいずれかから従ってメモリセルアレイ30内の4096本のワード線のうちの1本を選択して活性化する。なお、行アドレスADD8~ADD19からリフレッシュアドレスRAD8~RAD19かの選択は、外部アクセスコントローラ70から供給される外部アクセス実行タイミング信号#EXおよびリフレッシュコントロ

10

20

30

40

50

ーラ 80 から供給されるリフレッシュ実行タイミング信号 # R F に従って行われる。

【 0 0 3 9 】

列デコーダ 60 は、供給される列アドレス A D D 0 ~ A D D 7 に従ってメモリセルアレイ 30 内の複数組のビット線対の中の 1 ワード (1 6 ビット) 分のビット線対を同時に選択する。なお、列デコーダ 60 によるビット線対の選択も、外部アクセス実行タイミング信号 # E X に従って行われる。

【 0 0 4 0 】

従って、12 ビットの行アドレス A D D 8 ~ A D D 1 9 と 8 ビットの列アドレス A D D 0 ~ A D D 7 とによって、1 メガワード (1 6 メガビット) のメモリセルを有するメモリセルアレイ 30 の中から 1 ワード (1 6 ビット) 分のメモリセルが選択される。

10

【 0 0 4 1 】

選択されたメモリセルに対応する 1 ワード分のデータは、データ入出力バッファ 40 を介して読み出され、あるいは書き込まれる。すなわち、外部装置は、メモリチップ 10 に 1 つのアドレス A 0 ~ A 1 9 を入力することにより、メモリセルアレイ 30 内の 1 ワード分のメモリセルに同時にアクセスすることが可能である。なお、データ入出力バッファ 40 には、図示しない読み出し回路や書き込み回路が含まれており、データ入出力バッファ 40 とメモリセルアレイ 30 との間のデータのやり取りを可能とする。また、メモリセルアレイ 30 またはデータ入出力バッファ 40 内には、図示しない、プリチャージ回路やセンスアンプ、プリアンプ、読み出しデータのラッチ回路、データの書き込み回路なども設けられている。

20

【 0 0 4 2 】

外部アクセスコントローラ 70 は、アービタ 100 と、外部アクセス要求信号発生回路 120 と、外部アクセス実行タイミング信号発生回路 130 と、R / W 信号発生回路 140 とを備えている。

【 0 0 4 3 】

アービタ 100 は、リードアクセス要求信号 R R Q およびライトアクセス要求信号 W R Q に基づいて外部アクセスアービタ信号 E X A B を発生する。

【 0 0 4 4 】

外部アクセス要求信号発生回路 120 は、アウトプットイネーブル信号 # O E に同期してリードアクセス要求信号 R R Q を発生し、ライトイネーブル信号 # W E に同期してライトアクセス要求信号 W R Q を発生する。

30

【 0 0 4 5 】

外部アクセス実行タイミング信号発生回路 130 は、チップセレクト信号 # C S がアクティブ状態であるオペレーションモードにおいて、アービタ 100 から供給される外部アクセスアービタ信号 E X A B と、外部アクセス要求信号発生回路 120 から供給されるリードアクセス要求信号 R R Q およびライトアクセス要求信号 W R Q と、R / W 信号発生回路 140 から供給される読み出しラッチ信号 R D L T とに基づいて外部アクセス実行タイミング信号 # E X を発生し、行デコーダ 50 および列デコーダ 60 の動作を制御する。なお、チップセレクト信号 # C S が非アクティブ状態であるスタンバイモードでは、外部アクセス実行タイミング信号 # E X を発生しない。

40

【 0 0 4 6 】

R / W 信号発生回路 140 は、チップセレクト信号 # C S 、ライトイネーブル信号 # W E 、およびアウトプットイネーブル信号 # O E に基づいて、データ入出力バッファ 40 を介して実行されるデータの入出力を制御するための種々の信号を発生し、メモリセルアレイ 30 へのデータの書き込みあるいは読み出しを制御する。例えば、アービタ 100 および外部アクセス実行タイミング信号発生回路 130 にも供給される読み出しラッチ信号 R D L T を発生する。

【 0 0 4 7 】

リフレッシュコントローラ 80 は、リフレッシュタイマ 150 と、リフレッシュ要求信号発生回路 160 と、リフレッシュ実行タイミング信号発生回路 170 と、リフレッシュア

50

ドレス発生回路180とを備えている。また、外部アクセスコントローラ70に含まれているアービタ100も、リフレッシュコントローラ80の構成要素である。

【0048】

アービタ100は、ライトアクセス要求信号WRQおよび読み出しラッチ信号RDLTに基づいてリフレッシュアービタ信号RFABを発生する。

【0049】

リフレッシュタイマ150は、リフレッシュタイミング信号RFTMとして、一定のリフレッシュサイクル毎に一定期間アクティブ状態となるパルス信号を出力する。リフレッシュタイマ150は、例えばリングオシレータによって構成される。

【0050】

リフレッシュ要求信号発生回路160は、リフレッシュタイマ150から供給されるリフレッシュタイミング信号RFTMに同期してリフレッシュ要求信号RFRQを発生する。

【0051】

リフレッシュ実行タイミング信号発生回路170は、チップセレクト信号#CSがアクティブ状態(Lレベル)であるオペレーションモードにおいて、リフレッシュ要求信号発生回路160から供給されるリフレッシュ要求信号RFRQに加えて、アービタ100から供給されるリフレッシュアービタ信号RFABおよび外部アクセス要求信号発生回路120から供給されるライトアクセス要求信号WRQに基づいてリフレッシュ実行タイミング信号#RFを発生する。なお、リフレッシュ実行タイミング信号発生回路170は、チップセレクト信号#CSが非アクティブ状態(Hレベル)であるスタンバイモードにおいては、リフレッシュ要求信号RFRQに基づいてリフレッシュ実行タイミング信号#RFを発生する。

【0052】

リフレッシュアドレス発生回路180は、リフレッシュ要求信号RFRQに基づいて12ビットのリフレッシュアドレスRA8~RA19を発生する。リフレッシュアドレス発生回路180は、例えば12ビットのカウンタにより構成される。

【0053】

なお、上記外部アクセスコントローラ70およびリフレッシュコントローラ80を構成する各ブロックは、後述する動作を実現する一般的な種々の論理回路により容易に構成可能であり、ここではその説明を省略する。

【0054】

C. 第1実施例:

以下では、オペレーションモードにおける外部アクセスコントローラ70およびリフレッシュコントローラ80の動作を、(1)リードサイクルが連続して実行されている場合、(2)ライトサイクルの後リードサイクルが実行される場合に分けて説明する。

【0055】

なお、スタンバイモードにおいては、リフレッシュタイミング信号RFTMのHレベル(アクティブ状態)への変化に同期してリフレッシュ要求信号RFRQがHレベル(アクティブ状態)に変化すると、これに応じて直ちにリフレッシュ実行タイミング信号#RFが一定期間自動的にLレベル(アクティブ状態)となって、リフレッシュ動作が実行される。

【0056】

C1. リードサイクルが連続して実行されている場合の動作:

C1.1. 実施例:

図5は、リードサイクルが連続して実行される場合における各信号のタイミングチャートである。

【0057】

図5の時刻t1からt2までのサイクルはリフレッシュ動作が実行されないサイクルを示し、時刻t2から時刻t3までのサイクルはリフレッシュ動作が実行されるサイクルを示している。

10

20

30

40

50

【 0 0 5 8 】

リードサイクルでは、ライトイネーブル信号 # WE は、図 5 (b) に示すように H レベル (非アクティブ状態) とされる。アウトプットイネーブル信号 # OE は、図 5 (c) に示すように各サイクルの開始時刻において H レベル (非アクティブ状態) に変化し、一定時間 $t_{oe p}$ の経過後 L レベル (アクティブ状態) に変化する。この一定時間 $t_{oe p}$ は、外部アドレス ADD のスキューを吸収するために設定される。この一定時間 $t_{oe p}$ は、通常、アドレス ADD の想定される変化時刻に対するセットアップ時間とホールド時間により決められている。

【 0 0 5 9 】

まず、時刻 t_1 から t_2 までのサイクルについて説明する。アウトプットイネーブル信号 # OE が、時刻 t_1 において H レベルに変化すると、図 5 (f) に示すリードアクセス要求信号 RRQ は、この変化に応じて L レベル (非アクティブ状態) に変化する。そして、アウトプットイネーブル信号 # OE が H レベルに変化してから一定時間 $t_{oe p}$ の経過後に、アウトプットイネーブル信号 # OE が L レベルに変化すると、リードアクセス要求信号 RRQ は、この変化に従って H レベル (アクティブ状態) に変化する。なお、図 5 (g) に示すライトアクセス要求信号 WRQ も、ライトイネーブル信号 # WE に同期して変化する信号であるが、図 5 (b) に示すライトイネーブル信号 # WE が H レベル (非アクティブ状態) のままであるので、同様に L レベル (非アクティブ状態) のままである。

【 0 0 6 0 】

リードアクセス要求信号 RRQ が H レベルに変化すると、図 5 (j) に示す外部アクセスアービタ信号 EXAB は、この変化に従って H レベル (アクティブ状態) に変化する。外部アクセスアービタ信号 EXAB が H レベルに変化すると、図 5 (k) に示す外部アクセス実行タイミング信号 # EX は、この変化に従って H レベル (非アクティブ状態) から L レベル (アクティブ状態) に変化する。外部アクセス実行タイミング信号 # EX が L レベルに変化すると、図 5 (a) に示す外部アドレス ADD ($A_0 \sim A_{19} = "a"$) に対応するワード線 WL が、図 5 (l) に示すように活性化され、図 5 (m) に示すように読み出し信号 RD が出力される。なお、図 5 (l) の信号波形は、便宜上複数のワード線の波形を 1 つのワード線の波形として示している。また、以下の説明で図示するタイミングチャートにおいても同様である。

【 0 0 6 1 】

読み出し信号 RD が安定に出力され得る時刻には、図 5 (n) に示すように、読み出しラッチ信号 RDLT として、外部アクセス実行タイミング信号 # EX の L レベルの変化に基づいて H レベルに変化するパルス信号が発生する。読み出しラッチ信号 RDLT は、読み出し信号 RD が安定に出力され得る時刻に H レベルに変化して読み出し信号 RD をサンプリングし、その後再び L レベルに変化してサンプリングした読み出し信号 RD をラッチするためのラッチ信号である。

【 0 0 6 2 】

読み出しラッチ信号 RDLT が L レベルに変化して、読み出し信号 RD のラッチが開始されると、これに応じて、外部アクセス実行タイミング信号 # EX は、図 5 (k) に示すように、H レベル (非アクティブ状態) に変化する。外部アクセス実行タイミング信号 # EX が H レベルに変化すると、活性化されていたワード線 WL が非活性化されて、選択されていたメモリセルからのデータの読み出しが終了する。ただし、読み出し信号 RD は既にラッチされているので、ラッチされた読み出し信号 RD は、アウトプットイネーブル信号 # OE が L レベルである間、図 5 (o) に示すように、出力データ信号 IO ($IO_0 \sim IO_{15}$) として出力される。これにより、外部アドレス ADD (= "a") に対応するメモリセルのリードアクセスが実行される。

【 0 0 6 3 】

ここで、図 5 (h) に示すリフレッシュアービタ信号 RFAB は、読み出しラッチ信号 RDLT が H レベルに変化すると、これに応じて H レベルに変化するパルス信号である。図示しない時刻 t_1 よりも前のサイクルでは、図 5 (d) に示すリフレッシュタイミング信

10

20

30

40

50

号 R F T M が H レベル (アクティブ状態) に変化しておらず、これに従って図 5 (e) に示すリフレッシュ要求信号 R F R Q も H レベル (アクティブ状態) に変化していないので、リフレッシュアービタ信号 R F A B が H レベルに変化した時刻においても、リフレッシュ要求信号 R F R Q は L レベルである。このため、図 5 (i) に示すリフレッシュ実行タイミング信号 # R F は H レベル (非アクティブ状態) を維持し、時刻 t 1 から t 2 までのサイクルにおいてリフレッシュが実行されることはない。

【 0 0 6 4 】

次に、時刻 t 2 から t 3 のサイクルについて説明する。時刻 t 2 から t 3 のサイクルにおいても、時刻 t 1 から t 2 のサイクルの場合と同じタイミングで、外部アクセス実行タイミング信号 # E X が L レベルに変化し、外部アドレス A D D (= " b ") に対応するメモリセルのリードアクセスが実行される。

10

【 0 0 6 5 】

ここで、リフレッシュタイミング信号 R F T M は、図 5 (d) に示すように、時刻 t 1 から t 2 までのサイクル中に H レベルに変化し、これに応じてリフレッシュ要求信号 R F R Q も、図 5 (e) に示すように H レベルに変化している。これにより、時刻 t 2 から t 3 のサイクルでは、リフレッシュアービタ信号 R F A B が H レベルに変化した時に、リフレッシュ要求信号 R F R Q が H レベルとなっている。このとき、リフレッシュ実行タイミング信号 # R F は、図 5 (i) に示すように、リフレッシュアービタ信号 R F A B の H レベルへの変化時点から一定時間 t d r f 1 経過後に、自動的に一定期間 t r f だけ L レベル (アクティブ状態) に変化する。これにより、図示しないリフレッシュアドレス R A D D (R A D 8 ~ R A D 1 9) に対応するワード線 W L が活性化されて、このワード線 W L によって選択可能なメモリセルのリフレッシュ動作が実行される。

20

【 0 0 6 6 】

リフレッシュ実行タイミング信号 # R F が L レベルに変化すると、この変化に従ってリフレッシュ要求信号 R F R Q は L レベル (非アクティブ状態) に変化し、リフレッシュ要求が解除される。

【 0 0 6 7 】

なお、一定時間 t d r f 1 は、外部アクセス実行タイミング信号 # E X が H レベルに変化してからリフレッシュ実行タイミング信号 # R F が L レベルに変化するまでの時間、より具体的には、リードアクセス動作において活性化されていたワード線の非活性化が開始されて、リフレッシュ動作において選択されるワード線の活性化が開始されるまでの時間が、要求されるプリチャージ時間以上の長さとなるように設定される。「プリチャージ時間」とは、活性化されていたワード線の非活性化が開始されてから、いずれかのワード線の活性化が開始されるまでの時間を意味しており、このプリチャージ時間としては、仮想 S R A M の構造に起因して一定の待時間が要求されている。

30

【 0 0 6 8 】

時刻 t 3 からのサイクルでは、リフレッシュ要求信号 R F R Q が L レベルであるので、リフレッシュ動作は実行されず、時刻 t 1 から t 2 までのサイクルと全く同様に動作する。

【 0 0 6 9 】

以上説明したように、リードサイクル中のリフレッシュ動作は、まず、リードアクセスが優先して実行された後に実行される。

40

【 0 0 7 0 】

なお、アウトプットイネーブル信号 # O E が H レベル (非アクティブ状態) に変化する時刻をリードアクセスの開始時刻とした場合に、この開始時刻から出力データ信号 I O が出力されるまでのアクセス時間 t r a は、リフレッシュ動作の有無に関わらず下式 (1) で表される。

$$t r a = t d a + t a c \quad \dots (1)$$

【 0 0 7 1 】

ここで、t d a はアウトプットイネーブル信号 # O E が H レベルに変化してから外部アクセス実行タイミング信号 # E X が L レベルに変化するまでの待時間であり、t a c は外部

50

アクセス実行タイミング信号 # E X が L レベルに変化して実際のリードアクセスが開始されてから出力データ信号 I O が出力されるまでの時間である。また、待時間 t_{da} は下式 (2) で表される。

$$t_{da} = t_{oep} + t_{dc1} \dots (2)$$

【 0 0 7 2 】

ここで、 t_{oep} は、アウトプットイネーブル信号 # O E が H レベルに変化してから L レベルに変化するまでの時間である。 t_{dc1} は外部アクセス実行タイミング信号 # E X を発生する論理回路の遅延時間である。

【 0 0 7 3 】

C 1 . 2 . 比較例 :

次に、上記実施例の効果を明確にするための比較例について説明する。図 6 は、リードサイクルが連続して実行される場合における比較例としての各信号のタイミングチャートである。

【 0 0 7 4 】

図 6 の時刻 t_{11} から t_{12} までのサイクルはリフレッシュ動作が実行されないサイクルを示し、時刻 t_{12} から時刻 t_{13} までのサイクルはリフレッシュ動作が実行されるサイクルを示している。

【 0 0 7 5 】

比較例においても、リードサイクルでは、ライトイネーブル信号 # W E は、図 6 (b) に示すように H レベル (非アクティブ状態) とされる。アウトプットイネーブル信号 # O E は、図 6 (c) に示すように各サイクルの開始時刻において H レベル (非アクティブ状態) に変化し、一定時間 t_{oep} の経過後 L レベル (アクティブ状態) に変化する。

【 0 0 7 6 】

まず、時刻 t_{11} から t_{12} のサイクルについて説明する。アウトプットイネーブル信号 # O E が、時刻 t_{11} において H レベルに変化すると、図 6 (f) に示すリードアクセス要求信号 R R Q は、この変化に応じて L レベル (非アクティブ状態) に変化する。

【 0 0 7 7 】

リードアクセス要求信号 R R Q が L レベルに変化すると、外部アクセス実行タイミング信号 # E X は、図 6 (k) に示すように、前のサイクルにおいて L レベルであった場合には、この変化に従って H レベルに変化する。また、リードアクセス要求信号 R R Q が L レベルに変化すると、図 6 (h) に示すリフレッシュアービタ信号 R F A B は、この変化に従って H レベル (アクティブ状態) に変化する。リフレッシュアービタ信号 R F A B が H レベルに変化したとき、図 6 (e) に示すリフレッシュ要求信号 R F R Q が L レベルである場合には、図 6 (i) に示すリフレッシュ実行タイミング信号 # R F は H レベル (非アクティブ状態) を維持する。

【 0 0 7 8 】

アウトプットイネーブル信号 # O E が H レベルに変化してから一定時間 t_{oep} の経過後に、アウトプットイネーブル信号 # O E が L レベルに変化すると、リードアクセス要求信号 R R Q は、図 6 (f) に示すように、この変化に従って H レベル (アクティブ状態) に変化する。なお、図 6 (g) に示すライトアクセス要求信号 W R Q も、ライトイネーブル信号 # W E に同期して変化するが、ライトイネーブル信号 # W E が H レベル (非アクティブ状態) のままであるので、同様に L レベル (非アクティブ状態) のままである。

【 0 0 7 9 】

リードアクセス要求信号 R R Q が H レベルに変化すると、図 6 (j) に示す外部アクセスアービタ信号 E X A B は、この変化に従って H レベル (アクティブ状態) に変化する。外部アクセスアービタ信号 E X A B が H レベルに変化すると、図 6 (k) に示す外部アクセス実行タイミング信号 # E X は、外部アクセスアービタ信号 E X A B の H レベルへの変化時点から一定時間 t_{dex1} 経過後に、L レベル (アクティブ状態) に変化する。この一定時間 t_{dex1} については後述する。なお、この外部アクセス実行タイミング信号 # E X は、時刻 t_{12} におけるアウトプットイネーブル信号 # O E の H レベルへの変化に従っ

10

20

30

40

50

てリードアクセス要求信号 $R R Q$ が L レベルに変化するまで、L レベルを維持する。外部アクセス実行タイミング信号 $\# E X$ が L レベルに変化すると、図 6 (a) に示す外部アドレス $A D D (A 0 \sim A 1 9 = " a ")$ に対応するワード線 $W L$ が、図 6 (l) に示すように活性化され、図 6 (m) に示すように読み出し信号 $R D$ が出力される。

【 0 0 8 0 】

読み出し信号 $R D$ が安定に出力され得る時刻には、図 6 (n) に示すように、読み出しラッチ信号 $R D L T$ として、外部アクセス実行タイミング信号 $\# E X$ の L レベルの変化に基づいて H レベルに変化するパルス信号が発生する。読み出しラッチ信号 $R D L T$ が H レベルに変化して、読み出し信号 $R D$ がサンプリングされてラッチされると、ラッチされた読み出し信号 $R D$ は、アウトプットイネーブル信号 $\# O E$ が L レベルである間、図 6 (o) に示すように、出力データ信号 $I O (= I O 0 \sim I O 1 5)$ として出力される。これにより、外部アドレス $A D D (= " a ")$ に対応するメモリのリードアクセスが実行される。

10

【 0 0 8 1 】

次に、時刻 $t 1 2$ から $t 1 3$ のサイクルについて説明する。リフレッシュタイミング信号 $R F T M$ は、図 6 (d) に示すように、時刻 $t 1 1$ から $t 1 2$ までのサイクル中に H レベルに変化し、これに応じてリフレッシュ要求信号 $R F R Q$ も、図 6 (e) に示すように H レベルに変化している。従って、時刻 $t 1 2$ から $t 1 3$ のサイクルでは、リフレッシュ要求信号 $R F R Q$ は、リフレッシュアービタ信号 $R F A B$ が H レベルに変化した時に H レベルとなっている。このとき、リフレッシュ実行タイミング信号 $\# R F$ は、図 6 (i) に示すように、リフレッシュアービタ信号 $R F A B$ の H レベルへの変化時点から一定時間 $t d r f 2$ 経過後に、自動的に一定期間 $t r f$ だけ L レベル (アクティブ状態) に変化する。これにより、図示しないリフレッシュアドレス $R A D D (R A D 8 \sim R A D 1 9)$ に対応するワード線 $W L$ が活性化されて、このワード線 $W L$ によって選択可能なメモリのリフレッシュ動作が実行される。

20

【 0 0 8 2 】

リフレッシュ実行タイミング信号 $\# R F$ が L レベルに変化すると、リフレッシュ要求信号 $R F R Q$ は図 6 (e) に示すように L レベル (非アクティブ状態) に変化して、リフレッシュ要求が解除される。

【 0 0 8 3 】

なお、一定時間 $t d r f 2$ は、外部アクセス実行タイミング信号 $\# E X$ が H レベルに変化してからリフレッシュ実行タイミング信号 $\# R F$ が L レベルに変化するまでの時間、より具体的には、前のサイクルにおけるリードアクセス動作において活性化されていたワード線の非活性化が開始されて、リフレッシュ動作において選択されるワード線の活性化が開始されるまでの時間が、要求されるプリチャージ時間以上の長さとなるように設定される。

30

【 0 0 8 4 】

ここで、時刻 $t 1 1$ から $t 1 2$ までのサイクルのように、リフレッシュ動作が実行されない場合には、アウトプットイネーブル信号 $\# O E$ の L レベルへの変化に従ってリードアクセス要求信号 $R R Q$ が H レベルに変化すると、外部アクセスアービタ信号 $E X A B$ は、図 6 (j) に破線で示すように、この変化に従って H レベルに変化する。しかしながら、リフレッシュ動作が実行される場合には、リフレッシュ要求信号 $R F R Q$ が H レベルで、リフレッシュ実行タイミング信号 $\# R F$ が L レベルに変化することによって、外部アクセスアービタ信号 $E X A B$ の H レベルへの変化がマスクされる。そして、外部アクセスアービタ信号 $E X A B$ は、図 6 (j) に示すように、リフレッシュ実行タイミング信号 $\# R F$ が H レベルに戻るのを待って H レベルに変化する。

40

【 0 0 8 5 】

外部アクセスアービタ信号 $E X A B$ が H レベルに変化すると、外部アクセス実行タイミング信号 $\# E X$ は、図 6 (k) に示すように、外部アクセスアービタ信号 $E X A B$ の H レベルへの変化時点から一定時間 $t d e x 1$ 経過後に、L レベル (アクティブ状態) に変化する

50

る。外部アクセス実行タイミング信号 # E X が L レベルに変化すると、図 6 (a) に示す外部アドレス A D D (A 0 ~ A 1 9 = " b ") に対応するワード線 W L が、図 6 (l) に示すように活性化され、図 6 (m) に示すように読み出し信号 R D が出力される。これにより、外部アドレス A D D (= " b ") に対応するメモリセルのリードアクセスが実行される。

【 0 0 8 6 】

なお、一定時間 t_{dex1} は、リフレッシュ実行タイミング信号 # R F が H レベルに変化してから外部アクセス実行タイミング信号 # E X が L レベルに変化するまでの時間、より具体的には、リフレッシュアクセス動作において活性化されていたワード線の非活性化が開始されて、リードアクセス動作において選択されるワード線の活性化が開始されるまでの時間が、要求されるプリチャージ時間以上の長さとなるように設定される。

10

【 0 0 8 7 】

時刻 t_{13} からのサイクルでは、リフレッシュ要求信号 R F R Q が L レベルであるので、リフレッシュ動作は実行されず、時刻 t_{11} から t_{12} までのサイクルと全く同様に動作する。

【 0 0 8 8 】

以上説明したように、比較例におけるリードサイクル中のリフレッシュ動作は、リードアクセスに優先してリフレッシュ動作が実行される。

【 0 0 8 9 】

なお、アウトプットイネーブル信号 # O E が H レベル (非アクティブ状態) に変化する時刻をリードアクセスの開始時刻とした場合に、リードアクセスの開始時刻から出力データ信号 I O が出力されるまでのアクセス時間 $t_{ra'}$ は、リフレッシュ動作が実行されない場合に比べてリフレッシュ動作が実行される分だけ遅くなる。このアクセス時間 $t_{ra'}$ は、下式 (3) で表される。

20

$$t_{ra'} = t_{da'} + t_{ac} \quad \dots (3)$$

【 0 0 9 0 】

ここで、 $t_{da'}$ はアウトプットイネーブル信号 # O E が H レベルに変化してから外部アクセス実行タイミング信号 # E X が L レベルに変化するまでの待時間であり、 t_{ac} は外部アクセス実行タイミング信号 # E X が L レベルに変化してから出力データ信号 I O が出力されるまでの時間である。また、待時間 $t_{da'}$ は、下式 (4) で表される。

30

$$t_{da'} = t_{dc2} + t_{pr1} + t_{rf} + t_{pr2} \quad \dots (4)$$

【 0 0 9 1 】

ここで、 t_{dc2} は、外部アクセス実行タイミング信号 # E X を発生する論理回路の遅延時間である。 t_{pr1} は外部アクセス実行タイミング信号 # E X が H レベルに変化してからリフレッシュ実行タイミング信号 # R F が L レベルに変化するまでの時間 (いわゆるプリチャージ時間に相当する) であり、 t_{rf} はリフレッシュ実行タイミング信号 # R F が L レベルである期間 (リフレッシュ期間) であり、 t_{pr2} はリフレッシュ実行タイミング信号 # R F が H レベルに変化してから外部アクセス実行タイミング信号 # E X が L レベルに変化するまでの時間 (いわゆるプリチャージ時間に相当する) である。

【 0 0 9 2 】

40

C 1 . 3 . アクセス速度の比較 :

式 (1) で表される実施例におけるアクセス時間 t_{ra} と、式 (3) で表される比較例におけるアクセス時間 $t_{ra'}$ との差 t_{ra} は、下式 (5) に示すように、待時間 t_{da} と $t_{da'}$ との差で表される。

$$t_{ra} = t_{da'} - t_{da} = (t_{dc2} + t_{pr1} + t_{rf} + t_{pr2}) - (t_{oep} + t_{dc1}) \quad \dots (5)$$

【 0 0 9 3 】

ここで、通常、論理回路の遅延時間 t_{dc1} と t_{dc2} の長さはほぼ等しい、あるいは、それぞれの遅延量が他の時間の長さに比べて小さく無視できると考えられ、式 (5) は下式 (5 a) で表される。

50

$$t_{ra} = t_{da'} - t_{da} (t_{pr1} + t_{rf} + t_{pr2}) - t_{oep} \dots (5a)$$

【0094】

ここで、アウトプットイネーブル信号#OEがHレベルに変化してからLレベルに変化するまでの時間 t_{oep} の長さが十分長く、 $t_{oep} > (t_{pr1} + t_{rf} + t_{pr2})$ である場合には、式(4)で表される比較例の待時間 $t_{da'}$ は、式(2)で表される実施例の待時間 t_{da} にほぼ等しくなる。この場合、比較例におけるアクセス時間 $t_{ra'}$ も、式(1)で表される実施例のアクセス時間 t_{ra} にほぼ等しくなるため、アクセス時間の差 t_{ra} は発生しない。

【0095】

しかしながら、サイクル時間の短縮化を図るためには、比較例において t_{oep} の長さは 10、通常、 $t_{oep} < (t_{pr1} + t_{rf} + t_{pr2})$ となる。

【0096】

従って、式(1)で表される実施例におけるアクセス時間 t_{ra} は、式(3)で表される比較例におけるアクセス時間 $t_{ra'}$ に比べて式(5a)で表される差 t_{ra} だけ短くなる。この結果、本実施例におけるメモリチップ10は、リードサイクルが連続して実行されている場合において、リードアクセスの高速化を図ることができる。また、リードサイクルが連続して実行されている場合におけるサイクルタイムの短縮化を図ることができる。

【0097】

C2. ライトサイクルの後リードサイクルが実行される場合の動作： 20

C2.1. 実施例：

図7は、ライトサイクルの後リードサイクルが実行される場合における各信号のタイミングチャートである。

【0098】

図7の時刻 t_{21} から t_{22} までのサイクルはリフレッシュ動作が実行されるライトサイクルを示し、時刻 t_{22} から t_{23} までのサイクルはリフレッシュ動作が実行されないライトサイクルを示し、時刻 t_{23} から時刻 t_{24} までのサイクルはリフレッシュ動作が実行されるリードサイクルを示している。

【0099】

ライトサイクルにおいて、アウトプットイネーブル信号#OEは、図7(c)に示すようにHレベル(非アクティブ状態)とされる。ライトイネーブル信号#WEは、図7(b)に示すように各サイクルの開始時刻においてHレベル(非アクティブ状態)に変化し、一定時間 t_{wep} の経過後Lレベル(アクティブ状態)に変化する。この一定時間 t_{wep} は、外部アドレスADDのスキューを吸収するために設定される。この一定時間 t_{wep} は、通常、アドレスADDの変化時刻に対するセットアップ時間とホールド時間により決められている。 30

【0100】

まず、時刻 t_{21} から t_{22} のサイクルについて説明する。時刻 t_{21} において、ライトイネーブル信号#WEがHレベルに変化すると、図7(g)に示すライトアクセス要求信号WRQは、この変化に応じてLレベル(非アクティブ状態)に変化する。そして、ライトイネーブル信号#WEがHレベルに変化してから一定時間 t_{wep} の経過後に、ライトイネーブル信号#WEがLレベルに変化すると、ライトアクセス要求信号WRQは、この変化に従ってHレベル(アクティブ状態)に変化する。なお、図7(f)に示すリードアクセス要求信号RRQは、図7(c)に示すアウトプットイネーブル信号#OEがHレベル(非アクティブ状態)のままであるので、同様にLレベル(非アクティブ状態)のままである。 40

【0101】

ライトアクセス要求信号WRQがHレベルに変化すると、図7(h)に示すリフレッシュアービタ信号RFABは、この変化に従ってHレベル(アクティブ状態)に変化する。

【0102】

ここで、時刻 t_{21} よりも前の図示しないサイクルにおいて、図 7 (d) に示すリフレッシュタイミング信号 $RFTM$ は H レベル (アクティブ状態) に変化し、これに従って図 7 (e) に示すリフレッシュ要求信号 $RFRQ$ も H レベル (アクティブ状態) に変化している。リフレッシュアービタ信号 $RFA B$ が H レベルに変化した時に、リフレッシュ要求信号 $RFRQ$ が図 7 (e) に示すように H レベルとなっている場合には、図 7 (i) に示すリフレッシュ実行タイミング信号 $\#RF$ は、リフレッシュアービタ信号 $RFA B$ の H レベルへの変化に従って一定期間 t_{rf} だけ L レベル (アクティブ状態) に変化する。これにより、図示しないリフレッシュアドレス $RADD$ ($RAD8 \sim RAD19$) に対応するワード線 WL が活性化されて、このワード線 WL によって選択可能なメモリのリフレッシュ動作が実行される。

10

【 0 1 0 3 】

リフレッシュ実行タイミング信号 $\#RF$ が L レベルに変化すると、リフレッシュ要求信号 $RFRQ$ は図 7 (e) に示すように L レベル (非アクティブ状態) に変化して、リフレッシュ要求が解除される。

【 0 1 0 4 】

ここで、リフレッシュ動作が実行されない場合には、ライトアクセス要求信号 WRQ が図 7 (g) に示すように H レベルに変化すると、外部アクセスアービタ信号 $EXAB$ も、図 7 (j) に破線で示すように、この変化に従って H レベルに変化する。しかしながら、リフレッシュ動作が実行される場合には、リフレッシュ要求信号 $RFRQ$ が H レベルで、リフレッシュ実行タイミング信号 $\#RF$ が L レベルに変化することによって、外部アクセスアービタ信号 $EXAB$ の H レベルへの変化がマスクされる。そして、外部アクセスアービタ信号 $EXAB$ は、図 7 (j) に示すように、リフレッシュ実行タイミング信号 $\#RF$ が H レベルに戻るのを待って H レベルに変化する。

20

【 0 1 0 5 】

外部アクセスアービタ信号 $EXAB$ が H レベルに変化すると、これに応じて外部アクセス実行タイミング信号 $\#EX$ は、図 7 (k) に示すように、外部アクセスアービタ信号 $EXAB$ の H レベルへの変化時点から一定時間 t_{dex1} 経過後に、L レベル (アクティブ状態) に変化する。なお、この外部アクセス実行タイミング信号 $\#EX$ は、時刻 t_{22} におけるライトイネーブル信号 $\#WE$ の H レベルへの変化に従ってライトアクセス要求信号 WRQ が L レベルに変化するまで、L レベルを維持する。

30

【 0 1 0 6 】

外部アクセス実行タイミング信号 $\#EX$ が L レベルに変化すると、図 7 (a) に示す外部アドレス ADD ($A0 \sim A19 = "a"$) に対応するワード線 WL が、図 7 (l) に示すように活性化される。そして、図 7 (o) に示すように、外部装置から供給された入力データ信号 IO ($IO0 \sim IO15$) が、外部アドレス ADD ($= "a"$) に対応するメモリセルに、時刻 t_{22} におけるライトイネーブル信号 $\#WE$ の H レベルへの変化のタイミングで書き込まれる。

【 0 1 0 7 】

次に、時刻 t_{22} から t_{23} のサイクルについて説明する。時刻 t_{22} から t_{23} のサイクルでは、リフレッシュアービタ信号 $RFA B$ が H レベルに変化するときに、リフレッシュ要求信号 $RFRQ$ が L レベルのままであるので、リフレッシュ動作は実行されない。従って、ライトイネーブル信号 $\#WE$ が図 7 (b) に示すように時刻 t_{22} で H レベルに変化してから一定期間 t_{wep} 経過後に L レベルに変化して、ライトアクセス要求信号 WRQ が図 7 (g) に示すように L レベルに変化すると、外部アクセスアービタ信号 $EXAB$ は、図 7 (j) に示すように、この変化に従って H レベルに変化する。外部アクセスアービタ信号 $EXAB$ が H レベルに変化すると、外部アクセス実行タイミング信号 $\#EX$ は、図 7 (k) に示すように、外部アクセスアービタ信号 $EXAB$ の H レベルへの変化時点から一定時間 t_{dex1} 経過後に L レベルに変化する。これにより、外部アドレス ADD ($= "b"$) に対応するメモリのライトアクセスが実行される。

40

【 0 1 0 8 】

50

時刻 t_{23} から t_{24} のサイクルでは、ライトイネーブル信号 # WE は H レベル（非アクティブ状態）となり、アウトプットイネーブル信号 # OE は、時刻 t_{23} から一定時間 t_{woep} 経過後に L レベル（アクティブ状態）となって、リードアクセスが実行される。

【0109】

また、リフレッシュタイミング信号 RFTM は、図 7 (d) に示すように、時刻 t_{22} から t_{23} のサイクル中に H レベルに変化し、これに応じてリフレッシュ要求信号 RFRQ も、図 7 (e) に示すように H レベルに変化している。これにより、時刻 t_{23} から t_{24} までのサイクルでは、リフレッシュ要求信号 RFRQ は、リフレッシュアービタ信号 RFA B が図 7 (h) に示すように H レベルに変化した時には H レベルとなっている。従って、時刻 t_{23} から t_{24} までのサイクルでは、図 5 の時刻 t_2 から t_3 のサイクルと同様にリードアクセス動作の後でリフレッシュ動作が実行される。

10

【0110】

なお、このリードサイクルにおける動作タイミングは、図 5 の時刻 t_2 から t_3 における動作タイミングと同様であるので、ここでは説明を省略する。

【0111】

なお、ライトイネーブル信号 # WE が H レベル（非アクティブ状態）に変化する時刻をリードアクセスの開始時刻とした場合に、この開始時刻から出力データ信号 IO が出力されるまでのアクセス時間 t_{wra} は、式 (1) と同様であり、下式 (7) で表される。

$$t_{wra} = t_{wda} + t_{ac} \quad \dots (7)$$

【0112】

ここで、 t_{wda} はライトイネーブル信号 # WE が H レベルに変化してから外部アクセス実行タイミング信号 # EX が L レベルに変化するまでの待時間であり、 t_{ac} は外部アクセス実行タイミング信号 # EX が L レベルに変化してから出力データ信号 IO が出力されるまでの時間である。また、待時間 t_{wda} は下式 (8) で表される。

$$t_{wda} = t_{woep} + t_{dc1} \quad \dots (8)$$

20

【0113】

ここで、 t_{woep} は、ライトイネーブル信号 # WE が H レベル（非アクティブ状態）に変化してからアウトプットイネーブル信号 # OE が L レベルに変化するまでの時間である。 t_{dc1} は外部アクセス実行タイミング信号 # EX を発生する論理回路の遅延時間である。

30

【0114】

C2.2. 比較例：

次に、上記実施例の効果を確認するための比較例について説明する。図 8 は、ライトサイクルの後リードサイクルが実行される場合における比較例としての各信号のタイミングチャートである。

【0115】

図 8 の時刻 t_{31} から t_{32} までのサイクルはリフレッシュ動作が実行されるライトサイクルを示し、時刻 t_{32} から t_{33} までのサイクルはリフレッシュ動作が実行されないライトサイクルを示し、時刻 t_{33} から t_{34} までのサイクルは、リフレッシュ動作が実行されるリードサイクルを示している。

40

【0116】

比較例においても、ライトサイクルにおいて、アウトプットイネーブル信号 # OE は、図 8 (c) に示すように H レベル（非アクティブ状態）とされる。ライトイネーブル信号 # WE は、図 8 (b) に示すように各サイクルの開始時刻において H レベル（非アクティブ状態）に変化し、一定時間 t_{wep} の経過後 L レベル（アクティブ状態）に変化する。

【0117】

まず、時刻 t_{31} から t_{32} のサイクルについて説明する。時刻 t_{31} において、ライトイネーブル信号 # WE が H レベルに変化すると、図 8 (g) に示すライトアクセス要求信号 WRQ は、この変化に応じて L レベル（非アクティブ状態）に変化する。そして、ライトイネーブル信号 # WE が H レベルに変化してから一定時間 t_{wep} の経過後に、ライト

50

イネーブル信号#WEがLレベル(アクティブ状態)に変化すると、ライトアクセス要求信号WRQは、この変化に従ってHレベル(アクティブ状態)に変化する。なお、図8(f)に示すリードアクセス要求信号RRQは、図8(c)に示すアウトプットイネーブル信号#OEがHレベル(非アクティブ状態)のままであるので、同様にLレベル(非アクティブ状態)のままである。

【0118】

ライトアクセス要求信号WRQがLレベルに変化すると、外部アクセス実行タイミング信号#EXは、図8(k)に示すように、前のサイクルにおいてLレベルであった場合には、この変化に従ってHレベルに変化する。また、ライトアクセス要求信号WRQがLレベルに変化すると、図8(h)に示すリフレッシュアービタ信号RFABは、この変化に従ってHレベル(アクティブ状態)に変化する。

10

【0119】

ここで、時刻 t_{31} よりも前の図示しないサイクルにおいて、図8(d)に示すリフレッシュタイミング信号RFTMはHレベル(アクティブ状態)に変化し、これに従って図8(e)に示すリフレッシュ要求信号RFRQもHレベル(アクティブ状態)に変化している。リフレッシュアービタ信号RFABがHレベルに変化した時に、リフレッシュ要求信号RFRQが図8(e)に示すようにHレベルとなっている場合には、図8(i)に示すリフレッシュ実行タイミング信号#RFは、リフレッシュアービタ信号RFABのHレベルへの変化時点から一定時間 t_{drf3} 経過後に、自動的に一定期間 t_{rf} だけLレベル(アクティブ状態)に変化する。これにより、図示しないリフレッシュアドレスRADD(RAD8~RAD19)に対応するワード線WLが活性化されて、このワード線WLによって選択可能なメモリセルのリフレッシュ動作が実行される。

20

【0120】

リフレッシュ実行タイミング信号#RFがLレベルに変化すると、リフレッシュ要求信号RFRQは図8(e)に示すようにLレベル(非アクティブ状態)に変化して、リフレッシュ要求が解除される。

【0121】

なお、一定時間 t_{drf3} は、外部アクセス実行タイミング信号#EXがHレベルに変化してからリフレッシュ実行タイミング信号#RFがLレベルに変化するまでの時間、より具体的には、リードアクセス動作において活性化されていたワード線の非活性化が開始されて、リフレッシュアクセス動作において選択されるワード線の活性化が開始されるまでの時間が、要求されるプリチャージ時間以上の長さとなるように設定される。

30

【0122】

ここで、リフレッシュ動作が実行されない場合には、ライトアクセス要求信号WRQが図8(g)に示すようにHレベルに変化すると、外部アクセスアービタ信号EXABも、図8(j)に破線で示すように、この変化に従ってHレベルに変化する。しかしながら、リフレッシュ動作が実行される場合には、リフレッシュ要求信号RFRQがHレベルで、リフレッシュ実行タイミング信号#RFがLレベルに変化することによって、外部アクセスアービタ信号EXABのHレベルへの変化がマスクされる。そして、外部アクセスアービタ信号EXABは、図8(j)に示すように、リフレッシュ実行タイミング信号#RFがHレベルに戻るのを待ってHレベルに変化する。

40

【0123】

外部アクセスアービタ信号EXABがHレベルに変化すると、これに応じて外部アクセス実行タイミング信号#EXは、図8(k)に示すように、外部アクセスアービタ信号EXABのHレベルへの変化時点から一定時間 t_{dex1} 経過後に、Lレベル(アクティブ状態)に変化する。なお、この外部アクセス実行タイミング信号#EXは、時刻 t_{32} におけるライトイネーブル信号#WEのHレベルへの変化に従ってライトアクセス要求信号WRQがLレベルに変化するまで、Lレベルを維持する。外部アクセス実行タイミング信号#EXがLレベルに変化すると、図8(a)に示す外部アドレスADD(A0~A19="a")に対応するワード線WLが、図8(l)に示すように活性化される。

50

【 0 1 2 4 】

そして、図 8 (o) に示すように、外部装置から供給された入力データ信号 I O (I O 0 ~ I O 1 5) が、外部アドレス A D D (= " a ") に対応するメモリセルに、時刻 t 3 2 におけるライトイネーブル信号 # W E の H レベルへの変化のタイミングで書き込まれる。

【 0 1 2 5 】

次に、時刻 t 3 2 から t 3 3 のサイクルについて説明する。時刻 t 3 2 から t 3 3 のサイクルでは、リフレッシュアービタ信号 R F A B が H レベルに変化するときに、リフレッシュ要求信号 R F R Q が L レベル (非アクティブ状態) のままであるので、リフレッシュ動作は実行されない。従って、ライトイネーブル信号 # W E が図 8 (b) に示すように時刻 t 3 2 で H レベルに変化してから一定期間 t w e p 経過後に L レベルに変化して、ライトアクセス要求信号 W R Q が図 8 (g) に示すように L レベルに変化すると、外部アクセスアービタ信号 E X A B は、図 8 (j) に示すように、この変化に従って H レベルに変化する。外部アクセスアービタ信号 E X A B が H レベルに変化すると、外部アクセス実行タイミング信号 # E X は、図 8 (k) に示すように、外部アクセスアービタ信号 E X A B の H レベルへの変化時点から一定時間 t d e x 1 経過後に L レベルに変化する。これにより、外部アドレス A D D (= " b ") に対応するメモリセルのライトアクセスが実行される。

10

【 0 1 2 6 】

時刻 t 3 3 から t 3 4 のサイクルでは、ライトイネーブル信号 # W E は H レベル (非アクティブ状態) となり、アウトプットイネーブル信号 # O E は、時刻 t 3 3 から一定時間 t w o e p (通常、 t w o p e t o e p である) 経過後に L レベル (アクティブ状態) となつて、リードアクセスが実行される。

20

【 0 1 2 7 】

また、リフレッシュタイミング信号 R F T M は、図 8 (d) に示すように、時刻 t 3 2 から t 3 3 のサイクル中に H レベルに変化し、これに応じてリフレッシュ要求信号 R F R Q も、図 8 (e) に示すように H レベルに変化している。これにより、時刻 t 3 3 から t 3 4 までのサイクルでは、リフレッシュ要求信号 R F R Q は、リフレッシュアービタ信号 R F A B が図 8 (h) に示すように H レベルに変化した時には H レベルとなっている。従って、時刻 t 3 3 から t 3 4 までのサイクルでは、図 6 の時刻 t 1 2 から t 1 3 のサイクルと同様にリードアクセス動作に優先してリフレッシュ動作が実行される。

【 0 1 2 8 】

なお、このリードサイクルにおける動作タイミングは、図 6 の時刻 t 1 2 から t 1 3 における動作タイミングと同様であるので、ここでは説明を省略する。

30

【 0 1 2 9 】

なお、ライトイネーブル信号 # W E が H レベル (非アクティブ状態) に変化する時刻をリードアクセスの開始時刻とした場合に、リードアクセスの開始時刻から出力データ信号 I O が出力されるまでのアクセス時間 t w r a ' は、式 (3) と同様であり、下式 (9) で表される。

$$t w r a ' = t w d a ' + t a c \quad \dots (9)$$

【 0 1 3 0 】

ここで、 t w d a ' はライトイネーブル信号 # W E が H レベルに変化してから外部アクセス実行タイミング信号 # E X が L レベルに変化するまでの待時間であり、 t a c は外部アクセス実行タイミング信号 # E X が L レベルに変化してから出力データ信号 I O が出力されるまでの時間である。また、待時間 t w d a ' は、下式 (1 0) で表される。

40

$$t w d a ' = t d c 3 + t p r 1 + t r f + t p r 2 \quad \dots (1 0)$$

【 0 1 3 1 】

ここで、 t d c 3 は、外部アクセス実行タイミング信号 # E X を発生する論理回路の遅延時間である。 t p r 1 は外部アクセス実行タイミング信号 # E X が H レベルに変化してからリフレッシュ実行タイミング信号 # R F が L レベルに変化するまでの時間であり、 t r f はリフレッシュ実行タイミング信号 # R F が L レベルである期間であり、 t p r 2 はリフレッシュ実行タイミング信号 # R F が H レベルに変化してから外部アクセス実行タイミ

50

ング信号#EXがLレベルに変化するまでの時間である。

【0132】

C2.3. アクセス速度の比較：

式(7)で表される実施例におけるアクセス時間 t_{wra} と、式(9)で表される比較例におけるアクセス時間 t_{wra}' との差 t_{wra} は、下式(11)に示すように、待時間 t_{wda} と t_{wda}' との差で表される。

$$t_{wra} = t_{wda}' - t_{wda} = (t_{ddc3} + t_{pr1} + t_{rf} + t_{pr2}) - (t_{woep} + t_{dc1}) \dots (11)$$

【0133】

ここで、通常、論理回路の遅延時間 t_{dc1} と t_{dc3} の長さはほぼ等しい、あるいは、それぞれの遅延量が他の時間の長さに比べて小さく無視できると考えられ、式(11)は下式(11a)で表される。

$$t_{wra} = t_{wda}' - t_{wda} = (t_{pr1} + t_{rf} + t_{pr2}) - t_{woep} \dots (11a)$$

【0134】

ここで、ライトイネーブル信号#WEがHレベルに変化した後アウトプットイネーブル信号#OEがLレベルに変化するまでの期間 t_{woep} の長さが十分長く、 $t_{woep} > (t_{pr1} + t_{rf} + t_{pr2})$ である場合には、リードサイクルが連続して実行されている場合と同様に、式(10)で表される比較例の待時間 t_{wda}' は、式(8)で表される実施例の待時間 t_{wda} にほぼ等しくなる。この場合、比較例におけるアクセス時間 t_{wra}' も、式(7)で表される実施例のアクセス時間 t_{wra} にほぼ等しくなるため、アクセス時間の差 t_{wra} は発生しない。

【0135】

しかしながら、リードサイクルが連続して実行されている場合に説明したように、リードアクセスが実行されるサイクル時間の短縮化を図るために、比較例において t_{woep} の長さは、通常、 $t_{woep} < (t_{pr1} + t_{rf} + t_{pr2})$ となる。

【0136】

従って、式(7)で表される実施例におけるアクセス時間 t_{wra} は、式(9)で表される比較例におけるアクセス時間 t_{wra}' に比べて式(11a)で表される差 t_{wra} だけ短くなる。この結果、本実施例におけるメモリチップ10は、ライトサイクルの後リードサイクルが実行される場合においても、リードアクセスの高速化を図ることができる。また、ライトサイクルの後リードサイクルが実行される場合においても、サイクルタイム T_{rc} の短縮化を図ることができる。

【0137】

以上、(1)リードサイクルが連続して実行されている場合、(2)ライトサイクルの後リードサイクルが実行される場合に分けて説明したように、本実施例では、比較例におけるアクセス素子に比べて高速化が可能であり、また、比較例におけるサイクルタイムに比べて短縮化が可能である。

【0138】

なお、本実施例で説明した各信号のタイムチャートは一例であり、これに限定されるものではない。リードサイクルにおいては、外部アクセスコントローラは、アウトプットイネーブル信号がアクティブ状態に変化すると直ちにアクティブ状態に変化し、ラッチ信号がアクティブ状態に変化後非アクティブ状態に変化することによって、読み出された信号のラッチが開始されると直ちに非アクティブ状態に戻る外部アクセス実行タイミング信号を出力するようにすればよい。リフレッシュ制御部は、リフレッシュ要求信号がアクティブ状態であった場合において、ラッチ信号がアクティブ状態に変化したときに、その変化に応じて一定期間アクティブ状態に変化するリフレッシュ実行タイミング信号を出力するようにすればよい。

【0139】

また、ライトサイクルにおいては、リフレッシュコントローラは、リフレッシュ要求信号

10

20

30

40

50

がアクティブ状態であった場合において、ライトイネーブル信号がアクティブ状態に変化したときに、その変化に応じて一定期間アクティブ状態に変化するリフレッシュ実行タイミング信号を出力するにすればよい。外部アクセスコントローラは、リフレッシュ実行タイミング信号が非アクティブ状態に戻ると、その変化に応じてアクティブ状態に変化し、ライトイネーブル信号が非アクティブ状態に戻ると、その変化に応じて非アクティブ状態に戻る外部アクセス実行タイミング信号を出力するにすればよい。

【0140】

D. 第2実施例としての動作：

図9は、外部アクセスコントローラおよびリフレッシュコントローラの第2実施例としての動作を示す説明図である。この図9は、リードサイクルが連続して実行される場合における各信号のタイミングチャートを示している。

10

【0141】

図9の時刻 t_{41} から t_{42} までのサイクルは、リフレッシュ動作が実行されないサイクルを示し、時刻 t_{42} から時刻 t_{43} までのサイクルは、リフレッシュ動作が実行されるサイクルを示している。

【0142】

本例においても、リードサイクルでは、ライトイネーブル信号 # WE は、図9 (b) に示すように H レベル (非アクティブ状態) とされる。アウトプットイネーブル信号 # OE は、図9 (c) に示すように各サイクルの開始時刻において H レベル (非アクティブ状態) に変化し、一定時間 $t_{oe p}$ の経過後 L レベル (アクティブ状態) に変化する。

20

【0143】

まず、時刻 t_{41} から t_{42} のサイクルについて説明する。アウトプットイネーブル信号 # OE が、時刻 t_{41} において H レベル (非アクティブ状態) に変化すると、図9 (f) に示すリードアクセス要求信号 R R Q は、この変化に応じて L レベル (非アクティブ状態) に変化する。

【0144】

リードアクセス要求信号 R R Q が L レベルに変化すると、図9 (h) に示すリフレッシュアービタ信号 R F A B は、この変化に従って H レベル (アクティブ状態) に変化する。リフレッシュアービタ信号 R F A B が H レベルに変化したとき、図9 (e) に示すリフレッシュ要求信号 R F R Q が L レベルである場合には、図9 (i) に示すリフレッシュ実行タイミング信号 # R F は H レベル (非アクティブ状態) を維持する。

30

【0145】

アウトプットイネーブル信号 # OE が H レベルに変化してから一定時間 $t_{oe p}$ の経過後に、アウトプットイネーブル信号 # OE が L レベル (アクティブ状態) に変化すると、リードアクセス要求信号 R R Q は、図9 (f) に示すように、この変化に従って H レベル (アクティブ状態) に変化する。なお、図9 (g) に示すライトアクセス要求信号 W R Q も、ライトイネーブル信号 # WE の変化に従って変化するが、ライトイネーブル信号 # WE が H レベル (非アクティブ状態) のままであるので、同様に L レベル (非アクティブ状態) のままである。

【0146】

リードアクセス要求信号 R R Q が H レベルに変化すると、図9 (j) に示す外部アクセスアービタ信号 E X A B は、この変化に従って H レベル (アクティブ状態) に変化する。外部アクセスアービタ信号 E X A B が H レベルに変化すると、図9 (k) に示す外部アクセス実行タイミング信号 # E X は、外部アクセスアービタ信号 E X A B の H レベルへの変化時点から一定時間 $t_{dex 1}$ 経過後に、L レベル (アクティブ状態) に変化する。この一定時間 $t_{dex 1}$ については後述する。

40

【0147】

外部アクセス実行タイミング信号 # E X が L レベルに変化すると、図9 (a) に示す外部アドレス A D D ($A_0 \sim A_{19} = "a"$) に対応するワード線 W L が、図9 (l) に示すように活性化され、図9 (m) に示すように読み出し信号 R D が出力される。

50

【 0 1 4 8 】

読み出し信号 R D が安定に出力され得る時刻には、図 9 (n) に示すように、読み出しラッチ信号 R D L T として、外部アクセス実行タイミング信号 # E X の L レベルの変化に基づいて H レベルに変化するパルス信号が発生する。

【 0 1 4 9 】

読み出しラッチ信号 R D L T が L レベルに変化して、読み出し信号 R D のラッチが開始されると、これに応じて、外部アクセス実行タイミング信号 # E X は、図 9 (k) に示すように、H レベル (非アクティブ状態) に変化する。外部アクセス実行タイミング信号 # E X が H レベルに変化すると、活性化されていたワード線 W L が非活性化されて、選択されていたメモリセルからのデータの読み出しが終了する。ただし、読み出し信号 R D は既にラッチされているので、ラッチされた読み出し信号 R D は、アウトプットイネーブル信号 # O E が L レベルである間、図 9 (o) に示すように、出力データ信号 I O (I O 0 ~ I O 1 5) として出力される。これにより、外部アドレス A D D (= " a ") に対応するメモリセルのリードアクセスが実行される。

10

【 0 1 5 0 】

次に、時刻 t 4 2 から t 4 3 のサイクルについて説明する。リフレッシュタイミング信号 R F T M は、図 9 (d) に示すように、時刻 t 4 1 から t 4 2 までのサイクル中に H レベルに変化し、これに応じてリフレッシュ要求信号 R F R Q も、図 9 (e) に示すように H レベルに変化している。従って、時刻 t 4 2 から t 4 3 のサイクルでは、リフレッシュ要求信号 R F R Q は、リフレッシュアービタ信号 R F A B が H レベルに変化した時に H レベルとなっている。このとき、リフレッシュ実行タイミング信号 # R F は、図 9 (i) に示すように、リフレッシュアービタ信号 R F A B の H レベルへの変化に従って、自動的に一定期間 t r f だけ L レベル (アクティブ状態) に変化する。これにより、図示しないリフレッシュアドレス R A D D (R A D 8 ~ R A D 1 9) に対応するワード線 W L が活性化されて、このワード線 W L によって選択可能なメモリセルのリフレッシュ動作が実行される。

20

【 0 1 5 1 】

リフレッシュ実行タイミング信号 # R F が L レベルに変化すると、リフレッシュ要求信号 R F R Q は図 9 (e) に示すように L レベル (非アクティブ状態) に変化して、リフレッシュ要求が解除される。

30

【 0 1 5 2 】

ここで、時刻 t 4 1 から t 4 2 までのサイクルのように、リフレッシュ動作が実行されない場合には、アウトプットイネーブル信号 # O E の L レベルへの変化に従ってリードアクセス要求信号 R R Q が H レベルに変化すると、外部アクセスアービタ信号 E X A B は、図 9 (j) に破線で示すように、この変化に従って H レベルに変化する。しかしながら、リフレッシュ動作が実行される場合には、リフレッシュ要求信号 R F R Q が H レベルで、リフレッシュ実行タイミング信号 # R F が L レベルに変化することによって、外部アクセスアービタ信号 E X A B の H レベルへの変化がマスクされる。そして、外部アクセスアービタ信号 E X A B は、図 9 (j) に示すように、リフレッシュ実行タイミング信号 # R F が H レベルに戻るのを待って H レベルに変化する。

40

【 0 1 5 3 】

外部アクセスアービタ信号 E X A B が H レベルに変化すると、外部アクセス実行タイミング信号 # E X は、図 9 (k) に示すように、外部アクセスアービタ信号 E X A B の H レベルへの変化時点から一定時間 t d e x 1 経過後に、L レベル (アクティブ状態) に変化する。外部アクセス実行タイミング信号 # E X が L レベルに変化すると、図 9 (a) に示す外部アドレス A D D (A 0 ~ A 1 9 = " b ") に対応するワード線 W L が、図 6 (l) に示すように活性化され、図 6 (m) に示すように読み出し信号 R D が出力される。これにより、外部アドレス A D D (= " b ") に対応するメモリセルのリードアクセスが実行される。

【 0 1 5 4 】

50

なお、一定時間 t_{dex1} は、リフレッシュ実行タイミング信号 #RF が H レベルに変化してから外部アクセス実行タイミング信号 #EX が L レベルに変化するまでの時間が、要求されるプリチャージ時間以上の長さとなるように設定される。

【0155】

ここで、図6で示した比較例では、リフレッシュアービタ信号 R F A B の H レベルへの変化時間から一定時間 t_{drf2} 経過後にリフレッシュ実行タイミング信号 #RF を L レベルに変化させている。これは、活性化されていたワード線の非活性化が開始されてからリフレッシュ動作において選択されるワード線の活性化が開始されるまでの時間として、要求されているプリチャージ時間以上の長さを確保するためである。しかしながら、本実施例では、読み出し信号 R D のラッチが開始された時点で、外部アクセス実行タイミング #EX が H レベル（非アクティブ状態）に変化して、メモリセルからの読み出しが終了しており、アウトプットイネーブル信号 #OE が H レベルに変化して次のサイクルが開始されるまでの間の時間によって、要求されるプリチャージ時間を確保することができるので、比較例のように、リフレッシュアービタ信号 R F A B が H レベルに変化してからリフレッシュ実行信号 #RF を L レベルに変化させるまでの遅延時間 t_{drf2} を設ける必要はない。

10

【0156】

なお、アウトプットイネーブル信号 #OE が H レベル（非アクティブ状態）に変化する時刻をリードアクセスの開始時刻とした場合に、リードアクセスの開始時刻から出力データ信号 I O が出力されるまでのアクセス時間 $t_{ra''}$ は、下式(12)で表される。

20

$$t_{ra''} = t_{da''} + t_{ac} \quad \dots (12)$$

【0157】

ここで、 $t_{da''}$ はアウトプットイネーブル信号 #OE が H レベルに変化してから外部アクセス実行タイミング信号 #EX が L レベルに変化するまでの待時間であり、 t_{ac} は外部アクセス実行タイミング信号 #EX が L レベルに変化してから出力データ信号 I O が出力されるまでの時間である。また、待時間 $t_{da''}$ は、下式(13)で表される。

$$t_{da''} = t_{dc4} + t_{rf} + t_{pr2} \quad \dots (13)$$

【0158】

ここで、 t_{dc4} はリフレッシュ実行タイミング信号 #RF を発生する論理回路の遅延時間である。 t_{rf} はリフレッシュ実行タイミング信号 #RF が L レベルである期間であり、 t_{pr2} はリフレッシュ実行タイミング信号 #RF が H レベルに変化してから外部アクセス実行タイミング信号 #EX が L レベルに変化するまでの時間である。

30

【0159】

式(12)で表される実施例におけるアクセス時間 $t_{ra''}$ と、式(3)で表される比較例におけるアクセス時間 $t_{ra'}$ との差 $t_{ra''}$ は、下式(14)に示すように、待時間 $t_{da''}$ と $t_{da'}$ との差で表される。

$$t_{ra''} - t_{ra'} = t_{da''} - t_{da'} = (t_{dc2} + t_{pr1} + t_{rf} + t_{pr2}) - (t_{dc4} + t_{rf} + t_{pr2}) = (t_{dc2} + t_{pr1}) - t_{dc4} \quad \dots (14)$$

【0160】

ここで、通常、論理回路の遅延時間 t_{dc2} と t_{dc4} の長さはほぼ等しい、あるいは、それぞれの遅延量が他の時間の長さに比べて小さく無視できると考えられ、式(14)は下式(14a)で表される。

40

$$t_{ra''} - t_{ra'} = t_{pr1} \quad \dots (14a)$$

【0161】

従って、式(12)で表される実施例におけるアクセス時間 $t_{ra''}$ は、式(3)で表される比較例におけるアクセス時間 $t_{ra'}$ に比べて式(14a)で表される差 t_{pr1} だけ短くなる。この結果、本実施例におけるメモリチップ 10 は、リードサイクルが連続して実行されている場合において、リードアクセスの高速化を図ることができる。また、リードサイクルが連続して実行されている場合において、サイクルタイムの短縮化を図ることができる。

50

【 0 1 6 2 】

以上のように、本実施例では、リードサイクルが連続して実行されている場合におけるアクセス速度を、比較例におけるアクセス速度に比べて高速化することが可能であり、また、比較例におけるサイクルタイムに比べて短縮化が可能である。

【 0 1 6 3 】

なお、本実施例で説明した各信号のタイムチャートは一例であり、これに限定されるものではない。リードサイクルにおいて、外部アクセスコントローラは、アウトプットイネーブル信号がアクティブ状態に変化すると、これに応じてアクティブ状態に変化し、ラッチ信号がアクティブ状態に変化後非アクティブ状態に変化して、読み出された信号のラッチが開始されると非アクティブ状態に戻る外部アクセス実行タイミング信号を出力するよう
10
にすればよい。リフレッシュコントローラは、リフレッシュ要求信号がアクティブ状態であった場合において、アウトプットイネーブル信号が非アクティブ状態に戻ったときに、この変化に応じて一定期間アクティブ状態に変化するリフレッシュ実行タイミング信号を出力するようになればよい。

【 0 1 6 4 】

E . 電子機器への適用例 :

図 1 0 は、本発明による半導体メモリ装置を利用した電子機器の一実施例としての携帯電話機の斜視図である。この携帯電話機 7 0 0 は、本体部 7 1 0 と、蓋部 7 2 0 とを備えている。本体部 7 1 0 には、キーボード 7 1 2 と、液晶表示部 7 1 4 と、受話部 7 1 6 と、本体アンテナ部 7 1 8 とが設けられている。また、蓋部 7 2 0 には、送話部 7 2 2 が設け
20
られている。

【 0 1 6 5 】

図 1 1 は、図 1 0 の携帯電話機 7 0 0 の電氣的構成を示すブロック図である。CPU 7 3 0 には、バスラインを介して、キーボード 7 1 2 と、液晶表示部 7 1 4 を駆動するためのLCDドライバ 7 3 2 と、SRAM 7 4 0 と、VSRAM 7 4 2 と、EEPROM 7 4 4 とが接続されている。

【 0 1 6 6 】

SRAM 7 4 0 は、例えば高速なキャッシュメモリとして利用される。また、VSRAM 7 4 2 は、例えば画像処理用の作業メモリとして利用される。このVSRAM 7 4 2 (擬似SRAMあるいは仮想SRAMと呼ばれる) としては、上述したメモリチップ 1 0 を採用
30
することができる。EEPROM 7 4 4 は、携帯電話機 7 0 0 の各種の設定値を格納するために利用される。

【 0 1 6 7 】

携帯電話機 7 0 0 の動作を一時的に停止させるときには、VSRAM 7 4 2 をスヌーズ状態に維持しておくことができる。こうすれば、VSRAM 7 4 2 が内部リフレッシュを自動的に行うので、VSRAM 7 4 2 内のデータを消失させずに保持しておくことが可能である。特に、本実施例のメモリチップ 1 0 は比較的大容量なので、画像データなどの大量のデータを長時間保持し続けることができるという利点がある。

【 0 1 6 8 】

なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能である。
40

【 図面の簡単な説明 】

【 図 1 】 本発明の半導体メモリ装置の一実施例としてのメモリチップ 1 0 の端子構成を示す説明図である。

【 図 2 】 チップセレクト信号 #CS の信号レベルに応じたメモリチップ 1 0 の動作状態の区分を示す説明図である。

【 図 3 】 メモリチップ 1 0 の動作の概要を示すタイミングチャートである。

【 図 4 】 メモリチップ 1 0 の内部構成を示すブロック図である。

【 図 5 】 リードサイクルが連続して実行される場合における各信号のタイミングチャートである。
50

【図6】 リードサイクルが連続して実行される場合における比較例としての各信号のタイミングチャートである。

【図7】 ライトサイクルの後リードサイクルが実行される場合における各信号のタイミングチャートである。

【図8】 ライトサイクルの後リードサイクルが実行される場合における比較例としての各信号のタイミングチャートである。

【図9】 外部アクセスコントローラおよびリフレッシュコントローラの第2実施例としての動作を示す説明図である。

【図10】 本発明による半導体メモリ装置を利用した電子機器の一実施例としての携帯電話機の斜視図である。

10

【図11】 図10の携帯電話機700の電氣的構成を示すブロック図である。

【符号の説明】

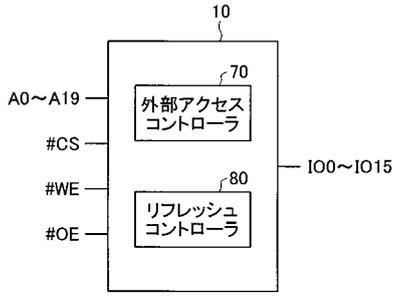
- 10 ... メモリチップ
- 20 ... アドレスバッファ
- 30 ... メモリセルアレイ
- 40 ... データ入出力バッファ
- 50 ... 行デコーダ
- 60 ... 列デコーダ
- 70 ... 外部アクセスコントローラ
- 80 ... リフレッシュコントローラ
- 100 ... アービタ
- 120 ... 外部アクセス要求信号発生回路
- 130 ... 外部アクセス実行タイミング信号発生回路
- 140 ... R/W信号発生回路
- 150 ... リフレッシュタイマ
- 160 ... リフレッシュ要求信号発生回路
- 170 ... リフレッシュ実行タイミング信号発生回路
- 180 ... リフレッシュアドレス発生回路
- 700 ... 携帯電話機
- 710 ... 本体部
- 712 ... キーボード
- 714 ... 液晶表示部
- 716 ... 受話部
- 718 ... 本体アンテナ部
- 720 ... 蓋部
- 722 ... 送話部
- 730 ... CPU
- 732 ... LCDドライバ
- 740 ... SRAM
- 742 ... VSRAM
- 744 ... EEPROM

20

30

40

【 図 1 】



【 図 2 】

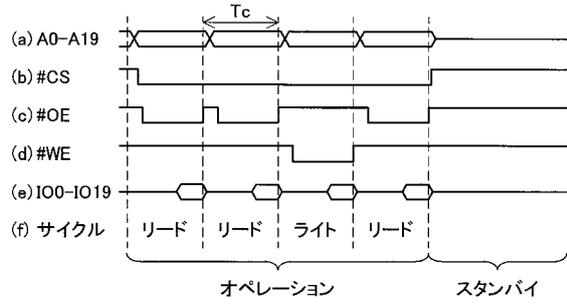
	#CS	リフレッシュモード (注)
オペレーション	L	モード1
スタンバイ	H	モード2

(注)

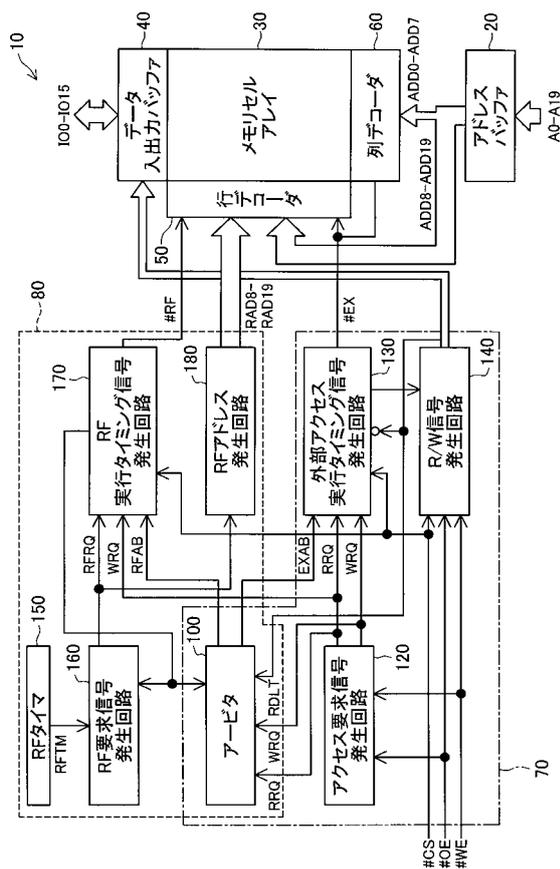
リフレッシュモード1 : メモリチップ内部でリフレッシュタイミング信号が発生した後に、アウトプットイネーブル信号またはライトイネーブル信号に同期してリフレッシュを実行する

リフレッシュモード2 : メモリチップ内部でのリフレッシュタイミング信号の発生に応じてリフレッシュを実行する (アドレス入力は不要)

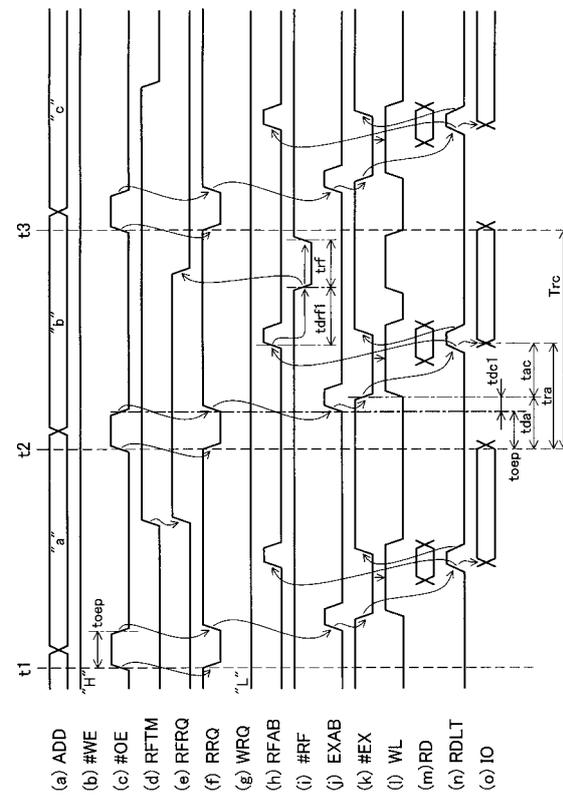
【 図 3 】



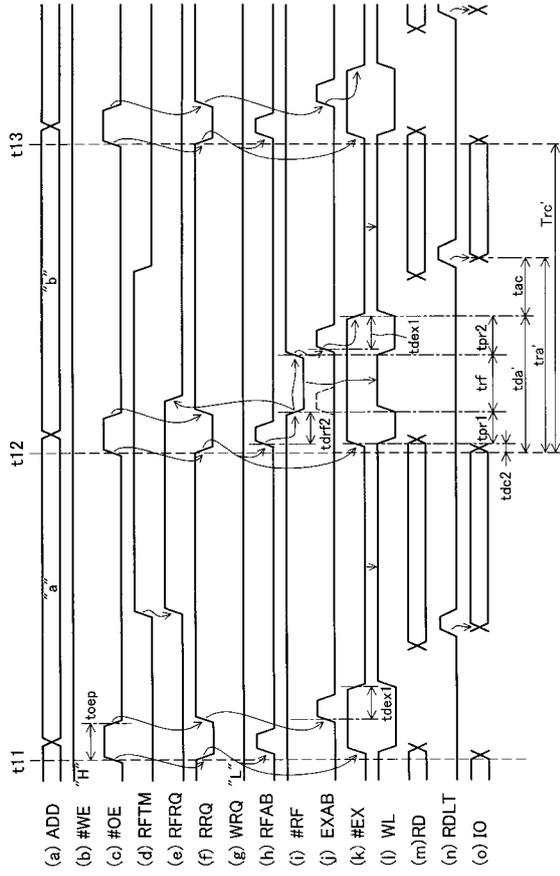
【 図 4 】



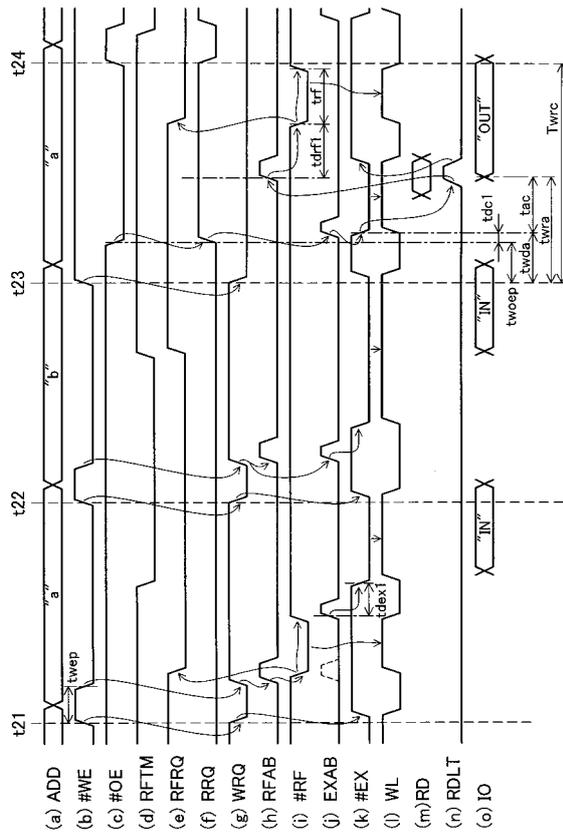
【 図 5 】



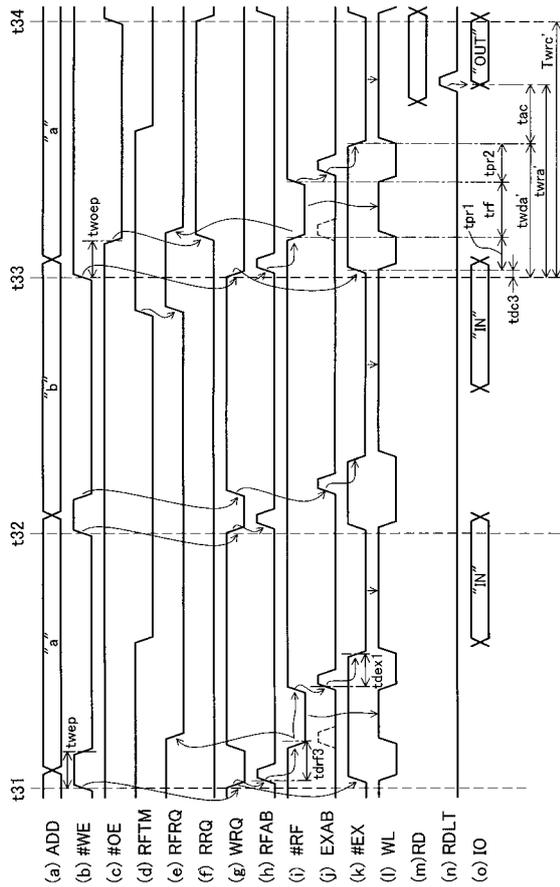
【 6 】



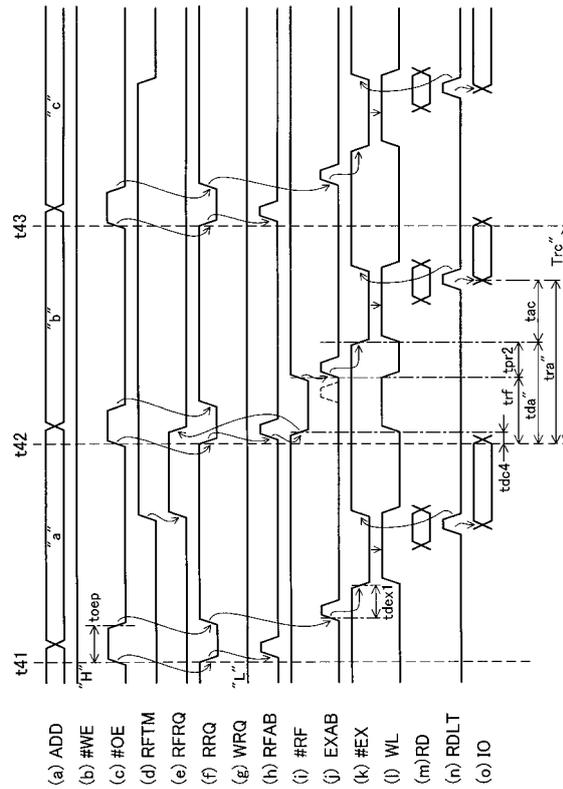
【 7 】



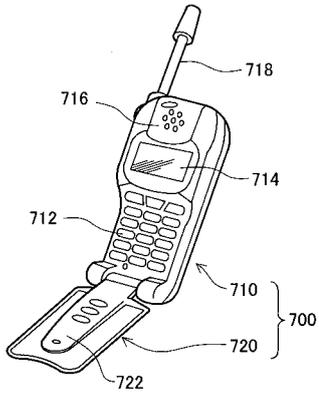
【 8 】



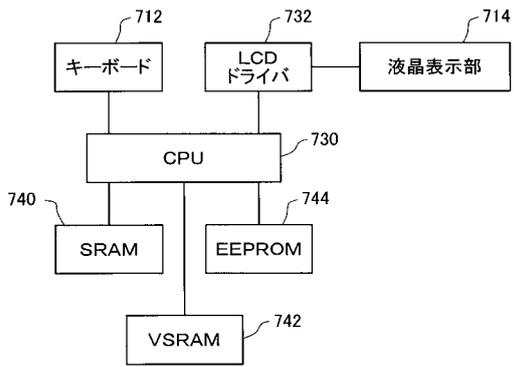
【 9 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

- (56)参考文献 特開2002-074943(JP,A)
特開2001-357671(JP,A)
特開2002-352576(JP,A)
特開2002-074944(JP,A)
特開2002-184174(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/403