



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0108120
(43) 공개일자 2014년09월05일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2014-0015684
(22) 출원일자 2014년02월11일
심사청구일자 없음
(30) 우선권주장
JP-P-2013-038596 2013년02월28일 일본(JP)

(71) 출원인
가부시킴가이사 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
토쿠나가 하지메
일본국 240-0006 가나가와켄 요코하마시 호도가야
쿠 호시카와 3-9-6 구레이스와다마치505
한다 타쿠야
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시킴가이사 한도오따이 에네루기 켄큐쇼 내
오카자키 켄이치
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시킴가이사 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 20 항

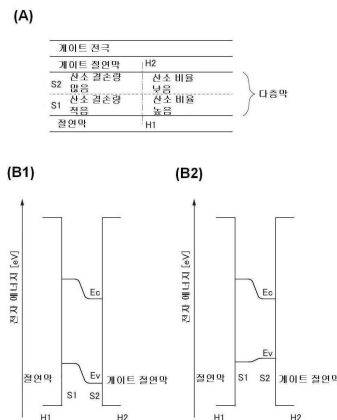
(54) 발명의 명칭 **반도체 장치와 그 제작 방법**

(57) 요약

본 발명은 전계 효과 이동도가 높은 트랜지스터 등을 제공할 수 있다. 또는, 전기 특성이 안정된 트랜지스터 등을 제공할 수 있다.

부분적으로 중첩하여 제공된 제 1 산화물 반도체층, 제 2 산화물 반도체층, 게이트 절연막, 및 게이트 전극을 가지고, 제 2 산화물 반도체층은 제 1 산화물 반도체층과 게이트 절연막 사이에 위치하고, 게이트 절연막은 제 2 산화물 반도체층과 게이트 전극 사이에 위치하고, 제 1 산화물 반도체층은 제 2 산화물 반도체층보다 산소 결손량이 적은 반도체 장치이다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 장치에 있어서,
제 1 산화물 반도체층과;
제 2 산화물 반도체층과;
게이트 절연막과;
게이트 전극을 포함하고,
상기 제 2 산화물 반도체층은 상기 제 1 산화물 반도체층과 상기 게이트 절연막 사이에 위치하고,
상기 게이트 절연막은 상기 제 2 산화물 반도체층과 상기 게이트 전극 사이에 위치하고,
상기 제 1 산화물 반도체층의 산소 결손은 상기 제 2 산화물 반도체층의 산소 결손보다 적은, 반도체 장치.

청구항 2

제 1 항에 있어서,
상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 상기 게이트 절연막, 및 상기 게이트 전극은 서로 중첩되는, 반도체 장치.

청구항 3

제 1 항에 있어서,
상기 제 2 산화물 반도체층의 전도대 하단의 에너지는 상기 제 1 산화물 반도체층의 전도대 하단의 에너지보다 낮은, 반도체 장치.

청구항 4

제 1 항에 있어서,
상기 제 2 산화물 반도체층의 에너지 갭은 상기 제 1 산화물 반도체층의 에너지 갭보다 작은, 반도체 장치.

청구항 5

반도체 장치에 있어서,
제 1 산화물 반도체층과;
제 2 산화물 반도체층과;
제 3 산화물 반도체층과;
게이트 절연막과;
게이트 전극을 포함하고,
상기 제 2 산화물 반도체층은 상기 제 1 산화물 반도체층과 상기 제 3 산화물 반도체층 사이에 위치하고,
상기 제 3 산화물 반도체층은 상기 제 2 산화물 반도체층과 상기 게이트 절연막 사이에 위치하고,
상기 게이트 절연막은 상기 제 3 산화물 반도체층과 상기 게이트 전극 사이에 위치하고,
상기 제 1 산화물 반도체층의 산소 결손은 상기 제 2 산화물 반도체층의 산소 결손보다 적고,

상기 제 3 산화물 반도체층의 산소 결손은 상기 제 2 산화물 반도체층의 산소 결손보다 적은, 반도체 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 상기 제 3 산화물 반도체층, 상기 게이트 절연막, 및 상기 게이트 전극은 서로 중첩되는, 반도체 장치.

청구항 7

제 5 항에 있어서,

상기 제 2 산화물 반도체층의 전도대 하단의 에너지는 상기 제 1 산화물 반도체층의 전도대 하단의 에너지보다 낮은, 반도체 장치.

청구항 8

제 5 항에 있어서,

상기 제 2 산화물 반도체층의 에너지 갭은 상기 제 1 산화물 반도체층의 에너지 갭보다 작은, 반도체 장치.

청구항 9

반도체 장치의 제작 방법에 있어서,

제 1 산화물 반도체층을 형성하는 단계와;

상기 제 1 산화물 반도체층과 접촉되는 제 2 산화물 반도체층을 형성하는 단계를 포함하고,

상기 제 1 산화물 반도체층은 산소를 포함하는 제 1 분위기에서 스퍼터링법으로 형성되고,

상기 제 2 산화물 반도체층은 상기 제 1 분위기보다 산소 농도가 낮은 제 2 분위기에서 스퍼터링법으로 형성되는, 반도체 장치의 제작 방법.

청구항 10

제 9 항에 있어서,

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층은 같은 타깃을 사용하여 형성되는, 반도체 장치의 제작 방법.

청구항 11

제 10 항에 있어서,

상기 제 1 산화물 반도체층의 원소의 원자수비는 상기 제 2 산화물 반도체층의 상기 원소의 원자수비와 다른, 반도체 장치의 제작 방법.

청구항 12

제 9 항에 있어서,

상기 제 2 산화물 반도체층과 접촉되는 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막과 접촉되는 게이트 전극을 형성하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 13

제 9 항에 있어서,

상기 제 2 분위기의 산소 비율은 10volume%보다 낮은, 반도체 장치의 제작 방법.

청구항 14

제 9 항에 있어서,

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층은 같은 성막실에서 형성되는, 반도체 장치의 제작 방법.

청구항 15

반도체 장치의 제작 방법에 있어서,

제 1 산화물 반도체층을 형성하는 단계와;

상기 제 1 산화물 반도체층과 접촉되는 제 2 산화물 반도체층을 형성하는 단계와;

상기 제 2 산화물 반도체층과 접촉되는 제 3 산화물 반도체층을 형성하는 단계를 포함하고,

상기 제 1 산화물 반도체층은 산소를 포함하는 제 1 분위기에서 스퍼터링법으로 형성되고,

상기 제 3 산화물 반도체층은 산소를 포함하는 제 2 분위기에서 스퍼터링법으로 형성되고,

상기 제 2 산화물 반도체층은 상기 제 1 분위기 및 상기 제 2 분위기보다 산소 농도가 낮은 제 3 분위기에서 스퍼터링법으로 형성되는, 반도체 장치의 제작 방법.

청구항 16

제 15 항에 있어서,

상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 및 상기 제 3 산화물 반도체층은 같은 타깃을 사용하여 형성되는, 반도체 장치의 제작 방법.

청구항 17

제 16 항에 있어서,

상기 제 1 산화물 반도체층의 원소의 원자수비는 상기 제 2 산화물 반도체층의 상기 원소의 원자수비와 다른, 반도체 장치의 제작 방법.

청구항 18

제 15 항에 있어서,

상기 제 3 산화물 반도체층과 접촉되는 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막과 접촉되는 게이트 전극을 형성하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 19

제 15 항에 있어서,

상기 제 3 분위기의 산소 비율은 10volume%보다 낮은, 반도체 장치의 제작 방법.

청구항 20

제 15 항에 있어서,

상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 및 상기 제 3 산화물 반도체층은 같은 성막실에서 형성되는, 반도체 장치의 제작 방법.

명세서

기술분야

[0001] 본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명은 예를 들어, 반도체층, 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치에 관한 것이다. 또는, 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치를 생산하는 방법에 관한 것이다. 또는, 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치의 구동 방법에 관한 것이다. 특히, 본 발명은 예를 들어, 트랜지스터를 가지는 반도체 장치, 표시 장치, 및 발광 장치, 또는 이들의 구동 방법에 관한 것이다. 또는, 본 발명은 예를 들어, 상기 반도체 장치, 상기 표시 장치, 또는 상기 발광 장치를 가지는 전자 기기에 관한 것이다.

[0002] 또한 본 명세서에서 반도체 장치란, 반도체 특성을 이용하여 기능할 수 있는 장치 전반을 가리키며 전기 광학 장치, 반도체 회로, 및 전자 기기 등은 모두 반도체 장치의 범주에 포함된다.

배경기술

[0003] 절연 표면을 가진 기판 위에 형성된 반도체막을 사용하여 트랜지스터를 구성하는 기술이 주목을 모으고 있다. 이와 같은 트랜지스터는 집적 회로나 표시 장치를 비롯한 반도체 장치에 널리 응용되고 있다. 트랜지스터에 적용될 수 있는 반도체막으로서는 실리콘막이 알려져 있다.

[0004] 트랜지스터의 반도체막에 사용되는 실리콘막으로서는 용도에 따라 비정질 실리콘막과 다결정 실리콘막이 구분하여 사용되고 있다. 예를 들어, 대형 표시 장치를 구성하는 트랜지스터에 적용하는 경우에는 대면적 기판에 막을 형성하는 기술이 확립되어 있는 비정질 실리콘막을 사용하면 바람직하다. 한편, 구동 회로를 일체로 형성하는 고기능 표시 장치를 구성하는 트랜지스터에 적용하는 경우에는 높은 전계 효과 이동도를 가진 트랜지스터를 제작할 수 있는 다결정 실리콘막을 사용하면 바람직하다. 다결정 실리콘막은 비정질 실리콘막에 고온의 가열 처리, 또는 레이저 광 처리를 수행하여 형성하는 방법이 알려져 있다.

[0005] 근년에 들어서는 산화물 반도체막이 주목을 받고 있다. 예를 들어, 인듐, 갈륨, 및 아연을 가진 비정질 산화물 반도체막을 사용한 트랜지스터가 개시(開示)되어 있다(특허문헌 1 참조).

[0006] 산화물 반도체막은 스퍼터링법 등으로 형성할 수 있기 때문에 대형 표시 장치를 구성하는 트랜지스터의 채널 형성 영역에 사용할 수 있다. 또한, 산화물 반도체막을 사용한 트랜지스터는 전계 효과 이동도가 높기 때문에 구동 회로를 일체로 형성한 고기능 표시 장치를 실현할 수 있다. 또한, 비정질 실리콘막을 사용한 트랜지스터의 생산 설비의 일부를 개량하여 이용할 수 있으므로 설비 투자 비용을 삭감할 수 있다는 장점도 있다.

[0007] 그런데, 산화물 반도체막을 사용한 트랜지스터는 오프 상태에서의 누설 전류가 매우 작은 것으로 알려져 있다. 예를 들어, 산화물 반도체막을 사용한 트랜지스터의 누설 전류가 낮은 특성을 응용한 저소비 전력 CPU 등이 개시되어 있다(특허문헌 2 참조).

[0008] 또한, 산화물 반도체층으로 이루어진 활성층으로 우물(well-shaped) 포텐셜을 구성함으로써, 전계 효과 이동도가 높은 트랜지스터를 얻을 수 있는 것이 개시되어 있다(특허문헌 3 참조).

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 일본국 특개2006-165528호 공보
- (특허문헌 0002) 일본국 특개2012-257187호 공보
- (특허문헌 0003) 일본국 특개2012-59860호 공보

발명의 내용

해결하려는 과제

[0010] 전계 효과 이동도가 높은 트랜지스터 등을 제공하는 것을 과제 중 하나로 한다. 또는, 전기 특성이 안정된 트랜지스터 등을 제공하는 것을 과제 중 하나로 한다.

- [0011] 또는, 오프 전류가 작은 트랜지스터 등을 제공하는 것을 과제 중 하나로 한다.
- [0012] 또는, 상기 트랜지스터 등을 가지는 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는, 신규의 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다.
- [0013] 또는, 생산성이 높은 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는, 저렴한 비용으로 제작이 가능한 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는, 수율이 높은 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다.
- [0014] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 상술한 모든 과제를 해결할 필요는 없는 것으로 한다. 또한, 상술한 것들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 상술한 것들 외의 과제가 만들어질 수 있다.

과제의 해결 수단

- [0015] 본 발명의 일 형태는 예를 들어, 부분적으로 중첩하여 제공된 제 1 산화물 반도체층, 제 2 산화물 반도체층, 게이트 절연막, 및 게이트 전극을 가지고, 제 2 산화물 반도체층은 제 1 산화물 반도체층과 게이트 절연막 사이에 위치하고, 게이트 절연막은 제 2 산화물 반도체층과 게이트 전극 사이에 위치하고, 제 1 산화물 반도체층은 제 2 산화물 반도체층보다 산소 결손량이 적은 반도체 장치이다.
- [0016] 또는, 본 발명의 일 형태는 예를 들어, 부분적으로 중첩하여 제공된 제 1 산화물 반도체층, 제 2 산화물 반도체층, 제 3 산화물 반도체층, 게이트 절연막, 및 게이트 전극을 가지고, 제 3 산화물 반도체층은 제 2 산화물 반도체층과 게이트 절연막 사이에 위치하고, 제 2 산화물 반도체층은 제 1 산화물 반도체층과 제 3 산화물 반도체층 사이에 위치하고, 게이트 절연막은 제 3 산화물 반도체층과 게이트 전극 사이에 위치하고, 제 2 산화물 반도체층은 제 1 산화물 반도체층 및 제 3 산화물 반도체층보다 산소 결손량이 많은 반도체 장치이다.
- [0017] 또는, 본 발명의 일 형태는 예를 들어, 제 1 산화물 반도체층을 형성하고, 제 1 산화물 반도체층 위에 제 2 산화물 반도체층을 형성하고, 제 2 산화물 반도체층 위에 게이트 절연막을 형성하고, 게이트 절연막 위에 게이트 전극을 형성하는 반도체 장치의 제작 방법으로, 제 1 산화물 반도체층은 산소를 포함하는 분위기에서 스퍼터링법으로 형성하고, 제 2 산화물 반도체층은 산소를 포함하지 않는 분위기에서 스퍼터링법으로 형성하는 반도체 장치의 제작 방법이다.
- [0018] 또는, 본 발명의 일 형태는 예를 들어, 제 1 산화물 반도체층을 형성하고, 제 1 산화물 반도체층 위에 제 2 산화물 반도체층을 형성하고, 제 2 산화물 반도체층 위에 제 3 산화물 반도체층을 형성하고, 제 3 산화물 반도체층 위에 게이트 절연막을 형성하고, 게이트 절연막 위에 게이트 전극을 형성하는 반도체 장치의 제작 방법으로, 제 1 산화물 반도체층 및 제 3 산화물 반도체층은 산소를 포함하는 분위기에서 스퍼터링법으로 형성하고, 제 2 산화물 반도체층은 산소를 포함하지 않는 분위기에서 스퍼터링법으로 형성하는 반도체 장치의 제작 방법이다.
- [0019] 또한, 본 발명의 일 형태에 따른 반도체 장치에서 예를 들어, 제 1 산화물 반도체층과 제 2 산화물 반도체층이 같은 타깃을 사용하여 형성되는 것이 바람직하다.
- [0020] 또한, 본 발명의 일 형태에 따른 반도체 장치에서 예를 들어, 제 1 산화물 반도체층과 제 2 산화물 반도체층이, 원자수비가 같은 타깃을 사용하여 형성되는 것이 바람직하다.

발명의 효과

- [0021] 전계 효과 이동도가 높은 트랜지스터 등을 제공할 수 있다. 또는, 전기 특성이 안정된 트랜지스터 등을 제공할 수 있다.
- [0022] 또는, 오프 전류가 작은 트랜지스터 등을 제공할 수 있다.
- [0023] 또는, 상기 트랜지스터 등을 가지는 반도체 장치 등을 제공할 수 있다. 또는, 신규의 반도체 장치 등을 제공할 수 있다.
- [0024] 또는, 생산성이 높은 반도체 장치 등을 제공할 수 있다. 또는, 저렴한 비용으로 제작이 가능한 반도체 장치 등을 제공할 수 있다. 또는, 수율이 높은 반도체 장치 등을 제공할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 일 형태에 따른 트랜지스터의 일부의 단면도와, 이 단면도에 대응하는 띠구조를 설명하는 도면.
- 도 2는 본 발명의 일 형태에 따른 트랜지스터의 일부의 단면도와, 이 단면도에 대응하는 띠구조를 설명하는 도면.
- 도 3은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시한 상면도 및 단면도.
- 도 4는 본 발명의 일 형태에 따른 트랜지스터의 제작 방법의 일례를 도시한 단면도.
- 도 5는 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시한 상면도 및 단면도.
- 도 6은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법의 일례를 도시한 단면도.
- 도 7은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법의 일례를 도시한 단면도.
- 도 8은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시한 상면도 및 단면도.
- 도 9는 본 발명의 일 형태에 따른 트랜지스터의 제작 방법의 일례를 도시한 단면도.
- 도 10은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시한 상면도 및 단면도.
- 도 11은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법의 일례를 도시한 단면도.
- 도 12는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 블록도.
- 도 13은 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 단면도 및 회로도.
- 도 14는 본 발명의 일 형태에 따른 CPU의 일례를 도시한 블록도.
- 도 15는 본 발명의 일 형태에 따른 EL 표시 장치의 일례를 도시한 회로도, 상면도, 및 단면도.
- 도 16은 본 발명의 일 형태에 따른 액정 표시 장치의 일례를 도시한 회로도 및 단면도.
- 도 17은 본 발명의 일 형태에 따른 전자 기기의 일례를 도시한 도면.
- 도 18은 트랜지스터의 전기 특성을 나타낸 도면.
- 도 19는 트랜지스터의 온 전류, 전계 효과 이동도를 나타낸 도면.
- 도 20은 백색 LED의 발광 스펙트럼을 나타낸 도면.
- 도 21은 트랜지스터의 게이트 BT 스트레스 시험 전후의 열화를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자이면 쉽게 이해할 수 있다. 또한, 본 발명은 이하에 기재된 실시형태의 내용에 한정하여 해석되는 것은 아니다. 또한, 도면을 사용하여 발명의 구성을 설명함에 있어서 같은 것을 가리키는 부호는 다른 도면간에서도 공통적으로 사용한다. 또한, 같은 것을 가리킬 때 해치 패턴을 같게 하고 특별히 부호를 붙이지 않은 경우가 있다.
- [0027] 또한, 한 실시형태에서 설명하는 내용(내용의 일부)은, 그 실시형태에서 설명하는 다른 내용(내용의 일부)에 적용, 조합, 또는 치환 등이 가능하다.
- [0028] 또한, 도면에 있어서 크기, 층의 두께, 또는 영역은, 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는다.
- [0029] 또한, 도면은 이상적인 예를 모식적으로 도시한 것이기 때문에 본 발명의 일 형태는 도면에 표현된 형상 또는 값 등에 한정되지 않는다. 예를 들어, 제조 기술에 따라 생기는 형상 편차, 오차로 인한 형상 편차, 노이즈에 기인한 신호, 전압, 또는 전류의 편차, 또는 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등이 있을 수 있다.
- [0030] 또한, 전압은 한 전위와 기준 전위(예를 들어, 접지 전위(GND) 또는 소스 전위) 사이의 전위차를 가리

키는 경우가 많다. 따라서, 전압을 전위라고 바꾸어 말할 수 있다.

- [0031] 본 명세서에서는 '전기적으로 접속된다'라고 표현되더라도 현실 회로에서는 물리적인 접속 부분이 없고 배선이 연장되어 있을 뿐인 경우가 있다.
- [0032] 또한, 제 1, 제 2라고 부여되는 서수사는 편의상 사용하는 것에 불과하고 공정 순서 또는 적층 순서를 나타내는 것은 아니다. 또한, 본 명세서에서 서수사는 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것은 아니다.
- [0033] 본 명세서에서 예를 들어, 물체의 형상을 '직경', '입경', '크기', '사이즈', '폭' 등 용어로 규정할 때, 이들을 물체가 들어갈 수 있는 최소 입방체의 한 변의 길이 또는 물체의 한 단면의 원상당경으로 바꾸어 말할 수 있다. 물체의 한 단면의 원상당경이란, 물체의 한 단면과 면적이 같은 정원의 직경을 말한다.
- [0034] 또한, '반도체'라고 표기되더라도 예를 들어 도전성이 충분히 낮은 경우에는 '절연체'로서의 특성을 가지는 경우가 있다. 또한, '반도체'와 '절연체'는 그 경계가 애매하고 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서에 기재된 '반도체'는 '절연체'라고 바꾸어 말할 수 있는 경우가 있다. 마찬가지로, 본 명세서에 기재된 '절연체'는 '반도체'라고 바꾸어 말할 수 있는 경우가 있다.
- [0035] 또한, '반도체'라고 표기되더라도 예를 들어 도전성이 충분히 높은 경우에는 '도전체'로서의 특성을 가지는 경우가 있다. 또한, '반도체'와 '도전체'는 그 경계가 애매하고 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서에 기재된 '반도체'는 '도전체'라고 바꾸어 말할 수 있는 경우가 있다. 마찬가지로, 본 명세서에 기재된 '도전체'는 '반도체'라고 바꾸어 말할 수 있는 경우가 있다.
- [0036] 또한, 반도체에서의 불순물이란, 예를 들어 반도체를 구성하는 주성분 이외의 것을 말한다. 예를 들어, 농도가 0.1atomic% 미만의 원소는 불순물이다. 불순물이 포함되면 예를 들어, 반도체에 캐리어 트랩이 형성되거나, 캐리어 이동도가 저하되거나, 결정성이 저하되는 경우가 있다. 반도체로서 산화물 반도체를 사용하는 경우, 반도체의 특성을 변화시키는 불순물로서는 예를 들어, 제 1 족 원소, 제 2 족 원소, 제 14 족 원소, 제 15 족 원소, 및 주성분 이외의 전이 금속(transition metal) 등이 있으며 특히 예를 들어, 수소(물에도 포함됨), 리튬, 나트륨, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 산화물 반도체는 불순물이 혼입됨으로써 산소 결손이 형성되는 경우가 있다. 또한, 반도체로서 실리콘을 사용하는 경우, 반도체의 특성을 변화시키는 불순물로서 예를 들어, 산소, 수소를 제외한 제 1 족 원소, 제 2 족 원소, 제 13 족 원소, 제 15 족 원소 등이 있다.
- [0037] 또한, 본 명세서에서 과잉 산소란, 예를 들어 화학량론적 조성을 초과하여 포함되는 산소를 말한다. 또는 과잉 산소란, 예를 들어 가열에 의하여 방출되는 산소를 가리킨다. 과잉 산소는 예를 들어, 막이나 층 내부에서 이동할 수 있다. 과잉 산소의 이동은 막이나 층의 원자간을 이동하는 경우와, 막이나 층을 구성하는 산소와 치환되면서 당구공과 같이 이동하는 경우가 있다. 또한, 과잉 산소를 포함한 절연막이란 예를 들어, 가열 처리에 의하여 산소를 방출하는 기능을 가진 절연막을 말한다.
- [0038] 또한, 본 명세서에서 산화물 반도체는 예를 들어, 인듐을 포함한다. 인듐을 포함한 산화물 반도체는 캐리어 이동도(전자 이동도)가 높다. 또한, 산화물 반도체는 원소 M을 포함하는 것이 바람직하다. 원소 M으로서 예를 들어, 알루미늄, 갈륨, 이트륨, 또는 주석 등이 있다. 원소 M은 예를 들어, 산소와의 결합 에너지가 높은 원소이다. 원소 M은 예를 들어, 산화물 반도체의 에너지 갭을 크게 하는 기능을 가지는 원소이다. 또한, 산화물 반도체는 아연을 포함하는 것이 바람직하다. 산화물 반도체가 아연을 포함하면 결정질 산화물 반도체가 되기 쉽다. 또한, 산화물 반도체의 가전자대 상단의 에너지(Ev)는 예를 들어, 아연의 원자수비에 의한 제어가 가능한 경우가 있다.
- [0039] 다만, 산화물 반도체는 인듐을 포함하지 않아도 된다. 산화물 반도체는 예를 들어, Zn-Sn 산화물, Ga-Sn 산화물이어도 좋다.
- [0040] 또한, 산화물 반도체는 In과 M의 원자수비율로서 In이 50atomic% 미만, M이 50atomic% 이상, 또는 In이 25atomic% 미만, M이 75atomic% 이상인 In-M-Zn 산화물로 하여도 좋다. 또한, 산화물 반도체는 In과 M의 원자수비율로서 In이 25atomic% 이상, M이 75atomic% 미만, 또는 In이 34atomic% 이상, M이 66atomic% 미만인 In-M-Zn 산화물로 하여도 좋다.
- [0041] 또한, 산화물 반도체는 에너지 갭이 크다. 산화물 반도체의 에너지 갭은 2.7eV 이상 4.9eV 이하, 바람직하게는 3eV 이상 4.7eV 이하, 더 바람직하게는 3.2eV 이상 4.4eV 이하로 한다.
- [0042] 이하에서는 산화물 반도체 내에서의 불순물의 영향에 대하여 설명한다. 또한, 트랜지스터의 전기 특성

을 안정화하기 위해서는 산화물 반도체 내의 불순물 농도를 저감시켜 고순도 진성화하는 것이 유효적이다. 또한, 산화물 반도체에서 주성분 이외(1atomic% 미만)의 경(輕)원소, 반금속 원소, 금속 원소 등은 불순물이다. 예를 들어, 수소, 리튬, 탄소, 질소, 불소, 나트륨, 실리콘, 염소, 칼륨, 칼슘, 티타늄, 철, 니켈, 구리, 게르마늄, 스트론튬, 지르코늄, 및 hafnium은 산화물 반도체에서 불순물이 되는 경우가 있다. 따라서, 산화물 반도체와 근접한 막의 불순물 농도도 저감시키는 것이 바람직하다.

[0043] 예를 들어, 산화물 반도체에 실리콘이 포함되어 있으면 불순물 준위가 형성되는 경우가 있다. 또한, 산화물 반도체 표층에 실리콘이 있으면 불순물 준위가 형성되는 경우가 있다. 그러므로, 산화물 반도체의 내부, 표층의 실리콘 농도는 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 측정하여 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 2×10^{18} atoms/cm³ 미만인 것이 바람직하다.

[0044] 또한, 산화물 반도체 내에서 수소는 불순물 준위를 형성하여 캐리어 밀도를 증대시키는 경우가 있다. 그러므로, 산화물 반도체의 수소 농도는 SIMS로 측정하여 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 또한, 산화물 반도체 내에서 질소는 불순물 준위를 형성하여 캐리어 밀도를 증대시키는 경우가 있다. 그러므로, 산화물 반도체의 질소 농도는 SIMS로 측정하여 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.

[0045] 이하에서는 본 명세서에서 기재하는 산화물 반도체의 결정성에 대하여 설명한다.

[0046] 산화물 반도체는 예를 들어, 비단결정을 가져도 좋다. 비단결정은 예를 들어 CAAC(C-Axis Aligned Crystal), 다결정, 미결정, 비정질부를 가진다.

[0047] 산화물 반도체는 예를 들어, CAAC를 가져도 좋다. 또한, CAAC를 가진 산화물 반도체를 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)라고 부른다.

[0048] CAAC-OS는 예를 들어, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서 결정부가 확인되는 경우가 있다. CAAC-OS에 포함되는 결정부는 예를 들어, TEM에 의한 관찰상에서 한 변 100nm의 입방체 내에 들어가는 크기인 경우가 많다. 또한, CAAC-OS는 TEM에 의한 관찰상에서 결정부들끼리의 경계가 명확히 확인되지 않는 경우가 있다. 또한, CAAC-OS는 TEM에 의한 관찰상에서 입계(그레인 바운더리라고도 함)가 명확히 확인되지 않는 경우가 있다. CAAC-OS는 예를 들어, 명확한 입계를 가지지 않기 때문에 불순물이 편석되는 일이 적다. 또한, CAAC-OS는 예를 들어, 명확한 입계를 가지지 않기 때문에 결함 준위 밀도가 높게 되는 일이 적다. 또한, CAAC-OS는 예를 들어, 명확한 입계를 가지지 않기 때문에 전자 이동도가 저하되기 어렵다.

[0049] CAAC-OS는 예를 들어, 복수의 결정부를 가지고 이 복수의 결정부에서 c축이 CAAC-OS가 형성되는 면의 법선 벡터 또는 CAAC-OS 표면의 법선 벡터에 평행한 방향으로 배향되어 있는 경우가 있다. 또한, CAAC-OS는 예를 들어, X선 회절(XRD: X-Ray Diffraction) 장치로 out-of-plane법에 의한 분석을 하면 2θ가 31° 근방일 때 피크가 나타날 수 있고 이 피크는 배향을 가리킨다. 또한, CAAC-OS는 예를 들어, 전자선 회절 패턴에 스폿(회절점)이 관측되는 경우가 있다. 또한, 특히 빔 직경이 10nmφ 이하, 또는 5nmφ 이하인 전자선을 사용하여 얻어진 전자선 회절 패턴을 극미 전자선 회절 패턴이라고 부른다. 또한, CAAC-OS는 예를 들어, 상이한 결정부간에서 각각 a축 및 b축의 방향이 일치되지 않은 경우가 있다. CAAC-OS는 예를 들어, c축이 배향되고 a축 또는/및 b축은 거시적으로 보면 배향되어 있지 않은 경우가 있다.

[0050] CAAC-OS에 포함되는 결정부는 예를 들어, c축이 CAAC-OS가 형성되는 면의 법선 벡터 또는 CAAC-OS 표면의 법선 벡터에 평행한 방향으로 배향되고 ab면에 수직인 방향으로부터 보아 금속 원자가 삼각형 또는 육각형으로 배열되고, c축에 수직인 방향으로부터 보아 금속 원자가 층상으로 배열되거나 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부간에서 각각 a축 및 b축의 방향이 달라도 좋다. 본 명세서에서 단순히 '수직'이라고 기재한 경우는, 80° 이상 100° 이하, 바람직하게는 85° 이상 95° 이하의 범위도 그 범주에 포함되는 것으로 한다. 또한, 단순히 '평행'이라고 기재한 경우는, -10° 이상 10° 이하, 바람직하게는 -5° 이상 5° 이하의 범위도 그 범주에 포함되는 것으로 한다.

[0051] 또한 CAAC-OS는 예를 들어, 결함 준위 밀도를 저감시켜 형성할 수 있다. 산화물 반도체에서 예를

들어, 산소 결손은 결함 준위이다. 산소 결손은 포획 준위가 되거나, 또는 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다. CAAC-OS를 형성하기 위해서는 예를 들어 산화물 반도체에 산소 결손이 발생되지 않도록 하는 것이 중요하다. 따라서 CAAC-OS는 결함 준위 밀도가 낮은 산화물 반도체이다. 또는, CAAC-OS는 산소 결손이 적은 산화물 반도체이다.

[0052] 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 '고순도 진성', 또는 '실질적으로 고순도 진성'이라고 부른다. 고순도 진성의 산화물 반도체 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에 캐리어 밀도가 낮은 경우가 있다. 따라서 상기 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터는 문턱 전압이 음이 되는 전기 특성(노멀리 온이라고도 함)을 가지기 어려울 수 있다. 또한 고순도 진성의 산화물 반도체 또는 실질적으로 고순도 진성인 산화물 반도체는 결함 준위 밀도가 낮기 때문에 포획 준위 밀도도 낮은 경우가 있다. 따라서 상기 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터인 경우가 있다. 또한 산화물 반도체의 포획 준위에 포획된 전하는 소실될 때까지 걸리는 시간이 길고, 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로 포획 준위 밀도가 높은 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.

[0053] 또한, 고순도 진성 또는 실질적으로 고순도 진성인 CAAC-OS를 사용한 트랜지스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동이 작다.

[0054] 산화물 반도체는 예를 들어, 다결정을 가져도 좋다. 또한, 다결정을 가진 산화물 반도체를 다결정 산화물 반도체라고 부른다. 다결정 산화물 반도체는 복수의 결정립을 포함한다.

[0055] 산화물 반도체는 예를 들어, 미결정을 가져도 좋다. 또한, 미결정을 가진 산화물 반도체를 미결정 산화물 반도체라고 부른다.

[0056] 미결정 산화물 반도체는 예를 들어, TEM에 의한 관찰상에서 결정부가 명확히 확인되지 않는 경우가 있다. 미결정 산화물 반도체에 포함되는 결정부는 예를 들어, 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 예를 들어 1nm 이상 10nm 이하의 미결정을 나노 결정(nc: nanocrystal)이라고 부른다. 나노 결정을 가진 산화물 반도체를 nc-OS(nanocrystalline Oxide Semiconductor)라고 부른다. 또한, nc-OS는 예를 들어 TEM에 의한 관찰상에서 결정부들끼리의 경계가 명확히 확인되지 않는 경우가 있다. 또한, nc-OS는 예를 들어, TEM에 의한 관찰상에서 명확한 입계가 확인되지 않기 때문에 불순물이 편석되는 일이 적다. 또한, nc-OS는 예를 들어, 명확한 입계를 가지지 않기 때문에 결함 준위 밀도가 높게 되는 일이 적다. 또한, nc-OS는 예를 들어, 명확한 입계를 가지지 않기 때문에 전자 이동도가 저하되기 어렵다.

[0057] nc-OS는 예를 들어, 미소 영역(예를 들어, 1nm 이상 10nm 이하의 영역)에서 원자 배열에 주기성을 가지는 경우가 있다. 또한, nc-OS는 예를 들어, 결정부들 사이에 규칙성이 없기 때문에 거시적으로 보면 원자 배열에 주기성이 확인되지 않는 경우, 또는 장거리 질서가 확인되지 않는 경우가 있다. 따라서, nc-OS는 예를 들어, 분석 방법에 따라서는 비정질 산화물 반도체와 구별하지 못하는 경우가 있다. nc-OS는 예를 들어, XRD 장치를 사용하여 결정부보다 큰 빔 직경의 X선으로 out-of-plane법에 의하여 분석하였을 때 배향을 가리키는 피크가 검출되지 않을 수 있다. 또한, nc-OS는 예를 들어, 결정부보다 큰 빔 직경(예를 들어, 20nmφ 이상 또는 50nmφ 이상)의 전자선을 사용한 전자선 회절 패턴에 할로 패턴(halo pattern)이 관측될 수 있다. 또한, nc-OS는 예를 들어, 결정부와 같거나 작은 큰 빔 직경(예를 들어, 10nmφ 이하 또는 5nmφ 이하)의 전자선을 사용한 극미 전자선 회절 패턴에 스폿이 관측될 수 있다. 또한, nc-OS의 극미 전자선 회절 패턴에서는 예를 들어, 원을 그리듯 회도가 높은 영역이 관측될 수 있다. 또한, nc-OS의 극미 전자선 회절 패턴에서는 예를 들어, 상기 영역 내에 복수의 스폿이 관측될 수 있다.

[0058] nc-OS는 미소 영역에서 원자 배열에 주기성을 가지는 경우, 비정질 산화물 반도체보다 결함 준위 밀도가 낮다. 다만, nc-OS는 결정부들 사이에 규칙성이 없기 때문에 CAAC-OS에 비하여 결함 준위 밀도가 높다.

[0059] 또한, 산화물 반도체를 CAAC-OS, 다결정 산화물 반도체, 미결정 산화물 반도체, 비정질 산화물 반도체 중 2개 이상을 가진 혼합막으로 하여도 좋다. 혼합막은 예를 들어, 비정질 산화물 반도체 영역, 미결정 산화물 반도체 영역, 다결정 산화물 반도체 영역, CAAC-OS 영역 중 2개 이상을 가지는 경우가 있다. 또한, 혼합막은 예를 들어, 비정질 산화물 반도체 영역, 미결정 산화물 반도체 영역, 다결정 산화물 반도체 영역, CAAC-OS 영역 중 2개 이상이 적층된 구조를 가지는 경우가 있다.

[0060] <전계 효과 이동도가 높고 신뢰성이 높은 트랜지스터>

- [0061] 이하에서는 전계 효과 이동도가 높고 신뢰성이 높은 트랜지스터에 대하여 설명한다.
- [0062] 우선, 트랜지스터의 전계 효과 이동도를 저하시키는 요인 중 하나에 대하여 설명한다.
- [0063] 트랜지스터의 채널 형성 영역에 캐리어 이동을 저해하는 요인이 존재하는 경우, 트랜지스터의 전계 효과 이동도는 저하된다. 캐리어 이동을 저해하는 요인은 벌크나 계면에 존재하는 준위 등이다. 벌크 또는 계면의 준위를 비교할 때 계면은 벌크에 비하여 준위(계면 준위)가 생기기 쉬우며 캐리어 이동의 저해도 벌크보다 계면의 영향이 크다고 할 수 있다. 따라서, 트랜지스터의 채널 형성 영역에 있어서 특히 계면 준위를 적게 함으로써 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있는 경우가 있다.
- [0064] 다음에, 트랜지스터의 신뢰성을 저하시키는 요인 중 하나에 대하여 설명한다.
- [0065] 트랜지스터의 채널 형성 영역 또는 그 근방에서의 전하 포획은 트랜지스터의 전기 특성이 변동되는 요인이 될 수 있다. 또한, 트랜지스터의 채널 형성 영역 근방에는 게이트 절연막 등이 포함된다.
- [0066] 예를 들어, 포획 준위에 전자가 포획되고 이 전자의 완화 시간이 길면, 이 포획 준위는 마치 음의 고정 전하처럼 행동하는 경우가 있다. 트랜지스터의 채널 형성 영역 또는 그 근방에 음의 고정 전하가 있을 때 트랜지스터의 문턱 전압은 양 방향으로 변화된다. 마찬가지로, 예를 들어, 포획 준위에 정공이 포획되고 이 정공의 완화 시간이 길면, 이 포획 준위는 마치 양의 고정 전하처럼 행동하는 경우가 있다. 트랜지스터의 채널 형성 영역 또는 그 근방에 양의 고정 전하가 있을 때 트랜지스터의 문턱 전압은 음 방향으로 변화된다.
- [0067] 따라서, 트랜지스터의 채널 형성 영역 또는 그 근방에서 전하를 포획하는 포획 준위 밀도를 저감시킴으로써 신뢰성이 높은 트랜지스터를 실현할 수 있을 수 있다.
- [0068] 이하에서는 트랜지스터에 사용될 수 있는 다층막에 대하여 설명한다. 이 다층막을 사용한 트랜지스터는 전계 효과 이동도가 높다. 또한, 이 트랜지스터는 신뢰성이 높다.
- [0069] 도 1의 (A)는 산화물 반도체층(S1) 및 산화물 반도체층(S2)을 가진 다층막과, 다층막을 사이에 끼운 절연막 및 게이트 절연막과, 게이트 절연막을 개재(介在)하여 다층막과 중첩되는 게이트 전극을 가진 트랜지스터의 일부를 도시한 단면도이다.
- [0070] 여기서, 산화물 반도체층(S1)은 산화물 반도체층(S2)을 구성하는 산소 외의 원소 중 하나 이상, 또는 2개 이상으로 구성된다. 산화물 반도체층(S2)을 구성하는 산소 외의 원소 중 하나 이상, 또는 2개 이상으로 산화물 반도체층(S1)이 구성되기 때문에 산화물 반도체층(S2)과 산화물 반도체층(S1)의 계면은 계면 준위 밀도가 낮다.
- [0071] 또한, 산화물 반도체층(S1) 및 산화물 반도체층(S2)은 산소 외의 원소의 원자수비가 같거나 비슷한 것이 바람직하다. 다만, 산화물 반도체층(S1) 및 산화물 반도체층(S2)은 산소 외의 원소의 원자수비가 서로 달라도 좋다.
- [0072] 또한, 다층막은 산화물 반도체층(S1)과 산화물 반도체층(S2) 사이에 혼합 영역을 가지는 경우가 있다.
- [0073] 트랜지스터의 전계 효과 이동도를 높이기 위해서는 이하와 같은 다층막을 사용하면 좋다.
- [0074] 트랜지스터의 전계 효과 이동도를 높이기 위해서는 예를 들어, 산화물 반도체층(S2)이 트랜지스터의 드레인 전류의 주된 경로가 되는 산화물 반도체층(S1) 및 산화물 반도체층(S2)을 선택하면 좋다. 즉, 트랜지스터에 드레인 전류가 흐를 때 산화물 반도체층(S2)의 전류 밀도가 높게 되는 산화물 반도체층(S1) 및 산화물 반도체층(S2)을 선택하면 좋다.
- [0075] 산화물 반도체층(S2)의 전류 밀도가 높고 산화물 반도체층(S1)의 전류 밀도가 낮으면 트랜지스터가 절연막과 산화물 반도체층(S1)의 계면 준위의 영향을 받기 어려워진다. 또한, 산화물 반도체층(S1)과 산화물 반도체층(S2)은 둘 다 산화물 반도체층이기 때문에 이들의 계면의 계면 준위 밀도는 낮다. 즉, 계면 준위의 영향을 작게 할 수 있으므로 이와 같은 다층막을 가진 트랜지스터는 전계 효과 이동도가 높다.
- [0076] 이하에서는 산화물 반도체층(S2)의 전류 밀도를 높이기 위한 산화물 반도체층(S1) 및 산화물 반도체층(S2)의 조합의 예에 대하여 설명한다.
- [0077] 산화물 반도체층(S2)의 전류 밀도를 높이기 위해서는 예를 들어, 산화물 반도체층(S2)의 전도대 하단의 에너지(E_c)를 산화물 반도체층(S1)의 그것보다 낮게 하면 좋다(도 1의 (B1) 및 도 1의 (B2) 참조). 구체적으로는 산화물 반도체층(S2)에, 산화물 반도체층(S1)에 사용하는 것보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바

람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하만큼 큰 산화물 반도체를 사용한다. 또한, 전자 친화력이란, 진공 준위와 전도대 하단의 에너지와의 차이를 말한다.

[0078] 산화물 반도체층(S2)의 에너지 갭은 산화물 반도체층(S1)의 그것과 같거나 비슷하면 좋다. 이 때 도 1의 (B1)에 도시된 것과 같은 띠구조로 하기 위해서는 산화물 반도체층(S2)의 도너 밀도를 산화물 반도체층(S1)의 그것보다 높게 한다. 또는, 예를 들어 산화물 반도체층(S2)의 에너지 갭을 산화물 반도체층(S1)의 그것보다 작게 하여도 좋다(도 1의 (B2) 참조). 또한, 에너지 갭은 예를 들어, 광학적 방법으로 도출될 수 있다. 광학적 방법으로 도출된 에너지 갭을 특히 광학적 에너지 갭이라고 부른다. 구체적으로는 산화물 반도체층(S2)에, 산화물 반도체층(S1)에 사용하는 것보다 에너지 갭이 0.1eV 이상 1.2eV 이하, 또는 0.2eV 이상 0.8eV 이하만큼 작은 산화물 반도체를 사용하면 좋다.

[0079] 산화물 반도체층(S2)의 전도대 하단의 에너지(E_c)를 산화물 반도체층(S1)의 그것보다 낮게 하면, 캐리어인 전자가 에너지적으로 안정적인 산화물 반도체층(S2)에 집중되기 때문에 산화물 반도체층(S2)의 전류 밀도를 높일 수 있다.

[0080] 다음에, 도 1의 (B1) 및 도 1의 (B2)에 도시된 것과 같은 띠구조를 얻기 위해서는 이하와 같은 산화물 반도체층(S1) 및 산화물 반도체층(S2)을 사용하면 좋다.

[0081] 산화물 반도체층(S1)은 산화물 반도체층(S2)보다 산소 결손량을 적게 하면 좋다. 또는, 산화물 반도체층(S1)은 산화물 반도체층(S2)보다 산소 비율을 높게 하면 좋다.

[0082] 바꾸어 말하면 산화물 반도체층(S2)은 산화물 반도체층(S1)보다 산소 결손량을 많게 하면 좋다. 또는, 산화물 반도체층(S2)은 산화물 반도체층(S1)보다 산소 비율을 낮게 하면 좋다.

[0083] 또한, 산소 비율이란 광의적으로, 산화물 반도체에 차지하는 산소의 원자수비를 말한다. 또한, 산소 비율이란 협의적으로, 산화물 반도체를 구성하는 산소 외의 원소 각각이 가장 안정된 결정 구조의 산화물인 것으로 가정하고 산소의 원자수비를 1로 한 경우에 산화물 반도체에 차지하는 산소의 원자수비를 말한다.

[0084] 예를 들어, 산화물 반도체를 구성하는 원소를 M^1 , M^2 , M^3 , 및 O로 표기하고 원자수비를 $M^1:M^2:M^3:O=a:b:c:d$ 로 할 때, 협의의 산소 비율이 어떻게 표현될 수 있을지를 설명한다. 각 원소의 가장 안정된 결정 구조의 산화물을 M^1O_x , M^2O_y , M^3O_z 로 표기하고 산화물 반도체를 구성하는 산소 외의 원소 각각이 가장 안정된 결정 구조의 산화물인 것으로 가정할 때 산소의 원자수비는 $(aX+bY+cZ)$ 로 표현된다. 협의의 산소 비율은 $(aX+bY+cZ)$ 를 1로 할 때 산화물 반도체에 차지하는 산소의 원자수비이기 때문에 $[d/(aX+bY+cZ)]$ 로 표현될 수 있다.

[0085] 또한, 산소 결손량은 전자 스핀 공명(ESR)에 의하여 평가할 수 있다. 다만, 다층막에 포함되는 각 산화물 반도체층의 산소 결손량은 측정하기 어려울 것으로 예상된다. 한편, 다층막의 산소의 원자수비는 측정이 가능하다. 예를 들어, 주사 투과 전자 현미경(STEM: Scanning Transmission Electron Microscope)으로 관찰하고 에너지 분산형 X선 분석법(EDX: Energy Dispersive X-ray Spectroscopy)에 의하여 각 산화물 반도체층의 원자수비를 측정할 수 있다. 또는, 예를 들어, SIMS로 각 산화물 반도체층의 원자수비를 측정할 수 있다. 또는, 예를 들어, X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy)에 의하여 각 산화물 반도체층의 원자수비를 측정할 수 있다.

[0086] 여기서 산소 결손량이 많을수록 산소 비율이 적어진다면 각 산화물 반도체층의 원자수비를 측정함으로써 산소 결손량을 추산할 수 있는 경우가 있다.

[0087] 또한, 각 산화물 반도체층을 구성하는 산소 외의 원소의 원자수비가 다 같거나 비슷한 경우에는 산소 결손량이 많을수록 산화물 반도체층의 밀도는 낮아진다. 예를 들어, 산화물 반도체층(S1)의 밀도는 산화물 반도체층(S2)의 밀도의 1.005배 이상 1.06배 이하, 또는 1.01배 이상 1.04배 이하가 된다.

[0088] 다만, 각 산화물 반도체층을 구성하는 산소 외의 원소의 원자수비가 같지 않고 비슷하지도 않은 경우에도 산소 외의 원소의 원자수비를 고려하면 밀도를 비교할 수 있다.

[0089] 또한, 산화물 반도체층(S1)은 두껍게, 산화물 반도체층(S2)은 얇게 제공되는 것이 바람직하다. 구체적으로는 산화물 반도체층(S1)의 두께는 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 한다. 산화물 반도체층(S1)의 두께를 20nm 이상, 바람직하게는 30nm 이상, 더 바

람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 함으로써 절연막과 산화물 반도체층(S1)의 계면에서 전류 밀도가 높은 산화물 반도체층(S2)까지의 거리를 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 할 수 있다. 다만, 반도체 장치의 생산성이 저하될 경우가 있기 때문에 산화물 반도체층(S1)의 두께는 200nm 이하, 바람직하게는 120nm 이하, 더 바람직하게는 80nm 이하로 한다. 또한, 산화물 반도체층(S2)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 80nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.

[0090] 상술한 바와 같이, 상기 다층막을 사용한 트랜지스터는 캐리어 이동을 저해하는 요인인 계면 준위의 영향이 작기 때문에 전계 효과 이동도가 높다.

[0091] 또한, 상술한 캐리어 이동을 저해하는 계면 준위는 캐리어를 포획하는 포획 준위가 될 수 있다. 따라서, 상기 다층막을 사용한 트랜지스터는 포획 준위를 형성하는 계면 준위 밀도가 낮기 때문에 신뢰성이 높은 것을 알 수 있다.

[0092] 이하에서는 도 1에 도시된 다층막과는 다른 다층막을 사용한 트랜지스터에 대하여 도 2를 사용하여 설명한다. 이 트랜지스터는 도 1에 도시된 다층막을 사용한 트랜지스터보다 전계 효과 이동도가 더 높다. 또한, 이 트랜지스터는 도 1에 도시된 다층막을 사용한 트랜지스터보다 신뢰성이 더 높다.

[0093] 도 2의 (A)는 산화물 반도체층(S1), 산화물 반도체층(S2), 및 산화물 반도체층(S3)을 가진 다층막과, 다층막 사이에 끼운 절연막 및 게이트 절연막과, 게이트 절연막을 개재하여 다층막과 중첩되는 게이트 전극을 가진 트랜지스터의 일부를 도시한 단면도이다.

[0094] 도 2의 (A)에 도시된 다층막은 산화물 반도체층(S3)을 가지는 점에서 도 1의 (A)에 도시된 다층막과 다르지만 나머지 구성은 같다. 따라서, 도 2의 (A)에 도시된 다층막에 관해서는 도 1의 (A)에 도시된 다층막에 대한 기재를 참조할 수 있다.

[0095] 여기서, 산화물 반도체층(S3)은 산화물 반도체층(S2)을 구성하는 산소 외의 원소 중 하나 이상, 또는 2개 이상으로 구성된다. 산화물 반도체층(S2)을 구성하는 산소 외의 원소 중 하나 이상, 또는 2개 이상으로 산화물 반도체층(S3)이 구성되기 때문에 산화물 반도체층(S2)과 산화물 반도체층(S3)의 계면은 계면 준위 밀도가 낮다.

[0096] 또한, 산화물 반도체층(S2) 및 산화물 반도체층(S3)은 산소 외의 원소의 원자수비가 같거나 비슷한 것이 바람직하다. 다만, 산화물 반도체층(S2) 및 산화물 반도체층(S3)은 산소 외의 원소의 원자수비가 서로 달라도 좋다.

[0097] 또한, 다층막은 산화물 반도체층(S2)과 산화물 반도체층(S3) 사이에 혼합 영역을 가지는 경우가 있다.

[0098] 트랜지스터의 전계 효과 이동도를 높이기 위해서는 이하와 같은 다층막을 사용하면 좋다.

[0099] 트랜지스터의 전계 효과 이동도를 높이기 위해서는 예를 들어, 산화물 반도체층(S2)이 트랜지스터의 드레인 전류의 주된 경로가 되는 산화물 반도체층(S1), 산화물 반도체층(S2), 및 산화물 반도체층(S3)을 선택하면 좋다. 즉, 트랜지스터에 드레인 전류가 흐를 때 산화물 반도체층(S2)의 전류 밀도가 높게 되는 산화물 반도체층(S1), 산화물 반도체층(S2), 및 산화물 반도체층(S3)을 선택하면 좋다.

[0100] 산화물 반도체층(S2)의 전류 밀도가 높고 산화물 반도체층(S1) 및 산화물 반도체층(S3)의 전류 밀도가 낮으면 트랜지스터가 절연막과 산화물 반도체층(S1)의 계면 준위의 영향, 및 산화물 반도체층(S3)과 게이트 절연막의 계면 준위의 영향을 받기 어려워진다. 또한, 산화물 반도체층(S1)과 산화물 반도체층(S2)은 둘 다 산화물 반도체층이기 때문에 이들의 계면의 계면 준위 밀도는 낮다. 또한, 산화물 반도체층(S2)과 산화물 반도체층(S3)은 둘 다 산화물 반도체층이기 때문에 이들의 계면의 계면 준위 밀도는 낮다. 즉, 도 1에 도시된 다층막보다 계면 준위의 영향을 더 작게 할 수 있으므로 이와 같은 다층막을 가진 트랜지스터는 전계 효과 이동도가 높다.

[0101] 다음에, 산화물 반도체층(S2)의 전류 밀도를 높이기 위한 산화물 반도체층(S1), 산화물 반도체층(S2), 및 산화물 반도체층(S3)의 조합의 예에 대하여 설명한다.

[0102] 산화물 반도체층(S2)의 전류 밀도를 높이기 위해서는 예를 들어, 산화물 반도체층(S2)의 전도대 하단의 에너지(Ec)를 산화물 반도체층(S1) 및 산화물 반도체층(S3)의 그것보다 낮게 하면 좋다(도 2의 (B1) 및 도 2의 (B2) 참조). 구체적으로는 산화물 반도체층(S2)에 산화물 반도체층(S1) 및 산화물 반도체층(S3)에 사용하는 것

보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하만큼 큰 산화물 반도체를 사용한다. 또한, 전자 친화력이란, 진공 준위와 전도대 하단의 에너지와의 차이를 말한다.

[0103] 산화물 반도체층(S2)의 에너지 갭은 산화물 반도체층(S1) 또는/및 산화물 반도체층(S3)의 그것과 같거나 비슷하면 좋다. 이 때 도 2의 (B1)에 도시된 것과 같은 띠구조로 하기 위해서는 산화물 반도체층(S2)의 도너 밀도를 산화물 반도체층(S1) 및 산화물 반도체층(S3)의 그것보다 높게 한다. 또는, 예를 들어 산화물 반도체층(S2)의 에너지 갭을 산화물 반도체층(S1) 및 산화물 반도체층(S3)의 그것보다 작게 하여도 좋다(도 2의 (B2) 참조). 구체적으로는 산화물 반도체층(S2)에 산화물 반도체층(S1) 및 산화물 반도체층(S3)에 사용하는 것보다 에너지 갭이 0.1eV 이상 1.2eV 이하, 또는 0.2eV 이상 0.8eV 이하만큼 작은 산화물 반도체를 사용하면 좋다.

[0104] 산화물 반도체층(S2)의 전도대 하단의 에너지(E_c)를 산화물 반도체층(S1) 및 산화물 반도체층(S3)의 그것보다 낮게 하면, 캐리어인 전자가 에너지적으로 안정적인 산화물 반도체층(S2)에 집중되기 때문에 산화물 반도체층(S2)의 전류 밀도를 높일 수 있다.

[0105] 다음에, 도 2의 (B1) 및 도 2의 (B2)에 도시된 것과 같은 띠구조를 얻기 위해서는 이하와 같은 산화물 반도체층(S1), 산화물 반도체층(S2), 및 산화물 반도체층(S3)을 사용하면 좋다.

[0106] 산화물 반도체층(S1) 및 산화물 반도체층(S3)은 산화물 반도체층(S2)보다 산소 결손량을 적게 하면 좋다. 또는, 산화물 반도체층(S1) 및 산화물 반도체층(S3)은 산화물 반도체층(S2)보다 산소 비율을 높게 하면 좋다.

[0107] 바꾸어 말하면 산화물 반도체층(S2)은 산화물 반도체층(S1) 및 산화물 반도체층(S3)보다 산소 결손량을 많게 하면 좋다. 또는, 산화물 반도체층(S2)은 산화물 반도체층(S1) 및 산화물 반도체층(S3)보다 산소 비율을 낮게 하면 좋다.

[0108] 또한, 예를 들어, 산화물 반도체층(S3)의 밀도는 산화물 반도체층(S2)의 밀도의 1.005배 이상 1.05배 이하, 또는 1.01배 이상 1.03배 이하가 된다.

[0109] 또한, 산화물 반도체층(S3)은 산화물 반도체층(S1)보다 게이트 전극 측에 위치한다. 그러므로 산화물 반도체층(S3)은 산화물 반도체층(S1)보다 전류 밀도가 높게 되기 쉽다.

[0110] 따라서, 산화물 반도체층(S3)의 전도대 하단의 에너지(E_c)는 산화물 반도체층(S1)의 그것보다 높은 것이 바람직하다. 또한, 산화물 반도체층(S3)의 에너지 갭은 산화물 반도체층(S1)의 그것보다 큰 것이 바람직하다. 다만, 산화물 반도체층(S3)의 전도대 하단의 에너지(E_c)는 산화물 반도체층(S1)의 그것과 같거나 비슷하여도 좋다. 또한, 산화물 반도체층(S3)의 에너지 갭은 산화물 반도체층(S1)의 그것과 같거나 비슷하여도 좋다.

[0111] 또한, 트랜지스터의 온 전류를 크게 함에 있어 산화물 반도체층(S3)의 두께는 얇을수록 바람직하다. 예를 들어, 산화물 반도체층(S3)은 10nm 미만, 바람직하게는 5nm 이하, 더 바람직하게는 3nm 이하로 한다. 한편, 산화물 반도체층(S3)은 전류 밀도가 높은 산화물 반도체층(S2)에, 게이트 절연막을 구성하는 산소 외의 원소(실리콘 등)가 침입되지 않도록 블로킹하는 기능도 가진다. 그러므로, 산화물 반도체층(S3)은 어느 정도의 두께를 가지는 것이 바람직하다. 예를 들어, 산화물 반도체층(S3)은 0.3nm 이상, 바람직하게는 1nm 이상, 더 바람직하게는 2nm 이상으로 한다.

[0112] 또한, 산화물 반도체층(S1)은 두껍게, 산화물 반도체층(S2)은 얇게, 산화물 반도체층(S3)은 얇게 제공되는 것이 바람직하다. 구체적으로는 산화물 반도체층(S1)의 두께는 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 한다. 산화물 반도체층(S1)의 두께를 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 함으로써 절연막과 산화물 반도체층(S1)의 계면에서 전류 밀도가 높은 산화물 반도체층(S2)까지의 거리를 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 할 수 있다. 다만, 반도체 장치의 생산성이 저하될 경우가 있기 때문에 산화물 반도체층(S1)의 두께는 200nm 이하, 바람직하게는 120nm 이하, 더 바람직하게는 80nm 이하로 한다. 또한, 산화물 반도체층(S2)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 80nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.

[0113] 예를 들어, 산화물 반도체층(S1)은 산화물 반도체층(S2)보다 두껍게, 산화물 반도체층(S2)은 산화물 반도체층(S3)보다 두껍게 하면 좋다.

- [0114] 상술한 바와 같이, 도 2에 도시된 다층막을 사용한 트랜지스터는 도 1에 도시된 다층막을 사용한 트랜지스터보다 캐리어 이동을 저해하는 요인 중 하나인 계면 준위의 영향이 더 작기 때문에 전계 효과 이동도가 더 높다.
- [0115] 또한, 도 2에 도시된 다층막을 사용한 트랜지스터는 도 1에 도시된 다층막을 사용한 트랜지스터보다 포획 준위를 형성하는 계면 준위 밀도가 더 낮기 때문에 신뢰성이 더 높은 것을 알 수 있다.
- [0116] <다층막을 가진 트랜지스터의 구조 및 제작 방법에 대하여>
- [0117] 이하에서는 다층막을 가진 트랜지스터의 구조 및 제작 방법에 대하여 설명한다.
- [0118] <트랜지스터 구조(1)>
- [0119] 우선, 톱 게이트 톱 콘택트형 트랜지스터의 일례에 대하여 설명한다.
- [0120] 도 3은 트랜지스터의 상면도 및 단면도이다. 도 3의 (A)는 트랜지스터의 상면도이다. 도 3의 (B)는 도 3의 (A)를 일점 쇄선 A1-A2에서 절단한 단면도이다. 도 3의 (C)는 도 3의 (A)를 일점 쇄선 A3-A4에서 절단한 단면도이다.
- [0121] 도 3의 (B)에 도시된 트랜지스터는 기판(100) 위의 하지 절연막(102)과, 하지 절연막(102) 위의 산화물 반도체층(106a)과, 산화물 반도체층(106a) 위의 산화물 반도체층(106b)과, 산화물 반도체층(106b) 위의 산화물 반도체층(106c)과, 산화물 반도체층(106c)과 접촉되는 소스 전극(116a) 및 드레인 전극(116b)과, 산화물 반도체층(106c), 소스 전극(116a) 및 드레인 전극(116b) 위의 게이트 절연막(112)과, 게이트 절연막(112) 위의 게이트 전극(104)을 가진다. 또한, 게이트 절연막(112) 및 게이트 전극(104) 위에 보호 절연막(118)이 제공되는 것이 바람직하다. 또한, 트랜지스터는 하지 절연막(102)을 가지지 않아도 된다.
- [0122] 도 3에 도시된 트랜지스터의 산화물 반도체층(106a)은 예를 들어, 도 2의 산화물 반도체층(S1)과 대응한다. 또한, 도 3에 도시된 트랜지스터의 산화물 반도체층(106b)은 예를 들어, 도 2의 산화물 반도체층(S2)과 대응한다. 또한, 도 3에 도시된 트랜지스터의 산화물 반도체층(106c)은 예를 들어, 도 2의 산화물 반도체층(S3)과 대응한다. 여기서는 산화물 반도체층(106a), 산화물 반도체층(106b), 및 산화물 반도체층(106c)을 합쳐 다층막(106)이라고 부른다.
- [0123] 또한, 여기서는 도 2에 도시된 것과 대응하는 다층막을 사용하였지만 이에 한정되는 것은 아니다. 예를 들어, 도 1에 도시된 것과 대응하는 다층막을 사용하여도 좋다. 또한, 예를 들어, 다층막은 4개 이상의 층으로 이루어진 것이어도 좋다. 다층막(106)에 관한 자세한 사항은 도 1 또는 2에 도시된 다층막에 대한 기재를 참조할 수 있다.
- [0124] 또한, 소스 전극(116a) 및 드레인 전극(116b)에 사용하는 도전막의 종류에 따라서는 산화물 반도체층(106b) 및 산화물 반도체층(106c)의 일부로부터 산소를 빼앗거나 또는 혼합층을 형성하기 때문에, 산화물 반도체층(106b) 및 산화물 반도체층(106c) 내에 n형 영역(저저항 영역)이 형성되는 경우가 있다.
- [0125] 도 3의 (A)에 있어서 게이트 전극(104)과 중첩되는 영역에서의 소스 전극(116a)과 드레인 전극(116b) 사이의 간격을 채널 길이라고 한다. 다만, 트랜지스터가 n형 영역을 포함하는 경우에는, 게이트 전극(104)과 중첩되는 영역에서의 소스 영역과 드레인 영역 사이의 간격을 채널 길이라고 하여도 좋다.
- [0126] 또한, 채널 형성 영역이란, 산화물 반도체층(106c)에 있어서 게이트 전극(104)과 중첩되고 소스 전극(116a)과 드레인 전극(116b)에 끼워진 영역을 말한다(도 3의 (B) 참조). 또한 채널이란 채널 형성 영역에서 전류가 주로 흐르는 영역을 말한다.
- [0127] 또한, 도 3의 (A)에 도시된 바와 같이, 게이트 전극(104)은 상면도에 있어서 산화물 반도체층(106b)이 그 내측에 포함되도록 제공된다. 이로써, 게이트 전극(104) 측으로부터 광이 입사할 때 산화물 반도체층(106b) 내에서 광에 의하여 캐리어가 생성되는 것을 억제할 수 있다. 즉, 게이트 전극(104)은 차광막으로서 기능한다. 다만, 게이트 전극(104)의 외측까지 산화물 반도체층(106b)이 제공되어도 좋다.
- [0128] 도 3에 도시된 하지 절연막(102)으로서의 예를 들어, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 선택된 하나 이상을 포함한 절연막을 단층 구조 또는 적층 구조로 사용하면 좋다.

[0129] 하지 절연막(102)은 예를 들어, 1번째 층을 질화 실리콘층으로 하고 2번째 층을 산화 실리콘층으로 한 다층막으로 하면 좋다. 이 경우, 산화 실리콘층을 산화 질화 실리콘층으로 하여도 좋다. 또한, 질화 실리콘층을 질화 산화 실리콘층으로 하여도 좋다. 산화 실리콘층으로서는 결합 밀도가 낮은 산화 실리콘층을 사용하는 것이 바람직하다. 구체적으로는, ESR에 의한 측정에서 g값이 2.001인 신호에서 유래하는 스핀의 밀도가 3×10^{17} spins/cm³ 이하, 바람직하게는 5×10^{16} spins/cm³ 이하인 산화 실리콘층을 사용한다. 질화 실리콘층으로서는 수소 및 암모니아의 방출량이 적은 질화 실리콘층을 사용한다. 수소 및 암모니아의 방출량은 승온 탈리 가스 분광법(TDS: Thermal Desorption Spectroscopy)에 의한 분석으로 측정하면 좋다. 또한, 질화 실리콘층으로서는 수소, 물, 및 산소를 투과시키지 않거나 또는 거의 투과시키지 않는 질화 실리콘층을 사용한다.

[0130] 또는, 하지 절연막(102)은 예를 들어, 1번째 층을 질화 실리콘층으로 하고 2번째 층을 제 1 산화 실리콘층으로 하고 3번째 층을 제 2 산화 실리콘층으로 한 다층막으로 하면 좋다. 이 경우, 제 1 산화 실리콘층 또는/및 제 2 산화 실리콘층을 산화 질화 실리콘층으로 하여도 좋다. 또한, 질화 실리콘층을 질화 산화 실리콘층으로 하여도 좋다. 제 1 산화 실리콘층으로서는 결합 밀도가 낮은 산화 실리콘층을 사용하는 것이 바람직하다. 구체적으로는, ESR에 의한 측정에서 g값이 2.001인 신호에서 유래하는 스핀의 밀도가 3×10^{17} spins/cm³ 이하, 바람직하게는 5×10^{16} spins/cm³ 이하인 산화 실리콘층을 사용한다. 제 2 산화 실리콘층으로서는 과잉 산소를 포함한 산화 실리콘층을 사용한다. 질화 실리콘층으로서는 수소 및 암모니아의 방출량이 적은 질화 실리콘층을 사용한다. 또한, 질화 실리콘층으로서는 수소, 물, 및 산소를 투과시키지 않거나 또는 거의 투과시키지 않는 질화 실리콘층을 사용한다.

[0131] 과잉 산소를 포함한 산화 실리콘층이란, 가열 처리 등에 의하여 산소를 방출할 수 있는 산화 실리콘층을 말한다. 또한, 과잉 산소를 포함한 절연막이란, 가열 처리에 의하여 산소를 방출하는 기능을 가진 절연막을 말한다.

[0132] 과잉 산소를 포함한 절연막은 산화물 반도체층 내의 산소 결손량을 저감시킬 수 있다. 예를 들어, 하지 절연막(102)으로부터 방출된 산소에 의하여 산화물 반도체층(106a)의 산소 결손량을 저감시킬 수 있다.

[0133] 여기서, 가열 처리에 의하여 산소를 방출하는 막은, TDS 분석에서 1×10^{18} atoms/cm³ 이상, 1×10^{19} atoms/cm³ 이상, 또는 1×10^{20} atoms/cm³ 이상의 산소(산소 원자수로 환산)를 방출할 수도 있다. TDS 분석은 예를 들어, 100℃ 이상 700℃ 이하, 또는 100℃ 이상 500℃ 이하의 범위에서 수행하면 좋다.

[0134] 여기서, TDS 분석을 사용한 산소 방출량의 측정 방법에 대하여 설명한다.

[0135] 측정 시료를 TDS에 의하여 분석할 때의 기체의 총 방출량은 방출 가스의 이온 강도의 적분값에 비례한다. 그리고, 표준 시료와의 비교에 의하여 기체의 총 방출량을 계산할 수 있다.

[0136] 예를 들어, 표준 시료인 소정 밀도의 수소를 포함한 실리콘 웨이퍼의 TDS 분석 결과와, 측정 시료의 TDS 분석 결과로부터 측정 시료의 산소 분자의 방출량(N_{O2})은 수학적 (1)으로 구할 수 있다. 여기서, TDS 분석으로 얻어지는 질량수 32로 검출되는 가스 모두가 산소 분자에서 유래하는 것으로 가정한다. 질량수 32의 분자로서 이 외에 CH₃OH가 있지만, 존재할 가능성이 낮기 때문에 여기서는 고려하지 않는다. 산소 원자의 동위체인 질량수 17의 산소 원자 및 질량수 18의 산소 원자를 포함하는 산소 분자도 또한 자연계에서의 존재 비율이 극미량이기 때문에 고려하지 않는다.

[0137] [수학적 1]

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha \quad (1)$$

[0138]

[0139] N_{H2}는 표준 시료로부터 탈리된 수소 분자를 밀도로 환산한 값이다. S_{H2}는 표준 시료를 TDS 분석하였을 때의 이온 강도의 적분값이다. 여기서, 표준 시료의 기준값을 N_{H2}/S_{H2}로 한다. S_{O2}는 측정 시료를 TDS 분석하였을 때의 이온 강도의 적분값이다. α는 TDS 분석에서 이온 강도에 영향을 미치는 계수이다. 수학적 (1)의 자세한 사항에 관해서는 일본국 특개평6-275697호 공보를 참조할 수 있다. 또한, 상술한 산소의 방출량은 승온 탈리 분석 장치 EMD-WA1000S/W(ESCO Ltd. 제조)에 의하여, 표준 시료로서 1×10^{16} atoms/cm²의 수소 원자를 포함한

실리콘 웨이퍼를 사용하여 측정하였다.

- [0140] 또한, TDS 분석에서 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상술한 α 는 산소 분자의 이온화율을 포함하기 때문에 산소 분자의 방출량을 평가함으로써 산소 원자의 방출량도 추산할 수 있다.
- [0141] 또한, N_{O_2} 는 산소 분자의 방출량이다. 산소 원자로 환산한 방출량은 산소 분자의 방출량의 2배가 된다.
- [0142] 또는, 가열 처리에 의하여 산소를 방출하는 막은, 과산화 라디칼을 포함할 수도 있다. 구체적으로는 과산화 라디칼에 기인한 스핀 밀도가 5×10^{17} spins/cm³ 이상인 것을 뜻한다. 또한, 과산화 라디칼을 포함하는 막은, ESR에 의한 측정에서 g 값이 2.01 근방인 비대칭성을 가진 신호가 나타날 수도 있다.
- [0143] 또는, 과잉 산소를 포함한 절연막은 산소 과잉의 산화 실리콘($SiO_x(X>2)$)이어도 좋다. 산소 과잉의 산화 실리콘($SiO_x(X>2)$)이란, 실리콘 원자수의 2배보다 많은 산소 원자를 단위 체적당에 포함하는 것이다. 단위 체적당 실리콘 원자수 및 산소 원자수는 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)에 의하여 측정된다.
- [0144] 소스 전극(116a) 및 드레인 전극(116b)으로서는 예를 들어, 알루미늄, 티타늄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 탄탈, 및 텅스텐 중에서 선택된 하나 이상을 포함한 도전막을 단층 구조 또는 적층 구조로 사용하면 좋다. 바람직하게는, 소스 전극(116a) 및 드레인 전극(116b)은 구리를 포함한 층을 가지는 다층막으로 한다. 소스 전극(116a) 및 드레인 전극(116b)을, 구리를 포함한 층을 가지는 다층막으로 하면 소스 전극(116a) 및 드레인 전극(116b)과 같은 층으로 배선을 형성하는 경우에, 배선 저항을 낮게 할 수 있다. 또한, 소스 전극(116a) 및 드레인 전극(116b)은 조성이 동일하여도 좋고, 상이하여도 좋다.
- [0145] 그런데, 소스 전극(116a) 및 드레인 전극(116b)으로서 구리를 포함한 층을 가진 다층막을 사용하는 경우, 산화물 반도체층(106b)에 구리가 들어감으로써 산화물 반도체층(106b)의 캐리어 밀도가 높아질 수 있다. 또는, 구리가 산화물 반도체층(106b)에 DOS를 형성하고 이 DOS가 전하 트랩으로서 기능할 수 있다. 이 때, 산화물 반도체층(106c)이 구리를 블로킹하는 기능을 가지는 경우에는, 구리가 산화물 반도체층(106b)에 들어가는 것에 기인하는 트랜지스터의 오프 전류 증가, 문턱 전압 변화를 억제할 수 있다.
- [0146] 도 3에 도시된 게이트 절연막(112)으로서는 예를 들어, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 선택된 하나 이상을 포함한 절연막을 단층 구조 또는 적층 구조로 사용하면 좋다.
- [0147] 게이트 절연막(112)은 예를 들어, 1번째 층을 질화 실리콘층으로 하고 2번째 층을 산화 실리콘층으로 한 다층막으로 하면 좋다. 이 경우, 산화 실리콘층을 산화 질화 실리콘층으로 하여도 좋다. 또한, 질화 실리콘층을 질화 산화 실리콘층으로 하여도 좋다. 산화 실리콘층으로서는 결합 밀도가 낮은 산화 실리콘층을 사용하는 것이 바람직하다. 구체적으로는, ESR에 의한 측정에서 g 값이 2.001인 신호에서 유래하는 스핀의 밀도가 3×10^{17} spins/cm³ 이하, 바람직하게는 5×10^{16} spins/cm³ 이하인 산화 실리콘층을 사용한다. 산화 실리콘층으로서는 과잉 산소를 포함한 산화 실리콘층을 사용하는 것이 바람직하다. 질화 실리콘층으로서는 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘층을 사용한다. 수소 가스 및 암모니아 가스의 방출량은 TDS 분석으로 측정하면 좋다.
- [0148] 게이트 절연막(112)이 과잉 산소를 포함한 절연막을 포함하는 경우, 게이트 절연막(112)으로부터 방출되는 산소에 의하여 산화물 반도체층(106c)의 산소 결손량을 저감시킬 수 있다.
- [0149] 게이트 전극(104)으로서는 예를 들어, 알루미늄, 티타늄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 탄탈, 및 텅스텐 중에서 선택된 하나 이상을 포함한 도전막을 단층 구조 또는 적층 구조로 사용하면 좋다.
- [0150] 보호 절연막(118)으로서는 예를 들어, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 선택된 하나 이상을 포함한 절연막을 단층 구조 또는 적층 구조로 사용하면 좋다.

[0151] 기판(100)에 대한 큰 제한은 없다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 기판(100)으로서 사용하여도 좋다. 또한, 실리콘이나 탄소화 실리콘으로 이루어진 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판, SOI(Silicon On Insulator) 기판 등을 적용할 수도 있고, 이와 같은 기판 위에 반도체 소자가 제공된 것을 기판(100)으로서 사용하여도 좋다.

[0152] 또한, 기판(100)으로서 제 5 세대(1000mm×1200mm 또는 1300mm×1500mm), 제 6 세대(1500mm×1800mm), 제 7 세대(1870mm×2200mm), 제 8 세대(2200mm×2500mm), 제 9 세대(2400mm×2800mm), 제 10 세대(2880mm×3130mm) 등 대형 유리 기판을 사용하는 경우에는, 반도체 장치의 제작 공정에서 가열 처리 등으로 인하여 기판(100)이 수축됨으로써 미세한 가공이 어려워질 수 있다. 따라서, 상술한 바와 같은 대형 유리 기판을 기판(100)으로서 사용하는 경우에는, 가열 처리로 그다지 수축되지 않는 것을 사용하는 것이 바람직하다. 예를 들어 기판(100)으로서 400℃, 바람직하게는 450℃, 더 바람직하게는 500℃로 1시간 동안 가열 처리를 수행한 후의 수축량이 10ppm 이하, 바람직하게는 5ppm 이하, 더 바람직하게는 3ppm 이하인 대형 유리 기판을 사용하면 좋다.

[0153] 또한, 기판(100)으로서 가요성 기판을 사용하여도 좋다. 또한 가요성 기판 위에 트랜지스터를 제공하는 방법으로는 비(非)가요성 기판 위에 트랜지스터를 제작한 후에 트랜지스터를 박리하고, 가요성 기판인 기판(100)에 전치(轉置)하는 방법도 있다. 이 경우, 비가요성 기판과 트랜지스터 사이에 박리층을 제공하면 좋다.

[0154] <트랜지스터 구조(1)의 제작 방법>

[0155] 이하에서는 트랜지스터 구조(1)의 제작 방법의 일례에 대하여 설명한다.

[0156] 도 4는 도 3의 (B)에 대응하는 트랜지스터의 제작 방법을 도시한 단면도이다.

[0157] 먼저, 기판(100)을 준비한다.

[0158] 다음에, 하지 절연막(102)을 형성한다. 하지 절연막(102)은 스퍼터링법, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 원자층 퇴적(ALD: Atomic Layer Deposition)법, 또는 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법으로 형성하면 좋다.

[0159] 또는, 기판(100)으로서 실리콘 웨이퍼를 사용하는 경우에는, 하지 절연막(102)을 열 산화법으로 형성하여도 좋다.

[0160] 다음에, 하지 절연막(102) 표면을 평탄화하기 위하여 화학적 기계적 연마(CMP: Chemical Mechanical Polishing) 처리를 수행하여도 좋다. CMP 처리를 수행함으로써 하지 절연막(102)의 평균 먼 거칠기(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하로 한다. 상술한 값 이하의 Ra로 하면 산화물 반도체층(106b)의 결정성이 높아질 수 있다. 또한, Ra는, JIS B 0601:2001(ISO4287:1997)로 정의되어 있는 산술 평균 거칠기를 곡면에 대하여 적용할 수 있도록 3차원으로 확장된 것으로 '기준면에서 지정면까지의 편차의 절대값을 평균한 값'으로 표현될 수 있고, 수학식(2)로 정의된다.

[0161] [수학식 2]

[0162]
$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad (2)$$

[0163] 여기서 지정면이란, 거칠기 측정의 대상 면이고 좌표($x_1, y_1, f(x_1, y_1)$), ($x_1, y_2, f(x_1, y_2)$), ($x_2, y_1, f(x_2, y_1)$), ($x_2, y_2, f(x_2, y_2)$)의 4지점을 연결하여 이루어진 사각형의 영역을 말하며, 지정면을 xy 평면에 투영한 장방형의 면적을 S_0 , 기준면의 높이(지정면의 평균 높이)를 Z_0 으로 한다. Ra는 원자간력 현미경(AFM: Atomic Force Microscope)으로 측정이 가능하다.

[0164] 다음에, 하지 절연막(102)에 산소 이온을 첨가함으로써 과잉 산소를 포함한 절연막을 형성하여도 좋다. 예를 들어, 이온 주입법에 의하여 가속 전압을 2kV 이상 100kV 이하, 도즈량을 $5 \times 10^{14} \text{ ions/cm}^2$ 이상 $5 \times 10^{16} \text{ ions/cm}^2$ 이하로 하여 산소 이온을 첨가하면 좋다.

[0165] 다음에, 산화물 반도체층(106a)이 되는 산화물 반도체층, 산화물 반도체층(106b)이 되는 산화물 반도체층, 및 산화물 반도체층(106c)이 되는 산화물 반도체층을 이 순서로 형성한다. 산화물 반도체층(106a), 산화물 반도체층(106b), 및 산화물 반도체층(106c)은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법으로 형성하면

좋다.

- [0166] 산화물 반도체층(106a)이 되는 산화물 반도체층, 산화물 반도체층(106b)이 되는 산화물 반도체층, 및 산화물 반도체층(106c)이 되는 산화물 반도체층으로서 In-M-Zn 산화물을 스퍼터링법으로 형성하는 경우, 타깃의 원자수비 In:M:Zn을 3:1:1, 3:1:2, 3:1:4, 1:1:0.5, 1:1:1, 1:1:2, 1:3:1, 1:3:2, 1:3:4, 1:3:6, 1:6:2, 1:6:4, 1:6:6, 1:6:8, 1:6:10, 1:9:2, 1:9:4, 1:9:6, 1:9:8, 1:9:10 등으로 하면 좋다. 원소 M은 예를 들어, 알루미늄, 갈륨, 이트륨, 또는 주석 등이다.
- [0167] 산화물 반도체층(106a)이 되는 산화물 반도체층을 스퍼터링법으로 형성하는 경우, 산소를 포함하는 분위기에서 형성한다. 예를 들어, 분위기 전체에 차지하는 산소 비율은 10volume% 이상, 바람직하게는 20volume% 이상, 더 바람직하게는 50volume% 이상, 더욱 바람직하게는 80volume% 이상으로 한다. 분위기 전체에 차지하는 산소 비율을 100volume%로 하는 것이 특히 바람직하다. 분위기 전체에 차지하는 산소 비율을 100volume%로 하면 산화물 반도체층(106a)에 포함되는 회가스 등 불순물의 농도를 저감시킬 수 있다. 예를 들어, 산화물 반도체층(106a)에 포함되는 회가스인 헬륨, 네온, 아르곤, 크립톤, 또는 크세논의 농도를 1×10^{20} atoms/cm³ 미만, 바람직하게는 5×10^{19} atoms/cm³ 미만, 더 바람직하게는 1×10^{19} atoms/cm³ 미만으로 할 수 있다.
- [0168] 이와 같은 분위기에서 형성함으로써 산화물 반도체층(106a)이 되는 산화물 반도체층의 산소 결손량을 줄일 수 있다. 또한, 산화물 반도체층(106a)이 되는 산화물 반도체층의 산소 비율을 높일 수 있다. 또한, 산화물 반도체층(106a)이 되는 산화물 반도체층의 밀도를 높일 수 있다.
- [0169] 예를 들어, 산화물 반도체층(106a)이 되는 산화물 반도체층의 혐의의 산소 비율을 1.05 이상 1.3 이하 또는 1.1 이상 1.25 이하로 할 수 있다. 또한, 혐의의 산소 비율이란, 상술한 바와 같이 산화물 반도체를 구성하는 산소 외의 원소 각각이 가장 안정된 결정 구조의 산화물인 것으로 가정하고 산소의 원자수비를 1로 한 경우에 산화물 반도체에 차지하는 산소의 원자수비를 말한다.
- [0170] 산화물 반도체층(106b)이 되는 산화물 반도체층을 스퍼터링법으로 형성하는 경우, 산소를 포함하지 않는 분위기에서 형성한다. 예를 들어, 회가스인 헬륨, 네온, 아르곤, 크립톤, 또는 크세논을 포함하는 분위기에서 형성하면 좋다. 분위기 전체에 차지하는 산소 비율은 10volume% 이상, 바람직하게는 1volume% 미만, 더 바람직하게는 0.1volume% 미만, 더욱 바람직하게는 0.01volume% 미만으로 하는 것이 바람직하다.
- [0171] 이와 같은 분위기에서 형성함으로써 산화물 반도체층(106b)이 되는 산화물 반도체층의 산소 결손량을 많게 할 수 있다. 또한, 산화물 반도체층(106b)이 되는 산화물 반도체층의 산소 비율을 낮출 수 있다. 또한, 산화물 반도체층(106b)이 되는 산화물 반도체층의 밀도를 낮출 수 있다.
- [0172] 예를 들어, 산화물 반도체층(106b)이 되는 산화물 반도체층의 혐의의 산소 비율을 0.95 이상 1.05 미만, 또는 0.98 이상 1.02 미만으로 할 수 있다.
- [0173] 산화물 반도체층(106c)이 되는 산화물 반도체층을 스퍼터링법으로 형성하는 경우, 산소를 포함하는 분위기에서 형성한다. 예를 들어, 분위기 전체에 차지하는 산소 비율은 10volume% 이상, 바람직하게는 20volume% 이상, 더 바람직하게는 50volume% 이상, 더욱 바람직하게는 80volume% 이상으로 한다. 분위기 전체에 차지하는 산소 비율을 100volume%로 하는 것이 특히 바람직하다. 분위기 전체에 차지하는 산소 비율을 100volume%로 하면 산화물 반도체층(106c)에 포함되는 회가스 등 불순물의 농도를 저감시킬 수 있다. 예를 들어, 산화물 반도체층(106c)에 포함되는 회가스인 헬륨, 네온, 아르곤, 크립톤, 또는 크세논의 농도를 1×10^{20} atoms/cm³ 미만, 바람직하게는 5×10^{19} atoms/cm³ 미만, 더 바람직하게는 1×10^{19} atoms/cm³ 미만으로 할 수 있다.
- [0174] 이와 같은 분위기에서 형성함으로써 산화물 반도체층(106c)이 되는 산화물 반도체층의 산소 결손량을 줄일 수 있다. 또한, 산화물 반도체층(106c)이 되는 산화물 반도체층의 산소 비율을 높일 수 있다. 또한, 산화물 반도체층(106c)이 되는 산화물 반도체층의 밀도를 높일 수 있다.
- [0175] 예를 들어, 산화물 반도체층(106c)이 되는 산화물 반도체층의 혐의의 산소 비율을 1.05 이상 1.3 이하, 또는 1.1 이상 1.25 이하로 할 수 있다.
- [0176] 또한, 산화물 반도체층(106a)이 되는 산화물 반도체층, 산화물 반도체층(106b)이 되는 산화물 반도체층, 및 산화물 반도체층(106c)이 되는 산화물 반도체층을 같은 타깃을 사용하여 형성하는 것이 바람직하다. 이 경우 막 형성 시의 분위기만 제어하면 산화물 반도체층(106a)이 되는 산화물 반도체층, 산화물 반도체층(106b)이 되는 산화물 반도체층, 및 산화물 반도체층(106c)이 되는 산화물 반도체층을 형성할 수 있어 성막실

간의 이동이 필요 없다. 연속적으로 다층막을 형성할 수 있기 때문에 계면 등에 불순물이 혼입되기 어려워, 불순물에 기인하는 불량률이 생기기 어렵다. 또한, 생산성을 높일 수 있다. 또한, 성막 장치 수를 줄일 수 있으므로 반도체 장치의 제작 비용을 저감시킬 수 있다.

[0177] 다만, 산화물 반도체층(106a)이 되는 산화물 반도체층, 산화물 반도체층(106b)이 되는 산화물 반도체층, 및 산화물 반도체층(106c)이 되는 산화물 반도체층은 같은 타깃을 사용하여 형성되지 않아도 된다.

[0178] 산화물 반도체층을 스퍼터링법으로 형성하는 경우, 원자수비가 타깃의 원자수비로부터 어긋난 막이 형성될 수 있다. 예를 들어, 산소를 포함한 분위기에서 아연의 막을 형성하는 경우, 타깃의 원자수비보다 막의 원자수비가 작게 되는 경우가 있다. 구체적으로는 타깃에 포함되는 아연의 원자수비의 40atomic% 이상 90atomic% 이하가 되는 경우가 있다. 또한 예를 들어, 산소를 포함한 분위기에서 인듐의 막을 형성하는 경우, 타깃의 원자수비보다 막의 원자수비가 작게 되는 경우가 있다.

[0179] 따라서, 예를 들어 산화물 반도체층(106a)이 되는 산화물 반도체층, 산화물 반도체층(106b)이 되는 산화물 반도체층, 및 산화물 반도체층(106c)이 되는 산화물 반도체층을 In-M-Zn 산화물을 포함하는 같은 타깃을 사용하여 스퍼터링법으로 형성하는 경우, 산화물 반도체층(106a)이 되는 산화물 반도체층은 산화물 반도체층(106b)이 되는 산화물 반도체층에 비하여 아연 및 인듐의 원자수비가 작고 M의 원자수비가 높게 될 수 있다. 또한, 산화물 반도체층(106c)이 되는 산화물 반도체층은 산화물 반도체층(106b)이 되는 산화물 반도체층에 비하여 아연 및 인듐의 원자수비가 작고 M의 원자수비가 높게 될 수 있다.

[0180] 상술한 바와 같이 인듐을 포함한 산화물 반도체는 전자 이동도가 높다. 따라서, 인듐의 원자수비가 높은 산화물 반도체층(106b)이 되는 산화물 반도체층은 산화물 반도체층(106a)이 되는 산화물 반도체층 및 산화물 반도체층(106c)이 되는 산화물 반도체층보다 전자 이동도가 높게 될 수 있다.

[0181] 또한, M의 원자수비가 많을수록 에너지 갭이 커진다. 따라서, 산화물 반도체층(106a)이 되는 산화물 반도체층 및 산화물 반도체층(106c)이 되는 산화물 반도체층은 산화물 반도체층(106b)이 되는 산화물 반도체층보다 에너지 갭이 크게 될 수 있다.

[0182] 산화물 반도체층(106c)이 되는 산화물 반도체층을 형성한 후에 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 수행하면 좋다. 제 1 가열 처리는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함한 분위기에서 수행한다. 또한, 제 1 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 제 1 가열 처리로서, 불활성 가스 분위기에서 가열 처리를 수행한 후에, 탈리된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함한 분위기에서 가열 처리를 수행하여도 좋다. 제 1 가열 처리에 의하여 산화물 반도체층(106a)이 되는 산화물 반도체층, 산화물 반도체층(106b)이 되는 산화물 반도체층, 및 산화물 반도체층(106c)이 되는 산화물 반도체층의 결정성을 높이고 산화물 반도체층(106b)이 되는 산화물 반도체층 및 산화물 반도체층(106c)이 되는 산화물 반도체층으로부터 수소나 물 등 불순물을 제거할 수 있다. 또한, 제 1 가열 처리에 의하여 산화물 반도체층(106b)이 되는 산화물 반도체층 및 산화물 반도체층(106c)이 되는 산화물 반도체층을 고순도 진성화할 수 있다.

[0183] 다음에, 산화물 반도체층(106a)이 되는 산화물 반도체층, 산화물 반도체층(106b)이 되는 산화물 반도체층, 및 산화물 반도체층(106c)이 되는 산화물 반도체층의 일부를 에칭하여, 산화물 반도체층(106a), 산화물 반도체층(106b), 및 산화물 반도체층(106c)을 포함하는 다층막(106)을 형성한다(도 4의 (A) 참조).

[0184] 다음에, 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막을 형성한다. 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막은 소스 전극(116a) 및 드레인 전극(116b)으로서 기재한 도전막 중에서 선택하여 형성하면 좋다. 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법에 의하여 형성하면 좋다. 이 때 산화물 반도체층(106c)의 한 영역에 n형 영역이 형성되는 경우가 있다. n형 영역은 산화물 반도체층(106c) 위에 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막을 형성할 때의 대미지나, 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막의 작용에 의하여 산화물 반도체층(106c)에 산소 결손이 생기는 것에 기인하여 형성된다. 예를 들어, 산소 결손의 사이트에 수소가 들어감으로써 캐리어인 전자가 생성될 수 있다.

[0185] 다음에, 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막의 일부를 에칭하여, 소스 전극(116a) 및 드레인 전극(116b)을 형성한다(도 4의 (B) 참조).

[0186] 다음에, 제 2 가열 처리를 수행하는 것이 바람직하다. 제 2 가열 처리는 제 1 가열 처리에 대하여 제

시한 조건 중에서 선택하여 수행하면 좋다. 제 2 가열 처리를 수행함으로써 산화물 반도체층(106c)의 노출된 n형 영역을 i형 영역으로 할 수 있는 경우가 있다. 그러므로, 산화물 반도체층(106c)에서 소스 전극(116a) 및 드레인 전극(116b) 바로 아래의 영역에만 n형 영역을 제공할 수 있다. n형 영역을 가짐으로써 산화물 반도체층(106c)과 소스 전극(116a) 및 드레인 전극(116b) 사이의 접촉 저항을 저감시킬 수 있어 트랜지스터의 온 전류를 높일 수 있다. 또한, 제 2 가열 처리를 수행하면 제 1 가열 처리를 수행하지 않아도 되는 경우가 있다.

[0187] 다음에, 게이트 절연막(112)을 형성한다(도 4의 (C) 참조). 게이트 절연막(112)은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법에 의하여 형성하면 좋다.

[0188] 다음에, 게이트 전극(104)이 되는 도전막을 형성한다. 게이트 전극(104)이 되는 도전막은 게이트 전극(104)으로서 기재한 도전막 중에서 선택하여 형성하면 좋다. 게이트 전극(104)이 되는 도전막은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법에 의하여 형성하면 좋다.

[0189] 다음에, 게이트 전극(104)이 되는 도전막의 일부를 에칭하여, 게이트 전극(104)을 형성한다(도 4의 (D) 참조).

[0190] 다음에, 보호 절연막(118)을 형성한다(도 4의 (E) 참조). 보호 절연막(118)은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법에 의하여 형성하면 좋다.

[0191] 다음에, 제 3 가열 처리를 수행하는 것이 바람직하다. 제 3 가열 처리는 제 1 가열 처리에 대하여 제시한 조건 중에서 선택하여 수행하거나 또는 제 1 가열 처리 및 제 2 가열 처리보다 낮은 온도로 수행하면 좋다.

[0192] 상술한 바와 같이 하여 도 3에 도시된 트랜지스터를 제작할 수 있다.

[0193] <트랜지스터 구조(2)>

[0194] 다음에, 트랜지스터 구조(1)과는 다른 톱 게이트 톱 콘택트형 트랜지스터의 일례에 대하여 설명한다.

[0195] 도 5는 트랜지스터의 상면도 및 단면도이다. 도 5의 (A)는 트랜지스터의 상면도이다. 도 5의 (B)는 도 5의 (A)를 일점 쇄선 B1-B2에서 절단한 단면도이다. 도 5의 (C)는 도 5의 (A)를 일점 쇄선 B3-B4에서 절단한 단면도이다.

[0196] 도 5의 (B)에 도시된 트랜지스터는 기판(200) 위의 하지 절연막(202)과, 하지 절연막(202) 위의 산화물 반도체층(206a)과, 산화물 반도체층(206a) 위의 산화물 반도체층(206b)과, 산화물 반도체층(206b)과 접촉되는 소스 전극(216a) 및 드레인 전극(216b)과, 산화물 반도체층(206b), 소스 전극(216a) 및 드레인 전극(216b) 위의 산화물 반도체층(206c)과, 산화물 반도체층(206c) 위의 게이트 절연막(212)과, 게이트 절연막(212) 위의 게이트 전극(204)을 가진다. 또한, 게이트 절연막(212) 및 게이트 전극(204) 위에 보호 절연막(218)이 제공되는 것이 바람직하다. 또한, 트랜지스터는 하지 절연막(202)을 가지지 않아도 된다.

[0197] 도 5에 도시된 트랜지스터의 산화물 반도체층(206a)은 예를 들어, 도 2의 산화물 반도체층(S1)과 대응한다. 또한, 도 5에 도시된 트랜지스터의 산화물 반도체층(206b)은 예를 들어, 도 2의 산화물 반도체층(S2)과 대응한다. 또한, 도 5에 도시된 트랜지스터의 산화물 반도체층(206c)은 예를 들어, 도 2의 산화물 반도체층(S3)과 대응한다. 여기서는 산화물 반도체층(206a), 산화물 반도체층(206b), 및 산화물 반도체층(206c)을 합쳐 다층막(206)이라고 부른다.

[0198] 또한, 여기서는 도 2에 도시된 것과 대응하는 다층막을 사용하였지만 이에 한정되는 것은 아니다. 예를 들어, 도 1에 도시된 것과 대응하는 다층막을 사용하여도 좋다. 또한, 예를 들어, 다층막은 4개 이상의 층으로 이루어진 것이어도 좋다. 다층막(206)에 관한 자세한 사항은 도 1 또는 2에 도시된 다층막에 대한 기재를 참조할 수 있다.

[0199] 또한, 도 5에는 게이트 전극(204), 게이트 절연막(212), 및 산화물 반도체층(206c)이 대략 같은 상면 형상(상면도로 볼 때의 형상)을 가지는 예를 도시하였지만 이에 한정되는 것은 아니다. 예를 들어, 산화물 반도체층(206c) 또는/및 게이트 절연막(212)이 게이트 전극(204) 외측까지 제공되어도 좋다.

[0200] 또한, 소스 전극(216a) 및 드레인 전극(216b)에 사용하는 도전막의 종류에 따라서는 산화물 반도체층(206b)의 일부로부터 산소를 빼앗거나 또는 혼합층을 형성하기 때문에, 산화물 반도체층(206b) 내에 n형 영역(저저항 영역)이 형성되는 경우가 있다.

- [0201] 또한, 도 5의 (A)에 도시된 바와 같이, 게이트 전극(204)은 상면도에 있어서 산화물 반도체층(206b)이 그 내측에 포함되도록 제공된다. 이로써, 게이트 전극(204) 측으로부터 광이 입사할 때 산화물 반도체층(206b) 내에서 광에 의하여 캐리어가 생성되는 것을 억제할 수 있다. 즉, 게이트 전극(204)은 차광막으로서 기능한다. 다만, 게이트 전극(204)의 외측까지 산화물 반도체층(206b)이 제공되어도 좋다.
- [0202] 하지 절연막(202)에 대해서는 하지 절연막(102)에 관한 기재를 참조할 수 있다. 또한, 소스 전극(216a) 및 드레인 전극(216b)에 대해서는 소스 전극(116a) 및 드레인 전극(116b)에 관한 기재를 참조할 수 있다. 게이트 절연막(212)에 대해서는 게이트 절연막(112)에 관한 기재를 참조할 수 있다. 게이트 전극(204)에 대해서는 게이트 전극(104)에 관한 기재를 참조할 수 있다. 보호 절연막(218)에 대해서는 보호 절연막(118)에 관한 기재를 참조할 수 있다. 기판(200)에 대해서는 기판(100)에 관한 기재를 참조할 수 있다.
- [0203] <트랜지스터 구조(2)의 제작 방법>
- [0204] 이하에서는 트랜지스터 구조(2)의 제작 방법의 일례에 대하여 설명한다.
- [0205] 도 6 및 7은 도 5의 (B)에 대응하는 트랜지스터의 제작 방법을 도시한 단면도이다.
- [0206] 먼저, 기판(200)을 준비한다.
- [0207] 다음에, 하지 절연막(202)을 형성한다. 하지 절연막(202)의 형성 방법에 대해서는 하지 절연막(102)에 관한 기재를 참조할 수 있다.
- [0208] 다음에, 산화물 반도체층(206a)이 되는 산화물 반도체층 및 산화물 반도체층(206b)이 되는 산화물 반도체층을 이 순서로 형성한다. 산화물 반도체층(206a)이 되는 산화물 반도체층 및 산화물 반도체층(206b)이 되는 산화물 반도체층의 형성 방법에 대해서는 각각 산화물 반도체층(106a)이 되는 산화물 반도체층 및 산화물 반도체층(106b)이 되는 산화물 반도체층의 형성 방법을 참조할 수 있다.
- [0209] 다음에, 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리에 대해서는 트랜지스터 구조(1)의 제작 방법에 관한 기재를 참조할 수 있다.
- [0210] 다음에, 산화물 반도체층(206a)이 되는 산화물 반도체층 및 산화물 반도체층(206b)이 되는 산화물 반도체층의 일부를 에칭하여, 산화물 반도체층(206a) 및 산화물 반도체층(206b)을 형성한다(도 6의 (A) 참조).
- [0211] 다음에, 소스 전극(216a) 및 드레인 전극(216b)이 되는 도전막을 형성한다. 또한, 소스 전극(216a) 및 드레인 전극(216b)이 되는 도전막의 형성 방법에 대해서는 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막에 관한 기재를 참조할 수 있다.
- [0212] 다음에, 소스 전극(216a) 및 드레인 전극(216b)이 되는 도전막의 일부를 에칭하여, 소스 전극(216a) 및 드레인 전극(216b)을 형성한다(도 6의 (B) 참조).
- [0213] 다음에, 제 2 가열 처리를 수행하는 것이 바람직하다. 제 2 가열 처리에 대해서는 트랜지스터 구조(1)의 제작 방법에 관한 기재를 참조할 수 있다. 제 2 가열 처리를 수행함으로써 산화물 반도체층(206b)의 노출된 n형 영역을 i형 영역으로 할 수 있는 경우가 있다.
- [0214] 다음에, 산화물 반도체층(206c)이 되는 산화물 반도체층(236)을 형성한다(도 6의 (C) 참조). 산화물 반도체층(206c)이 되는 산화물 반도체층(236)의 형성 방법에 대해서는 산화물 반도체층(106c)이 되는 산화물 반도체층에 관한 기재를 참조할 수 있다.
- [0215] 다음에, 절연막(242)을 형성한다. 절연막(242)의 형성 방법에 대해서는 게이트 절연막(112)의 형성 방법에 관한 기재를 참조할 수 있다.
- [0216] 절연막(242)은 예를 들어, 플라즈마를 사용한 CVD법에 의하여 형성하면 좋다. CVD법을 채용하는 경우, 기판 온도를 높일수록 치밀하고 결함 밀도가 낮은 절연막이 얻어진다. 절연막(242)은 가공 후에 게이트 절연막(212)으로서 기능하기 때문에 치밀하고 결함 밀도가 낮을수록 트랜지스터의 전기 특성이 안정된다. 한편, 하지 절연막(202)이 과잉 산소를 포함하는 경우, 트랜지스터의 전기 특성은 안정된다. 그런데, 하지 절연막(202)이 노출된 상태로 기판 온도를 높이면 하지 절연막(202)으로부터 산소가 방출되어 과잉 산소가 저감되는 경우가 있다. 여기서는 절연막(242) 형성 시에 하지 절연막(202)이 산화물 반도체층(206c)이 되는 산화물 반도체층으로 덮여 있기 때문에 하지 절연막(202)으로부터 산소가 방출되는 것을 억제할 수 있다. 그러므로, 하지 절연막(202)에 포함되는 과잉 산소를 저감시키지 않고 절연막(242)을 치밀하고 결함 밀도가 낮은 절연막으로 할 수 있

다. 따라서, 트랜지스터의 신뢰성을 높일 수 있다.

- [0217] 다음에, 도전막(234)을 형성한다(도 6의 (D) 참조). 도전막(234)의 형성 방법에 대해서는 게이트 전극(104)이 되는 도전막에 관한 기재를 참조할 수 있다.
- [0218] 다음에, 산화물 반도체층(206c)이 되는 산화물 반도체층(236), 절연막(242) 및 도전막(234)의 일부를 에칭하여, 각각 산화물 반도체층(206c), 게이트 절연막(212), 및 게이트 전극(204)으로 한다(도 7의 (A) 참조).
- [0219] 다음에, 보호 절연막(218)을 형성한다(도 7의 (B) 참조). 보호 절연막(218)의 형성 방법에 대해서는 보호 절연막(118)에 관한 기재를 참조할 수 있다.
- [0220] 다음에, 제 3 가열 처리를 수행하는 것이 바람직하다. 제 3 가열 처리에 대해서는 트랜지스터 구조(1)의 제작 방법에 관한 기재를 참조할 수 있다.
- [0221] 상술한 바와 같이 하여 도 5에 도시된 트랜지스터를 제작할 수 있다.
- [0222] <트랜지스터 구조(3)>
- [0223] 다음에, 보텀 게이트 톱 콘택트형 트랜지스터의 일례에 대하여 설명한다.
- [0224] 도 8은 트랜지스터의 상면도 및 단면도이다. 도 8의 (A)는 트랜지스터의 상면도이다. 도 8의 (B)는 도 8의 (A)를 일점 쇄선 C1-C2에서 절단한 단면도이다. 도 8의 (C)는 도 8의 (A)를 일점 쇄선 C3-C4에서 절단한 단면도이다.
- [0225] 도 8의 (B)에 도시된 트랜지스터는 기판(300) 위의 게이트 전극(304), 게이트 전극(304) 위의 게이트 절연막(312), 게이트 절연막(312) 위의 산화물 반도체층(306a), 산화물 반도체층(306a) 위의 산화물 반도체층(306b), 산화물 반도체층(306b) 위의 산화물 반도체층(306c), 산화물 반도체층(306c)과 접촉되는 소스 전극(316a) 및 드레인 전극(316b)을 가진다. 또한, 산화물 반도체층(306c), 소스 전극(316a), 및 드레인 전극(316b) 위에 보호 절연막(318)이 제공되는 것이 바람직하다.
- [0226] 도 8에 도시된 트랜지스터의 산화물 반도체층(306a)은 예를 들어, 도 2의 산화물 반도체층(S3)과 대응한다. 또한, 도 8에 도시된 트랜지스터의 산화물 반도체층(306b)은 예를 들어, 도 2의 산화물 반도체층(S2)과 대응한다. 또한, 도 8에 도시된 트랜지스터의 산화물 반도체층(306c)은 예를 들어, 도 2의 산화물 반도체층(S1)과 대응한다. 여기서는 산화물 반도체층(306a), 산화물 반도체층(306b), 및 산화물 반도체층(306c)을 합쳐 다층막(306)이라고 부른다.
- [0227] 또한, 여기서는 도 2에 도시된 것과 대응하는 다층막을 사용하였지만 이에 한정되는 것은 아니다. 예를 들어, 도 1에 도시된 것과 대응하는 다층막을 사용하여도 좋다. 또한, 예를 들어, 다층막은 4개 이상의 층으로 이루어진 것이어도 좋다. 다층막(306)에 관한 자세한 사항은 도 1 또는 2에 도시된 다층막에 대한 기재를 참조할 수 있다.
- [0228] 또한, 소스 전극(316a) 및 드레인 전극(316b)에 사용하는 도전막의 종류에 따라서는 산화물 반도체층(306b) 및 산화물 반도체층(306c)의 일부로부터 산소를 빼앗거나 또는 혼합층을 형성하기 때문에, 산화물 반도체층(306b) 및 산화물 반도체층(306c) 내에 n형 영역(저저항 영역)이 형성되는 경우가 있다.
- [0229] 또한, 도 8의 (A)에 도시된 바와 같이, 게이트 전극(304)은 상면도에 있어서 산화물 반도체층(306b)이 그 내측에 포함되도록 제공된다. 이로써, 게이트 전극(304) 측으로부터 광이 입사할 때 산화물 반도체층(306b) 내에서 광에 의하여 캐리어가 생성되는 것을 억제할 수 있다. 즉, 게이트 전극(304)은 차광막으로서 기능한다. 다만, 게이트 전극(304)의 외측까지 산화물 반도체층(306b)이 제공되어도 좋다.
- [0230] 산화물 반도체층(306a), 산화물 반도체층(306b), 및 산화물 반도체층(306c)에 대해서는 각각 산화물 반도체층(106c), 산화물 반도체층(106b), 및 산화물 반도체층(106a)에 관한 기재를 참조할 수 있다. 즉, 보텀 게이트 톱 콘택트형 트랜지스터는 톱 게이트 톱 콘택트형 트랜지스터의 상하가 바뀐 적층 구조를 가진다.
- [0231] 보호 절연막(318)으로서는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 선택된 하나 이상을 포함한 절연막을 단층 구조 또는 적층 구조로 사용하면 좋다.
- [0232] 보호 절연막(318)은 예를 들어, 1번째 층을 산화 실리콘층으로 하고 2번째 층을 질화 실리콘층으로 한

다층막으로 하면 좋다. 이 경우, 산화 실리콘층을 산화 질화 실리콘층으로 하여도 좋다. 또한, 질화 실리콘층을 질화 산화 실리콘층으로 하여도 좋다. 산화 실리콘층으로서는 결합 밀도가 낮은 산화 실리콘층을 사용하는 것이 바람직하다. 구체적으로는, ESR에 의한 측정에서 g값이 2.001인 신호에서 유래하는 스핀의 밀도가 3×10^{17} spins/cm³ 이하, 바람직하게는 5×10^{16} spins/cm³ 이하인 산화 실리콘층을 사용한다. 질화 실리콘층으로서는 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘층을 사용한다. 수소 가스 및 암모니아 가스의 방출량은 TDS 분석으로 측정하면 좋다. 또한, 질화 실리콘층으로서는 수소, 물, 및 산소를 투과시키지 않거나 또는 거의 투과시키지 않는 질화 실리콘층을 사용한다.

[0233] 또는, 보호 절연막(318)은 예를 들어, 1번째 층을 제 1 산화 실리콘층(318a)으로 하고 2번째 층을 제 2 산화 실리콘층(318b)으로 하고 3번째 층을 질화 실리콘층(318c)으로 한 다층막으로 하면 좋다(도 8의 (D) 참조). 이 경우, 제 1 산화 실리콘층(318a) 또는/및 제 2 산화 실리콘층(318b)을 산화 질화 실리콘층으로 하여도 좋다. 또한, 질화 실리콘층을 질화 산화 실리콘층으로 하여도 좋다. 제 1 산화 실리콘층(318a)으로서는 결합 밀도가 낮은 산화 실리콘층을 사용하는 것이 바람직하다. 구체적으로는, ESR에 의한 측정에서 g값이 2.001인 신호에서 유래하는 스핀의 밀도가 3×10^{17} spins/cm³ 이하, 바람직하게는 5×10^{16} spins/cm³ 이하인 산화 실리콘층을 사용한다. 제 2 산화 실리콘층(318b)으로서는 과잉 산소를 포함한 산화 실리콘층을 사용한다. 질화 실리콘층(318c)으로서는 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘층을 사용한다. 또한, 질화 실리콘층으로서는 수소, 물, 및 산소를 투과시키지 않거나 또는 거의 투과시키지 않는 질화 실리콘층을 사용한다.

[0234] 과잉 산소를 포함한 절연막은 산화물 반도체층(306c) 내의 산소 결손량을 저감시킬 수 있다.

[0235] 또한, 소스 전극(316a) 및 드레인 전극(316b)에 대해서는 소스 전극(116a) 및 드레인 전극(116b)에 관한 기재를 참조할 수 있다. 게이트 절연막(312)에 대해서는 게이트 절연막(112)에 관한 기재를 참조할 수 있다. 게이트 전극(304)에 대해서는 게이트 전극(104)에 관한 기재를 참조할 수 있다. 기판(300)에 대해서는 기판(100)에 관한 기재를 참조할 수 있다.

[0236] <트랜지스터 구조(3)의 제작 방법>

[0237] 이하에서는 트랜지스터 구조(3)의 제작 방법의 일례에 대하여 설명한다.

[0238] 도 9는 도 8의 (B)에 대응하는 트랜지스터의 제작 방법을 도시한 단면도이다.

[0239] 먼저, 기판(300)을 준비한다.

[0240] 다음에, 게이트 전극(304)이 되는 도전막을 형성한다. 게이트 전극(304)이 되는 도전막의 형성 방법에 대해서는 게이트 전극(104)이 되는 도전막에 관한 기재를 참조할 수 있다.

[0241] 다음에, 게이트 전극(304)이 되는 도전막의 일부를 에칭하여, 게이트 전극(304)을 형성한다.

[0242] 다음에, 게이트 절연막(312)을 형성한다. 게이트 절연막(312)의 형성 방법에 대해서는 게이트 절연막(112)의 형성 방법에 관한 기재를 참조할 수 있다.

[0243] 게이트 절연막(312)은 예를 들어, 플라즈마를 사용한 CVD법에 의하여 형성하면 좋다. CVD법을 채용하는 경우, 기판 온도를 높일수록 치밀하고 결합 밀도가 낮은 절연막이 얻어진다. 게이트 절연막(312)이 치밀하고 결합 밀도가 낮을수록 트랜지스터의 전기 특성은 안정된다.

[0244] 다음에, 산화물 반도체층(306a)이 되는 산화물 반도체층, 산화물 반도체층(306b)이 되는 산화물 반도체층, 및 산화물 반도체층(306c)이 되는 산화물 반도체층을 이 순서로 형성한다. 산화물 반도체층(306a)이 되는 산화물 반도체층, 산화물 반도체층(306b)이 되는 산화물 반도체층, 및 산화물 반도체층(306c)이 되는 산화물 반도체층의 형성 방법에 대해서는 각각 산화물 반도체층(106c)이 되는 산화물 반도체층, 산화물 반도체층(106b)이 되는 산화물 반도체층, 및 산화물 반도체층(106a)이 되는 산화물 반도체층의 형성 방법에 관한 기재를 참조할 수 있다.

[0245] 다음에, 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리에 대해서는 트랜지스터 구조(1)의 제작 방법에 관한 기재를 참조할 수 있다.

[0246] 다음에, 산화물 반도체층(306a)이 되는 산화물 반도체층, 산화물 반도체층(306b)이 되는 산화물 반도체층, 및 산화물 반도체층(306c)이 되는 산화물 반도체층의 일부를 에칭하여, 산화물 반도체층(306a), 산화물 반도체층(306b), 및 산화물 반도체층(306c)을 형성한다(도 9의 (A) 참조).

- [0247] 다음에, 소스 전극(316a) 및 드레인 전극(316b)이 되는 도전막을 형성한다. 소스 전극(316a) 및 드레인 전극(316b)이 되는 도전막의 형성 방법에 대해서는 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막에 관한 기재를 참조할 수 있다. 이 때 산화물 반도체층(306c)의 한 영역에 n형 영역이 형성되는 경우가 있다. n형 영역은 산화물 반도체층(306c) 위에 도전막을 형성할 때의 대미지나, 도전막의 작용에 의하여 산화물 반도체층(306c)에 산소 결손이 생기는 것에 기인하여 형성된다. 예를 들어, 산소 결손의 사이트에 수소가 들어감으로써 캐리어인 전자가 생성될 수 있다.
- [0248] 다음에, 소스 전극(316a) 및 드레인 전극(316b)이 되는 도전막의 일부를 에칭하여, 소스 전극(316a) 및 드레인 전극(316b)을 형성한다(도 9의 (B) 참조).
- [0249] 다음에, 제 2 가열 처리를 수행하는 것이 바람직하다. 제 2 가열 처리에 대해서는 트랜지스터 구조(1)의 제작 방법에 관한 기재를 참조할 수 있다. 제 2 가열 처리를 수행함으로써 산화물 반도체층(306c) 또는/및 산화물 반도체층(306b)의 노출된 n형 영역을 i형 영역으로 할 수 있는 경우가 있다.
- [0250] 다음에, 보호 절연막(318)을 형성한다(도 9의 (C) 참조).
- [0251] 여기서, 보호 절연막(318)을 도 8의 (D)에 도시된 것과 같은 3층 구조로 하는 경우에 대하여 설명한다. 우선, 제 1 산화 실리콘층(318a)을 형성한다. 다음에, 제 2 산화 실리콘층(318b)을 형성한다. 다음에, 제 2 산화 실리콘층(318b)에 산소 이온을 첨가하는 처리를 수행하여도 좋다. 산소 이온을 첨가하는 처리에는 이온 도핑 장치 또는 플라즈마 처리 장치를 사용하면 좋다. 이온 도핑 장치로서 질량 분리 기능을 가진 이온 도핑 장치를 사용하여도 좋다. 산소 이온의 원료로서, $^{16}\text{O}_2$ 또는 $^{18}\text{O}_2$ 등의 산소 가스, 아산화 질소 가스, 또는 오존 가스 등을 사용하면 좋다. 다음에, 질화 실리콘층(318c)을 형성함으로써 보호 절연막(318)을 형성하면 좋다.
- [0252] 제 1 산화 실리콘층(318a)은 CVD법의 일종인 플라즈마 CVD법으로 형성하는 것이 바람직하다. 구체적으로는, 기판 온도를 180℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 370℃ 이하로 하고, 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하고 압력을 20Pa 이상 250Pa 이하, 바람직하게는 40Pa 이상 200Pa 이하로 하고, 전극에 고주파 전력을 공급하여 형성하면 좋다. 또한, 실리콘을 포함한 퇴적성 가스의 대표적인 예로서는, 실레인, 다이실레인, 트라이실레인, 불화 실레인 등을 들 수 있다. 산화성 가스로서는, 산소, 오존, 아산화 질소, 이산화 질소 등을 들 수 있다.
- [0253] 또한, 실리콘을 포함한 퇴적성 가스에 대한 산화성 가스의 유량을 100배 이상으로 함으로써, 제 1 산화 실리콘층(318a)의 수소 함유량을 저감시킬 수 있고, 뎅글링 본드를 저감시킬 수 있다.
- [0254] 상술한 바와 같이 하여, 결합 밀도가 낮은 제 1 산화 실리콘층(318a)을 형성한다. 즉, 제 1 산화 실리콘층(318a)을 ESR로 측정할 경우의 g값이 2.001인 신호에서 유래하는 스핀의 밀도를 3×10^{17} spins/cm³ 이하, 또는 5×10^{16} spins/cm³ 이하로 할 수 있다.
- [0255] 제 2 산화 실리콘층(318b)은 플라즈마 CVD법으로 형성하는 것이 바람직하다. 구체적으로는, 기판 온도를 160℃ 이상 350℃ 이하, 바람직하게는 180℃ 이상 260℃ 이하로 하고, 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하고 압력을 100Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 200Pa 이하로 하고, 전극에 0.17W/cm² 이상 0.5W/cm² 이하, 바람직하게는 0.25W/cm² 이상 0.35W/cm² 이하의 고주파 전력을 공급하여 형성하면 좋다.
- [0256] 상술한 방법에 의하여, 플라즈마 중에서 가스의 분해 효율이 높아지고 산소 라디칼이 증가되고 가스의 산화가 촉진되기 때문에, 과잉 산소를 포함한 제 2 산화 실리콘층(318b)을 형성할 수 있다.
- [0257] 질화 실리콘층(318c)은 플라즈마 CVD법으로 형성하는 것이 바람직하다. 구체적으로는, 기판 온도를 180℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 370℃ 이하로 하고, 실리콘을 포함한 퇴적성 가스, 질소 가스, 및 암모니아 가스를 사용하고 압력을 20Pa 이상 250Pa 이하, 바람직하게는 40Pa 이상 200Pa 이하로 하고, 전극에 고주파 전력을 공급하여 형성하면 좋다.
- [0258] 또한, 질소 가스의 유량은 암모니아 가스의 유량의 5배 이상 50배 이하, 바람직하게는 10배 이상 50배 이하로 한다. 또한, 암모니아 가스를 사용함으로써, 실리콘을 포함한 퇴적성 가스 및 질소 가스의 분해를 촉진시킬 수 있고, 이것은 암모니아 가스가 플라즈마 에너지 및 열 에너지에 의하여 해리됨으로써 발생하는 에너지가 실리콘을 포함한 퇴적성 가스의 결합, 및 질소 가스의 결합의 분해에 기여하기 때문이다.

- [0259] 따라서, 상술한 방법에 의하여, 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘층(318c)을 형성할 수 있다. 또한, 수소의 함유량이 적기 때문에 수소, 물, 및 산소를 투과시키지 않거나 거의 투과시키지 않는 치밀한 질화 실리콘층(318c)으로 할 수 있다.
- [0260] 상술한 바와 같이 하여 보호 절연막(318)을 형성하면 좋다.
- [0261] 다음에, 제 3 가열 처리를 수행하는 것이 바람직하다. 제 3 가열 처리에 대해서는 트랜지스터 구조(1)의 제작 방법에 관한 기재를 참조할 수 있다.
- [0262] 상술한 바와 같이 하여 도 8에 도시된 트랜지스터를 제작할 수 있다.
- [0263] <트랜지스터 구조(4)>
- [0264] 다음에, 트랜지스터 구조(3)와는 다른 보텀 게이트 톱 콘택트형 트랜지스터의 일례에 대하여 설명한다.
- [0265] 도 10은 트랜지스터의 상면도 및 단면도이다. 도 10의 (A)는 트랜지스터의 상면도이다. 도 10의 (B)는 도 10의 (A)를 일점 쇄선 D1-D2에서 절단한 단면도이다. 또한, 도 10의 (C)는 도 10의 (A)를 일점 쇄선 D3-D4에서 절단한 단면도이다.
- [0266] 도 10의 (B)에 도시된 트랜지스터는 기관(400) 위의 게이트 전극(404), 게이트 전극(404) 위의 게이트 절연막(412), 게이트 절연막(412) 위의 산화물 반도체층(406a), 산화물 반도체층(406a) 위의 산화물 반도체층(406b), 산화물 반도체층(406b) 위의 산화물 반도체층(406c), 게이트 절연막(412) 및 산화물 반도체층(406c) 위의 보호 절연막(418), 보호 절연막(418)에 제공된 개구부를 통하여 산화물 반도체층(406c)과 접촉되는 소스 전극(416a) 및 드레인 전극(416b)을 가진다.
- [0267] 도 10에 도시된 트랜지스터의 산화물 반도체층(406a)은 예를 들어, 도 2의 산화물 반도체층(S3)과 대응한다. 또한, 도 10에 도시된 트랜지스터의 산화물 반도체층(406b)은 예를 들어, 도 2의 산화물 반도체층(S2)과 대응한다. 또한, 도 10에 도시된 트랜지스터의 산화물 반도체층(406c)은 예를 들어, 도 2의 산화물 반도체층(S1)과 대응한다. 여기서는 산화물 반도체층(406a), 산화물 반도체층(406b), 및 산화물 반도체층(406c)을 합쳐 다층막(406)이라고 부른다.
- [0268] 또한, 여기서는 도 2에 도시된 것과 대응하는 다층막을 사용하였지만 이에 한정되는 것은 아니다. 예를 들어, 도 1에 도시된 것과 대응하는 다층막을 사용하여도 좋다. 또한, 예를 들어, 다층막은 4개 이상의 층으로 이루어진 것이어도 좋다. 다층막(406)에 관한 자세한 사항은 도 1 또는 2에 도시된 다층막에 대한 기재를 참조할 수 있다.
- [0269] 또한, 소스 전극(416a) 및 드레인 전극(416b)에 사용하는 도전막의 종류에 따라서는 산화물 반도체층(406b) 및 산화물 반도체층(406c)의 일부로부터 산소를 빼앗거나 또는 혼합층을 형성하기 때문에, 산화물 반도체층(406b) 및 산화물 반도체층(406c) 내에 n형 영역(저저항 영역)이 형성되는 경우가 있다.
- [0270] 또한, 도 10의 (A)에 도시된 바와 같이, 게이트 전극(404)은 상면도에 있어서 산화물 반도체층(406b)이 그 내측에 포함되도록 제공된다. 이로써, 게이트 전극(404) 측으로부터 광이 입사할 때 산화물 반도체층(406b) 내에서 광에 의하여 캐리어가 생성되는 것을 억제할 수 있다. 즉, 게이트 전극(404)은 차광막으로서 기능한다. 다만, 게이트 전극(404)의 외측까지 산화물 반도체층(406b)이 제공되어도 좋다.
- [0271] 산화물 반도체층(406a), 산화물 반도체층(406b), 및 산화물 반도체층(406c)에 대해서는 각각 산화물 반도체층(106c), 산화물 반도체층(106b), 및 산화물 반도체층(106a)에 관한 기재를 참조할 수 있다. 즉, 보텀 게이트 톱 콘택트형 트랜지스터는 톱 게이트 톱 콘택트형 트랜지스터의 상하가 바뀐 적층 구조를 가진다.
- [0272] 보호 절연막(418)에 대해서는 보호 절연막(318)에 관한 기재를 참조할 수 있다.
- [0273] 보호 절연막(418)은 과잉 산소를 포함한 절연막을 가지는 것이 바람직하다. 과잉 산소를 포함한 절연막은 산화물 반도체층(406c) 내의 산소 결손량을 저감시킬 수 있다.
- [0274] 또한, 소스 전극(416a) 및 드레인 전극(416b)에 대해서는 소스 전극(116a) 및 드레인 전극(116b)에 관한 기재를 참조할 수 있다. 게이트 절연막(412)에 대해서는 게이트 절연막(112)에 관한 기재를 참조할 수 있다. 게이트 전극(404)에 대해서는 게이트 전극(104)에 관한 기재를 참조할 수 있다. 기관(400)에 대해서는 기관(100)에 관한 기재를 참조할 수 있다.
- [0275] <트랜지스터 구조(4)의 제작 방법>

- [0276] 이하에서는 트랜지스터 구조(4)의 제작 방법의 일례에 대하여 설명한다.
- [0277] 도 11은 도 10의 (B)에 대응하는 트랜지스터의 제작 방법을 도시한 단면도이다.
- [0278] 먼저, 기판(400)을 준비한다.
- [0279] 다음에, 게이트 전극(404)이 되는 도전막을 형성한다. 게이트 전극(404)이 되는 도전막의 형성 방법에 대해서는 게이트 전극(104)이 되는 도전막에 관한 기재를 참조할 수 있다.
- [0280] 다음에, 게이트 전극(404)이 되는 도전막의 일부를 에칭하여, 게이트 전극(404)을 형성한다.
- [0281] 다음에, 게이트 절연막(412)을 형성한다. 게이트 절연막(412)의 형성 방법에 대해서는 게이트 절연막(112)의 형성 방법에 관한 기재를 참조할 수 있다.
- [0282] 게이트 절연막(412)은 예를 들어, 플라즈마를 사용한 CVD법에 의하여 형성하면 좋다. CVD법을 채용하는 경우, 기판 온도를 높일수록 치밀하고 결함 밀도가 낮은 절연막이 얻어진다. 게이트 절연막(412)이 치밀하고 결함 밀도가 낮을수록 트랜지스터의 전기 특성은 안정된다.
- [0283] 다음에, 산화물 반도체층(406a)이 되는 산화물 반도체층, 산화물 반도체층(406b)이 되는 산화물 반도체층, 및 산화물 반도체층(406c)이 되는 산화물 반도체층을 이 순서로 형성한다. 산화물 반도체층(406a)이 되는 산화물 반도체층, 산화물 반도체층(406b)이 되는 산화물 반도체층, 및 산화물 반도체층(406c)이 되는 산화물 반도체층의 형성 방법에 대해서는 각각 산화물 반도체층(106c)이 되는 산화물 반도체층, 산화물 반도체층(106b)이 되는 산화물 반도체층, 및 산화물 반도체층(106a)이 되는 산화물 반도체층의 형성 방법에 관한 기재를 참조할 수 있다.
- [0284] 다음에, 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리에 대해서는 트랜지스터 구조(1)의 제작 방법에 관한 기재를 참조할 수 있다.
- [0285] 다음에, 산화물 반도체층(406a)이 되는 산화물 반도체층, 산화물 반도체층(406b)이 되는 산화물 반도체층, 및 산화물 반도체층(406c)이 되는 산화물 반도체층의 일부를 에칭하여, 산화물 반도체층(406a), 산화물 반도체층(406b), 및 산화물 반도체층(406c)을 형성한다(도 11의 (A) 참조).
- [0286] 다음에, 보호 절연막(418)이 되는 절연막을 형성한다. 보호 절연막(418)이 되는 절연막의 형성 방법에 대해서는 보호 절연막(318)에 관한 기재를 참조할 수 있다.
- [0287] 다음에, 제 2 가열 처리를 수행하는 것이 바람직하다. 제 2 가열 처리에 대해서는 트랜지스터 구조(1)의 제작 방법에 관한 기재를 참조할 수 있다.
- [0288] 다음에, 보호 절연막(418)이 되는 절연막의 일부를 에칭하여, 보호 절연막(418)을 형성한다(도 11의 (B) 참조).
- [0289] 다음에, 소스 전극(416a) 및 드레인 전극(416b)이 되는 도전막을 형성한다. 소스 전극(416a) 및 드레인 전극(416b)이 되는 도전막의 형성 방법에 대해서는 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막에 관한 기재를 참조할 수 있다. 이 때 산화물 반도체층(406c)의 한 영역에 n형 영역이 형성되는 경우가 있다. n형 영역은 산화물 반도체층(406c) 위에 도전막을 형성할 때의 대미지나, 도전막의 작용에 의하여 산화물 반도체층(406c)에 산소 결손이 생기는 것에 기인하여 형성된다. 예를 들어, 산소 결손의 사이트에 수소가 들어감으로써 캐리어인 전자가 생성될 수 있다.
- [0290] 다음에, 소스 전극(416a) 및 드레인 전극(416b)이 되는 도전막의 일부를 에칭하여, 소스 전극(416a) 및 드레인 전극(416b)을 형성한다(도 11의 (C) 참조).
- [0291] 다음에, 제 3 가열 처리를 수행하는 것이 바람직하다. 제 3 가열 처리에 대해서는 트랜지스터 구조(1)의 제작 방법에 관한 기재를 참조할 수 있다.
- [0292] 상술한 바와 같이 하여 도 10에 도시된 트랜지스터를 제작할 수 있다.
- [0293] <응용 제품에 대하여>
- [0294] 이하에서는 상술한 트랜지스터를 사용한 응용 제품에 대하여 설명한다.
- [0295] <마이크로컴퓨터>

- [0296] 상술한 트랜지스터는 다양한 전자 기기에 탑재되는 마이크로컴퓨터에 적용될 수 있다.
- [0297] 이하에서는 마이크로컴퓨터를 탑재한 전자 기기로서 화재 경보기를 예로 들어 구성 및 동작에 대하여 도 12 및 도 13을 사용하여 설명한다.
- [0298] 또한, 본 명세서에서 화재 경보기란, 화재 발생을 급보하는 장치 전반을 말하며 예를 들어 주택용 화재 경보기, 자동 화재 경보 설비, 및 상기 자동 화재 경보 설비에 사용되는 화재 감지기 등도 화재 경보기의 범주에 포함된다.
- [0299] 도 12에 도시된 경보 장치는 적어도 마이크로컴퓨터(500)를 가진다. 여기서, 마이크로컴퓨터(500)는 경보 장치 내부에 제공되어 있다. 마이크로컴퓨터(500)에는 고전위 전원선(VDD)과 전기적으로 접속된 파워 게이트 컨트롤러(503)와, 고전위 전원선(VDD) 및 파워 게이트 컨트롤러(503)와 전기적으로 접속된 파워 게이트(504)와, 파워 게이트(504)와 전기적으로 접속된 CPU(Central Processing Unit; 505)와, 파워 게이트(504) 및 CPU(505)와 전기적으로 접속된 검출부(509)가 제공되어 있다. 또한, CPU(505)에는 휘발성 기억부(506)와 비휘발성 기억부(507)가 포함된다.
- [0300] 또한, CPU(505)는 인터페이스(508)를 통하여 버스 라인(502)과 전기적으로 접속된다. 인터페이스(508)도 CPU(505)와 마찬가지로 파워 게이트(504)와 전기적으로 접속된다. 인터페이스(508)의 버스 규격으로서는, 예를 들어 I²C 버스 등을 사용할 수 있다. 또한, 경보 장치에는 인터페이스(508)를 통하여 파워 게이트(504)와 전기적으로 접속되는 발광 소자(530)가 제공된다.
- [0301] 발광 소자(530)로서는 지향성이 강한 광을 방출하는 것이 바람직하고, 예를 들어, 유기 EL 소자, 무기 EL 소자, LED 등을 사용할 수 있다.
- [0302] 파워 게이트 컨트롤러(503)는 타이머를 가지고 이 타이머에 따라 파워 게이트(504)를 제어한다. 파워 게이트(504)는 파워 게이트 컨트롤러(503)의 제어에 따라, 고전위 전원선(VDD)으로부터 공급되는 전원을 CPU(505), 검출부(509), 및 인터페이스(508)에 공급하거나 또는 그것을 차단한다. 여기서, 파워 게이트(504)로서는, 예를 들어 트랜지스터 등 스위칭 소자를 사용할 수 있다.
- [0303] 이와 같은 파워 게이트 컨트롤러(503) 및 파워 게이트(504)를 사용함으로써, 광량을 측정하는 기간에 검출부(509), CPU(505), 및 인터페이스(508)에 전원을 공급하고, 측정 기간과 다음 측정 기간 사이의 틈에는 검출부(509), CPU(505), 및 인터페이스(508)로의 전원 공급을 차단할 수 있다. 이와 같이 경보 장치를 동작시킴으로써 상기 각 구성에 항상 전원을 공급하는 경우보다 소비 전력의 저감을 도모할 수 있다.
- [0304] 또한, 파워 게이트(504)로서 트랜지스터를 사용하는 경우에는, 비휘발성 기억부(507)에 사용되는 오프 전류가 매우 낮은 트랜지스터, 예를 들어 상술한 산화물 반도체층을 포함하는 다층막을 사용한 트랜지스터를 사용하는 것이 바람직하다. 이와 같은 트랜지스터를 사용하면, 파워 게이트(504)에 의하여 전원을 차단할 때 누설 전류가 저감되기 때문에 소비 전력의 저감을 도모할 수 있다.
- [0305] 경보 장치에 직류 전원(501)을 제공하고 직류 전원(501)으로부터 고전위 전원선(VDD)에 전원을 공급하여도 좋다. 직류 전원(501)의 고전위 측의 전극은 고전위 전원선(VDD)과 전기적으로 접속되고, 직류 전원(501)의 저전위 측의 전극은 저전위 전원선(VSS)과 전기적으로 접속된다. 저전위 전원선(VSS)은 마이크로컴퓨터(500)에 전기적으로 접속된다. 여기서, 고전위 전원선(VDD)에는 고전위 H가 공급된다. 또한, 저전위 전원선(VSS)에는 예를 들어 접지 전위(GND) 등의 저전위 L이 공급된다.
- [0306] 직류 전원(501)으로서 전지를 사용하는 경우에는, 예를 들어 고전위 전원선(VDD)과 전기적으로 접속된 전극과, 저전위 전원선(VSS)에 전기적으로 접속된 전극과, 상기 전지를 유지할 수 있는 하우징을 가진 전지 케이스를 하우징에 제공하는 구성으로 하면 좋다. 또한, 경보 장치에는 반드시 직류 전원(501)을 제공하지 않아도 되고, 예를 들어 이 경보 장치의 외부에 제공된 교류 전원으로부터 배선을 통하여 전원을 공급하는 구성으로 하여도 좋다.
- [0307] 또한, 상기 전지로서 이차 전지, 예를 들어 리튬 이온 이차 전지(리튬 이온 축전지, 리튬 이온 전지, 또는 리튬 이온 배터리라고도 부름)를 사용할 수도 있다. 또한, 상기 이차 전지를 충전할 수 있도록 태양 전지를 제공하는 것이 바람직하다.
- [0308] 검출부(509)는 이상 상태에 따른 물리량을 측정하여 측정값을 CPU(505)로 송신한다. 이상 상태에 따른 물리량은 경보 장치의 용도에 따라 다르고 화재 경보기로서 기능하는 경보 장치에서는 화재에 따른 물리량을 계

측한다. 따라서, 검출부(509)는 화재에 따른 물리량으로서 광량을 측정하여, 연기의 존재를 감지한다.

- [0309] 검출부(509)는 파워 게이트(504)와 전기적으로 접속된 광 센서(511)와, 파워 게이트(504)와 전기적으로 접속된 앰프(512)와, 파워 게이트(504) 및 CPU(505)와 전기적으로 접속된 AD 컨버터(513)를 가진다. 발광 소자(530), 광 센서(511), 앰프(512), 및 AD 컨버터(513)는 파워 게이트(504)에 의하여 검출부(509)에 전원이 공급되었을 때 동작한다.
- [0310] 도 13의 (A)는 경보 장치의 단면의 일부를 도시한 것이다. 또한, 도 13의 (A)는 채널 길이 방향의 A-B 단면, 및 채널 길이 방향과 직교하는 C-D 단면을 도시한 것이다. p형 반도체 기관(451)에 소자 분리 영역(453)을 가지며 게이트 절연막(457), 게이트 전극(459), n형 불순물 영역(461a), n형 불순물 영역(461b), 절연막(465), 및 절연막(467)을 가진 트랜지스터(519)가 형성되어 있다. 트랜지스터(519)는 단결정 실리콘 등의 반도체를 사용하여 형성되고 고속 동작이 가능하다. 따라서, 고속 액세스가 가능한 CPU의 휘발성 기억부를 형성할 수 있다.
- [0311] 또한, 절연막(465) 및 절연막(467)의 일부를 선택적으로 에칭한 개구부에 콘택트 플러그(469a) 및 콘택트 플러그(469b)를 형성하고, 절연막(467), 콘택트 플러그(469a), 및 콘택트 플러그(469b) 위에 홈부를 가지는 절연막(471)을 제공한다. 또한, 절연막(471)의 홈부에 배선(473a) 및 배선(473b)을 형성한다. 또한, 스퍼터링법, CVD법 등에 의하여 절연막(471), 배선(473a), 및 배선(473b) 위에 절연막(470)을 형성하고, 절연막(470) 위에 홈부를 가지는 절연막(472)을 형성한다. 절연막(472)의 홈부에 전극(474)을 형성한다. 전극(474)은 트랜지스터(517)의 백 게이트 전극으로서 기능하는 전극이다. 이러한 전극(474)을 제공함으로써, 트랜지스터(517)의 문턱 전압을 제어할 수 있다.
- [0312] 또한, 스퍼터링법, CVD법 등에 의하여 절연막(472) 및 전극(474) 위에 절연막(475)을 제공한다.
- [0313] 절연막(475) 위에는 트랜지스터(517)와 광전 변환 소자(514)가 제공된다. 트랜지스터(517)는 산화물 반도체층(106a), 산화물 반도체층(106b), 및 산화물 반도체층(106c)과, 소스 전극(116a) 및 드레인 전극(116b)과, 게이트 절연막(112)과, 게이트 전극(104)과, 보호 절연막(118)을 포함한다. 또한, 광전 변환 소자(514)와 트랜지스터(517)를 덮는 절연막(445)이 제공되고, 절연막(445) 위에 드레인 전극(116b)에 접촉하는 배선(449)을 가진다. 배선(449)은 트랜지스터(517)의 드레인 전극(116b)과 트랜지스터(519)의 게이트 전극(459)을 전기적으로 접속한다.
- [0314] 도 13의 (B)는 검출부의 회로도이다. 검출부는 광 센서(511), 앰프(512), AD 컨버터(513)를 가진다. 광 센서(511)는 광전 변환 소자(514)와, 용량 소자(515)와, 트랜지스터(516)와, 트랜지스터(517)와, 트랜지스터(518)와, 트랜지스터(519)를 포함한다. 여기서 광전 변환 소자(514)로서는, 예를 들어 포토 다이오드 등을 사용할 수 있다.
- [0315] 광전 변환 소자(514)의 한쪽 단자는 저전위 전원선(VSS)에 전기적으로 접속되고, 다른 쪽 단자는 트랜지스터(517)의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속된다. 트랜지스터(517)의 게이트 전극에는 전하 축적 제어 신호(Tx)가 공급되고, 소스 전극 및 드레인 전극 중 다른 쪽은 용량 소자(515)의 한 쌍의 전극 중 한쪽과, 트랜지스터(516)의 소스 전극 및 드레인 전극 중 한쪽과, 트랜지스터(519)의 게이트 전극에 전기적으로 접속된다(이하, 이 노드를 노드(FD)라고 부르는 경우가 있음). 용량 소자(515)의 한 쌍의 전극 중 다른 쪽은 저전위 전원선(VSS)과 전기적으로 접속된다. 트랜지스터(516)의 게이트 전극은 리셋 신호(Res)가 공급되고, 소스 전극 및 드레인 전극 중 다른 쪽은 고전위 전원선(VDD)과 전기적으로 접속된다. 트랜지스터(519)의 소스 전극 및 드레인 전극 중 한쪽은 트랜지스터(518)의 소스 전극 및 드레인 전극 중 한쪽과 앰프(512)에 전기적으로 접속된다. 또한, 트랜지스터(519)의 소스 전극 및 드레인 전극 중 다른 쪽은 고전위 전원선(VDD)에 전기적으로 접속된다. 트랜지스터(518)의 게이트 전극에는 바이어스 신호(Bias)가 공급되고, 소스 전극 및 드레인 전극 중 다른 쪽은 저전위 전원선(VSS)과 전기적으로 접속된다.
- [0316] 또한, 용량 소자(515)는 반드시 제공할 필요는 없고, 예를 들어 트랜지스터(519) 등의 기생 용량이 충분히 큰 경우에는 용량 소자를 제공하지 않는 구성으로 하여도 좋다.
- [0317] 또한, 트랜지스터(516) 및 트랜지스터(517)로서는 오프 전류가 매우 낮은 트랜지스터를 사용하는 것이 바람직하다. 또한, 오프 전류가 매우 낮은 트랜지스터로서는 상술한 트랜지스터를 사용하는 것이 바람직하다. 이와 같은 구성으로 함으로써, 노드(FD)의 전위를 오랫동안 유지할 수 있다.
- [0318] 도 13의 (A)에 도시된 구성에서 광전 변환 소자(514)는 트랜지스터(517)에 전기적으로 접속되고, 절연

막(475) 위에 제공된다.

- [0319] 광전 변환 소자(514)는 절연막(475) 위에 제공된 반도체막(460)과, 반도체막(460) 위에 접촉하여 제공된 소스 전극(116a), 전극(466c)을 가진다. 소스 전극(116a)은 트랜지스터(517)의 소스 전극 또는 드레인 전극으로서 기능하는 전극이며, 광전 변환 소자(514)와 트랜지스터(517)를 전기적으로 접속시킨다.
- [0320] 반도체막(460), 소스 전극(116a), 및 전극(466c) 위에는, 게이트 절연막(112), 보호 절연막(118), 및 절연막(445)이 제공된다. 또한, 절연막(445) 위에 제공되는 배선(456)은, 게이트 절연막(112), 보호 절연막(118), 및 절연막(445)에 형성된 개구를 통하여 전극(466c)과 접촉한다.
- [0321] 전극(466c)은 소스 전극(116a) 및 드레인 전극(116b)과 같은 공정으로 형성할 수 있고, 배선(456)은 배선(449)과 같은 공정으로 형성할 수 있다.
- [0322] 반도체막(460)으로서는 광전 변환이 가능한 반도체막을 제공하면 좋고, 예를 들어 실리콘이나 게르마늄 등을 사용할 수 있다. 반도체막(460)에 실리콘을 사용한 경우, 반도체막(460)은 가시광을 감지하는 광 센서로서 기능한다. 또한, 실리콘과 게르마늄은 흡수할 수 있는 전자기파의 파장이 다르기 때문에 반도체막(460)에 게르마늄을 사용하는 구성으로 하면, 반도체막(460)을 적외선을 감지하는 센서로서 사용할 수 있다.
- [0323] 상술한 바와 같이, 광 센서(511)를 포함하는 검출부(509)를 마이크로컴퓨터(500)에 내장시킬 수 있기 때문에 부품 수를 삭감하여 경보 장치의 하우징을 축소할 수 있다.
- [0324] 위에서 설명한 화재 경보기에는, 상술한 트랜지스터를 사용한 복수의 회로를 조합하고 하나의 IC 칩에 탑재한 CPU(505)가 사용된다.
- [0325] <CPU>
- [0326] 도 14는 상술한 트랜지스터를 적어도 일부에 사용한 CPU의 구체적인 구성을 도시한 블록도이다.
- [0327] 도 14의 (A)에 도시된 CPU는 기관(1190) 위에 ALU(1191)(Arithmetic Logic Unit, 논리 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(1189)를 가진다. 기관(1190)으로서는 반도체 기관, SOI 기관, 유리 기관 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 다른 칩에 제공하여도 좋다. 물론, 도 14의 (A)에 도시된 CPU는, 그 구성을 간략화하여 도시한 일례에 불과하고 실제의 CPU는 그 용도에 따라 다종다양한 구성을 가진다.
- [0328] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 디코드된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.
- [0329] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코드된 명령에 기초하여 각종 제어를 수행한다. 구체적으로는 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는 CPU의 프로그램을 실행하는 중에 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태에서 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)에 대하여 데이터 판독이나 기록을 수행한다.
- [0330] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어 타이밍 컨트롤러(1195)는 기준 클럭 신호(CLK1)에 기초하여 내부 클럭 신호(CLK2)를 생성하는 내부 클럭 생성부를 구비하며, 내부 클럭 신호(CLK2)를 상기 각종 회로에 공급한다.
- [0331] 도 14의 (A)에 도시된 CPU에서는 레지스터(1196)에 메모리 셀이 제공되어 있다. 레지스터(1196)의 메모리 셀로서 상술한 트랜지스터를 사용할 수 있다.
- [0332] 도 14의 (A)에 도시된 CPU에서 레지스터 컨트롤러(1197)는, ALU(1191)로부터의 지시에 따라 레지스터(1196)에서의 유지 동작의 선택을 수행한다. 즉, 레지스터(1196)가 가진 메모리 셀에서 플립플롭에 의하여 데이터를 유지할지 또는 용량 소자에 의하여 데이터를 유지할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되는 경우, 레지스터(1196) 내의 메모리 셀에 전원 전압이 공급된다. 용량 소자에 의한 데이터 유지가 선택되는 경우, 용량 소자에 데이터가 재기록되고 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지

할 수 있다.

- [0333] 도 14의 (B) 또는 (C)에 도시된 바와 같이, 메모리 셀군과, 전원 전위 VDD 또는 전원 전위 VSS가 공급되는 노드 사이에 스위칭 소자를 제공함으로써, 전원 정지가 가능하게 된다. 이하에서 도 14의 (B) 및 (C)에 도시된 회로에 대하여 설명한다.
- [0334] 도 14의 (B) 및 (C)는 메모리 셀로의 전원 전위의 공급을 제어하는 스위칭 소자로서, 상술한 트랜지스터를 사용한 기억 장치를 도시한 것이다.
- [0335] 도 14의 (B)에 도시된 기억 장치는 스위칭 소자(1141)와, 복수의 메모리 셀(1142)을 가지는 메모리 셀군(1143)을 가진다. 구체적으로, 각 메모리 셀(1142)에는, 상술한 트랜지스터를 사용할 수 있다. 메모리 셀군(1143)이 가진 각 메모리 셀(1142)에는 스위칭 소자(1141)를 통하여 HIGH 레벨의 전원 전위 VDD가 공급된다. 또한, 메모리 셀군(1143)이 가진 각 메모리 셀(1142)에는 신호 IN의 전위와, LOW 레벨의 전원 전위 VSS가 공급된다.
- [0336] 도 14의 (B)에서는 스위칭 소자(1141)로서 상술한 트랜지스터를 사용하고, 상기 트랜지스터는 그 게이트 전극층에 공급되는 신호 SigA에 의하여 스위칭이 제어된다.
- [0337] 또한, 도 14의 (B)에는 스위칭 소자(1141)가 하나의 트랜지스터를 가지는 구성을 도시하였지만 특별히 한정되지 않고, 복수의 트랜지스터를 가져도 좋다. 스위칭 소자(1141)가 스위칭 소자로서 기능하는 복수의 트랜지스터를 가지는 경우에는, 상기 복수의 트랜지스터는 서로 병렬로 접속되어도 좋고, 직렬로 접속되어도 좋고, 직렬과 병렬이 조합되어 접속되어도 좋다.
- [0338] 또한, 도 14의 (B)에서는 메모리 셀군(1143)이 가지는 각 메모리 셀(1142)에 대한 HIGH 레벨의 전원 전위 VDD의 공급이 스위칭 소자(1141)에 의하여 제어되지만, LOW 레벨의 전원 전위 VSS의 공급이 스위칭 소자(1141)에 의하여 제어되어도 좋다.
- [0339] 또한, 도 14의 (C)에는 메모리 셀군(1143)이 가지는 각 메모리 셀(1142)에 스위칭 소자(1141)를 통하여 LOW 레벨의 전원 전위 VSS가 공급되는 기억 장치의 일례를 도시하였다. 스위칭 소자(1141)에 의하여, 메모리 셀군(1143)이 가지는 각 메모리 셀(1142)에 대한 LOW 레벨의 전원 전위 VSS의 공급을 제어할 수 있다.
- [0340] 메모리 셀군과, 전원 전위 VDD 또는 전원 전위 VSS가 공급되는 노드 사이에 스위칭 소자를 제공하고 일시적으로 CPU의 동작을 정지하고 전원 전압의 공급을 정지시킨 경우에도 데이터를 유지할 수 있으며, 소비 전력을 저감시킬 수 있다. 구체적으로는 예를 들어, 퍼스널 컴퓨터의 사용자가 키보드 등의 입력 장치를 사용한 정보 입력을 하지 않는 동안에 CPU의 동작을 정지할 수도 있고, 이에 의하여 소비 전력을 저감시킬 수 있다.
- [0341] 여기서는 CPU를 예로 들어 설명하였지만, DSP(Digital Signal Processor), 커스텀 LSI, FPGA(Field Programmable Gate Array) 등의 LSI에도 상술한 트랜지스터를 적용할 수 있다.
- [0342] <표시 장치>
- [0343] 여기서는, 상술한 트랜지스터를 적용한 표시 장치에 대하여 설명한다.
- [0344] 표시 장치에 제공되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함) 등을 사용할 수 있다. 전류 또는 전압에 의하여 휘도가 제어되는 소자는 발광 소자의 범주에 포함되고, 구체적으로는 무기 EL(electroluminescence), 유기 EL 등이 있다. 또한, 전자 잉크, 전기 영동 소자 등 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체도 표시 소자로서 적용될 수 있다. 이하에서는, 표시 장치의 일례로서 EL 소자를 사용한 표시 장치 및 액정 소자를 사용한 표시 장치에 대하여 설명한다.
- [0345] 또한, 이하에서 제시하는 표시 장치는 표시 소자가 밀봉된 상태의 패널과, 이 패널에 컨트롤러를 포함한 IC 등을 실장한 상태의 모듈을 그 범주에 포함한다.
- [0346] 또한, 이하에 제시하는 표시 장치란, 화상 표시 디바이스 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터, 예를 들어 FPC나 TCP가 장착된 모듈, TCP 끝에 프린트 배선판이 제공된 모듈, 또는 표시 소자에 COG 방식에 의하여 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치의 범주에 포함된다.
- [0347] <EL 표시 장치>
- [0348] 우선, EL 소자를 사용한 표시 장치(EL 표시 장치라고도 함)에 대하여 설명한다.

- [0349] 도 15는 EL 표시 장치의 화소의 회로도의 일례를 도시한 것이다.
- [0350] 또한, 본 명세서 등에서는 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 가지는 모든 단자에 관하여 그 접속 대상이 특정되지 않더라도, 당업자이면 발명의 일 형태를 구성하는 것이 가능한 경우가 있다. 즉, 접속 대상이 특정되지 않더라도 발명의 일 형태가 명확하다고 할 수 있다. 그리고, 접속 대상이 특정된 내용이 본 명세서 등에 기재되어 있는 경우, 접속 대상이 특정되지 않은 발명의 일 형태가 본 명세서에 기재되어 있다고 판단할 수 있는 경우가 있다. 특히, 단자의 접속 대상이 몇 가지 생각될 수 있는 경우에는, 그 단자의 접속 대상을 특정한 개소로 한정할 필요는 없다. 따라서, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 가지는 일부의 단자에 관해서만 그 접속 대상을 특정함으로써 발명의 일 형태를 구성하는 것이 가능한 경우가 있다.
- [0351] 또한, 본 명세서 등에서는 어떤 회로에 관하여 적어도 접속 대상을 특정하기만 하면 당업자이면 발명을 특정하는 것이 가능한 경우가 있다. 또한, 어떤 회로에 관하여 적어도 기능을 특정하기만 하면 당업자이면 발명을 특정하는 것이 가능한 경우가 있다. 즉, 기능이 특정된다면 발명의 일 형태가 명확하다고 할 수 있다. 그리고, 기능이 특정된 발명의 일 형태가 본 명세서에 기재되어 있다고 판단할 수 있는 경우가 있다. 따라서, 어떤 회로에 관하여 기능이 특정되지 않더라도, 접속 대상이 특정된다면 발명의 일 형태로서 개시되어 있는 것으로 발명의 일 형태를 구성하는 것이 가능하다. 또는, 어떤 회로에 관하여 접속 대상이 특정되지 않더라도, 기능이 특정된다면 발명의 일 형태로서 개시되어 있는 것으로 발명의 일 형태를 구성하는 것이 가능하다.
- [0352] 도 15의 (A)에 도시된 EL 표시 장치는 스위칭 소자(743), 트랜지스터(741), 용량 소자(742), 및 발광 소자(719)를 가진다.
- [0353] 또한, 도 15의 (A) 등은, 회로 구성의 일례를 도시한 것이기 때문에 트랜지스터를 추가적으로 제공하는 것이 가능하다. 반대로, 도 15의 (A)에 도시된 각 노드에 추가적으로 트랜지스터, 스위치, 수동 소자 등을 제공하지 않는 것도 가능하다.
- [0354] 트랜지스터(741)의 게이트는 스위칭 소자(743)의 한쪽 단자 및 용량 소자(742)의 한쪽 단자와 전기적으로 접속된다. 트랜지스터(741)의 소스는 용량 소자(742)의 다른 쪽 단자 및 발광 소자(719)의 한쪽 단자와 전기적으로 접속된다. 트랜지스터(741)의 드레인에는 전원 전위 VDD가 공급된다. 스위칭 소자(743)의 다른 쪽 단자는 신호선(744)과 전기적으로 접속된다. 발광 소자(719)의 다른 쪽 단자에는 정전위가 공급된다. 또한, 정전위는 접지 전위 GND 또는 그보다 작은 전위로 한다.
- [0355] 또한, 트랜지스터(741)로서 상술한 트랜지스터를 사용한다. 이 트랜지스터는 안정된 전기 특성을 가진다. 그러므로, 표시 품질이 높은 EL 표시 장치를 실현할 수 있다.
- [0356] 스위칭 소자(743)로서는 트랜지스터를 사용하는 것이 바람직하다. 트랜지스터를 사용함으로써, 화소의 면적을 작게 할 수 있어 해상도가 높은 EL 표시 장치를 실현할 수 있다. 또한, 스위칭 소자(743)로서 상술한 트랜지스터를 사용하여도 좋다. 스위칭 소자(743)로서 상기 트랜지스터를 사용함으로써, 트랜지스터(741)와 같은 공정에 의하여 스위칭 소자(743)를 제작할 수 있기 때문에 EL 표시 장치의 생산성을 높일 수 있다.
- [0357] 도 15의 (B)는 EL 표시 장치의 상면도이다. EL 표시 장치는 기판(300)과, 기판(700)과, 실재(734)와, 구동 회로(735)와, 구동 회로(736)와, 화소(737)와, FPC(732)를 가진다. 실재(734)는 화소(737), 구동 회로(735), 및 구동 회로(736)를 둘러싸도록 기판(300)과 기판(700) 사이에 제공된다. 또한, 구동 회로(735) 또는/및 구동 회로(736)를 실재(734) 외측에 제공하여도 좋다.
- [0358] 도 15의 (C)는 도 15(B)를 일점 쇄선 M-N에서 절단한 EL 표시 장치의 단면도의 일부이다. FPC(732)는 단자(731)를 통하여 배선(733a)과 접속된다. 또한, 배선(733a)은 게이트 전극(304)과 같은 층이다.
- [0359] 또한, 도 15의 (C)는 트랜지스터(741)와 용량 소자(742)가 같은 평면에 제공되는 예를 도시한 것이다. 이와 같은 구조로 함으로써, 용량 소자(742)를 트랜지스터(741)의 게이트 전극, 게이트 절연막, 및 소스 전극(드레인 전극)과 같은 평면에 제작할 수 있다. 이와 같이 트랜지스터(741)와 용량 소자(742)를 같은 평면에 제공함으로써 EL 표시 장치의 제작 공정을 단축화하여 생산성을 높일 수 있다.
- [0360] 도 15의 (C)는 트랜지스터(741)로서 도 8에 도시된 트랜지스터와 같은 구조를 가진 트랜지스터를 적용하는 예를 도시한 것이다.
- [0361] 도 8에 도시된 트랜지스터는 문턱 전압의 변화가 작은 트랜지스터이다. 따라서, 미미한 문턱 전압 변

화에 의해서도 계조가 어긋날 수 있는 EL 표시 장치에 사용하기에 적합한 트랜지스터이다.

- [0362] 트랜지스터(741) 및 용량 소자(742) 위에는 절연막(720)이 제공된다. 여기서, 절연막(720) 및 보호 절연막(318)에는 트랜지스터(741)의 소스 전극(316a)에 도달되는 개구부가 형성된다.
- [0363] 절연막(720) 위에는 전극(781)이 제공된다. 전극(781)은 절연막(720) 및 보호 절연막(318)에 형성된 개구부를 통하여 트랜지스터(741)의 소스 전극(316a)과 접촉된다.
- [0364] 전극(781) 위에는 전극(781)에 도달되는 개구부를 가진 격벽(784)이 제공된다. 격벽(784) 위에는 격벽(784)에 형성된 개구부에서 전극(781)과 접촉되는 발광층(782)이 제공된다. 발광층(782) 위에는 전극(783)이 제공된다. 전극(781), 발광층(782), 및 전극(783)이 중첩되는 영역이 발광 소자(719)가 된다.
- [0365] <액정 표시 장치>
- [0366] 다음에 액정 소자를 사용한 표시 장치(액정 표시 장치라고도 함)에 대하여 설명한다.
- [0367] 도 16의 (A)는 액정 표시 장치의 화소의 구성예를 도시한 회로도이다. 도 16의 (A)에 도시된 화소(750)는 트랜지스터(751), 용량 소자(752), 및 한 쌍의 전극 사이에 액정이 충전된 소자(753)(이하, 액정 소자라고도 함)를 가진다.
- [0368] 트랜지스터(751)는 소스 및 드레인 중 한쪽이 신호선(755)에 전기적으로 접속되고, 게이트가 주사선(754)에 전기적으로 접속된다.
- [0369] 용량 소자(752)는 한쪽 전극이 트랜지스터(751)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고, 다른 쪽 전극이 공통 전위를 공급하는 배선에 전기적으로 접속된다.
- [0370] 액정 소자(753)는 한쪽 전극이 트랜지스터(751)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고, 다른 쪽 전극이 공통 전위를 공급하는 배선에 전기적으로 접속된다. 또한, 상술한 용량 소자(752)의 다른 쪽 전극이 전기적으로 접속된 배선에 공급되는 공통 전위와, 액정 소자(753)의 다른 쪽 전극이 전기적으로 접속된 배선에 공급되는 공통 전위는 달라도 좋다.
- [0371] 또한, 액정 표시 장치도 상면도는 EL 표시 장치의 그것과 대략 같다. 도 16의 (B)는 도 15의 (B)를 일 점 쇄선 M-N에서 절단한 액정 표시 장치의 단면도의 일부이다. 도 16의 (B)에서 FPC(732)는 단자(731)를 통하여 배선(733a)과 접속된다. 또한, 배선(733a)은 게이트 전극(304)과 같은 층이다.
- [0372] 또한, 도 16의 (B)는 트랜지스터(751)와 용량 소자(752)가 같은 평면에 제공되는 예를 도시한 것이다. 이와 같은 구조로 함으로써, 용량 소자(752)를 트랜지스터(751)의 게이트 전극, 게이트 절연막, 및 소스 전극(드레인 전극)과 같은 평면에 제작할 수 있다. 이와 같이 트랜지스터(751)와 용량 소자(752)를 같은 평면에 제공함으로써 액정 표시 장치의 제작 공정을 단축화하여 생산성을 높일 수 있다.
- [0373] 트랜지스터(751)로서는 상술한 트랜지스터를 적용할 수 있다. 도 16의 (B)는 도 8에 도시된 트랜지스터와 같은 구조를 가진 트랜지스터를 적용하는 예를 도시한 것이다.
- [0374] 또한, 트랜지스터(751)를 오프 전류가 매우 작은 트랜지스터로 할 수 있다. 따라서, 용량 소자(752)에 유지된 전하가 누설되기 어려워지므로 액정 소자(753)에 인가되는 전압을 오랫동안 유지할 수 있다. 그러므로, 움직임이 적은 동영상이나 정지 화상을 표시할 때 트랜지스터(751)를 오프 상태로 함으로써, 트랜지스터(751)를 동작시키기 위한 전력이 필요 없어지므로 소비 전력이 적은 표시 장치로 할 수 있다.
- [0375] 트랜지스터(751) 및 용량 소자(752) 위에는 절연막(721)이 제공된다. 여기서, 절연막(721) 및 보호 절연막(318)에는 트랜지스터(751)의 드레인 전극(316b)에 도달되는 개구부가 형성된다.
- [0376] 절연막(721) 위에는 전극(791)이 제공된다. 전극(791)은 절연막(721) 및 보호 절연막(318)에 형성된 개구부를 통하여 트랜지스터(751)의 드레인 전극(316b)과 접촉된다.
- [0377] 전극(791) 위에는 배향막으로서 기능하는 절연막(792)이 제공된다. 절연막(792) 위에는 액정층(793)이 제공된다. 액정층(793) 위에는 배향막으로서 기능하는 절연막(794)이 제공된다. 절연막(794) 위에는 스페이서(795)가 제공된다. 스페이서(795) 및 절연막(794) 위에는 전극(796)이 제공된다. 전극(796) 위에는 기판(797)이 제공된다.
- [0378] <설치예>

- [0379] 도 17의 (A)에 도시된 텔레비전 장치(8000)는 하우징(8001)에 표시부(8002)가 제공되어 있으며 표시부(8002)에 의하여 영상을 표시하고 스피커부(8003)로부터 음성을 출력할 수 있다. 상술한 표시 장치는 표시부(8002)에 사용될 수 있다.
- [0380] 텔레비전 장치(8000)는 수신기나 모뎀 등을 구비하여도 좋다. 텔레비전 장치(8000)는 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있고, 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속함으로써, 단방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들간 등)의 정보 통신을 할 수도 있다.
- [0381] 또한, 텔레비전 장치(8000)는 정보 통신을 위한 CPU나, 메모리를 구비하여도 좋다. 텔레비전 장치(8000)에는 상술한 메모리나 CPU를 사용할 수 있다.
- [0382] 도 17의 (A)에 도시된 경보 장치(8100)는 주택용 화재 경보기이며 검출부 및 마이크로컴퓨터(8101)를 가진다. 마이크로컴퓨터(8101)에는 상술한 트랜지스터를 사용한 CPU가 포함된다.
- [0383] 도 17의 (A)에 도시된 실내기(8200) 및 실외기(8204)를 가진 에어컨디셔너에는 상술한 트랜지스터를 사용한 CPU가 포함된다. 구체적으로, 실내기(8200)는 하우징(8201), 송풍구(8202), CPU(8203) 등을 가진다. 도 17의 (A)에는 CPU(8203)가 실내기(8200)에 제공되는 경우를 예시하였지만 CPU(8203)는 실외기(8204)에 제공되어도 좋다. 또는, 실내기(8200)와 실외기(8204) 양쪽 모두에 CPU(8203)가 제공되어도 좋다. 상술한 트랜지스터를 사용한 CPU를 구비시킴으로써, 에어컨디셔너의 전력을 절약할 수 있다.
- [0384] 도 17의 (A)에 도시된 전기 냉동 냉장고(8300)에는 상술한 트랜지스터를 사용한 CPU가 포함된다. 구체적으로 전기 냉동 냉장고(8300)는 하우징(8301), 냉장실용 도어(8302), 냉동실용 도어(8303), CPU(8304) 등을 가진다. 도 17의 (A)에서는 CPU(8304)가 하우징(8301) 내부에 제공되어 있다. 상술한 트랜지스터를 사용한 CPU(8304)를 구비시킴으로써, 전기 냉동 냉장고(8300)의 전력을 절약할 수 있다.
- [0385] 도 17의 (B) 및 (C)에 전기 자동차의 예를 도시하였다. 전기 자동차(9700)에는 이차 전지(9701)가 탑재되어 있다. 이차 전지(9701)의 전력은 제어 회로(9702)에 의하여 출력이 조정되어 구동 장치(9703)에 공급된다. 제어 회로(9702)는 도시되어 있지 않은 ROM, RAM, CPU 등을 가진 처리 장치(9704)에 의하여 제어된다. 상술한 트랜지스터를 사용한 CPU를 구비시킴으로써, 전기 자동차(9700)의 전력을 절약할 수 있다.
- [0386] 구동 장치(9703)는 직류 전동기 또는 교류 전동기 단독으로 구성되거나, 또는 전동기와 내연 기관이 조합되어 구성된다. 처리 장치(9704)는 전기 자동차(9700) 운전자의 조작 정보(가속, 감속, 정지 등)나 주행 시의 정보(오르막길인지 내리막길인지 등의 정보, 구동륜에 가해지는 부하 정보 등)의 입력 정보에 따라 제어 회로(9702)에 제어 신호를 출력한다. 제어 회로(9702)는 처리 장치(9704)의 제어 신호에 따라 이차 전지(9701)로부터 공급되는 전기 에너지를 조정하여 구동 장치(9703)의 출력을 제어한다. 교류 전동기가 탑재되어 있는 경우에는, 도시되어 있지 않지만 직류를 교류로 변환시키는 인버터도 내장된다.
- [0387] 또한, 본 실시형태는 기본 원리의 일례에 대하여 기재한 것이다. 따라서, 본 실시형태의 일부를 실시형태의 다른 일부와 자유로이 조합하거나, 적용하거나, 치환하여 실시할 수 있다.
- [0388] (실시예 1)
- [0389] 본 실시형태에서는 다층막을 가진 트랜지스터를 제작하고 그 전기 특성을 측정할 예에 대하여 설명한다.
- [0390] 시료로서 제작한 트랜지스터는 도 8에 도시된 구조로 하였다. 그러므로, 이하에서는 트랜지스터의 구조 및 제작 방법에 대하여 도 8 및 9를 참조하여 설명한다.
- [0391] 시료에는 기관(300)으로서 유리 기관을 사용하였다. 또한, 게이트 전극(304)으로서 두께 100nm의 텅스텐막을 사용하였다. 또한, 게이트 절연막(312)으로서 두께 400nm의 질화 실리콘막과 두께 50nm의 산화 질화 실리콘막이 적층된 다층막을 사용하였다. 또한, 소스 전극(316a) 및 드레인 전극(316b)으로서 두께 50nm의 텅스텐막과, 두께 400nm의 알루미늄막과, 두께 100nm의 티타늄막이 적층된 다층막을 사용하였다. 또한, 보호 절연막(318)으로서 두께 450nm의 산화 질화 실리콘막을 사용하였다.
- [0392] 이하에서 본 발명의 일 형태에 따른 실시예 시료인 다층막(306)에 대하여 설명한다.
- [0393] 실시예 시료에는 산화물 반도체층(306a)으로서 두께 5nm의 In-Ga-Zn 산화물막을 사용하였다. 산화물 반도체층(306a)은 In:Ga:Zn=1:1:1[원자수비]의 타깃을 사용하고, AC 전력을 5kW로 하고, 성막 가스로서 산소만

을 사용하고, 압력을 0.6Pa로 하고, 기판 온도를 170℃로 하여 스퍼터링법으로 형성하였다.

- [0394] 또한, 산화물 반도체층(306b)으로서 두께 10nm의 In-Ga-Zn 산화물막을 사용하였다. 산화물 반도체층(306b)은 In:Ga:Zn=1:1:1[원자수비]의 타깃을 사용하고, AC 전력을 5kW로 하고, 성막 가스로서 아르곤만을 사용하고, 압력을 0.6Pa로 하고, 기판 온도를 170℃로 하여 스퍼터링법으로 형성하였다.
- [0395] 또한, 산화물 반도체층(306c)으로서 두께 20nm의 In-Ga-Zn 산화물막을 사용하였다. 산화물 반도체층(306c)은 In:Ga:Zn=1:1:1[원자수비]의 타깃을 사용하고, AC 전력을 5kW로 하고, 성막 가스로서 산소만을 사용하고, 압력을 0.6Pa로 하고, 기판 온도를 170℃로 하여 스퍼터링법으로 형성하였다.
- [0396] 실시예 시료에는 다층막(306)에 포함되는 산화물 반도체층(306a) 및 산화물 반도체층(306c)으로서 산소 결손량이 적은(산소 비율이 높은) 산화물 반도체층을 사용하고 산화물 반도체층(306b)으로서 산소 결손량이 많은(산소 비율이 낮은) 산화물 반도체층을 사용하였다. 그러므로, 트랜지스터를 온 상태로 할 때 다층막(306)에서 산화물 반도체층(306b)의 전류 밀도가 가장 높게 된다. 따라서, 게이트 절연막(312)과 산화물 반도체층(306a)의 계면, 및 산화물 반도체층(306c)과 보호 절연막(318)의 계면에서 캐리어 이동이 저해되기 어려운 구조이기 때문에 전계 효과 이동도가 높게 될 것으로 예측된다.
- [0397] 또한, 비교를 위하여 다층막(306) 대신에 산화물 반도체층을 단층 구조로 사용한 트랜지스터인 비교예 시료를 준비하였다. 그 외의 구조는 실시예 시료와 같게 하였다.
- [0398] 비교예 시료에는 산화물 반도체층으로서 두께 35nm의 In-Ga-Zn 산화물막을 사용하였다. 상기 산화물 반도체층은 In:Ga:Zn=1:1:1[원자수비]의 타깃을 사용하고, AC 전력을 5kW로 하고, 성막 가스로서 산소만을 사용하고, 압력을 0.6Pa로 하고, 기판 온도를 170℃로 하여 스퍼터링법으로 형성하였다.
- [0399] 비교예 시료에는 산화물 반도체층을 단층 구조로 사용하기 때문에 산화물 반도체층 전체의 전류 밀도가 높게 된다. 따라서, 게이트 절연막(312)과 산화물 반도체층의 계면, 및 산화물 반도체층과 보호 절연막(318)의 계면에서 캐리어 이동이 저해되기 쉬운 구조이기 때문에 실시예 시료에 비하여 전계 효과 이동도가 낮게 될 것으로 예측된다.
- [0400] 상술한 실시예 시료 및 비교예 시료의 게이트 전압(Vg)-드레인 전류(Id) 특성을 측정하였다. 전기 특성을 측정한 트랜지스터의 채널 길이(L)는 3μm, 채널 폭(W)은 50μm이다. Vg-Id 특성은 드레인 전류(Vd)가 1V 또는 10V일 때의 게이트 전압(Vg)에 대한 드레인 전류(Id)를 측정함으로써 측정하였다. 또한, 드레인 전압(Vd)이 10V일 때의 전계 효과 이동도(μFE)를 오른 쪽 축에 나타낸다. 또한, 게이트 전압(Vg)은 -20V로부터 15V까지의 범위에서 0.25V씩 소인(sweep)시켰다.
- [0401] 실시예 시료 및 비교예 시료의 각 드레인 전압에서의 Vg-Id 특성을, 각각 20번 측정하였다. 이 결과들도 18에 나타낸다. 또한, 도 18에서 상단에 비교예 시료의 전기 특성을, 하단에 실시예 시료의 전기 특성을 나타낸다.
- [0402] 도 18로부터 실시예 시료는 비교예 시료에 비하여 Vg-Id 특성이 가파르게 상승되는 것을 알았다. 또한, 실시예 시료는 비교예 시료에 비하여 같은 게이트 전압(Vg)에서의 온 전류 및 전계 효과 이동도가 높음을 알았다.
- [0403] 도 19는 상술한 게이트 전압(Vg) 소인 범위에서의 실시예 시료 및 비교예 시료의 온 전류(도 19의 (A) 참조) 및 전계 효과 이동도(도 19의 (B) 참조)의 최대값(μFE(Max))을 나타낸 것이다.
- [0404] 도 19의 (A)로부터 실시예 시료의 온 전류는 비교예 시료의 그것의 2배 내지 3배 정도임을 알았다. 또한, 도 19의 (B)로부터 실시예 시료의 전계 효과 이동도는 비교예 시료의 그것의 1.5배 내지 2배 정도임을 알았다.
- [0405] 다음에, 실시예 시료 및 비교예 시료의 신뢰성을 평가하였다. 신뢰성은 게이트 BT 스트레스 시험에 의하여 평가하였다.
- [0406] 플러스 게이트 BT 스트레스 시험(플러스 BT)에서의 측정 방법에 대하여 설명한다. 플러스 게이트 BT 스트레스 시험의 대상이 되는 트랜지스터의 초기(스트레스 인가 전) 전기 특성을 측정하기 위하여 기판 온도를 80℃로 하고, 드레인 전압 Vd를 1V 또는 10V로 하여 게이트 전압 Vg에 대한 드레인 전류 Id의 변화 특성, 즉 Vg-Id 특성을 측정하였다.

[0407] 다음에, 기판 온도를 80℃로 유지한 상태에서 트랜지스터의 드레인 전압 V_d 를 0V로 하였다. 다음에, 게이트 전압 $V_g + 30V$ 를 인가하고 2000초 동안 유지하였다.

[0408] 또한, 마이너스 게이트 BT 스트레스 시험(마이너스 BT)에서는 게이트 전압 $-30V$ 를 인가하였다.

[0409] 또한, 플러스 게이트 BT 스트레스 시험 및 마이너스 게이트 BT 스트레스 시험은 암(暗) 상태(Dark) 또는 광 조사 하(Photo)에서 수행하였다. 광 조사 하의 조건에서는 백색 LED를 사용하여 3000lx의 광을 트랜지스터에 조사하였다. 도 20은 백색 LED의 발광 스펙트럼을 나타낸 것이다.

[0410] 도 21은 실시예 시료 및 비교예 시료의, 게이트 BT 스트레스 시험 전후의 문턱 전압의 변화(ΔV_{th})를 나타낸 것이다. 또한, 문턱 전압(V_{th})이란, 채널이 형성될 때의 게이트 전압(소스와 게이트 사이의 전압)을 가리킨다. 또한, 가로 축을 게이트 전압(V_g)으로 하고 세로 축을 드레인 전류(I_d)의 평방근으로 하여 데이터를 플롯하여 제작한 곡선($V_g - \sqrt{I_d}$ 특성)에 있어서, 최대 기울기의 접선을 외삽하였을 때의 직선과 드레인 전류(I_d)의 평방근 0(I_d 가 0A)과의 교점에서의 게이트 전압(V_g)을 문턱 전압(V_{th})으로서 산출하였다.

[0411] 도 21로부터 실시예 시료 및 비교예 시료는 게이트 BT 스트레스 시험 전후의 전기 특성 변화가 작고 신뢰성이 높은 트랜지스터임을 알았다.

[0412] 본 실시예로부터 본 발명의 일 형태에 따른 다층막을 사용한 트랜지스터는 전계 효과 이동도가 높고 신뢰성이 높음을 알 수 있다.

부호의 설명

- [0413] 100: 기판
- 102: 하지 절연막
- 104: 게이트 전극
- 106a: 산화물 반도체층
- 106b: 산화물 반도체층
- 106c: 산화물 반도체층
- 112: 게이트 절연막
- 116a: 소스 전극
- 116b: 드레인 전극
- 118: 보호 절연막
- 200: 기판
- 202: 하지 절연막
- 204: 게이트 전극
- 206a: 산화물 반도체층
- 206b: 산화물 반도체층
- 206c: 산화물 반도체층
- 212: 게이트 절연막
- 216a: 소스 전극
- 216b: 드레인 전극
- 218: 보호 절연막
- 234: 도전막
- 236: 산화물 반도체층

242: 절연막
300: 기판
304: 게이트 전극
306a: 산화물 반도체층
306b: 산화물 반도체층
306c: 산화물 반도체층
312: 게이트 절연막
316a: 소스 전극
316b: 드레인 전극
318: 보호 절연막
318a: 산화 실리콘층
318b: 산화 실리콘층
318c: 질화 실리콘층
400: 기판
404: 게이트 전극
406a: 산화물 반도체층
406b: 산화물 반도체층
406c: 산화물 반도체층
412: 게이트 절연막
416a: 소스 전극
416b: 드레인 전극
418: 보호 절연막
445: 절연막
449: 배선
451: 반도체 기판
453: 소자 분리 영역
456: 배선
457: 게이트 절연막
459: 게이트 전극
460: 반도체막
461a: 불순물 영역
461b: 불순물 영역
465: 절연막
466c: 전극
467: 절연막
469a: 콘택트 플러그

469b: 콘택트 플러그
470: 절연막
471: 절연막
472: 절연막
473a: 배선
473b: 배선
474: 전극
475: 절연막
500: 마이크로컴퓨터
501: 직류 전원
502: 버스 라인
503: 파워 게이트 컨트롤러
504: 파워 게이트
505: CPU
506: 휘발성 기억부
507: 비휘발성 기억부
508: 인터페이스
509: 검출부
511: 광 센서
512: 앰프
513: AD 컨버터
514: 광전 변환 소자
516: 트랜지스터
517: 트랜지스터
518: 트랜지스터
519: 트랜지스터
530: 발광 소자
700: 기관
719: 발광 소자
720: 절연막
721: 절연막
731: 단자
732: FPC
733a: 배선
734: 실재
735: 구동 회로

- 736: 구동 회로
- 737: 화소
- 741: 트랜지스터
- 742: 용량 소자
- 743: 스위칭 소자
- 744: 신호선
- 750: 화소
- 751: 트랜지스터
- 752: 용량 소자
- 753: 액정 소자
- 754: 주사선
- 755: 신호선
- 781: 전극
- 782: 발광층
- 783: 전극
- 784: 격벽
- 791: 전극
- 792: 절연막
- 793: 액정층
- 794: 절연막
- 795: 스페이서
- 796: 전극
- 797: 기판
- 1141: 스위칭 소자
- 1142: 메모리 셀
- 1143: 메모리 셀군
- 1189: ROM 인터페이스
- 1190: 기판
- 1191: ALU
- 1192: ALU 컨트롤러
- 1193: 인스트럭션 디코더
- 1194: 인터럽트 컨트롤러
- 1195: 타이밍 컨트롤러
- 1196: 레지스터
- 1197: 레지스터 컨트롤러
- 1198: 버스 인터페이스

- 1199: ROM
- 8000: 텔레비전 장치
- 8001: 하우징
- 8002: 표시부
- 8003: 스피커부
- 8100: 정보 장치
- 8101: 마이크로컴퓨터
- 8200: 실내기
- 8201: 하우징
- 8202: 송풍구
- 8203: CPU
- 8204: 실외기
- 8300: 전기 냉동 냉장고
- 8301: 하우징
- 8302: 냉장실용 도어
- 8303: 냉동실용 도어
- 8304: CPU
- 9700: 전기 자동차
- 9701: 이차 전지
- 9702: 제어 회로
- 9703: 구동 장치
- 9704: 처리 장치

도면

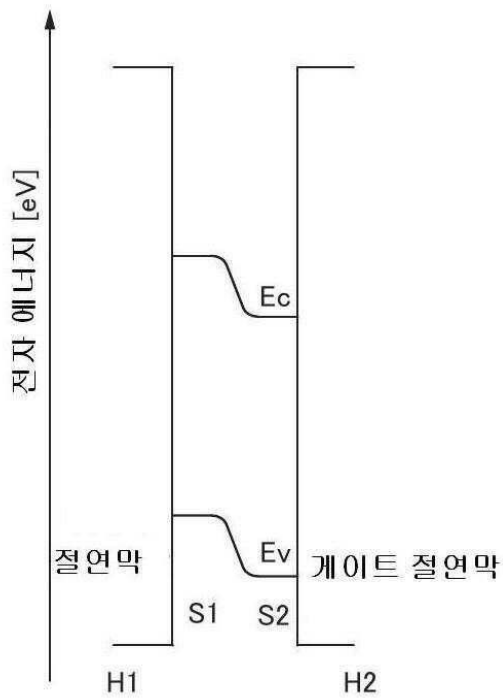
도면1

(A)

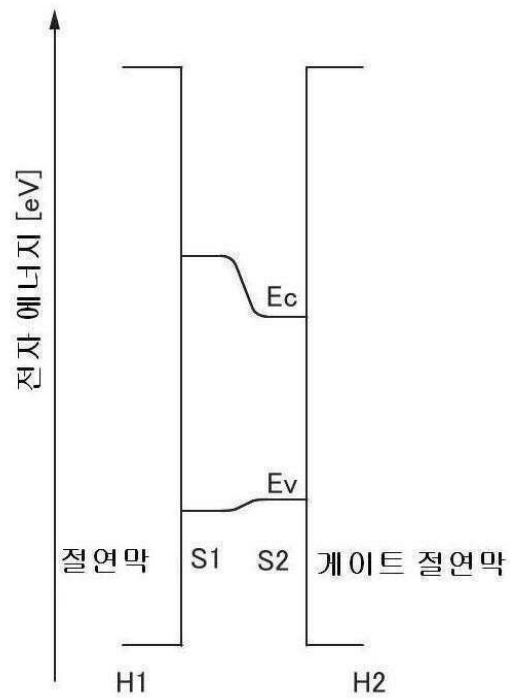
게이트 전극			
게이트 절연막		H2	
S2	산소 결손량	산소 비율	
	많음	낮음	
S1	산소 결손량	산소 비율	
	적음	높음	
절연막		H1	

} 다층막

(B1)



(B2)

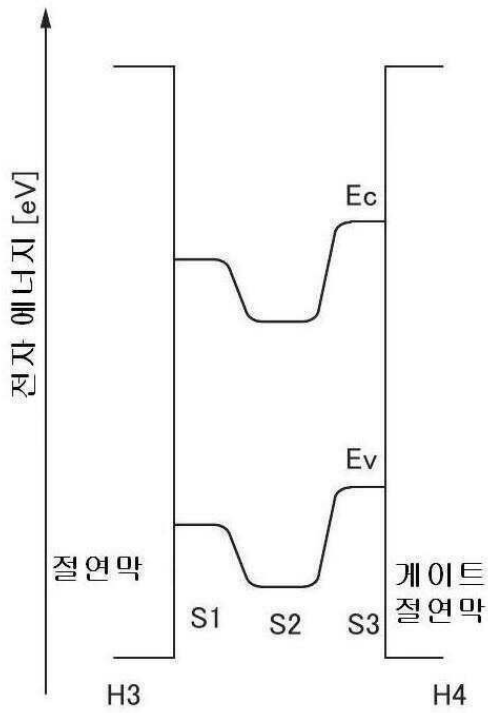


도면2

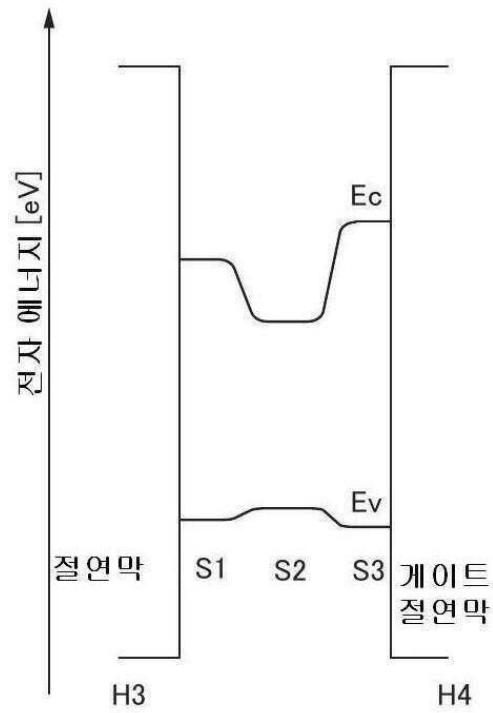
(A)

게이트 전극		
게이트 절연막		H4
S3 산소 결손량 적음	산소 비율 높음	} 다층막
S2 산소 결손량 많음	산소 비율 낮음	
S1 산소 결손량 적음	산소 비율 높음	
절연막		H3

(B1)

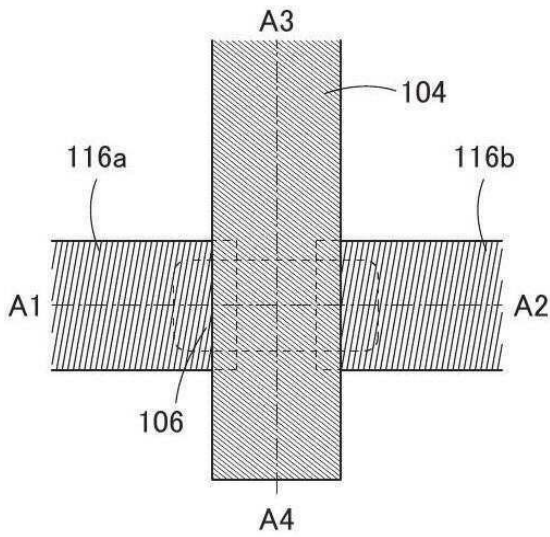


(B2)

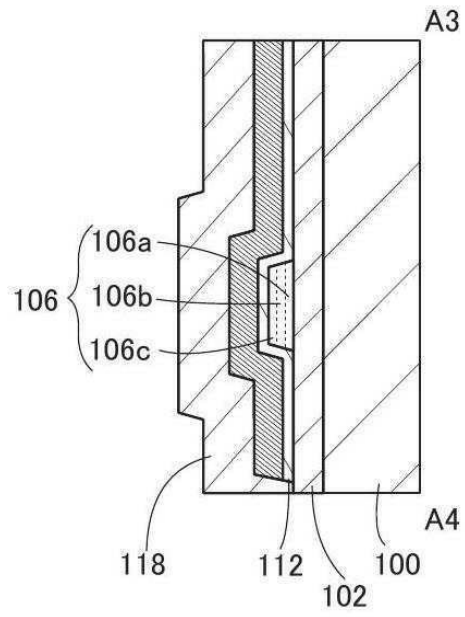


도면3

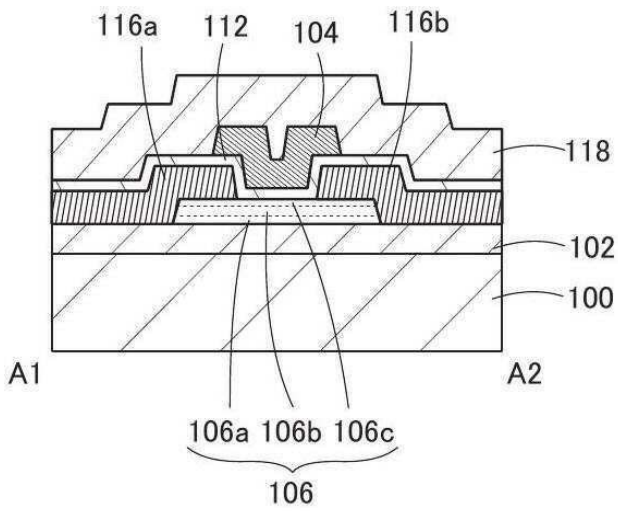
(A)



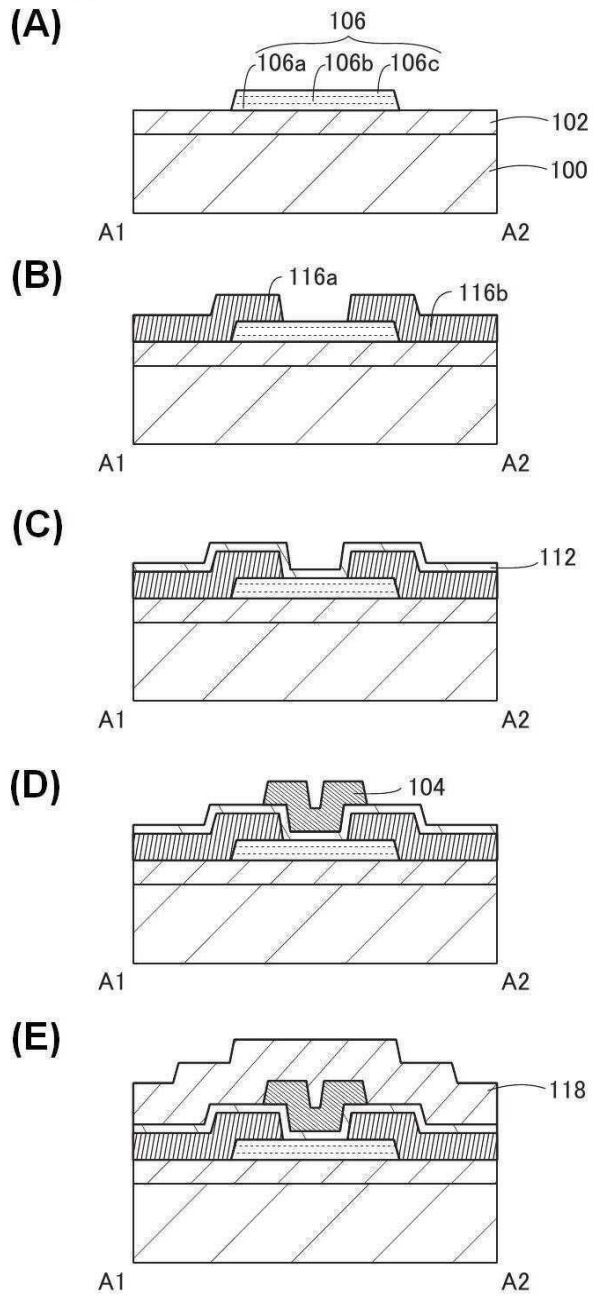
(C)



(B)

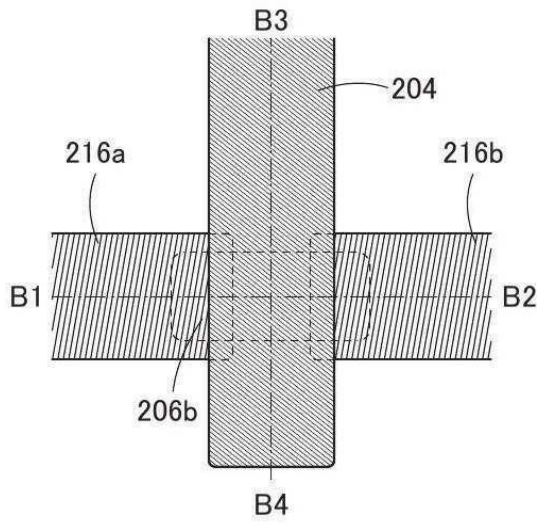


도면4

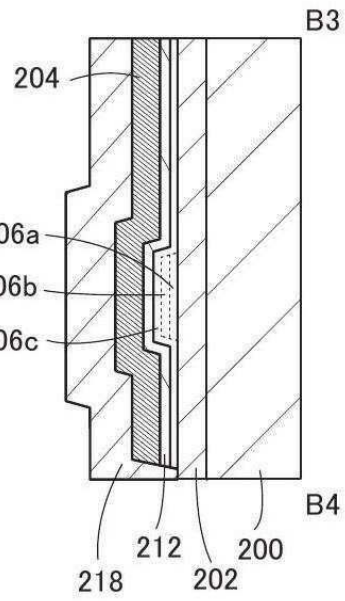


도면5

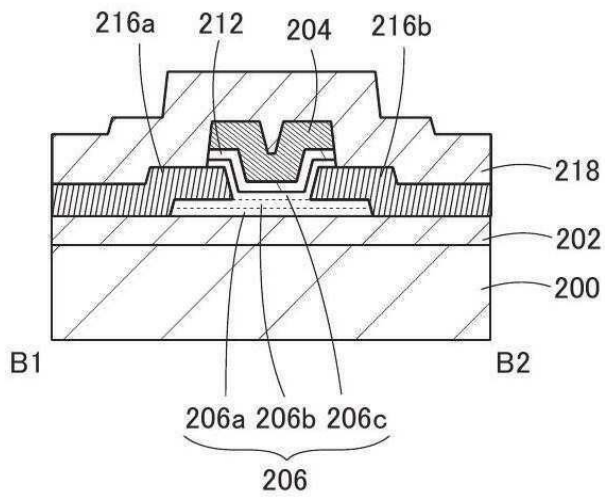
(A)



(C)

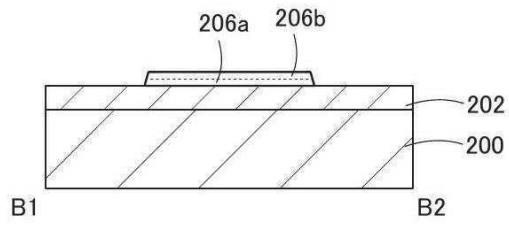


(B)

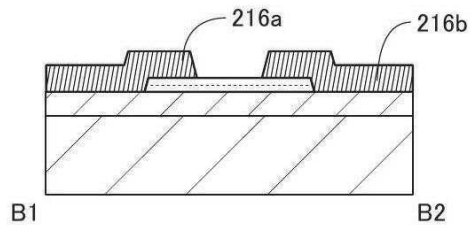


도면6

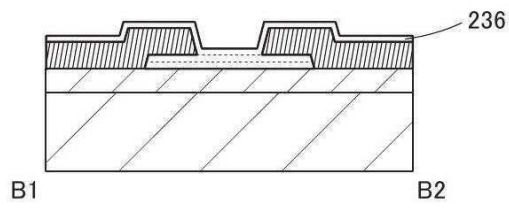
(A)



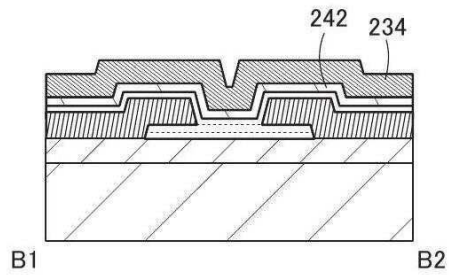
(B)



(C)

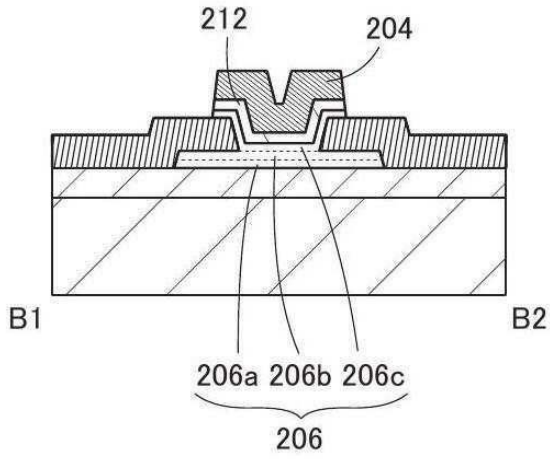


(D)

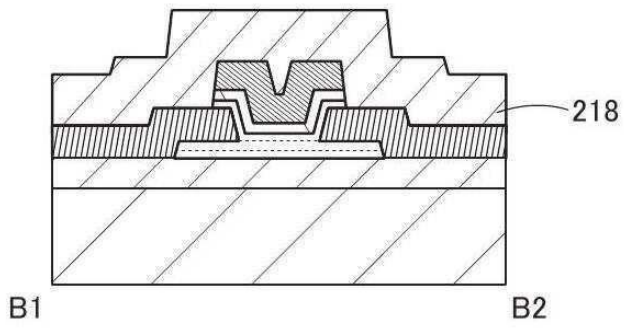


도면7

(A)

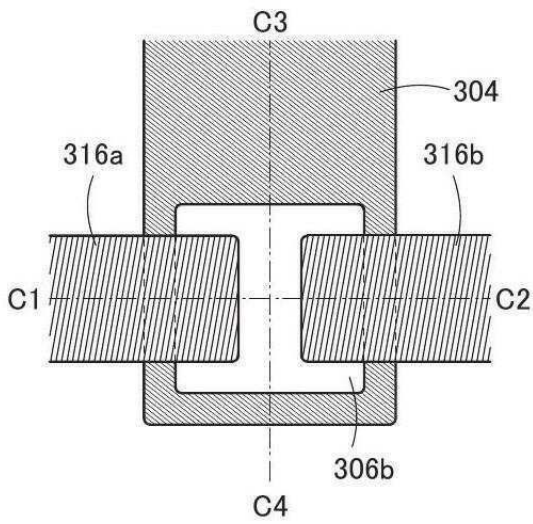


(B)

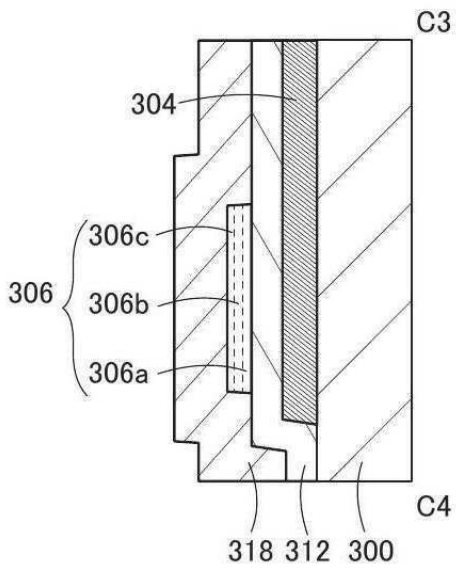


도면8

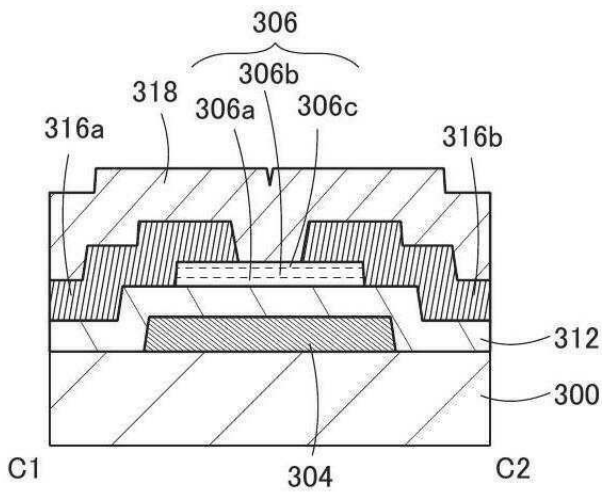
(A)



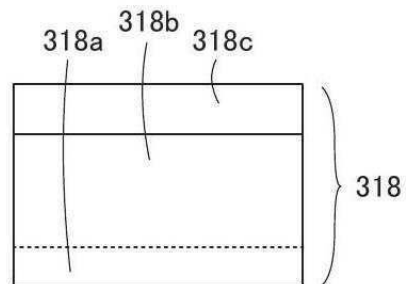
(C)



(B)

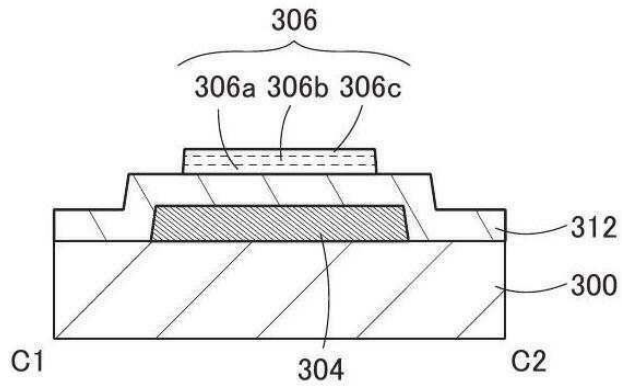


(D)

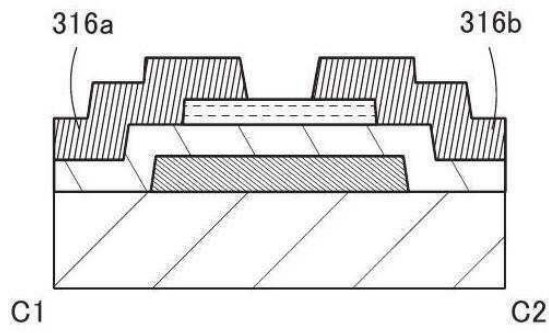


도면9

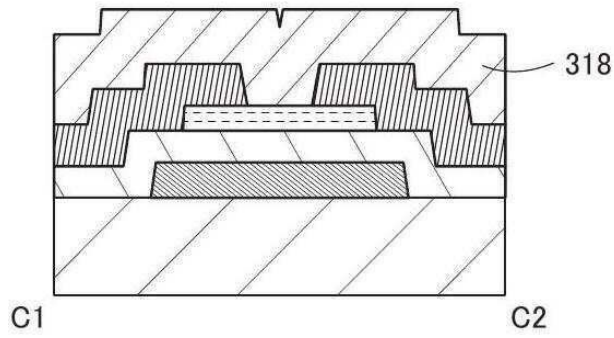
(A)



(B)

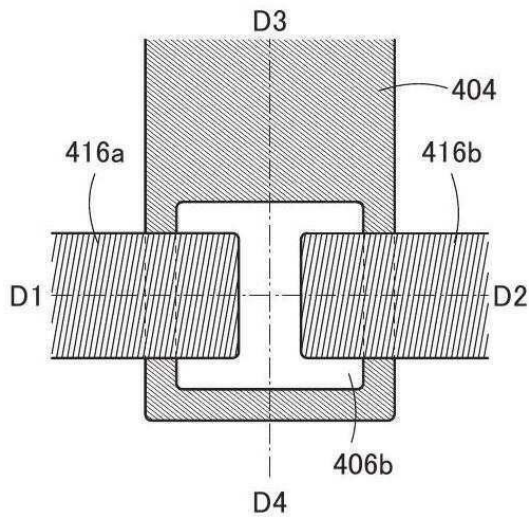


(C)

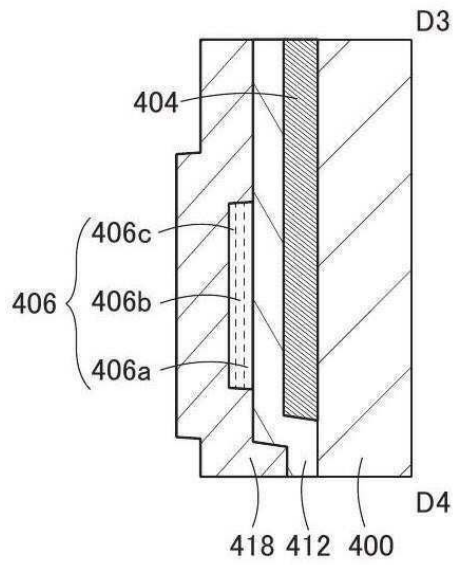


도면10

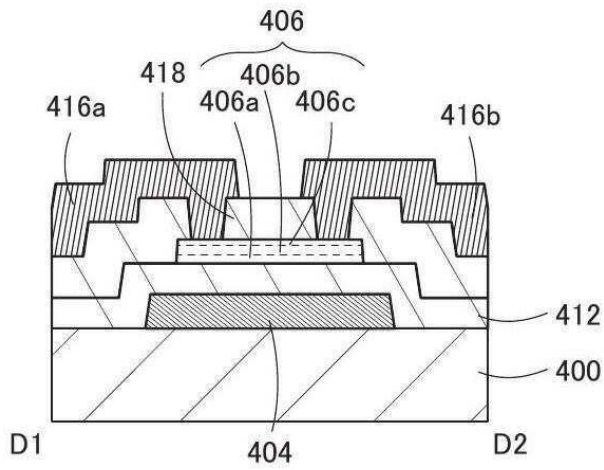
(A)



(C)

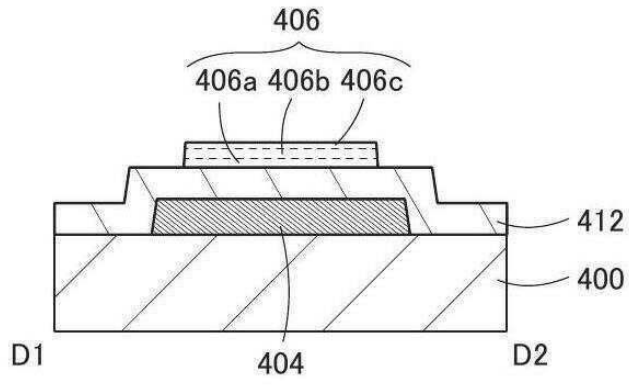


(B)

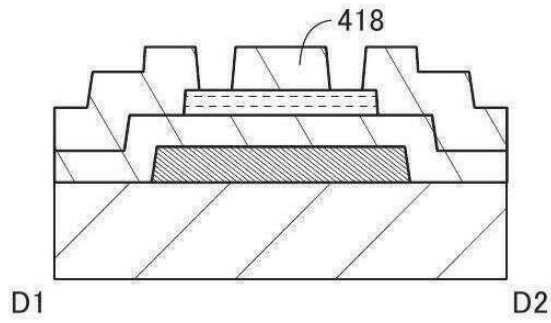


도면11

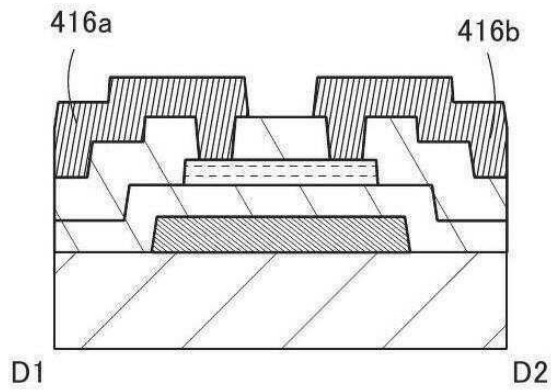
(A)



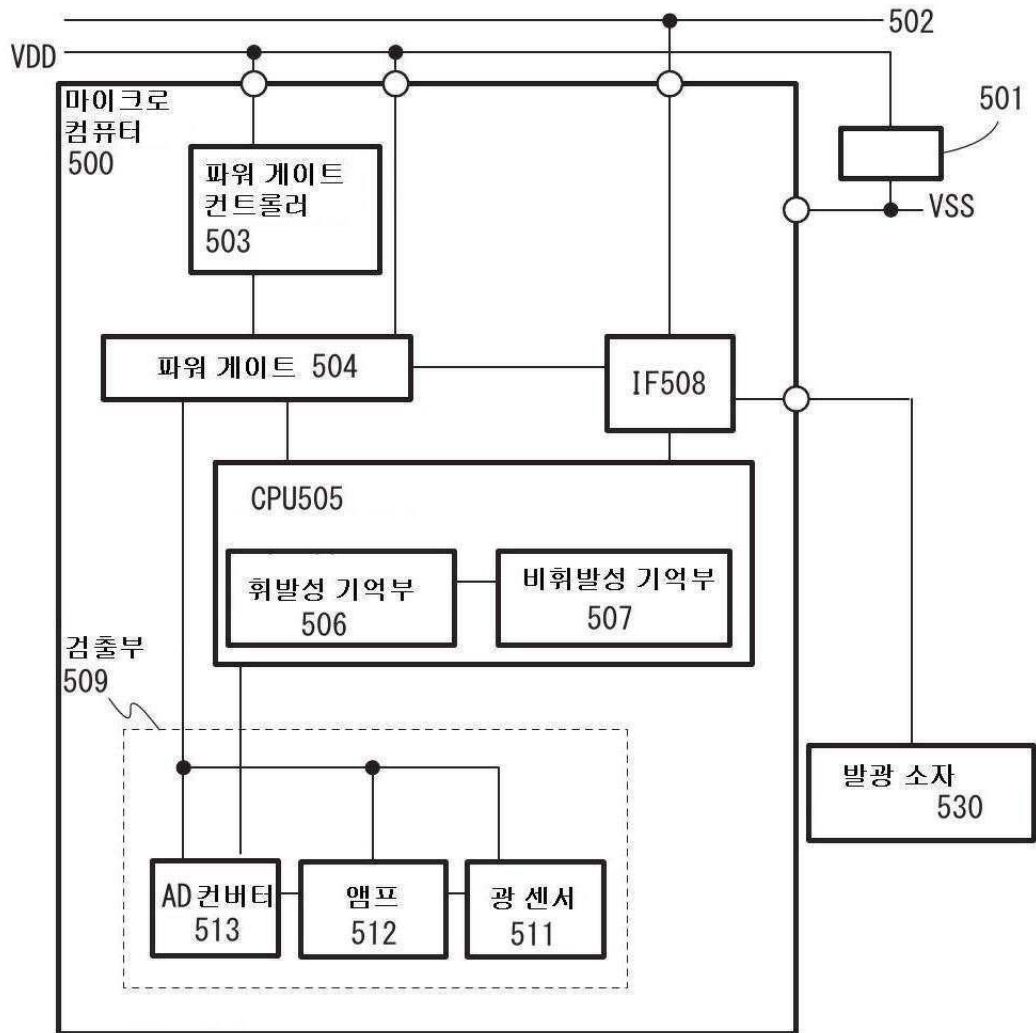
(B)



(C)

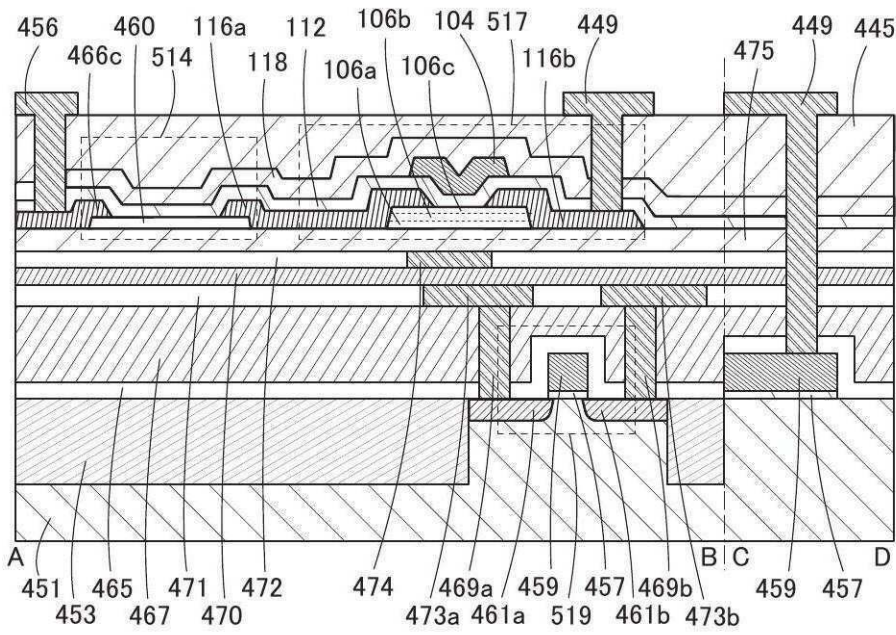


도면12

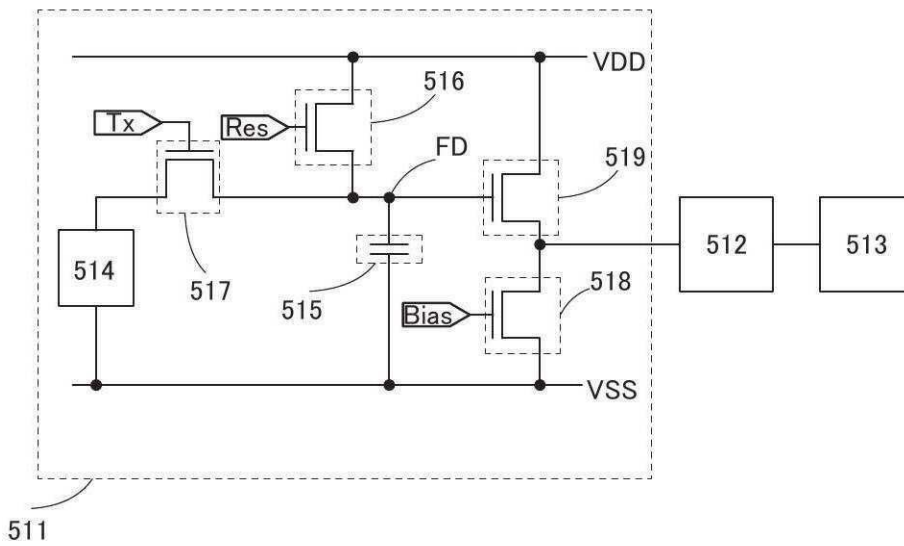


도면13

(A)

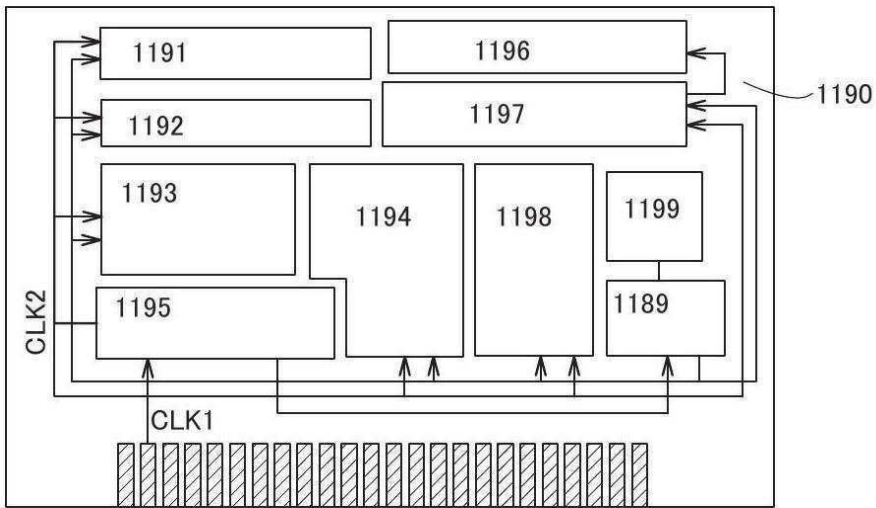


(B)

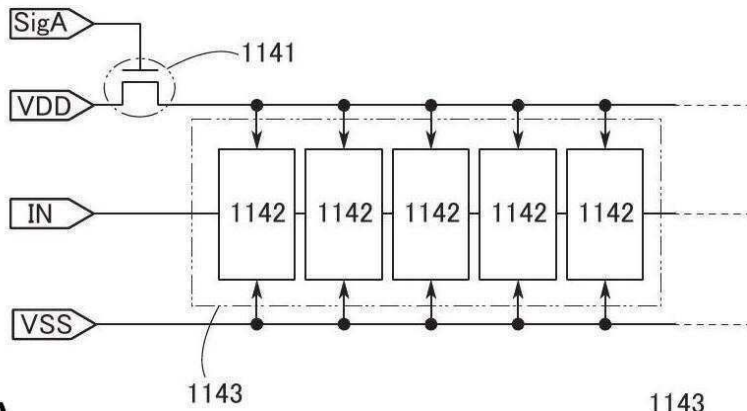


도면14

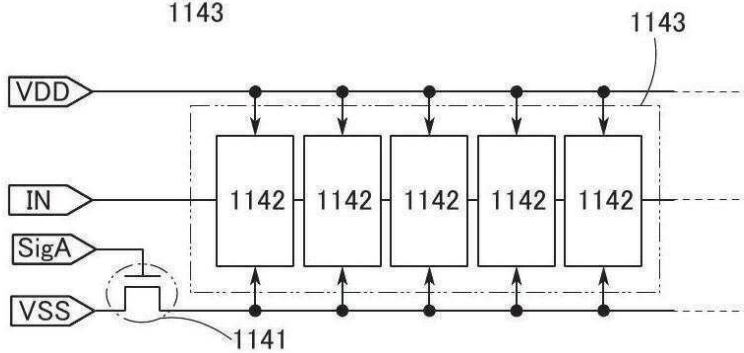
(A)



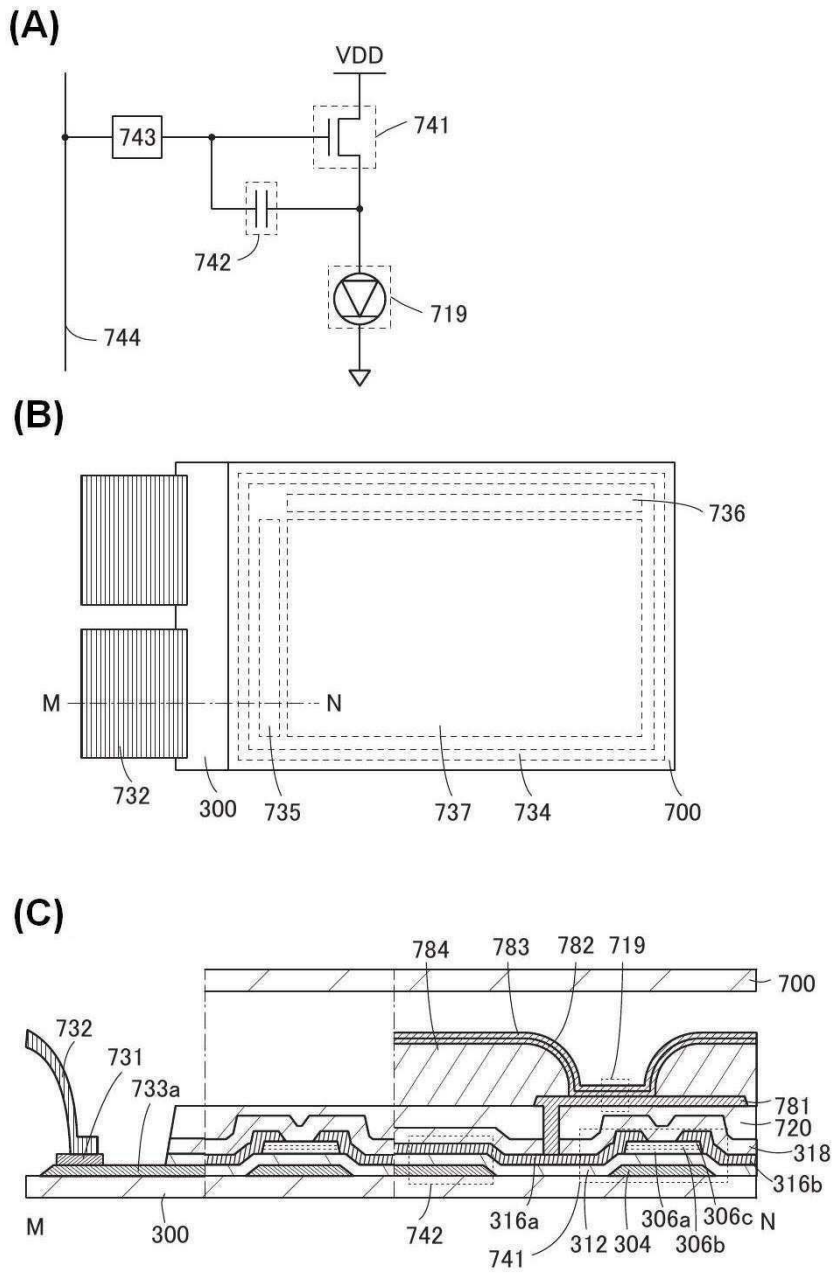
(B)



(C)

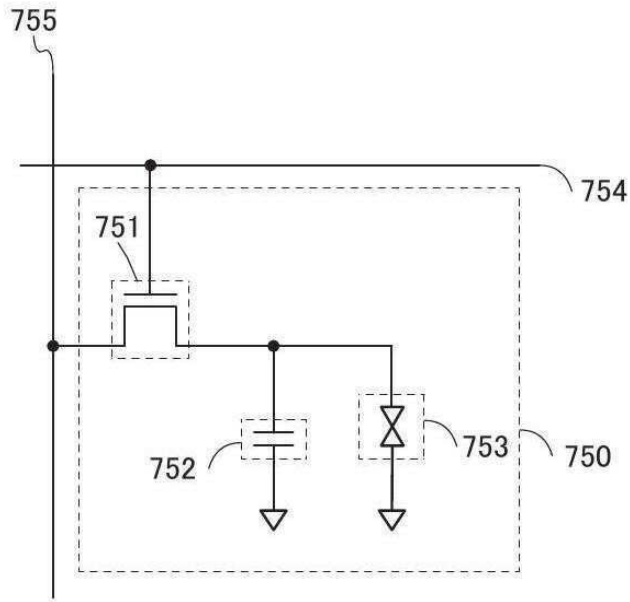


도면15

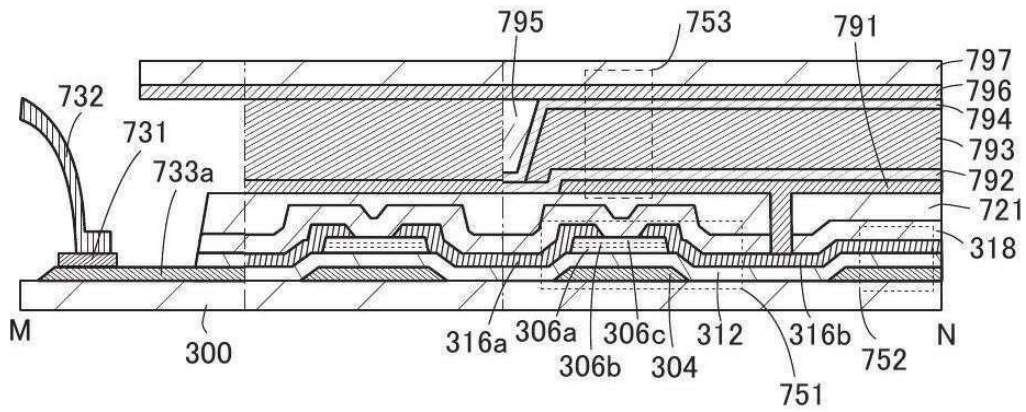


도면16

(A)

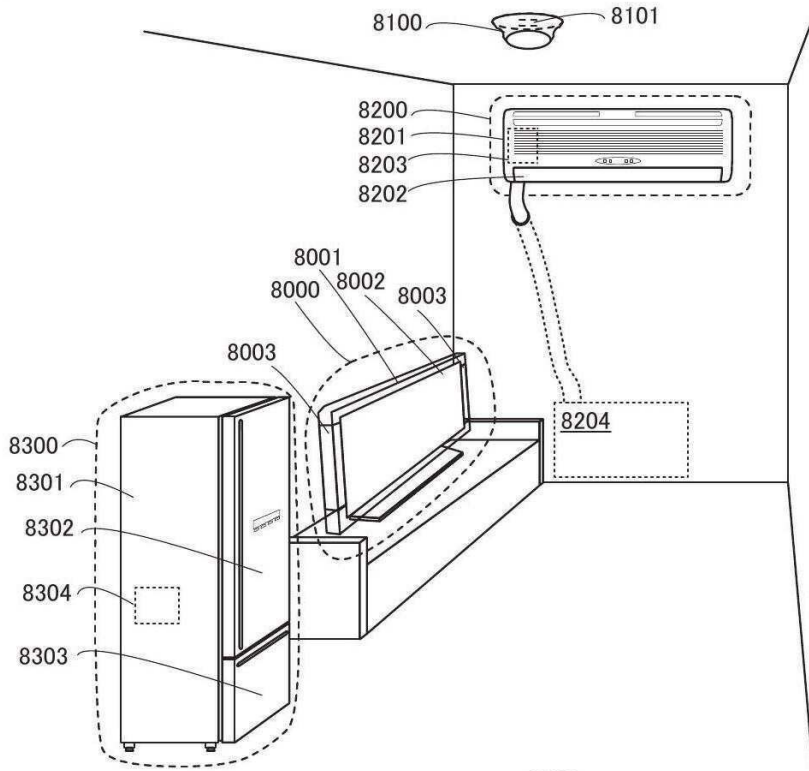


(B)

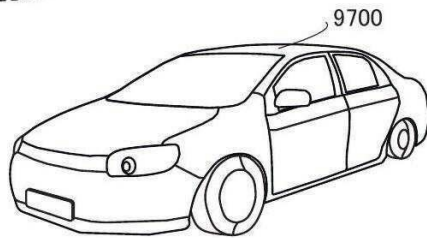


도면17

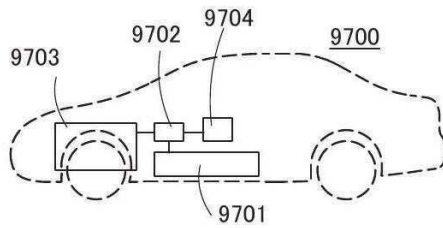
(A)



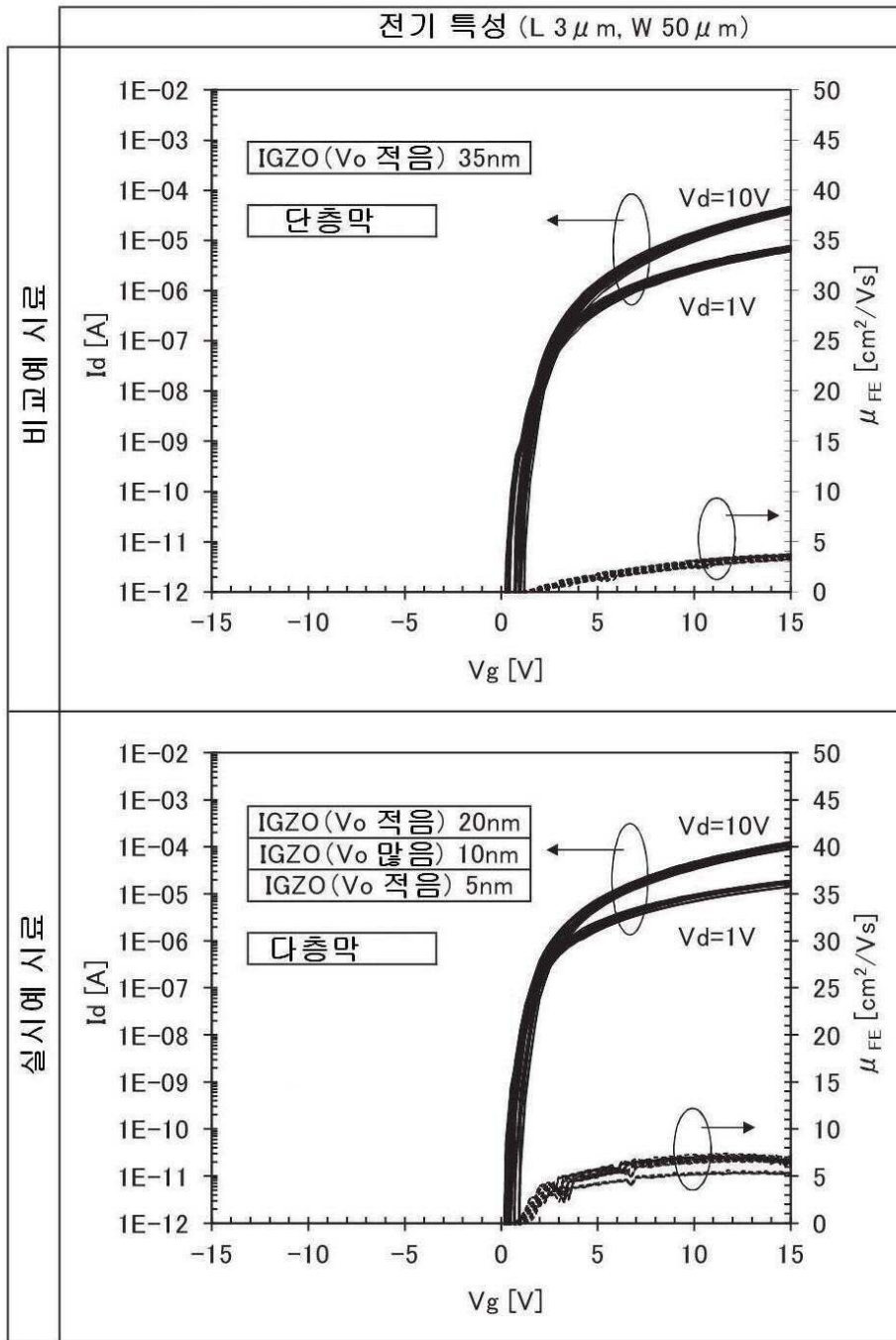
(B)



(C)

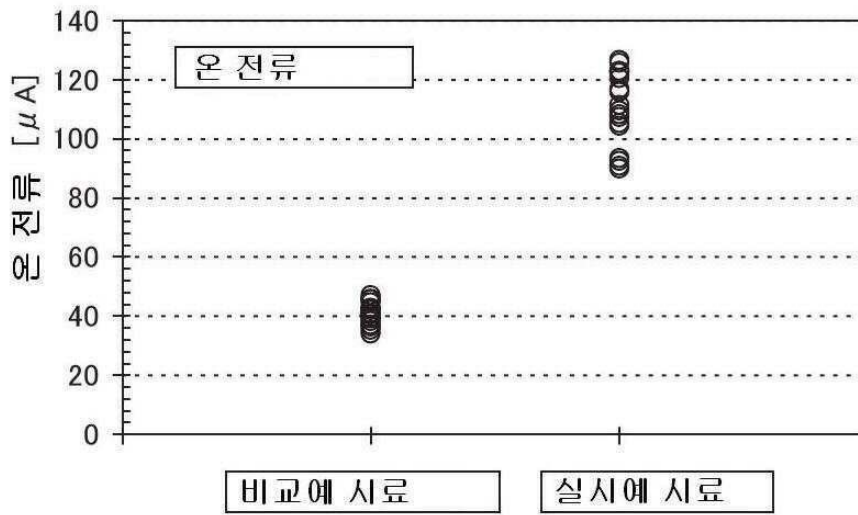


도면18

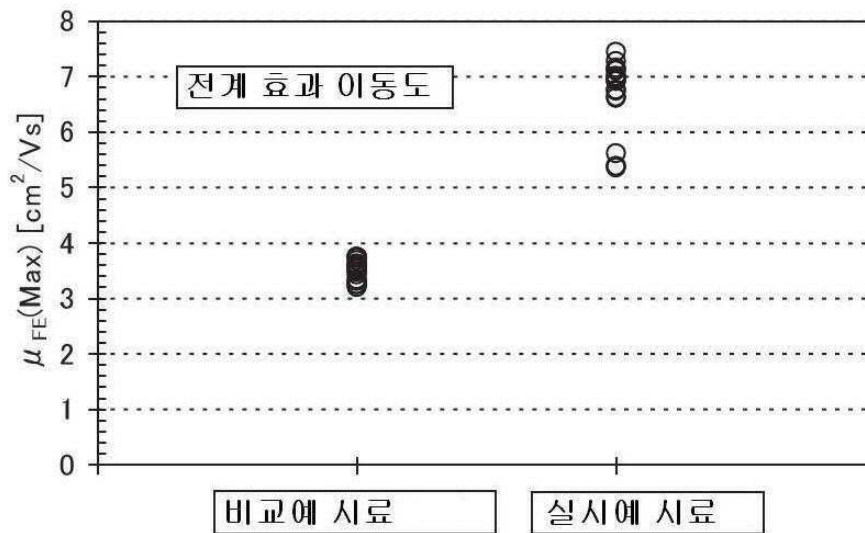


도면19

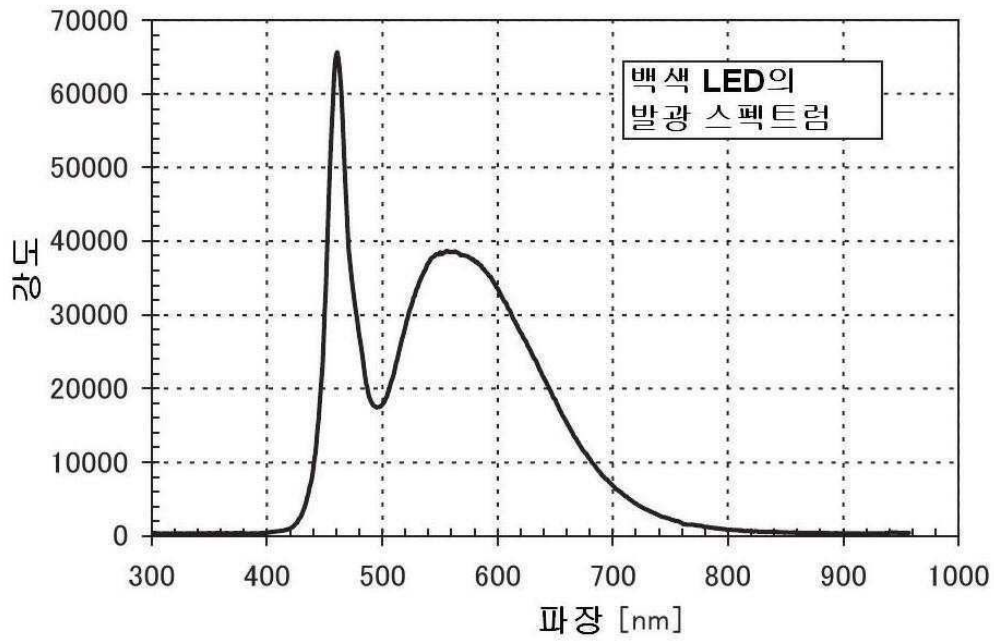
(A)



(B)



도면20



도면21

