

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95140740

※ 申請日期：95.10.31

※IPC 分類：H01L

21/8234

一、發明名稱：(中文/英文)

(2006.01)

半導體裝置之製造方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝股份有限公司

KABUSHIKI KAISHA TOSHIBA

代表人：(中文/英文)

西田 厚聰

NISHIDA, ATSUTOSHI

住居所或營業所地址：(中文/英文)

日本國東京都港區芝浦1丁目1番1號

1-1, SHIBAURA 1-CHOME, MINATO-KU, TOKYO 105-8001, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 有隅 修

ARISUMI, OSAMU

2. 清利 正弘

KIYOTOSHI, MASAHIRO

國 籍：(中文/英文)

1. 日本 JAPAN

2. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年01月17日；特願2006-009031
- 2.

☐ 無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置之製造方法。

【先前技術】

伴隨半導體裝置之微細化，變得難以利用絕緣膜確實地填埋元件隔離 (isolation) 溝槽 (trench)。尤其，由於 NAND(與非)型快閃記憶體中，元件隔離溝槽之縱橫比(溝槽深度/溝槽寬度)較高，故難以僅使用由 CVD(chemical vapor deposition，化學氣相沈積)法所形成之矽氧化膜(以下，為方便起見，稱為 CVD 矽氧化膜)填埋元件隔離溝槽。

對於上述問題，提議有使用全氫矽氮烷聚合物(perhydrosilazane polymer)(以下，稱為聚矽氮烷(polysilazane))之方法(例如，參照日本專利特開 2003-258082 號公報)。塗佈(coat)聚矽氮烷溶液後，進行烘烤處理、固化(cure)處理及密化(densify)處理之熱處理，藉此獲得矽氧化膜(SiO_2 膜)。以下，為方便起見，將使用聚矽氮烷而形成之矽氧化膜稱為聚矽氮烷矽氧化膜。例如，將 CVD 矽氧化膜與聚矽氮烷矽氧化膜之積層(stack)膜用作元件隔離絕緣膜，藉此可以元件隔離絕緣膜填埋縱橫比較高之元件隔離溝槽。

但是，於元件隔離絕緣膜中使用聚矽氮烷矽氧化膜時，聚矽氮烷膜無法充分地轉化(convert)為 SiO_2 膜，故產生如下問題。

NAND 型快閃記憶體中，通常形成元件隔離絕緣膜後，

可藉由回蝕元件隔離絕緣膜，而控制元件隔離溝槽內之元件隔離絕緣膜之高度。然而，若聚矽氮烷膜不能充分地轉化為 SiO_2 膜，則蝕刻深度將產生不均一。例如，於溝槽寬度較窄之部分，無法充分地將氧供給至聚矽氮烷膜，故聚矽氮烷膜向 SiO_2 膜之轉化將變得不充分。因此，於溝槽寬度較窄之部分，蝕刻速率變高。其結果，導致溝槽寬度較窄部分，較溝槽寬度較寬部分，蝕刻深度增大。

如此，於溝槽內形成絕緣膜時，先前因蝕刻速率之不均一而難以高精度地控制蝕刻深度。

【發明內容】

本發明係一個視點之半導體裝置之製造方法，包括：準備於主面側具有溝槽(trench)之被處理體(work piece)之步驟；於上述被處理體之主面上形成包含含有矽、氮及氧之聚合物之聚合物膜(polymer film)的步驟；將形成有上述聚合物膜之被處理體保持於含有氧且氧分壓(partial pressure)設定於16托至48托之範圍內的第1氣體環境內的步驟；將上述被處理體保持於上述第1氣體環境內之步驟之後，將上述聚合物膜於含有水蒸氣(water vapor)之第2氣體環境內氧化，形成含有矽氧化物作為主成分之氧化物膜的步驟；以及將上述氧化物膜之上側部分除去，而將上述氧化物膜之下側部分殘留於上述溝槽內之步驟。

【實施方式】

以下，參照圖式說明本發明之實施形態。

(實施形態1)

以下，作為半導體裝置，以作為電可抹除非揮發性半導體記憶裝置(electrically erasable nonvolatile semiconductor memory)之NAND型快閃記憶體為例進行說明。

圖1係以模式之方式表示本實施形態之NAND型快閃記憶體的概略構成之平面圖(其中，未圖示位元線)。圖2係圖1所示之構成之等價電路圖。

如圖1及圖2所示，各NAND格單位之構成為，於選擇電晶體(select transistor，選擇電晶體)S1及S2之間設置了串聯連接之記憶格M1~M8。選擇電晶體S1及S2，連接有選擇閘極線(select gate line)SG1及SG2，記憶格M1~M8，連接有控制閘極線(字線)CG1~CG8。又，各選擇電晶體S1，連接有位元線BL1及BL2。再者，此處，雖表示了8個記憶格之情形，但記憶格之個數並非限定於8個。

圖3係沿圖1之A-A'之剖面圖(字線方向之剖面圖)，圖4係沿圖1之B-B'之剖面圖(位元線方向之剖面圖)。

如圖3及圖4所示，於矽基板(半導體基板)10上，形成有選擇電晶體S1、S2以及記憶格M1~M8。

各記憶格M1~M8包含：形成於矽基板10上之通道絕緣膜(第1閘極絕緣膜)11；由多晶矽膜12a及12b所形成之浮閘電極膜(第1閘極電極膜)12；由ONO(oxide/nitride/oxide，氧化物/氮化物/氧化物)膜所形成之電極間(inter electrode)絕緣膜(第2閘極絕緣膜)22；以及控制閘極電極膜(第2閘極電極膜)23。各選擇電晶體S1及S2包含：形成於矽基板10上之閘極絕緣膜11；由多晶矽膜12a、12b及控制閘極電極膜

23所形成之閘極電極。於選擇電晶體S1、S2以及記憶格M1~M8之側壁，形成有側壁間隔件(sidewall spacer)24。又，於位元線方向相鄰接之記憶格之間，形成有源極/汲極擴散層(diffusion layer)25。

於字線方向相鄰接之NAND格單位之間，形成有含有矽氧化物作為主成分之元件隔離絕緣部。該元件隔離絕緣部含有：由CVD法所形成之矽氧化膜(CVD矽氧化膜：下層氧化物膜(lower oxide film))18；由全氫矽氮烷聚合物(聚矽氮烷)而獲得之矽氧化膜(聚矽氮烷矽氧化膜：氧化物膜)19b。

選擇電晶體及記憶格等由層間絕緣膜(interlayer insulating film或interlayer dielectric)26覆蓋。又，於矽基板10之表面區域上形成有高濃度擴散層27，於高濃度擴散層27上，經由接觸插栓28而連接有位元線29。

以下，參照圖5~圖15，就上述NAND型快閃記憶體之製造方法加以說明。再者，圖5~圖15對應於沿圖1之A-A'之剖面。

首先，如圖5所示，於矽基板(半導體基板)10上，形成厚度10 nm左右之矽氧化膜(SiO_2 膜)，作為通道絕緣膜11。繼而，於通道絕緣膜11上，形成總厚度150 nm左右之多晶矽膜12a及12b，作為浮閘電極膜12。進而，於多晶矽膜12b上，形成厚度100 nm左右之氮化矽膜(Si_3N_4 膜)14。其後，如圖6所示，於氮化矽膜14上，形成遮罩膜15。

其次，如圖7所示，使遮罩膜15圖案化之後，將圖案化

之遮罩膜15用作遮罩，藉由RIE(reactive ion etching，反應性離子蝕刻)法，而使氮化矽膜14、浮閘電極膜12、通道絕緣膜11及矽基板10圖案化。藉此，形成有深度450 nm左右之STI(shallow trench isolation，淺溝槽隔離)用元件隔離溝槽16。

再者，雖未圖示，但於圖7之步驟後，可藉由通常之熱氧化法而氧化元件隔離溝槽16之表面，形成厚度3 nm左右之熱氧化膜(thermal oxide film)。可藉由該熱氧化膜，而保護通道絕緣膜11之邊緣露出部。又，可藉由自由基氧化法，而於元件隔離溝槽16之表面形成氧化膜。可藉由使用自由基氧化，而形成不依存於矽之面方位(crystallographic orientation，結晶方位(亦可為plane orientation，平面方位))之均一氧化膜。又，亦可僅略微氧化氮化矽膜14之側面。

其次，如圖8所示，於由圖7之步驟而獲得之構造的整個表面，藉由HDP(high density plasma，高密度電漿)-CVD(chemical vapor deposition，化學氣相沈積)法，而沈積CVD矽氧化膜(下層氧化物膜(#lower oxide film#))18。此時，元件隔離溝槽16並未完全由CVD矽氧化膜18填埋，而CVD矽氧化膜18具有基於元件隔離溝槽16之凹部17。

其次，如圖9所示，於由圖8之步驟所獲得之被處理體(work piece)上，形成全氫矽氮烷聚合物溶液層(聚矽氮烷溶液層)19，作為包含含有矽、氮及氫之聚合物之聚合物溶液層。具體而言，以於平坦面上之厚度為600 nm之方

式，藉由旋塗而將聚矽氮烷溶液塗佈(coat)於CVD矽氧化膜18上。

其次，如圖10所示，藉由烘烤處理，而使聚矽氮烷溶液層19所包含之溶劑蒸發，形成全氫矽氮烷聚合物膜(聚矽氮烷膜)19a。烘烤處理之條件設為例如以150℃烘烤3分鐘。CVD矽氧化膜18之凹部17完全由聚矽氮烷膜19a填埋。

其次，如圖11所示，進行固化處理。藉由固化處理，而使聚矽氮烷轉化(convert)為矽氧化物(SiO_2)，獲得聚矽氮烷矽氧化膜19b，作為含有矽氧化物作為主成分之氧化物膜。具體而言，於水蒸氣氣體環境下進行高溫熱處理。藉由該熱處理，而產生 $(\text{SiH}_2\text{NH})_n + 2n\text{O} \rightarrow n\text{SiO}_2 + n\text{NH}_3$ 之反應。即，聚矽氮烷與藉由水蒸氣($\text{H}_2\text{O} + \text{O}_2$)之分解而產生之氧(O)或OH基進行反應，產生 SiO_2 (矽氧化物：二氧化矽(silica))與 NH_3 (氨)。再者，因元件區域之表面由氮化矽膜14覆蓋，故不會氧化。

以下，參照圖16，就固化處理中之順序加以詳細說明。

首先，準備石英管作為固化處理用反應容器(reactor)，將形成有聚矽氮烷膜19a之被處理體搬入該石英管內。繼而，進行真空排氣直至反應容器內之壓力為數十m托左右後，將反應容器內之壓力控制為數十托左右。將被處理體之溫度控制為200℃。

其次，將被處理體之溫度持續維持於200℃，將氧(O_2)及氮(N_2)之混合氣體導入反應容器內。此時，反應容器內之

矽氧化膜19b中所殘留之 NH_3 或 H_2O ，獲得更高密度之矽氧化膜。此時元件區域之表面亦由氮化矽膜14覆蓋，故不會氧化。再者，密化處理可使用普通之燃燒爐(furnace)進行，亦可藉由RTA(rapid thermal annealing，快速高熱退火)而進行。使用RTA時，於例如 900°C 下，進行20秒左右之熱處理。

其次，如圖12所示，藉由CMP(chemical mechanical polishing，化學機械研磨)，而使CVD矽氧化膜18及聚矽氮烷矽氧化膜19b平坦化。CMP中，氮化矽膜14作為擋止物而發揮作用。使用將膠體(colloidal)氧化矽作為基質之研磨劑進行CMP，藉此可將氮化矽膜14之研磨速率相對CVD矽氧化膜18及聚矽氮烷矽氧化膜19b之研磨速率的比設為50以上。

其次，如圖13所示，藉由氫氟酸(HF)系蝕刻液，而進行CVD矽氧化膜18及聚矽氮烷矽氧化膜19b之回蝕。其結果，除去CVD矽氧化膜18及聚矽氮烷矽氧化膜19b之上側部分，而下側部分殘留於元件隔離溝槽內。下側部分上表面之高度低於元件隔離溝槽之最上部。

如上所述，本實施形態中，於藉由水蒸氣氧化而將聚矽氮烷膜19a轉化為聚矽氮烷矽氧化膜19b之前，將 O_2/N_2 混合氣體環境中之氧分壓設定於16托至48托之範圍內。由此，如下所述，可抑制蝕刻之不均一。即，可不依存於元件隔離溝槽之溝槽寬度而進行均一之回蝕處理，且可於各元件隔離溝槽內以所期望之均一高度殘留CVD矽氧化膜18

及聚矽氮烷矽氧化膜19b。

進行回蝕處理之後，對CVD矽氧化膜18及聚矽氮烷矽氧化膜19b進行密化處理。具體而言，於 N_2 氣體環境中， $800^{\circ}C$ 、1小時之高溫、長時間熱處理。藉此，充分地使聚矽氮烷矽氧化膜19b密化。再者，若於回蝕處理前進行該密化處理，則可對充分地密化了之聚矽氮烷矽氧化膜19b進行回蝕處理，故認為可抑制蝕刻之不均一。但是，此時，由於高溫、長時間熱處理而使聚矽氮烷矽氧化膜19b充分地硬化，故回蝕處理時之蝕刻速度明顯變慢。由此，產生必須進行長時間之回蝕處理，浮閘電極膜12受到損害之問題，或於CVD矽氧化膜18與聚矽氮烷矽氧化膜19b之界面(interface)上產生膜剝落之問題。由此，上述高溫、長時間密化處理必須於進行了回蝕處理後進行。

其次，如圖14所示，使用熱磷酸作為蝕刻液，除去氮化矽膜14。

其次，如圖15所示，於浮閘電極膜12之表面、以及由CVD矽氧化膜18及聚矽氮烷矽氧化膜19b所形成之元件隔離部的表面，形成由ONO膜所形成之電極間絕緣膜22。繼而，於電極間絕緣膜22上，形成控制閘極電極膜23。進而，使通道絕緣膜11、浮閘電極膜12、電極間絕緣膜22及控制閘極電極膜23於與元件隔離溝槽之延伸方向垂直的方向上圖案化。藉此，獲得由通道絕緣膜11、浮閘電極膜12、電極間絕緣膜22及控制閘極電極膜23所形成之閘極構造。進而，形成源極、汲極擴散層(未圖示)之後，形成層

間絕緣膜26。

其後之步驟未圖示，進行形成接點或配線等，形成NAND型快閃記憶體。

圖17係關於如下關係之測定結果之圖，即進行固化處理(水蒸氣氧化)前之 O_2/N_2 混合氣體環境中之氧分壓，與於回蝕處理中之晶圓內之蝕刻速度的不均一之關係。測定樣品，使用於同一晶圓內形成有複數個溝槽寬度之元件隔離溝槽者。溝槽寬度之最小值為70 nm左右，最大值為數十 μm 左右。

如圖17所示，於氧分壓低於16托時及高於48托時，於同一晶圓內，蝕刻速度較大地不均一。此原因在於蝕刻速度主要依存於溝槽寬度而變化。對此，氧分壓於16托至48托之範圍內時，將蝕刻速度之不均一抑制於3%以下。由此，可藉由將氧分壓設定於16托至48托之範圍內，而充分地抑制回蝕處理中之蝕刻速度之不均一。即，可於同一晶圓內，使藉由回蝕處理而形成之元件隔離部之高度(上表面之位置)均一化。

圖18及圖19係表示回蝕處理後之樣品之剖面的SEM(Scanning Electron Microscope，掃描式電子顯微鏡)照片。圖18係使用本實施形態之方法之情形，圖19係使用先前之方法(氧分壓高於48托時)之情形。如比較圖18及圖19所瞭解般，使用先前方法時，元件隔離部之高度依存於溝槽寬度而變化，與此相對，使用本實施形態之方法時，元件隔離部之高度均一化。

再者， O_2/N_2 混合氣體環境中之氧分壓高於48托左右時，於晶圓上檢測出多個微粒。亦可藉由將氧分壓設為48托以下，而避免如此問題。

如上所述，本實施形態中，將進行固化處理(水蒸氣氧化)前之 O_2/N_2 混合氣體環境中之氧分壓設定於16托至48托之範圍內，藉此可抑制回蝕處理中之蝕刻速率之不均一，且可高精度地控制元件隔離部之高度。

非揮發性記憶格中，重要的是，基於通道絕緣膜11之電容C1、與基於電極間絕緣膜22之電容C2之電容比(耦合比)。如圖15所示，因電極間絕緣膜22形成於浮閘電極膜12之上面表及側面，故為提高電容C2之精度，重要的是正確地控制元件隔離絕緣部上表面之高度。因可使用本實施形態之方法高精度地控制元件隔離絕緣部上表面之高度，故可降低電容比之不均一。

(實施形態2)

上述第1實施形態中，將固化處理中之水蒸氣氣體環境之壓力設為固定，但本實施形態中，使水蒸氣氣體環境之壓力變化。再者，因基本事項與第1實施形態相同，故省略說明第1實施形態中所說明之事項。

以下，參照圖20，就本實施形態中之固化處理之順序加以詳細說明。

固化處理(水蒸氣氧化)前之順序，與第1實施形態相同。即，使進行水蒸氣氧化前之 O_2/N_2 混合氣體環境中之氧分壓成為16托至48托之範圍內的所期望壓力。

水蒸氣氧化中，首先將水蒸氣氣體環境之壓力(反應容器內之壓力)設定為400托(第1壓力)，並進行5分鐘熱處理。繼而，將水蒸氣氣體環境之壓力自400托提高至700托(第2壓力)之壓力，進行25分鐘熱處理。再者，較好的是，將第1壓力設定於325~400托之範圍內，將第2壓力設定於700~760托之範圍內。

如此，於水蒸氣氧化時，將水蒸氣氣體環境之壓力自第1壓力提高至第2壓力，藉此可高效地將聚矽氮烷膜轉化為聚矽氮烷矽氧化膜。具體而言，可認為矽烷醇(Si-OH)之殘存量減少。其結果，可抑制密化處理等熱處理步驟中聚矽氮烷矽氧化膜之收縮，故可降低應力。

圖21係表示上述應力降低效果之測定結果之圖。使用對形成於Si晶圓上之聚矽氮烷膜經過固化處理之樣品來求出應力。具體而言，使用可測定晶圓翹曲之熱歷程之裝置，使樣品升溫及降溫。使升溫至800℃之升溫速度為10℃/分，800℃下之保持時間為30分鐘。應力值 σ 可使用根據晶圓翹曲而估算之曲率半徑R，根據下式求出。

$$\sigma = [E/(1-\nu)] \times [h^2/(6 \times R \times t)]$$

其中， ν 係Si之柏松比，E係Si之楊氏模量，t係對聚矽氮烷膜進行固化處理後之膜之厚度，h係Si晶圓之厚度。

如根據圖21可瞭解般，使用本實施形態之方法時，與使用先前方法時相比，峰值應力值降低50 Mpa左右，升溫時之累積熱量(Thermal budget，熱預算)亦減少20%左右。

如上所述，本實施形態中，亦與第1實施形態相同，將

進行固化處理(水蒸氣氧化)前之 O_2/N_2 混合氣體環境中之氧分壓設定於16托至48托的範圍內，藉此可抑制蝕刻速率之不均一。進而，本實施形態中，於水蒸氣氧化時，將水蒸氣氣體環境之壓力自第1壓力提高至第2壓力，藉此可抑制聚矽氮烷矽氧化膜之收縮，故可降低應力。由此，可避免膜剝落或產生缺陷之問題。

再者，上述第1及第2實施形態中，作為含有矽、氮及氧之聚合物，以聚矽氮烷為例進行了說明，但若為由熱處理而轉化為矽氧化物般之聚合物，則亦可應用與上述實施形態相同之方法。

【圖式簡單說明】

圖1係以模式之方式表示本發明第1及第2實施形態之半導體裝置的構成之平面圖。

圖2係表示本發明第1及第2實施形態之半導體裝置之等價電路的圖。

圖3係以模式之方式表示本發明第1及第2實施形態之半導體裝置的構成之剖面圖。

圖4係以模式之方式表示本發明第1及第2實施形態之半導體裝置的構成之剖面圖。

圖5至圖15係以模式之方式表示本發明第1及第2實施形態之半導體裝置的製造方法之剖面圖。

圖16係表示本發明第1實施形態之熱處理之順序的圖。

圖17係表示本發明第1實施形態之氧分壓與蝕刻速度之不均一關係的圖。

圖 18 係表示本發明第 1 實施形態之回蝕處理後之樣品剖面的電子顯微鏡照片。

圖 19 係表示本發明第 1 實施形態之比較例之回蝕處理後的樣品剖面之電子顯微鏡照片。

圖 20 係表示本發明第 2 實施形態之熱處理之順序的圖。

圖 21 係表示本發明第 2 實施形態之應力之熱歷程特性的圖。

【主要元件符號說明】

10	矽基板(半導體基板)
11	通道絕緣膜(第 1 閘極絕緣膜)
12	浮閘電極膜(第 1 閘極電極膜)
12a、12b	多晶矽膜
14	氮化矽膜(Si_3N_4 膜)
15	遮罩膜
16	元件隔離溝槽
17	凹部
18	氧化物膜
19	全氫矽氮烷聚合物溶液層(聚矽氮烷溶液層)
19a	全氫矽氮烷聚合物膜(聚矽氮烷膜)
19b	矽氧化膜(聚矽氮烷矽氧化膜：氧化物膜)
22	電極間絕緣膜(第 2 閘極絕緣膜)
23	控制閘極電極膜(第 2 閘極電極膜)

24	側壁間隔件
25	源極/汲極擴散層
26	層間絕緣膜
27	高濃度擴散層
28	接觸插栓
29、BL1、BL2	位元線
CG1~CG8	控制閘極線(字線)
M1~M8	記憶格
S1、S2	電晶體
SG1、SG2	選擇閘極線

五、中文發明摘要：

本發明係一種半導體裝置之製造方法，其包括：準備於主面側具有溝槽(trench)之被處理體(work piece)之步驟；於上述被處理體主面上形成包含含有矽、氫及氮之聚合物的聚合物膜(polymer film)之步驟；將形成有上述聚合物膜之被處理體保持於含有氧且氧分壓(partial pressure)設定於16托至48托之範圍內的第1氣體環境內的步驟；將上述被處理體保持於上述第1氣體環境內之步驟後，使上述聚合物膜於含有水蒸氣(water vapor)之第2氣體環境內氧化，形成含有矽氧化物作為主成分之氧化物膜的步驟；以及將上述氧化物膜之上側部分除去，且將上述氧化物膜之下側部分殘留於上述溝槽內之步驟。

六、英文發明摘要：

十一、圖式：

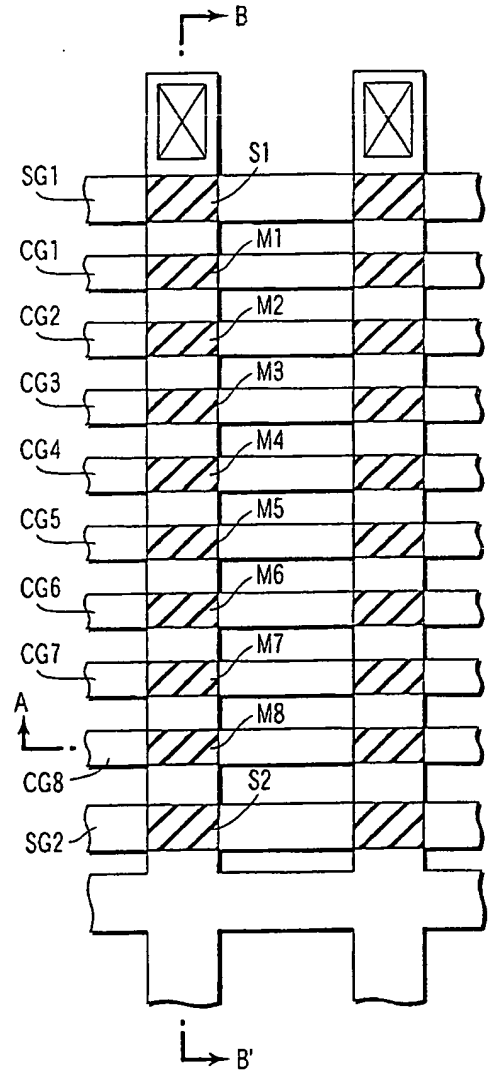


圖 1

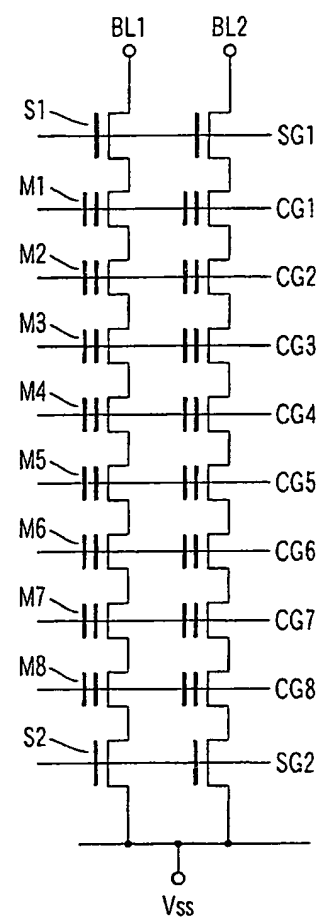


圖 2

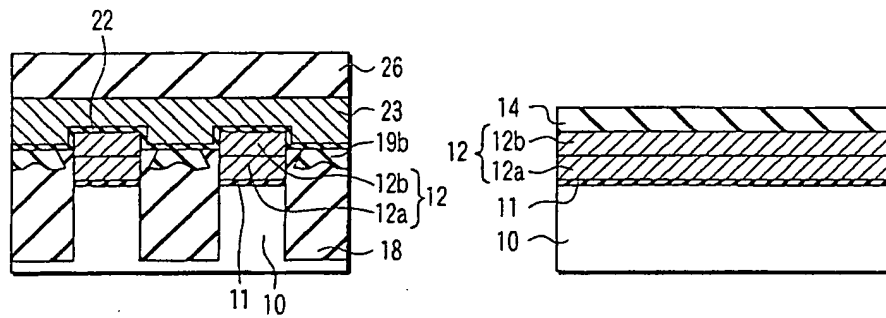


圖 3

圖 5

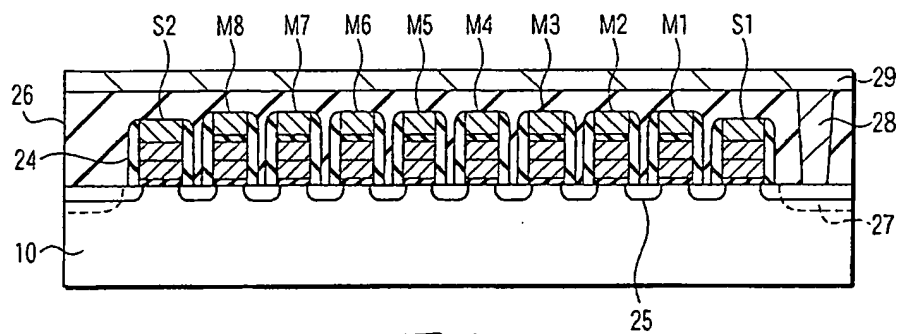


圖 4

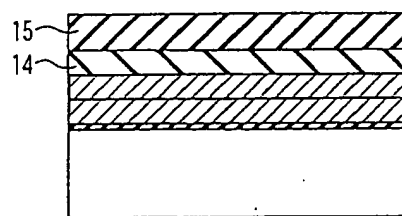


圖 6

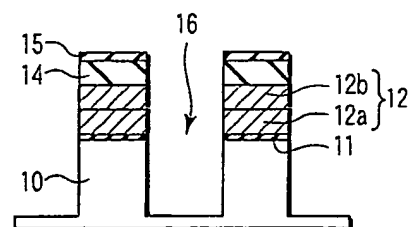


圖 7

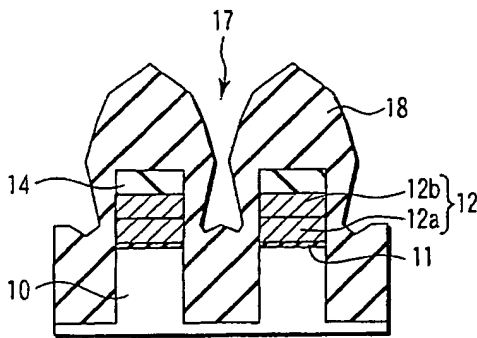


圖 8

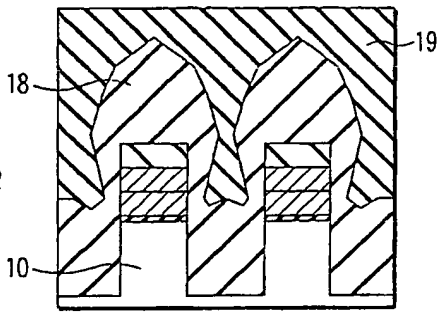


圖 9

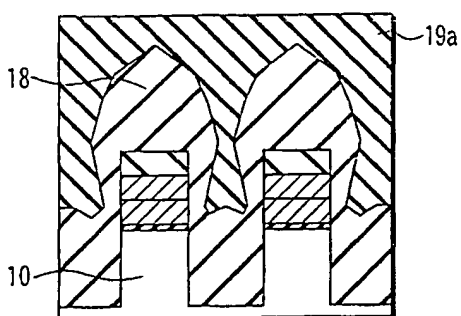


圖 10

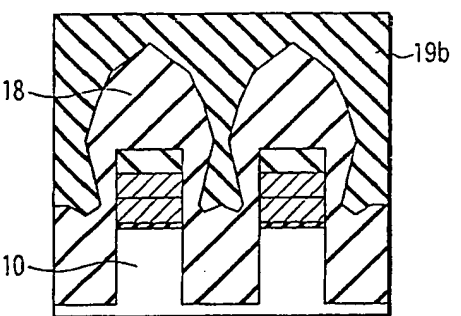


圖 11

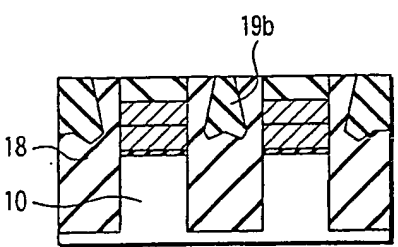


圖 12

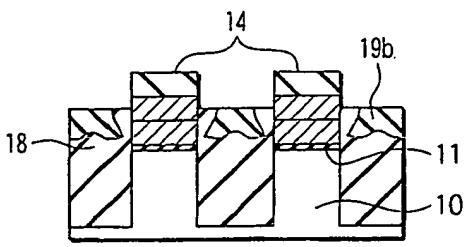


圖 13

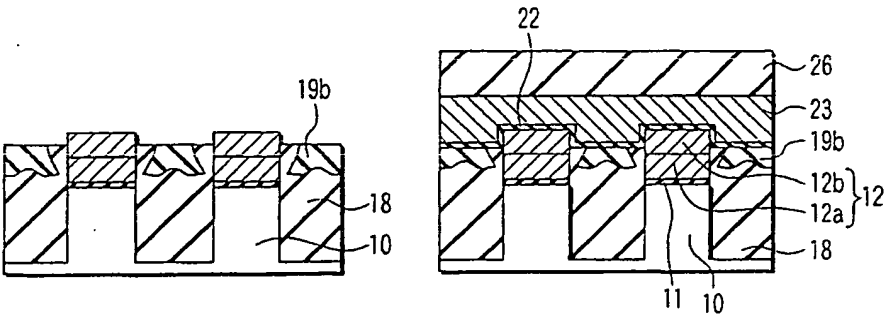


圖 14

圖 15

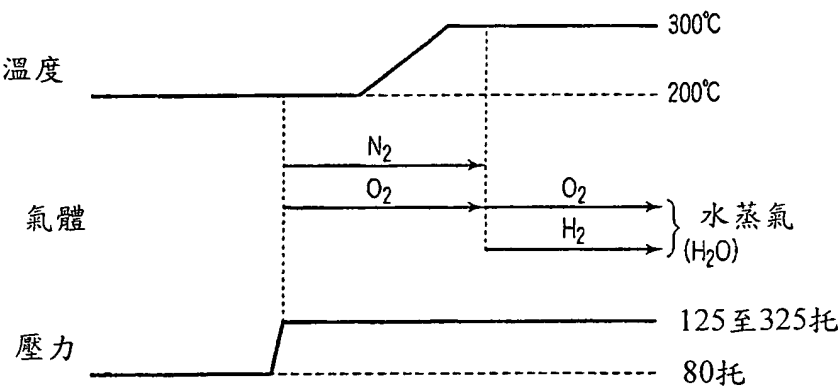


圖 16

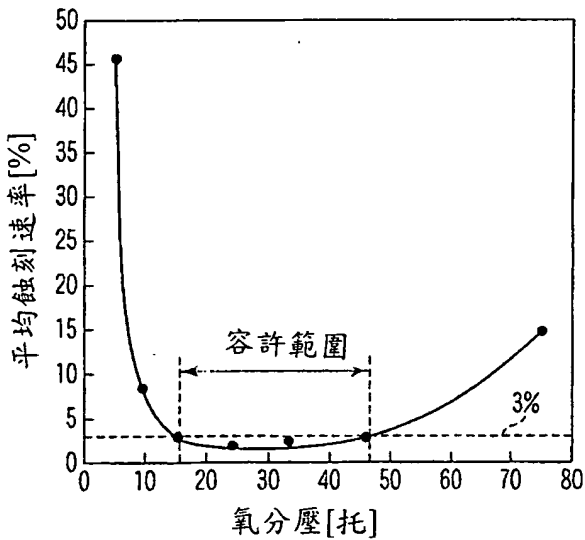


圖 17

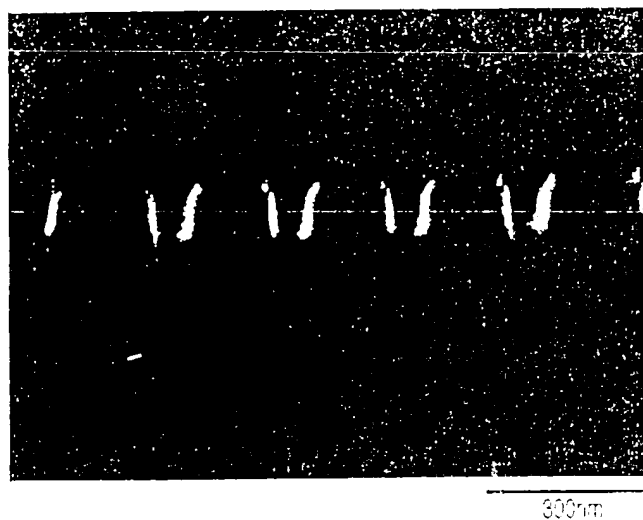


圖 18



圖 19

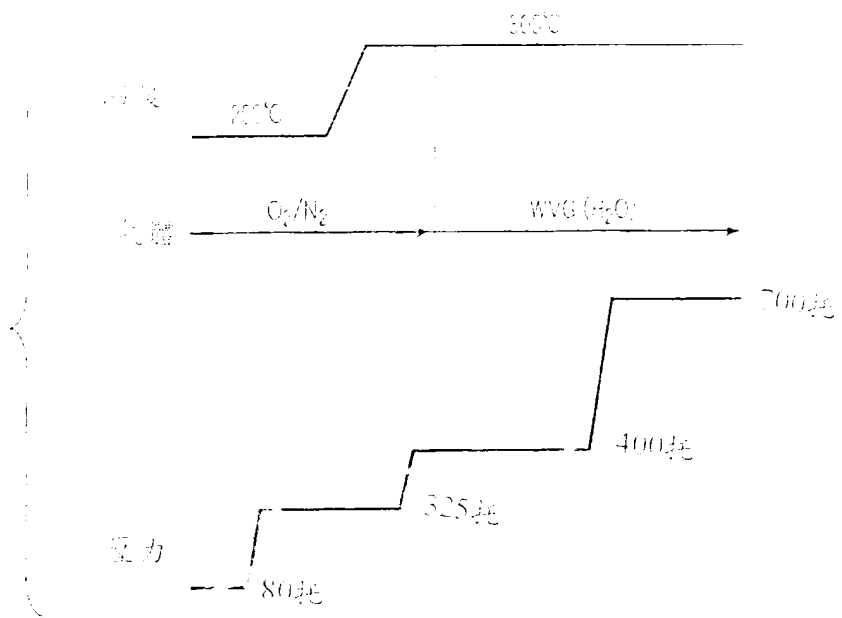


圖 20

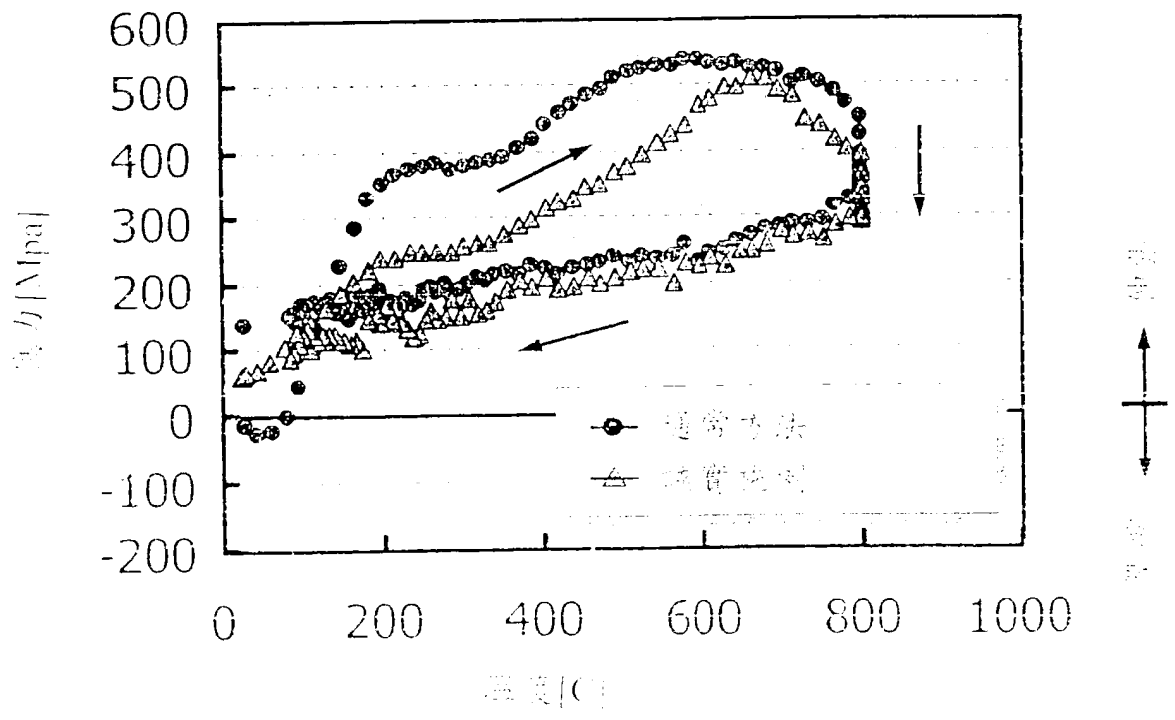


圖 21

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

CG1~CG8 控制閘極線(字線)

M1~M8 記憶格

S1、S2 電晶體

SG1、SG2 選擇閘極線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

壓力，即， O_2/N_2 混合氣體環境(第1氣體環境)之壓力成為125~325托左右。又，控制 O_2 及 N_2 之流量，以使混合氣體環境中之氧分壓(#partial pressure#)變為16托至48托之範圍內的所期望壓力。又，使氮分壓高於氧分壓。例如，將 O_2/N_2 混合氣體環境之壓力設為325托，將 O_2 流量設為0.25 sLM，將 N_2 流量設為4.75 sLM，將 O_2 分壓設為16托。藉由將氧分壓設定於16托至48托之範圍內，如後所言，使得不依存於元件隔離溝槽之溝槽寬度而進行均一之回蝕處理，可於各元件隔離溝槽內以所期望之均一高度殘留CVD矽氧化膜18及聚矽氮烷矽氧化膜19b，而達到抑制蝕刻之不均一。如此，於所設定之 O_2/N_2 混合氣體環境內，保持被處理體5分鐘左右。進而，持續維持 O_2/N_2 混合氣體環境內之氧分壓，使被處理體之溫度升溫至300℃。

被處理體之溫度穩定於300℃±2℃以內之後，停止供給 N_2 氣體，開始供給氫氣(H_2 氣體)。藉此， O_2 氣體與 H_2 氣體反應產生水蒸氣(water vapor)(蒸氣)。具體而言， O_2 氣體與 H_2 氣體於配置於反應容器(石英管)之導入部前側之反應單元(WVG: Water Vapor Generator, 水蒸氣產生器)中進行反應。再者，亦可將 O_2 氣體及 H_2 氣體導入反應容器內，於反應容器中產生水蒸氣。

於如此而獲得之水蒸氣氣體環境(第2氣體環境)中，氧化聚矽氮烷膜19a。氧化溫度如上所述為300℃，氧化時間為例如30分鐘左右。藉由該水蒸氣氧化而形成聚矽氮烷矽氧化膜19b。

其次，對如上所述而進行固化處理之聚矽氮烷矽氧化膜19b，進行密化處理。例如，於惰性氣體環境或氧化性氣體環境中，進行850℃左右之熱處理，藉此放出聚矽氮烷

十、申請專利範圍：

1. 一種半導體裝置之製造方法，其包括：準備於主面側具有溝槽(trench)之被處理體(work piece)之步驟；

於上述被處理體之主面上形成包含含有矽、氫及氮之聚合物之聚合物膜(polymer film)的步驟；

將形成有上述聚合物膜之被處理體保持於含有氧及氮，且氧分壓(partial pressure)設定於16托至48托範圍內的第1氣體環境內的步驟；

於將上述被處理體保持於上述第1氣體環境內之步驟後，將上述聚合物膜於含有水蒸氣(water vapor)之第2氣體環境內進行氧化，形成含有矽氧化物作為主成分之氧化物膜的步驟；以及

將上述氧化物膜之上側部分除去，且將上述氧化物膜之下側部分殘留於上述溝槽內之步驟。

2. 如請求項1之半導體裝置之製造方法，其中

上述第1氣體環境內之氮分壓高於上述氧分壓。

3. 如請求項1之半導體裝置之製造方法，其中

使上述被處理體於上述第1氣體環境內自第1溫度升溫至第2溫度，並使上述聚合物膜於上述第2氣體環境內，以上述第2溫度進行氧化。

4. 如請求項1之半導體裝置之製造方法，其中

氧化上述聚合物膜之步驟包含將上述第2氣體環境之壓力自第1壓力提高至第2壓力的步驟。

5. 如請求項1之半導體裝置之製造方法，其中

上述水蒸氣係藉由使氧與氫反應而產生的。

6. 如請求項1之半導體裝置之製造方法，其中

形成上述聚合物膜之步驟包括：

將含有上述聚合物之聚合物溶液塗佈(coat)於上述被處理體主面上之步驟；及

使上述聚合物溶液之溶劑蒸發之步驟。

7. 如請求項1之半導體裝置之製造方法，其中

上述聚合物係全氫矽氮烷聚合物(perhydrosilazane polymer)。

8. 如請求項1之半導體裝置之製造方法，其中

於上述溝槽內，預先形成有含有矽氧化物作為主成分且具有基於上述溝槽之凹部之下層氧化物膜(lower oxide film)，上述聚合物膜填埋於上述凹部中。

9. 如請求項8之半導體裝置之製造方法，其中

上述下層氧化膜係藉由CVD法而形成者。

10. 如請求項1之半導體裝置之製造方法，其中

上述氧化物膜之上述下側部分上表面之高度低於上述溝槽的最上部。

11. 如請求項1之半導體裝置之製造方法，其中

上述溝槽係元件隔離(元件隔離=isolation)溝槽。

12. 如請求項11之半導體裝置之製造方法，其中

上述元件隔離溝槽係藉由使半導體基板、形成於上述半導體基板上之第1閘極絕緣膜及形成於上述第1閘極絕緣膜上之第1閘極電極膜圖案化而形成者。

13. 如請求項12之半導體裝置之製造方法，其中進而包括：

將上述氧化物膜之上述下側部分用作為元件隔離絕緣部，

並於上述第1閘極電極膜及上述元件隔離絕緣部上形成第2閘極絕緣膜之步驟；

於上述第2閘極絕緣膜上形成第2閘極電極膜之步驟。

14. 如請求項1之半導體裝置之製造方法，其中

上述半導體裝置包含NAND型非揮發性記憶體(nonvolatile memory)或CMOS型電晶體。