



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0036780
(43) 공개일자 2020년04월07일

(51) 국제특허분류(Int. Cl.)
H01L 31/042 (2014.01) H01L 31/02 (2006.01)
H01L 31/0216 (2014.01) H01L 31/0224 (2006.01)
H01L 31/048 (2014.01) H01L 31/18 (2006.01)
(52) CPC특허분류
H01L 31/042 (2013.01)
H01L 31/02002 (2013.01)
(21) 출원번호 10-2019-0118946
(22) 출원일자 2019년09월26일
심사청구일자 없음
(30) 우선권주장
1020180116421 2018년09월28일 대한민국(KR)

(71) 출원인
엘지전자 주식회사
서울특별시 영등포구 여의대로 128 (여의도동)
(72) 발명자
심구환
서울특별시 금천구 가산디지털1로 51 LG전자 특허센터
권정효
서울특별시 금천구 가산디지털1로 51 LG전자 특허센터
(74) 대리인
박병창

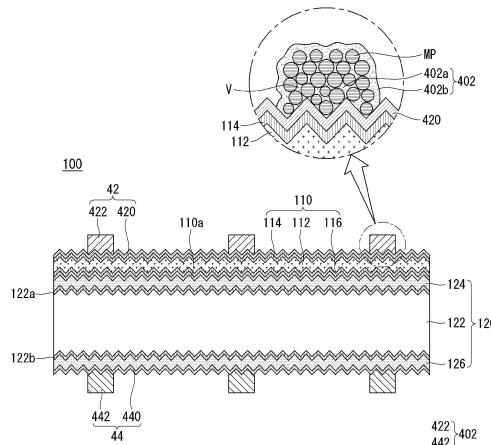
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 태양 전지 및 이의 제조 방법

(57) 요약

본 발명의 실시예에 따른 태양 전지는, 페로브스카이트 화합물을 포함하는 광전 변환층을 포함하는 제1 광전 변환부 및 이에 연결되며 금속 전극층을 포함하는 전극을 포함한다. 상기 금속 전극층은 저온 공정에 의하여 형성될 수 있다. 일 예로, 상기 금속 전극층은 금속과 수지를 포함하는 제1 도전층과, 적어도 상기 제1 도전층 위에 형성되며 상기 제1 도전층보다 큰 밀도를 가지는 제2 도전층을 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 31/02167 (2013.01)

H01L 31/022466 (2013.01)

H01L 31/048 (2013.01)

H01L 31/18 (2013.01)

명세서

청구범위

청구항 1

페로브스카이트 화합물을 포함하는 광전 변환층, 상기 광전 변환층의 일측에 위치하는 제1 전달층, 그리고 상기 광전 변환층의 타측에 위치하는 제2 전달층을 포함하는 제1 광전 변환부;

상기 제1 광전 변환부의 일면에서 상기 제1 광전 변환부에 전기적으로 연결되는 제1 전극; 및

상기 제1 광전 변환부의 타면에서 상기 제1 광전 변환부에 전기적으로 연결되는 제2 전극

을 포함하고,

상기 제1 및 제2 전극 중 적어도 하나는, 금속과 수지를 포함하는 제1 도전층과, 적어도 상기 제1 도전층 위에 형성되며 상기 제1 도전층보다 큰 밀도를 가지는 제2 도전층을 가지는 금속 전극층을 포함하는 태양 전지.

청구항 2

제1항에 있어서,

상기 제1 도전층은 복수의 금속 입자를 포함하고,

상기 제2 도전층은 상기 제1 도전층 위 및 상기 제1 도전층 내에서 상기 복수의 금속 입자 사이에 위치하는 공극 내에서 위치하며, 연속적으로 형성되는 형상을 가지는 태양 전지.

청구항 3

제1항에 있어서,

상기 제2 도전층의 두께가 상기 제1 도전층의 두께보다 작은 태양 전지.

청구항 4

제3항에 있어서,

상기 제1 도전층의 두께에 대한 상기 제2 도전층의 두께 비율이 0.05 내지 0.40이거나; 또는

상기 제1 도전층의 두께가 1 내지 15 μm 이고, 상기 제2 도전층의 두께가 1 내지 15 μm 이거나; 또는

상기 제1 도전층이 은(Ag)을 포함하고, 상기 제2 도전층이 은(Ag), 구리(Cu), 주석(Sn) 및 이들을 적어도 하나 포함하는 물질로 구성되는 태양 전지.

청구항 5

제1항에 있어서,

상기 제2 도전층이 비저항이 상기 제1 도전층의 비저항과 같거나 그보다 큰 태양 전지.

청구항 6

제1항에 있어서,

상기 제1 및 제2 전극이 각기 상기 제1 도전층 및 상기 제2 도전층을 가지는 제1 및 제2 금속 전극층을 포함하고,

상기 제1 전극은 상기 제1 전달층과 상기 제1 금속 전극층 사이에 위치하는 제1 투명 전극층을 더 포함하고,

상기 제2 전극은 상기 제2 전달층과 상기 제2 금속 전극층 사이에 위치하는 제2 투명 전극층을 더 포함하는 태양 전지.

청구항 7

제1항에 있어서,

상기 금속 전극층이 유리 프린트를 포함하지 않는 태양 전지.

청구항 8

제1항에 있어서,

상기 제1 광전 변환부의 타면 쪽에서 상기 제1 광전 변환부와 상기 제2 전극 사이에 위치하며, 상기 제1 광전 변환부와 다른 물질 또는 구조를 가지는 제2 광전 변환부를 더 포함하고,

상기 제2 광전 변환부는, 반도체 기판, 상기 반도체 기판과 상기 제1 전극 사이에 위치하며 상기 반도체 기판과 별개로 형성된 제1 반도체층을 포함하는 제1 도전형 영역과, 상기 반도체 기판과 상기 제2 전극 사이에 위치하며 상기 반도체 기판과 별개로 형성된 제2 반도체층을 포함하는 제2 도전형 영역을 포함하는 이중 접합 구조를 가지는 태양 전지.

청구항 9

페로브스카이트 화합물을 포함하는 광전 변환층, 상기 광전 변환층의 일측에 위치하는 제1 전달층, 그리고 상기 광전 변환층의 타측에 위치하는 제2 전달층을 포함하는 제1 광전 변환부;

상기 제1 광전 변환부의 일면에서 상기 제1 광전 변환부에 전기적으로 연결되는 제1 전극; 및

상기 제1 광전 변환부의 타면에서 상기 제1 광전 변환부에 전기적으로 연결되는 제2 전극

을 포함하고,

상기 제1 및 제2 전극 중 적어도 하나가 도금층을 구비하는 금속 전극층을 포함하는 태양 전지.

청구항 10

제9항에 있어서,

상기 금속 전극층이, 상기 제1 광전 변환부 위에 형성되는 배리어 금속층, 상기 배리어 금속층 위에 형성되는 도전 금속층, 그리고 상기 도전층 위에 형성되는 솔더 금속층을 포함하거나; 또는

상기 금속 전극층이 은(Ag)을 포함하는 단일층으로 구성되는 태양 전지.

청구항 11

제9항에 있어서,

상기 제1 및 제2 전극 중 적어도 하나와 상기 금속 전극층 사이에 위치하는 투명 전극층을 더 포함하고,

상기 금속 전극층이 상기 투명 전극층에 접촉하여 형성되는 태양 전지.

청구항 12

제1항에 있어서,

상기 제1 광전 변환부의 타면 쪽에서 상기 제1 광전 변환부와 상기 제2 전극 사이에 위치하며, 상기 제1 광전 변환부와 다른 물질 또는 구조를 가지는 제2 광전 변환부를 더 포함하고,

상기 제2 광전 변환부는, 반도체 기판, 상기 반도체 기판과 상기 제1 전극 사이에 위치하며 상기 반도체 기판과 별개로 형성된 제1 반도체층을 포함하는 제1 도전형 영역과, 상기 반도체 기판과 상기 제2 전극 사이에 위치하며 상기 반도체 기판과 별개로 형성된 제2 반도체층을 포함하는 제2 도전형 영역을 포함하는 이중 접합 구조를 가지는 태양 전지.

청구항 13

페로브스카이트 화합물을 포함하는 광전 변환층, 상기 광전 변환층의 일측에 위치하는 제1 전달층, 그리고 상기

광전 변환층의 타측에 위치하는 제2 전달층을 포함하는 제1 광전 변환부를 형성하는 단계; 및

상기 제1 광전 변환부의 일면에서 상기 제1 광전 변환부에 전기적으로 연결되는 제1 전극 및 상기 제1 광전 변환부의 타면에서 상기 제1 광전 변환부에 전기적으로 연결되는 제2 전극을 형성하는, 전극 형성 단계

를 포함하고,

상기 전극 형성 단계에서는, 150℃ 이하의 저온 공정에 의하여 상기 제1 및 제2 전극 중 적어도 하나에 포함되는 금속 전극층을 형성하는 태양 전지의 제조 방법.

청구항 14

제13항에 있어서,

상기 금속 전극층을 형성하는 공정은,

금속과 수지를 포함하는 페이스트를 도포하는 단계;

상기 수지의 경화 온도보다 낮은 온도에서 상기 페이스트를 소성 또는 경화하여 제1 도전층을 형성하는 단계; 및

상기 제1 도전층 위에 상기 제1 도전층보다 큰 밀도를 가지는 제2 도전층을 형성하는 단계를 포함하는 태양 전지의 제조 방법.

청구항 15

제14항에 있어서,

상기 제1 도전층을 형성하는 단계에서 소성 또는 경화 온도가 150℃ 이하이거나; 또는

상기 제2 도전층을 형성하는 단계의 온도가 상기 제1 도전층을 형성하는 단계의 온도와 같거나 그보다 낮거나; 또는

상기 페이스트를 도포하는 공정이 스크린 인쇄 또는 잉크젯 인쇄에 의하여 수행되고, 상기 제2 도전층을 형성하는 공정이 전해 도금에 의하여 수행되는 태양 전지의 제조 방법.

청구항 16

제14항에 있어서,

상기 제1 및 제2 전극이 각기 상기 제1 도전층 및 상기 제2 도전층을 가지는 제1 및 제2 금속 전극층을 포함하고,

상기 금속 전극층을 형성하는 공정에서,

상기 페이스트를 도포하는 단계에서는, 상기 제1 전극의 상기 제1 도전층을 형성하기 위한 제1 페이스트 및 상기 제2 전극의 상기 제1 도전층을 형성하기 위한 제2 페이스트를 도포하고,

상기 제1 도전층을 형성하는 단계에서는, 상기 제1 및 제2 페이스트를 동시에 소성하여 상기 제1 전극의 상기 제1 도전층 및 상기 제2 전극의 상기 제1 도전층을 형성하고,

상기 제2 도전층을 형성하는 단계에서는, 상기 제1 전극의 상기 제1 도전층 위에 위치하는 상기 제1 전극의 상기 제2 도전층 및 상기 제2 전극의 상기 제1 도전층 위에 위치하는 상기 제2 전극의 상기 제2 도전층을 동시에 형성하는 태양 전지의 제조 방법.

청구항 17

제14항에 있어서,

상기 제1 광전 변환부를 형성하는 단계 이전에 상기 제1 광전 변환부와 다른 물질 또는 구조를 가지는 제2 광전 변환부를 형성하는 단계를 더 포함하고,

상기 제2 광전 변환부를 형성하는 단계는, 반도체 기판 위에 상기 반도체 기판과 별개로 형성된 제1 반도체층으로 구성되는 제1 도전형 영역 및 상기 반도체 기판과 별개로 형성된 제1 반도체층으로 구성되는 제2 도전형 영역

역을 형성하는 단계를 포함하고,

상기 제2 광전 변환부 위에 접합층을 형성하는 단계를 더 포함하며,

상기 제1 광전 변환부를 형성하는 단계에서는, 상기 접합층 위에 위치하는 상기 제2 전달층을 형성하고, 상기 제2 전달층 위에 상기 광전 변환층을 형성하고, 상기 광전 변환층 위에 상기 제1 전달층을 형성하며,

상기 금속 전극층을 형성하는 공정에서는 상기 제1 금속 전극층을 상기 제1 전달층 위에 형성하고, 상기 제2 금속 전극층을 상기 제2 도전형 영역 위에 형성하는 태양 전지의 제조 방법.

청구항 18

제13항에 있어서,

상기 금속 전극층을 형성하는 공정이 스퍼터링에 의하여 스퍼터링층을 형성하는 단계를 포함하여 상기 금속 전극층이 상기 스퍼터링층을 포함하는 태양 전지의 제조 방법.

청구항 19

제13항에 있어서,

상기 금속 전극층을 형성하는 공정이 도금에 의하여 도금층을 형성하는 단계를 포함하여 상기 금속 전극층이 상기 도금층을 포함하는 태양 전지의 제조 방법.

청구항 20

제13항에 있어서,

상기 금속 전극층을 형성하는 공정은,

상기 금속 전극층이 형성될 부분에 개구부를 구비하는 레지스트 패턴을 형성하는 단계;

도금에 의하여 상기 개구부를 채우는 상기 도금층을 형성하는 단계; 및

상기 레지스트 패턴을 제거하는 단계

를 포함하는 태양 전지의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 태양 전지 및 이의 제조 방법에 관한 것으로서, 좀더 구체적으로는, 구조 및 공정을 개선한 태양 전지 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 기판을 포함하는 태양 전지는 우수한 광전 변환 효율을 가질 수 있어 널리 사용되었다. 그러나 반도체 기판을 포함하는 광전 변환 효율을 향상하는 데 일정한 한계가 있어 다양한 구조의 태양 전지가 제안되고 있다.

[0003] 일 예로, 단파장의 광을 흡수하여 단파장을 이용한 광전 변환을 수행하는 페로브스카이트 화합물을 포함하는 태양 전지가 제안되었다. 그런데 이러한 페로브스카이트 화합물을 150℃를 초과하는 온도에서는 열 분해가 발생하여 광전 변환 효율이 크게 저하되거나 심각한 경우에는 광전 변환이 일어나지 않을 수도 있다. 그런데, 일반적으로 태양 전지에서 전극(특히, 금속 전극)을 형성하는 공정, 태양 전지 패널 또는 모듈을 형성하기 위한 패키징(packaging) 공정 등은 150℃를 초과하는 온도에서 수행된다. 즉, 종래에 저온 공정에서 수행되는 전극 형성 공정 등도 150℃를 초과하는 온도(예를 들어, 150℃ 초과, 300℃ 이하의 수준)에서만 수행될 수 있었으므로, 페로브스카이트 화합물을 포함하는 태양 전지를 실제로 양산할 수 있는 전극 형성 공정 등은 전혀 개시되어 있지 않다.

[0004] 이에 따라 페로브스카이트 화합물을 포함하는 태양 전지에 적용될 수 있도록 기존보다 더 낮은 온도(일 예로, 150℃이하의 온도)에서 수행될 수 있는 전극 형성 공정이 요구된다.

발명의 내용

해결하려는 과제

- [0005] 본 발명은 우수한 효율 및 신뢰성을 가지는 태양 전지 및 이의 제조 방법을 제공하고자 한다. 특히, 본 발명은 페로브스카이트 화합물의 열화 또는 손상을 방지할 수 있는 저온에서 제조된 전극을 포함하여 우수한 효율 및 신뢰성을 가지는 태양 전지 및 이의 제조 방법을 제공하고자 한다.
- [0006] 또한, 본 발명은 페로브스카이트 화합물을 포함하는 광전 변환부 이외의 이와 다른 물질 또는 구조를 가지는 또 다른 광전 변환부를 더 구비하는 탠덤형 구조를 가지면서 우수한 효율 및 신뢰성을 가지는 태양 전지 및 이의 제조 방법을 제공하고자 한다.

과제의 해결 수단

- [0007] 본 발명의 실시예에 따른 태양 전지는, 페로브스카이트 화합물을 포함하는 광전 변환층(페로브스카이트 화합물층)을 포함하는 제1 광전 변환부 및 이에 연결되며 금속 전극층(불투명 전극층 또는 패턴 전극층)을 포함하는 전극을 포함한다. 상기 금속 전극층은 저온 공정(일 예로, 150℃ 이하의 공정)에 의하여 형성될 수 있다. 일 예로, 상기 금속 전극층은 금속과 수지를 포함하는 제1 도전층과, 적어도 상기 제1 도전층 위에 형성되며 상기 제1 도전층보다 큰 밀도를 가지는 제2 도전층을 포함할 수 있다.
- [0008] 이때, 상기 제1 광전 변환부는 상기 광전 변환층의 일측에 위치하는 제1 전달층 및 상기 광전 변환층의 타측에 위치하는 제2 전달층을 더 포함할 수 있다. 그리고 상기 전극은 상기 제1 광전 변환부의 일면에서 상기 제1 광전 변환부에 전기적으로 연결되는 제1 전극 및 상기 제1 광전 변환부의 타면에서 상기 제1 광전 변환부에 전기적으로 연결되는 제2 전극을 포함할 수 있다. 이때, 상기 제1 및 제2 전극 중 적어도 하나가 상기 금속 전극층을 포함할 수 있다.
- [0009] 상기 제1 도전층은 복수의 금속 입자를 포함할 수 있다. 상기 제2 도전층은 상기 제1 도전층 위 및 상기 제1 도전층 내에서 상기 복수의 금속 입자 사이에 위치하는 공극 내에서 위치하며, 연속적으로 형성되는 형상을 가질 수 있다.
- [0010] 상기 제2 도전층의 두께가 상기 제1 도전층의 두께보다 작을 수 있다. 일 예로, 상기 제1 도전층의 두께에 대한 상기 제2 도전층의 두께 비율이 0.05 내지 0.40일 수 있다. 다른 예로, 제2 도전층의 두께가 상기 제1 도전층의 두께와 같거나 그보다 클 수도 있다. 또는, 상기 제1 도전층의 두께가 1 내지 15μm이고, 상기 제2 도전층의 두께가 1 내지 15μm일 수 있다.
- [0011] 상기 제1 도전층이 은(Ag)을 포함하고, 상기 제2 도전층이 은(Ag), 구리(Cu), 또는 주석(Sn)을 포함할 수 있다. 상기 제2 도전층이 비저항이 상기 제1 도전층의 비저항과 같거나 그보다 클 수 있다. 다른 예로, 상기 제2 도전층의 비저항이 상기 제1 도전층의 비저항보다 작을 수도 있다.
- [0012] 상기 제1 및 제2 전극이 각기 상기 제1 도전층 및 상기 제2 도전층을 가지는 제1 및 제2 금속 전극층을 포함할 수 있다. 상기 제1 전극은 상기 제1 전달층과 상기 제1 금속 전극층 사이에 위치하는 제1 투명 전극층을 더 포함할 수 있고, 상기 제2 전극은 상기 제2 전달층과 상기 제2 금속 전극층 사이에 위치하는 제2 투명 전극층을 더 포함할 수 있다.
- [0013] 상기 금속 전극층이 유리 프린트를 포함하지 않을 수 있다.
- [0014] 상기 제1 광전 변환부의 타면 쪽에서 상기 제1 광전 변환부와 상기 제2 전극 사이에 위치하며, 상기 제1 광전 변환부와 다른 물질 또는 구조를 가지는 제2 광전 변환부를 더 포함하여 상기 태양 전지가 탠덤형 구조를 가질 수 있다. 이때, 제2 광전 변환부는 결정질 반도체 기판을 포함하는 결정질 태양 전지일 수 있다. 일 예로, 상기 제2 광전 변환부는, 반도체 기판, 상기 반도체 기판과 상기 제1 전극 사이에 위치하며 상기 반도체 기판과 별개로 형성된 제1 반도체층을 포함하는 제1 도전형 영역과, 상기 반도체 기판과 상기 제2 전극 사이에 위치하며 상기 반도체 기판과 별개로 형성된 제2 반도체층을 포함하는 제2 도전형 영역을 포함하는 이중 접합 구조를 가질 수 있다.
- [0015] 일 실시예로, 상기 제1 및 제2 전극 중 적어도 하나가 도금층을 구비하는 금속 전극층을 포함할 수 있다. 상기 금속 전극층이, 상기 제1 광전 변환부 위에 형성되는 배리어 금속층, 상기 배리어 금속층 위에 형성되는 도전 금속층, 그리고 상기 도전층 위에 형성되는 솔더 금속층을 포함할 수 있다. 또는, 상기 금속 전극층이 은(Ag)을

포함하는 단일층으로 구성될 수 있다.

- [0016] 상기 제1 및 제2 전극 중 적어도 하나와 상기 금속 전극층 사이에 위치하는 투명 전극층을 더 포함하고, 상기 금속 전극층이 상기 투명 전극층에 접촉하여 형성될 수 있다.
- [0017] 상기 제1 광전 변환부의 타면 쪽에서 상기 제1 광전 변환부와 상기 제2 전극 사이에 위치하며, 상기 제1 광전 변환부와 다른 물질 또는 구조를 가지는 제2 광전 변환부를 더 포함할 수 있다.
- [0018] 상기 제2 광전 변환부는, 반도체 기관, 상기 반도체 기관과 상기 제1 전극 사이에 위치하며 상기 반도체 기관과 별개로 형성된 제1 반도체층을 포함하는 제1 도전형 영역과, 상기 반도체 기관과 상기 제2 전극 사이에 위치하며 상기 반도체 기관과 별개로 형성된 제2 반도체층을 포함하는 제2 도전형 영역을 포함하는 이중 접합 구조를 가질 수 있다.
- [0019] 본 발명의 실시예에 따른 태양 전지의 제조 방법은, 페로브스카이트 화합물을 포함하는 광전 변환층(페로브스카이트 화합물층)을 포함하는 제1 광전 변환부를 형성하는 단계 및 이에 연결되며 금속 전극층(불투명 전극층 또는 패턴 전극층)을 형성하는 전극 형성 단계를 포함한다. 상기 금속 전극층은 저온 공정(일 예로, 150℃ 이하의 공정)에 의하여 형성될 수 있다.
- [0020] 일 예로, 상기 금속 전극층을 형성하는 공정은, 금속과 수지를 포함하는 페이스트를 도포하는 단계; 상기 수지의 경화 온도보다 낮은 온도에서 상기 페이스트를 소성 또는 경화하여 제1 도전층을 형성하는 단계; 및 상기 제1 도전층 위에 상기 제1 도전층보다 큰 밀도를 가지는 제2 도전층을 형성하는 단계를 포함할 수 있다.
- [0021] 이때, 상기 제1 광전 변환부는 상기 광전 변환층의 일측에 위치하는 제1 전달층 및 상기 광전 변환층의 타측에 위치하는 제2 전달층을 더 포함할 수 있다. 그리고 상기 전극은 상기 제1 광전 변환부의 일면에서 상기 제1 광전 변환부에 전기적으로 연결되는 제1 전극 및 상기 제1 광전 변환부의 타면에서 상기 제1 광전 변환부에 전기적으로 연결되는 제2 전극을 포함할 수 있다. 이때, 상기 제1 및 제2 전극 중 적어도 하나가 상기 금속 전극층을 포함할 수 있다.
- [0022] 상기 제1 도전층을 형성하는 단계에서 소성 또는 경화 온도가 150℃ 이하일 수 있다.
- [0023] 상기 제2 도전층을 형성하는 단계의 온도가 상기 제1 도전층을 형성하는 단계의 온도와 같거나 그보다 낮을 수 있다.
- [0024] 상기 페이스트를 도포하는 공정이 스크린 인쇄 또는 잉크젯 인쇄에 의하여 수행될 수 있다. 상기 제2 도전층을 형성하는 공정이 전해 도금에 의하여 수행될 수 있다.
- [0025] 상기 제1 도전층은 복수의 금속 입자를 포함하고, 상기 제2 도전층은 상기 제1 도전층 위 및 상기 제1 도전층 내에서 상기 복수의 금속 입자 사이에 위치하는 공극 내에서 위치하며, 연속적으로 형성되는 형상을 가질 수 있다.
- [0026] 상기 제1 및 제2 전극이 각기 상기 제1 도전층 및 상기 제2 도전층을 가지는 제1 및 제2 금속 전극층을 포함할 수 있다. 상기 금속 전극층은 상기 제1 및 제2 금속층에 의한 공정을 동시에 또는 같은 공정으로 수행하여 공정을 단순화할 수 있다. 상기 페이스트를 도포하는 단계에서는, 상기 제1 전극의 상기 제1 도전층을 형성하기 위한 제1 페이스트 및 상기 제2 전극의 상기 제1 도전층을 형성하기 위한 제2 페이스트를 도포할 수 있다. 상기 제1 도전층을 형성하는 단계에서는, 상기 제1 및 제2 페이스트를 동시에 소성하여 상기 제1 전극의 상기 제1 도전층 및 상기 제2 전극의 상기 제1 도전층을 형성할 수 있다. 상기 제2 도전층을 형성하는 단계에서는, 상기 제1 전극의 상기 제1 도전층 위에 위치하는 상기 제1 전극의 상기 제2 도전층 및 상기 제2 전극의 상기 제1 도전층 위에 위치하는 상기 제2 전극의 상기 제2 도전층을 동시에 형성할 수 있다.
- [0027] 상기 제1 광전 변환부를 형성하는 단계 이전에 상기 제1 광전 변환부와 다른 물질 또는 구조를 가지는 제2 광전 변환부를 형성하는 단계를 더 포함할 수 있다. 상기 제2 광전 변환부를 형성하는 단계는, 반도체 기관 위에 상기 반도체 기관과 별개로 형성된 제1 반도체층으로 구성되는 제1 도전형 영역 및 상기 반도체 기관과 별개로 형성된 제1 반도체층으로 구성되는 제2 도전형 영역을 형성하는 단계를 포함할 수 있다. 상기 제2 광전 변환부 위에 접합층을 형성하는 단계를 더 포함할 수 있다. 그리고 상기 제1 광전 변환부를 형성하는 단계에서는, 상기 접합층 위에 위치하는 상기 제2 전달층을 형성하고, 상기 제2 전달층 위에 상기 광전 변환층을 형성하고, 상기 광전 변환층 위에 상기 제1 전달층을 형성할 수 있다. 상기 금속 전극층을 형성하는 공정에서는 상기 제1 금속 전극층을 상기 제1 전달층 위에 형성하고, 상기 제2 금속 전극층을 상기 제2 도전형 영역 위에 형성할 수 있다.

[0028] 또는, 상기 금속 전극층을 형성하는 공정이 스퍼터링에 의하여 스퍼터링층을 형성하는 단계를 포함하여 상기 금속 전극층이 스퍼터링층을 포함할 수 있다.

[0029] 또는, 상기 금속 전극층을 형성하는 공정이 도금에 의하여 도금층을 형성하는 단계를 포함하여 상기 금속 전극층이 상기 도금층을 포함할 수 있다. 상기 금속 전극층을 형성하는 공정은, 상기 금속 전극층이 형성될 부분에 개구부를 구비하는 레지스트 패턴을 형성하는 단계; 도금에 의하여 상기 개구부를 채우는 상기 도금층을 형성하는 단계; 및 상기 레지스트 패턴을 제거하는 단계를 포함할 수 있다.

발명의 효과

[0030] 본 실시예에서 따르면, 페로브스카이트 화합물을 포함하는 제1 광전 변환부를 구비한 태양 전지에서 전극을 낮은 온도(즉, 150℃ 이하)로 형성할 수 있다. 이에 의하여 전극 형성 공정 등에서 페로브스카이트 화합물 등이 열화되어 태양 전지의 특성이 저하되는 것을 방지할 수 있어, 효율 및 신뢰성을 향상할 수 있다. 이때, 페로브스카이트 화합물을 포함하는 제1 광전 변환부 이외에 이와 유사한 공정 온도에서 제조되면 우수한 개방 전압을 가지는 결정질 반도체 기판을 함하며 이중 접합 구조를 가지는 제2 광전 변환부를 함께 구비하여, 우수한 공정 접합성을 가지며 높은 효율을 가지는 탠덤형 구조의 태양 전지가 형성될 수 있다.

도면의 간단한 설명

[0031] 도 1은 본 발명의 일 실시예에 따른 태양 전지를 도시한 단면도이다.
 도 2는 도 1에 도시한 태양 전지의 제2 전극층의 평면도이다.
 도 3은 본 발명의 일 실시예에 따른 태양 전지의 제조 방법을 도시한 흐름도이다.
 도 4a 내지 도 4h는 도 3에 도시한 태양 전지의 제조 방법을 도시한 단면도들이다.
 도 5는 본 발명의 다른 실시예에 따른 태양 전지를 도시한 단면도이다.
 도 6은 도 5에 도시한 태양 전지의 제조 방법을 도시한 흐름도이다.
 도 7a 내지 도 7d는 도 5에 도시한 태양 전지의 제조 방법을 도시한 단면도들이다.
 도 8은 본 발명의 일 변형예에 따른 태양 전지를 도시한 단면도이다.
 도 9는 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 태양 전지의 제2 전극층의 주사 전자 현미경 사진이다.
 도 10은 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 태양 전지의 충밀도를 측정한 결과를 나타낸 그래프이다.
 도 11은 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 태양 전지의 효율을 측정한 결과를 나타낸 그래프이다.
 도 12는 페로브스카이트 화합물을 150℃를 초과하는 온도에서 열처리하면서 시간 경과에 따른 엑스레이 피크(x-ray peak)를 측정하여 그 결과를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0032] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 그러나 본 발명이 이러한 실시예에 한정되는 것은 아니며 다양한 형태로 변형될 수 있음은 물론이다.

[0033] 도면에서는 본 발명을 명확하고 간략하게 설명하기 위하여 설명과 관계 없는 부분의 도시를 생략하였으며, 명세서 전체를 통하여 동일 또는 극히 유사한 부분에 대해서는 동일한 도면 참조부호를 사용한다. 그리고 도면에서는 설명을 좀더 명확하게 하기 위하여 두께, 넓이 등을 확대 또는 축소하여 도시하였는바, 본 발명의 두께, 넓이 등은 도면에 도시된 바에 한정되지 않는다.

[0034] 그리고 명세서 전체에서 어떠한 부분이 다른 부분을 "포함"한다고 할 때, 특별히 반대되는 기재가 없는 한 다른 부분을 배제하는 것이 아니며 다른 부분을 더 포함할 수 있다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 위치하는 경우도 포함한다. 층, 막, 영역, 판 등의 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 위치하지 않는 것을 의미한다.

- [0035] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 태양 전지 및 이의 제조 방법을 상세하게 설명한다.
- [0036] 도 1은 본 발명의 실시예에 따른 태양 전지를 도시한 단면도이고, 도 2는 도 1에 도시한 태양 전지의 제2 전극층의 평면도이다.
- [0037] 도 1을 참조하면, 본 실시예에 따른 태양 전지(100)는, 페로브스카이트 화합물을 포함하는 광전 변환층(112)을 포함하는 제1 광전 변환부(110)와, 이에 전기적으로 연결되는 제1 및 제2 전극(42, 44)을 포함할 수 있다. 여기서, 제1 및 제2 전극(42, 44) 중 적어도 하나는 금속을 포함하는 금속 전극층인 제2 전극층(422, 442)를 포함하는데, 본 실시예에서는 제2 전극층(422, 442)이 150℃ 이하의 저온 공정에 의하여 형성된 저온 전극층일 수 있다. 그리고 본 실시예에 따른 태양 전지(100)는 제1 광전 변환부(110)와 다른 물질 또는 구조를 가지는 제2 광전 변환부(120)를 더 포함하는 탠덤형 구조를 가질 수 있다. 이를 좀더 상세하게 설명한다.
- [0038] 본 실시예에 따른 태양 전지(100)에서 제2 광전 변환부(120)는 반도체 기관(122)을 포함하는 pn 접합(junction) 구조를 가질 수 있다. 일 예로, 제2 광전 변환부(120)는, 반도체 기관(122)과, 반도체 기관(122)에 또는 반도체 기관(122) 위에 형성되는 도전형 영역(124, 126)을 포함할 수 있다. 도전형 영역(124, 126)은 제1 도전형을 가지는 제1 도전형 영역(124) 및 제2 도전형을 가지는 제2 도전형 영역(126)을 포함할 수 있다.
- [0039] 반도체 기관(122)은 단일 반도체 물질(일 예로, 4족 원소)를 포함하는 결정질 반도체(예를 들어, 단결정 또는 다결정 반도체, 일 예로, 단결정 또는 다결정 실리콘)로 구성될 수 있다. 그러면, 결정성이 높아 결함이 적은 반도체 기관(122)을 기반으로 하므로, 제2 광전 변환부(120)가 우수한 전기적 특성을 가질 수 있다. 일 예로, 제2 광전 변환부(120)는 결정질 실리콘 태양 전지 구조를 가질 수 있다.
- [0040] 반도체 기관(122)의 전면 및/또는 후면은 텍스처링(texturing)되어 요철을 가질 수 있다. 요철은, 일 예로, 외면이 반도체 기관(122)의 (111)면으로 구성되며 불규칙한 크기를 가지는 피라미드 형상을 가질 수 있다. 이에 의하여 상대적으로 큰 표면 거칠기를 가지면 광의 반사율을 낮출 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.
- [0041] 본 실시예에서 반도체 기관(122)은 제1 또는 제2 도전형 도펀트가 제1 또는 제2 도전형 영역(124, 126)보다 낮은 도핑 농도로 도핑되어 제1 또는 제2 도전형을 가지는 베이스 영역으로 구성될 수 있다. 즉, 반도체 기관(122)은 베이스 영역에 추가적으로 도펀트를 도핑하여 형성된 도핑 영역을 구비하지 않고, 베이스 영역만을 구비할 수 있다.
- [0042] 반도체 기관(122)의 전면 위에는 제1 패시베이션막(122a)이 형성되고, 반도체 기관(122)의 후면 위에는 제2 패시베이션막(122b)이 형성된다.
- [0043] 제1 및 제2 패시베이션막(122a, 122b)은 전자 및 정공에게 일종의 배리어(barrier)로 작용하여, 소수 캐리어(minority carrier)가 통과되지 않도록 하고, 제1 및 제2 패시베이션막(122a, 122b)에 인접한 부분에서 축적된 후에 일정 이상의 에너지를 가지는 다수 캐리어(majority carrier)만이 제1 및 제2 패시베이션막(122a, 122b)을 각기 통과할 수 있도록 한다. 일 예로, 제1 및 제2 패시베이션막(122a, 122b)은 일종의 터널링막일 수 있다. 이때, 일정 이상의 에너지를 가지는 다수 캐리어는 터널링 효과에 의하여 쉽게 제1 및 제2 패시베이션막(122a, 122b)을 통과할 수 있다.
- [0044] 이러한 제1 또는 제2 패시베이션막(122a, 122b)은 캐리어가 터널링 될 수 있는 다양한 물질을 포함할 수 있는데, 일례로, 질화물, 반도체, 전도성 고분자 등을 포함할 수 있다. 예를 들어, 제1 또는 제2 패시베이션막(122a, 122b)은 실리콘 산화물, 실리콘 질화물, 실리콘 산화 질화물, 진성 비정질 반도체(일 예로, 진성 비정질 실리콘), 진성 다결정 반도체(일 예로, 진성 다결정 실리콘) 등을 포함할 수 있다. 이때, 제1 및 제2 패시베이션막(122a, 122b)이 진성 비정질 반도체를 포함할 수 있다. 일 예로, 제1 및 제2 패시베이션막(122a, 122b)이 비정질 실리콘(a-Si)층, 비정질 실리콘 탄화물(a-SiCx)층, 비정질 실리콘 산화물(a-SiOx)층 등으로 구성될 수 있다. 그러면, 제1 및 제2 패시베이션막(122a, 122b)이 반도체 기관(122)과 유사한 특성을 가지기 때문에 반도체 기관(122)의 표면 특성을 좀더 효과적으로 향상할 수 있다.
- [0045] 이때, 제1 및 제2 패시베이션막(122a, 122b)은 반도체 기관(122)의 전면 및 후면에 각기 전체적으로 형성될 수 있다. 이에 따라 반도체 기관(122)의 전면 및 후면을 전체적으로 패시베이션할 수 있고, 별도의 패터닝 없이 쉽게 형성될 수 있다. 터널링 효과를 충분하게 구현할 수 있도록 패시베이션막(122a, 122b)의 두께는 도전형 영역(124, 126)보다 작은 두께(일 예로, 5nm 이하)의 두께를 가질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며, 패시베이션막(122a, 122b)은 다양한 물질, 형상, 두께 등을 가질 수 있다.

- [0046] 제1 패시베이션막(122a) 위에는 제1 도전형을 가지는 제1 도전형 영역(124)이 형성(일 예로, 접촉)될 수 있다. 그리고 제2 패시베이션막(122b) 위에는 제1 도전형과 반대되는 제2 도전형을 가지는 제2 도전형 영역(126)이 위치(일 예로, 접촉)할 수 있다.
- [0047] 제1 도전형 영역(124)은 제1 도전형 도펀트를 포함하여 제1 도전형을 가지는 영역일 수 있다. 그리고 제2 도전형 영역(126)은 제2 도전형 도펀트를 포함하여 제2 도전형을 가지는 영역일 수 있다.
- [0048] 제1 및 제2 도전형 영역(124, 126)은 각기 반도체 기판(122)과 동일한 반도체 물질(좀더 구체적으로, 단일 반도체 물질, 일례로, 실리콘)을 포함할 수 있다. 일 예로, 제1 및 제2 도전형 영역(124, 126)이 비정질 실리콘(a-Si)층, 비정질 실리콘 탄화물(a-SiCx)층, 비정질 실리콘 산화물(a-SiOx)층 등으로 이루어질 수 있다. 그러면, 제1 및 제2 도전형 영역(124, 126)이 반도체 기판(122)과 유사한 특성을 가져 서로 다른 반도체 물질을 포함할 경우에 발생할 수 있는 특성 차이를 최소화할 수 있다. 다만, 제1 및 제2 도전형 영역(124, 126)이 반도체 기판(122) 위에서 반도체 기판(122)과 별개로 형성되므로, 반도체 기판(122) 위에서 쉽게 형성될 수 있도록 반도체 기판(122)과 다른 결정 구조를 가질 수 있다.
- [0049] 예를 들어, 제1 및 제2 도전형 영역(124, 126) 각각은 증착 등의 다양한 방법에 의하여 쉽게 제조될 수 있는 비정질 반도체 등에 제1 또는 제2 도전형 도펀트를 도핑하여 형성될 수 있다. 그러면 제1 및 제2 도전형 영역(124, 126)이 간단한 공정에 의하여 쉽게 형성될 수 있다. 이때, 제1 및 제2 패시베이션막(122a, 122b)이 진성 비정질 반도체(일 예로, 진성 비정질 실리콘)으로 구성되면, 우수한 접착 특성, 우수한 전기 전도도 등을 가질 수 있다.
- [0050] 본 실시예에서 반도체 기판(122)(또는 베이스 영역)이 제1 도전형을 가지게 되면, 제2 도전형 영역(126)은 반도체 기판(122)과 pn 접합을 형성하는 에미터 영역을 구성할 수 있다. 제1 도전형 영역(124)은 전면 전계(front surface field)를 형성하여 재결합을 방지하는 전면 전계 영역을 구성할 수 있다. 그러면, 광전 변환에 직접 관여하는 에미터 영역이 후면에 위치하므로, 에미터 영역을 충분한 두께로 형성할 수 있어(일 예로, 전면 전계 영역보다 두껍게 형성하여) 광전 변환 효율을 좀더 향상할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서 반도체 기판(122)이 제2 도전형을 가져 제1 도전형 영역(124)이 에미터 영역을 구성하고 제2 도전형 영역(126)이 후면 전계 영역을 구성할 수도 있다.
- [0051] 본 실시예에서 제1 도전형 영역(124) 및 반도체 기판(122)이 n형을, 제2 도전형 영역(126)이 p형을 가질 수 있다. 그러면, 제2 광전 변환부(120) 위에 위치하는 제1 광전 변환부(110)에서 상부 쪽에 위치한 제1 전달층(114)이 전자를 전달하고 하부 쪽에 위치한 제2 전달층(116)이 정공을 전달할 수 있다. 이러한 경우가 이의 반대 경우에 비하여 제1 광전 변환부(110)가 우수한 효과를 가질 수 있다. 또한, 반도체 기판(122)이 n형을 가져 캐리어의 수명(life time)을 향상할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며, 반도체 기판(122)이 제1 및 제2 도전형 중 어떠한 도전형을 가지는지 여부, n형 및 p형 중 어떠한 도전형을 가지는지 여부 등은 다양하게 변형될 수 있다.
- [0052] 일 예로, p형의 도펀트로선 보론(B), 알루미늄(Al), 갈륨(Ga), 인듐(In) 등의 3족 원소를 사용할 수 있고, n형의 도펀트로선 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 5족 원소를 사용할 수 있다. 반도체 기판(122)의 도펀트와 제1 또는 제2 도전형 영역(124, 126)의 도펀트는 서로 동일한 물질일 수도 있고 서로 다른 물질일 수도 있다.
- [0053] 여기서, 제1 및 제2 도전형 영역(124, 126)은 반도체 기판(122)의 전면 및 후면에서 각기 전체적으로 형성될 수 있다. 이에 의하여 제1 및 제2 도전형 영역(124, 126)을 충분한 면적으로 별도의 패터닝 없이 형성할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.
- [0054] 본 실시예에서는 제1 및 제2 도전형 영역(124, 126)이 각기 반도체 기판(122) 또는 베이스 영역과 별개로 형성되는 제1 및 제2 반도체층으로 구성된 것을 예시하였다. 이에 따라 제1 및 제2 도전형 영역(124, 126)의 결정 구조가 반도체 기판(122)과 서로 다를 수 있고, 예를 들어, 제1 및 제2 도전형 영역(124, 126)이 각기 비정질, 미세 결정 또는 다결정 구조를 가져 제2 광전 변환부(120)가 이종 접합(hetero-junction) 구조를 가질 수 있다. 이에 의하면 반도체 기판(122)이 도핑 영역을 구비하지 않아 우수한 패시베이션 특성 등을 가질 수 있고, 제1 및 제2 도전형 영역(124, 126)을 간단한 공정에 의하여 쉽게 형성할 수 있다. 또한, 우수한 특성을 가지며 가격이 비싼 반도체 기판(122)의 두께를 줄여 비용을 절감할 수 있다. 특히, 제1 및 제2 도전형 영역(124, 126)이 반도체 기판(122)과 동일한 반도체 물질(예를 들어, 실리콘)으로 이루어지면서 비정질 구조를 가지면, 이종 물질에 의한 문제를 최소화할 수 있으며 제1 및 제2 도전형 영역(124, 126)을 낮은 온도에서 형성할 수 있으며 제

2 광전 변환부(120)가 높은 개방 전압을 가져 태양 전지(100)의 효율을 향상할 수 있다.

[0055] 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서 제1 및 제2 도전형 영역(124, 126) 중 적어도 하나가 베이스 영역과 동일한 결정 구조를 가지면서 도전형, 도핑 농도 등이 서로 다른 영역일 수도 있다. 즉, 제1 및 제2 도전형 영역(124, 126) 중 적어도 하나가 반도체 기관(122)의 일부를 구성하는 도핑 영역일 수 있다. 그 외의 다양한 구조가 적용될 수 있다.

[0056] 제2 광전 변환부(120)의 전면(前面) 위에 접합층(터널 접합층)(110a)이 위치하여 제2 광전 변환부(120)와 그 위에 위치하는 제1 광전 변환부(110)를 연결한다. 도면에서는 접합층(110a)이 제1 도전형 영역(124)과 제1 광전 변환부(110)에 각기 직접 접촉하는 것으로 도시되었으나, 본 발명이 이에 한정되는 것은 아니다. 이러한 접합층(110a)은 캐리어의 터널링이 원활하게 일어날 수 있도록 얇은 두께, 일 예로, 제1 전극층(420, 440)의 두께보다 얇은 두께를 가질 수 있다.

[0057] 접합층(110a)은 제1 광전 변환부(110)와 제2 광전 변환부(120)를 전기적으로 연결할 수 있으며 제1 광전 변환부(110)에 사용되는 광(일 예로, 장파장의 광)이 투과할 수 있는 물질을 포함할 수 있다. 일 예로, 접합층(110a)은 투명 전도성 물질(일 예로, 투명 전도성 산화물), 전도성 탄소 물질, 전도성 고분자, n형 또는 p형 비정질 실리콘 등의 다양한 물질 중 적어도 하나를 포함할 수 있다. 또는, 접합층(110a)이 서로 다른 굴절율을 가지는 실리콘층을 교대로 적층한 구조로 형성되어, 제2 광전 변환부(120)에 사용되는 광(일 예로, 단파장의 광)은 제2 광전 변환부(120)로 반사시키고 제1 광전 변환부(110)에 사용되는 광(일 예로, 장파장의 광)은 투과하여 제1 광전 변환부(110)로 제공할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 접합층(110a)의 물질, 구조 등으로는 다양한 물질이 적용될 수 있다.

[0058] 접합층(110a) 위에는 페로브스카이트 화합물을 포함하는 광전 변환층(112)을 포함하는 제1 광전 변환부(110)가 위치할 수 있다. 좀더 구체적으로, 제1 광전 변환부(110)는 광전 변환층(112)과, 광전 변환층(112)의 일측에서 접합층(110a)과 광전 변환층(112) 사이에 위치하는 제2 전달층(제2 캐리어 전달층)(116), 그리고 광전 변환층(112)의 타측에서 광전 변환층(112)과 제1 전극(42) 사이에 위치하는 제1 전달층(제1 캐리어 전달층)(114)을 포함할 수 있다.

[0059] 접합층(110a) 위에 위치하는 제2 전달층(116)은 광전 변환층(112)과의 밴드갭 관계에 의하여 제2 캐리어(일 예로, 정공)를 추출하여 전달하는 층이다. 일 예로, 제2 전달층(116)을 통하여 전달된 제2 캐리어는 접합층(110a)을 통과하여 제1 광전 변환부(110)로 이동할 수 있다. 제2 전달층(116)으로는 이러한 역할을 수행할 수 있는 다양한 물질을 포함할 수 있는데, 예를 들어, 제2 전달층(116)은 스피로-바이폴루오렌 화합물(예를 들어, 2,2',7,7'-tetrakis(N,N-di-p-methoxyphenylamine)-9,9'-spirobifluorene(spiro-OMeTAD) 등), 폴리-트리아릴아민(poly-triarylamine, PTAA), 또는 금속 화합물(예를 들어, 몰리브덴 산화물 등)을 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제2 전달층(116)으로 다양한 물질이 사용될 수 있다.

[0060] 제2 전달층(116) 위에 위치하는 광전 변환층(112)은 페로브스카이트 구조를 가지는 페로브스카이트 화합물로 구성되는 광에 의하여 여기되어 캐리어(전자 및 정공)를 형성할 수 있는 광 활성층일 수 있다. 일 예로, 페로브스카이트 구조는 AMX_3 (여기서, A는 1가의 유기 암모늄 양이온 또는 금속 양이온; M은 2가의 금속 양이온; X는 할로젠 음이온을 의미한다)의 화학식을 가질 수 있다. 이러한 광전 변환층(112)은 AMX_3 로서 $CH_3NH_3PbI_3$, $CH_3NH_3PbI_xCl_{(3-x)}$, $CH_3NH_3PbI_xBr_{(3-x)}$, $CH_3NH_3PbCl_xBr_{(3-x)}$, $HC(NH_2)_2PbI_3$, $HC(NH_2)_2PbI_xCl_{(3-x)}$, $HC(NH_2)_2PbI_xBr_{(3-x)}$, $HC(NH_2)_2PbCl_xBr_{(3-x)}$ 등을 포함하거나, AMX_3 의 A에 Cs가 일부 도핑된 화합물을 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 광전 변환층(112)으로 다양한 물질이 사용될 수 있다.

[0061] 광전 변환층(112) 위에 위치하는 제1 전달층(114)은 광전 변환층(112)과의 밴드갭 관계에 의하여 제1 캐리어(일 예로, 전자)를 추출하여 전달하는 층이다. 제1 전달층(114)으로는 이러한 역할을 수행할 수 있는 다양한 물질을 포함할 수 있는데, 예를 들어, 제1 전달층(114)은 풀러렌(C60) 또는 이의 유도체(예를 들어, 페닐-C61-부티르산 메틸 에스테르(phenyl-C61-butyric acid methyl ester, PCBM) 등)를 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제1 전달층(114)으로 다양한 물질이 사용될 수 있다.

[0062] 제1 광전 변환부(110)(일 예로, 이의 전면)에 위치하는 제1 전달층(114)) 위에 제1 전극(42)이 위치하고, 제2 광전 변환부(120)(일 예로, 이의 후면에 위치하는 제2 도전형 영역(126)) 위에 제2 전극(44)이 위치할 수 있다. 즉, 본 실시예에 따른 태양 전지(100)는 단일 반도체 물질(일 예로, 실리콘) 기반의 제2 광전 변환부(120)와 페로브스카이트 화합물 기반의 제1 광전 변환부(110)가 접합층(110a)에 의하여 접합된 탠덤형 구조를 가질 수 있

다.

- [0063] 본 실시예에서 제2 광전 변환부(120)보다 제1 광전 변환부(110)가 더 큰 밴드 갭을 가지게 된다. 즉, 제1 광전 변환부(110)는 상대적으로 큰 밴드갭을 가져 상대적으로 작은 파장을 가지는 단파장을 흡수하여 이를 이용하여 광전 변환을 일으키며, 제2 광전 변환부(120)는 제1 광전 변환부(110)보다 낮은 밴드갭을 가져 제1 광전 변환부(110)에서 사용하는 광보다 큰 파장을 가지는 장파장을 효과적으로 흡수하여 이를 이용하여 광전 변환을 일으킨다.
- [0064] 좀더 상세하게, 태양 전지(100)의 전면을 통하여 광이 입사되면 제1 광전 변환부(110)가 단파장을 흡수하여 광전 변환에 의하여 전자 및 정공을 생성한다. 이때, 제1 캐리어(일 예로, 전자)는 제1 전극(42) 쪽으로 이동하여 수집되고, 제2 캐리어(일 예로, 정공)은 제1 광전 변환부(110) 및 제2 광전 변환부(120)를 거쳐 제2 전극(420) 쪽으로 이동하여 수집된다. 제1 광전 변환부(110)에 사용되지 않아 이를 통과한 장파장이 제2 광전 변환부(120)에 도달하면, 제2 광전 변환부(120)가 이를 흡수하여 광전 변환에 의하여 전자 및 정공을 생성한다. 이때, 제1 캐리어(일 예로, 전자)는 제1 광전 변환부(110)를 거쳐 제1 전극(42) 쪽으로 이동하여 수집되고, 제2 캐리어(일 예로, 정공)은 제2 전극(44) 쪽으로 이동하여 수집된다.
- [0065] 이와 같이 본 실시예에서는 다양한 파장을 광을 복수의 광전 변환부(110, 120)에서 모두 사용할 수 있어 태양 전지(100)의 효율을 크게 향상할 수 있다. 특히, 본 실시예에서는 페로브스카이트 화합물을 기반으로 한 제1 광전 변환부(110)와 이중 접합 구조를 가지는 제2 광전 변환부(120)를 포함하여, 다양한 특성을 향상할 수 있다. 즉, 상술한 제1 및 제2 광전 변환부(110, 120)는 모두 저온 공정으로 형성할 수 있는바, 공정 온도가 유사하여 온도 범위를 맞추기 쉬우므로 공정 적합성을 가진다. 또한, 상술한 제1 및 제2 광전 변환부(110, 120)는 각기 우수한 개방 전압을 가지므로 탠덤형 구조의 태양 전지(100)의 효율을 크게 향상할 수 있다. 반면, 비정질 박막 태양 전지는 개방 전압이 우수하지 않을 수 있고, 후면 전극 구조 등을 구비하는 광전 변환부는 본 실시예에 따른 제1 광전 변환부(110)와 함께 탠덤형 구조를 형성하기 어려울 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며, 제2 광전 변환부(120)로 다양한 구조가 적용될 수 있으며, 제2 광전 변환부(120)가 구비되지 않고 제1 광전 변환부(110)만 구비될 수도 있다. 그 외의 다양한 변형이 가능하다.
- [0066] 본 실시예에서는 앞서 설명한 바와 같이 제1 및 제2 광전 변환부(110, 120)가 저온 공정(일 예로, 150℃ 이하의 저온 공정, 일 예로, 실온 내지 150℃ 이하의 온도, 좀더 구체적으로는, 실온(예를 들어, 20℃보다 높으며 150℃ 이하의 온도)에 의하여 형성될 수 있는바, 이에 형성되는 제1 및 제2 전극(42, 44)(특히, 제2 전극층(422, 442))이 저온 공정(일 예로, 150℃ 이하의 저온 공정)에 의하여 형성될 수 있다. 이를 좀더 상세하게 설명한다.
- [0067] 제1 전극(42)은 광전 변환부(110, 120) 위에 차례로 적층되는 제1 전극층(420) 및 제2 전극층(422)을 포함할 수 있다. 일 예로, 제1 전극층(420)은 제1 광전 변환부(110)(좀더 구체적으로, 제1 전극층(114)) 위에서 전체적으로 형성(일 예로, 접촉)될 수 있다. 전체적으로 형성된다고 함은, 빈 공간 또는 빈 영역 없이 제1 광전 변환부(110)의 전체를 덮는 것뿐만 아니라, 불가피하게 일부 부분이 형성되지 않는 경우를 포함할 수 있다. 이와 같이 제1 전극층(420)이 제1 도전형 영역(124) 위에 전체적으로 형성되면, 캐리어가 제1 전극층(420)을 통하여 쉽게 제2 전극층(422)까지 도달할 수 있어, 수평 방향에서의 저항을 줄일 수 있다.
- [0068] 이와 같이 제1 전극층(420)이 제1 광전 변환부(110) 위에서 전체적으로 형성되므로 광을 투과할 수 있는 물질(투광성 물질)로 구성될 수 있다. 즉, 제1 전극층(420)은 투명 전도성 물질로 이루어져서 광의 투과를 가능하게 하면서 캐리어를 쉽게 이동할 수 있도록 한다. 이에 따라 제1 전극층(420)을 제1 광전부(110) 위에 전체적으로 형성되어 광의 투과를 차단하지 않는다. 일 예로, 제1 전극층(420)은 투명 전도성 물질(예를 들어, 투명 전도성 산화물, 일 예로, 인듐 틴 산화물(indium tin oxide, ITO) 등), 탄소 나노 튜브(carbon nano tube, CNT) 등을 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제1 전극층(420) 그 외의 다양한 물질을 포함할 수 있다.
- [0069] 제1 전극층(420) 위에 제2 전극층(422)이 형성(일 예로, 접촉)될 수 있다. 제2 전극층(422)은 제1 전극층(420)보다 우수한 전기 전도도를 가지는 물질로 구성될 수 있다. 이에 의하여 제2 전극층(422)에 의한 캐리어 수집 효율, 저항 저감 등의 특성을 좀더 향상할 수 있다. 일 예로, 제2 전극층(422)은 우수한 전기 전도도를 가지는 불투명한 또는 제1 전극층(420)보다 투명도가 낮은 금속으로 구성될 수 있다.
- [0070] 이와 같이 제2 전극층(422)은 불투명하거나 투명도가 낮아 광의 입사를 방해할 수 있으므로 셰이딩 손실(shading loss)을 최소화할 수 있도록 일정한 패턴을 가질 수 있다. 이에 의하여 제2 전극층(422)이 형성되지 않은 부분으로 광이 입사할 수 있도록 한다. 제2 전극층(422)의 평면 형상은 도 2를 참조하여 추후에 좀더 상세

하게 설명한다.

- [0071] 이와 유사하게, 제2 전극(44)은 제2 광전 변환부(120) 위에 차례로 적층되는 제1 전극층(440) 및 제2 전극층(442)을 포함할 수 있다. 일 예로, 제2 전극(44)의 제1 전극층(440)은 제2 광전 변환부(120)(좀더 구체적으로, 제2 도전형 영역(126)) 위에서 전체적으로 형성(일 예로, 접촉)될 수 있다. 비정질 반도체층으로 구성되는 제2 도전형 영역(126)의 결정성이 상대적으로 낮아 캐리어의 이동도(mobility)가 낮을 수 있으므로, 제1 전극층(440)을 구비하여 캐리어가 수평 방향으로 이동할 때의 저항을 저하시키는 것이다. 제2 전극(44)의 제2 전극층(442)은 제1 전극층(440) 위에 형성(일 예로, 접촉)하여 일정한 패턴을 가질 수 있다.
- [0072] 제2 전극(44)이 제2 광전 변환부(120) 위에 위치한다는 점을 제외하고는, 제2 전극(44)의 제1 및 제2 전극층(440, 442)의 역할, 물질, 형상 등이 제1 전극(42)의 제1 및 제2 전극층(420, 422)의 역할, 물질, 형상 등과 동일 또는 유사하므로 이에 대한 설명이 그대로 적용될 수 있다. 제1 전극(42)의 제1 전극층(420)과 제2 전극(44)의 제1 전극층(440)은 서로 동일하거나, 또는 서로 다른 물질, 조성, 형상, 또는 두께를 가질 수 있다. 제1 전극(42)의 제2 전극층(422)과 제2 전극(44)의 제2 전극층(442)은 서로 동일하거나, 또는 서로 다른 물질, 조성, 형상, 또는 두께를 가질 수 있다. 일 변형예로, 제1 및 제2 전극(42, 44)의 제1 전극층(420, 440) 위에는 반사 방지막, 반사막 등의 다양한 층이 위치할 수도 있다.
- [0073] 상술한 제1 및 제2 전극(42, 44)의 제2 전극층(422, 442)은 다양한 평면 형상을 가질 수 있다. 일 예로, 도 2에 도시한 바와 같이, 제2 전극층(422, 442)은 각기 일정한 피치를 가지면서 서로 이격되는 복수의 핑거 전극(42a, 44a)을 포함할 수 있다. 도면에서는 핑거 전극(42a, 44a)이 서로 평행하며 광전 변환부(110, 120)(일 예로, 반도체 기판(122))의 가장자리에 평행한 것을 예시하였으나 본 발명이 이에 한정되는 것은 아니다. 그리고 제2 전극층(422, 442)은 핑거 전극들(42a, 44a)과 교차하는 방향으로 형성되어 핑거 전극(42a, 44a)을 연결하는 버스바 전극(42b, 44b)을 포함할 수 있다. 이러한 버스바 전극(42b, 44b)은 하나만 구비될 수도 있고, 도 2에 도시된 바와 같이, 핑거 전극(42a, 44a)의 피치보다 더 큰 피치를 가지면서 복수 개로 구비될 수도 있다. 이때, 핑거 전극(42a, 44a)의 폭보다 버스바 전극(42b, 44b)의 폭이 클 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 따라서, 버스바 전극(42b, 44b)의 폭이 핑거 전극(42a, 44a)의 폭과 동일하거나 그보다 작은 폭을 가질 수 있다.
- [0074] 제1 전극(42)과 제2 전극(44)의 제2 전극층(422, 442)이 서로 동일하거나 서로 다른 평면 형상을 가질 수 있다. 예를 들어, 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)의 폭, 피치 등은 제2 전극(44)의 핑거 전극(44a) 및 버스바 전극(44b)의 폭, 피치 등과 서로 동일하거나 서로 다른 값을 가질 수 있다. 또한, 제1 전극(42)과 제2 전극(44)의 제2 전극층(422, 442)의 평면 형상이 서로 다른 것도 가능하며, 그 외의 다양한 변형이 가능하다.
- [0075] 이와 같이 본 실시예에서는 태양 전지(100)의 제1 및 제2 전극(42, 44) 중에 불투명한 또는 금속을 포함하는 제2 전극층(422, 442)이 일정한 패턴을 가져 광전 변환부(110, 120)의 전면 및 후면으로 광이 입사될 수 있는 양면 수광형(bi-facial) 구조를 가진다. 이에 의하여 태양 전지(100)에서 사용되는 광량을 증가시켜 태양 전지(100)의 효율 향상에 기여할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제2 전극(44)의 제2 전극층(442)이 광전 변환부(110, 120)의 후면 쪽에서 전체적으로 형성되는 등 다양한 구조를 가지는 것도 가능하다.
- [0076] 앞서 설명한 바와 같이 페로브스카이트 화합물을 포함하는 광전 변환층(112)을 구비하는 제1 광전 변환부(110) 또는 태양 전지(100)에서는, 페로브스카이트 화합물의 열 분해 온도가 낮아 저온 공정을 적용하여야 한다. 특히, 기존의 태양 전지에서는 저온 공정인 경우에도 대략 200 내지 300℃ 수준의 온도에서 공정이 수행되었는데, 페로브스카이트 화합물을 포함하는 광전 변환층(112)을 구비하는 경우에는 페로브스카이트 화합물의 열화를 방지하기 위하여 이보다 낮은 온도, 일 예로, 150℃ 이하의 온도에서 공정이 수행되어야 한다. 특히, 종래에는 150℃를 초과하는 온도에서 제2 전극층(422, 442)을 형성하는 공정만이 개시되어 있는바, 제2 전극층(422, 442)을 저온(일 예로, 150℃ 이하의 온도)에서 형성하기 어려웠다. 이에 페로브스카이트 화합물을 포함하는 광전 변환층(112)을 구비하는 태양 전지(100)에서 제2 전극층(422, 442)을 저온(일 예로, 150℃ 이하의 온도)에서 형성할 수 있는 구체적인 방법이 요구된다. 본 실시예에서는 제2 전극층(422, 442)을 150℃ 이하의 온도에서 형성하는 공정 및 이에 의하여 형성된 제2 전극층(422, 442)을 포함하는 태양 전지(100)를 제시한다.
- [0077] 이하에서는 도 1의 확대원을 참조하여 제1 및/또는 제2 전극(42, 44)의 제2 전극층(422, 442)(이하, 제2 전극층(402))을 상세하게 설명한다. 도 1의 확대원에서는 제2 전극층(402)으로 제1 전극(42)에 포함된 제2 전극층(422)을 일 예로 도시하였으나, 제2 전극(44)에 포함된 제2 전극층(442)에도 이와 동일한 설명이 그대로 적용될 수 있다.

- [0078] 본 실시예에서는 제2 전극층(402)은, 금속과 수지를 포함하는 제1 도전층(402a)과, 적어도 제1 도전층(402a) 위에 형성되며 제1 도전층(402a)보다 큰 밀도를 가지는 제2 도전층(402b)을 가질 수 있다. 간략한 도시 및 명확한 이해를 위하여 도 1의 확대원에서는 금속 입자(MP)만을 개략적으로 도시하였고, 수지 등의 다른 물질은 별도로 표시하지 않았다.
- [0079] 일 예로, 제1 도전층(402a)은 일정한 금속 화합물(일 예로, 산소를 포함하는 산화물, 탄소를 포함하는 탄화물, 황을 포함하는 황화물) 등으로 구성되는 유리 프릿(glass frit)을 구비하지 않고, 금속과 수지(바인더, 경화제, 첨가제)만을 포함할 수 있다. 유리 프릿을 구비하지 않아 저온에서도 쉽게 소성될 수 있도록 하기 위함이다. 본 실시예에서는 제2 전극층(402)이 제1 전극층(420, 440)에 접촉하여 형성되므로, 절연막 등을 관통하는 파이어스루(fire-through)가 요구되지 않는다. 이에 따라 유리 프릿을 구비하지 않은 저온 소성 페이스트를 사용하는 데, 이와 같이 제2 전극층(402)이 유리 프릿을 구비하지 않고 수지만을 구비하므로 전도성 물질이 소결(sintering)되어 서로 연결되지 않고 서로 접촉하여 응집(aggregation)되어서 전도성을 가질 수 있다.
- [0080] 좀더 상세하게, 제1 도전층(402a)은 복수의 금속 입자(MP) 및 수지를 포함하는 페이스트를 소성 또는 경화하여 형성될 수 있는데, 본 실시예에서는 기존의 저온 공정에서 사용하는 온도보다 더 낮은 온도(일 예로, 150℃ 이하)에서 소성을 수행하여 복수의 금속 입자(MP)가 완벽하게 네킹(necking)되지 않고 서로 접촉되면서 연결되는 형상을 가진다. 이에 의하여 복수의 금속 입자(MP)의 사이에 일정한 공간(즉, 공극(V))이 위치할 수 있다. 그리고 제2 도전층(402b)은 제1 도전층(402a) 위에 전체적으로 도포되며 제1 도전층(402a) 내의 공극(V)으로 흘러들어 공극(V)을 채우는 형상을 가질 수 있다. 이러한 제2 도전층(402b)은 도금에 의하여 형성된 도금층으로서, 연속적인 형상, 즉, 제1 도전층(402a) 위에서 끊임 없이 형성되는 층상 형상을 가지고, 공극(V) 내에서 공극(V)의 적어도 일부를 끊임 없이 채우는 형상을 가질 수 있다. 이는 제1 도전층(402a) 및 제2 도전층(402b)을 특정한 공정으로 형성하였기 때문인데, 이에 대해서는 추후에 상세하게 설명한다.
- [0081] 제1 도전층(402a)과 제2 도전층(402b)이 서로 다른 물질로 구비되면, 성분 분석 등에 의하여 제1 도전층(402a)의 성분 분석을 하면 제1 도전층(402a) 내에서 제2 도전층(402b)을 구성하는 금속을 검출할 수 있다. 예를 들어, 에너지 분산형 X선 분광 분석법(energy dispersive x-ray spectroscopy, EDS) 등으로 성분 분석으로 상술한 구조를 판별할 수 있다. 제1 도전층(402a)과 제2 도전층(402b)이 서로 동일한 물질인 경우에도, 주사 전자 현미경(SEM)을 통하면, 제1 도전층(402a)의 복수의 금속 입자(MP) 사이의 공극(V)과 이들 내부의 적어도 일부에 연속적인 형상으로 위치한 제2 도전층(402b)의 경계를 판별할 수 있다. 그 외의 다양한 방법에 의하여 제2 전극층(402)이 상술한 구조를 가졌는지 여부를 판별할 수 있다.
- [0082] 제2 도전층(402b)은 제1 도전층(402a)의 표면 위에 연속적인 층상 형상을 가지도록 제1 도전층(402a)의 표면을 덮으면서 형성되고, 제1 도전층(402a)의 내부로도 유입되어 공극(V) 내에 연속적인 형상을 가지도록 위치할 수 있다. 이러한 제2 도전층(402b)은 제1 도전층(402a)의 금속 입자(MP) 사이, 그리고 제1 도전층(402a)의 금속 입자(MP)와 제1 전극층(420, 440) 사이의 적어도 일부를 채워서 이들을 연결하는 것에 의하여 연결 특성을 향상하고 접촉 저항을 낮춘다.
- [0083] 일 예로, 제1 도전층(402a)의 두께가 1 내지 15um일 수 있고, 제2 도전층(402b)의 두께가 1 내지 15um일 수 있다. 그리고 제2 도전층(402b)의 두께가 제1 도전층(402a)의 두께보다 작거나, 그와 같거나, 그보다 클 수 있다.
- [0084] 일 예로, 제2 도전층(402b)의 두께가 제1 도전층(402a)의 두께보다 작을 수 있다. 이 경우에 제1 도전층(402a)은 상대적으로 두꺼운 두께를 가져 실질적으로 금속 전극층인 제2 전극층(402)을 형성하는 메인 전극층에 해당하며, 제2 도전층(402b)은 제1 도전층(402a)의 금속 입자(MP) 사이, 그리고 제1 도전층(402a)의 금속 입자(MP)와 제1 전극층(420, 440) 사이를 연결할 수 있는 정도의 얇은 두께로만 형성되어도 무방하다. 이에 제2 도전층(402b)의 두께를 작게 하여, 일 예로, 제1 도전층(402a)의 두께보다 작게 하여 제2 전극층(402)의 재료 비용을 절감할 수 있다. 또한, 제2 도전층(402b)의 두께가 제1 도전층(402a)의 두께보다 커지면, 상대적으로 높은 밀도의 제2 도전층(402b)이 상대적으로 낮은 밀도의 제1 도전층(402a) 위에 형성되어 제2 전극층(402)이 박리될 수도 있다. 이에 제2 도전층(402b)의 두께를 제1 도전층(402a)의 두께보다 작게 할 수 있다. 참조로, 기존에 시드층을 형성하고 그 위에 도전층을 형성하는 경우에는 시드층은 도전층을 형성하기 위한 보조층으로서 얇은 두께로 형성되고 그 위에 위치한 도전층을 시드층보다 두껍게 하는바, 상술한 예와 반대된다.
- [0085] 일 예로, 제1 도전층(402a)의 두께가 2 내지 15um이고, 제2 도전층(402b)의 두께가 제1 도전층(402a)의 두께보다 작으면서 1 내지 5um(1 내지 4um)일 수 있다. 또는, 제1 도전층(402a)의 두께에 대한 제2 도전층(402b)의 두께 비율이 0.05 내지 0.4일 수 있다. 이러한 범위에서 재료 비용 및 제2 전극층(402)의 박리를 효과적으로 방지할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 제1 및 제2 도전층(402a, 402b)이 상술한 범위와 다

른 두께를 가질 수 있다.

- [0086] 다른 예로, 제2 도전층(402b)의 두께가 제1 도전층(402a)의 두께와 같거나 그보다 클 수 있다. 제1 도전층(402a)이 상대적으로 가격이 비싼 물질을 포함하는 경우에는, 제1 도전층(402a)의 두께를 줄여 재료 비용을 절감할 수 있다. 낮은 저항을 위하여 이 경우에는 제2 도전층(402b)의 두께를 제2 도전층(402a)의 두께보다 크게 할 수 있다. 일 예로, 제1 도전층(402a)의 두께가 1 내지 5 μ m이고, 제2 도전층(402b)의 두께가 제1 도전층(402a)의 두께보다 크면서 2 내지 15 μ m일 수 있다. 이러한 범위에서 재료 비용을 절감하고 저항을 우수하게 유지할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 제1 및 제2 도전층(402a, 402b)이 상술한 범위와 다른 두께를 가질 수 있다.
- [0087] 제1 도전층(402a) 및 제2 도전층(402b)은 다양한 금속을 포함할 수 있다. 일 예로, 제1 도전층(402a)이 은(Ag)을 포함하고, 제2 도전층(402b)이 은(Ag), 구리(Cu), 주석(Sn) 또는 이들 중 적어도 하나를 포함하는 물질로 구성될 수 있다. 본 실시예에서는 150℃ 초과, 300℃ 이하의 온도에서 소성되는 저온 소성 페이스트를 이용하여 제1 도전층(402a)을 형성할 수 있는데, 제1 도전층(402a)이 은을 포함하면 상술한 저온 소성 페이스트를 쉽게 구할 수 있다. 그리고 은의 우수한 전기 전도도에 의하여 제1 도전층(402a)의 전기적 특성을 효과적으로 향상할 수 있기 때문이다. 그리고 제2 도전층(402b)이 은 또는 구리를 포함하면, 제1 도전층(402a)의 접촉 저항을 효과적으로 향상할 수 있으며 도금(일 예로, 전해 도금)에 의하여 쉽게 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며, 제1 또는 제2 도전층(402a, 402b)이 은, 구리, 알루미늄, 주석 등 다양한 금속을 포함할 수 있다. 제2 도전층(402a)은 단일층으로 구성되거나, 서로 다른 물질을 포함하는 복수의 층으로 구성될 수 있다. 예를 들어, 제2 도전층(402a)이 구리층 및 주석층을 포함하는 복수의 층으로 구성되거나, 구리와 주석을 포함하는 층을 구비할 수 있다.
- [0088] 본 실시예에서는 제2 도전층(402b)의 비저항이 제1 도전층(402a)의 비저항보다 작거나, 이와 같거나, 그보다 클 수 있다. 종래에는 대체로 하부에 위치한 도전층(시드층)보다 그 위에 위치한 도전층이 낮은 저항을 가지지만, 본 실시예에서는 제1 도전층(402a)의 비저항과 같거나 이보다 큰 물질로 제2 도전층(402b)을 형성할 수 있다. 이는 제2 도전층(402b)이 접촉 저항을 향상하기 위한 보조층으로 형성될 수 있기 때문이다.
- [0089] 본 실시예에서 제1 및 제2 전극(42, 44)의 제2 전극층(422, 442)(즉, 제2 전극층(402))이 각기 제1 및 제2 도전층(402a, 402b)를 가져 태양 전지(100)의 특성을 크게 향상할 수 있다. 이때, 제1 전극(42)의 제1 도전층(402a)과 제2 전극(44)의 제1 도전층(402a)은 서로 동일한 물질, 구조, 형상, 두께 등을 가질 수도 있고 서로 다른 물질, 구조, 형상, 두께 등을 가질 수 있다. 그리고 제1 전극(42)의 제2 도전층(402b)과 제2 전극(44)의 제2 도전층(402b)은 서로 동일한 물질, 구조, 형상, 두께 등을 가질 수도 있고 서로 다른 물질, 구조, 형상, 두께 등을 가질 수 있다. 또한, 제1 및 제2 전극(42, 44) 중 하나가 상술한 구조의 제2 전극층(402)을 포함하고 다른 하나는 이와 다른 전극 구조 또는 전극층을 구비할 수도 있다.
- [0090] 상술한 구조를 가지는 태양 전지(100)의 제조 방법을 도 3, 그리고 도 4a 내지 도 4h를 참조하여 상세하게 설명한다.
- [0091] 도 3은 본 발명의 일 실시예에 따른 태양 전지(100)의 제조 방법을 도시한 흐름도이고, 도 4a 내지 도 4h는 도 3에 도시한 태양 전지(100)의 제조 방법을 도시한 단면도들이다.
- [0092] 도 1 내지 도 3을 참조하면, 본 실시예에 따른 태양 전지(100)의 제조 방법은, 제2 광전 변환부(120)를 형성하는 단계(ST10), 보호층(제2 전극(44)의 제1 전극층(440))을 형성하는 단계(ST20), 접합층(110a)을 형성하는 단계(ST30), 제1 광전 변환부(110)를 형성하는 단계(ST40), 제1 전극(42)의 제1 전극층(420)을 형성하는 단계(ST50), 그리고 제2 전극층(402)을 형성하는 단계(ST60)를 포함한다. 여기서, 제2 전극층(402)을 형성하는 단계(ST60)는, 페이스트를 도포하는 단계(ST61), 소성 또는 경화에 의하여 제1 도전층(402a)을 형성하는 단계(ST62), 그리고 제2 도전층(402b)을 형성하는 단계(ST63)를 포함할 수 있다. 이를 좀더 상세하게 설명한다.
- [0093] 도 4a에 도시한 바와 같이, 제2 광전 변환부(120)를 형성하는 단계(ST10)에서는, 반도체 기판(122), 제1 및 제2 도전형 영역(124, 126) 등을 포함하는 제2 광전 변환부(120)를 형성한다.
- [0094] 먼저, 제1 또는 제2 도전형 도펀트를 가지는 베이스 영역으로 구성되는 반도체 기판(122)을 준비한다. 이때, 반도체 기판(122)의 전면 및 후면 중 적어도 한 면이 요철을 가지도록 텍스처링되어 반사 방지 구조를 가질 수 있다. 반도체 기판(122)의 표면의 텍스처링으로는 습식 또는 건식 텍스처링을 사용할 수 있다. 습식 텍스처링은 텍스처링 용액에 반도체 기판(122)을 침지하는 것에 의해 수행될 수 있으며, 공정 시간이 짧은 장점이 있다. 건식 텍스처링은 다이아몬드 그릴 또는 레이저 등을 이용하여 반도체 기판(122)의 표면을 깎는 것으로, 요철을 균

일하게 형성할 수 있는 반면 공정 시간이 길고 반도체 기관(122)에 손상이 발생할 수 있다. 그 외에 반응성 이온 식각(RIE) 등에 의하여 반도체 기관(122)을 텍스처링 할 수도 있다. 이와 같이 본 발명에서는 다양한 방법으로 반도체 기관(122)을 텍스처링 할 수 있다.

[0095] 이어서, 반도체 기관(122)의 표면 위에 전체적으로 패시베이션막(122a, 122b) 및 도전형 영역(124, 126)을 형성한다. 좀더 구체적으로, 반도체 기관(122)의 전면 위에 제1 패시베이션막(122a) 및 제1 도전형 영역(124)을 형성하고, 반도체 기관(122)의 후면 위에 제2 패시베이션막(122b) 및 제2 도전형 영역(126)을 형성한다. 도면에서는 반도체 기관(122)의 측면에는 패시베이션막(122a, 122b)이 형성되지 않은 것으로 도시하였으나, 반도체 기관(122)의 측면 위에도 패시베이션막(122a, 122b)이 위치할 수 있다.

[0096] 패시베이션막(122a, 122b) 및/또는 도전형 영역(20, 30)은, 일례로, 열적 성장법, 증착법(예를 들어, 화학 기상 증착법(PECVD), 원자층 증착법(ALD)), 저압 화학 기상 증착법(LPCVD) 등에 의하여 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 방법에 의하여 패시베이션막(122a, 122b)이 형성될 수 있다. 제1 또는 제2 도전형 도펀트는 도전형 영역(124, 126)을 형성하는 반도체층을 성장시키는 공정에서 함께 포함되도록 할 수도 있고, 반도체층을 형성한 후에 이온 주입법, 열 확산법, 레이저 도핑법 등에 의하여 도핑될 수도 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 방법에 의하여 도전형 영역(124, 126)이 형성될 수 있다.

[0097] 반도체 기관(122)의 전면 위에 연속적인 공정을 수행하면서 사용되는 기체의 종류를 변경하여 제1 패시베이션막(122a) 및 제1 도전형 영역(124)을 차례로 형성하고, 그 이후에 반도체 기관(122)의 후면 위에 연속적인 공정을 수행하면서 사용되는 기체의 종류를 변경하여 제2 패시베이션막(122b) 및 제2 도전형 영역(126)을 차례로 형성할 수 있다. 또는, 반도체 기관(122)의 후면 위에 연속적인 공정을 수행하면서 사용되는 기체의 종류를 변경하여 제2 패시베이션막(122b) 및 제2 도전형 영역(126)을 차례로 형성하고, 그 이후에 반도체 기관(122)의 전면 위에 연속적인 공정을 수행하면서 사용되는 기체의 종류를 변경하여 제1 패시베이션막(122a) 및 제1 도전형 영역(124)을 차례로 형성할 수 있다. 또는, 제1 및 제2 패시베이션막(122a, 122b)를 동시에 형성한 후에 제1 및 제2 도전형 영역(124, 126)을 형성할 수도 있다. 그 외에 다양한 변형이 가능하다.

[0098] 이어서, 도 4b에 도시한 바와 같이, 보호층(제2 전극(44)의 제1 전극층(440))을 형성하는 단계(ST20)에서는 제2 도전형 영역(126) 위에 보호층을 형성한다. 이때, 본 실시예에서는 제2 도전형 영역(126) 위에 보호층으로 제2 전극(44)의 제1 전극층(440)을 형성할 수 있다. 이러한 제1 전극층(440)은 제조 공정 중에는 제2 도전형 영역(126) 위에서 제2 도전형 영역(126)을 보호하는 역할을 하는 보호층으로 기능하고, 그대로 잔류하여 제1 전극층(440)으로 기능할 수 있다. 즉, 본 실시예에서는 제2 전극(44)의 제1 전극층(440)을 제1 광전 변환부(110)를 형성하기 이전에 형성하여 이를 보호층으로 사용하는바, 공정을 단순화할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제1 전극층(440)과 다른 보호층을 별도로 형성하였다가 제거하거나 제거하지 않은 상태로 제1 전극층(440)을 형성할 수도 있다.

[0099] 제2 전극(44)의 제1 전극층(440)은, 일 예로, 스퍼터링에 의하여 형성될 수 있다. 스퍼터링 공정은 저온에서 수행될 수 있으며 단면인 후면에만 제2 전극(44)의 제1 전극층(440)을 형성할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며, 코팅법 등의 다양한 방법이 적용될 수 있다.

[0100] 이어서, 도 4c에 도시한 바와 같이, 접합층(110a)을 형성하는 단계(ST30)에서는, 제2 광전 변환부(120) 위에 접합층(110a)을 형성한다. 좀더 구체적으로, 제2 광전 변환부(120)에서 보호층이 형성되지 않은 부분, 즉, 제1 도전형 영역(124) 위에 접합층(110a)을 형성할 수 있다. 접합층(110a)은, 일 예로, 스퍼터링에 의하여 형성될 수 있다. 스퍼터링 공정은 저온에서 수행될 수 있으며 단면 공정으로 제2 도전형 영역(124) 위에만 접합층(110a)을 형성할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며, 코팅법 등의 다양한 방법이 적용될 수 있다.

[0101] 이어서, 도 4d에 도시한 바와 같이, 제1 광전 변환부(110)를 형성하는 단계(ST40)에서는, 접합층(110a) 위에 제1 광전 변환부(110)를 형성한다. 좀더 구체적으로는, 접합층(110a) 위에 제2 전달층(116), 광전 변환층(112) 및 제1 전달층(114)을 차례로 형성할 수 있다.

[0102] 제2 전달층(116), 광전 변환층(112) 및 제1 전달층(114)은 다양한 방법에 의하여 형성될 수 있는데, 일 예로, 증착(예를 들어, 물리적 증착법, 화학적 증착법 등) 또는 인쇄법 등을 통해 형성될 수 있다. 여기서, 인쇄법은 잉크젯 프린팅, 그라비아 프린팅, 스프레이 코팅, 닥터 블레이드, 바 코팅, 그라비아 코팅, 브러쉬 페인팅 및 슬롯-다이 코팅 등을 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.

[0103] 이어서, 도 4e에 도시한 바와 같이, 제1 전극(42)의 제1 전극층(420)을 형성하는 단계(ST50)에서는, 제1 광전 변환부(110) 위에 제1 전극(42)의 제1 전극층(420)을 형성할 수 있다. 좀더 구체적으로, 제1 전달층(114) 위에

제1 전극(44)의 제1 전극층(420)을 형성할 수 있다.

- [0104] 제1 전극(42)의 제1 전극층(420)은, 일 예로, 스퍼터링에 의하여 형성될 수 있다. 스퍼터링 공정은 저온에서 수행될 수 있으며 단면인 전면에만 제1 전극(42)의 제1 전극층(420)을 형성할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며, 코팅법 등의 다양한 방법이 적용될 수 있다.
- [0105] 그리고 본 실시예에서는 제2 전극(44)의 제1 전극층(440)을 제1 광전 변환부(110)의 형성 이전에 형성하고, 제1 전극(42)의 제1 전극층(420)을 제1 광전 변환부(110)의 형성 이후에 형성하는 것을 예시하였다. 그러나 본 발명이 이에 한정되는 것은 아니며, 제2 전극(44)의 제1 전극층(440)을 제1 광전 변환부(110)의 형성 이후에 형성할 수도 있다. 이때, 제2 전극(44)의 제1 전극층(440)은, 제1 전극(42)의 제1 전극층(420)과 함께 형성될 수도 있고, 제1 전극(42)의 제1 전극층(440)의 형성 이전 또는 이후에 형성될 수 있다. 그 외의 다양한 변형이 가능하다.
- [0106] 이어서, 도 4f 내지 도 4h에 도시한 바와 같이, 제2 전극층(402)을 형성하는 단계(ST60)에서는 제1 및 제2 전극(42, 44)의 제2 전극층(402)을 형성한다. 이하에서는 제1 및 제2 전극(42, 44)의 제2 전극층(402)이 각기 제1 도전층(402a) 및 제2 도전층(402b)을 구비하고, 제1 및 제2 전극(42, 44)의 제1 도전층(402a)을 동시에 형성 또는 동시에 소성하고, 제1 및 제2 전극(42, 44)의 제2 도전층(402b)을 동시에 형성하는 것을 예시하였다. 그러나 본 발명은 이에 한정되는 것이 아니다. 따라서, 제1 전극(42)의 제1 도전층(402a)의 형성 및 소성, 제1 전극(42)의 제2 도전층(402b)의 형성 및 소성, 제2 전극(44)의 제1 도전층(402a), 제2 전극(44)의 제2 도전층(402b)의 순서로 수행할 수도 있고, 제1 전극(42)의 제1 도전층(402a)의 형성 및 소성, 제2 전극(44)의 제1 도전층(402a)의 형성 및 소성, 제2 전극(44)의 제1 도전층(402a), 제2 전극(44)의 제2 도전층(402b)의 순서로 수행할 수도 있다.
- [0107] 먼저, 도 4f에 도시한 바와 같이, 페이스트를 도포하는 단계(ST61)에서는 제1 전극(42)의 제1 전극층(420) 위에 제1 페이스트(4220)를 도포하고, 제2 전극(44)의 제1 전극층(440) 위에 제2 페이스트(4420)를 도포한다. 제1 및 제2 페이스트(4220, 4420)는 각기 복수의 금속 입자(MP), 수지(RS) 및 용매(S)를 포함할 수 있다. 수지(RS)로는 셀룰로오스계 또는 페놀릭계 등의 바인더, 아민계 등의 경화제 등을 포함할 수 있다. 용매(S)로는 다양한 물질을 사용할 수 있는데, 일 예로, 에테르계 용매를 사용할 수 있다. 그외 다양한 첨가제, 분산제 등을 더 포함할 수 있다.
- [0108] 이때, 제1 페이스트(4220)와 제2 페이스트(4420)가 서로 동일한 물질, 조성, 또는 두께를 가질 수도 있고, 제1 페이스트(4220)와 제2 페이스트(4420)가 서로 다른 물질, 조성, 또는 두께를 가질 수도 있다.
- [0109] 제1 또는 제2 페이스트(4220, 4420)는 인쇄(일 예로, 스크린 인쇄, 잉크젯 인쇄 등)에 의하여 형성될 수 있는데, 이에 의하면 실온에서 공정을 수행할 수 있어 저온 공정에 적합하다. 또한, 제1 또는 제2 페이스트(4220, 4420)를 얇고 높게 형성하여 종횡비를 높이는 것에 의하여 미세 선폭을 구현할 수 있다.
- [0110] 이어서, 도 4g에 도시한 바와 같이, 소성 또는 경화에 의하여 제1 도전층(402a)을 형성하는 단계(ST62)에서는 제1 및 제2 페이스트(도 4f의 참조부호 4220, 4420, 이하 동일)를 소성 또는 경화하여 제1 및 제2 전극(42, 44)의 제1 도전층(402a)을 형성한다. 상술한 소성 또는 경화 공정은 열을 제공하는 열 경화, 또는 자외선을 조사하는 자외선 경화 등에 의하여 수행될 수 있다. 본 실시예에서는 제1 및 제2 페이스트(4220, 4420)를 동시에 소성(co-firing)하여 공정을 단순화한 것을 예시하였으나, 본 발명이 이에 한정되는 것은 아니다. 간략한 도시 등을 위하여 도 4g에서는 수지(도 4f의 참조부호 RS, 이하 동일)를 별도로 도시하지 않았다.
- [0111] 이러한 소성 또는 경화 공정에서는 용매(S) 등이 제거되어 페이스트(4220, 4420)의 부피가 줄어드는 슈링크(shrink) 현상이 발생하여 복수의 금속 입자(MP)가 서로 연결되거나 수지(RS)를 통하여 연결된다. 이때, 본 실시예에서는 소성 또는 경화 공정을 수지의 경화 온도보다 낮은 온도에서 소성을 수행한다. 예를 들어, 수지의 경화 온도는 150℃를 초과하는바, 본 실시예에서 소성 또는 경화 온도가 150℃ 이하(예를 들어, 120℃ 내지 145℃)일 수 있다. 소성 또는 경화 온도가 150℃를 초과하면 페로브스카이트 화합물이 열화되어 제1 광전 변환부(110)에 의한 광전 변환이 어렵거나 제1 광전 변환부(110)가 충분한 특성을 가지지 못할 수 있다. 소성 또는 경화 온도가 120℃ 미만이면, 페이스트(4220, 4420)가 거의 소성되지 모하여 전기적 특성이 저하될 수 있다.
- [0112] 그러면, 페이스트(4220, 4420) 내의 복수의 금속 입자(MP)가 일부 접촉하여 전기적으로 연결되거나 수지(RS)를 통하여 물리적으로 연결되나 완전한 네킹 현상 등은 발생하지 않은 상태를 가진다. 이에 의하여 복수의 금속 입자(MP) 사이에 공극(V)이 위치하게 된다. 이러한 제1 도전층(402a)은 비저항은 우수한 값을 가질 수 있으나, 복수의 금속 입자(MP) 사이의 연결 특성, 복수의 금속 입자(MP)와 제1 전극층(420, 440) 사이의 연결 특성이 우수

하지 않아 접촉 저항은 우수하지 않거나 저항 측정 장치 등을 이용하여 접촉 저항을 측정하기 어려운 수준이다. 참조로, 종래에는 투명 전극층과 우수한 접촉 특성을 위하여, 금속 전극층의 소성 시에 수지의 경화 온도와 같거나 이보다 높은 온도(적어도 170℃ 이상)의 온도로 공정을 수행한다. 이에 의하면 소성 공정에 의하여 금속 전극층은 투명 전극층과 낮은 접촉 저항을 가져 우수한 접촉 특성을 가지지만, 이 공정을 그대로 페로브스카이트 화합물을 포함하는 제1 광전 변환부(110)가 구비된 본 실시예에 따른 태양 전지(100)에 그대로 적용하면 페로브스카이트 화합물의 열화에 의하여 태양 전지(100)의 특성, 효율 등이 크게 저하될 수 있다. 이를 고려하여 본 실시예에서는 소성 또는 경화 온도를 수지의 경화 온도 또는 150℃ 이하의 온도에서 수행한다.

[0113] 이어서, 도 4h에 도시한 바와 같이, 제2 도전층(402b)을 형성하는 단계(ST63)에서는 제1 도전층(402a) 위에 제2 도전층(402b)을 형성한다. 이때, 제1 전극(42)의 제1 도전층(402a) 위에 위치하는 제1 전극(42)의 제2 도전층(402b) 및 제2 전극(44)의 제1 도전층(402a) 위에 위치하는 제2 전극(44)의 제2 도전층(402b)을 동시에 형성하여 공정을 단순화할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.

[0114] 제2 도전층(402b)은 제1 도전층(402a)의 접촉 저항을 향상하기 위하여 제1 도전층(402a)의 표면 위, 그리고 제1 도전층(402a)의 공극(V) 내부를 채우면서 형성될 수 있다. 제2 도전층(402b)은 제1 도전층(402a)과 달리 입자 형상을 가지지 않으며 제1 도전층(402a)보다 높은 밀도를 가지면서 형성되므로 연속적으로 형성되는 층상 형상 또는 연속적으로 형성되는 형상을 가질 수 있다. 도금으로는 실온에서 수행되는 전해 도금을 사용할 수 있다. 이와 같이 본 실시예에서는 제2 도전층(402b)을 형성하는 단계의 온도가 제1 도전층(402a)을 형성하는 단계의 온도와 같거나 그보다 낮을 수 있다. 특히, 제2 도전층(402b)을 형성하는 단계의 온도가 제1 도전층(402a)을 형성하는 단계의 온도보다 낮을 수 있다. 이에 의하여 제1 및 제2 도전층(402a, 402b)을 구비하는 제1 전극(42) 및 제2 전극(44)을 간단한 공정으로 저온(일 예로, 150℃ 이하의 온도)에서 형성할 수 있다.

[0115] 본 실시예에서는 페로브스카이트 화합물을 포함하는 제1 광전 변환부(110)를 구비한 태양 전지(100)에서 제1 및 제2 전극(42, 44)을 낮은 온도(즉, 150℃ 이하)로 형성할 수 있는 구체적 공정을 제시한다. 즉, 150℃ 이하에서 소성되는 전극 페이스트 및 이를 이용한 공정을 찾기 어려우므로, 기존 150℃ 초과, 300℃ 이하의 온도에서 소성되는 전극 페이스트를 사용하여 150℃ 이하에서 소성하여 제1 도전층(402a)을 형성하되, 그 위에 제2 도전층(402b)을 형성하여 접촉 특성을 향상하여 전극(42, 44)으로 기능하기에 적합하도록 한다. 이에 의하여 전극(42, 44) 형성 시 페로브스카이트 화합물 등이 열화되어 태양 전지(100)의 특성이 저하되는 것을 방지할 수 있다. 일 예로, 태양 전지(100)가 대략 80% 이상의 충밀도를 가지며 우수한 효율 및 신뢰성을 가질 수 있다.

[0116] 상술한 실시예에서는 제1 및 제2 전극(42, 44)이 각기 제1 전극층(420, 440) 및 제2 전극층(422, 442)을 포함하고, 제1 및 제2 전극(42, 44)의 제2 전극층(420, 440)이 각기 제1 도전층(402a) 및 제2 도전층(402b)을 구비하는 것을 예시하였다. 이때, 제1 전극(42)의 제1 또는 제2 전극층(420, 422)과 제2 전극(44)의 제1 또는 제2 전극층(440, 442)은 서로 동일할 수도 있고, 서로 다른 물질, 조성, 두께 등을 가질 수 있다.

[0117] 그러나 제1 및 제2 전극(42, 44)이 중 적어도 하나만 제1 전극층(420, 440) 및 제2 전극층(422, 442)을 포함하고, 제1 및 제2 전극(42, 44) 중 적어도 하나의 제2 전극층(422, 442)만이 제1 도전층(402a) 및 제2 도전층(402b)을 구비할 수 있다. 일 예로, 제1 광전 변환부(110)에 직접 접촉하는 제1 전극(42)의 제2 전극층(422)이 제1 및 제2 도전층(402a, 402b)을 구비하고, 제2 전극(44)의 제2 전극층(442)은 이와 다른 구조를 가질 수 있다. 그 외의 다양한 변형이 가능하다.

[0118] 또한, 상술한 실시예에서는 제1 또는 제2 전극(44)의 제2 전극층(422, 442)이 제1 및 제2 도전층(402a, 402b)을 구비하여 저온에서 형성되는 것을 예시하였으나, 본 발명이 이에 한정되는 것은 아니다. 제1 또는 제2 전극(44)의 제2 전극층(422, 442)을 스퍼터링에 의하여 형성한 스퍼터링층으로 구성될 수도 있다. 이때, 제2 전극층(422, 442)을 형성하는 공정의 온도가 150℃ 이하(일 예로, 100℃ 내지 145℃)일 수 있고, 제2 전극층(422, 442)이 원하는 패턴을 가지도록 마스크 또는 마스크층이 구비된 상태에서 스퍼터링을 하여 제2 전극층(422, 442)을 형성할 수 있다. 또한, 제2 전극층(422, 442)이 스퍼터링에 의하여 형성된 스퍼터링층 위에 스퍼터링 또는 도금(일 예로, 전해 도금)에 의하여 형성된 추가 도전층을 더 포함할 수도 있다. 그 외에 150℃ 이하에서 수행되는 다양한 공정에 의하여 본 실시예에 따른 제1 또는 제2 전극(44)의 제2 전극층(422, 442)을 형성할 수 있다.

[0119] 또는, 본 실시예에서 제2 전극층(422, 442)이 도금(일 예로, 전해 도금)에 의하여 형성된 도금층을 포함할 수 있다. 이하에서는 도 5 내지 도 8을 참조하여 도금층을 포함하는 제2 전극층(422, 442)을 포함하는 태양 전지(100) 및 이의 제조 방법을 상세하게 설명한다. 상술한 설명과 동일 또는 극히 유사한 부분에 대해서는 상세한 설명을 생략하고 서로 다른 부분에 대해서만 상세하게 설명한다. 그리고 상술한 실시예 또는 이를 변형한 예와

아래의 실시예 또는 이를 변형한 예들을 서로 결합한 것 또한 본 발명의 범위에 속한다.

- [0120] 도 5는 본 발명의 다른 실시예에 다른 태양 전지를 도시한 단면도이다.
- [0121] 도 5를 참조하면, 본 실시예에서는 제1 및 제2 전극(42, 44)(특히, 제2 전극층(422, 442))이 도금층(402c)을 포함할 수 있다. 일 예로, 제2 전극층(422, 442)이 도금층(402c)으로 구성되어 저온 공정(일 예로, 150℃ 이하의 저온 공정)에 의하여 형성될 수 있다.
- [0122] 제1 전극(42)은 광전 변환부(110, 120) 위에 차례로 적층되는 제1 전극층(420) 및 제2 전극층(422)을 포함할 수 있다. 일 예로, 제1 전극층(420)은 제1 광전 변환부(110)(좀더 구체적으로, 제1 전달층(114)) 위에서 전체적으로 형성(일 예로, 접촉)될 수 있다. 제1 전극층(420) 위에 제2 전극층(422)이 형성(일 예로, 접촉)될 수 있다. 제2 전극층(422)은 제1 전극층(420)보다 우수한 전기 전도도를 가지는 물질로 구성될 수 있다. 이에 의하여 제2 전극층(422)에 의한 캐리어 수집 효율, 저항 저감 등의 특성을 좀더 향상할 수 있다. 일 예로, 제2 전극층(422)은 우수한 전기 전도도를 가지는 불투명한 또는 제1 전극층(420)보다 투명도가 낮은 금속으로 구성될 수 있다.
- [0123] 이와 유사하게, 제2 전극(44)은 제2 광전 변환부(120) 위에 차례로 적층되는 제1 전극층(440) 및 제2 전극층(442)을 포함할 수 있다. 일 예로, 제2 전극(44)의 제1 전극층(440)은 제2 광전 변환부(120)(좀더 구체적으로, 제2 도전형 영역(126)) 위에서 전체적으로 형성(일 예로, 접촉)될 수 있다. 비정질 반도체층으로 구성되는 제2 도전형 영역(126)의 결정성이 상대적으로 낮아 캐리어의 이동도(mobility)가 낮을 수 있으므로, 제1 전극층(440)을 구비하여 캐리어가 수평 방향으로 이동할 때의 저항을 저하시키는 것이다. 제2 전극(44)의 제2 전극층(442)은 제1 전극층(440) 위에 형성(일 예로, 접촉)하여 일정한 패턴을 가질 수 있다.
- [0124] 이하에서는 도 5의 확대원을 참조하여 제1 및/또는 제2 전극(42, 44)에서 도금층(402c)을 포함하거나 도금층(402c)으로 구성되는 제2 전극층(422, 442)(이하, 제2 전극층(402))을 상세하게 설명한다. 도 5의 확대원에서는 제2 전극층(402)으로 제1 전극(42)에 포함된 제2 전극층(422)을 일 예로 도시하였으나, 제2 전극(44)에 포함된 제2 전극층(442)에도 이와 동일한 설명이 그대로 적용될 수 있다.
- [0125] 본 실시예에서는 제2 전극층(402)은 도금층(402c)으로 구성될 수 있다. 일 예로, 제2 전극층(402)이 단일의 도금층(402c)으로 구성되고 단일의 도금층(402c)이 제1 전극층(420, 440)에 접촉하여 형성될 수 있다. 이에 따라 제2 전극층(402)은 유리 프린트, 수지 등을 포함하지 않고 도금에 의하여 형성되어 대부분이 금속으로 구성된 도금층(402c)으로서, 연속적인 형상을 가질 수 있다.
- [0126] 제2 전극층(402)이 도금층(402c)을 포함하는지 여부는 제2 전극층(402)의 성분 분석(예를 들어, 에너지 분산형 X선 분광 분석법 등에 의한 성분 분석), 주사 전자 현미경 사진 등에서의 형상 등으로부터 판별할 수 있다. 즉, 제2 전극층(402)이 대부분 금속으로 구성되며 1μm 이상의 두께(일 예로, 5μm 이상의 두께)를 가지거나, 및/또는 적어도 일부에 곡면을 구비하면 도금층(402c)으로 판별할 수 있다. 스퍼터링으로 금속 전극층을 형성하면 대부분 금속으로 구성되는 것은 도금층(402c)과 유사하나, 스퍼터링으로 1μm 이상의 두께(일 예로, 5μm 이상의 두께)를 구현하기는 어렵다. 그리고 도금(일 예로, 전해 도금)층은 모든 방향에서 동일 또는 유사한 성장 속도로 성장하는 등방성 성장에 의하여 형성되므로 곡면을 가지는 부분을 포함할 수 있다. 도 5의 확대원에 도시한 바와 같이, 제2 전극층(402)의 상부 부분은 곡면으로 구성될 수 있다. 본 실시예에서는 레지스트 패턴(도 7b의 참조부호 430, 이하 동일)의 개구부(도 7b의 참조부호 430a, 이하 동일) 내에서 도금에 의하여 제2 전극층(402)을 형성하여 제2 전극층(402)에서 하부 부분(제1 전극층(420, 440)에 인접한 부분)에서는 실질적으로 평면으로 구성된 측벽(수직 측벽)을 가지고 상부 부분(제1 전극층(420, 440)과 이격되어 외부로 향한 부분)은 측벽으로부터 외측 방향으로 약간 돌출되는 부분을 가지면서 곡면 형상을 가질 수 있다. 이는 제조 공정 시 도금에 의하여 레지스트 패턴(430) 위까지 제2 전극층(402)이 형성될 경우 제2 전극층(402)이 가질 수 있는 형상인데, 이러한 형상을 가지면 도금층(402c)으로 판단할 수 있다. 그러나 본 발명이 이에 한정되는 아니며 도금층(402c)으로 구성된 제2 전극층(402)이 다양한 형상을 가질 수 있다.
- [0127] 일 예로, 제2 전극층(402) 또는 도금층(402c)의 두께가 10μm 이상(일 예로, 10μm 내지 50μm)일 수 있다. 일 예로, 제2 전극층(402) 또는 도금층(402c)의 두께가 10μm 미만이면 전기 전도도가 우수하지 않을 수 있고, 제2 전극층(402) 또는 도금층(402c)의 두께가 50μm를 초과하면 공정 시간이 길어질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제2 전극층(402) 또는 도금층(402c)이 상술한 범위와 다른 두께를 가질 수 있다.
- [0128] 제2 전극층(402) 또는 도금층(402c)이 다양한 금속을 포함할 수 있다. 일 예로, 제2 전극층(402)이 은(Ag)을 포함하는 단일의 도금층(402c)으로 구성될 수 있다. 그러면, 은의 우수한 전기 전도도에 의하여 제2 전극층(402)

의 전기적 특성을 효과적으로 향상할 수 있다. 그러나 제2 전극층(402)이 은, 구리, 알루미늄, 주석, 금, 백금, 또는 이를 포함하는 합금으로 구성되는 단일의 도금층(402c)으로 형성될 수 있다. 또는, 제2 전극층(402)이 적어도 하나의 도금층을 포함하는 복수의 층을 포함할 수 있는데 이에 대해서는 추후에 도 8을 참조하여 상세하게 설명한다. 그 외에도 제2 전극층(402)이 다양한 형상, 물질, 적층 구조 등을 가질 수 있다.

- [0129] 상술한 구조를 가지는 태양 전지(100)의 제조 방법을 도 6, 그리고 도 7a 내지 도 7d를 참조하여 상세하게 설명한다.
- [0130] 도 6은 도 5에 도시한 태양 전지(100)의 제조 방법을 도시한 흐름도이고, 도 7a 내지 도 7d는 도 5에 도시한 태양 전지(100)의 제조 방법을 도시한 단면도들이다.
- [0131] 도 6을 참조하면, 본 실시예에 따른 태양 전지(100)의 제조 방법은, 제2 광전 변환부(120)를 형성하는 단계(ST10), 보호층(제2 전극(44)의 제1 전극층(440))을 형성하는 단계(ST20), 집합층(110a)을 형성하는 단계(ST30), 제1 광전 변환부(110)를 형성하는 단계(ST40), 제1 전극(42)의 제1 전극층(420)을 형성하는 단계(ST50), 그리고 제2 전극층(402)을 형성하는 단계(ST60)를 포함한다. 여기서, 제2 전극층(402)을 형성하는 단계(ST60)는, 레지스트 패턴(430)을 형성하는 단계(ST65), 도금층(402c)을 형성하는 단계(ST66) 및 레지스트 패턴(430)을 제거하는 단계(ST67)를 포함할 수 있다.
- [0132] 도 7a에 도시한 바와 같이, 제2 광전 변환부(120)를 형성하는 단계(ST10), 보호층(제2 전극(44)의 제1 전극층(440))을 형성하는 단계(ST20), 집합층(110a)을 형성하는 단계(ST30), 제1 광전 변환부(110)를 형성하는 단계(ST40), 제1 전극(42)의 제1 전극층(420)을 형성하는 단계(ST50)를 차례로 수행한다. 이에 대해서는 도 4a 내지 도 4e를 참조한 설명이 그대로 적용될 수 있는 바 상세한 설명을 생략한다.
- [0133] 이어서, 도 7b 내지 도 7d에 도시한 바와 같이, 제2 전극층(402)을 형성하는 단계(ST60)에서는 제1 및 제2 전극(42, 44)의 제2 전극층(402)을 형성한다. 이하에서는 제1 및 제2 전극(42, 44)의 제2 전극층(402)이 각기 도금층(402c)을 구비하고, 제1 및 제2 전극(42, 44)의 도금층(402c)을 형성하기 위한 레지스트 패턴(430)을 동시에 형성하고 제1 및 제2 전극(42, 44)의 도금층(402c)을 동시에 형성하고 제1 및 제2 전극(42, 44)의 도금층(402c)을 형성하기 위한 레지스트 패턴(430)을 동시에 제거하는 것을 예시하였다. 그러나 본 발명은 이에 한정되는 것이 아니며 다양한 변형이 가능하다.
- [0134] 먼저, 도 7b에 도시한 바와 같이, 레지스트 패턴(430)을 형성하는 단계(ST65)에서는 제2 전극층(402)이 형성될 부분에 개구부(430a)를 구비하는 레지스트 패턴(430)을 형성한다. 예를 들어, 개구부(430a)를 제외한 부분에 레지스트 페이스트를 인쇄 등으로 도포하고 열처리 또는 건조하여 레지스트 패턴(430)을 형성할 수 있다. 레지스트 페이스트, 레지스트 패턴(430) 등으로는 알려진 다양한 물질을 포함할 수 있다. 또는, 레지스트 페이스트를 전체적으로 형성한 후에 개구부(430a)를 형성하여 개구부(430a)를 구비하는 레지스트 패턴(430)을 형성할 수도 있다. 그 외의 다양한 변형이 가능하다.
- [0135] 이어서, 도 7c에 도시한 바와 같이, 도금층(402c)을 형성하는 단계(ST66)에서는 도금 공정을 수행하여 개구부(430a)를 채우는 도금층(402c)을 형성한다. 도금으로는 실온에서 수행되거나 저온(일 예로, 150℃ 이하의 온도)에서 수행되는 전해 도금을 사용할 수 있다.
- [0136] 이때, 도금층(402c)의 두께가 레지스트 패턴(430)의 두께보다 클 수 있는데, 이 경우에 도금층(402c)은 하부 부분이 개구부(430a)를 채우고 상부 부분이 레지스트 패턴(430)의 외부를 향해 불록하게 돌출되는 곡면 형상을 가질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 도금층(402c)이 다양한 형상을 가질 수 있다.
- [0137] 이어서, 도 7d에 도시한 바와 같이, 레지스트 패턴(430)을 제거하는 단계(ST67)에서는 레지스트 패턴(430)을 제거하여 개구부(430a)에 대응하는 패턴을 가지는 제2 전극층(402)을 형성을 완료한다. 레지스트 패턴(430)은 다양한 방법에 의하여 제거될 수 있는데, 예를 들어, 알칼리 용액(일 예로, 수산화칼륨 용액, 수산화나트륨 용액 등)을 이용하여 제거될 수 있다. 평면으로 구성된 레지스트 패턴(430)의 측면에 의하여 제2 전극층(402)의 하부 부분은 평면으로 구성된 측벽을 구비하고 제2 전극층(402)의 상부 부분은 도금 특성에 따라 전방 및 측방을 향해 불록하게 돌출되는 곡면 형상을 가질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제2 전극층(402) 또는 도금층(402c)이 다양한 형상을 가질 수 있다.
- [0138] 이와 같이 본 실시예에서 레지스트 패턴(430)을 형성하는 단계(ST65), 도금층(402c)을 형성하는 단계(ST66) 및 레지스트 패턴(430)을 제거하는 단계(ST67)는 저온(일 예로, 150℃ 이하의 온도)에서 수행될 수 있다. 이에 의하여 제2 전극층(402)을 구비하는 제1 전극(42) 및 제2 전극(44)을 간단한 공정으로 저온에서 형성할 수 있다. 이에 의하여 전극(42, 44) 형성 시 페로브스카이트 화합물 등의 열화에 의한 태양 전지(100)의 특성 저하를 방

지할 수 있다. 그리고 제2 전극층(402)이 단순한 구조 및 우수한 전기 전도도를 가져 태양 전지(100)의 제조 공정을 단순화하고 태양 전지(100)의 효율을 향상할 수 있다.

[0139] 상술한 실시예에서는 제1 및 제2 전극(42, 44)이 각기 제1 전극층(420, 440) 및 제2 전극층(422, 442)을 포함하고, 제1 및 제2 전극(42, 44)의 제2 전극층(420, 440)이 각기 도금층(402c)을 구비하는 것을 예시하였다. 이때, 제1 전극(42)의 제1 또는 제2 전극층(420, 422)과 제2 전극(44)의 제1 또는 제2 전극층(440, 442)은 서로 동일할 수도 있고, 서로 다른 물질, 조성, 두께 등을 가질 수 있다.

[0140] 그러나 제1 및 제2 전극(42, 44)이 중 적어도 하나만 제1 전극층(420, 440) 및 제2 전극층(422, 442)을 포함하고, 제1 및 제2 전극(42, 44) 중 적어도 하나의 제2 전극층(422, 442)만이 도금층(402c)을 구비할 수 있다. 그 외의 다양한 변형이 가능하다.

[0141] 또한, 상술한 실시예에서는 제1 또는 제2 전극(42, 44)의 제2 전극층(422, 442)이 단일의 도금층(402c)을 구비하는 것을 예시하였으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 도 8에 도시한 바와 같이, 제1 또는 제2 전극(42, 44)의 제2 전극층(402)이 복수의 금속층(402d, 402e, 402f)을 포함할 수 있고, 복수의 금속층(402d, 402e, 402f) 중 적어도 하나가 도금층일 수 있다.

[0142] 도 8을 참조하면, 제2 전극층(402)이 광전 변환부(110, 120) 위에 형성(일 예로, 접촉 형성)되는 배리어 금속층(402d), 배리어 금속층(402d) 위에 형성(일 예로, 접촉 형성)되는 도전 금속층(402e), 그리고 도전 금속층(402e) 위에 형성(일 예로, 접촉 형성)되는 솔더 금속층(402f)을 포함할 수 있다. 여기서, 배리어 금속층(402d), 도전 금속층(402e) 및 솔더 금속층(402f) 중 적어도 하나가 도금층으로 구성될 수 있다. 예를 들어, 배리어 금속층(402d), 도전 금속층(402e) 및 솔더 금속층(402f)이 각기 도금층으로 구성될 수 있다. 또는, 배리어 금속층(402d)이 스퍼터링층으로 구성되고, 도전 금속층(402e) 및 솔더 금속층(402f)이 각기 도금층으로 구성될 수 있다. 이와 같은 스퍼터링층 및 도금층은 저온 공정(공정 온도가 150℃ 이하(일 예로, 100℃ 내지 145℃)에 의하여 형성될 수 있으므로, 페로브스카이트 화합물의 열화에 의한 태양 전지(100)의 특성, 효율 등이 저하를 방지할 수 있다.

[0143] 도전 금속층(402e)은 복수의 금속층(402d, 402e, 402f) 중에서 가장 큰 두께를 가지는 부분으로 제2 전극층(402c)의 저항을 낮추는 역할을 할 수 있다. 일 예로, 도전 금속층(402e)은 구리를 포함하는 도금층으로 구성될 수 있는데, 이에 의하면 우수한 저항, 낮은 재료 비용 등의 효과가 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 도전 금속층(402e)은 은, 알루미늄, 주석, 금, 백금, 또는 이를 포함하는 합금을 포함할 수 있다.

[0144] 배리어 금속층(402d)은 도전 금속층(402e)에 포함된 금속이 원하지 않게 광전 변환부(110, 120)로 확산되는 것을 방지하기 위한 배리어 역할을 할 수 있다. 배리어 금속층(402d)으로는 니켈, 티타늄 등을 포함할 수 있으나 본 발명이 이에 한정되는 것은 아니다. 배리어 금속층(402d)은 도금층으로 구성될 수도 있고 스퍼터링층으로 구성될 수도 있다. 도 8에서는 배리어 금속층(402d)의 표면이 텍스처링에 의한 요철을 따라 이에 대응하는 요철을 가지는 것을 예시하였다. 그러나 본 발명이 이에 한정되는 것은 아니며 배리어 금속층(402d)의 표면이 텍스처링에 의한 요철에 대응하는 요철을 구비하지 않아 평면, 곡면 등을 포함할 수 있다.

[0145] 솔더 금속층(402f)은 솔더링 특성을 향상할 수 있는 다양한 금속을 포함할 수 있다. 예를 들어, 솔더 금속층(402f)이 주석, 니켈-바나듐 합금 등을 포함할 수 있으나 본 발명이 이에 한정되는 것은 아니다.

[0146] 복수의 금속층(402d, 402e, 402f)은 상술한 금속층 이외의 다른 금속층을 더 포함할 수도 있고, 배리어 금속층(402d), 도전 금속층(402e) 및 솔더 금속층(402f) 중 적어도 하나를 포함하지 않을 수도 있다.

[0147] 이와 같이 복수의 금속층(402d, 402e, 402f)을 포함하는 제2 전극층(402)은, 레지스트 패턴을 형성하는 단계(도 6의 참조부호 ST65, 이하 동일)와 레지스트 패턴을 제거하는 단계(도 6의 참조부호 ST67, 이하 동일) 사이에서 수행되는 도금층을 형성하는 단계(도 6의 참조부호 ST66, 이하 동일)에서 복수의 금속층(402d, 402e, 402f)에 대응하는 복수의 도금층을 차례로 형성하는 것에 의하여 형성될 수 있다. 또는, 복수의 금속층(402d, 402e, 402f)을 포함하는 제2 전극층(402)은, 레지스트 패턴을 형성하는 단계(ST65)와 레지스트 패턴을 제거하는 단계(ST67) 사이에 스퍼터링층(예를 들어, 배리어 금속층(402d))을 형성하는 단계 및 도금층(예를 들어, 도전 금속층(402e) 및 솔더 금속층(402f))을 형성하는 단계(ST66)를 수행하는 것에 의하여 형성될 수 있다. 또는, 복수의 금속층(402d, 402e, 402f)을 포함하는 제2 전극층(402)은, 스퍼터링층(예를 들어, 배리어 금속층(402d))을 형성하는 단계, 레지스트 패턴을 형성하는 단계(ST65), 도금층(예를 들어, 도전 금속층(402e) 및 솔더 금속층(402f))을 형성하는 단계(ST66) 및 레지스트 패턴을 제거하는 단계(ST67)를 수행하는 것에 의하여 형성될 수 있다. 이 경우에 배리어 금속층(402d)은 전체적으로 형성될 수도 있고, 도전 금속층(402e) 및 솔더 금속층(402f)

과 동일한 패턴을 가지도록 형성될 수도 있다.

[0148] 상술한 실시예에서는 레지스트 패턴(430)을 이용하여 일정한 패턴을 가지는 도금층을 형성하는 것을 예시하였으나 본 발명이 이에 한정되는 것은 아니다. 전체적으로 도금층을 형성한 이후에 일정한 패턴 이외의 부분을 제거하는 공정을 수행하여 일정한 패턴을 가지는 도금층을 형성할 수도 있다. 그 외의 다양한 변형이 가능하다.

[0150] 이하, 본 발명의 실험예에 의하여 본 발명을 좀더 상세하게 설명한다. 그러나 본 발명의 실험예는 본 발명을 예시하기 위한 것에 불과하며, 본 발명이 이에 한정되는 것은 아니다.

[0151] 실시예 1

[0152] 도 4a 내지 도 4e에 도시한 바에 따라 도 1에 도시한 구조에 따른 제2 광전 변환부, 집합층 및 제1 광전 변환부, 제1 및 제2 전극의 제1 전극층을 형성하였다. 제1 및 제2 전극의 제1 전극층 위에 복수의 은 입자 및 수지를 포함하는 페이스트를 13um의 두께로 일정한 패턴을 가지도록 도포하고 125℃의 온도에서 소성하여 제1 도전층을 형성하였다. 이 위에 구리로 전해 도금을 하여 2um 두께의 제2 도전층을 형성하였다. 이에 의하여 태양 전지를 제조하였다.

[0153] 비교예 1

[0154] 제1 도전층을 15um의 두께로 형성하고 제2 도전층을 구비하지 않았다는 점을 제외하고는, 실시예 1과 동일한 방법으로 태양 전지를 제조하였다.

[0155] 비교예 2

[0156] 실시예 1과 동일한 페이스트를 패턴을 가지도록 15um의 두께로 도포하고 187℃의 온도에서 소성 또는 경화하여 제1 도전층을 형성하고 제2 도전층을 구비하지 않았다는 점을 제외하고는, 실시예 1과 동일한 방법으로 태양 전지를 제조하였다.

[0158] 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 태양 전지의 제2 전극층의 주사 전자 현미경 사진을 촬영하여 이를 도 9에 첨부하였다. 여기서, 도 9의 (a)이 실시예 1, (b)이 비교예 1, (c)이 비교예 3에 따른 제2 전극층의 주사 전자 현미경 사진이다. 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 태양 전지의 충밀도를 측정된 그래프를 도 10에 첨부하였고, 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 태양 전지의 효율을 측정된 그래프를 도 11에 첨부하였다. 도 10 및 도 11에서는 비교예 1에 따른 태양 전지의 충밀도 및 효율을 100%로 한 상대값으로 표시하였다. 그리고 실시예 1에 따라 제조된 태양 전지의 제2 전극층의 내부의 다양한 위치에서 은과 구리를 검출하였는데, 제2 전극층의 내부의 다양한 위치에서 모두 은과 구리가 검출되었다.

[0159] 도 9를 참조하면, 제2 전극층 내부의 공극을 살펴보면, 실시예 1, 비교예 2 및 비교예 1의 순서로 공극이 많아지는 것을 알 수 있다. 비교예 1 및 2를 비교하면, 페이스트의 소성 또는 경화를 낮은 온도에서 수행하면 공극이 많아지는 것을 알 수 있다. 그리고 실시예 1에서는 150℃ 이하의 낮은 온도에서 소성 또는 경화를 하였음에도 공극이 거의 형성되지 않거나 공극이 매우 낮은 비율로 형성되었다. 제2 전극층의 내부의 다양한 위치에서 모두 구리가 검출된 것을 함께 고려하면 제2 도전층이 낮은 온도에서 소성 또는 경화되어 제1 도전층 내부에 형성된 공극을 제2 도전층이 효과적으로 채운 것을 알 수 있다.

[0160] 이에 따라 도 10 및 도 11에 나타난 바와 같이, 실시예 1은 비교예 1 및 2에 비하여 우수한 충밀도 및 효율을 가지는 것을 알 수 있다. 비교예 2에 따른 제2 전극층이 비교예 1에 따른 제1 전극층보다 낮은 공극 비율을 가지는 것에도 불구하고 비교예 1보다 낮은 충밀도 및 효율을 가진다. 이는 비교예 2에서와 같이 150℃를 초과하는 온도에서 열처리가 수행되면 페로브스카이트 화합물이 열화 또는 손상되었기 때문으로 예측된다.

[0161] 이에 페로브스카이트 화합물을 150℃를 초과하는 온도, 즉 비교예 1에서와 같은 187℃의 온도에서 열처리하면서 시간 경과에 따른 엑스레이 피크(x-ray peak)를 측정하여 그 결과를 도 12에 첨부하였다. 2θ가 14도 부근인 A 지점에서의 피크가 페로브스카이트 화합물의 결정 피크이고 2θ가 14도 부근인 B 지점에서의 피크가 페로브스카이트 화합물의 결정이 분해되면서 나타나는 피크이다. 열처리 시간이 증가할수록 A 지점의 피크가 점차적으로 줄어들고 B 지점의 피크가 점차적으로 증가하며, 5.5 시간이 경과한 이후에는 A 지점의 피크가 완전히 소멸하여 페로브스카이트 화합물의 결정 피크를 전혀 찾아볼 수 없고 B 지점의 피크만이 존재한다. 이로부터 150℃를 초과하는 온도에서의 열처리 공정에 의하여 페로브스카이트 화합물의 특성이 저하될 수 있음을 알 수 있다.

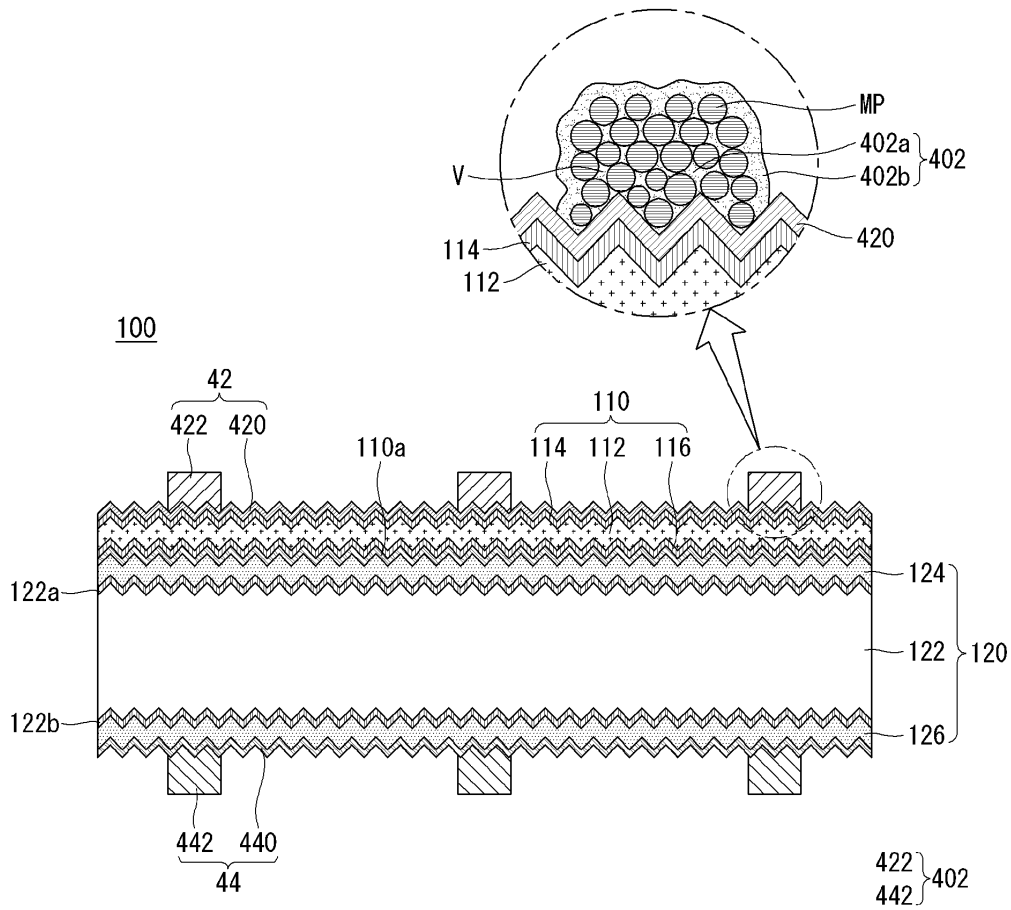
[0162] 상술한 바에 따른 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

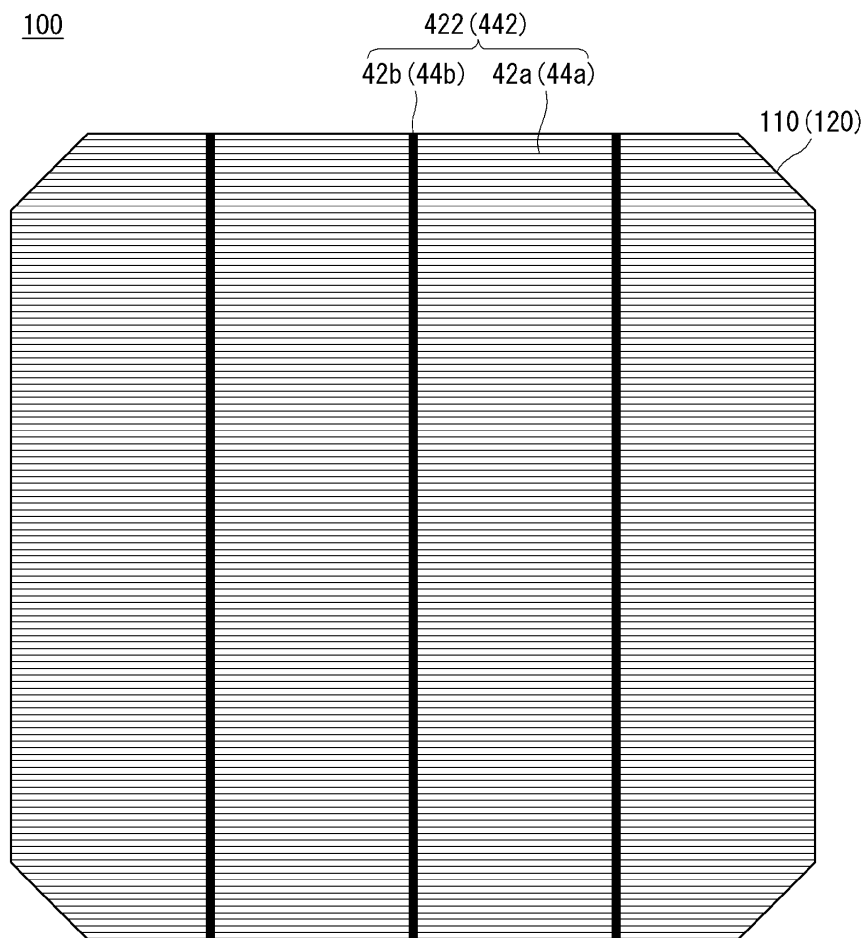
[0163] 100: 태양 전지
 110: 제1 광전 변환부
 120: 제2 광전 변환부
 110a: 접합층
 42: 제1 전극
 420, 440: 제1 전극층
 422, 442, 402: 제2 전극층
 402a: 제1 도전층
 402b: 제2 도전층

도면

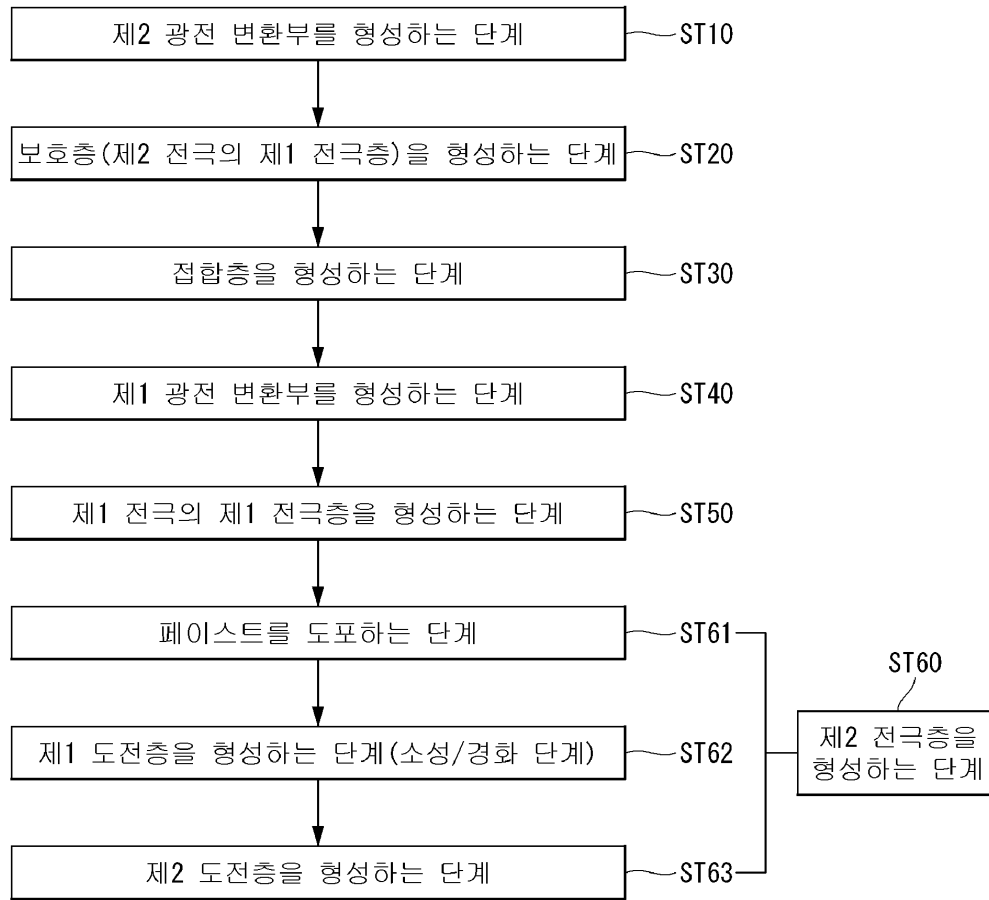
도면1



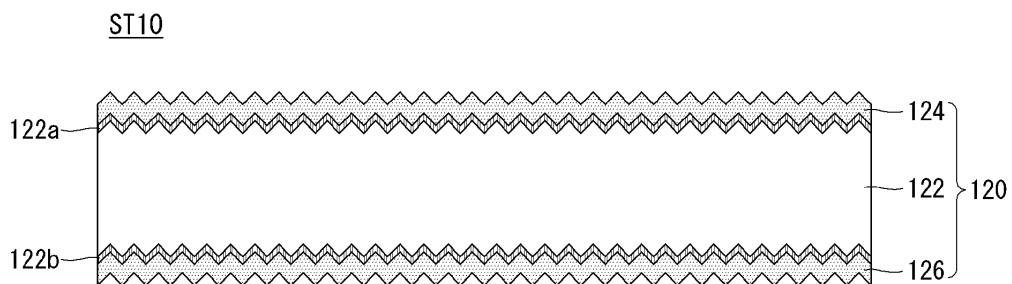
도면2



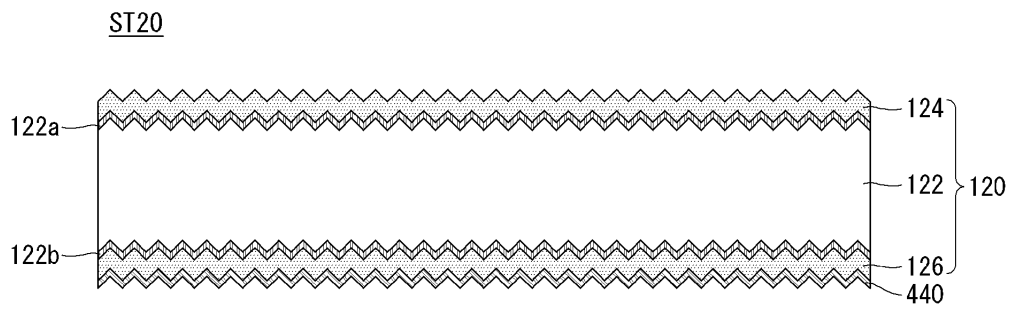
도면3



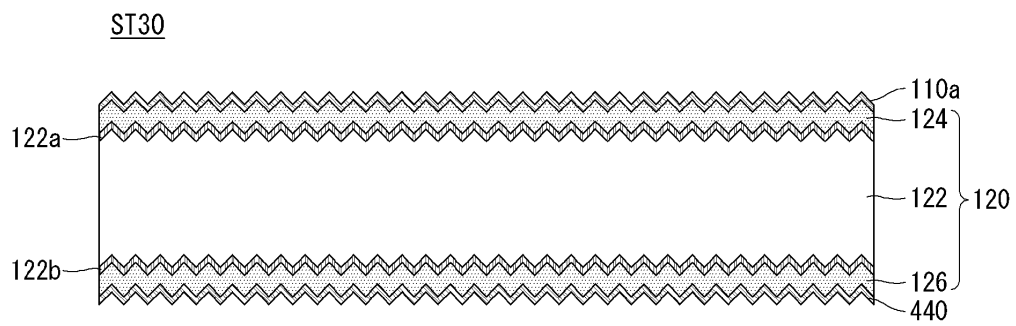
도면4a



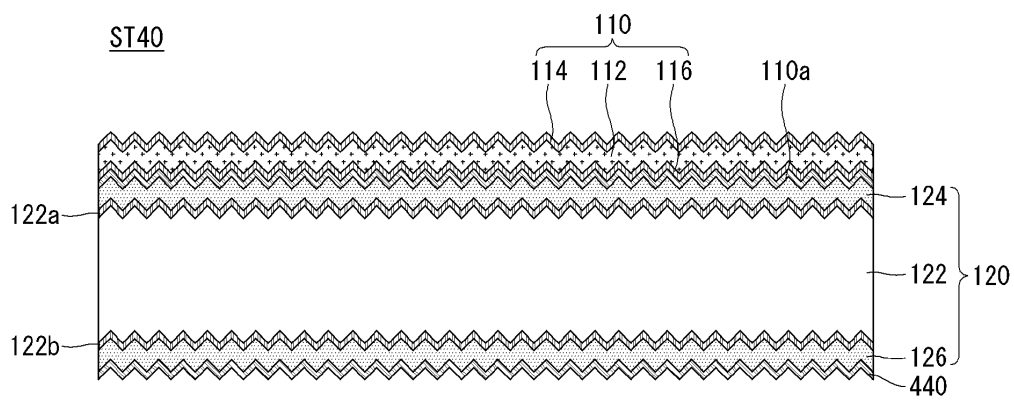
도면4b



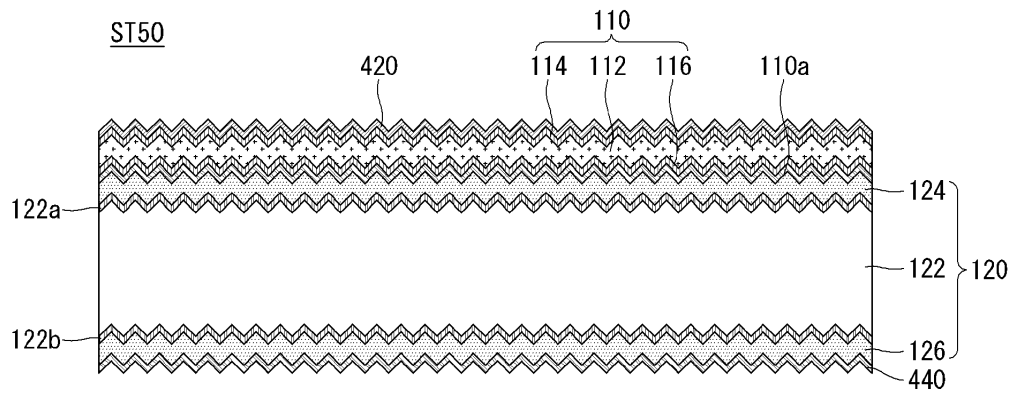
도면4c



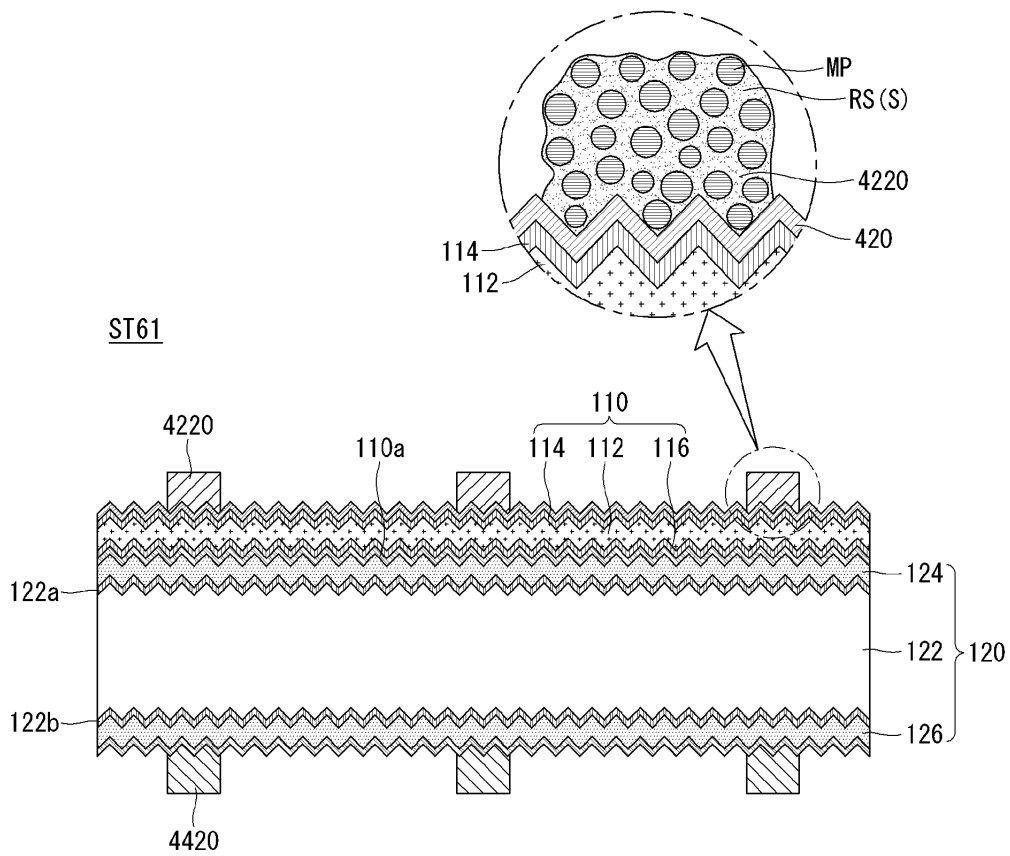
도면4d



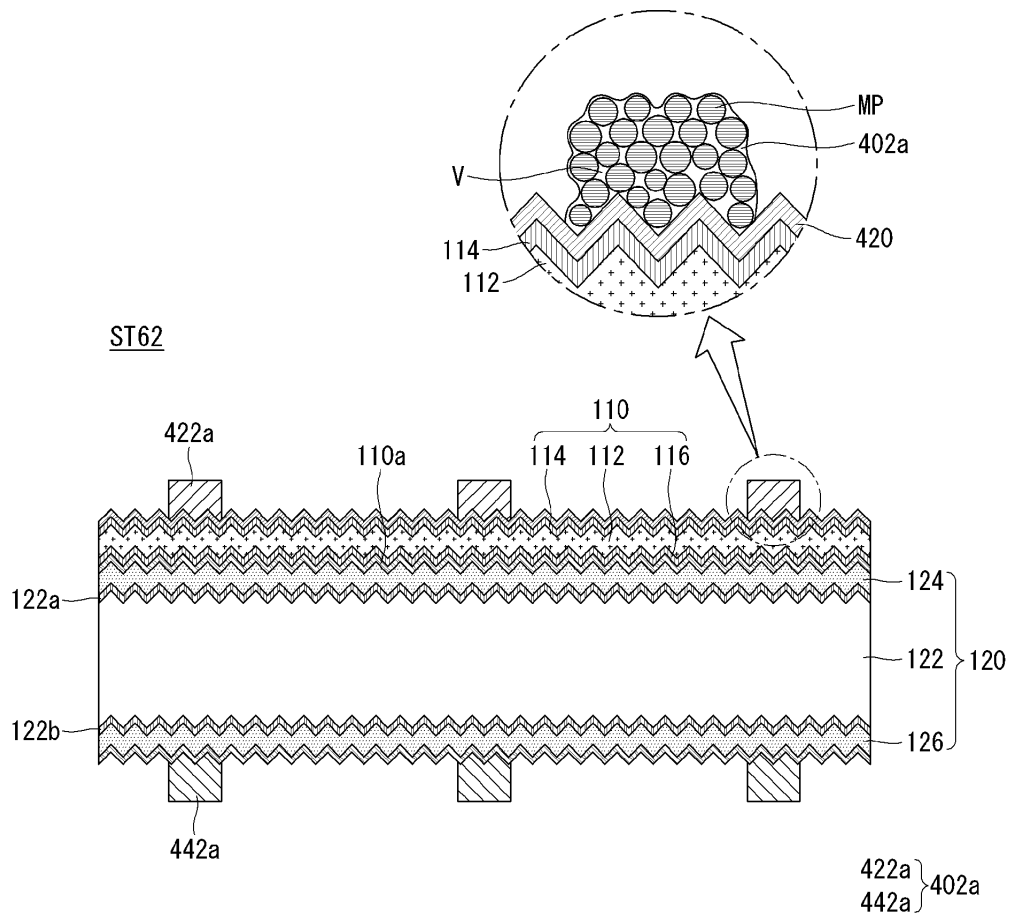
도면4e



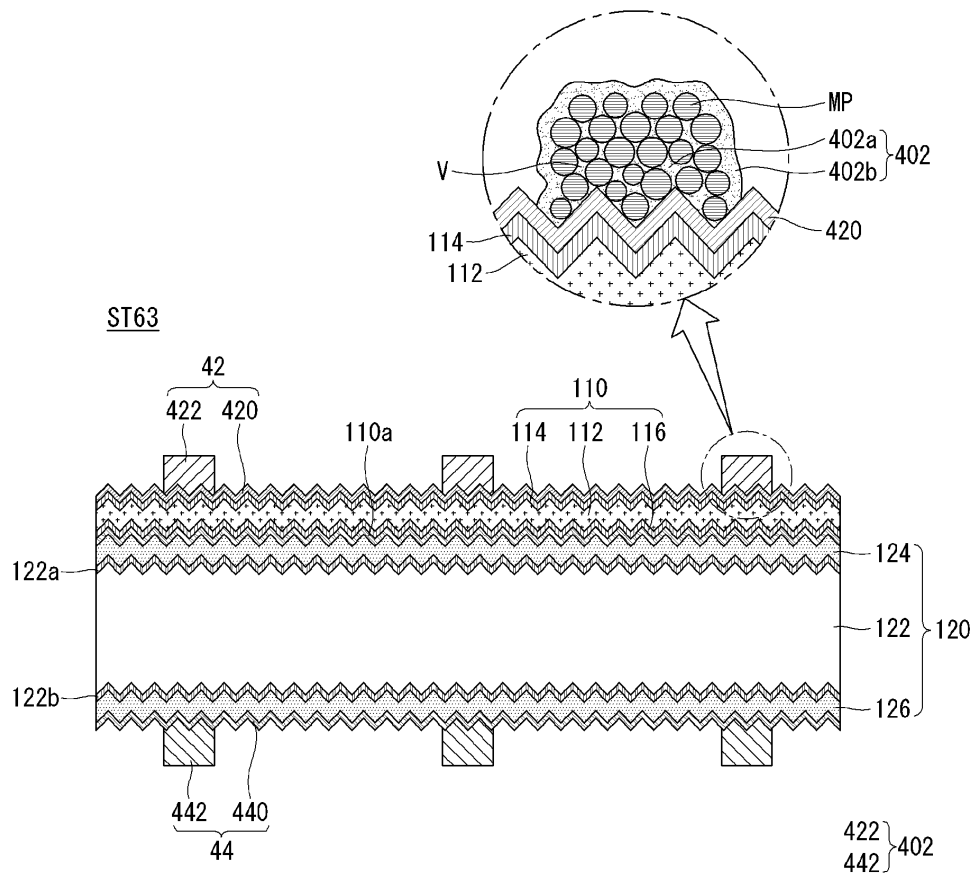
도면4f



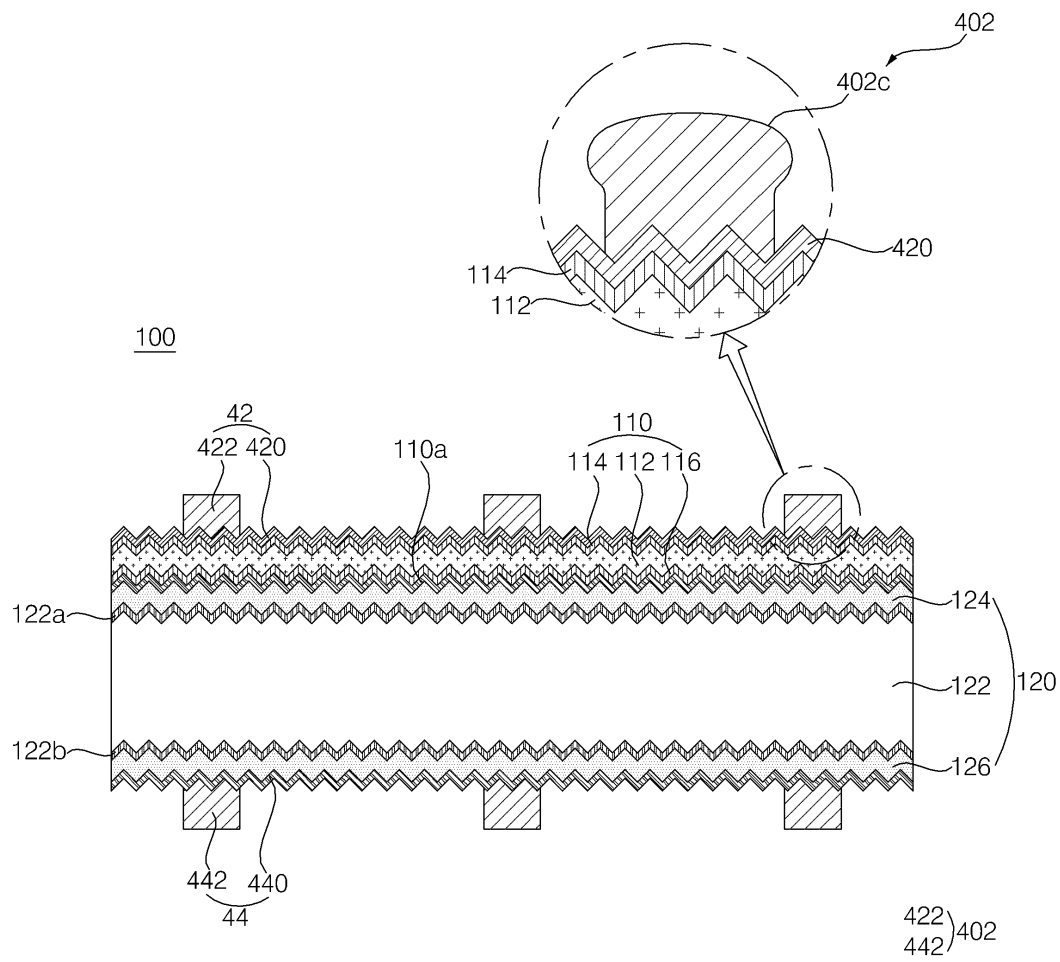
도면4g



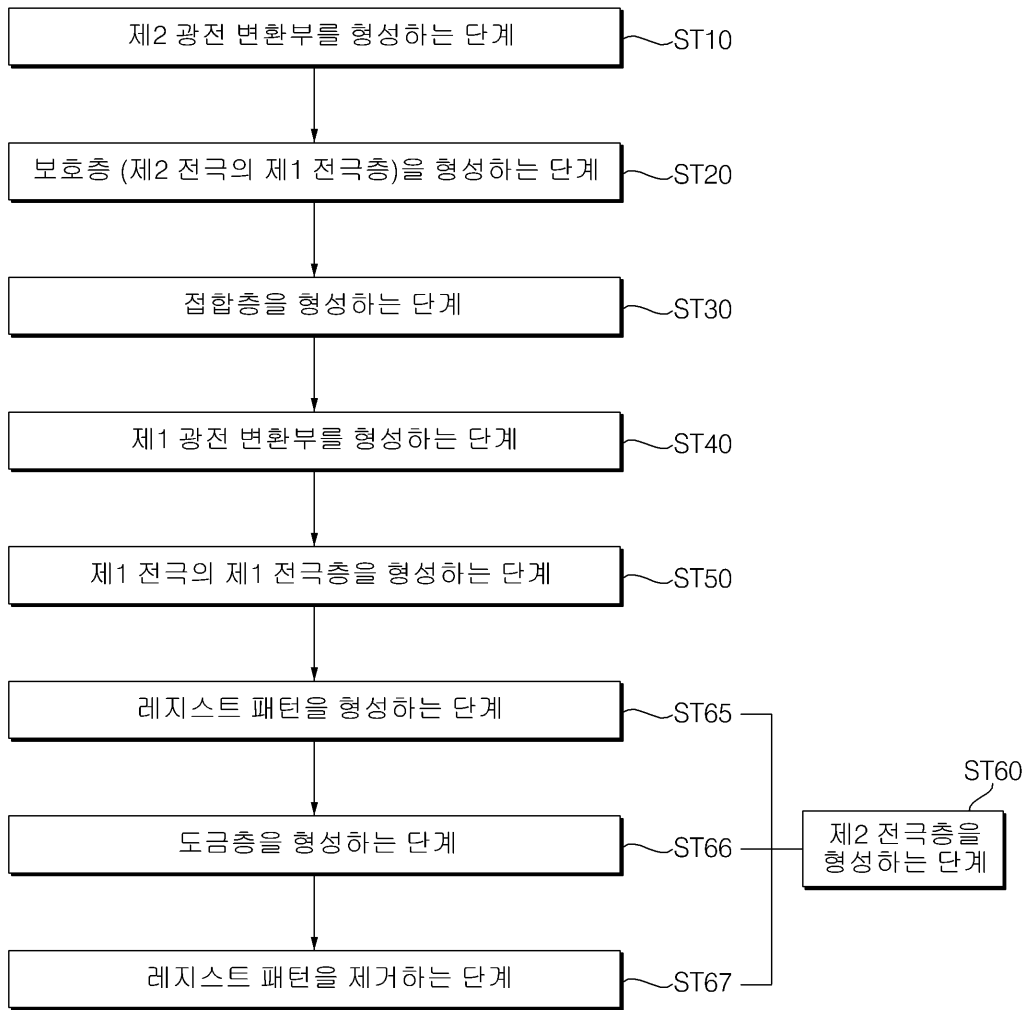
도면4h



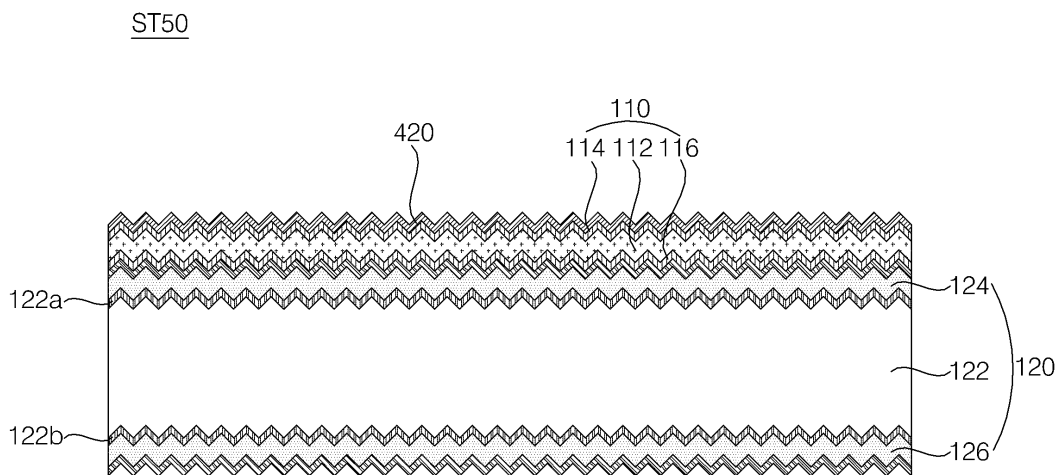
도면5



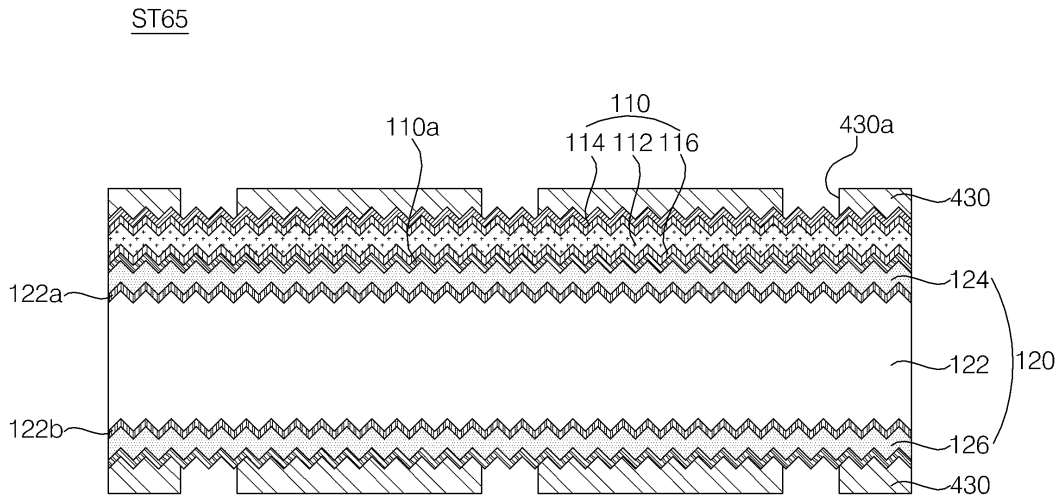
도면6



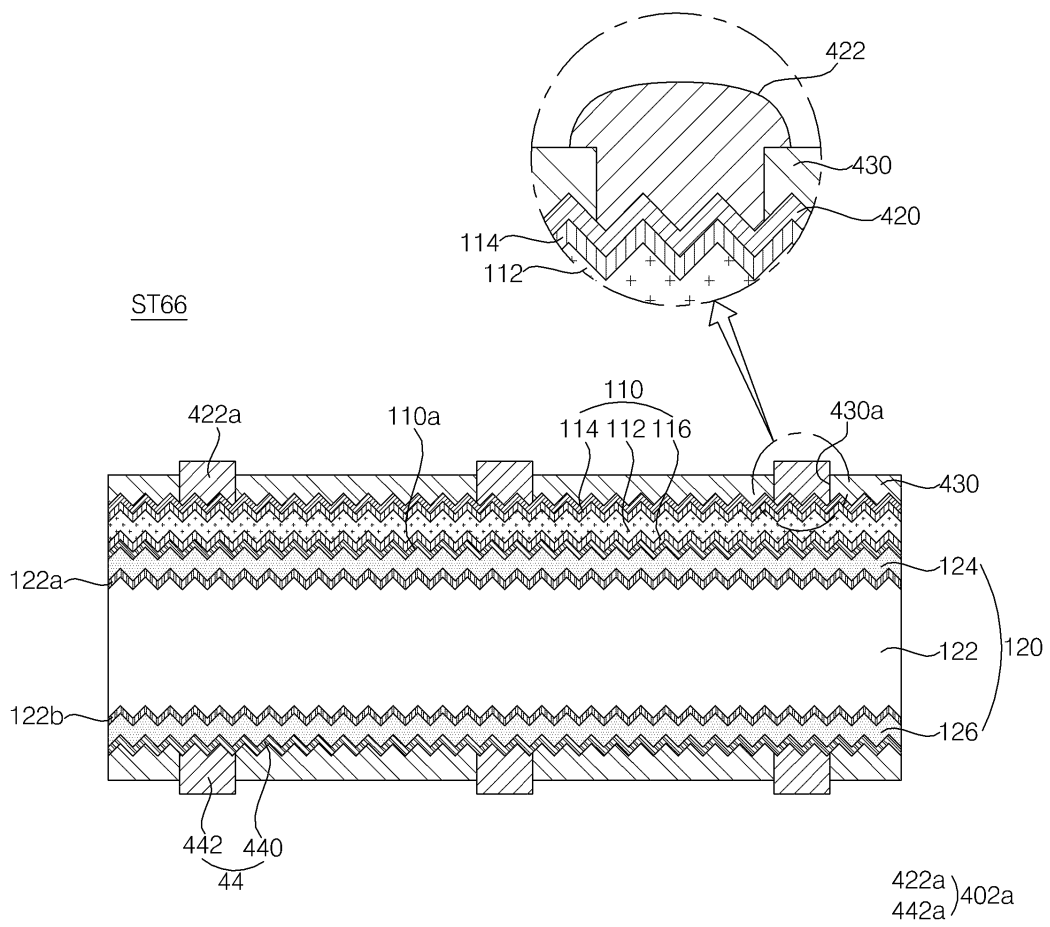
도면7a



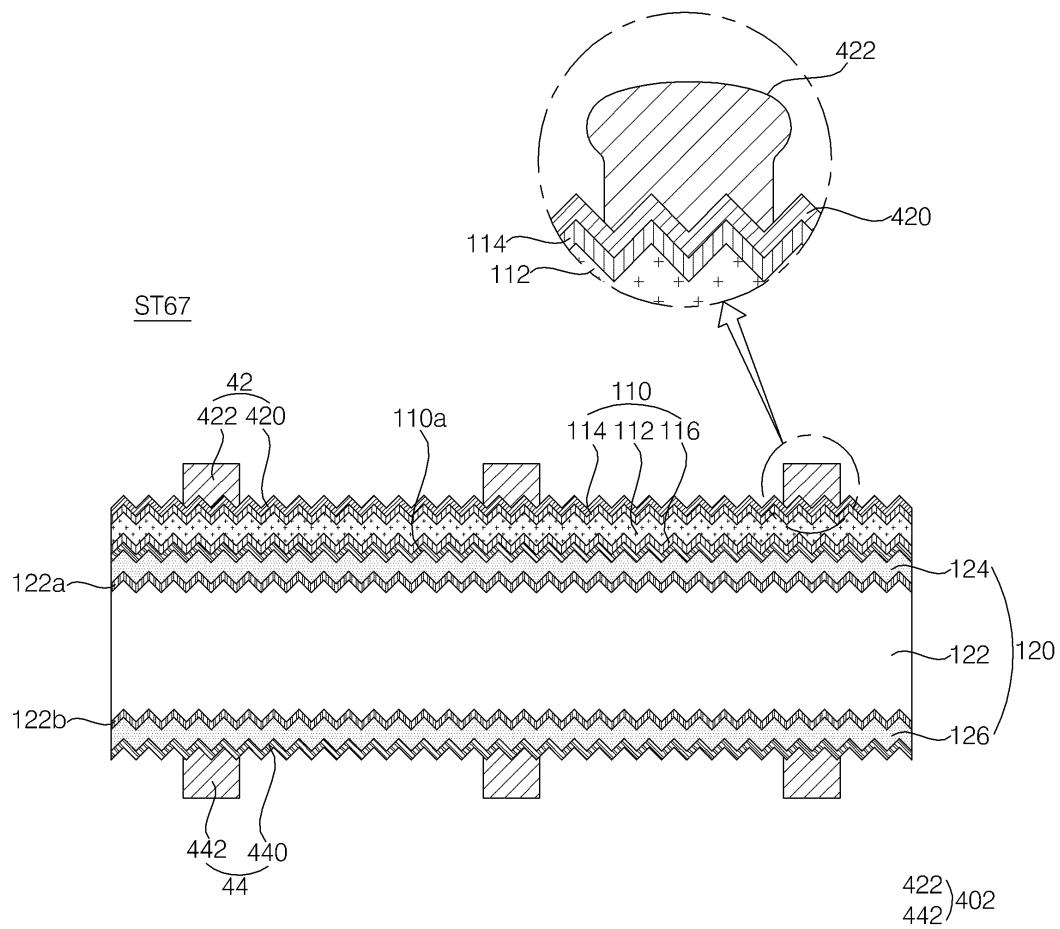
도면7b



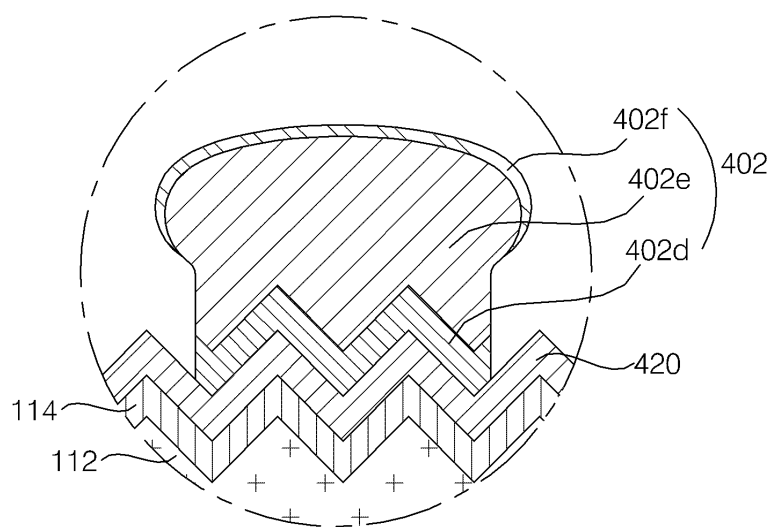
도면7c



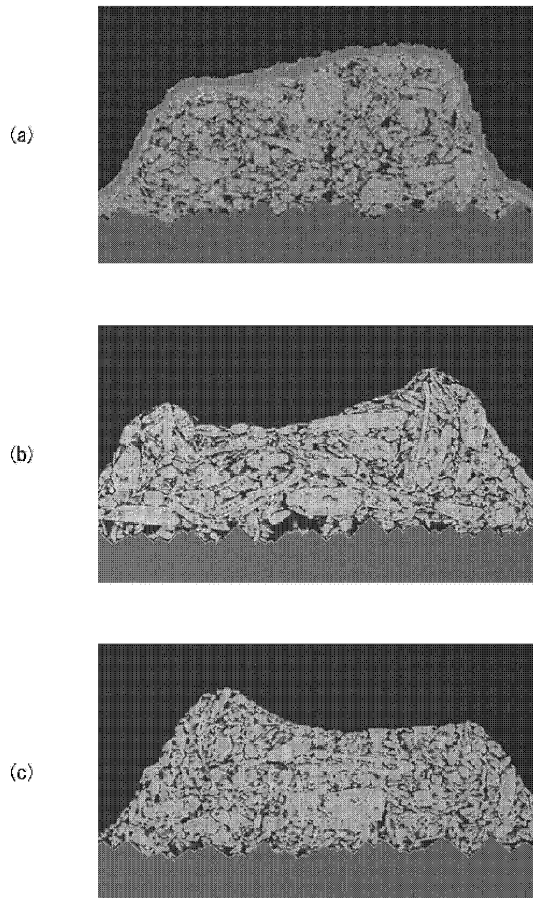
도면7d



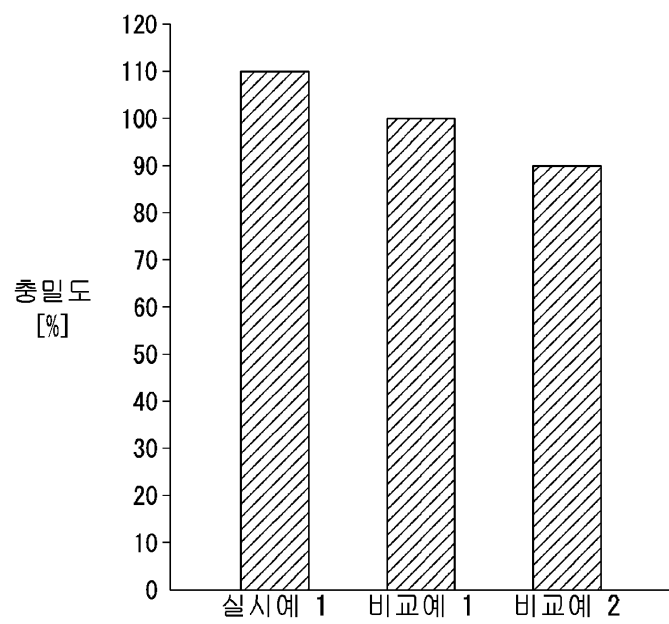
도면8



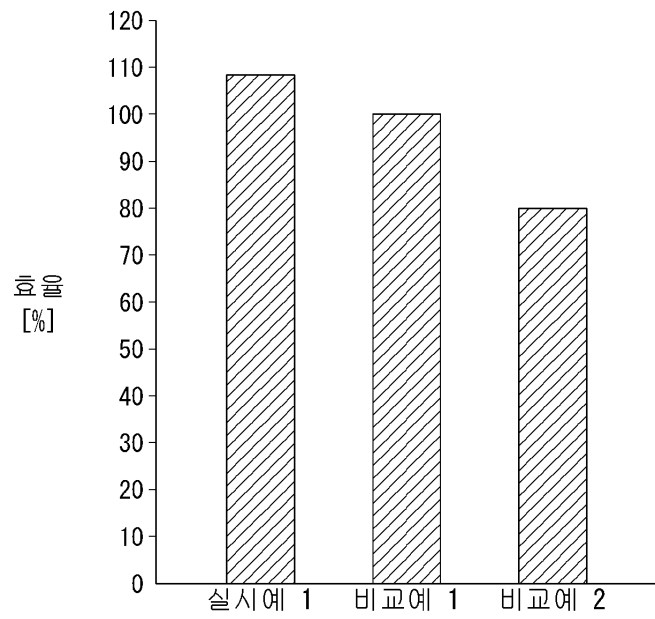
도면9



도면10



도면11



도면12

