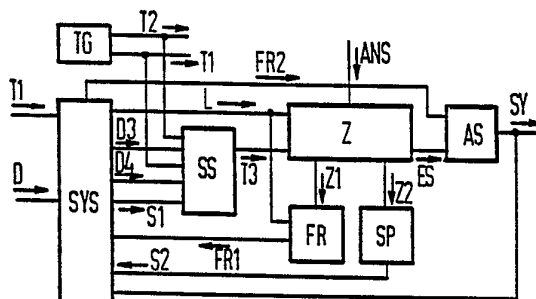




(51) Internationale Patentklassifikation 5 : H04L 7/033	A1	(11) Internationale Veröffentlichungsnummer: WO 90/13191 (43) Internationales Veröffentlichungsdatum: 1. November 1990 (01.11.90)		
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top; padding: 5px;"> (21) Internationales Aktenzeichen: PCT/DE90/00295 (22) Internationales Anmeldedatum: 20. April 1990 (20.04.90) (30) Prioritätsdaten: P 39 14 006.7 27. April 1989 (27.04.89) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-8000 München 2 (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US) : SPÖRER, Gerhard [DE/DE]; Landwehrstraße 31, D-6432 Kleinensee (DE). (74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-8000 München 22 (DE). </td> <td style="width: 50%; vertical-align: top; padding: 5px;"> (81) Bestimmungsstaaten: AT (europäisches Patent), BE (europäisches Patent), CH (europäisches Patent), DE (europäisches Patent), DK (europäisches Patent), ES (europäisches Patent), FR (europäisches Patent), GB (europäisches Patent), IT (europäisches Patent), LU (europäisches Patent), NL (europäisches Patent), SE (europäisches Patent), US. Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i> </td> </tr> </table>			(21) Internationales Aktenzeichen: PCT/DE90/00295 (22) Internationales Anmeldedatum: 20. April 1990 (20.04.90) (30) Prioritätsdaten: P 39 14 006.7 27. April 1989 (27.04.89) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-8000 München 2 (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US) : SPÖRER, Gerhard [DE/DE]; Landwehrstraße 31, D-6432 Kleinensee (DE). (74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-8000 München 22 (DE).	(81) Bestimmungsstaaten: AT (europäisches Patent), BE (europäisches Patent), CH (europäisches Patent), DE (europäisches Patent), DK (europäisches Patent), ES (europäisches Patent), FR (europäisches Patent), GB (europäisches Patent), IT (europäisches Patent), LU (europäisches Patent), NL (europäisches Patent), SE (europäisches Patent), US. Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>
(21) Internationales Aktenzeichen: PCT/DE90/00295 (22) Internationales Anmeldedatum: 20. April 1990 (20.04.90) (30) Prioritätsdaten: P 39 14 006.7 27. April 1989 (27.04.89) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-8000 München 2 (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US) : SPÖRER, Gerhard [DE/DE]; Landwehrstraße 31, D-6432 Kleinensee (DE). (74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-8000 München 22 (DE).	(81) Bestimmungsstaaten: AT (europäisches Patent), BE (europäisches Patent), CH (europäisches Patent), DE (europäisches Patent), DK (europäisches Patent), ES (europäisches Patent), FR (europäisches Patent), GB (europäisches Patent), IT (europäisches Patent), LU (europäisches Patent), NL (europäisches Patent), SE (europäisches Patent), US. Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>			

(54) Title: CIRCUIT ARRANGEMENT FOR PRODUCING SYNCHRONIZATION SIGNALS DURING DATA TRANSMISSION

(54) Bezeichnung: SCHALTUNGSANORDNUNG ZUM ERZEUGEN VON SYNCHRONISATIONSSIGNALEN BEI EINER ÜBERTRAGUNG VON DATEN



(57) Abstract

During data transmission using binary-coded data signals (D), reception cycles (ET) which scan the data signals (D) at their centre are produced in order to retrieve the transmitted data. The phases of the reception cycles (ET) are synchronized by means of synchronization signals (SY) produced from the data signals (D). To ensure that even if the data signals are distorted, up to 50 % of these signals can be scanned as far as possible in their centre, allowance is made for the distortion concerned when the synchronization signals (SY) are produced. To this end, a counter (Z) is provided which is incremented by means of high-frequency cyclic pulses (T1) of higher serial frequency if the counter (Z) has not yet reached its final value at the end of a data signal (D). An output stage (AS) emits a synchronization signal (SY) when the counter (Z) reaches its final value. The invention is particularly suitable for use in data transmission in which reception cycles can be associated with the data signals on the receiver side.

(57) Zusammenfassung Bei einer Übertragung von Daten unter Verwendung von binär codierten Datensignalen (D) werden für die Wiedergewinnung der übertragenen Daten Empfangstakte (ET) erzeugt, durch die die Datensignale (D) in ihren Mitten abgetastet werden. Die Empfangstakte (ET) werden dabei durch aus den Datensignalen (D) erzeugte Synchronisationssignale (SY) phasenmäßig synchronisiert. Um auch bei Verzerrungen der Datensignale (D) von bis zu 50 % diese möglichst in ihren Mitten abtasten zu können, werden die Synchronisationssignale (SY) erfindungsgemäß unter Berücksichtigung der jeweiligen Verzerrung erzeugt. Hierzu ist ein Zähler (Z) vorgesehen, der durch hochfrequente Taktimpulse (T3) jeweils von einem Anfangswert bis zu einem Endwert fortgeschaltet wird. Eine Synchronisationsstufe (SYS) stellt bei Änderungen des Binärwertes der Datensignale (D) den Zähler (Z) auf seinen Anfangswert ein. Dem Zähler (Z) ist eine Schaltstufe (SS) vorgeschaltet, die immer dann, wenn der Zähler (Z) am Ende eines Datensignals (D) seinen Endwert noch nicht erreicht hat, Taktimpulse (T1) höherer Folgefrequenz durchschaltet. Eine Ausgangsstufe (AS) gibt immer dann ein Synchronisationssignal (SY) ab, wenn der Zähler (Z) seinen Endwert erreicht. Die Erfindung ist insbesondere bei einer Übertragung von Daten verwendbar, bei der empfangsseitig die den Datensignalen zugeordneten Empfangstakte erzeugt werden.

BENENNUNGEN VON "DE"

Bis auf weiteres hat jede Benennung von "DE" in einer internationalen Anmeldung, deren internationaler Anmeldetag vor dem 3. Oktober 1990 liegt, Wirkung im Gebiet der Bundesrepublik Deutschland mit Ausnahme des Gebietes der früheren DDR.

LEDIGLICH ZUR INFORMATION

Code, die zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	ES	Spanien	MG	Madagaskar
AU	Australien	FI	Finnland	ML	Mali
BB	Barbados	FR	Frankreich	MR	Mauritanien
BE	Belgien	GA	Gabon	MW	Malawi
BF	Burkina Faso	GB	Vereinigtes Königreich	NL	Niederlande
BG	Bulgarien	GR	Griechenland	NO	Norwegen
BJ	Benin	HU	Ungarn	RO	Rumänien
BR	Brasilien	IT	Italien	SD	Sudan
CA	Kanada	JP	Japan	SE	Schweden
CF	Zentrale Afrikanische Republik	KP	Demokratische Volksrepublik Korea	SN	Senegal
CG	Kongo	KR	Republik Korea	SU	Soviet Union
CH	Schweiz	LI	Liechtenstein	TD	Tschad
CM	Kamerun	LK	Sri Lanka	TG	Togo
DE	Deutschland, Bundesrepublik	LU	Luxemburg	US	Vereinigte Staaten von Amerika
DK	Dänemark	MC	Monaco		

1

Schaltungsanordnung zum Erzeugen von Synchronisationssignalen
5 bei einer Übertragung von Daten.

Die Erfindung bezieht sich auf eine Schaltungsanordnung zum Er-
zeugen von Synchronisationssignalen bei einer Übertragung von
Daten, gemäß dem Oberbegriff des Patentanspruchs 1.

10

Es ist allgemein bekannt, Daten durch binäre Datensignale von
einer Sendeeinheit zu einer Empfangseinheit ohne begleitende
Taktimpulse zu übertragen. Bei einer derartigen Übertragung ist
in der Empfangseinheit eine Taktsteuerung vorgesehen, die aus
15 den empfangenen Datensignalen Empfangstakte erzeugt und einer
Abtaststufe zuführt. Dort tasten die Empfangstakte die Daten-
signale ab und gewinnen aus den Datensignalen die übertragenen
Daten wieder zurück. Zu diesem Zweck sollen die Datensignale
möglichst jeweils in ihrer Mitte abgetastet werden.

20

Eine derartige Empfangseinheit nach dem Stand der Technik ist
in Form eines Blockschaltbilds in FIG 1 dargestellt und ihre
Funktionsweise wird zusammen mit den in FIG 2 dargestellten
Zeitdiagrammen näher erläutert, bei denen in Abszissenrichtung
25 die Zeit t und in Ordinatenrichtung die Momentanwerte von Si-
gnalen dargestellt sind.

Bei der in FIG 1 als Blockschaltbild dargestellten Empfangsein-
heit werden die binär codierten Datensignale D einerseits einem
30 Impulsgeber IG und andererseits der Abtaststufe AB zugeführt,
die aus den Datensignalen D unter Verwendung von Empfangstakten
 ET die übertragenen Daten wiedergewinnt und als Empfangsdaten
 ED für eine weitere Verarbeitung zur Verfügung stellt. Die
Empfangstakte ET werden in einer Taktsteuerung TS erzeugt. Zur
35 Synchronisation der Empfangstakte ET mit den Datensignalen D
erzeugt der Impulsgeber IG Synchronisationssignale SY . Diese
Synchronisationssignale SY liegen an der Taktsteuerung TS an

- 1 und diese stellt die Phasenlage der Empfangstakte ET derart ein, daß die Empfangstakte ET die Datensignale D möglichst immer in deren Mitten abtasten.
- 5 Die in FIG 2 dargestellten Datensignale D sind unverzerrte Datensignale, d.h. sie ändern ihre Binärwerte zu ganzzahligen Vielfachen von vorgegebenen Zeitabständen. Zu jeweils einander entsprechenden Zeitpunkten an den abfallenden Flanken der Datensignale D erzeugt der Impulsgeber IG die Synchronisations-
- 10 signale SY, mittels denen die Phasenlage der in der Taktsteuerung TS erzeugten Empfangstakte ET derart eingestellt wird, daß die Datensignale D in deren Mitten zu den Zeitpunkten t1 bis t5 durch die ansteigenden Flanken der Empfangstakte ET, abgetastet werden, um die Empfangsdaten ED wiederzugewinnen.
- 15 Bei der Übertragung der Daten, beispielsweise über eine mit Störungen behaftete Funkstrecke, können die Datensignale Verzerrungen unterliegen. Wenn von diesen Datensignalen die Empfangstakte abgeleitet werden, können die Datensignale nicht
- 20 sicher abgetastet werden, da die Empfangstakte nur durch die Flanken der Datensignale synchronisiert werden.
- Der Erfindung liegt daher die Aufgabe zugrunde, eine Schaltungsanordnung zum Erzeugen von Synchronisationssignalen anzugeben, bei deren Verwendung die Datensignale auch dann mit
- 25 großer Sicherheit abgetastet werden, wenn sie Verzerrungen unterliegen.
- Erfindungsgemäß wird die Aufgabe bei einer Schaltungsanordnung der eingangs genannten Art durch die im kennzeichnenden Teil
- 30 des Patentanspruchs 1 angegebenen Merkmale gelöst.
- Ein besonderes Merkmal der Erfindung besteht darin, daß die Verzerrungen der Datensignale bei der Erzeugung der Synchroni-
- 35 sationssignale berücksichtigt werden.
- Durch die Erfindung wird es ermöglicht, auch Datensignale mit Verzerrungen von bis zu 50 % ihrer Impulsdauer sicher abzuta-

3

1 sten und dennoch erfordert die Schaltungsanordnung nur einen geringen Aufwand und sie kann als integrierter Schaltkreis hergestellt werden.

5 Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Eine Empfangseinheit nach dem Stand der Technik ist in den Zeichnungen dargestellt und ein Ausführungsbeispiel einer
10 Schaltungsanordnung gemäß der Erfindung wird im folgenden anhand der Zeichnungen näher erläutert. Es zeigen

FIG 1 ein Blockschaltbild einer Empfangseinheit für Übertragene Datensignale,

15

FIG 2 Zeitdiagramme von Signalen bei einem Empfang von unverzerrten Datensignalen,

FIG 3 ein Blockschaltbild einer Schaltungsanordnung gemäß der
20 Erfindung,

FIG 4 Zeitdiagramme von Signalen bei einem Empfang von verzerrten Datensignalen,

25 FIG 5 ein Schaltbild einer Schaltungsanordnung gemäß der Erfindung, und

FIG 6 Zeitdiagramme von Signalen an verschiedenen Punkten der Schaltungsanordnung.

30

Bei der in FIG 3 dargestellten Schaltungsanordnung, die als Impulsgeber IG entsprechend FIG 1 einsetzbar ist, erzeugt ein Taktgeber TG Taktimpulse T1 und T2. Die Taktimpulse T2 haben die halbe Folgefrequenz der Taktimpulse T1 und werden aus diesen durch Frequenzteilung, beispielsweise mittels eines Flipflops erzeugt. Die Taktimpulse T1 und T2 werden den verschiedenen Baueinheiten der Schaltungsanordnung zugeführt, wobei nur
35

1 die Zuführung zu einer Schaltstufe SS dargestellt ist. Die Folgefrequenz der Taktimpulse T1 ist beispielsweise gleich der 128-fachen Nennfolgefrequenz der Datensignale D.

5 Weitere Einzelheiten der Schaltungsanordnung werden im folgenden im Zusammenhang mit den in FIG 4 dargestellten Zeitdiagrammen näher erläutert, bei denen in Abszissenrichtung die Zeit t und in Ordinateenrichtung die Momentanwerte von Signalen, sowie Zählerstände ZS eines Zählers Z analog dargestellt sind.

10

Die Datensignale D liegen an einer Synchronisierstufe SYS an, in der sie mit den Taktimpulsen T1 synchronisiert werden. Wenn ein Datensignal D den Binärwert 1 annimmt, erzeugt die Synchronisierstufe SYS einen Ladeimpuls L, der den Zähler Z durch

15 Anfangswertsignale ANS auf einen Anfangswert AN, beispielsweise 64 einstellt und eine Freigabestufe FR zurücksetzt sowie

Über die Synchronisationsstufe SYN ein Sperrsignal S1 für die Schaltstufe SS aufhebt. Außerdem erzeugt die Synchronisierstufe SYS ein Umschaltsignal D3 für die Taktimpulse T1 und T2

20 ein Datensignal, das die Taktimpulse T2 über die Schaltstufe SS als Taktimpulse T3 zum Zähler Z durchschaltet. Die Taktimpulse T3 schalten den Zähler Z fort und zählen ihn abwärts bis zu einem Endwert EN, beispielsweise 0. Sobald er einen Zählerstand

32 erreicht, der dem halben Anfangswert AN entspricht, gibt er

25 ein Signal Z1 ab, das die Freigabestufe FR setzt und zum Erzeugen eines Freigabesignals FR1 veranlaßt, da dann das Datensignal D eine Impulsdauer von mindestens 50 % der Solldauer im unverzerrten Fall aufweist. Andernfalls würde sofort durch das Sperrsignal S1 die Abgabe der Taktimpulse T3 gesperrt werden

30 und damit das Zählen beendet werden.

Falls die Datensignale D unverzerrt sind, wird das entsprechende Datensignal D zum Zeitpunkt t1 genau in seiner Mitte

durch den Empfangstakt ET abgetastet und der Zähler Z erreicht

35 den Endwert EN mit dem Wert 0 gerade dann, wenn das Datensignal D seinen Binärwert von 1 nach 0 ändert. In diesem Fall gibt er ein Endwertsignal ES an eine Ausgangsstufe AS ab. Mit der Ände-

1 rung des Binärwertes gibt die Synchronisierstufe SYS auch ein
Freigabesignal FR2 an die Ausgangsstufe AS ab und diese erzeugt
ein Synchronisationssignal SY, das zur Einstellung der Phasen-
lage der Empfangstakte ET dient. Außerdem wird durch das
5 Synchronisationssignal SY das Sperrsignal S1 erzeugt, mit dem
die Schaltstufe SS gesperrt wird und das Zählen beendet wird.
Zum Zeitpunkt t2 wird das Datensignal D wieder in seiner Mitte
durch einen Empfangstakt ET abgetastet. Mit der nächsten Ände-
rung des Binärwerts des Datensignals D wiederholt sich dann ein
10 ähnlicher Vorgang und das Datensignal D wird zum Zeitpunkt t3
erneut abgetastet.

Falls das Datensignal D verzerrt ist und bereits zum Zeitpunkt
t4 seinen Binärwert von 1 nach 0 ändert, bevor der Zähler Z
15 seinen Endwert EN erreicht, gibt die Synchronisierstufe SYS als
Umschaltsignal das Datensignal D4 an die Schaltstufe SS ab und
diese schaltet nun die Taktimpulse T1 mit der höheren Folge-
frequenz zum Zähler Z durch, so daß dieser schneller seinen
Endwert EN erreicht und zum Zeitpunkt t5 das Synchronisations-
20 signal SY entsprechend früher abgegeben wird. Damit wird die
Phasenlage der Empfangstakte ET neu eingestellt, so daß das
entsprechende Datensignal D zum Zeitpunkt t6 näher zu seiner
Mitte hin abgetastet wird. Zwischen den Zeitpunkten t6 und t9
wiederholen sich dann ähnliche Vorgänge wie zwischen den Zeit-
25 punkten t2 und t5 und zum Zeitpunkt t8 wird das entsprechende
Datensignal D wieder näher zu seiner Mitte hin abgetastet als
dies ohne die Umschaltung der Taktimpulse T1 und T2 erfolgen
würde.

30 Falls ein Datensignal D länger als die Solldauer im unver-
zerrten Fall dauert, erzeugt der Zähler Z ein Zählsignal. Die-
ses Zählsignal Z2 liegt an einer Sperrstufe SP an, die dann ein
Sperrsignal S2 erzeugt, mit dem über die Synchronisationsstufe
SY ebenfalls die Schaltstufe SS durch das Sperrsignal S1 ge-
35 sperrt wird. Außerdem wird die Synchronisierstufe SYS gesperrt
und die Polarität der Datensignale D wird invertiert, da diese
keine Solldauer haben dürfen, die größer als 103 % ist. Mit der

1 nächsten Änderung des Binärwerts des Datensignals D wiederholen
sich dann die entsprechenden Vorgänge wie bei den übrigen Ände-
rungen.

5 Der Zähler Z kann anstelle von abwärts auch aufwärts gezählt
werden. In diesem Fall stellt ihn beispielsweise das Anfangs-
wertsignal ANS immer auf den Anfangswert AN von 0 ein und die
Taktimpulse T3 zählen ihn dann bis zu einem Endwert EN von 64
hoch.

10

Bei der Darstellung in FIG 4 sind die Datensignale D infolge
von Verzerrungen bis zu 50 % verkürzt. Die entsprechenden un-
verzerrten Datensignale D sind gestrichelt dargestellt. Die
Synchronisationssignale SY werden infolge der verzerrten Daten-
15 signale D nicht immer an deren Flanken, sondern durch den
Zähler Z erzeugt, der jeweils von dem vorgegebenen Anfangs-
wert AN bis zu dem vorgegebenen Endwert EN gezählt wird. Bei
jedem Erreichen des Endwerts EN wird das Synchronisationssignal
SY erzeugt, mit dem der Empfangstakt ET synchronisiert wird.

20 Am Ende jedes Datensignals D mit abfallenden Flanken wird von
den Taktimpulsen T2 mit niedriger Folgefrequenz auf die Takt-
impulse T1 mit hoher Folgefrequenz umgeschaltet, so daß der
Endwert EN schneller erreicht wird und der Empfangstakt ET vor-
eilend synchronisiert werden kann. Zu den Zeitpunkten t4 und t8
25 wird jeweils auf die Taktimpulse T1 mit der höheren Folge-
frequenz umgeschaltet und zu den Zeitpunkten t5 und t9 werden
die voreilenden Synchronisationssignale SY erzeugt.

Das in FIG 5 dargestellte Schaltbild der Schaltungsanordnung
30 wird im folgenden zusammen mit den in FIG 6 dargestellten Zeit-
diagrammen näher erläutert, bei denen in Abszissenrichtung die
Zeit t und in Ordinatenrichtung die Momentanwerte von Signalen
sowie die Zählerstände ZS des Zählers Z analog dargestellt
sind.

35

Bei dem in FIG 5 dargestellten Schaltbild der Schaltungsanord-
nung ist ein Taktgeber TG vorgesehen, der Taktimpulse T1, $\overline{T1}$,

1 und T2 erzeugt, wobei die Taktimpulse T1 die doppelte Folge-
frequenz aufweisen wie die Taktimpulse T2 und die Taktimpulse
T1 den invertierten Taktimpulsen T1 entsprechen. Die Folge-
frequenz der Taktimpulse T1 ist beispielsweise gleich der 128-
5 fachen Folgefrequenz der unverzerrten Datensignale D.

Zu Beginn wird die Schaltungsanordnung durch ein Rücksetzsignal
R zurückgesetzt, das in der dargestellten Weise an den Bautei-
len anliegt und Flipflops F1 bis F3, F8 und F9 zurücksetzt. Die
10 Datensignale D liegen an einem Eingang eines Antivalenzglieds A
an, unter dessen Verwendung die Polarität der Datensignale D
gegebenenfalls invertiert werden kann. Das Antivalenzglied A
gibt an seinem Ausgang das Datensignal D1 ab, das am Taktein-
gang des Flipflops F1 anliegt, an dessen Dateneingang der Bi-
15 närwert 1 anliegt. Wenn zum Zeitpunkt t1 der Binärwert des Da-
tensignals D sich beispielsweise von 0 nach 1 ändert, ändert
sich, unter der Voraussetzung, daß das Flipflop F9 zurückge-
setzt ist, der Binärwert des Datensignals D1 am Ausgang des
Antivalenzglieds A ebenfalls von 0 nach 1 und das Flipflop F1
20 wird gesetzt. Der Ausgang des Flipflops F1 ist mit dem Daten-
eingang des Flipflops F2 verbunden, an dessen Takteingang die
Taktimpulse T1 anliegen und das zusammen mit dem Flipflop F3
zur Synchronisation der Datensignale D bzw. D1 mit den Takt-
impulsen T1 und T1 dient. Mit dem nächsten Taktimpuls T1 wird
25 das Flipflop F2 gesetzt.

Der nichtinvertierende Ausgang des Flipflops F2 ist mit einem
Eingang eines NOR-Glieds N2, mit dem Dateneingang des Flipflops
F3, mit dem Rücksetzeingang eines Flipflops F4 und mit einem
30 ersten Eingang eines NAND-Glieds N1 verbunden, dessen zweiter
Eingang mit dem invertierenden Ausgang des Flipflops F3 verbun-
den ist. Da das Flipflop F3 zurückgesetzt ist, gibt das NAND-
Glieder N1 den Ladeimpuls L mit dem Binärwert 0 ab, der durch An-
fangswertsignale ANS mit den Binärwerten 1000000 den Wert 64 in
35 den Zähler Z lädt und über einen Inverter I ein Flipflop F5 zu-
rücksetzt. Das Freigabesignal FR1 am invertierenden Ausgang
des Flipflops F5 gibt ein UND-Glied U2 frei.

- 1 Der invertierende Ausgang des Flipflops F2 ist mit dem Daten-
eingang des Flipflops F4 verbunden, an dessen Takteingang die
Taktimpulse T1 anliegen. Das Flipflop F4 ist bereits zurückge-
setzt, so daß mit dem nächsten Taktimpuls T1 keine Änderung des
5 Zustands des Flipflops F4 erfolgt.

An dem Takteingang des Flipflops F3 liegen die Taktimpulse $\overline{T1}$
an und mit dem nächsten Taktimpuls $\overline{T1}$ wird auch dieses Flip-
flop F3 gesetzt. Damit nimmt der Ladeimpuls L wieder den Binär-
10 wert 1 an und er setzt ein weiteres Flipflop F6, das durch ein
Sperrsignal S1 zwei NAND-Glieder N3 und N4 freigibt. Diese sind
jeweils mit einem Ausgang des Flipflops F3 verbunden und an
ihnen liegen einerseits die Datensignale D3 und D4 als Umschal-
tesignale und andererseits die Taktimpulse T1 bzw. T2 an. Da
15 das Flipflop F3 gesetzt ist, werden über das NAND-Glied N3 in-
vertierte Taktimpulse T2 abgegeben und über ein UND-Glied U1
als Taktimpulse T3 dem Zähler Z zugeführt. Dieser beginnt da-
mit, von seinem Anfangswert 64 bis zu einem Endwert abwärts zu
zählen.

20 Sobald der Zähler Z zum Zeitpunkt t2 seinen Zählerstand 32 er-
reicht hat, gibt er ein entsprechendes Zählersignal Z1 ab, das
am Dateneingang des Flipflops F5 anliegt und dieses setzt. Das
Freigabesignal FR1 am invertierenden Ausgang dieses Flipflops
25 F5 sperrt nun das UND-Glied U2. Das Flipflop F5 bildet im we-
sentlichen die Freigabestufe FR und es gibt die Schaltungsan-
ordnung erst dann frei, wenn die Daten jeweils länger als 50 %
ihrer Solldauer sind. Andernfalls würde das UND-Glied U2 ein
Rücksetzsignal erzeugen, das die Schaltstufe SS sperrt.

30 Zum Zeitpunkt t3 nimmt das Datensignal D wieder den Binärwert 0
an und damit nimmt auch das Datensignal D1 den Binärwert 0 an.
Über ein NOR-Glied N5, an dessen erstem Eingang das Datensignal
D1 anliegt und dessen zweiter Eingang mit dem invertierenden
35 Ausgang des Flipflops F1 verbunden ist, sowie über ein ODER-
Glied O1 wird das Flipflop F1 zurückgesetzt. Mit dem nächsten
Taktimpuls T1 wird auch das Flipflop F2 zurückgesetzt. In ent-

1 sprechender Weise setzt der nächste Taktimpuls $\overline{T1}$ das Flipflop
F3 zurück. Der nächste Taktimpuls T1 setzt das Flipflop F4 und
dieses wiederum hält durch ein Setzsignal SE das Flipflop F5 im
gesetzten Zustand.

5

Mit dem Rücksetzen des Flipflops F3 wird das NAND-Glied N3 ge-
sperrt und das NAND-Glied N4 freigegeben. Dieses schaltet durch
die Datensignale D4 nun die Taktimpulse T1 mit der doppelten
Frequenz zum Zähler Z durch, so daß dieser seinen Endwert 0
10 schneller erreicht.

Sobald der Zähler Z seinen Endwert 0 erreicht hat, gibt er an
seinem Ausgang zum Zeitpunkt t4 als Endwertsignal ES ein Über-
laufsignal mit dem Binärwert 0 ab, das über das NOR-Glied N2
15 ein Flipflop F7 setzt. An seinem Ausgang gibt das Flipflop F7
das Synchronisationssignal SY ab.

Das Synchronisationssignal SY setzt über ein ODER-Glied O2 das
Flipflop F6 zurück, das seinerseits durch das Sperrsignal S1
20 die NAND-Glieder N3 und N4 sperrt und ein weiteres Zählen des
Zählers Z verhindert. Mit dem nächsten Taktimpuls T2 wird das
Flipflop F7 wieder zurückgesetzt und damit wird das Synchroni-
sationssignal SY wieder beendet. Das Synchronisationssignal SY
stellt die Phase des Empfangstaktes ET neu ein und zum Zeit-
25 punkt t5 wird das Datensignal D erneut abgetastet. Ein ähnli-
cher Vorgang wie nach dem Zeitpunkt t1 wiederholt sich nach dem
Zeitpunkt t6. Falls sich der Binärwert des Datensignals D zu
spät ändert und der Zähler Z vorher seinen Endwert erreicht und
das Endwertsignal ES abgibt, gibt das NOR-Glied N2 kein Setz-
30 signal an das Flipflop F7 ab, da das Flipflop F2 gesetzt ist
und dadurch das NOR-Glied N2 gesperrt ist.

Falls der Zähler Z vor der Änderung des Binärwerts des Daten-
signals D von 1 nach 0 einen Zählerstand erreicht hat, der
35 einer Verzerrung des Datensignals D um mehr als 100 % zugeord-
net ist, gibt er über ein UND-Glied U3 ein Zählersignal Z2 an
ein Flipflop F8 ab, das dieses setzt und an seinem Ausgang ein

10

- 1 Sperrsignal S2 abgibt. Dieses Sperrsignal S2 setzt ebenfalls das Flipflop F6 zurück und verhindert die Abgabe von weiteren Taktimpulsen T1 oder T2 an den Zähler Z. Weiterhin setzt es das Flipflop F1 zurück und setzt ein Flipflop F9, dessen Ausgang mit dem Antivalenzglied A verbunden ist. Das Antivalenzglied A invertiert nun das Datensignal D und mit der nächsten Änderung des Binärwerts des Datensignals D zum Zeitpunkt t6 wiederholt sich ein ähnlicher Vorgang wie zwischen den Zeitpunkten t1 und t2.

10

15

20

25

30

35

1 Patentansprüche

1. Schaltungsanordnung zum Erzeugen von Synchronisationssignalen bei einer Übertragung von Daten von einer Sendeeinheit zu einer Empfangseinheit, wobei die Daten durch binär codierte Datensignale übertragen werden, die für die Wiedergewinnung der übertragenen Daten durch Empfangstakte abgetastet werden und wobei die Empfangstakte durch den Datensignalen zugeordnete Synchronisationssignale phasenmäßig unter Verwendung eines Zählers synchronisiert werden, der durch Taktimpulse, deren Folgefrequenz wesentlich größer ist als die Folgefrequenzen der Datensignale jeweils von einem Anfangswert bis zu einem Endwert forfgeschaltet wird,
d a d u r c h g e k e n n z e i c h n e t , daß der Zähler (Z) jeweils von einem konstanten Anfangswert (AN) bis zu einem konstanten Endwert (EN) fortschaltbar ist,
daß eine Synchronisationsstufe (SYS) vorgesehen ist, an der die Datensignale (D) anliegen, die bei jeder Änderung des Binärwertes der Datensignale (D) von einem ersten Binärwert (0) zu einem zweiten Binärwert (1) ein Ladesignal (L) erzeugt, das den Zähler (Z) auf seinen Anfangswert (AN) einstellt und die bei jeder Änderung der Binärwerte der Datensignale (D) Umschaltsignale (D3, D4) erzeugt,
daß dem Zähler (Z) eine Schaltstufe (SS) vorgeschaltet ist, an der die Umschaltsignale (D3, D4) anliegen, die immer dann, wenn ein Datensignal (D) den ersten Binärwert (0) aufweist, erste Taktimpulse (T1) höherer Folgefrequenz und immer dann, wenn es den zweiten Binärwert (1) aufweist, zweite Taktimpulse (T2) mit niedrigerer Folgefrequenz zum Zähler (Z) durchschaltet, und
daß eine Ausgangsstufe (AS) vorgesehen ist, die immer dann ein Synchronisationssignal (SY) abgibt, wenn der Zähler (Z) seinen Endwert (EN) erreicht.

2. Schaltungsanordnung nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t , daß die Schaltstufe (SS) nach dem Auftreten jedes Synchronisationssignals (SY) den Zähler (Z) sperrt.

- 1 3. Schaltungsanordnung nach Anspruch 1 oder Anspruch 2,
d a d u r c h g e k e n n z e i c h n e t , daß die Folge-
frequenz der ersten Taktimpulse (T1) doppelt so groß ist wie
die Folgefrequenz der zweiten Taktimpulse (T2).
- 5 4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3,
d a d u r c h g e k e n n z e i c h n e t , daß die Synchro-
nisationsstufe (SYS) ein Freigabesignal (FR2) erzeugt und an
die Ausgangsstufe (AS) abgibt und dort die Abgabe der Synchro-
10 nisationssignale (SY) nur dann freigibt, wenn das Datensignal
(D) den ersten Binärwert (0) aufweist.
5. Schaltungsanordnung nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t , daß eine Frei-
15 gabestufe (FR) vorgesehen ist, die beim Erreichen eines vorge-
gebenen Zählerstandes des Zählers (Z), der kleiner ist als der
Endwert (EN), ein Freigabesignal (FR1) an die Synchronisations-
stufe (SYS) abgibt, das die Erzeugung eines Synchronisations-
signals (SY) freigibt.
- 20 6. Schaltungsanordnung nach Anspruch 5, d a d u r c h g e -
k e n n z e i c h n e t , daß die Freigabestufe (FR) ein Flip-
flop (F5) enthält, das durch ein dem vorgegebenen Zählerstand
zugeordnetes Zählersignal (Z1) gesetzt und durch das Ladesignal
25 (L) zurückgesetzt wird und an dessen invertierendem Ausgang das
Freigabesignal (FR1) abgegeben wird.
7. Schaltungsanordnung nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t , daß eine Sperr-
30 stufe (SP) vorgesehen ist, die beim Überschreiten eines vorge-
gebenen Zählerstandes durch den Zähler (Z) ein Sperrsignal (S2)
an die Synchronisationsstufe (SYS) abgibt, mittels dem dort die
Polarität der Datensignale (D) invertiert wird und ein Sperr-
signal (S1) erzeugt wird, mit dem in der Schaltstufe (SS) die
35 Taktimpulse (T1, T2) gesperrt werden.
8. Schaltungsanordnung nach Anspruch 7, d a d u r c h g e -
k e n n z e i c h n e t , daß die Synchronisationsstufe (SYS)

13

1 ein Antivalenzglied (A) enthält, an dessen einem Eingang die
Datensignale (D) anliegen und an dessen anderem Eingang ein
Ausgangssignal eines Flipflops (F9) anliegt, das durch das
Sperrsignal (S2) in die jeweils entgegengesetzte Lage gekippt
5 wird.

9. Schaltungsanordnung nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, daß die Synchro-
nisationsstufe (SYS) ein Flipflop (F2) enthält, mit dem die Da-
10 tensignale (D) mit den Taktimpulsen (T1) synchronisierbar sind.

10. Schaltungsanordnung nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, daß der Zähler
(Z) jeweils vom vorgegebenen Anfangswert (AN) bis zum vorge-
15 gebenen Endwert (EN) abwärts gezählt wird.

11. Schaltungsanordnung nach Anspruch 10, d a d u r c h
g e k e n n z e i c h n e t, daß ein der Ausgangsstufe (AS)
zugeführtes Ausgangssignal (ES) des Zählers (Z) einem Über-
20 laufsignal des Zählers (Z) zugeordnet ist.

25

30

35

1/3.

FIG 1

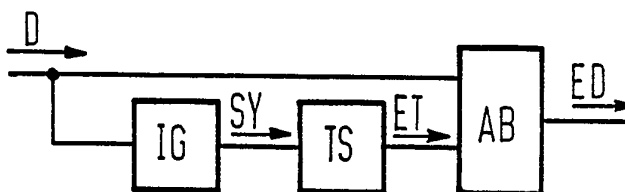


FIG 2

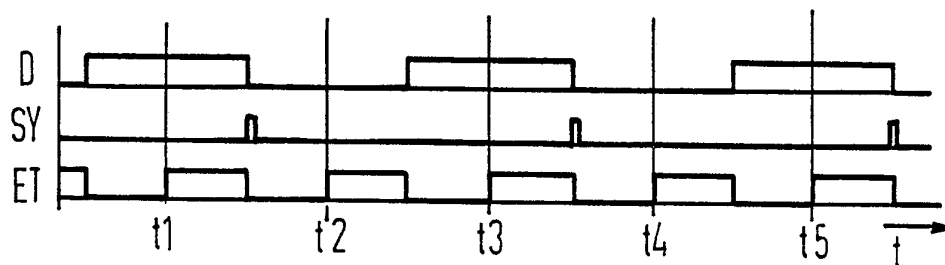


FIG 3

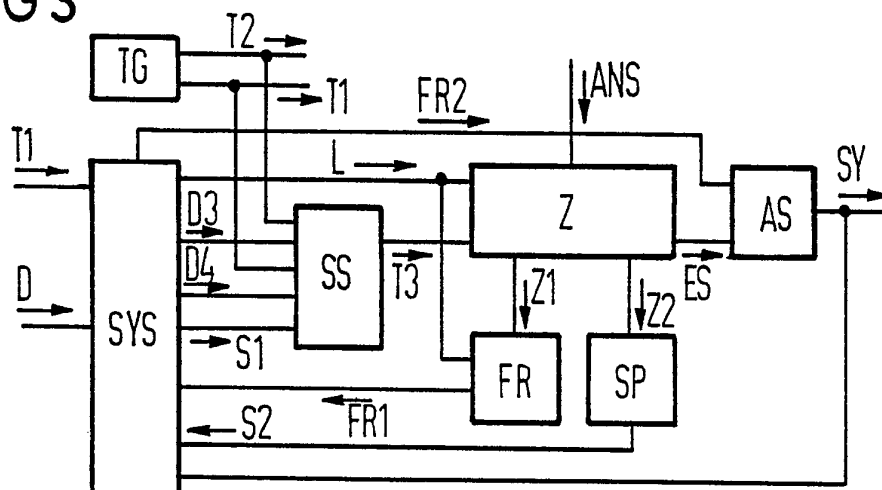


FIG 4

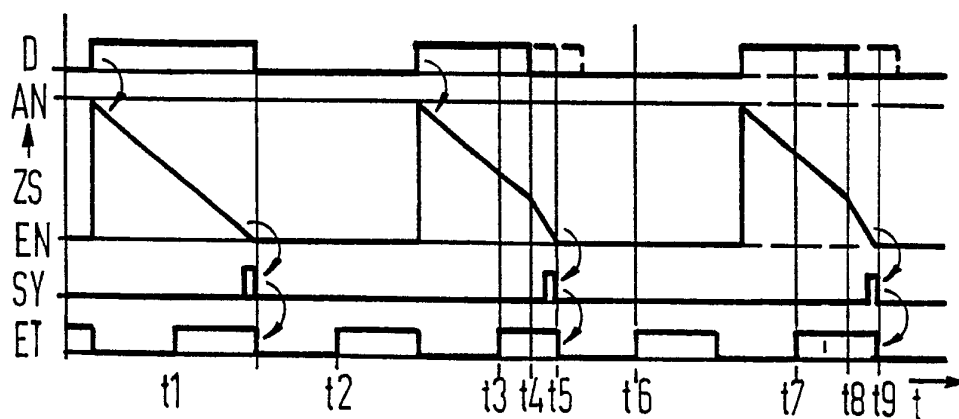
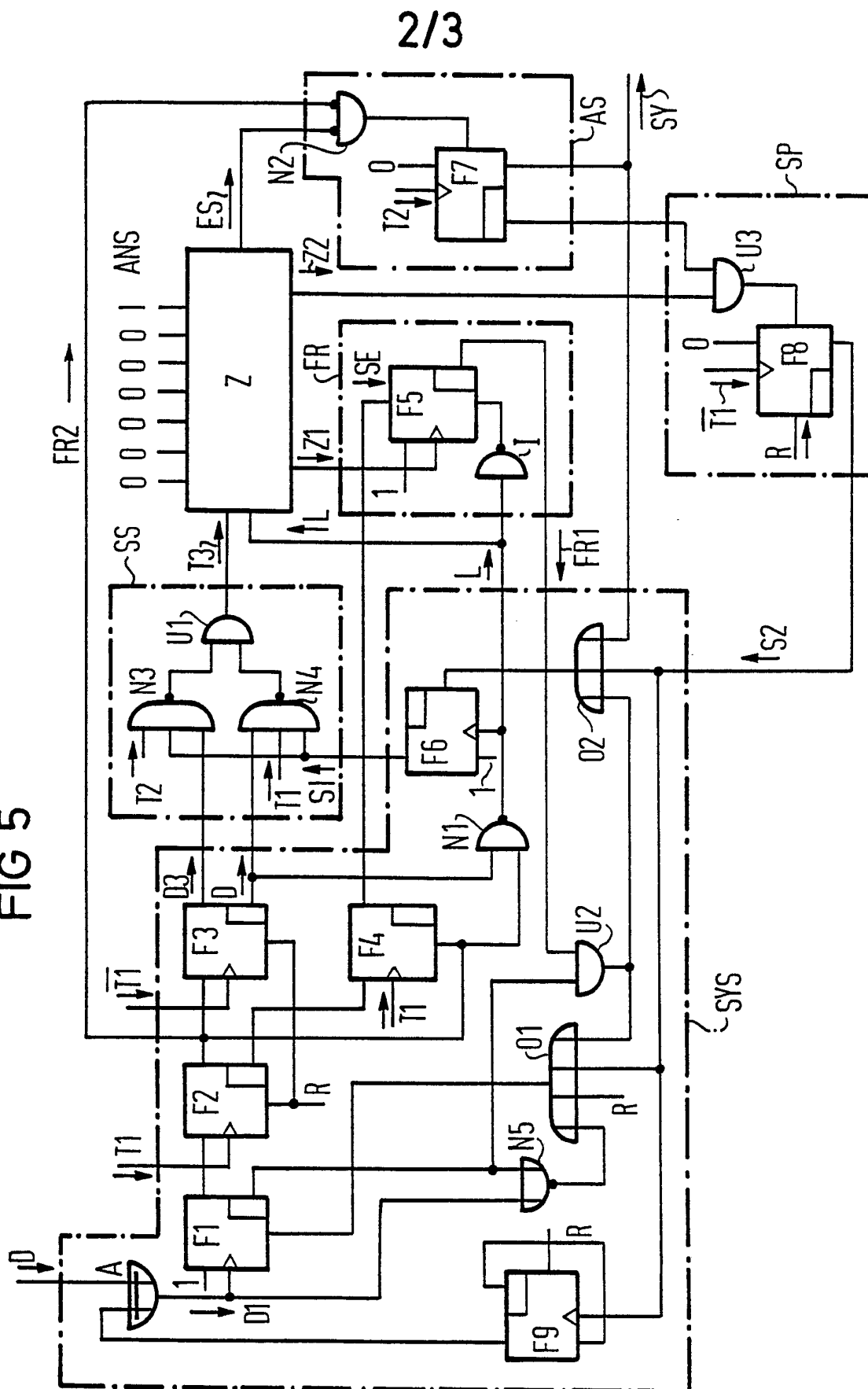
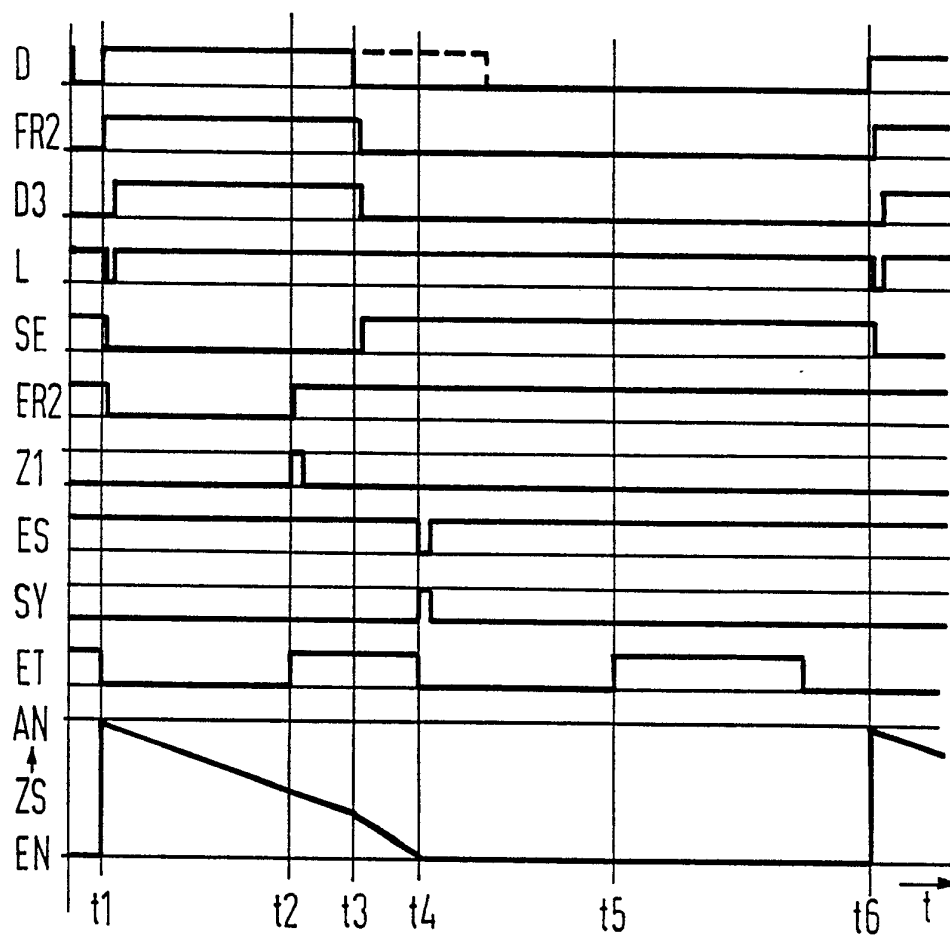


FIG 5



3/3

FIG 6



INTERNATIONAL SEARCH REPORT

International Application No PCT/DE 90/00295

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ⁶ According to International Patent Classification (IPC) or to both National Classification and IPC Int.Cl. ⁵ : H 04 L 7/033		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁷		
Classification System	Classification Symbols	
Int.Cl. ⁵ :	H 04 L	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁸		
III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹		
Category ⁹	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
A	US, A, 3983498 (Ch. MALEK) 28 September 1976, see column 1, lines 47-64; column 2, lines 32-55; column 3, line 48 - column 4, line 2; column 4, lines 13-62 -.-	1,3,5
A	US, A, 3363183 (R. BOWLING) 9 January 1968 see column 2, lines 25-44; column 2, lines 56-70; column 3, line 31 - column 4, line 5 -.-	1
A	DE, A, 3234576 (SIEMENS) 22 March 1984, see page 4, lines 9-24; page 5, line 24 - page 7, line 20; page 12, line 34 - page 13, line 7 -.-	1,2,5,6, 10
A	EP, A, 0275406 (SIEMENS) 27 July 1988, see column 1, line 37 - column 2, line 47; column 4, lines 8-15; column 5, line 6.- column 6, line 8 -.-	1,7
A	EP, A, 0262609 (SIEMENS) 6 April 1988, see column 3, lines 30-48 -----	1,8
¹⁰ Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search		Date of Mailing of this International Search Report
20 July 1990 (20.07.90)		7 September 1990 (07.09.90)
International Searching Authority		Signature of Authorized Officer
European Patent Office		

**ANNEX TO THE INTERNATIONAL SEARCH REPORT
ON INTERNATIONAL PATENT APPLICATION NO.**

DE 9000295

SA 36071

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report. The members are as contained in the European Patent Office EDP file on 24/08/90
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A- 3983498	28-09-76	None	
US-A- 3363183		None	
DE-A- 3234576	22-03-84	None	
EP-A- 0275406	27-07-88	AU-B- 582317	16-03-89
		AU-A- 8180987	02-06-88
		JP-A- 63142735	15-06-88
		US-A- 4841548	20-06-89
EP-A- 0262609	06-04-88	None	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen PCT/DE 90/00295

I. KLASSIFIKATION DES ANMELDUNGSGEGENSTANDS (bei mehreren Klassifikationssymbolen sind alle anzugeben) ⁶ Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC Int.Cl. ⁵ H 04 L 7/033		
II. RECHERCHIERTE SACHGEBIETE		
Recherchierter Mindestprüfstoff ⁷		
Klassifikationssystem	Klassifikationssymbole	
Int.Cl. ⁵	H 04 L	
Recherchierte nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Sachgebiete fallen ⁸		
III. EINSCHLÄGIGE VERÖFFENTLICHUNGEN⁹		
Art*	Kennzeichnung der Veröffentlichung ¹¹ , soweit erforderlich unter Angabe der maßgeblichen Teile ¹²	Betr. Anspruch Nr. 13
A	US, A, 3983498 (Ch. MALEK) 28. September 1976, siehe Spalte 1, Zeilen 47-64; Spalte 2, Zeilen 32-55; Spalte 3, Zeile 48 - Spalte 4, Zeile 2; Spalte 4, Zeilen 13-62 --	1,3,5
A	US, A, 3363183 (R. BOWLING) 9. Januar 1968, siehe Spalte 2, Zeilen 25-44; Spalte 2, Zeilen 56-70; Spalte 3, Zeile 31 - Spalte 4, Zeile 5 --	1
A	DE, A, 3234576 (SIEMENS) 22. März 1984, siehe Seite 4, Zeilen 9-24; Seite 5, Zeile 24 - Seite 7, Zeile 20; Seite 12, Zeile 34 - Seite 13, Zeile 7 --	1,2,5,6,10
A	EP, A, 0275406 (SIEMENS) 27. Juli 1988, siehe Spalte 1, Ziele 37 - Spalte 2, Zeile 47; Spalte 4, Zeilen 8-15; Spalte 5, Zeile 6 - Spalte 6, Zeile 8 --	1,7
* Besondere Kategorien von angegebenen Veröffentlichungen¹⁰: "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
IV. BESCHEINIGUNG		
Datum des Abschlusses der internationalen Recherche 20. Juli 1990		Absendedatum des internationalen Recherchenberichts - 7. 09. 90
Internationale Recherchenbehörde Europäisches Patentamt		Unterschrift des bevollmächtigten Bediensteten M. Pez M. PEIS

III. EINSCHLÄGIGE VERÖFFENTLICHUNGEN (Fortsetzung von Blatt 2)		
Art *	Kennzeichnung der Veröffentlichung, soweit erforderlich unter Angabe der maßgeblichen Teile	Betr. Anspruch Nr.
A	EP, A, 0262609 (SIEMENS) 6. April 1988, siehe Spalte 3, Zeilen 30-48 -----	1,8

**ANHANG ZUM INTERNATIONALEN RECHERCHENBERICHT
ÜBER DIE INTERNATIONALE PATENTANMELDUNG NR.**

DE 9000295

SA 36071

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten internationalen Recherchenbericht angeführten Patentedokumente angegeben.

Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am 24/08/90

Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US-A- 3983498	28-09-76	Keine	
US-A- 3363183		Keine	
DE-A- 3234576	22-03-84	Keine	
EP-A- 0275406	27-07-88	AU-B- 582317	16-03-89
		AU-A- 8180987	02-06-88
		JP-A- 63142735	15-06-88
		US-A- 4841548	20-06-89
EP-A- 0262609	06-04-88	Keine	

EPO FORM P473

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82