(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0117858
(43) 공개일자 2024년08월02일

(51) 국제특허분류(Int. Cl.)
G06F 11/10 (2006.01) *H03M 13/11* (2006.01)
H03M 13/37 (2006.01)
(52) CPC특허분류
G06F 11/1048 (2013.01)
G06F 11/102 (2013.01)
(21) 출원번호 10-2023-0010209
(22) 출원일자 2023년01월26일
심사청구일자 2023년01월26일

(71) 출원인
조선대학교산학협력단
광주광역시 동구 조선대길 126(서석동, 산학협력단)
(72) 발명자
김찬기
광주광역시 서구 시청로 97(치평동, 중흥에스-클래스스카이31)
(74) 대리인
함상혁

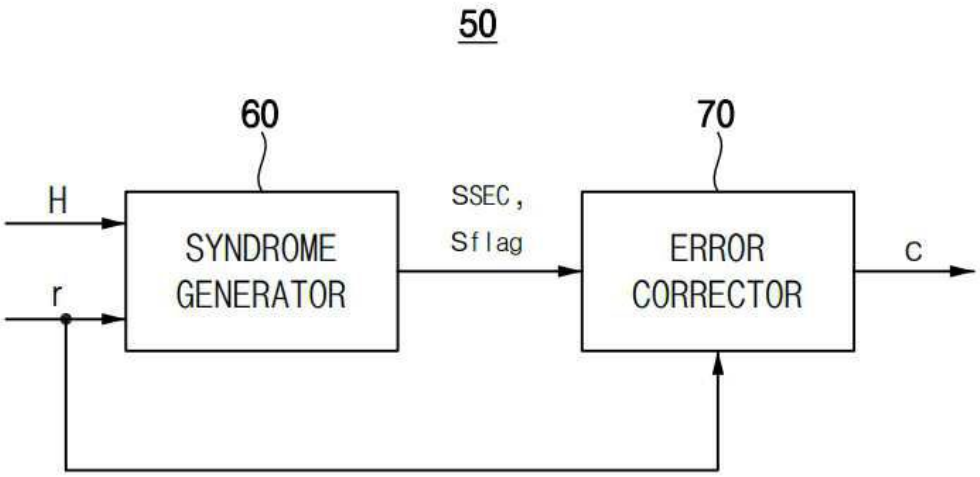
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 **2/3-스포티 심볼 에러 정정이 가능한 ECC 디코더 및 이를 포함하는 메모리 시스템**

(57) 요 약

ECC 디코더는 신드롬 생성기 및 에러 정정기를 포함한다. 신드롬 생성기는 입력 데이터 및 패리티 검사 행렬을 이용하여, SEC 신드롬 데이터 및 플래그 신드롬 데이터를 생성한다. 에러 정정기는 SEC 신드롬 데이터 및 플래그 신드롬 데이터를 이용하여, 입력 데이터에 포함된 정정 가능한 에러를 정정한다. 입력 데이터는 제1 방향 및 제2 방향을 따라 배열되는 복수의 데이터 비트들을 포함하고, 제1 방향을 따라 배열되고 각각 3개의 데이터 비트들을 포함하는 복수의 심볼들을 포함한다. 복수의 심볼들 중 제1 심볼에 포함되는 제1, 제2 및 제3 데이터 비트들 중 2개의 데이터 비트들에 대해 발생하는 2/3-스포티 심볼 에러의 검출 및 정정이 가능하다.

대 표 도 - 도1



(52) CPC특허분류
G06F 11/1032 (2013.01)
G06F 11/1068 (2013.01)
H03M 13/11 (2013.01)
H03M 13/37 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711169746
과제번호	2021R1G1A1091369
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	미래 ICT 환경의 지연 민감형 응용을 위한 초저지연 오류정정부호 설계
기 여 율	1/1
과제수행기관명	조선대학교
연구기간	2022.03.01 ~ 2023.02.28

명 세 서

청구범위

청구항 1

입력 데이터 및 패리티 검사 행렬을 이용하여, SEC(single error correction) 신드롬 데이터 및 플래그(flag) 신드롬 데이터를 생성하는 신드롬 생성기; 및

상기 SEC 신드롬 데이터 및 상기 플래그 신드롬 데이터를 이용하여, 상기 입력 데이터에 포함된 정정 가능한 에러를 정정하는 에러 정정기를 포함하고,

상기 입력 데이터는 제1 방향 및 제2 방향을 따라 배열되는 복수의 데이터 비트들을 포함하고, 상기 제1 방향을 따라 배열되고 각각 3개의 데이터 비트들을 포함하는 복수의 심볼(symbol)들을 포함하며,

상기 복수의 심볼들 중 제1 심볼에 포함되는 제1, 제2 및 제3 데이터 비트들 중 2개의 데이터 비트들에 대해 발생하는 2/3-스포티 심볼 에러(2/3-spotty symbol error)의 검출 및 정정이 가능한 ECC(error correction code) 디코더.

청구항 2

제 1 항에 있어서, 상기 패리티 검사 행렬은,

상기 SEC 신드롬 데이터를 생성하기 위한 SEC 패리티 검사 행렬; 및

상기 플래그 신드롬 데이터를 생성하기 위한 플래그 패리티 검사 행렬을 포함하는 것을 특징으로 하는 ECC 디코더.

청구항 3

제 2 항에 있어서,

상기 패리티 검사 행렬은 하기의 [수학식 1]을 만족하는 것을 특징으로 하는 ECC 디코더.

[수학식 1]

$$H=\left[\begin{array}{ccc|ccc|ccc|c|ccc} \alpha^0 & \alpha^{\frac{n}{2}} & \alpha^0+\alpha^{\frac{n}{2}} & \alpha^1 & \alpha^{\frac{n}{2}+1} & \alpha^1+\alpha^{\frac{n}{2}+1} & \alpha^2 & \alpha^{\frac{n}{2}+2} & \alpha^2+\alpha^{\frac{n}{2}+2} & \cdots\ \cdots\ \cdots & \alpha^{\frac{n}{2}-1} & \alpha^{n-1} & \alpha^{\frac{n}{2}-1}+\alpha^{n-1} \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & \cdots\ \cdots\ \cdots & 0 & 0 & 1 \\ 1 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & \cdots\ \cdots\ \cdots & 1 & 1 & 0 \end{array}\right]$$

청구항 4

제 2 항에 있어서, 상기 신드롬 생성기는,

상기 입력 데이터 및 상기 SEC 패리티 검사 행렬에 기초하여 상기 SEC 신드롬 데이터를 생성하는 SEC 신드롬 생성기; 및

상기 입력 데이터 및 상기 플래그 패리티 검사 행렬에 기초하여 상기 플래그 신드롬 데이터를 생성하는 플래그 신드롬 생성기를 포함하는 것을 특징으로 하는 ECC 디코더.

청구항 5

제 4 항에 있어서,

상기 플래그 신드롬 데이터는 ROM 쉬프터(shifter) 플래그 데이터 및 반전(inverse) 플래그 데이터를 포함하는 것을 특징으로 하는 ECC 디코더.

청구항 6

제 5 항에 있어서, 상기 에러 정정기는,

상기 SEC 신드롬 데이터 및 상기 ROM 쉬프터 플래그 데이터에 기초하여 심볼 내 에러 위치들 및 심볼 위치를 확인하거나 에러 검출을 선언하는 ROM 테이블;

상기 반전 플래그 데이터 및 상기 ROM 테이블의 제1 출력에 기초하여 상기 심볼 내 에러 위치들 중 하나를 선택하는 멀티플렉서들;

상기 멀티플렉서들의 출력 및 상기 ROM 테이블의 제2 출력에 기초하여 정정 데이터를 생성하는 ROM 쉬프터; 및

상기 입력 데이터 및 상기 정정 데이터에 기초하여 에러 정정 데이터를 생성하는 연산기를 포함하는 것을 특징으로 하는 ECC 디코더.

청구항 7

제 6 항에 있어서,

상기 반전 플래그 데이터가 0이고 상기 ROM 쉬프터 플래그 데이터가 0인 경우에, 상기 SEC 신드롬 데이터에 따라 에러 없음을 선언하거나, 상기 제1 및 제2 데이터 비트들에 대한 2비트 에러를 정정하거나, 상기 에러 검출을 선언하는 것을 특징으로 하는 ECC 디코더.

청구항 8

제 6 항에 있어서,

상기 반전 플래그 데이터가 0이고 상기 ROM 쉬프터 플래그 데이터가 1인 경우에, 상기 SEC 신드롬 데이터에 따라 상기 에러 검출을 선언하거나, 상기 제1 데이터 비트에 대한 1비트 에러를 정정하거나, 상기 제2 데이터 비트에 대한 1비트 에러를 정정하는 것을 특징으로 하는 ECC 디코더.

청구항 9

제 6 항에 있어서,

상기 반전 플래그 데이터가 1이고 상기 ROM 쉬프터 플래그 데이터가 0인 경우에, 상기 SEC 신드롬 데이터에 따라 상기 에러 검출을 선언하거나, 상기 제3 데이터 비트에 대한 1비트 에러를 정정하는 것을 특징으로 하는 ECC 디코더.

청구항 10

제 6 항에 있어서,

상기 반전 플래그 데이터가 1이고 상기 ROM 쉬프터 플래그 데이터가 1인 경우에, 상기 SEC 신드롬 데이터에 따라 상기 에러 검출을 선언하거나, 상기 제2 및 제3 데이터 비트들에 대한 2비트 에러를 정정하거나, 상기 제1 및 제3 데이터 비트들에 대한 2비트 에러를 정정하는 것을 특징으로 하는 ECC 디코더.

청구항 11

복수의 메모리 장치들을 포함하는 메모리 모듈; 및

상기 메모리 모듈을 제어하고, 시스템 ECC(error correction code) 엔진을 포함하는 메모리 컨트롤러를 포함하고,

상기 시스템 ECC 엔진은 ECC 디코딩을 수행하는 시스템 ECC 디코더를 포함하며, 상기 시스템 ECC 디코더는,

상기 메모리 모듈로부터 제공되는 코드워드 세트 및 패리티 검사 행렬을 이용하여, SEC(single error correction) 신드롬 데이터 및 플래그(flag) 신드롬 데이터를 생성하는 신드롬 생성기; 및

상기 SEC 신드롬 데이터 및 상기 플래그 신드롬 데이터를 이용하여, 상기 코드워드 세트에 포함된 정정 가능한 에러를 정정하는 에러 정정기를 포함하고,

상기 코드워드 세트는 제1 방향 및 제2 방향을 따라 배열되는 복수의 데이터 비트들을 포함하고, 상기 제1 방향

을 따라 배열되고 각각 3개의 데이터 비트들을 포함하는 복수의 심볼(symbol)들을 포함하며,

상기 복수의 심볼들 중 제1 심볼에 포함되는 제1, 제2 및 제3 데이터 비트들 중 2개의 데이터 비트들에 대해 발생하는 2/3-스포티 심볼 에러(2/3-spotty symbol error)의 검출 및 정정이 가능한 메모리 시스템.

청구항 12

제 11 항에 있어서, 상기 패리티 검사 행렬은,

상기 SEC 신드롬 데이터를 생성하기 위한 SEC 패리티 검사 행렬; 및

상기 플래그 신드롬 데이터를 생성하기 위한 플래그 패리티 검사 행렬을 포함하는 것을 특징으로 하는 메모리 시스템.

청구항 13

제 12 항에 있어서,

상기 패리티 검사 행렬은 하기의 [수학식 2]를 만족하는 것을 특징으로 하는 메모리 시스템.

[수학식 2]

$$H=\left[\begin{array}{ccc|ccc|ccc|c|ccc} \alpha^0 & \alpha^{\frac{n}{2}} & \alpha^0+\alpha^{\frac{n}{2}} & \alpha^1 & \alpha^{\frac{n}{2}+1} & \alpha^1+\alpha^{\frac{n}{2}+1} & \alpha^2 & \alpha^{\frac{n}{2}+2} & \alpha^2+\alpha^{\frac{n}{2}+2} & \cdots\ \cdots\ \cdots & \alpha^{\frac{n}{2}-1} & \alpha^{n-1} & \alpha^{\frac{n}{2}-1}+\alpha^{n-1} \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & \cdots\ \cdots\ \cdots & 0 & 0 & 1 \\ 1 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & \cdots\ \cdots\ \cdots & 1 & 1 & 0 \end{array}\right]$$

청구항 14

제 12 항에 있어서, 상기 신드롬 생성기는,

상기 코드워드 세트 및 상기 SEC 패리티 검사 행렬에 기초하여 상기 SEC 신드롬 데이터를 생성하는 SEC 신드롬 생성기; 및

상기 코드워드 세트 및 상기 플래그 패리티 검사 행렬에 기초하여 상기 플래그 신드롬 데이터를 생성하는 플래그 신드롬 생성기를 포함하는 것을 특징으로 하는 메모리 시스템.

청구항 15

제 14 항에 있어서,

상기 플래그 신드롬 데이터는 ROM 쉬프터(shifter) 플래그 데이터 및 반전(inverse) 플래그 데이터를 포함하는 것을 특징으로 하는 메모리 시스템.

청구항 16

제 15 항에 있어서, 상기 에러 정정기는,

상기 SEC 신드롬 데이터 및 상기 ROM 쉬프터 플래그 데이터에 기초하여 심볼 내 에러 위치들 및 심볼 위치를 확인하거나 에러 검출을 선언하는 ROM 테이블;

상기 반전 플래그 데이터 및 상기 ROM 테이블의 제1 출력에 기초하여 상기 심볼 내 에러 위치들 중 하나를 선택하는 멀티플렉서들;

상기 멀티플렉서들의 출력 및 상기 ROM 테이블의 제2 출력에 기초하여 정정 데이터를 생성하는 ROM 쉬프터; 및

상기 코드워드 세트 및 상기 정정 데이터에 기초하여 에러 정정 데이터를 생성하는 연산기를 포함하는 것을 특징으로 하는 메모리 시스템.

청구항 17

제 16 항에 있어서,

상기 반전 플래그 데이터가 0이고 상기 ROM 쉬프터 플래그 데이터가 0인 경우에, 상기 SEC 신드롬 데이터에 따라 에러 없음을 선언하거나, 상기 제1 및 제2 데이터 비트들에 대한 2비트 에러를 정정하거나, 상기 에러 검출을 선언하는 것을 특징으로 하는 메모리 시스템.

청구항 18

제 16 항에 있어서,

상기 반전 플래그 데이터가 0이고 상기 ROM 쉬프터 플래그 데이터가 1인 경우에, 상기 SEC 신드롬 데이터에 따라 상기 에러 검출을 선언하거나, 상기 제1 데이터 비트에 대한 1비트 에러를 정정하거나, 상기 제2 데이터 비트에 대한 1비트 에러를 정정하는 것을 특징으로 하는 메모리 시스템.

청구항 19

제 16 항에 있어서,

상기 반전 플래그 데이터가 1이고 상기 ROM 쉬프터 플래그 데이터가 0인 경우에, 상기 SEC 신드롬 데이터에 따라 상기 에러 검출을 선언하거나, 상기 제3 데이터 비트에 대한 1비트 에러를 정정하는 것을 특징으로 하는 메모리 시스템.

청구항 20

제 16 항에 있어서,

상기 반전 플래그 데이터가 1이고 상기 ROM 쉬프터 플래그 데이터가 1인 경우에, 상기 SEC 신드롬 데이터에 따라 상기 에러 검출을 선언하거나, 상기 제2 및 제3 데이터 비트들에 대한 2비트 에러를 정정하거나, 상기 제1 및 제3 데이터 비트들에 대한 2비트 에러를 정정하는 것을 특징으로 하는 메모리 시스템.

청구항 21

제 11 항에 있어서,

상기 시스템 ECC 엔진은 상기 패리티 검사 행렬을 저장하는 메모리를 더 포함하는 것을 특징으로 하는 메모리 시스템.

청구항 22

제 11 항에 있어서,

상기 시스템 ECC 엔진은 ECC 인코딩을 수행하는 시스템 ECC 인코더를 더 포함하는 것을 특징으로 하는 메모리 시스템.

청구항 23

제 11 항에 있어서,

상기 복수의 메모리 장치들은 복수의 데이터 메모리 장치들 및 적어도 하나의 패리티 메모리 장치를 포함하는 것을 특징으로 하는 메모리 시스템.

청구항 24

제 11 항에 있어서,

상기 복수의 메모리 장치들 각각은 DRAM(dynamic random access memory)인 것을 특징으로 하는 메모리 시스템.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 집적 회로에 관한 것으로서, 더욱 상세하게는 2/3-스포티 심볼 에러 정정이 가능한 ECC(error

correction code) 디코더, 및 상기 ECC 디코더를 포함하는 메모리 시스템에 관한 것이다.

배 경 기 술

[0002] 반도체 메모리 장치는 플래시 메모리(flash memory)와 같은 비휘발성 메모리 장치 및 DRAM(dynamic random access memory)과 같은 휘발성 메모리 장치로 구분될 수 있다. 예를 들어, 휘발성 메모리 장치는 가격이 비교적 저렴하기 때문에 시스템 메모리와 같은 대용량 데이터를 저장하는데 사용되고 있다. 또한, 최근에는 휘발성 메모리 장치의 집적도를 높이기 위하여 공정 스케일을 축소시키고 있으며, 공정 스케일의 축소에 따라 비트 에러율(bit error rate)을 급격하게 증가하고 수율이 낮아질 것으로 예상된다. 한편, 대용량을 구현하기 위하여 복수의 휘발성 메모리 장치들이 메모리 모듈의 형태로 제공된다. 따라서, 반도체 메모리 장치 및 메모리 모듈의 비트 에러율을 감소시키고 신뢰성을 높일 수 있는 방안이 필요하다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 목적은 2/3-스포티 심볼 에러를 고려하여 효율적인 ECC 디코딩을 수행할 수 있는 ECC 디코더를 제공하는 것이다.

[0004] 본 발명의 일 목적은 상기 ECC 디코더를 포함하는 메모리 시스템을 제공하는 것이다.

과제의 해결 수단

[0005] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 ECC(error correction code) 디코더는 신드롬 생성기 및 에러 정정기를 포함한다. 상기 신드롬 생성기는 입력 데이터 및 패리티 검사 행렬을 이용하여, SEC(single error correction) 신드롬 데이터 및 플래그(flag) 신드롬 데이터를 생성한다. 상기 에러 정정기는 상기 SEC 신드롬 데이터 및 상기 플래그 신드롬 데이터를 이용하여, 상기 입력 데이터에 포함된 정정 가능한 에러를 정정한다. 상기 입력 데이터는 제1 방향 및 제2 방향을 따라 배열되는 복수의 데이터 비트들을 포함하고, 상기 제1 방향을 따라 배열되고 각각 3개의 데이터 비트들을 포함하는 복수의 심볼(symbol)들을 포함한다. 상기 복수의 심볼들 중 제1 심볼에 포함되는 제1, 제2 및 제3 데이터 비트들 중 2개의 데이터 비트들에 대해 발생하는 2/3-스포티 심볼 에러(2/3-spotty symbol error)의 검출 및 정정이 가능하다.

[0006] 일 실시예에서, 상기 패리티 검사 행렬은 상기 SEC 신드롬 데이터를 생성하기 위한 SEC 패리티 검사 행렬, 및 상기 플래그 신드롬 데이터를 생성하기 위한 플래그 패리티 검사 행렬을 포함할 수 있다.

[0007] 일 실시예에서, 상기 패리티 검사 행렬은 하기의 [수학식 1]을 만족할 수 있다.

[0008] [수학식 1]

[0009] $$H=\left[\begin{array}{ccc|ccc|ccc|c|ccc} \alpha^0 & \alpha^{\frac{n}{2}} & \alpha^0+\alpha^{\frac{n}{2}} & \alpha^1 & \alpha^{\frac{n}{2}+1} & \alpha^1+\alpha^{\frac{n}{2}+1} & \alpha^2 & \alpha^{\frac{n}{2}+2} & \alpha^2+\alpha^{\frac{n}{2}+2} & \cdots\ \cdots\ \cdots & \alpha^{\frac{n}{2}-1} & \alpha^{n-1} & \alpha^{\frac{n}{2}-1}+\alpha^{n-1} \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & \cdots\ \cdots\ \cdots & 0 & 0 & 1 \\ 1 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & \cdots\ \cdots\ \cdots & 1 & 1 & 0 \end{array}\right]$$

[0010] 일 실시예에서, 상기 신드롬 생성기는 SEC 신드롬 생성기 및 플래그 신드롬 생성기를 포함할 수 있다. 상기 SEC 신드롬 생성기는 상기 입력 데이터 및 상기 SEC 패리티 검사 행렬에 기초하여 상기 SEC 신드롬 데이터를 생성할 수 있다. 상기 플래그 신드롬 생성기는 상기 입력 데이터 및 상기 플래그 패리티 검사 행렬에 기초하여 상기 플래그 신드롬 데이터를 생성할 수 있다.

[0011] 일 실시예에서, 상기 플래그 신드롬 데이터는 ROM 쉬프터(shifter) 플래그 데이터 및 반전(inverse) 플래그 데이터를 포함할 수 있다.

[0012] 일 실시예에서, 상기 에러 정정기는 ROM 테이블, 멀티플렉서들, ROM 쉬프터 및 연산기를 포함할 수 있다. 상기 ROM 테이블은 상기 SEC 신드롬 데이터 및 상기 ROM 쉬프터 플래그 데이터에 기초하여 심볼 내 에러 위치들 및 심볼 위치를 확인하거나 에러 검출을 선언할 수 있다. 상기 멀티플렉서들은 상기 반전 플래그 데이터 및 상기

ROM 테이블의 제1 출력에 기초하여 상기 심볼 내 에러 위치들 중 하나를 선택할 수 있다. 상기 ROM 쉬프터는 상기 멀티플렉서들의 출력 및 상기 ROM 테이블의 제2 출력에 기초하여 정정 데이터를 생성할 수 있다. 상기 연산기는 상기 입력 데이터 및 상기 정정 데이터에 기초하여 에러 정정 데이터를 생성할 수 있다.

[0013] 일 실시예에서, 상기 반전 플래그 데이터가 0이고 상기 ROM 쉬프터 플래그 데이터가 0인 경우에, 상기 SEC 신드롬 데이터에 따라 에러 없음을 선언하거나, 상기 제1 및 제2 데이터 비트들에 대한 2비트 에러를 정정하거나, 상기 에러 검출을 선언할 수 있다.

[0014] 일 실시예에서, 상기 반전 플래그 데이터가 0이고 상기 ROM 쉬프터 플래그 데이터가 1인 경우에, 상기 SEC 신드롬 데이터에 따라 상기 에러 검출을 선언하거나, 상기 제1 데이터 비트에 대한 1비트 에러를 정정하거나, 상기 제2 데이터 비트에 대한 1비트 에러를 정정할 수 있다.

[0015] 일 실시예에서, 상기 반전 플래그 데이터가 1이고 상기 ROM 쉬프터 플래그 데이터가 0인 경우에, 상기 SEC 신드롬 데이터에 따라 상기 에러 검출을 선언하거나, 상기 제3 데이터 비트에 대한 1비트 에러를 정정할 수 있다.

[0016] 일 실시예에서, 상기 반전 플래그 데이터가 1이고 상기 ROM 쉬프터 플래그 데이터가 1인 경우에, 상기 SEC 신드롬 데이터에 따라 상기 에러 검출을 선언하거나, 상기 제2 및 제3 데이터 비트들에 대한 2비트 에러를 정정하거나, 상기 제1 및 제3 데이터 비트들에 대한 2비트 에러를 정정할 수 있다.

[0017] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 메모리 시스템은 메모리 모듈 및 메모리 컨트롤러를 포함한다. 상기 메모리 모듈은 복수의 메모리 장치들을 포함한다. 상기 메모리 컨트롤러는 상기 메모리 모듈을 제어하고, 시스템 ECC(error correction code) 엔진을 포함한다. 상기 시스템 ECC 엔진은 ECC 디코딩을 수행하는 시스템 ECC 디코더를 포함한다. 상기 시스템 ECC 디코더는 신드롬 생성기 및 에러 정정기를 포함한다. 상기 신드롬 생성기는 상기 메모리 모듈로부터 제공되는 코드워드 세트 및 패리티 검사 행렬을 이용하여, SEC(single error correction) 신드롬 데이터 및 플래그(flag) 신드롬 데이터를 생성한다. 상기 에러 정정기는 상기 SEC 신드롬 데이터 및 상기 플래그 신드롬 데이터를 이용하여, 상기 코드워드 세트에 포함된 정정 가능한 에러를 정정한다. 상기 코드워드 세트는 제1 방향 및 제2 방향을 따라 배열되는 복수의 데이터 비트들을 포함하고, 상기 제1 방향을 따라 배열되고 각각 3개의 데이터 비트들을 포함하는 복수의 심볼(symbol)들을 포함한다. 상기 복수의 심볼들 중 제1 심볼에 포함되는 제1, 제2 및 제3 데이터 비트들 중 2개의 데이터 비트들에 대해 발생하는 2/3-스포티 심볼 에러(2/3-spotty symbol error)의 검출 및 정정이 가능하다.

[0018] 일 실시예에서, 상기 패리티 검사 행렬은 상기 SEC 신드롬 데이터를 생성하기 위한 SEC 패리티 검사 행렬, 및 상기 플래그 신드롬 데이터를 생성하기 위한 플래그 패리티 검사 행렬을 포함할 수 있다.

[0019] 일 실시예에서, 상기 패리티 검사 행렬은 하기의 [수학식 2]를 만족할 수 있다.

[0020] [수학식 2]

$$H=\left[\begin{array}{ccc|ccc|ccc|c|ccc} \alpha^0 & \alpha^{\frac{n}{2}} & \alpha^0+\alpha^{\frac{n}{2}} & \alpha^1 & \alpha^{\frac{n}{2}+1} & \alpha^1+\alpha^{\frac{n}{2}+1} & \alpha^2 & \alpha^{\frac{n}{2}+2} & \alpha^2+\alpha^{\frac{n}{2}+2} & \cdots\ \cdots\ \cdots & \alpha^{\frac{n}{2}-1} & \alpha^{n-1} & \alpha^{\frac{n}{2}-1}+\alpha^{n-1} \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & \cdots\ \cdots\ \cdots & 0 & 0 & 1 \\ 1 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & \cdots\ \cdots\ \cdots & 1 & 1 & 0 \end{array}\right]$$

[0021]

[0022] 일 실시예에서, 상기 신드롬 생성기는 SEC 신드롬 생성기 및 플래그 신드롬 생성기를 포함할 수 있다. 상기 SEC 신드롬 생성기는 상기 코드워드 세트 및 상기 SEC 패리티 검사 행렬에 기초하여 상기 SEC 신드롬 데이터를 생성할 수 있다. 상기 플래그 신드롬 생성기는 상기 코드워드 세트 및 상기 플래그 패리티 검사 행렬에 기초하여 상기 플래그 신드롬 데이터를 생성할 수 있다.

[0023] 일 실시예에서, 상기 플래그 신드롬 데이터는 ROM 쉬프터(shifter) 플래그 데이터 및 반전(inverse) 플래그 데이터를 포함할 수 있다.

[0024] 일 실시예에서, 상기 에러 정정기는 ROM 테이블, 멀티플렉서들, ROM 쉬프터 및 연산기를 포함할 수 있다. 상기 ROM 테이블은 상기 SEC 신드롬 데이터 및 상기 ROM 쉬프터 플래그 데이터에 기초하여 심볼 내 에러 위치들 및 심볼 위치를 확인하거나 에러 검출을 선언할 수 있다. 상기 멀티플렉서들은 상기 반전 플래그 데이터 및 상기 ROM 테이블의 제1 출력에 기초하여 상기 심볼 내 에러 위치들 중 하나를 선택할 수 있다. 상기 ROM 쉬프터는 상

기 멀티플렉서들의 출력 및 상기 ROM 테이블의 제2 출력에 기초하여 정정 데이터를 생성할 수 있다. 상기 연산기는 상기 코드워드 세트 및 상기 정정 데이터에 기초하여 에러 정정 데이터를 생성할 수 있다.

[0025] 일 실시예에서, 상기 반전 플래그 데이터가 0이고 상기 ROM 쉬프터 플래그 데이터가 0인 경우에, 상기 SEC 신드롬 데이터에 따라 에러 없음을 선언하거나, 상기 제1 및 제2 데이터 비트들에 대한 2비트 에러를 정정하거나, 상기 에러 검출을 선언할 수 있다.

[0026] 일 실시예에서, 상기 반전 플래그 데이터가 0이고 상기 ROM 쉬프터 플래그 데이터가 1인 경우에, 상기 SEC 신드롬 데이터에 따라 상기 에러 검출을 선언하거나, 상기 제1 데이터 비트에 대한 1비트 에러를 정정하거나, 상기 제2 데이터 비트에 대한 1비트 에러를 정정할 수 있다.

[0027] 일 실시예에서, 상기 반전 플래그 데이터가 1이고 상기 ROM 쉬프터 플래그 데이터가 0인 경우에, 상기 SEC 신드롬 데이터에 따라 상기 에러 검출을 선언하거나, 상기 제3 데이터 비트에 대한 1비트 에러를 정정할 수 있다.

[0028] 일 실시예에서, 상기 반전 플래그 데이터가 1이고 상기 ROM 쉬프터 플래그 데이터가 1인 경우에, 상기 SEC 신드롬 데이터에 따라 상기 에러 검출을 선언하거나, 상기 제2 및 제3 데이터 비트들에 대한 2비트 에러를 정정하거나, 상기 제1 및 제3 데이터 비트들에 대한 2비트 에러를 정정할 수 있다.

[0029] 일 실시예에서, 상기 시스템 ECC 엔진은 상기 패리티 검사 행렬을 저장하는 메모리를 더 포함할 수 있다.

[0030] 일 실시예에서, 상기 시스템 ECC 엔진은 ECC 인코딩을 수행하는 시스템 ECC 인코더를 더 포함할 수 있다.

[0031] 일 실시예에서, 상기 복수의 메모리 장치들은 복수의 데이터 메모리 장치들 및 적어도 하나의 패리티 메모리 장치를 포함할 수 있다.

[0032] 일 실시예에서, 상기 복수의 메모리 장치들 각각은 DRAM(dynamic random access memory)일 수 있다.

발명의 효과

[0033] 상기와 같은 본 발명의 실시예들에 따른 ECC 디코더 및 메모리 시스템에서는, 기존에는 고려하지 않았던 2/3-스포티 심볼 에러에 대응 가능하도록 구현될 수 있다. 해당 부호는 SECDED 부호를 변형하여 구현되며, 이론적으로 가능한 최소 비트를 활용할 수 있는 비트 에러 또는 스포티 심볼 에러 정정이 가능한 에러 정정 부호를 구현할 수 있다. 특히, 다수 파라미터에서 최적으로 구현되고 최소 패리티 비트를 달성할 수 있으며, SECDED와 동일 또는 유사한 패리티 수 및 기존의 3/4-스포티 심볼 에러보다 적은 패리티 수를 사용하여 구현될 수 있다. 따라서, 비트 에러와 스포티 심볼 에러를 동시에 고려한 에러 정정 부호 설계를 통해 시스템의 신뢰성을 높이면서도 에러 정정 부호의 저복잡도 및 효율적 동작이 가능할 수 있다.

도면의 간단한 설명

[0034] 도 1은 본 발명의 실시예들에 따른 ECC 디코더를 나타내는 블록도이다.

도 2는 도 1의 ECC 디코더에 제공되는 입력 데이터를 설명하기 위한 도면이다.

도 3a 및 3b는 본 발명의 실시예들에 따른 ECC 디코더에서 이용되는 패리티 검사 행렬을 설명하기 위한 도면들이다.

도 4는 도 1의 ECC 디코더의 구체적인 일 예를 나타내는 블록도이다.

도 5는 도 4의 ECC 디코더의 동작을 설명하기 위한 도면이다.

도 6은 본 발명의 실시예들에 따른 ECC 디코더의 동작을 나타내는 도면이다.

도 7은 본 발명의 실시예들에 따른 메모리 장치 및 메모리 시스템을 나타내는 블록도이다.

도 8은 도 7의 메모리 시스템에 포함되는 메모리 컨트롤러의 일 예를 나타내는 블록도이다.

도 9는 도 8의 메모리 컨트롤러에 포함되는 시스템 ECC 엔진의 일 예를 나타내는 블록도이다.

도 10은 도 7의 메모리 시스템의 메모리 모듈에 포함되는 데이터 칩의 일 예를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0035] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시

예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

[0036] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0037] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0038] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0039] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0040] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0041] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0042] 도 1은 본 발명의 실시예들에 따른 ECC 디코더를 나타내는 블록도이다.

[0043] 도 1을 참조하면, ECC(error correction code) 디코더(50)는 신드롬 생성기(60) 및 에러 정정기(70)를 포함한다. ECC 디코더(50)는 저지연(low-latency) 디코더로 지칭될 수도 있다.

[0044] 신드롬 생성기(60)는 입력 데이터(r) 및 패리티 검사 행렬(H)을 이용하여, SEC(single error correction) 신드롬 데이터(s_{SEC}) 및 플래그(flag) 신드롬 데이터(s_{flag})를 생성한다.

[0045] 일 실시예에서, ECC 디코더(50)는 메모리 장치(또는 메모리 칩) 및 상기 메모리 장치를 포함하는 메모리 시스템에 포함될 수 있다. 예를 들어, 상기 메모리 시스템은 상기 메모리 장치 및 상기 메모리 장치를 제어하는 메모리 컨트롤러를 포함하고, ECC 디코더(50)는 상기 메모리 컨트롤러에 포함될 수 있다. 이 때, 입력 데이터(r)는 상기 메모리 장치로부터 출력(또는 독출)되어 ECC 디코딩을 수행하고자 하는 코드워드(codeword) 또는 데이터일 수 있다. 입력 데이터(r)에 대해서는 도 2를 참조하여 후술하도록 한다.

[0046] 일 실시예에서, 패리티 검사 행렬(H)은 2/3-스포티 심볼 에러(2/3-spotty symbol error)에 대응 가능하도록 구현될 수 있다. 예를 들어, 많은 파라미터에서 최소 패리티 비트를 달성할 수 있으며, SECDED(single error Correction, double error detection)와 동일 또는 유사한 패리티 수 및 기존의 3/4-스포티 심볼 에러보다 적은 패리티 수를 사용하여 구현될 수 있다. 패리티 검사 행렬(H)에 대해서는 도 3a 및 3b를 참조하여 후술하도록 한다.

[0047] 에러 정정기(70)는 SEC 신드롬 데이터(s_{SEC}) 및 플래그 신드롬 데이터(s_{flag})를 이용하여, 입력 데이터(r)에 포함된 정정 가능한 에러를 정정하고, 입력 데이터(r)에 대응하는 에러 정정 데이터(c)를 생성 및 출력한다. 예를 들어, 입력 데이터(r)에 상기 정정 가능한 에러가 포함되어 에러 정정이 수행된 경우에, 에러 정정 데이터(c)가

생성 및 출력될 수 있다. 한편, 도시하지는 않았으나, 입력 데이터(r)에 상기 정정 가능한 에러가 포함되어 있지 않거나 정정 불가능한 에러가 포함되어 에러 정정이 수행되지 않은 경우에, 입력 데이터(r)와 실질적으로 동일한 비정정 데이터가 출력될 수 있다.

[0048] 신드롬 생성기(60) 및 에러 정정기(70)의 예시적인 구조 및 동작에 대해서는 도 4 및 5를 참조하여 후술하도록 한다.

[0049] 도 2는 도 1의 ECC 디코더에 제공되는 입력 데이터를 설명하기 위한 도면이다.

[0050] 도 1 및 2를 참조하면, 입력 데이터(r)에 대한 데이터 패턴 및 입력 데이터(r)에서 발생할 수 있는 에러 패턴(또는 에러 모델)을 예시하고 있다.

[0051] 입력 데이터(r)는 제1 방향(DL) 및 제2 방향(DR)을 따라 배열되는 복수의 데이터 비트들을 포함하며, 2차원 비트 단위(bit-wise) 어레이로 나타낼 수 있다. 도 2에서, 실선으로 도시된 하나의 사각형이 하나의 데이터 비트(또는 비트)를 나타낸다.

[0052] 입력 데이터(r)의 하나의 행(row, RW)에 포함되는 데이터 비트들의 개수는 입력 데이터(r)를 제공하는 메모리 장치(또는 메모리 칩)의 데이터 입출력 핀들의 개수에 대응할 수 있다. 도 2는 하나의 행(RW)에 포함되는 데이터 비트들의 개수 및 상기 메모리 장치의 데이터 입출력 핀들의 개수가 8개인 경우를 예시하고 있으나, 본 발명은 이에 한정되지 않을 수 있다.

[0053] 입력 데이터(r)의 하나의 열(column)에 포함되는 데이터 비트들의 개수는 입력 데이터(r)를 제공하는 메모리 장치(또는 메모리 칩)의 하나의 데이터 입출력 핀에서 출력되는 데이터 비트들의 개수에 대응할 수 있다. 입력 데이터(r)의 열을 레인(lane, LN)으로 지칭할 수 있고, 하나의 레인(LN)에 포함되고 연속하는 2개 이상의 데이터 비트들을 하나의 심볼(symbol, SB)로 정의할 수 있다. 도 2는 하나의 심볼(SB)에 포함되는 데이터 비트들의 개수가 3개인 경우 및 하나의 레인(LN)에 포함되는 심볼(SB)들의 개수가 1개인 경우를 예시하고 있으나, 본 발명은 이에 한정되지 않을 수 있다.

[0054] 제1 방향(DL)은 레인(LN)의 형성 또는 배열 방향, 즉 레인 방향을 나타내며, 제2 방향(DR)은 행(RW)의 형성 또는 배열 방향, 즉 행 방향을 나타낼 수 있다. 도 2는 입력 데이터(r)가 제2 방향(DR)을 따라 배치되는 총 8개의 레인들(즉, 8개의 심볼들)을 포함하고 제1 방향(DL)을 따라 배치되는 총 3개의 행들을 포함하는 경우를 예시하고 있으나, 본 발명은 이에 한정되지 않을 수 있다.

[0055] 고성능 인터커넥트 및 메모리 시스템에서는 비트 단위의 에러, 근접 에러, 스포티 심볼 에러 및 심볼 에러가 혼재된 형태의 에러 패턴이 발생할 수 있다. 다시 말하면, 입력 데이터(r) 상에서 발생할 수 있는 에러는 비트 단위의 에러, 근접 에러, 스포티 심볼 에러 및 심볼 에러를 포함할 수 있다.

[0056] 비트 단위의 에러는 랜덤 비트 에러(random bit error)로 지칭할 수 있으며, 임의의 레인(LN) 및 임의의 행(RW) 위치에서 발생하는 에러를 나타낼 수 있다. 근접 에러 또는 비트 근접 에러는 근접 비트 상에서 발생하는 에러를 나타낼 수 있다. 도 2에서는 1개의 데이터 비트에 대해 랜덤 비트 에러(RB_ERR)가 발생한 경우를 나타낸다.

[0057] t/b-스포티 심볼 에러는 b(b는 2 이상의 자연수)비트 심볼에 포함된 t(t는 b보다 작은 자연수)개의 비트들에서 발생하는 에러를 나타낼 수 있다. 심볼 에러는 하나의 심볼에 포함된 모든 비트들에서 발생하는 에러를 나타낼 수 있다. 도 2는 3비트 심볼의 2개의 비트들에서 에러가 발생한 경우, 즉 2/3-스포티 심볼 에러(SSB_ERR)가 발생한 경우를 나타내며, 3비트 심볼의 모든 비트들에서 에러가 발생한 경우, 즉 심볼 에러(SB_ERR)가 발생한 경우를 나타낸다.

[0058] 고효율 및 고신뢰성을 갖는 메모리 시스템을 위해서는, 비트 근접 에러 및 t/b-스포티 심볼 에러 패턴을 고려한 에러 정정 부호 기법이 필요하게 되었다. 기존에는 SECDED 부호 또는 제한적 파라미터의 스포티 심볼 에러 정정 부호를 사용하였으나, SECDED 대비 많은 패리티 수를 사용하거나, b=8, 16, ...에 대해서만 적용하거나, b=4 및 t=3인 경우, 즉 3/4-스포티 심볼 에러에 대해서만 분석 및 적용하는 등의 문제가 있었다.

[0059] 본 발명의 실시예들에 따른 ECC 디코더(50)는, 기존에는 고려하지 않았던 2/3-스포티 심볼 에러에 대응 가능하도록 구현될 수 있다. 해당 부호는 SECDED 부호를 변형하여 구현되며, 이론적으로 가능한 최소 비트를 활용할 수 있는 비트 에러 또는 스포티 심볼 에러 정정이 가능한 에러 정정 부호를 구현할 수 있다. 특히, 다수 파라미터에서 최적으로 구현되고 최소 패리티 비트를 달성할 수 있으며, SECDED와 동일 또는 유사한 패리티 수 및 기존의 3/4-스포티 심볼 에러보다 적은 패리티 수를 사용하여 구현될 수 있다. 따라서, 비트 에러와 스포티 심볼 에러를 동시에 고려한 에러 정정 부호 설계를 통해 시스템의 신뢰성을 높이면서도 에러 정정 부호의 저복잡도

및 효율적 동작이 가능할 수 있다.

[0060] 도 3a 및 3b는 본 발명의 실시예들에 따른 ECC 디코더에서 이용되는 패리티 검사 행렬을 설명하기 위한 도면들이다.

[0061] 도 3a 및 3b를 참조하면, 도 2에 도시된 입력 데이터에 대해 적용되는 패리티 검사 행렬(H)을 예시하고 있다.

[0062] 도 3a에 도시된 것처럼, 패리티 검사 행렬(H)은 하기의 [수학식 1]을 만족할 수 있다.

[0063] [수학식 1]

[0064]

$$H=\left[\begin{array}{ccc|ccc|ccc|c|ccc} \alpha^0 & \alpha^{\frac{n}{2}} & \alpha^0+\alpha^{\frac{n}{2}} & \alpha^1 & \alpha^{\frac{n}{2}+1} & \alpha^1+\alpha^{\frac{n}{2}+1} & \alpha^2 & \alpha^{\frac{n}{2}+2} & \alpha^2+\alpha^{\frac{n}{2}+2} & \cdots\ \cdots\ \cdots & \alpha^{\frac{n}{2}-1} & \alpha^{n-1} & \alpha^{\frac{n}{2}-1}+\alpha^{n-1} \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & \cdots\ \cdots\ \cdots & 0 & 0 & 1 \\ 1 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & \cdots\ \cdots\ \cdots & 1 & 1 & 0 \end{array}\right]$$

[0065] 도 3b에 도시된 것처럼, 패리티 검사 행렬(H)은 SEC 신드롬 데이터(s_{SEC})를 생성하기 위한 SEC 패리티 검사 행렬(H_{SEC}), 및 플래그 신드롬 데이터(s_{flag})를 생성하기 위한 플래그 패리티 검사 행렬(H_{flag})을 포함할 수 있다. 플래그 패리티 검사 행렬(H_{flag})은 반전(inverse) 플래그 데이터(예를 들어, 도 4의 s_{Inv})를 생성하기 위한 반전 플래그 패리티 검사 행렬(H_{Inv}), 및 ROM(read-only memory) 쉬프터(shifter) 플래그 데이터(예를 들어, 도 4의 s_{RS})를 생성하기 위한 ROM 쉬프터 플래그 패리티 검사 행렬(H_{RS})을 포함할 수 있다.

[0066] 또한, 패리티 검사 행렬(H)은 3비트 심볼을 n(n은 2 이상의 자연수)개 포함하는 n비트 코드워드에 대해 적용될 수 있다. SEC 패리티 검사 행렬(H_{SEC})은 3비트 심볼의 하나의 데이터 비트에 대해 적용되는 $\log_2(2n/3+1)$비트의 원소들을 포함하며, 플래그 패리티 검사 행렬(H_{flag})은 3비트 심볼의 하나의 데이터 비트에 대해 적용되는 2비트의 원소들을 포함할 수 있다.

[0067] 상술한 것처럼, 패리티 검사 행렬(H)은 SECDED 부호를 변형하여 구현되며, 기존에 알려진 SECDED 부호와 같거나 근접하는 패리티 수를 활용하여(즉, 동일 수준 또는 여분의 추가 패리티를 활용하여) 2/3-스포티 심볼 에러에 대한 정정 능력을 가질 수 있다. 최소 패리티 수 활용으로 특정 패턴의 다수 비트 에러(즉, 2/3-스포티 심볼 에러)에 대한 저지연 정정이 가능하며, SECDED 부호와 동일한 수준으로 특정 패턴(즉, 2/3-스포티 심볼 에러)에 대한 추가적인 저지연 정정이 가능할 수 있다.

[0068] 도 4는 도 1의 ECC 디코더의 구체적인 일 예를 나타내는 블록도이다.

[0069] 도 4를 참조하면, ECC 디코더(50a)는 신드롬 생성기(60a) 및 에러 정정기(70a)를 포함할 수 있다.

[0070] 신드롬 생성기(60a)는 SEC 신드롬 생성기(61) 및 플래그 신드롬 생성기(63)를 포함할 수 있다.

[0071] SEC 신드롬 생성기(61)는 입력 데이터(r) 및 패리티 검사 행렬(H)에 포함되는 SEC 패리티 검사 행렬(H_{SEC})에 기초하여 SEC 신드롬 데이터(s_{SEC})를 생성할 수 있다. 플래그 신드롬 생성기(63)는 입력 데이터(r) 및 패리티 검사 행렬(H)에 포함되는 플래그 패리티 검사 행렬(H_{flag})에 기초하여 ROM 쉬프터 플래그 데이터(s_{RS}) 및 반전 플래그 데이터(s_{Inv})를 포함하는 플래그 신드롬 데이터(s_{flag})를 생성할 수 있다.

[0072] 예를 들어, SEC 신드롬 데이터(s_{SEC}) 및 플래그 신드롬 데이터(s_{flag})는 하기의 [수학식 2] 및 [수학식 3]에 기초하여 획득될 수 있다. (T는 전치 행렬을 나타낸다)

[0073] [수학식 2]

[0074]

$$(\mathbf{s}_{SEC})^T = H_{SEC}\mathbf{r}^T$$

[0075] [수학식 3]

[0076] $$\left(\mathbf{s}_{flag}\right)^{T} = H_{flag}\mathbf{r}^{T}$$

[0077] 에러 정정기(70a)는 ROM 테이블(71), 멀티플렉서들(73a, 73b, 73c), ROM 쉬프터(75) 및 연산기(77)를 포함할 수 있다.

[0078] ROM 테이블(71)은 SEC 신드롬 데이터(s_{SEC}) 및 플래그 신드롬 데이터(s_{flag})에 포함되는 ROM 쉬프터 플래그 데이터(s_{RS})에 기초하여 심볼 내 에러 위치들 및 심볼 위치를 확인하거나 에러 검출을 선언할 수 있다. 예를 들어, ROM shifter flag 및 SEC을 활용하여 두 심볼 내 오류 위치 및 심볼 위치를 확인하거나 혹은 에러 검출을 선언할 수 있다. 예를 들어, ROM 테이블(71)은 제1 출력들(RO11, RO12, RO13) 및 제2 출력들(RO21, RO22, RO23)을 제공하거나 에러 검출 플래그(ED_FLAG)를 제공할 수 있다.

[0079] 멀티플렉서들(73a, 73b, 73c)은 플래그 신드롬 데이터(s_{flag})에 포함되는 반전 플래그 데이터(s_{Inv}) 및 ROM 테이블(71)의 제1 출력들(RO11, RO12, RO13)에 기초하여 상기 심볼 내 에러 위치들 중 하나를 선택할 수 있다. 예를 들어, 두 심볼 내 오류 위치, 2-입력 멀티플렉서 및 inverse flag를 활용하여, 두 심볼 내 오류 위치 중 하나를 결정할 수 있다. 예를 들어, 제1 출력들(RO11, RO12, RO13)이 두 심볼 내 오류 위치에 대응할 수 있다.

[0080] ROM 쉬프터(75)는 멀티플렉서들(73a, 73b, 73c)의 출력들(MO1, MO2, MO3) 및 ROM 테이블(71)의 제2 출력들(RO21, RO22, RO23)에 기초하여 정정 데이터(e)를 생성할 수 있다. 예를 들어, 심볼에 부호어 길이만큼 zero padding 후, 심볼 위치가 결정된 후 shift 연산을 통해 심볼 간 위치를 조정하여 정정 데이터(e)를 생성할 수 있다. 예를 들어, 제2 출력들(RO21, RO22, RO23)은 인덱스 i를 나타내며, 3i times만큼 shift 연산을 수행하여 정정 데이터(e)를 생성할 수 있다. 예를 들어, 정정 데이터(e)는 정정 벡터에 대응할 수 있다.

[0081] 연산기(77)는 입력 데이터(r) 및 정정 데이터(e)에 기초하여 에러 정정 데이터(c)를 생성할 수 있다. 예를 들어, 하기의 [수학식 4]에 기초하여 에러 정정을 수행할 수 있다.

[0082] [수학식 4]

[0083] $$\mathbf{c} = \mathbf{r} + \mathbf{e}$$

[0084] 도 5는 도 4의 ECC 디코더의 동작을 설명하기 위한 도면이다.

[0085] 도 4 및 5를 참조하면, ECC 디코더(50a)는 반전 플래그 데이터(s_{Inv}), ROM 쉬프터 플래그 데이터(s_{RS}) 및 SEC 신드롬 데이터(s_{SEC})의 값에 따라 에러 정정, 에러 검출 등을 수행할 수 있다.

[0086] 상술한 것처럼, ECC 디코더(50a)는 3비트 심볼인 제1 심볼에 포함되는 제1, 제2 및 제3 데이터 비트들 중 2개의 데이터 비트들에 대해 발생하는 2/3-스포티 심볼 에러(도 2의 SSB_ERR)의 검출 및 정정이 가능하도록 구현될 수 있다.

[0087] 일 실시예에서, 반전 플래그 데이터(s_{Inv})가 0이고 ROM 쉬프터 플래그 데이터(s_{RS})가 0인 경우에, SEC 신드롬 데이터(s_{SEC})에 따라 에러 없음을 선언하거나, 제1 및 제2 데이터 비트들에 대한 2비트 에러를 정정하거나, 에러 검출을 선언할 수 있다. 구체적으로, SEC 신드롬 데이터(s_{SEC})가 0인 경우에 상기 에러 없음을 선언하고, SEC 신드롬 데이터(s_{SEC})가 $\{\alpha^0+\alpha^{\frac{n}{2}}, \alpha(\alpha^0+\alpha^{\frac{n}{2}}), \ldots, \alpha^{\frac{n}{2}-1}(\alpha^0+\alpha^{\frac{n}{2}})\}$ 인 경우에 상기 제1 및 제2 데이터 비트들에 대한 2비트 에러를 정정하며, 그 밖의 경우에 상기 에러 검출을 선언할 수 있다.

[0088] 일 실시예에서, 반전 플래그 데이터(s_{Inv})가 0이고 ROM 쉬프터 플래그 데이터(s_{RS})가 1인 경우에, SEC 신드롬 데이터(s_{SEC})에 따라 에러 검출을 선언하거나, 제1 데이터 비트에 대한 1비트 에러를 정정하거나, 제2 데이터 비트에 대한 1비트 에러를 정정할 수 있다. 구체적으로, SEC 신드롬 데이터(s_{SEC})가 0인 경우에 상기 에러 검출을 선언하고, SEC 신드롬 데이터(s_{SEC})가 $\{\alpha^0, \alpha^1, \ldots, \alpha^{\frac{n}{2}-1}\}$ 인 경우에 상기 제1 데이터 비트에 대한 1비트 에러를

정정하며, SEC 신드롬 데이터(s_{SEC})가 $\{\alpha^{\frac{n}{2}}, \alpha^{\frac{n}{2}+1}, \ldots, \alpha^{n-1}\}$ 인 경우에 상기 제1 데이터 비트에 대한 1비트 에러를 정정할 수 있다.

[0089] 일 실시예에서, 반전 플래그 데이터(s_{Inv})가 1이고 ROM 쉬프터 플래그 데이터(s_{RS})가 0인 경우에, SEC 신드롬 데이터(s_{SEC})에 따라 에러 검출을 선언하거나, 제3 데이터 비트에 대한 1비트 에러를 정정할 수 있다. 구체적으로, SEC 신드롬 데이터(s_{SEC})가 0인 경우에 상기 에러 검출을 선언하고, SEC 신드롬 데이터(s_{SEC})가 $\{\alpha^0 + \alpha^{\frac{n}{2}}, \alpha(\alpha^0 + \alpha^{\frac{n}{2}}), \ldots, \alpha^{\frac{n}{2}-1}(\alpha^0 + \alpha^{\frac{n}{2}})\}$ 인 경우에 상기 제3 데이터 비트에 대한 1비트 에러를 정정하며, 그 밖의 경우에 상기 에러 검출을 선언할 수 있다.

[0090] 일 실시예에서, 반전 플래그 데이터(s_{Inv})가 1이고 ROM 쉬프터 플래그 데이터(s_{RS})가 1인 경우에, SEC 신드롬 데이터(s_{SEC})에 따라 에러 검출을 선언하거나, 제2 및 제3 데이터 비트들에 대한 2비트 에러를 정정하거나, 제1 및 제3 데이터 비트들에 대한 2비트 에러를 정정할 수 있다. 구체적으로, SEC 신드롬 데이터(s_{SEC})가 0인 경우에 상기 에러 검출을 선언하고, SEC 신드롬 데이터(s_{SEC})가 $\{\alpha^0, \alpha^1, \ldots, \alpha^{\frac{n}{2}-1}\}$ 인 경우에 상기 제2 및 제3 데이터 비트들에 대한 2비트 에러를 정정하며, SEC 신드롬 데이터(s_{SEC})가 $\{\alpha^{\frac{n}{2}}, \alpha^{\frac{n}{2}+1}, \ldots, \alpha^{n-1}\}$ 인 경우에 상기 제1 및 제3 데이터 비트들에 대한 2비트 에러를 정정할 수 있다.

[0091] 도 6은 본 발명의 실시예들에 따른 ECC 디코더의 동작을 나타내는 도면이다.

[0092] 도 6을 참조하면, 본 발명의 실시예들에 따른 제안 부호의 달성 가능 파라미터 및 기존 부호와의 비교를 나타낸다.

[0093] 도 6에서, Conv. 3/4 spotty는 3/4 스포티 심볼 오류에 대응할 수 있는 기존의 부호를 나타내고, Prop, 2/3 spotty는 2/3 스포티 심볼 오류에 대응할 수 있는 본 발명의 실시예들에 따른 제안 부호를 나타내며, SECDED는 기존의 SECDED 부호를 나타낸다. 많은 파라미터에서 본 발명의 실시예들에 따른 제안 부호가 기존의 SECDED 부호와 동일한 패리티를 사용하고 기존의 3/4 스포티 심볼 오류에 대응할 수 있는 부호보다 적은 패리티를 사용함을 확인할 수 있다.

[0094] 도 7은 본 발명의 실시예들에 따른 메모리 장치 및 메모리 시스템을 나타내는 블록도이다.

[0095] 도 7을 참조하면, 메모리 시스템(10)은 메모리 컨트롤러(100) 및 메모리 모듈(MM)을 포함할 수 있다. 메모리 모듈(MM)은 복수의 메모리 칩들(200a ..., 200k, 200p)을 포함할 수 있다. 복수의 메모리 칩들(200a~200k, 200p)은 복수의 데이터 칩들(200a~200k) 및 적어도 하나의 패리티 칩(200p)을 포함할 수 있다. 복수의 메모리 칩들(200a~200k, 200p) 각각은 반도체 메모리 장치 또는 메모리 장치로 지칭될 수 있다.

[0096] 메모리 컨트롤러(100)는 메모리 시스템(10)의 동작을 전반적으로 제어하며, 외부의 호스트와 메모리 칩들(또는 메모리 장치들)(200a~200k, 200p) 사이의 전반적인 데이터 교환을 제어한다. 예를 들어, 메모리 컨트롤러(100)는 상기 호스트의 요청에 따라 메모리 칩들(200a~200k, 200p)을 제어하여 데이터를 기입하거나(write) 데이터를 독출할 수 있다(read). 또한, 메모리 컨트롤러(100)는 메모리 칩들(200a~200k, 200p)을 제어하기 위한 동작 커맨드(command)들을 인가하여, 메모리 칩들(200a~200k, 200p)의 동작을 제어할 수 있다.

[0097] 일 실시예에서, 메모리 칩들(200a~200k, 200p) 각각은 동적 메모리 셀들을 구비하는 DRAM(dynamic random access memory)일 수 있다.

[0098] 일 실시예에서, 데이터 칩들(200a~200k)의 수는 8 또는 16일 수 있으나 이에 한정되는 것은 아니다. 데이터 칩들(200a~200k) 각각은 데이터 메모리 장치로 지칭될 수 있고, 패리티 칩(200p)은 패리티 메모리 장치, ECC 메모리 장치 또는 리던던트 메모리 장치로 지칭될 수 있다.

[0099] 메모리 컨트롤러(100)는 메모리 모듈(MM)에 커맨드(CMD) 및 어드레스(ADDR)를 인가하고, 메모리 모듈(MM)과 코드워드 세트(SCW)를 주고받을 수 있다.

[0100] 메모리 컨트롤러(100)는 시스템(system, SYS) ECC 엔진(또는 제1 ECC 엔진)(130)을 포함할 수 있다. 메모리 칩들(200a~200k, 200p)은 온-다이(on-die, OD) ECC 엔진들(또는 제2 ECC 엔진들)(400a, ..., 400k, 400p)을 포함

할 수 있다.

[0101] 시스템 ECC 엔진(130)은 ECC 디코딩을 수행하는 시스템 ECC 디코더(또는 제1 ECC 디코더)(SYS_DEC)를 포함할 수 있다. 온-다이 ECC 엔진들(400a~400k, 400p) 각각은 ECC 디코딩을 수행하는 온-다이 ECC 디코더(또는 제2 ECC 디코더)(OD_DEC)를 포함할 수 있다. 시스템 ECC 디코더(SYS_DEC)는 도 1 내지 6을 참조하여 상술한 본 발명의 실시예들에 따른 ECC 디코더일 수 있고, 2/3-스포티 심볼 에러(도 2의 SSB_ERR)의 검출 및 정정이 가능하도록 구현될 수 있다. 실시예에 따라서, 온-다이 ECC 디코더(OD_DEC) 또한 도 1 내지 6을 참조하여 상술한 본 발명의 실시예들에 따른 ECC 디코더일 수 있다.

[0102] 한편, 실시예에 따라서 메모리 칩들(200a~200k, 200p) 각각은 버스트 동작(burst operation)을 수행할 수 있다. 버스트 동작은 메모리 칩들(200a~200k, 200p)이 메모리 컨트롤러(100)로부터 수신한 초기 어드레스로부터 어드레스를 순차적으로 감소 혹은 증가함으로써 다량의 데이터를 기입하거나 독출하는 동작을 의미한다. 버스트 동작의 기본 단위를 버스트 길이(burst length; BL)라고 한다.

[0103] 도 8은 도 7의 메모리 시스템에 포함되는 메모리 컨트롤러의 일 예를 나타내는 블록도이다.

[0104] 도 8을 참조하면, 메모리 컨트롤러(100)는 프로세서(110), 호스트 인터페이스(120), 데이터 레지스터(125), 시스템 ECC 엔진(130), 커맨드 버퍼(190) 및 어드레스 버퍼(195)를 포함할 수 있다. 시스템 ECC 엔진(130)은 ECC 인코더(140), ECC 디코더(150) 및 메모리(180)를 포함할 수 있다.

[0105] 호스트 인터페이스(120)는 외부의 호스트로부터 제공되는 리퀘스트(REQ) 및 사용자 데이터 세트(또는 메인 데이터)(SDQ)를 수신하고, 사용자 데이터 세트(SDQ)와 관련된 메타 데이터(MDT)를 생성하고, 사용자 데이터 세트(SDQ)를 데이터 레지스터(125)에 제공하며, 메타 데이터(MDT)를 ECC 인코더(140)에 제공할 수 있다. 데이터 레지스터(125)는 사용자 데이터 세트(SDQ)를 ECC 인코더(140)에 제공할 수 있다.

[0106] ECC 인코더(140)는 기입 동작에서 패리티 생성 행렬을 이용하여 사용자 데이터 세트(SDQ) 및 메타 데이터(MDT)에 대한 ECC 인코딩을 수행하여 코드워드 세트(또는 코드워드)(SCW1)를 생성할 수 있다. 코드워드 세트(SCW1)는 메모리 모듈(MM)로 제공되어 메모리 모듈(MM)에 저장되는 기입 데이터에 대응할 수 있다.

[0107] ECC 디코더(150)는 도 7의 시스템 ECC 디코더(SYS_DEC)에 대응할 수 있다. ECC 디코더(150)는 독출 동작에서 패리티 검사 행렬을 이용하여 메모리 모듈(MM)로부터 수신되는 코드워드 세트(SCW2)에 대한 ECC 디코딩을 수행하여 사용자 데이터 세트(SDQ) 또는 정정된 사용자 데이터 세트(C_SDQ)를 생성하고, 사용자 데이터 세트(SDQ) 또는 정정된 사용자 데이터 세트(C_SDQ)를 프로세서(110)에 제공할 수 있다. 코드워드 세트(SCW2)는 메모리 모듈(MM)로부터 수신되는 독출 데이터에 대응하고, 도 1의 입력 데이터(r)에 대응할 수 있다.

[0108] 메모리(180)는 상기 패리티 생성 행렬 및 상기 패리티 검사 행렬을 저장할 수 있다. 예를 들어, 상기 패리티 검사 행렬은 도 3a 및 3b를 참조하여 상술한 본 발명의 실시예들에 따른 패리티 검사 행렬(H)일 수 있다.

[0109] 프로세서(110)는 사용자 데이터 세트(SDQ) 또는 정정된 사용자 데이터 세트(C_SDQ)를 수신하고, 시스템 ECC 엔진(130), 커맨드 버퍼(190) 및 어드레스 버퍼(195)를 제어할 수 있다. 예를 들어, 프로세서는 CPU(central processing unit)를 포함할 수 있다.

[0110] 커맨드 버퍼(190)는 리퀘스트(REQ)에 상응하는 커맨드(CMD)를 저장하고, 프로세서(110)의 제어에 따라 메모리 모듈(MM)에 커맨드(CMD)를 전송할 수 있다. 어드레스 버퍼(195)는 어드레스(ADDR)를 저장하고, 프로세서(110)의 제어에 따라 메모리 모듈(MM)에 어드레스(ADDR)를 전송할 수 있다.

[0111] 도 9는 도 8의 메모리 컨트롤러에 포함되는 시스템 ECC 엔진의 일 예를 나타내는 블록도이다.

[0112] 도 9를 참조하면, 시스템 ECC 엔진(130)은 ECC 인코더(140), ECC 디코더(150) 및 메모리(180)를 포함할 수 있다. 메모리(180)는 ECC 인코더(140) 및 ECC 디코더(150)에 연결되고, 패리티 생성 행렬(PGM)과 패리티 검사 행렬(PCM)을 포함할 수 있다.

[0113] ECC 인코더(140)는 기입 동작에서 패리티 생성 행렬(PGM)을 이용하여 사용자 데이터 세트(SDQ)와 메타 데이터(MDT)에 대한 ECC 인코딩을 수행하여, 제1 패리티 데이터(PRTL) 및 제2 패리티 데이터(PRTM)를 포함하는 패리티 데이터 세트(SPRT)를 생성하고, 사용자 데이터 세트(SDQ), 메타 데이터(MDT) 및 패리티 데이터 세트(SPRT)를 포함하는 코드워드 세트(SCW1)를 출력할 수 있다. 사용자 데이터 세트(SDQ)는 데이터 칩들(예를 들어, 도 8의 200a~200k)에 저장되고, 메타 데이터(MDT) 및 패리티 데이터 세트(SPRT)는 패리티 칩(예를 들어, 도 8의 200p)에 저장될 수 있다.

[0114] ECC 디코더(150)는 독출 동작에서 패리티 검사 행렬(PCM) 및 선택된 디코딩 방식을 이용하여 사용자 데이터 세트(SDQ), 메타 데이터(MDT) 및 패리티 데이터 세트(SPRT)를 포함하는 코드워드 세트(SCW2)에 대한 ECC 디코딩을 수행하여, 사용자 데이터 세트(SDQ) 또는 정정된 사용자 데이터 세트(C_SDQ)를 출력할 수 있다. 패리티 검사 행렬(PCM)은 도 3a 및 3b를 참조하여 상술한 본 발명의 실시예들에 따른 패리티 검사 행렬(H)일 수 있다.

[0115] 도 10은 도 7의 메모리 시스템의 메모리 모듈에 포함되는 데이터 칩의 일 예를 나타내는 블록도이다.

[0116] 도 10을 참조하면, 데이터 칩(200a)은 제어 로직 회로(210), 어드레스 레지스터(220), 뱅크 제어 로직(230), 로우 어드레스 멀티플렉서(240), 컬럼 어드레스 래치(250), 로우 디코더(260), 컬럼 디코더(270), 메모리 셀 어레이(300), 센스 앰프부(285), 입출력 게이팅 회로(290), 데이터 입출력 버퍼(295), 온-다이 ECC 엔진(400a) 및 리프레쉬 카운터(245)를 포함할 수 있다.

[0117] 메모리 셀 어레이(300)는 제1 내지 제8 뱅크 어레이들(310~380)을 포함할 수 있다. 또한, 로우 디코더(260)는 제1 내지 제8 뱅크 어레이들(310~380)에 각각 연결된 제1 내지 제8 뱅크 로우 디코더들(260a~260h)을 포함하고, 컬럼 디코더(270)는 제1 내지 제8 뱅크 어레이들(310~380)에 각각 연결된 제1 내지 제8 뱅크 컬럼 디코더들(270a~270h)을 포함하며, 센스 앰프부(285)는 제1 내지 제8 뱅크 어레이들(310~380)에 각각 연결된 제1 내지 제8 뱅크 센스 앰프들(285a~285h)을 포함할 수 있다.

[0118] 제1 내지 제8 뱅크 어레이들(310~380), 제1 내지 제8 뱅크 센스 앰프들(285a~285h), 제1 내지 제8 뱅크 칼럼 디코더들(270a~270h) 및 제1 내지 제8 뱅크 로우 디코더들(260a~260h)은 제1 내지 제8 뱅크들을 각각 구성할 수 있다. 제1 내지 제8 뱅크 어레이들(310~380) 각각은 복수의 워드 라인들(WL), 복수의 비트 라인들(BTL), 및 워드 라인들(WL)과 비트 라인들(BTL)이 교차하는 지점에 형성되는 복수의 메모리 셀들(MC)을 포함할 수 있다.

[0119] 도 10에는 8개의 뱅크들을 포함하는 데이터 칩(200a)의 예가 도시되어 있으나, 실시예에 따라서 데이터 칩(200a)은 임의의 수의 뱅크들을 포함할 수 있다.

[0120] 어드레스 레지스터(220)는 메모리 컨트롤러(100)로부터 뱅크 어드레스(BANK_ADDR), 로우 어드레스(ROW_ADDR) 및 컬럼 어드레스(COL_ADDR)를 포함하는 어드레스(ADDR)를 수신할 수 있다. 어드레스 레지스터(220)는 수신된 뱅크 어드레스(BANK_ADDR)를 뱅크 제어 로직(230)에 제공하고, 수신된 로우 어드레스(ROW_ADDR)를 로우 어드레스 멀티플렉서(240)에 제공하며, 수신된 컬럼 어드레스(COL_ADDR)를 컬럼 어드레스 래치(250)에 제공할 수 있다.

[0121] 뱅크 제어 로직(230)은 뱅크 어드레스(BANK_ADDR)에 응답하여 뱅크 제어 신호들을 생성할 수 있다. 상기 뱅크 제어 신호들에 응답하여, 제1 내지 제8 뱅크 로우 디코더들(260a~260h) 중 뱅크 어드레스(BANK_ADDR)에 상응하는 뱅크 로우 디코더가 활성화되고, 제1 내지 제8 뱅크 컬럼 디코더들(270a~270h) 중 뱅크 어드레스(BANK_ADDR)에 상응하는 뱅크 컬럼 디코더가 활성화될 수 있다.

[0122] 로우 어드레스 멀티플렉서(240)는 어드레스 레지스터(220)로부터 로우 어드레스(ROW_ADDR)를 수신하고, 리프레쉬 카운터(245)로부터 리프레쉬 로우 어드레스(REF_ADDR)를 수신할 수 있다. 로우 어드레스 멀티플렉서(240)는 로우 어드레스(ROW_ADDR) 또는 리프레쉬 로우 어드레스(REF_ADDR)를 로우 어드레스(RA)로서 선택적으로 출력할 수 있다. 로우 어드레스 멀티플렉서(240)로부터 출력된 로우 어드레스(RA)는 제1 내지 제8 뱅크 로우 디코더들(260a~260h)에 각각 인가될 수 있다.

[0123] 제1 내지 제8 뱅크 로우 디코더들(260a~260h) 중 뱅크 제어 로직(230)에 의해 활성화된 뱅크 로우 디코더는 로우 어드레스 멀티플렉서(240)로부터 출력된 로우 어드레스(RA)를 디코딩하여 상기 로우 어드레스에 상응하는 워드 라인을 활성화할 수 있다. 예를 들어, 상기 활성화된 뱅크 로우 디코더는 로우 어드레스(RA)에 상응하는 워드 라인에 워드 라인 구동 전압을 인가할 수 있다.

[0124] 컬럼 어드레스 래치(250)는 어드레스 레지스터(220)로부터 컬럼 어드레스(COL_ADDR)를 수신하고, 수신된 컬럼 어드레스(COL_ADDR)를 일시적으로 저장할 수 있다. 또한, 컬럼 어드레스 래치(250)는, 버스트 모드에서, 수신된 컬럼 어드레스(COL_ADDR)를 점진적으로 증가시킬 수 있다. 컬럼 어드레스 래치(250)는 일시적으로 저장된 또는 점진적으로 증가된 컬럼 어드레스(COL_ADDR)를 제1 내지 제8 뱅크 컬럼 디코더들(270a~270h)에 각각 인가할 수 있다.

[0125] 제1 내지 제8 뱅크 컬럼 디코더들(270a~270h) 중 뱅크 제어 로직(230)에 의해 활성화된 뱅크 컬럼 디코더는 입출력 게이팅 회로(290)를 통하여 뱅크 어드레스(BANK_ADDR) 및 컬럼 어드레스(COL_ADDR)에 상응하는 센스 앰프를 활성화시킬 수 있다.

[0126] 입출력 게이팅 회로(290)는 입출력 데이터를 게이팅하는 회로들과 함께, 입력 데이터 마스크 로직, 제1 내지 제

8 뱅크 어레이들(310~380)로부터 출력된 데이터를 저장하기 위한 독출 데이터 래치들, 및 제1 내지 제8 뱅크 어레이들(310~380)에 데이터를 기입하기 위한 기입 드라이버들을 포함할 수 있다.

[0127] 제1 내지 제8 뱅크 어레이들(310~380) 중 하나의 뱅크 어레이에서 독출된 코드워드(CW)는 상기 하나의 뱅크 어레이에 상응하는 센스 앰프에 의해 감지되고, 상기 독출 데이터 래치들에 저장될 수 있다. 상기 독출 데이터 래치들에 저장된 코드워드(CW)는 온-다이 ECC 엔진(400a)에 의하여 ECC 디코딩이 수행된 후에 데이터 입출력 버퍼(295)를 통하여 데이터 세트(또는 사용자 데이터 또는 메인 데이터)(DQ_BL)로서 메모리 컨트롤러(100)에 제공될 수 있다.

[0128] 제1 내지 제8 뱅크 어레이들(310~380) 중 하나의 뱅크 어레이에 기입될 데이터 세트(DQ_BL)는 온-다이 ECC 엔진(400a)에 제공되고, 온-다이 ECC 엔진(400a)은 사용자 데이터(DQ_BL)에 기초하여 패리티 데이터를 생성하고, 데이터 세트(DQ_BL)와 상기 패리티 데이터를 포함하는 코드워드(CW)를 입출력 게이팅 회로(290)에 제공하고, 입출력 게이팅 회로(290)는 상기 기입 드라이버들을 통하여 코드워드(CW)를 상기 하나의 뱅크 어레이의 서브 페이지에 기입할 수 있다.

[0129] 데이터 입출력 버퍼(295)는 기입 동작에서는 데이터 세트(DQ_BL)를 온-다이 ECC 엔진(400a)에 제공하고, 독출 동작에서는 온-다이 ECC 엔진(400a)으로부터 제공되는 데이터 세트(DQ_BL)를 메모리 컨트롤러(100)에 제공할 수 있다.

[0130] 제어 로직 회로(210)는 메모리 칩(200a)의 동작을 제어할 수 있다. 예를 들어, 제어 로직 회로(210)는 메모리 칩(200a)이 기입 동작 또는 독출 동작을 수행하도록 제어 신호들을 생성할 수 있다. 제어 로직 회로(210)는 메모리 컨트롤러(100)로부터 수신되는 커맨드(CMD)를 디코딩하는 커맨드 디코더(211) 및 메모리 칩(200a)의 동작 모드를 설정하기 위한 모드 레지스터(212)를 포함할 수 있다.

[0131] 예를 들어, 커맨드 디코더(211)는 기입 인에이블 신호, 로우 어드레스 스트로브 신호, 컬럼 어드레스 스트로브 신호, 칩 선택 신호 등을 디코딩하여 커맨드(CMD)에 상응하는 상기 제어 신호들을 생성할 수 있다. 제어 로직 회로(210)는 입출력 게이팅 회로(290)를 제어하는 제1 제어 신호(CTL1) 및 온-다이 ECC 엔진(400a)을 제어하는 제2 제어 신호(CTL2)를 생성할 수 있다.

[0132] 한편, 도 7의 패리티 칩(200p)도 데이터 칩(200a)과 실질적으로 동일한 구성을 가질 수 있다. 패리티 칩(200p)은 패리티 데이터를 입출력할 수 있다.

[0133] 한편, 메모리 장치 및 메모리 시스템을 중심으로 본 발명의 실시예들을 설명하였으나, 본 발명의 실시예들은 메모리 장치 및/또는 메모리 시스템과 다른 장치들 사이의 데이터 전송 시에 발생하는 에러를 정정 및/또는 검출하는데 이용될 수도 있다. 예를 들어, ATA(Advanced Technology Attachment), SATA(Serial ATA), PATA(parallel ATA), SCSI(Small Computer Small Interface), SAS(Serial Attached SCSI), PCI(Peripheral Component Interconnection), PCIe(PCI express), CXL(Compute eXpress Link) 등과 같은 다양한 인터페이스 및/또는 인터커넥트를 통한 데이터 전송과 관련하여 본 발명의 실시예들이 적용될 수도 있다.

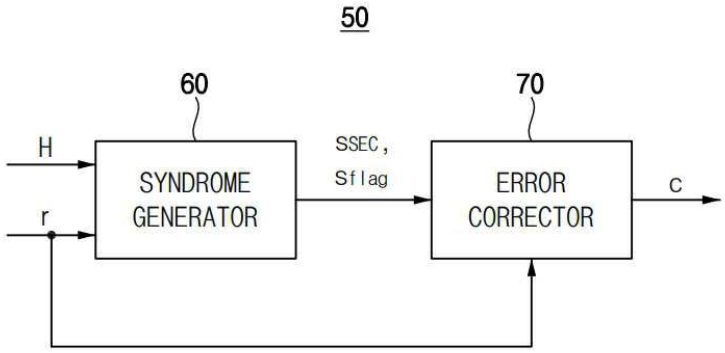
산업상 이용가능성

[0134] 본 발명의 실시예들은 메모리 장치 및 메모리 시스템을 포함하는 임의의 전자 장치 및 시스템에 유용하게 이용될 수 있다. 예를 들어, 본 발명의 실시예들은 PC(Personal Computer), 서버 컴퓨터(server computer), 클라우드 컴퓨터(cloud computer), 데이터 센터(data center), 워크스테이션(workstation), 노트북(laptop), 핸드폰(cellular), 스마트 폰(smart phone), MP3 플레이어, PDA(Personal Digital Assistant), PMP(Portable Multimedia Player), 디지털 TV, 디지털 카메라, 포터블 게임 콘솔(portable game console), 네비게이션(navigation) 기기, 웨어러블(wearable) 기기, IoT(Internet of Things) 기기, IoE(Internet of Everything) 기기, e-북(e-book), VR(Virtual Reality) 기기, AR(Augmented Reality) 기기, 드론(drone), 오토모티브(automotive) 등과 같은 전자 시스템에 더욱 유용하게 적용될 수 있다.

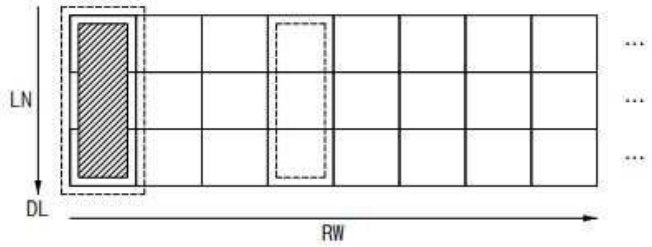
[0135] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

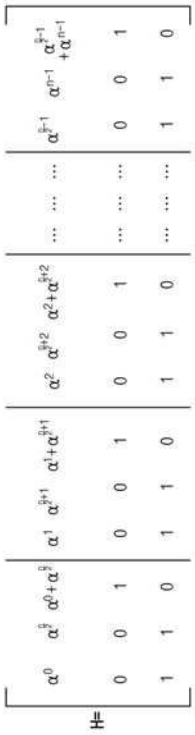
도면1


50
60
70
H
r
SYNDROME GENERATOR
SSEC,
Sflag
ERROR CORRECTOR
c

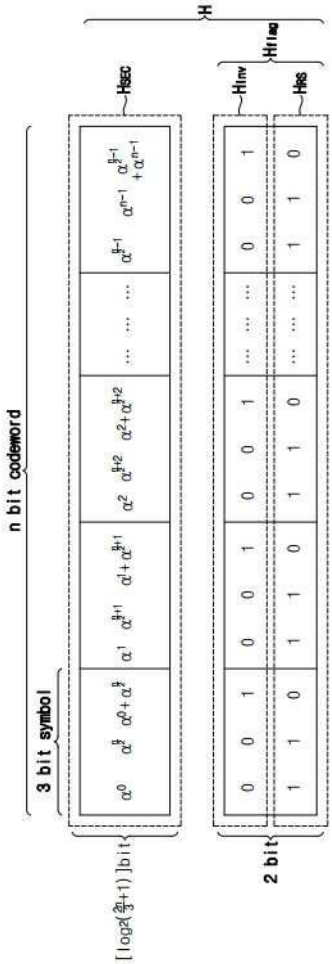
도면2


LN
DL
RW

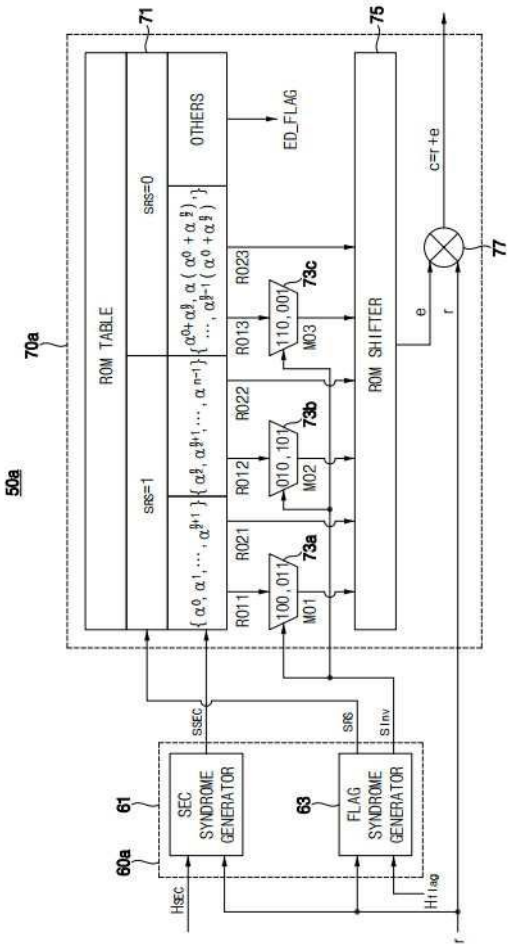
도면3a



도면3b



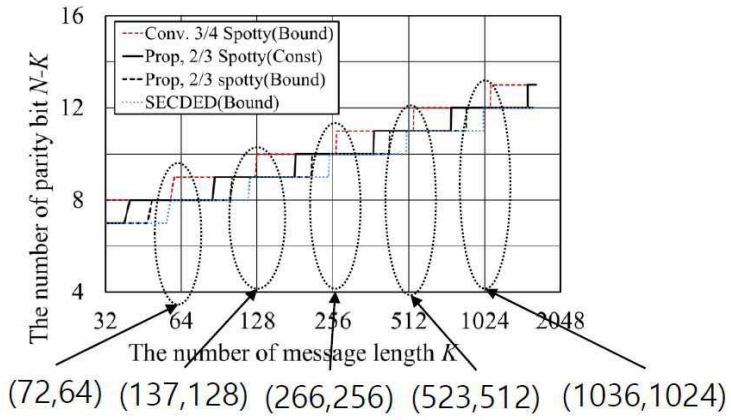
도면4


50a
70a
71
75
77
ROM TABLE
SRS=1
SRS=0
OTHERS
ED_FLAG
ROM SHIFTER
c=r+e
e
r
R011
R021
R012
R022
R013
R023
100, 011
010, 101
110, 001
73a
73b
73c
M01
M02
M03
SSEC
SRS
SInv
60a
61
63
SEC SYNDROME GENERATOR
FLAG SYNDROME GENERATOR
Hsec
Hflag

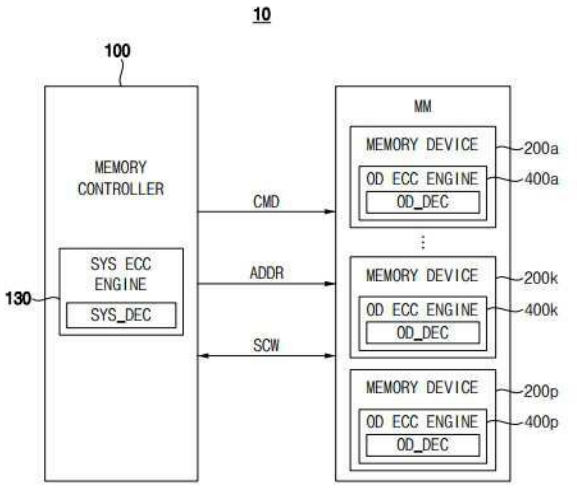
도면5

플래그 신드롬 (S_{INV}, S_{RS})	SEC 신드롬	수행 동작
(0, 0)	=0	에러 없음
	$\{\alpha^{0+}\alpha^{\beta}, \alpha(\alpha^{0}+\alpha^{\beta}), \cdots, \alpha^{\beta-1}(\alpha^{0}+\alpha^{\beta})\}$	2비트({1,2} 위치) 에러 정정
	OTHERS	에러 검출
(0, 1)	=0	에러 검출
	$\{\alpha^{0}, \alpha^{1}, \cdots, \alpha^{\beta-1}\}$	1비트({1} 위치) 에러 정정
	$\{\alpha^{\beta}, \alpha^{\beta+1}, \cdots, \alpha^{n-1}\}$	1비트({2} 위치) 에러 정정
(1, 0)	=0	에러 검출
	$\{\alpha^{0+}\alpha^{\beta}, \alpha(\alpha^{0}+\alpha^{\beta}), \cdots, \alpha^{\beta-1}(\alpha^{0}+\alpha^{\beta})\}$	1비트({3} 위치) 에러 정정
	OTHERS	에러 검출
(1, 1)	=0	에러 검출
	$\{\alpha^{0}, \alpha^{1}, \cdots, \alpha^{\beta-1}\}$	2비트({2,3} 위치) 에러 정정
	$\{\alpha^{\beta}, \alpha^{\beta+1}, \cdots, \alpha^{n-1}\}$	2비트({1,3} 위치) 에러 정정

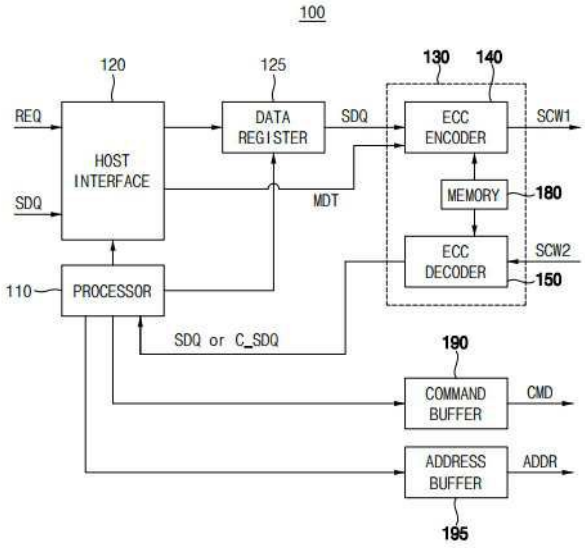
도면6



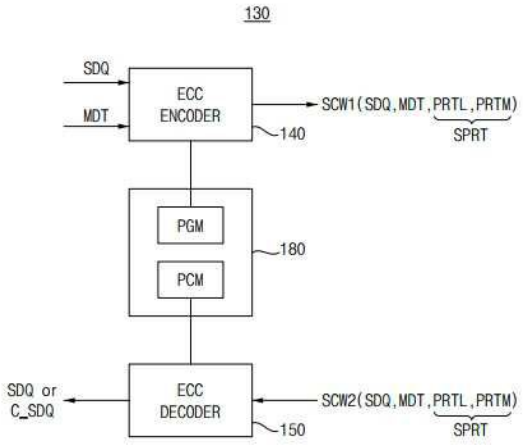
도면7


10
100
MEMORY CONTROLLER
SYS ECC ENGINE
SYS_DEC
130
CMD
ADDR
SCW
MM
MEMORY DEVICE
OD ECC ENGINE
OD_DEC
200a
400a
200k
400k
200p
400p

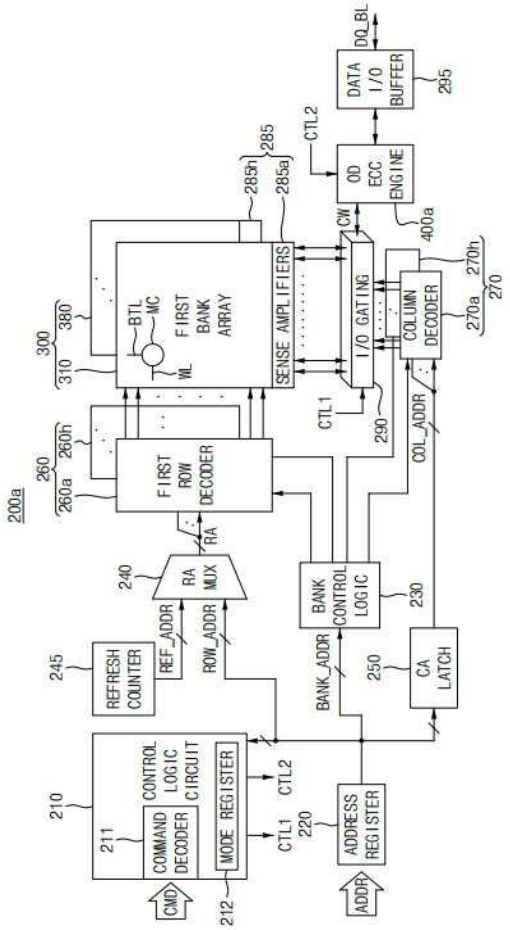
도면8


100
120
125
130
140
REQ
SDQ
HOST INTERFACE
DATA REGISTER
SDQ
MDT
ECC ENCODER
SCW1
MEMORY
180
ECC DECODER
SCW2
150
110
PROCESSOR
SDQ or C_SDQ
190
COMMAND BUFFER
CMD
ADDRESS BUFFER
ADDR
195

도면9


130
SDQ
MDT
ECC ENCODER
140
SCW1(SDQ,MDT,PRTL,PRTM)
SPRT
PGM
PCM
180
SDQ or C_SDQ
ECC DECODER
150
SCW2(SDQ,MDT,PRTL,PRTM)
SPRT

도면10


DQ_BL
DATA I/O BUFFER
295
CTL2
285
285b
285a
OD ECC ENGINE
400a
CW
270b
270
270a
COLUMN DECODER
I/O GATING
SENSE AMPLIFIERS
300
380
310
BTL
MC
WL
FIRST BANK ARRAY
CTL1
290
COL_ADDR
260
260b
260a
FIRST ROW DECODER
200a
RA
240
RA MUX
BANK CONTROL LOGIC
230
REF_ADDR
ROW_ADDR
BANK_ADDR
245
REFRESH COUNTER
250
CA LATCH
210
211
CONTROL LOGIC CIRCUIT
COMMAND DECODER
MODE REGISTER
CTL1
CTL2
220
ADDRESS REGISTER
CMD
212
ADDR