



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 698 23 888 T2** 2004.10.21

(12)

## Übersetzung der europäischen Patentschrift

(97) **EP 1 151 365 B1**

(21) Deutsches Aktenzeichen: **698 23 888.5**

(86) PCT-Aktenzeichen: **PCT/US98/24766**

(96) Europäisches Aktenzeichen: **98 960 305.5**

(87) PCT-Veröffentlichungs-Nr.: **WO 00/29919**

(86) PCT-Anmeldetag: **18.11.1998**

(87) Veröffentlichungstag

der PCT-Anmeldung: **25.05.2000**

(97) Erstveröffentlichung durch das EPA: **07.11.2001**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **12.05.2004**

(47) Veröffentlichungstag im Patentblatt: **21.10.2004**

(51) Int Cl.<sup>7</sup>: **G05F 1/10**

**G05F 3/02, F02M 61/10, C08G 59/06,**

**G05F 3/20, B60K 20/00**

(73) Patentinhaber:

**Macronix International Co. Ltd., Hsinchu, Taiwan,  
TW**

(74) Vertreter:

**Dr. Weber, Dipl.-Phys. Seiffert, Dr. Lieke, 65183  
Wiesbaden**

(84) Benannte Vertragsstaaten:

**DE, FR, GB, IT**

(72) Erfinder:

**CHANG, Kuen-Long, Mucha, Taiwan 116, TW;  
HUNG, Chun-Hsiung, Hsinchu, Taiwan 300, TW;  
CHEN, Ken-Hui, Tali, Taiwan 412, TW; HO,  
Tien-Shin, HHsin-Tien, Taiwan 231, TW; LEE,  
I-Long, Sc. II, Taiwan 300, TW; SHIAU, Tzeng-Hei,  
Hsin-Pu, Taiwan 305, TW; WAN, Ray-Lin, Fremont,  
US**

(54) Bezeichnung: **SCHNELLE SPANNUNGSERZEUGUNG AUF DEM CHIP FÜR INTEGRIERTE SCHALTUNGEN  
NIEDRIGER LEISTUNG**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

**Beschreibung****HINTERGRUND DER ERFINDUNG****Gebiet der Erfindung**

**[0001]** Die vorliegende Erfindung bezieht sich auf Techniken der Spannungserzeugung auf einem Chip zur Erzeugung einer Spannung auf dem Chip, die außerhalb des Bereiches einer Stromversorgungsspannung liegt, die dem Chip zugeführt wird, und genauer gesagt auf die Erzeugung von Wortleitungsspannungen auf Speichereinrichtungen geringer Leistung bzw. geringer Energie, wie z. B. Flash-Speicher, Masken-ROMs, und SRAMs, wobei die Stromversorgungsspannung möglicherweise geringer ist als das Lesepotential, welches für das Abfragen der Daten in dem Speicher erforderlich ist.

**Beschreibung des verwandten Standes der Technik**

**[0002]** Integrierte Schaltkreise sind in der Vergangenheit hergestellt worden, um mit einer Stromversorgungsspannung von etwa 5 Volt innerhalb eines Spezifikationsbereiches von  $\pm 10\%$  zu arbeiten. Selbstverständlich sind auch andere Stromversorgungsspannungen verwendet worden. Es gibt derzeit einen Trend bei vielen Anwendungen, integrierte Schaltkreise so zu entwickeln, daß sie mit niedrigeren Stromversorgungsspannungen arbeiten. Niedrigere Spannungen führen im allgemeinen zu einem Betrieb der Einrichtungen mit weniger Energie und sie sind einfacher zuzuführen, wenn man in kleineren Einrichtungen Batterien verwendet. Beispielsweise wird eine Versorgungsspannung, die sich als ein Standard herausstellt, für einen Betrieb in einem Bereich von etwa 2,7 bis 3,6 Volt spezifiziert. Andere Standards werden bei sogar noch geringeren Spannungen entwickelt.

**[0003]** Schaltkreise auf dem Chip sind jedoch oft so ausgelegt, daß sie für einige Zwecke bei höheren Spannungen arbeiten. Beispielsweise werden in Speichereinrichtungen, wie z. B. einem Flash-Speicher, Wortleitungen, die den Speicherzellen ein Gatepotential zuführen, oft dafür ausgelegt, bei einem Lesepotential von 4 Volt oder mehr zu arbeiten. Demnach reicht die niedrige Stromversorgungsspannung nicht aus, um direkt eine Spannung auf dem Chip zuzuführen, die hoch genug ist, um die Wortleitungen zu treiben bzw. anzusteuern. Dieses Problem wird bewältigt durch das Einbeziehen bzw. Integrieren von Ladungspumpen oder anderen Verstärkern für die Spannungsversorgung auf den integrierten Schaltkreisen, um die höheren Arbeitsspannungen auf dem Chip zuzuführen. Siehe beispielsweise das US-Patent Nr. 5,511,026 mit dem Titel BOOSTED AND REGULATED GATE POWER SUPPLY WITH REFERENCE TRACKING FOR MULTI-DENSITY AND LOW VOLTAGE SUPPLY MEMORIES. Das Patent '026 beschreibt einen integrierten Speicherschaltkreis mit Ladungspumpen, die dafür ausgelegt sind, Wortleitungsspannungen auf einem Niveau zuzuführen, welches höher liegt als das Versorgungspotential. Weiterhin beschreibt das Patent '026 die Verwendung von Ladungspumpen auf dem Chip, um eine Mehrzahl von Wortleitungsspannungen für Mehrniveauspeichereinrichtungen bereitzustellen, so daß ein größerer Arbeitsabstand zwischen den Zuständen der Speicherzellen bereitgestellt wird, als er normalerweise bei Verwendung eines standardmäßigen Versorgungspotentials zur Verfügung stünde.

**[0004]** US 5,796,293 bezieht sich auf Spannungsverstärkungsschaltkreise, die so ausgelegt sind, daß sie während hoher Ladungszustände eine verstärkte Spannung aufrechterhalten. Jeder Schaltkreis ist, wenn er aktiviert ist, dafür ausgelegt, in Reaktion auf ein Absacken der Spannung eine Spannungsverstärkung für eine Signalleitung bereitzustellen.

**[0005]** US 5,708,387 bezieht sich auf Verstärkerschaltkreise. Der Schaltkreis ist dafür ausgelegt, daß er, wenn er aktiviert ist, bewirkt, daß eine Wortleitungsversorgungsspannung in Reaktion auf eine Stoßspannung über einen Verstärkungskondensator angehoben wird.

**[0006]** US 5,034,625 bezieht sich auf einen Halbleitervorspannschaltkreis, welcher zwei Ladungspumpen aufweist, die für die Zufuhr von Vorspannungen parallel geschaltet sind.

**[0007]** EP 0 810 720 A2 bezieht sich auf einen Verstärkungsschaltkreis, der erste und zweite Kondensatoren hat, sowie auf einen Umschalt-Schaltkreis zum Übertragen von Potentialen von den Kondensatoren zur Verstärkung des Potentials eines Knotens.

**[0008]** Ein Problem, welches mit den Ansätzen für Ladungspumpen auf dem Chip für diese Zwecke nach dem Stand der Technik verknüpft ist, ergibt sich aus der Schwierigkeit, ein gut geregeltes Ausgangsniveau zu er-

zeugen, ohne Geschwindigkeit zu verlieren. Gut geregelte bzw. gut eingestellte Niveaus sind besonders wichtig bei Speichereinrichtungen mit mehreren Niveaus pro Zelle, oder bei Niederspannungseinrichtungen, die innerhalb eines schmalen Toleranzbereiches für die Lesespannung arbeiten. Es ist jedoch erwünscht, schnell zu lesen. Die Zeit, die erforderlich ist, um einen Ladungspumpenausgang auf ein gut eingestelltes Niveau zu regeln, kann einen beträchtlichen Teil an Verzögerung zu einem Lesevorgang oder zu einem anderen Vorgang, der für seinen Betrieb eine durch die Ladungspumpe erzeugte Ausgangsgröße erfordert, beitragen.

**[0009]** Dementsprechend ist es wünschenswert, einen Spannungsversorgungsschaltkreis auf dem Chip für die Verwendung mit integrierten Schaltkreisen bereitzustellen, der eine genauere Kontrolle der Spannung auf dem Chip gewährleistet und der schnell arbeitet.

#### ZUSAMMENFASSUNG DER ERFINDUNG

**[0010]** Gemäß einem Aspekt der vorliegenden Erfindung wird ein integrierter Schaltkreis bereitgestellt, der einen Eingang für eine Versorgungsspannung hat, welcher dafür ausgelegt ist, eine Versorgungsspannung innerhalb eines zuvor spezifizierten Bereichs von Spannungen zu empfangen, und mit Komponenten auf dem integrierten Schaltkreis, die eine Spannung auf dem Chip verwenden, welche höher liegt als der zuvor spezifizierte Bereich, wobei der integrierte Schaltkreis aufweist: einen Spannungsverstärkungsschaltkreis, der mit dem Spannungsversorgungseingang verbunden ist und der so betreibbar ist, daß er ein Verstärkungssignal empfängt, welches die Spannung auf dem Chip an einem Knoten auf dem integrierten Schaltkreis in Reaktion auf einen Übergang des Verstärkungssignals verstärkt, wobei der Spannungsverstärkungsschaltkreis eine oder mehrere Verstärkungsstufen aufweist, jede Verstärkungsstufe einen Kondensator hat, dessen erster Anschluß mit dem Knoten auf dem integrierten Schaltkreis verbunden ist, und der einen zweiten Anschluß hat, und einen Treiberschaltkreis, welcher mit dem zweiten Anschluß des Kondensators verbunden ist, wobei der Spannungsverstärkungsschaltkreis in zumindest einer der Verstärkungsstufen einen ersten Betriebszustand hat, der den Treiberschaltkreis in der zumindest einen Verstärkungsstufe in Reaktion auf den Übergang in die Lage versetzt, die Spannung auf dem Chip mit einer ersten Verstärkungsrate bis zu einem ersten Grenzwert zu verstärken, indem ein Strom mit einer ersten Rate dem zweiten Anschluß des Kondensators zugeführt wird, und der einen zweiten Betriebszustand hat, welcher den Treiberschaltkreis in der zumindest einen Verstärkungsstufe in die Lage versetzt, die Spannung auf dem Chip nach dem ersten Schwellwert mit einer zweiten Verstärkungsrate bis zu einem zweiten Schwellwert zu verstärken, indem Strom mit einer zweiten Rate an den zweiten Anschluß des Kondensators zugeführt wird, wobei die zweite Rate geringer bzw. langsamer ist als die erste Rate und die zumindest eine Verstärkungsstufe dafür ausgelegt ist, die Verstärkung nach dem zweiten Schwellwert zu stoppen, und einen Erfassungsschaltkreis, der mit dem Knoten auf dem integrierten Schaltkreis und dem Spannungsverstärkungsschaltkreis verbunden ist, und welcher dem Spannungsverstärkungsschaltkreis anzeigt, wenn der Knoten den ersten Schwellwert erreicht und dem Spannungsverstärkungsschaltkreis anzeigt, wenn der Knoten den zweiten Schwellwert erreicht.

**[0011]** Ausführungsformen der vorliegenden Erfindung stellen einen Spannungserzeugungsschaltkreis auf dem Chip bereit, der für die Verwendung mit integrierten Schaltkreisen, wie z. B. Flash-Speichereinrichtungen mit einer niedrigen Stromversorgungsspannung (beispielsweise 2,7 bis 3,6 Volt) geeignet ist. Gemäß einer Ausführungsform der Erfindung kann diese gekennzeichnet werden als ein integrierter Schaltkreis, der einen Versorgungsspannungseingang hat, der dafür ausgelegt ist, innerhalb eines vorbestimmten Bereichs von Spannungen ein Versorgungspotential zu empfangen, und der Komponenten auf dem integrierten Schaltkreis umfaßt, die eine Spannung auf dem Chip verwenden, die höher liegt als der vorbestimmte Bereich der Versorgungsspannung. Ein Spannungsverstärkungsschaltkreis ist mit dem Versorgungsspannungseingang und mit einem Verstärkungssignal verbunden, welches die Spannung auf dem Chip an einem Knoten auf dem integrierten Schaltkreis in Reaktion auf einen Übergang des Verstärkungssignals verstärkt. Der Spannungsverstärkungsschaltkreis hat einen ersten Betriebszustand, in welchem in Reaktion auf den Übergang die Spannung auf dem Chip mit einer ersten Verstärkungsrate bis zu einem ersten Schwellwert hin verstärkt wird, und einen zweiten Betriebszustand, in welchem nach dem Erreichen des ersten Schwellwerts die Spannung auf dem Chip mit einer zweiten Verstärkungsrate bis zu einem zweiten Schwellwert verstärkt wird. Die zweite Verstärkungsrate ist in dem bevorzugten System langsamer als die erste Verstärkungsrate. Ein Erfassungsschaltkreis ist mit dem Knoten auf dem integrierten Schaltkreis, welcher die Spannung auf dem Chip empfängt, und mit dem Spannungsverstärkungsschaltkreis verbunden. Der Erfassungsschaltkreis gibt dem Spannungsverstärkungsschaltkreis ein Signal, wenn der Knoten den ersten Schwellwert erreicht, und gibt dem Spannungsverstärkungsschaltkreis ein (weiteres) Signal, wenn der Knoten den zweiten Schwellwert erreicht. Gemäß einem Aspekt der Erfindung wird der erste Schwellwert innerhalb von weniger als 5 ns erreicht und vorzugsweise in weniger als 2 ns nach dem Übergang in dem Verstärkungssignal.

**[0012]** Gemäß einer Ausführungsform der Erfindung umfaßt der Erfassungsschaltkreis einen ersten Detektor, der dem Spannungsverstärkungsschaltkreis innerhalb eines ersten Intervalls, während dessen der Knoten den ersten Schwellwert erreicht, ein erstes Steuersignal zuführt. Während des ersten Zeitintervalls verstärkt der Verstärkungsschaltkreis weiterhin mit der ersten Rate. Ein zweiter Detektor ist mit dem Knoten verbunden und führt dem Spannungsverstärkungsschaltkreis innerhalb eines zweiten Zeitintervalls, innerhalb dessen der Knoten den zweiten Schwellwert erreicht, ein zweites Steuersignal zu. Während des zweiten Zeitintervalls verstärkt der Spannungsverstärkungsschaltkreis weiterhin mit der zweiten Rate, so daß die Spannung auf dem Chip an dem Knoten während des zweiten Zeitintervalls weniger (stark) ansteigt als während des ersten Zeitintervalls. Dieser langsamere Anstieg während des Intervalls zwischen der Erfassung des zweiten Schwellwerts durch den zweiten Detektor und der Anzeige des Spannungsverstärkungsschaltkreises ermöglicht eine genauere Steuerung des Ausschaltens des Spannungsverstärkungsschaltkreises in Reaktion auf das Passieren des zweiten Schwellwerts. Dies ermöglicht ein sehr schnelles Verstärken während des anfänglichen Teils des Pumpens der Spannung in Reaktion auf einen einzelnen Übergang, während ein genaues Abschneiden beibehalten wird.

**[0013]** Gemäß anderen Ausführungsformen der Erfindung weist der Spannungsverstärkungsschaltkreis einen Kondensator und einen Treiberschaltkreis auf, der mit einem Anschluß des Kondensators verbunden ist. Der Treiberschaltkreis führt den Übergang zu dem Kondensator zu, indem er während des ersten Betriebszustandes Strom mit einer ersten Rate zuführt und während des zweiten Betriebszustandes Strom mit einer zweiten Rate zuführt. Nach einem Ansatz weist der Treiberschaltkreis einen Invertierer auf, der mit einem Eingang so geschaltet ist, daß er das Verstärkungssignal empfängt sowie einen Eingang hat, der mit dem Kondensator verbunden ist. Der Invertierer hat erste und zweite Stromversorgungsanschlüsse, und eine Stromquelle ist an einem der ersten und zweiten Stromversorgungsanschlüsse angeschlossen, die einen ersten Betriebszustand haben, in welchem Strom mit der ersten Rate zugeführt wird, und einen zweiten Betriebszustand haben, in welchem Strom mit der zweiten Rate zugeführt wird. Im Ergebnis kann die Steigerungsrate der Spannung auf dem Kondensator in den ersten und zweiten Betriebsarten für das Bereitstellen der schnelleren und langsameren Pumpraten gesteuert werden.

**[0014]** Gemäß einer anderen Ausführungsform der Erfindung weist der Spannungsverstärkungsschaltkreis eine erste Stufe und eine zweite Stufe auf. Die erste Stufe umfaßt einen Kondensator, der erste und zweite Anschlüsse hat, eine Diode, welche eine Anode aufweist, die mit dem Kondensator des zweiten Anschlusses verbunden ist, und eine Kathode, die mit dem Knoten des integrierten Schaltkreises verbunden ist. Ein Treiber ist mit dem ersten Anschluß des Kondensators verbunden und liefert ein erstes Übergangssignal an den ersten Kondensator. Die zweite Stufe umfaßt einen zweiten Kondensator, welcher einen ersten Anschluß hat, der mit dem Knoten auf dem integrierten Schaltkreis verbunden ist. Ein zweiter Treiber ist mit einem zweiten Anschluß des zweiten Kondensators verbunden und liefert den Übergang des Verstärkungssignals an den zweiten Anschluß des Kondensators entsprechend den beiden Betriebszuständen, wie oben diskutiert.

**[0015]** In einer Ausführungsform der Erfindung umfaßt der Schaltkreis auch einen ersten Vorladeschaltkreis, der mit der Anode der Diode in der ersten Stufe verbunden ist, und einen zweiten Vorladeschaltkreis, der mit der Kathode der Diode verbunden ist.

**[0016]** Zusätzlich umfaßt der Schaltkreis gemäß einer bevorzugten Ausführungsform eine Logik auf dem Chip, die dafür ausgelegt ist, das erste Übergangssignal und den Übergang des Verstärkungssignals zu erzeugen.

**[0017]** Ausführungsformen der vorliegenden Erfindung sind besonders für die Implementierung auf integrierten Speicherschaltkreisen geeignet, einschließlich eines Arrays aus Speicherzellen mit einer Mehrzahl von Wortleitungen und einer Mehrzahl von Bitleitungen. Ein Satz von Wortleitungstreibern ist mit der Mehrzahl von Wortleitungen verbunden und verwendet eine Wortleitungsspannung, die höher als der zuvor spezifizierte Bereich des Spannungsversorgungseingangs ist. Eine Logik erfaßt ein Ereignis auf dem integrierten Schaltkreis, wie z. B. einen Adreßsignalübergang, und erzeugt einen Übergang eines Verstärkungssignals. Ein Spannungsverstärkungsschaltkreis und ein Erfassungsschaltkreis, wie sie oben beschrieben wurden, sind auf dem Chip integriert bzw. enthalten, um das Verstärken der Wortleitungsspannung zu handhaben bzw. zu bewältigen. Gemäß einem Aspekt der Erfindung weist der integrierte Speicherschaltkreis ein Array aus ROM-Zellen auf. Nach anderen Aspekten weist das Array aus Speicherzellen Speicherzellen mit erdfreiem bzw. "schwebendem" Gate auf, wie z. B. ein Flash-Speicher.

**[0018]** Andere Aspekte und Vorteile der vorliegenden Erfindung erkennt man beim Betrachten der Figuren, dem Lesen der genauen Beschreibung und der anschließenden Ansprüche.

## KURZE BESCHREIBUNG DER FIGUREN

**[0019]** Fig. 1 ist ein Blockdiagramm einer integrierten Speicherschaltkreiseinrichtung, welche den Spannungsverstärkungsschaltkreis auf dem Chip gemäß Ausführungsformen der vorliegenden Erfindung enthält.

**[0020]** Fig. 2 ist ein Blockdiagramm des Wortleitungsverstärkungsschaltkreises nach Ausführungsformen der vorliegenden Erfindung für die Verwendung in dem System nach Fig. 1.

**[0021]** Fig. 3 ist ein Zeitablaufdiagramm, welches für die Beschreibung der Betriebsweise von Ausführungsformen der vorliegenden Erfindung verwendet wird.

**[0022]** Fig. 4 ist ein Schaltkreisdigramm einer bevorzugten Ausführungsform der Verstärkungsschaltkreise gemäß Ausführungsformen der vorliegenden Erfindung.

**[0023]** Fig. 5 ist ein Schaltkreisdigramm einer Logik, welche für die Erzeugung der Übergangssignale verwendet wird, die durch den Verstärkungsschaltkreis nach Fig. 4 benutzt werden.

**[0024]** Fig. 6 ist ein Schaltkreisdigramm eines Spannungsniveaudetektors, welcher in Kombination mit dem Schaltkreis nach Fig. 4 verwendet wird.

**[0025]** Fig. 7 ist ein Schaltkreisdigramm eines zweiten Spannungsniveaudetektors, welcher mit dem Schaltkreis nach Fig. 4 verwendet wird.

**[0026]** Fig. 8 ist ein Schaltkreisdigramm eines Vorladeschaltkreises, der mit dem Schaltkreis nach Fig. 4 verwendet wird.

**[0027]** Fig. 9 ist ein Schaltkreisdigramm eines zweiten Vorladeschaltkreises, der mit dem Schaltkreis nach Fig. 4 verwendet wird.

## GENAUE BESCHREIBUNG

**[0028]** Die genaue Beschreibung der Ausführungsformen der vorliegenden Erfindung wird unter Bezug auf die Fig. 1–9 bereitgestellt, wobei Fig. 1 einen Überblick über eine Flash-Speichereinrichtung gibt, die den On-Chip-Spannungsversorgungsschaltkreis zur Erzeugung von Wortleitungsspannungen im Lesebetrieb beinhaltet. Demnach veranschaulicht Fig. 1 einen integrierten Schaltkreis. Der integrierte Schaltkreis umfaßt einen Eingang **10** einer Spannungsversorgung, der dafür ausgelegt ist, eine Versorgungsspannung VDD zu empfangen. Die Versorgungsspannung beträgt in einer beispielhaften Ausführungsform 2,7 bis 3,6 Volt. Des weiteren wird ein Masseeingang **11** bereitgestellt. Andere Eingangs- und Ausgangsanschlüsse bzw. Anschlußstifte sind in dem integrierten Schaltkreis enthalten, einschließlich Adreßeingängen **12**, Steuersignaleingängen, wie z. B. ein Chip-Freischaltungseingang **13** und ein Ausgangsfreischaltungs-Eingang **14**, und Dateneingangs-/ausgangsanschlüsse **15**.

**[0029]** Der integrierte Schaltkreis umfaßt ein Flash-Speicherarray **16**, einschließlich Transistoren mit potentiell freiem Gate, ein Array von ROM-Zellen, wie z. B. Masken-ROM-Zellen oder andere Speicherzellen. Das Array **16** beinhaltet eine Mehrzahl von Wortleitungen, die beispielsweise durch die Pfeile **17** dargestellt werden. Die Wortleitungen werden durch einen Wortleitungsdecoder getrieben bzw. angesteuert, der eine Mehrzahl von Abschnitten, einschließlich Wortleitungsdecoderabschnitt 0, Wortleitungsdecoderabschnitt 1, Wortleitungsdecoderabschnitt 2, Wortleitungsdecoderabschnitt 3, Wortleitungsdecoderabschnitt 4, Wortleitungsdecoderabschnitt 4, Wortleitungsdecoderabschnitt 5, Wortleitungsdecoderabschnitt 6 und Wortleitungsdecoderabschnitt 7 in diesem Beispiel, aufweist. Weiterhin sind ein Spaltendecoder und ein Dateneingangs-/ausgangsschaltkreis **18** mit einer Mehrzahl von Bitleitungen verbunden, die durch die Pfeile **19** in dem Array **16** dargestellt sind. Der Spaltendecoder **18** und der Wortleitungsdecoder **20** werden durch Adressen gesteuert, welche von den Adreßeingängen **12** empfangen wurden. Die Adresse kann so ausgestaltet sein, daß sie Reihenadressen auf Leitung **21** und Spaltenadressen auf Leitung **22** umfaßt, die den Wortleitungsdecoder **20** bzw. den Spaltendecoder **18** treiben bzw. ansteuern. Des weiteren ist ein Wortleitungs-Vordecodierer **23** enthalten, der mit der Adreßleitung **12** verbunden ist. Der Wortleitungs-Vordecodierer erzeugt Auswahlsteuerungssignale SEL(0–7) auf Leitung **24**, die jeweils den Wortleitungsdecoderabschnitten 0–7 zugeführt werden. In diesem Beispiel werden drei der signifikanteren Bits des Reihenadreßabschnitts der Adresse auf Leitung **12** verwendet, um den Wortleitungs-Vordecodierer **23** zu steuern und einen bestimmten Wortleitungsdecoderabschnitt aus dem Wortleitungsdecoder **20** auszuwählen.

**[0030]** In dem Chip ist eine Betriebszustandslogik **26** enthalten. Die Betriebszustandslogik **26** empfängt die Chip-Freischaltungs- und Chip-Auswahlsignale auf Leitung **13** und **14** sowie auch andere Signale, um die Arbeitsweise des Flash-Speichers zu steuern. Flash-Speichereinrichtungen beinhalten einen Lesebetrieb, einen Programmierbetrieb, einen Löschbetrieb und andere Betriebsarten, wie sie für spezifische Implementierungen von Programmier- und Löschoperationen geeignet sind. Ein Lesesteuerungssignal auf Leitung **40** wird durch die Betriebszustandslogik **26** erzeugt. Wortleitungsspannungspumpen **28** für den Programmier- und Löschbetrieb sind auf dem Chip enthalten. Für den Lesebetrieb ist ein Verstärkungsschaltkreis **29** für die Wortleitungsspannung im Lesebetrieb vorgesehen. Gemäß der vorliegenden Erfindung umfaßt der Verstärkungsschaltkreis **29** für die Wortleitungsspannung im Lesebetrieb einen schnellen, mehrstufigen Verstärkungsschaltkreis. Der Ausgang des Verstärkungsschaltkreises **29** für die Wortleitungsspannung im Lesebetrieb beinhaltet Wortleitungsspannungen AVX(0-7) auf Leitung **30** für die entsprechenden Wortleitungsdecoderabschnitte. Gemäß der vorliegenden Erfindung reagiert der Verstärkungsschaltkreis **29** für die Wortleitungsspannung im Lesebetrieb auf das Niveau von AVX **30**. Weiterhin reagiert der Verstärkungsschaltkreis **29** für die Wortleitungsspannung im Lesebetrieb auf einen Erfassungsschaltkreis **33** für Adreßübergänge. Der Erfassungsschaltkreis **33** für Adreßübergänge erzeugt ein Signal auf Leitung **35**, welches den Übergang der Adresse anzeigt.

**[0031]** Somit wird die vorliegende Erfindung wie in **Fig. 1** gezeigt für die Erzeugung von Wortleitungsspannungen für den Lesebetrieb einer Flash-Speichereinrichtung verwendet. Die Erfindung ist besonders geeignet für Flash-Speicher mit niedrigen Stromversorgungsspannungen im Bereich von z. B. 2,7 bis 3,6 Volt. Die Erfindung ist des weiteren geeignet für ROM-Arrays und für andere Einrichtungen, die eine Verstärkungsspannung auf einem Knoten, wie z. B. dem Knoten **30**, auf dem integrierten Schaltkreis erfordern.

**[0032]** **Fig. 2** veranschaulicht ein schematisches Blockdiagramm eines Verstärkungsschaltkreises für Wortleitungsspannungen gemäß der vorliegenden Erfindung. Der Schaltkreis umfaßt einen Erfassungsschaltkreis **200** für Adreßübergänge, welcher als einen Eingang die Adressen auf dem integrierten Schaltkreis empfängt und als Ausgang ein Erfassungssignal ATD für Adreßübergänge auf Leitung **201**, einen ersten Erfassungsimpuls ATD1ST für Adreßübergänge auf Leitung **202** und einen zweiten Erfassungsimpuls ATD2ND für Adreßübergänge auf Leitung **203** erzeugt. Der zweite Impuls ATD2ND auf Leitung **203** ist mit einem Verstärkungstreiber auf einer ersten Stufe und einem Logikblock **204** verbunden, welcher einen Pumpkondensator C1 beinhaltet. Der Pumpkondensator ist mit der Anode der Diode **205** verbunden. Die Kathode der Diode **205** ist mit dem Knoten **206** verbunden, an dem die Spannung AVX erzeugt wird. Ein Verstärkungstreiber auf einer zweiten Stufe und der Logikblock **207** sind ebenso verbunden, um den Impuls ATD2ND auf Leitung **203** und das Erfassungssignal ATD für Adreßübergänge auf Leitung **201** zu empfangen. Der Ausgang des Blocks **207** auf einer zweiten Stufe führt ein Verstärkungssignal auf Leitung **208** an einen Kondensator C2 zu. Ein zweiter Anschluß des Kondensators ist mit dem Knoten **206** verbunden. Ein Detektor **209** auf einem ersten Niveau und ein Detektor **210** auf einem zweiten Niveau sind mit dem Knoten **206** verbunden und erzeugen ein erstes Steuersignal CT1 auf Leitung **211** bzw. ein zweites Steuersignal CT1SP auf Leitung **212**. Diese Signale werden an den Block **207** auf einer zweiten Stufe geleitet und steuern die Ladungsrate des Kondensators C2 in Reaktion auf den Übergang des Verstärkungssignals auf Leitung **208**.

**[0033]** Der Generator für die Wortleitungsspannung in **Fig. 2** beinhaltet weiterhin einen ersten Vorladeschaltkreis **215** und einen zweiten Vorladeschaltkreis **216**. Der erste und der zweite Vorladeschaltkreis **215**, **216** laden die Anode der Diode **205** und den Knoten **206** auf ein Niveau im Bereich des Versorgungspotentials vor, um den Verstärkungsprozeß zu erleichtern. Steuersignale, einschließlich des Chip-Freischaltungssignals CEL auf Leitung **217**, eines Freischaltung-Bereitschafts-Signals ANRDYB auf Leitung **218** und eines Erfassungssignals ANATD für die Freischaltung eines Adreßübergangs auf Leitung **219**, werden an die Vorladeschaltkreise geleitet. Darüber hinaus reagieren die Vorladeschaltkreise auf den ersten Adreßübergangsimpuls ATD1ST auf Leitung **202**.

**[0034]** **Fig. 3** ist ein Zeitablaufdiagramm der Adreßübergangserfassungssignale und für das Niveau des AVX-Signals auf dem Knoten **206**.

**[0035]** In **Fig. 3** werden die Adreßeingänge zu dem Adreßübergangserfassungssignal auf der Linie **300** angezeigt. Das Adreßübergangserfassungssignal auf Leitung **201** wird auf der Linie **301** angezeigt, der erste Adreßübergangserfassungsimpuls ATD1ST wird auf der Linie **302** angezeigt und der zweite Adreßübergangserfassungsimpuls ATD2ND wird auf der Linie **303** angezeigt. Das Niveau der Spannung AVX bei dem Knoten **206** wird auf der Linie **304** angezeigt.

**[0036]** In diesem Beispiel beginnt das Niveau des AVX-Signals auf Leitung **304** etwa bei dem Niveau des Versorgungspotentials VDD, wie bei Punkt **310** angegeben. Zum Zeitpunkt **311** verändern sich die Adressen am

Eingang des integrierten Schaltkreises. Dies führt dazu, daß ein Erfassungssignal für Adreßübergänge zum Zeitpunkt **311** in den hohen Zustand und zum Zeitpunkt **312** in den niedrigen Zustand übergeht. Der Intervall des ATD-Signals auf Leitung **301** zwischen den Zeitpunkten **311** und **312** beträgt in diesem Beispiel etwa 20 Nanosekunden. Der Erfassungsschaltkreis **200** für Adreßübergänge erzeugt einen ersten Impuls, der zum Zeitpunkt **311** beginnt und beim Zeitpunkt **313** endet, wie durch das Signal ATD1ST auf Leitung **302** gezeigt wird. Das Signal ATD2ND geht zum Zeitpunkt **313** in den hohen Zustand und zum Zeitpunkt **314**, welcher in der Nähe des Zeitpunkts **312** liegt, in den niedrigen Zustand über.

**[0037]** Die Verstärkung des Knotens AVX beginnt mit der durch den Impuls ATD1ST beim Zeitpunkt **311** verursachten Vorladung. Auf der Linie **304** von Fig. 3 zeigt diese Vorladung keine Veränderung des Niveaus des AVX-Signals. Wenn jedoch das AVX-Signal vor dem ATD-Signal nicht auf das Niveau VDD vorgeladen worden wäre, wäre sein Niveau bis fast auf das Niveau VDD angehoben worden. Der Vorladeschaltkreis konditioniert weiterhin den Kondensator C1 für die Verstärkung oberhalb des Niveaus VDD.

**[0038]** Bei der ansteigenden Flanke des Signals ATD2ND zum Zeitpunkt **313** führt die Verstärkungspumpe der ersten Stufe zu einem Übergang auf den Kondensator C1. Dieser verstärkt die Anode der Diode **205** über das Niveau des Knotens **206** und induziert eine Erhöhung des AVX-Signals, wie durch den Bereich **315** zwischen den Zeitpunkten **313** und **312** gezeigt wird.

**[0039]** Bei der abfallenden Flanke des ATD-Signals zum Zeitpunkt **312** beginnt die Verstärkungspumpe der zweiten Stufe einen Hochgeschwindigkeitsübergang des Verstärkungssignals **208** in dem abfallenden Bereich **316** der Linie **304** genau nach dem Zeitpunkt **312**. Zum Zeitpunkt **317** entdeckt der Spannungsniveaudetektor B **210**, daß das AVX-Signal einen ersten Schwellwert überschritten hat. Dies führt dazu, daß die Verstärkungspumpe der zweiten Stufe in eine geringere Verstärkungsrate wechselt, wie im Bereich **319** in der Spur **304** direkt nach dem Zeitpunkt **317** gezeigt wird.

**[0040]** Zum Zeitpunkt **318** entdeckt der Spannungsniveaudetektor A **210**, daß das Spannungsniveau AVX einen letzten Schwellwert erreicht hat, und erzeugt das Steuersignal CT1 auf Leitung **211**. Dies führt dazu, daß die Verstärkungsgeschwindigkeit der Pumpe **207** der zweiten Stufe gestoppt wird.

**[0041]** Das Intervall zwischen den Zeitpunkten **312** und **317** der schnellen Verstärkung in diesem Beispiel beträgt weniger als etwa 2 Nanosekunden oder weniger als etwa 5 Nanosekunden. Das Intervall der langsameren Verstärkung auf der Linie **319** zwischen den Zeitpunkten **317** und **318** beträgt weniger als 10 Nanosekunden oder weniger als 20 Nanosekunden.

**[0042]** Insgesamt läßt die geringere Verstärkungsrate während des Intervalls **319** mehr Zeit für Rückkopplungsschaltkreise zu, die das letzte Niveau des AVX-Signals steuern, um es genauer zu machen. Die höhere Verstärkungsrate während des Intervalls **316** beschleunigt den Verstärkungsprozeß erheblich, ohne daß dies auf dem Abschneideniveau zu Lasten der Genauigkeit geht.

**[0043]** Die Fig. 4, 5, 6, 7, 8 und 9 stellen ein detailliertes Schaltkreisdiagramm des Spannungsverstärkungsschaltkreises in einer bevorzugten Ausführungsform der vorliegenden Erfindung zur Verfügung. Fig. 4 veranschaulicht die Pumpe der ersten Stufe und die Pumpe der zweiten Stufe. Die Pumpe der ersten Stufe empfängt den zweiten Impuls ATD2ND auf Leitung **400**. Dieses Signal wird durch den Invertierer **401**, den Invertierer **402**, den Invertierer **403** und den Invertierer **404** an einen ersten Anschluß des Kondensators C1 geleitet. Demnach geht an der ansteigenden Flanke des Impulses ATD2ND auf Leitung **400** das Signal am ersten Anschluß des Kondensators C1 von einem hohen Wert zu einem niedrigen Wert über. Der zweite Anschluß des Kondensators C1 ist mit der Anode der Diode **405** verbunden. Die Kathode der Diode **405** ist mit dem Knoten **406** verbunden, an welchem die AVX-Spannung erzeugt wird.

**[0044]** Die zweite Stufe der Pumpe beinhaltet den zweiten Impuls ATD2ND auf Leitung **400** sowie das Erfassungssignal ATD für Adreßübergänge auf Leitung **410**. Diese Signale werden als Eingangsgrößen an ein NOR-Gatter **411** geleitet, welches das Eingangssignal an einen Invertierer **412** zuführt. Die Ausgangsgröße des Invertierers **412** ist mit dem Rücksetzeingang eines Setz-Rücksetz-SR-Signalspeichers **413** und als eine Eingangsgröße mit einem NOR-Gatter **414** verbunden. Ein im niedrigen Zustand aktives Chip-Freischaltungssignal CEB **415** wird an den Einstell-Eingang des Signalspeichers **413** geleitet. Die Ausgangsgröße des SR-Signalspeichers ist eine zweite Eingangsgröße des NOR-Gatters **414**. Der Ausgang des NOR-Gatters **414** treibt den Invertierer **416**, welcher wiederum den Invertierer **417** treibt. Der Invertierer **417** liefert Eingangsgrößen an den Invertierer **418** und den Invertierer **419**. Der Ausgang des Invertierers **419** ist mit einem ersten Anschluß des Kondensators **420** verbunden. Der zweite Anschluß des Kondensators **420** ist mit der Source des n-Ka-

nal-Transistors **421** verbunden. Die Drain des n-Kanal-Transistors **421** ist mit dem Versorgungspotential VDD verbunden. Das Gate des Transistors **421** empfängt ein Steuersignal ENATD auf Leitung **422**. Weiterhin ist der Kondensator **420** mit der Anode einer Diode **423** verbunden. Die Kathode der Diode **423** ist mit dem Knoten **406** verbunden. Das Steuersignal auf Leitung **422** zieht die Anode der Diode **423** während des Betriebs des Pumpschaltkreises auf das Niveau des Versorgungspotentials herauf. Der Schaltkreis, welcher den Invertierer **419**, den Kondensator **420** und den Transistor **421** enthält, die durch die Diode **423** mit dem Knoten **406** verbunden sind, arbeitet mit einer Vorladekapazität. Wenn das ENATD-Signal niedrig ist und das CEB den Signalspeicher **413** einstellt, führt dies zu einem Übergang am Ausgang des Invertierers **419**. Dies verstärkt über den Kondensator **420** und die Diode **423** den Knoten **406** auf ein Vorladungs-niveau, um die Vorladefunktion zu unterstützen.

**[0045]** Wenn das Freischaltungssignal für die Erfassung der Adreßübergänge hoch ist, wird die Verstärkung durch den Invertierer **418** freigeschaltet. Der Invertierer **418** treibt einen Invertierer **425** mit zwei Betriebszuständen. Die Ausgangsgröße des Invertierers mit zwei Betriebszuständen ist ein Verstärkungssignal auf Leitung **426**, welches mit dem Kondensator C2 verbunden ist. Der zweite Knoten des Kondensators C2 wird dem Anschluß **406** zugeführt. Der Treiber **425** mit zwei Betriebszuständen weist einen Stromversorgungsanschluß auf, welcher mit dem Schaltkreis der Stromquelle verbunden ist, der die Transistoren **428**, **429**, **430** und **431** beinhaltet. In diesem Beispiel bestehen die Transistoren **428** und **429** aus p-Kanal-Transistoren mit einer Breite von 3 Mikrometern und einer Länge von 5 Mikrometern. Das Gate und die Drain der Transistoren **428** und **429** sind in entsprechenden Diodenkonfigurationen miteinander verbunden. Die n-Wells der Transistoren sind mit ihren jeweiligen Sources verbunden. Diese Transistoren stellen ein schwaches Herausziehen auf den Stromversorgungsanschluß des Treibers **425** bereit, um zu verhindern, daß er "schwebt" bzw. potentialfrei wird (floating).

**[0046]** Die Transistoren **430** und **431** stellen die beiden Verstärkungsraten des Verstärkungssignals auf Leitung **426** bereit. In diesem Beispiel hat der Transistor **430** eine Breite, die etwa einem Fünftel der Breite des Transistors **431** entspricht (z. B. 50 Mikrometer), und eine Länge von etwa 0,5 Mikrometern. Der Transistor **430** ist ein p-Kanal-Transistor, an dessen Gate das Steuersignal CT1 anliegt. Der Transistor **431** ist ein p-Kanal-Transistor, an dessen Gate das Steuersignal CT1SP anliegt. Der Transistor **431** hat eine Breite, die etwa dem Fünffachen der Breite des Transistors **430** (z. B.: 250 Mikrometer) entspricht, und eine Länge von etwa 0,5 Mikrometern. Somit ist der Transistor **431**, der durch CT1SP gesteuert wird, viel stärker als der Transistor **430**, der durch CT1 gesteuert wird. Die Drains der Transistoren **430** und **431** sind beide mit dem Stromversorgungsanschluß des treibenden Invertierers **425** verbunden. Wenn sowohl CT1 als auch CT1SP niedrig sind, wird in dem Verstärkungssignal **426** eine sehr hohe Verstärkungsrate erzeugt, wie es durch das Intervall **316** zwischen den Zeitpunkten **312** und **317** in Spur **304** von Fig. 3 gezeigt wird. Wenn das Steuersignal CT1SP in den hohen Zustand geht, wird der Transistor **431** abgeschaltet und die Verstärkungsrate wird, getrieben nur durch den Transistor **430**, beträchtlich reduziert. Dies wird durch die geringere Verstärkungsrate während des Intervalls **319** zwischen den Zeitpunkten **317** und **318** in Spur **304** von Fig. 3 wiedergegeben.

**[0047]** Die Verstärkungsrate des Signals an dem Knoten **426** wird über den Kondensator C2 direkt auf dem Knoten **406** wiedergegeben, wie es in Fig. 3 auf Linie **304** veranschaulicht wird.

**[0048]** Die Steuersignale CT1 und CT1SP an den Gates der Transistoren **430** und **431** werden durch die in den Fig. 6 und 7 dargestellten Niveaudetektoren erzeugt. Der ATD1ST-Impuls und der ATD2ND-Impuls werden von dem in Fig. 5 veranschaulichten Schaltkreis erzeugt.

**[0049]** Die in den Fig. 8 und 9 gezeigten Vorladeschaltkreise, die verwendet werden, um den Verstärkungsprozeß in dem Schaltkreis einzustellen, sind mit dem Verstärkungsschaltkreis verbunden. Der erste Vorladeschaltkreis **490** ist mit der Anode der Diode **405** verbunden. Ein zweiter Vorladeschaltkreis **491** ist mit dem Knoten **406** an der Kathode der Diode **405** verbunden.

**[0050]** Die Steuersignale ANRDYB, CEL, CEB und ENATD sind Steuersignale, die mit Hilfe einer standardmäßigen Logik erzeugt wurden.

**[0051]** In Fig. 5 werden die Signale ATD1ST und ATD2ND in Reaktion auf ein Adreßübergangserfassungs-ATD-Signal auf Leitung **500** erzeugt. Das ATD-Signal wird z. B. erzeugt wie in unserer gleichzeitig angehängten US-Patentanmeldung Nr. 08/751,513 mit dem Titel AN ADDRESS TRANSITION DETECTION CIRCUIT, eingereicht am 15. November 1996, mit den Erfindern Yin Liu et al., beschrieben, die zur Zeit der Erfindung demselben Anmelder gehörte und gegenwärtig gehört. Beim Übergang eines Adreßsignals wird in dem bevorzugten System ein ATD-Impuls von etwa 20 Nanosekunden erzeugt, wie in Fig. 3 gezeigt. Dieses Signal



wird an einen One-Shot-Circuit bzw. -Schaltkreis angelegt, der aus dem NAND-Gatter **501** und dem Invertierer **502** besteht. Der Eingang der ATD-Signalleitung **500** ist mit dem Eingang des Invertierers **502** und mit einem Eingang des NAND-Gatters **501** verbunden. Der Ausgang des Invertierers **502** ist mit dem zweiten Eingang des NAND-Gatters **501** verbunden. Der Ausgang des NAND-Gatters **501** wird an einen Invertierer **503** geleitet. Der Ausgang des Invertierers **503** liefert das ATD1ST-Signal auf Leitung **436**. Das ATD1ST-Signal wird an einen zweiten One-Shot-Schaltkreis geliefert, der den Invertierer **504** und das NOR-Gatter **505** enthält. Das ATD1ST-Signal wird an den Eingang des Invertierers **504** angelegt, dessen Ausgang mit einem Eingang des NOR-Gatters **505** verbunden ist. Das ATD1ST-Signal ist weiterhin mit dem zweiten Eingang des NOR-Gatters **505** verbunden. Der Ausgang des NOR-Gatters **505** ist mit dem Einstell-Eingang eines SR-Signalspeichers **506** verbunden. Darüber hinaus ist die Ausgangsgröße des NOR-Gatters **505** als Eingangsgröße aus das NOR-Gatter **507** gegeben. Der zweite Eingang des NOR-Gatters **507** ist das ATD-Signal auf Leitung **500**. Der Ausgang des NOR-Gatters **507** ist mit dem Rücksetzeingang des SR-Signalspeichers **506** verbunden. Der Q-Ausgang des SR-Signalspeichers **506** ist mit dem Invertierer **508** verbunden, der wiederum den Invertierer **509** treibt. Die Ausgangsgröße des Invertierers **509** ist das ATD2ND-Signal auf Leitung **400**.

**[0052]** Der in **Fig. 6** veranschaulichte Detektor der ersten Stufe erzeugt das CT1SP-Signal. Der in **Fig. 7** dargestellte Detektor der zweiten Stufe erzeugt das CT1-Signal. Das CT1SP-Signal triggert auf einem niedrigeren Niveau von AVX als das CT1-Signal. Der Detektor von **Fig. 6** wird durch den Ausgang des NOR-Gatters **600** freigeschaltet, welches als Eingangsgrößen das CEB-Signal auf Leitung **601**, das ATD1ST-Signal auf Leitung **436** und das CT1-Signal auf Leitung **700** empfängt. Der Ausgang des NOR-Gatters **600** ist durch den Invertierer **602** mit dem Gate des Transistors **603** verbunden. Der Ausgang des Invertierers **600** ist weiterhin mit dem Gate des Transistors **604** verbunden. Wenn der Ausgang des NOR-Gatters **600** hoch ist, wird der Transistor **604** eingeschaltet und der Transistor **603** wird abgeschaltet, wodurch der Betrieb des Niveaudetektorschaltkreises freigeschaltet wird.

**[0053]** Der Niveaudetektorschaltkreis beinhaltet einen ersten Stromzweig, der als Eingangsgröße das AVX-Signal von dem Knoten **406** empfängt. Dieser Knoten ist mit der Source und dem n-Well des p-Kanal-Transistors **605** verbunden. Das Gate und die Drain des p-Kanal-Transistors **605** sind mit der Source und dem n-Well des p-Kanal-Transistors **606** verbunden. Das Gate und die Drain des Transistors **606** sind mit der Drain des Transistors **604** verbunden. Die Source des Transistors **604** ist mit der Drain und dem Gate des n-Kanal-Transistors **607** verbunden. Die Source des n-Kanal-Transistors **607** ist mit Masse verbunden.

**[0054]** Der zweite Stromzweig des Niveaudetektors beinhaltet einen ersten Knoten, der mit dem Versorgungspotential VDD verbunden ist. Die Sources eines p-Kanal-Transistors **610** und eines p-Kanal-Transistors **611** sind mit dem Versorgungspotential verbunden. Das Gate und die Drain des Transistors **610** sind mit der Drain des Transistors **612** verbunden. Das Gate des Transistors **611** ist mit dem Ausgang des Invertierers **613** verbunden, der als Eingangsgröße das SBCTL1-Signal auf Leitung **614** empfängt, welches von dem Ausgang des Invertierers **602** zugeführt wird. Somit ist, wenn das SBCTL1-Signal hoch ist, das Signal am Gate des Transistors **611** niedrig, was einen erhöhten Stromfluß durch den Schaltkreis ermöglicht.

**[0055]** Die Source des Transistors **612** ist mit Masse verbunden. Das Gate des Transistors **612** ist mit dem Gate des Transistors **607** nach Art eines Stromspiegels verbunden. Des weiteren sind das Gate des Transistors **612** und das Gate des Transistors **607** mit der Drain des Transistors **603** verbunden. Der Knoten NISP auf der Drain des Transistors **612** ist als Eingang mit einem Invertierer **615** verbunden. Der Ausgang des Invertierers **615** ist mit dem S-Eingang eines SR-Signalspeichers **616** verbunden. Der Rücksetzeingang des SR-Signalspeichers **616** ist so angeschlossen, daß er das ATD1ST-Signal auf Leitung **436** empfängt. Der Q-Ausgang des SR-Signalspeichers **616** ist mit dem Invertierer **617** verbunden, der den Invertierer **618** treibt. Die Ausgangsgröße des Invertierers **618** ist das Steuersignal ST1SP auf Leitung **620**. Im Betrieb erhöht sich der Strom durch die Stromspiegelleitungen des Detektors, wenn das Signal AVX sich erhöht. Wenn der Strom durch die Transistoren **610** sich erhöht, so fällt die Spannung NISP entsprechend ab. Wenn die Spannung NISP unter den Auslösepunkt des Invertierers **615** fällt, wird der Signalspeicher **616** eingestellt, um das CT1SP-Signal zu erzeugen.

**[0056]** **Fig. 7** veranschaulicht den Niveaudetektor für die Erzeugung des CT1-Signals. Dieser Niveaudetektor wird durch den Ausgang eines NOR-Gatters freigeschaltet, welches das CEB-Signal auf Leitung **601** und das ATD1ST-Signal auf Leitung **436** empfängt. Der Ausgang des NOR-Gatters **701** ist mit dem Gate des n-Kanal-Transistors **702** und mit dem Eingang des Invertierers **703** verbunden. Der Ausgang des Invertierers **703** ist mit dem Gate des n-Kanal-Transistors **704** verbunden. Die Drain des Transistors **704** ist mit dem Knoten **705** verbunden. Die Source des Transistors **704** ist mit Masse verbunden. Somit wird, wenn der Ausgang des NOR-Gatters **701** auf High geht, der Schaltkreis durch das Abschalten des Transistors **704** und das Einschalt-

ten des Transistors **702** freigeschaltet. Weiterhin erzeugt der Ausgang des Invertierers **703** das Steuersignal SBCTL, welches an den Eingang des Invertierers **706** geleitet wird. Ein hohes Eingangsniveau des Invertierers **706** schaltet den Transistor **707** ein.

**[0057]** Der Niveaudetektor beinhaltet einen ersten Stromzweig, der mit der Spannung AVX auf dem Knoten **406** verbunden ist. Der Knoten **406** ist mit der Source und dem n-Well des p-Kanal-Transistors **708** verbunden. Das Gate und die Drain des Transistors **708** sind mit der Source und dem n-Well des p-Kanal-Transistors **709** verbunden. Das Gate und die Drain des Transistors **709** sind mit der Source und dem n-Well des Transistors **710** und mit der Source und dem n-Well des Transistors **711** verbunden. Das Gate des Transistors **710** ist so angeschlossen, daß es das Steuersignal CT1 auf Leitung **700** empfängt. Das Gate und die Drain des Transistors **711** und die Drain des Transistors **710** sind mit dem Gate und der Drain des n-Kanal-Transistors **712** verbunden. Die Source des Transistors **712** ist mit dem Gate und der Drain eines n-Kanal-Transistors **713** mit Dreifach-Well verbunden. Das Isolationswell des Transistors **713** ist mit dem AVX-Knoten **406** verbunden. Das p-Well und die Source des Transistors **713** sind mit der Drain des Transistors **702** verbunden. Die Source des Transistors **702** ist mit der Drain und dem Gate des Transistors **714** bei dem Knoten **705** verbunden. Die Source des Transistors **714** ist mit Masse verbunden.

**[0058]** Der zweite Stromzweig des Niveaudetektors umfaßt den Transistor **707**, dessen Source mit dem Versorgungspotential und dessen Drain mit der Drain des Transistors **715** verbunden ist. Die Source des Transistors **715** ist mit Masse verbunden. Das Gate des Transistors **715** ist gemeinsam mit dem Transistor **714** mit dem Knoten **705** verbunden. Weiterhin ist die Source des Transistors **716** mit dem Versorgungspotential verbunden, und sein Gate und seine Drain sind mit der Drain des Transistors **715** verbunden.

**[0059]** Der Schaltkreis arbeitet in der oben unter Bezug auf **Fig. 6** beschriebenen Weise, jedoch mit einem höheren Schwellwert. Somit erhöht sich, wenn sich das Spannungsniveau AVX erhöht, der Strom durch die Stromspiegelleitungen. Wenn der Strom ein bestimmtes Niveau erreicht, erreicht die Spannung auf dem Knoten NI am Eingang des Invertierers **717** den Auslösepunkt des Invertierers. Der Ausgang des Invertierers **717** ist mit dem festen Eingang eines SR-Signalspeichers **718** verbunden. Der Q-Ausgang des SR-Signalspeichers **718** ist mit dem Invertierer **719** verbunden, der wiederum den Invertierer **720** treibt. Der Ausgang des Invertierers **720** ist das CT1-Signal auf Leitung **700**. Der Rücksetzeingang des SR-Signalspeichers **718** empfängt das ATD1ST-Signal auf Leitung **436**.

**[0060]** Der Transistor **710** ist so betreibbar, daß er abschaltet, wenn das CT1-Signal auf High geht. Dies reduziert den Stromfluß durch den Niveaudetektor und spart Energie für den Schaltkreis.

**[0061]** Die hier beschriebenen Niveauerfassungsschaltkreise bestehen aus der bevorzugten Ausführungsform. Es gibt eine Reihe von Ansätzen für Niveauerfassungsschaltkreise, die gemäß der vorliegenden Erfindung verwendet werden können. Man erkennt, daß die Tatsache, daß sich das Spannungsniveau von AVX während der ersten Pumpstufe gemäß der vorliegenden Erfindung rasch erhöht, und die Tatsache, daß die Verzögerung, die sich bei der Erfassung der Niveaushiftung von AVX ergibt, bei Verwendung der Schaltkreise der **Fig. 6** und **7** oder anderer Arten von Niveaudetektoren in der Größenordnung eines Bruchteils einer Nanosekunde liegt, für ein genaues Abschneiden wesentlich ist. Die Fähigkeit bzw. Notwendigkeit, das Zeitverhalten dieser Detektoren innerhalb einer Nanosekunde oder weniger zu verbessern, um das Verstärkungsniveau des AVX-Signals bei einem bevorzugten vorbestimmten Niveau abzuschneiden, wird von der vorliegenden Erfindung dadurch bewältigt bzw. überwunden, daß die Verstärkungsrate verringert wird, wenn das Niveau den gewünschten Abschneidewert erreicht. Somit werden die relative Zeitabstimmung des CT1SP-Signals und das Erreichen des letzten Verstärkungsniveaus weniger kritisch. Ein Zustand der Überschreitung wird gemäß der vorliegenden Erfindung vermieden, während eine schnelle Verstärkung zugelassen wird.

**[0062]** **Fig. 8** veranschaulicht den ersten Vorladeschaltkreis **490**. Er empfängt als Eingangssignale ein Freischalt-ATD-Signal auf Leitung **435** und den ersten ATD-Impuls ATD1ST auf Leitung **436**. Diese Signale werden als Eingänge an ein NAND-Gatter **437** geleitet, dessen Ausgang den Invertierer **438** treibt. Der Ausgang des Invertierers **438** ist mit der Source und der Drain eines mit dem Kondensator verbundenen Transistors **439** verbunden. Das Gate des Transistors **439** ist mit dem Gate des n-Kanal-Transistors **440** verbunden. Die Source des n-Kanal-Transistors **440** ist mit der Leitung **432** verbunden, die mit der Anode der Diode **405** verbunden ist, und die Drain des Transistors **440** ist mit dem Versorgungspotential VDD verbunden. Das Gate des Transistors **440** ist durch einen Schaltkreis vorgespannt, welcher einen p-Kanal-Transistor **441** enthält, dessen Source mit dem Versorgungspotential VDD verbunden ist, dessen Gate mit dem Steuersignal ENRDYB auf Leitung **442** verbunden ist, und dessen Drain mit der Anode einer Diode **443** verbunden ist. Die Kathode der Diode **443** ist mit dem Gate des Transistors **440** verbunden. Die Drain eines Transistors **444** ist mit dem Gate

des Transistors **440** verbunden, und seine Source ist mit Masse verbunden. Das Gate des Transistors **444** ist mit dem Steuersignal CEL auf Leitung **445** verbunden. Weiterhin ist die Drain eines Transistors **446** mit dem Gate des Transistors **440** verbunden, und seine Source ist mit Masse verbunden. Das Gate des Transistors **446** ist mit dem Steuersignal ENRDYB auf Leitung **442** verbunden. Im Betrieb ist das Gate des Transistors **440** in Reaktion auf ein niedriges Signal an dem ENRDYB-Anschluß auf Leitung **442** mit einem Niveau verbunden, welches durch den Spannungsabfall an dem Transistor **441** und der Diode **443** auf einen Wert unter dem Versorgungspotential festgelegt wird. Wenn das Steuersignal CEL auf Leitung **445** auf High geht, ist der Knoten mit Masse verbunden. In ähnlicher Weise ist, wenn das Steuersignal ENRDYB auf High geht, der Knoten durch den Transistor **446** mit Masse verbunden.

**[0063]** Darüber hinaus beinhaltet der Vorladeschaltkreis den Transistor **450**, dessen Gate und Drain mit dem Versorgungspotential verbunden sind und dessen Source über die Leitung **430** mit der Anode der Diode **405** verbunden ist. Dieser als Diode geschaltete Transistor **450** erhält das Niveau des Knotens bei einem Abfall des Schwellwerts unter VDD als Ausgangspunkt aufrecht. In Reaktion auf den ATD1ST-Impuls wird das Gate des Transistors **440** verstärkt, um den Schwellwertabfall zwischen den Transistoren **440** und **450** auszugleichen und um die Anode der Diode **405** auf das VDD-Niveau heraufzuziehen.

**[0064]** Der zweite Vorladeschaltkreis ist in **Fig. 9** gezeigt und ist dem ersten ähnlich. Er empfängt sein Eingangs-ENATD-Signal auf Leitung **435** und das ATD1ST-Signal auf Leitung **436**. Diese Signale werden als Eingangsgrößen an ein NAND-Gatter **457** geleitet, welches den Invertierer **458** treibt. Der Invertierer **458** ist mit der Source und der Drain eines mit dem Kondensator verbundenen Transistors **459** verbunden. Der Transistor **459** ist mit dem Gate des Transistors **460** verbunden. Das Gate des Transistors **460** ist ebenso durch den Schaltkreis vorgespannt, der den p-Kanal-Transistor **461** enthält, dessen Source mit dem Versorgungspotential VDD verbunden ist und dessen Drain durch die Diode **462** mit dem Gate des Transistors **460** verbunden ist. Die Transistoren **463** und **464** sind n-Kanal-Transistoren, deren Drains mit dem Gate des Transistors **460** verbunden sind und deren Sources mit Masse verbunden sind. Das Gate des Transistors **463** empfängt das CEL-Steuersignal auf Leitung **445**. Das Gate des Transistors **461** und das Gate des Transistors **464** empfangen als Eingangsgröße das Steuersignal ENRDYB auf Leitung **442**.

**[0065]** Der zweite Vorladeschaltkreis beinhaltet weiterhin den Transistor **470**, dessen Gate und Drain mit dem Versorgungspotential VDD verbunden sind und dessen Source auf Leitung **431** mit dem Knoten **406** verbunden ist.

**[0066]** In diesem beispielhaften Schaltkreis sind die relativen Größen und Parameter der Schaltkreiskomponenten der **Fig. 4–9** in der folgenden Tabelle dargestellt:

Kondensator C1	150 Pikofarad
Kondensator C2	250 Pikofarad
Kondensator 420	40 Pikofarad
Invertierer 425	p-Kanal Breite: 250 Mikrometer p-Kanal Länge: 0,5 Mikrometer n-Kanal Breite: 250 Mikrometer n-Kanal Länge: 0,5 Mikrometer
Transistor 430	Breite: 50 Mikrometer Länge: 0,5 Mikrometer
Transistor 431	Breite: 250 Mikrometer Länge: 0,5 Mikrometer
Transistor 421	Breite: 460 Mikrometer Länge: 1,3 Mikrometer
Transistor 441	Breite: 10 Mikrometer Länge: 0,5 Mikrometer
Transistor 440	Breite: 950 Mikrometer Länge: 1,3 Mikrometer
Transistor 450	Breite: 95 Mikrometer Länge: 1,3 Mikrometer
Transistor 439	Breite: 91,4 Mikrometer Länge: 46 Mikrometer
Transistor 446	Breite: 4 Mikrometer

	Länge: 1 Mikrometer
Transistor 444	Breite: 2 Mikrometer Länge: 30 Mikrometer
Transistor 459	Breite: 91,4 Mikrometer Länge: 46 Mikrometer
Transistor 464	Breite: 4 Mikrometer Länge: 1 Mikrometer
Transistor 463	Breite: 2 Mikrometer Länge: 30 Mikrometer
Transistor 461	Breite: 10 Mikrometer Länge: 0,5 Mikrometer
Transistor 460	Breite: 940 Mikrometer Länge: 1,3 Mikrometer
Transistor 470	Breite: 47 Mikrometer Länge: 1,3 Mikrometer
Transistor 605	Breite: 600 Mikrometer Länge: 1,5 Mikrometer
Transistor 606	Breite: 200 Mikrometer Länge: 1,5 Mikrometer
Transistor 604	Breite: 200 Mikrometer Länge: 1,5 Mikrometer
Transistor 607	Breite: 50 Mikrometer Länge: 1 Mikrometer
Transistor 610	Breite: 3 Mikrometer Länge: 50 Mikrometer
Transistor 611	Breite: 20 Mikrometer Länge: 0,5 Mikrometer
Transistor 612	Breite: 300 Mikrometer Länge: 1 Mikrometer
Transistor 702	Breite: 200 Mikrometer Länge: 1,5 Mikrometer
Transistor 708	Breite: 200 Mikrometer Länge: 1,5 Mikrometer
Transistor 709	Breite: 200 Mikrometer Länge: 1,5 Mikrometer
Transistor 710	Breite: 50 Mikrometer Länge: 1,5 Mikrometer
Transistor 711	Breite: 200 Mikrometer

	Länge: 1,5 Mikrometer
Transistor 712	Breite: 200 Mikrometer Länge: 1,5 Mikrometer
Transistor 714	Breite: 50 Mikrometer Länge: 1 Mikrometer
Transistor 707	Breite: 20 Mikrometer Länge: 0,5 Mikrometer
Transistor 716	Breite: 3 Mikrometer Länge: 50 Mikrometer
Transistor 715	Breite: 300 Mikrometer Länge: 1 Mikrometer

**[0067]** Die oben beschriebenen Transistorgrößen und Kondensatorparameter sind repräsentativ für eine bestimmte Implementierung gemäß den Erfordernissen einer spezifischen Halbleitereinrichtung. Es ist offensichtlich, daß Variationen der Komponenten und der relativen Größen dieser Transistoren unter Umständen zweckmäßig sein können. Sie werden jedoch als Grundlage für das detailliertere Verständnis der Betriebsweise des beispielhaften Schaltkreises beschrieben.

**[0068]** Dementsprechend wurde ein Spannungsverstärkungsschaltkreis mit zwei Betriebszuständen für die Verwendung bei Leseoperationen für Flash-Speicher und andere Speichereinrichtungen beschrieben. Der Schaltkreis ist auch für andere Umgebungen geeignet, wo eine rasche Verstärkung bei einem präzisen Abschneideniveau erwünscht ist. Das präzise Abschneideniveau ist beispielsweise besonders wichtig für Mehrniveauezellen, die auf eine sehr geringe Bandbreite der Wortleitungsspannungen zum Lesen der verschiedenen Niveaus der Zelle angewiesen sind.

**[0069]** Die vorstehende Beschreibung einer bevorzugten Ausführungsform der Erfindung dient Zwecken der Veranschaulichung und Beschreibung. Sie soll nicht erschöpfend sein oder die Erfindung auf die genau beschriebenen Formen beschränken. Viele Modifikationen und Variationen liegen für Fachleute auf diesem Gebiet auf der Hand. Der Schutzbereich der Erfindung soll nicht durch die folgenden Ansprüche und ihre Äquivalente definiert werden.

### Patentansprüche

1. Integrierter Schaltkreis mit einem Eingang (**10**) für eine Versorgungsspannung, welcher dafür ausgelegt ist, eine Versorgungsspannung (VDD) innerhalb eines vorher spezifizierten Spannungsbereiches anzunehmen, und mit Bauteilen (**16**) auf dem integrierten Schaltkreis, welche eine On-Chip-Spannung (AVX) verwenden, die höher liegt als der vorher spezifizierte Bereich, wobei der integrierte Schaltkreis aufweist: einen Spannungsverstärkungsschaltkreis, der mit dem Eingang der Versorgungsspannung verbunden und derart betreibbar ist, daß er ein Verstärkungssignal empfängt, welches die On-Chip-Spannung an einem Knoten (**206**) auf dem integrierten Schaltkreis in Reaktion auf einen Übergang des Verstärkungssignals erhöht, wobei der Spannungsverstärkungsschaltkreis aufweist: eine oder mehrere Verstärkungsstufen, wobei jede Verstärkungsstufe einen Kondensator (C1; C2) hat, der mit einem ersten Anschluß mit dem Knoten auf dem integrierten Schaltkreis verbunden ist, und der einen zweiten Anschluß aufweist sowie einen Treiberschaltkreis (**204; 207**), welcher mit dem zweiten Anschluß des Kondensators verbunden ist, wobei der Spannungsverstärkungsschaltkreis in zumindest einer der Verstärkungsstufen aufweist: eine erste Betriebsart, welche es dem Treiberschaltkreis (**207**) in der zumindest einen Verstärkungsstufe ermöglicht, in Reaktion auf den Übergang die On-Chip-Spannung mit einer ersten Steigerungsrate bis auf einen Schwellwert zu verstärken, indem ein Strom mit einer ersten Steigerungsrate dem zweiten Anschluß des Kondensators (C2) zugeführt wird, und eine zweite Betriebsart, welche es dem Treiberschaltkreis (**207**) in der zumindest einen Verstärkungsstufe ermöglicht, die On-Chip-Spannung mit einer zweiten Steigerungsrate über den ersten Schwellwert bis zu einem zweiten Schwellwert zu verstärken, indem ein Strom mit einer zweiten Steigerungsrate dem zweiten Anschluß des Kondensators (C2) zugeführt wird, wobei die zweite Steigerungsrate geringer ist als die erste Steigerungsrate, und wobei die zumindest eine Verstärkungsstufe derart ausge-

legt ist, daß sie die Verstärkung nach dem zweiten Schwellwert stoppt, und einen Erfassungsschaltkreis (**209**, **210**), der mit dem Knoten auf dem integrierten Schaltkreis und dem Spannungsverstärkungsschaltkreis verbunden ist, welcher dem Spannungsverstärkungsschaltkreis anzeigt (CT1SP), wenn der Knoten den ersten Schwellwert erreicht und dem Spannungsverstärkungsschaltkreis anzeigt (CT1), wenn der Knoten den zweiten Schwellwert erreicht.

2. Integrierter Schaltkreis nach Anspruch 1, wobei der Erfassungsschaltkreis aufweist: einen ersten Detektor (**209**), der mit dem Knoten verbunden ist, welcher dem Spannungsverstärkungsschaltkreis innerhalb eines ersten Zeitintervalls, innerhalb dessen der Knoten den ersten Schwellwert erreicht, ein erstes Steuersignal zuführt, wobei der Spannungsverstärkungsschaltkreis während dieses ersten Zeitintervalls mit der Verstärkung um die erste Steigerungsrate fortfährt, und einen zweiten Detektor (**210**), der mit dem Knoten verbunden ist und welcher dem Spannungsverstärkungsschaltkreis innerhalb eines zweiten Zeitintervalls, während dessen der Knoten den zweiten Schwellwert erreicht, ein zweites Steuersignal zuführt, wobei während des zweiten Zeitintervalls der Spannungsverstärkungsschaltkreis mit der zweiten Steigerungsrate weiter verstärkt, so daß die On-Chip-Spannung an dem Knoten während des zweiten Zeitintervalls langsamer ansteigt als während des ersten Zeitintervalls.

3. Integrierter Schaltkreis nach Anspruch 1, wobei der Treiberschaltkreis in der zumindest einen Verstärkungsstufe aufweist: einen Invertierer (**425**), der einen Eingang hat, welcher so angeschlossen ist, daß er das Verstärkungssignal empfängt, und einen Ausgang hat, der mit dem zweiten Anschluß des Kondensators verbunden ist, und der erste und zweite Stromversorgungsanschlüsse hat, und eine Stromquelle (**428–431**), die mit einem der ersten und zweiten Stromversorgungsanschlüssen verbunden ist und die einen Versorgungsstrom mit der ersten Steigerungsrate in einem ersten Betriebszustand und einen Zufuhrstrom mit der zweiten Steigerungsrate in einem zweiten Betriebszustand hat.

4. Integrierter Schaltkreis nach Anspruch 1, wobei der Spannungsverstärkungsschaltkreis aufweist: eine erste Verstärkungsstufe einschließlich eines ersten Kondensators (C1), der einen ersten Anschluß und einen zweiten Anschluß hat, sowie eine Diode (**205**), welche eine Anode hat, die mit dem zweiten Anschluß des Kondensators verbunden ist und eine Kathode hat, die mit dem Knoten auf dem integrierten Schaltkreis verbunden ist, und mit einem Treiberschaltkreis (**204**), welcher mit dem ersten Anschluß des Kondensators verbunden ist und welcher dem ersten Kondensator ein erstes Übergangssignal zuführt, und wobei die zumindest eine Verstärkungsstufe eine zweite Verstärkungsstufe mit einem zweiten Kondensator (C2) aufweist, welcher einen ersten Anschluß hat, der mit dem Knoten auf dem integrierten Schaltkreis verbunden ist und einen zweiten Anschluß hat, wobei ein zweiter Treiberschaltkreis (**207**) mit dem zweiten Anschluß des zweiten Kondensators verbunden ist, und wobei der zweite Treiberschaltkreis den Übergang des Verstärkungssignals dem zweiten Anschluß des zweiten Kondensators zuführt, indem während des ersten Betriebszustandes ein Strom mit einer ersten Steigerungsrate zugeführt wird und während des zweiten Betriebszustandes ein Strom mit einer zweiten Steigerungsrate zugeführt wird.

5. Integrierter Schaltkreis nach Anspruch 4, mit einem ersten Vorladeschaltkreis (**215**), der mit der Anode der Diode verbunden ist und einem zweiten Vorladeschaltkreis (**216**), der mit dem Knoten verbunden ist, welcher den ersten Anschluß des zweiten Kondensators und den Knoten vor dem ersten Übergangssignal auf eine Anfangsspannung vorlädt.

6. Integrierter Schaltkreis nach Anspruch 4, einschließlich einer Logik (**200**), welche auf ein Ereignis reagiert, um das erste Übergangssignal und den Übergang des Verstärkungssignals zu erzeugen.

7. Integrierter Schaltkreis nach Anspruch 1, wobei der Spannungsverstärkungsschaltkreis in weniger als 5 Nanosekunden nach dem Übergang des Verstärkungssignals den ersten Schwellwert erreicht.

8. Integrierter Schaltkreis nach Anspruch 1, wobei der Spannungsverstärkungsschaltkreis in etwa 2 Nanosekunden oder weniger nach dem Übergang des Verstärkungssignals den ersten Schwellwert erreicht.

9. Integrierter Schaltkreis nach Anspruch 1, mit: einem Array (**16**) von Speicherzellen, einer Mehrzahl von Wortleitungen (**17**), die mit Reihen von Speicherzellen in dem Array verbunden sind, einer Mehrzahl von Bitleitungen (**19**), die mit Spalten von Speicherzellen in dem Array verbunden sind, einem Satz von Wortleitungstreibern (**20**), die mit der Mehrzahl von Wortleitungen verbunden sind, wobei die Wortleitungstreiber auf ausgewählte Wortleitungen aus dem Knoten des integrierten Schaltkreises eine Wortleitungs-

spannung anlegen, wobei die Wortleitungsspannung höher als der zuvor spezifizierte Bereich der Versorgungsspannung ist, und einer Logik (**33**), welche ein Ereignis auf dem integrierten Schaltkreis erfaßt und den Übergang des Verstärkungssignals erzeugt.

10. Integrierter Schaltkreis nach Anspruch 9, einschließlich zumindest eines Adreßeingangs (**12**), und wobei die Logik einen Schaltkreis aufweist, welcher den Übergang in dem Verstärkungssignal in Reaktion auf einen Übergang an dem zumindest einen Adreßeingang erzeugt.

11. Integrierter Schaltkreis nach Anspruch 9, einschließlich zumindest eines Adreßeingangs (**12**), und wobei die Logik einen Schaltkreis aufweist, welcher den Übergang des ersten Übergangssignals in Reaktion auf einen Übergang an zumindest einem Adreßeingang erzeugt und den Übergang in dem Verstärkungssignal nach dem ersten Übergangssignal.

12. Integrierter Schaltkreis nach Anspruch 9, einschließlich zumindest eines Adreßeingangs (**12**), und wobei die Logik einen Schaltkreis aufweist, welcher ein Vorladesignal, das erste Übergangssignal nach dem Vorladesignal und den Übergang in dem Verstärkungssignal nach dem ersten Übergangssignal in Reaktion auf einen Übergang an dem zumindest einen Adreßeingang erzeugt, und wobei die ersten und zweiten Vorladeschaltkreise auf das Vorladesignal ansprechen.

13. Integrierter Schaltkreis nach Anspruch 9, wobei das Array von Speicherzellen ROM-Zellen aufweist.

14. Integrierter Schaltkreis nach Anspruch 9, wobei das Array von Speicherzellen Speicherzellen mit erdfreiem Gate aufweist.

Es folgen 8 Blatt Zeichnungen



## Anhängende Zeichnungen

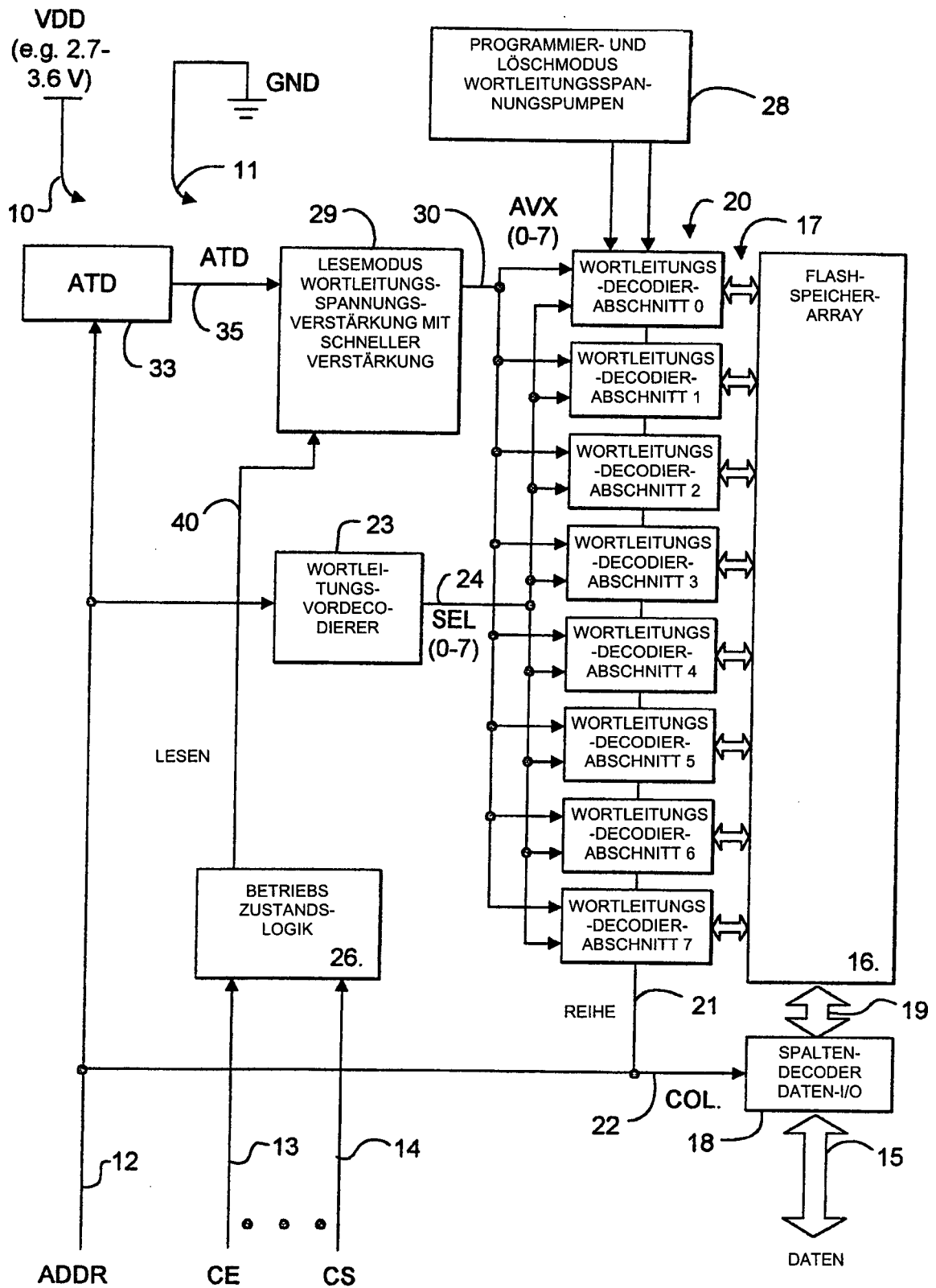


FIG. 1

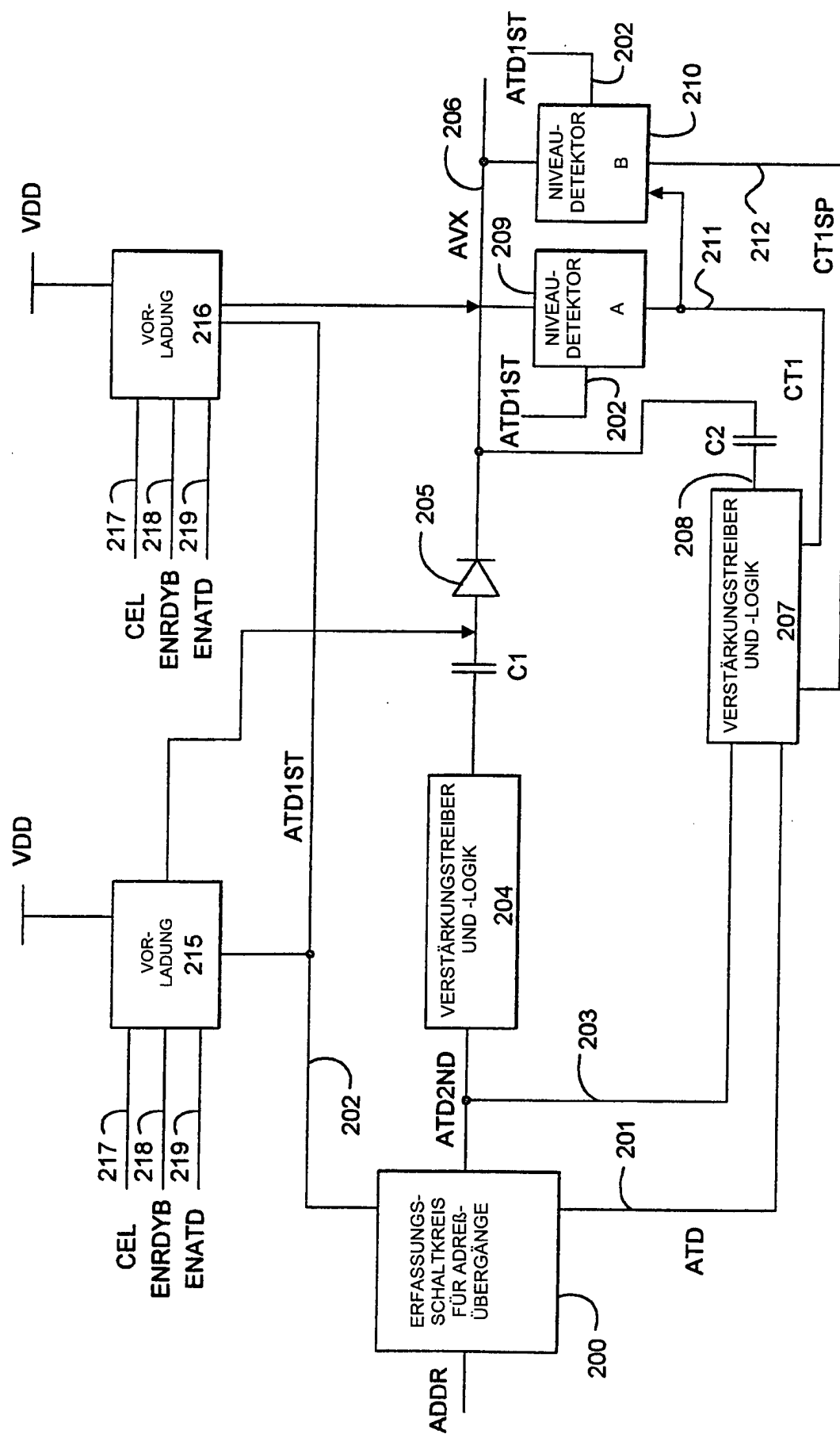


FIG. 2

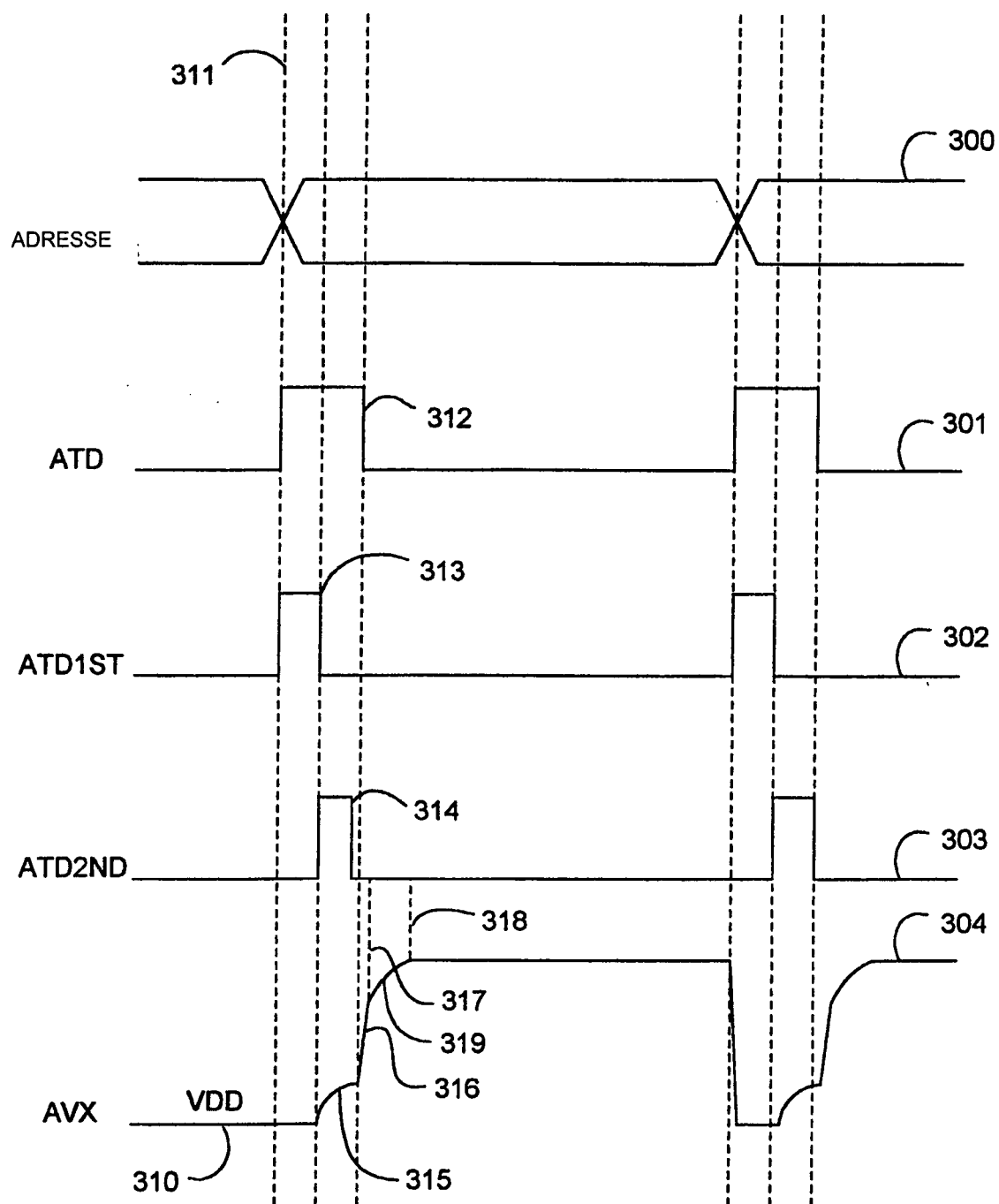


FIG. 3

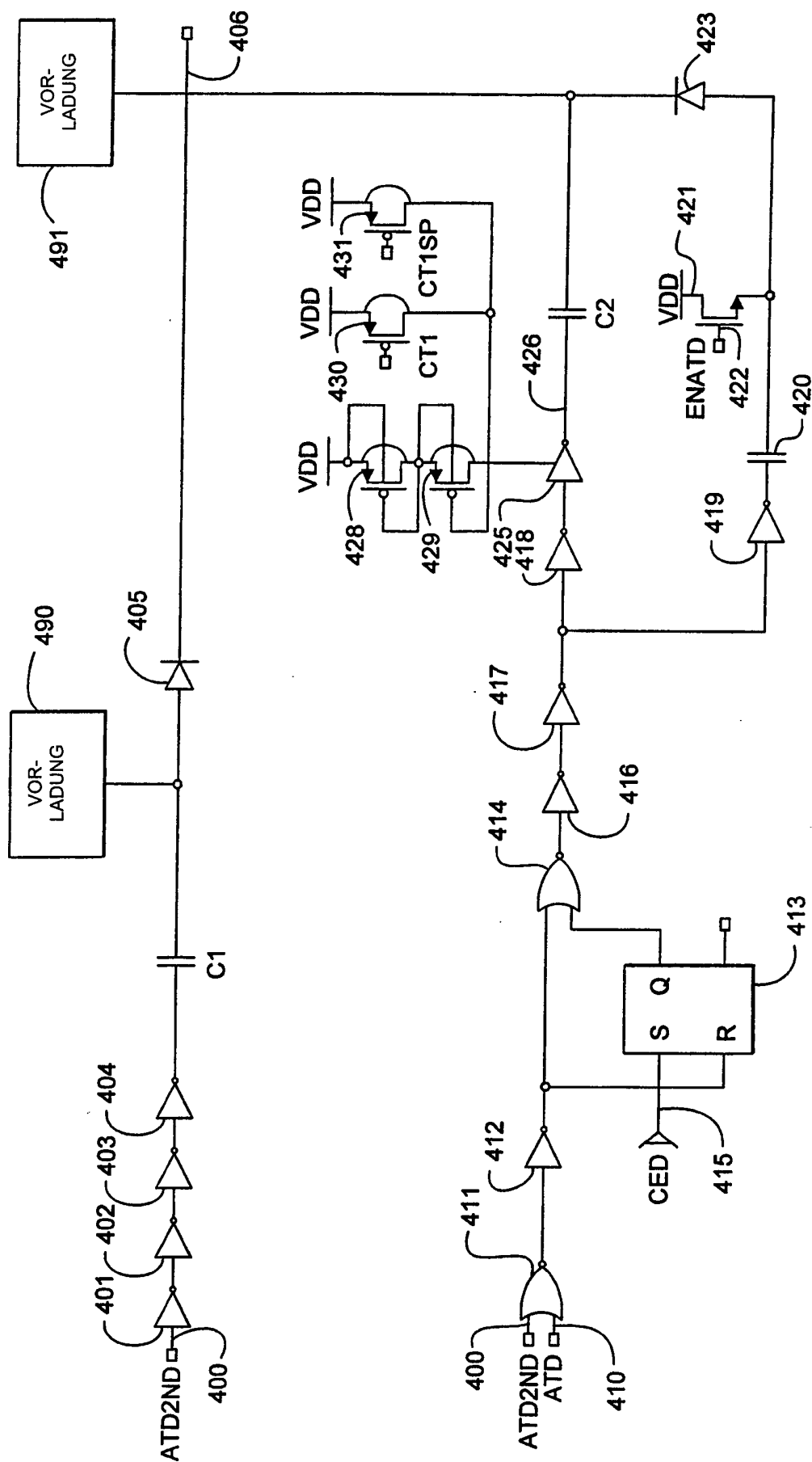


FIG. 4

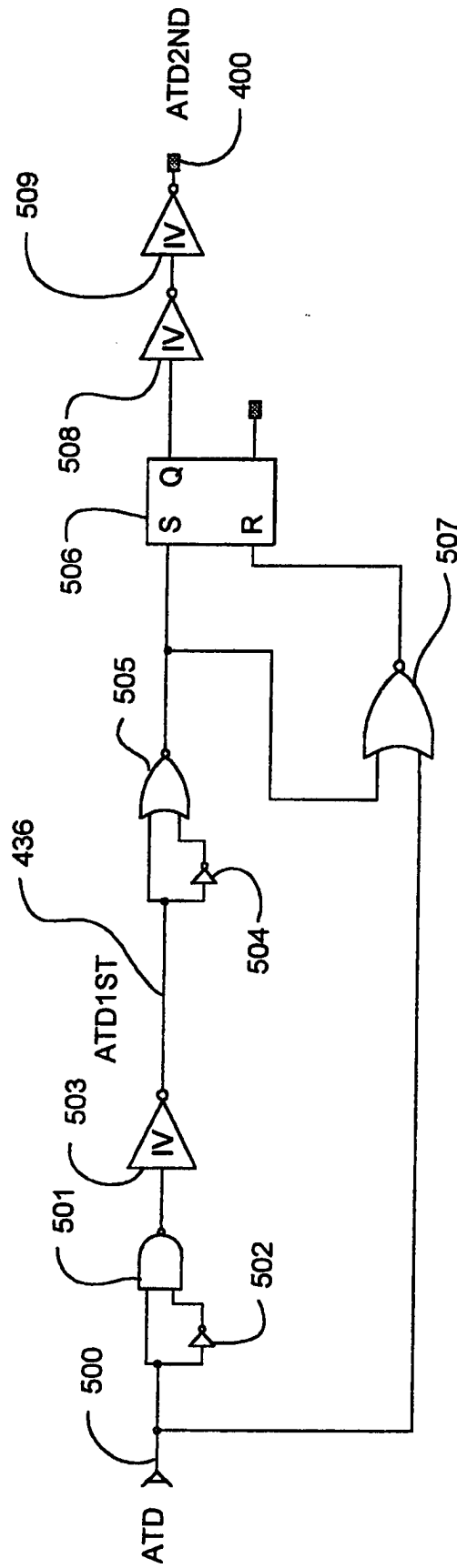


FIG. 5

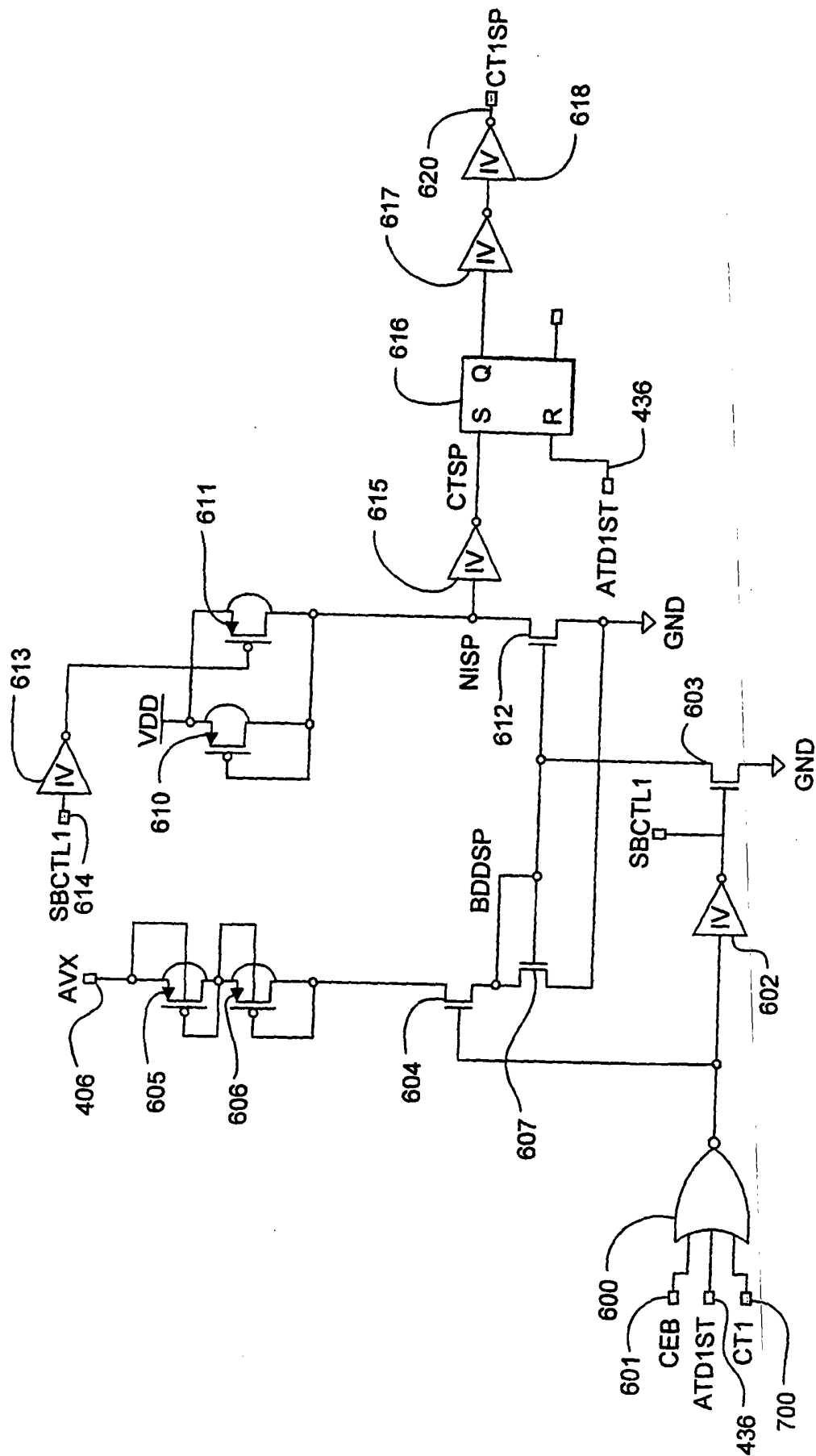


FIG. 6

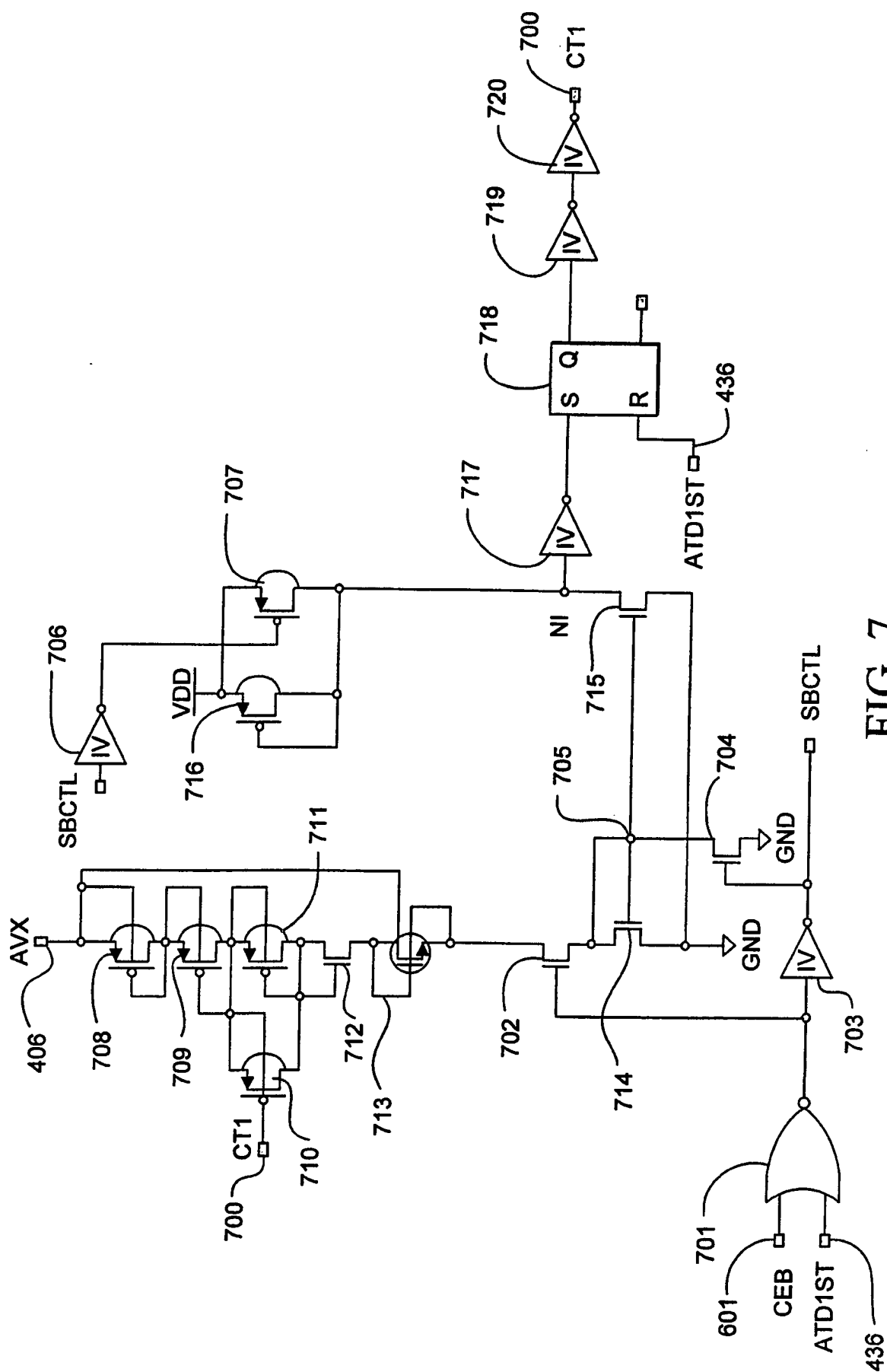


FIG. 7

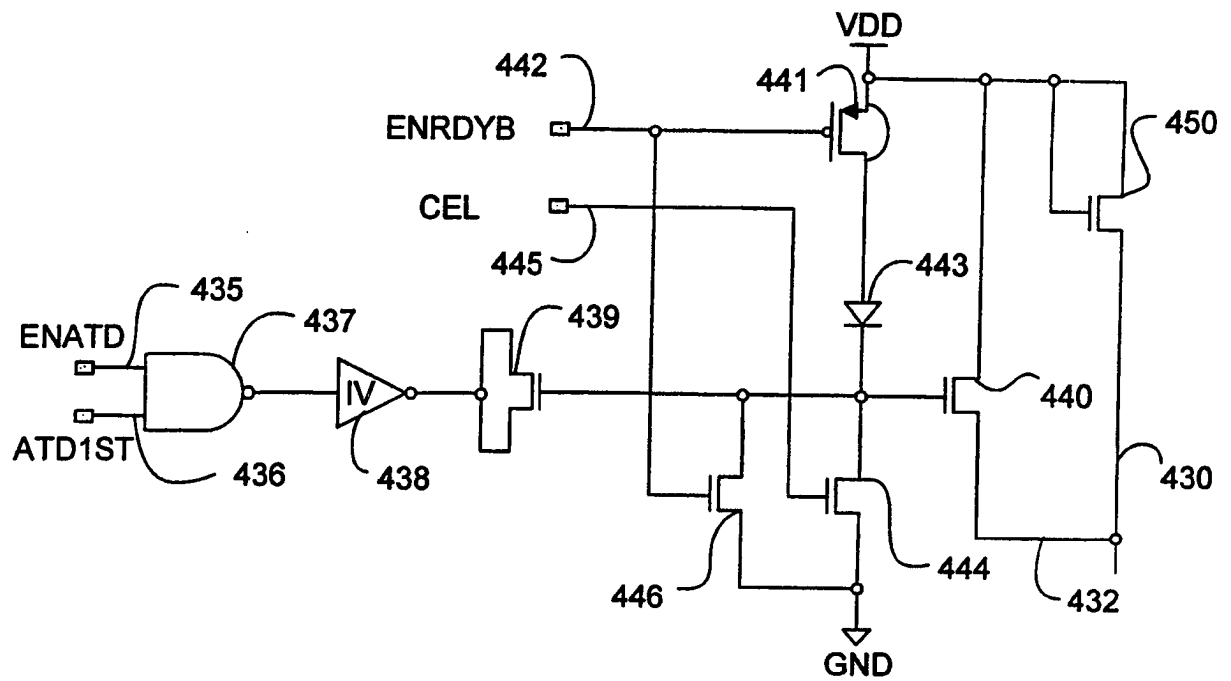


FIG. 8

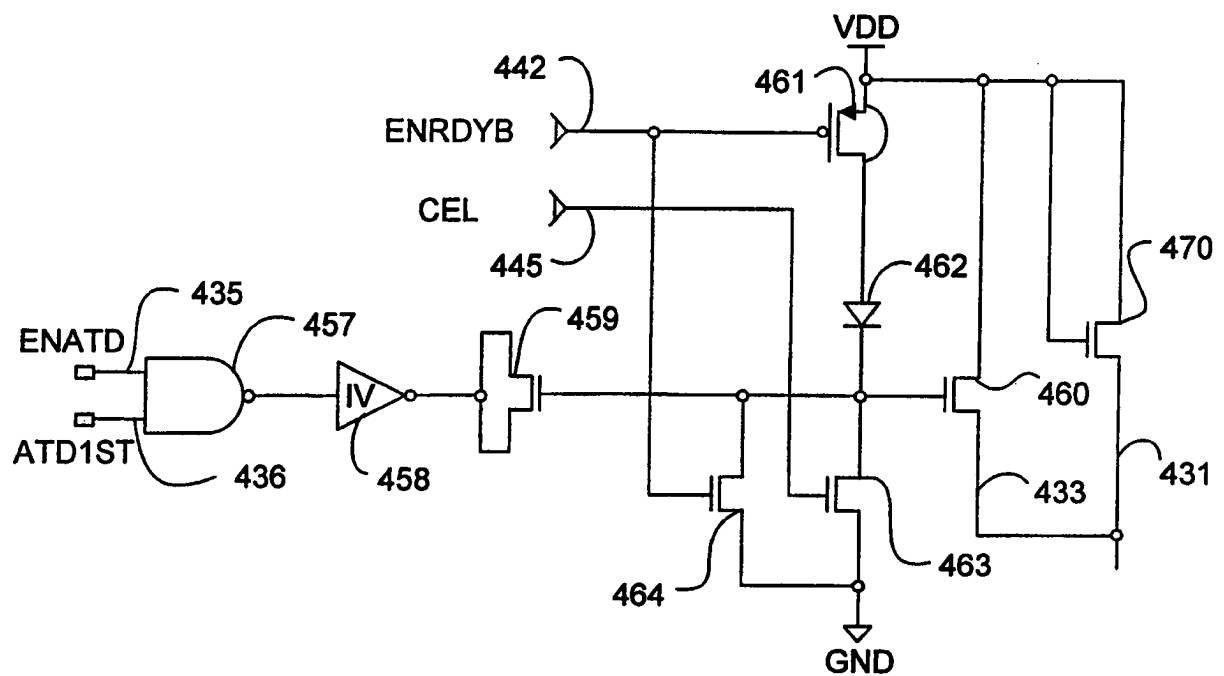


FIG. 9