



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월23일
(11) 등록번호 10-2281107
(24) 등록일자 2021년07월19일

(51) 국제특허분류(Int. Cl.)
H03M 13/19 (2006.01)
(21) 출원번호 10-2014-0147445
(22) 출원일자 2014년10월28일
심사청구일자 2019년10월21일
(65) 공개번호 10-2015-0050429
(43) 공개일자 2015년05월08일
(30) 우선권주장
14/338,109 2014년07월22일 미국(US)
61/898,415 2013년10월31일 미국(US)
(56) 선행기술조사문헌
US04596014 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
카말리 잘릴
미국 캘리포니아 95112 산호세 데브콘 드라이브 217
후 켄
미국 캘리포니아 95112 산호세 데브콘 드라이브 217
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 7 항

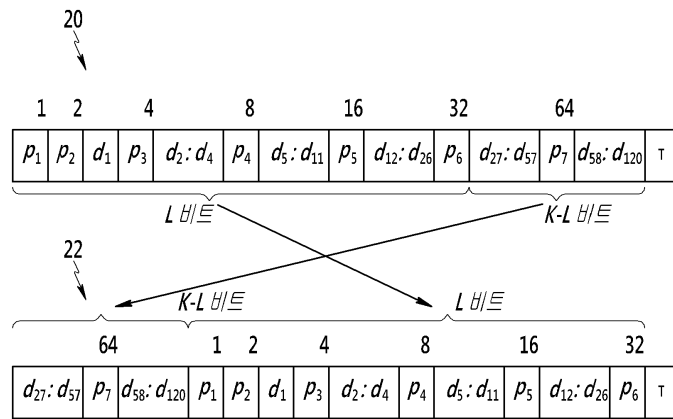
심사관 : 조춘근

(54) 발명의 명칭 데이터 부호화 방법, 인코더, 디코더 및 통신 시스템

(57) 요약

본 발명의 인코더는 복수의 데이터를 수신하도록 구성된 입력부; 복수의 부호화 비트를 생성하기 위해 해밍 코드 부호화 연산을 사용하여 상기 데이터를 부호화하도록 구성된 프로세서; 및 상기 복수의 부호화 비트를 출력하기 위한 출력부를 포함하며, 상기 프로세서는 상기 복수의 부호화 비트의 연속된 동일값의 최대 길이를 표준 해밍 코드에 해당하는 부호화 비트와 비교하여 감소시키도록 구성된다.

대표도 - 도3



패리티 비트 p_j ($j = 1, 2, \dots, 7$) 데이터 비트 d_k ($k = 1, 2, \dots, 120$) 토크 비트(d_{120} 의 역)

명세서

청구범위

청구항 1

복수의 데이터 비트에 대해 해밍 코드 부호화 연산을 사용하여 복수의 패리티 비트를 계산하며, 이 때 상기 패리티 비트의 제 1 패리티 비트는 짝수 패리티를 사용하여 계산되고 상기 패리티 비트의 제 2 패리티 비트는 홀수 패리티를 사용하여 계산되는 단계; 및

상기 데이터 비트와 상기 계산된 패리티 비트를 순차적으로 직렬 링크에 출력하는 단계를 포함하며,

상기 계산된 패리티 비트는 상기 데이터 비트와 인터리브되고,

상기 제1 패리티 비트는 상기 제2 패리티 비트 전에 순차적으로 출력되고,

상기 데이터 비트의 제1 시퀀스는 상기 제1 패리티 비트와 상기 제2 패리티 비트 사이에 순차적으로 출력되고,

상기 데이터 비트의 제2 시퀀스는 상기 제2 패리티 비트 다음에 순차적으로 출력되며,

상기 제2 시퀀스의 데이터 비트 수는 상기 제1 시퀀스의 데이터 비트 수보다 큰

데이터 부호화 방법.

청구항 2

제1 항에 있어서, 상기 제 2 패리티 비트는 상기 복수의 패리티 비트의 시퀀스에서의 마지막 패리티 비트인 것을 특징으로 하는 데이터 부호화 방법.

청구항 3

제1 항에 있어서, 상기 제 1 패리티 비트는 상기 복수의 패리티 비트의 시퀀스에서의 마지막에서 두 번째 패리티 비트인 것을 특징으로 하는 데이터 부호화 방법.

청구항 4

제1 항에 있어서, 상기 해밍 코드 부호화 연산은 HC(127, 120)에 해당하고, 상기 제 1 패리티 비트는 6번째 패리티 비트, 상기 제 2 패리티 비트는 7번째 패리티 비트인 것을 특징으로 하는 데이터 부호화 방법.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

복수의 데이터 비트를 수신하도록 구성된 입력부;

복수의 부호화 비트를 생성하기 위해 해밍 코드 부호화 연산을 사용하여 상기 데이터를 부호화하도록 구성된 프

로세서; 및

상기 복수의 부호화 비트를 순차적으로 직렬 링크에 출력하기 위한 출력부를 포함하며,

상기 프로세서는 상기 복수의 부호화 비트의 연속된 동일값의 최대 길이를 표준 해밍 코드에 해당하는 부호화 비트와 비교하여 감소시키고,

상기 프로세서는 상기 복수의 데이터 비트에 해밍 코드 부호화 연산을 적용하여 복수의 패리티 비트를 계산하며, 상기 패리티 비트의 제 1 패리티 비트는 짝수 패리티를 사용하여 계산되고 상기 패리티 비트의 제 2 패리티 비트는 홀수 패리티를 사용하여 계산되며, 상기 복수의 부호화 비트는 상기 데이터 비트와 인터리브된 상기 패리티 비트를 포함하고,

상기 출력부는 상기 제2 패리티 비트 전에 상기 제1 패리티 비트를 순차적으로 출력하고,

상기 출력부는 상기 제1 패리티 비트와 상기 제2 패리티 비트 사이에 상기 데이터 비트의 제1 시퀀스를 순차적으로 출력하고,

상기 출력부는 상기 제2 패리티 비트 다음에 상기 데이터 비트의 제2 시퀀스를 순차적으로 출력하며,

상기 제2 시퀀스의 데이터 비트 수는 상기 제1 시퀀스의 데이터 비트 수보다 큰

인코더.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

복수의 데이터 비트와 복수의 패리티 비트로 구성된 복수의 부호화 비트를 직렬 링크를 통하여 순차적으로 수신 하도록 구성된 입력부;

프로세서, 그리고

출력부

를 포함하며,

상기 프로세서는,

복수의 데이터 비트와 인터리브된 제1 패리티 비트 및 제2 패리티 비트를 포함하는 상기 수신된 부호화 비트를 수정하여 복수의 해밍 코드 부호화 비트를 생성하고,

해밍 코드 부호화 연산을 사용하여 상기 해밍 코드 부호화 비트를 복호화하여 복수의 복호화 비트를 생성하되, 상기 제1 패리티 비트는 짝수 패리티 비트로 복호화하고 상기 제2 패리티 비트는 홀수 패리티 비트로 복호화하며,

상기 출력부는 상기 복수의 복호화 비트를 출력하고,

상기 수신된 복수의 부호화 비트는 표준 해밍 코드에 해당하는 부호화 비트와 비교하여 감소된 길이의 연속된 동일값을 가지며,

상기 입력부는 상기 제2 패리티 비트 전에 상기 제1 패리티 비트를 순차적으로 수신하고,

상기 입력부는 상기 제1 패리티 비트와 상기 제2 패리티 비트 사이에 상기 데이터 비트의 제1 시퀀스를 순차적으로 수신하고,

상기 입력부는 상기 제2 패리티 비트 다음에 상기 데이터 비트의 제2 시퀀스를 순차적으로 수신하며,

상기 제2 시퀀스의 데이터 비트 수는 상기 제1 시퀀스의 데이터 비트 수보다 큰

디코더.

청구항 15

삭제

청구항 16

삭제

청구항 17

데이터 소스,

직렬 링크, 및

상기 데이터 소스와 상기 직렬 링크 사이에 연결되는 인코더

를 포함하며,

상기 인코더는,

상기 데이터 소스로부터 복수의 비트를 수신하도록 구성된 입력부,

복수의 부호화 비트를 생성하기 위해 해밍 코드 부호화 연산을 사용하여 비트를 부호화하도록 구성된 프로세서, 및

상기 복수의 부호화 비트를 상기 직렬 링크로 순차적으로 출력하도록 구성된 출력부를 포함하고,

상기 프로세서는 상기 복수의 부호화 비트의 연속된 동일값의 최대 길이를 표준 해밍 코드에 해당하는 부호화 비트와 비교하여 감소시키고,

상기 프로세서는 상기 복수의 데이터 비트에 해밍 코드 부호화 연산을 적용하여 복수의 패리티 비트를 계산하며, 상기 패리티 비트의 제 1 패리티 비트는 짝수 패리티를 사용하여 계산되고 상기 패리티 비트의 제 2 패리티 비트는 홀수 패리티를 사용하여 계산되며, 상기 복수의 부호화 비트는 상기 데이터 비트와 인터리브된 상기 패리티 비트를 포함하고,

상기 출력부는 상기 제2 패리티 비트 전에 상기 제1 패리티 비트를 순차적으로 출력하고,

상기 출력부는 상기 제1 패리티 비트와 상기 제2 패리티 비트 사이에 상기 데이터 비트의 제1 시퀀스를 순차적으로 출력하고,

상기 출력부는 상기 제2 패리티 비트 다음에 상기 데이터 비트의 제2 시퀀스를 순차적으로 출력하며,

상기 제2 시퀀스의 데이터 비트 수는 상기 제1 시퀀스의 데이터 비트 수보다 큰

통신 시스템.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명은 데이터 부호화 방법, 인코더, 디코더 및 통신 시스템에 대한 것이다.

배경 기술

[0002] 데이터 통신에 있어서, 송신기와 수신기 사이의 전송은 해밍 코드(Hamming codes: HC)를 통해 인증되고 정정될 수 있다. 일반적으로 말하면, 해밍 코드는 복수의 패리티(parity) 비트를 포함함으로써 복수의 데이터 비트에 대한 오류 탐지와 정정을 제공하며, 이 때 상기 패리티 비트는 데이터 비트들 사이에 뒤섞이게 된다.

[0003] 또한, 직렬 데이터 링크와 같은 전자적 데이터 통신에서는, 송신기와 수신기 사이의 통신이 클록(clock) 복구 또는 클록 데이터 복구(clock-data recovery: CDR) 과정을 사용하여 동기화될 수 있다. 예를 들어, 수신기는 위상 잠금 루프(phase-locked loop: PLL)를 사용하여 적절한 주파수 참조로부터 클록을 생성할 수 있으며, 이후 CDR을 사용하여 생성된 신호를 데이터 열에서의 천이로 위상 정렬(phase-align)할 수 있다.

발명의 내용

해결하려는 과제

[0004] 그러나, 천이의 개수의 수신기가 데이터를 탐지하기에 불충분하여 데이터에서 연속된 동일한 값의 길이(예를 들어, 연속적인 1 또는 0의 열)가 특정한 길이를 초과하는 경우 클록 신호의 복구가 실패할 수 있다. 이에 본 발명은 동일한 값의 길이를 억제하는 것이 가능한 기술을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 본 발명의 실시예의 측면은 디지털 데이터의 연속된 동일한 값의 길이를 감소시키거나 최소화하기 위한 시스템 및 방법에 관한 것이다. 일부 실시예에서, 수정된 해밍 코드 부호화 연산이 디지털 데이터에 적용된다.

[0006] 본 발명의 일 실시예에 따른 데이터 부호화 방법은 복수의 데이터 비트에 대해 해밍 코드 부호화 연산을 사용하여 복수의 패리티 비트를 계산하며, 이 때 상기 패리티 비트의 제 1 패리티 비트는 짝수 패리티를 사용하여 계산하고 상기 패리티 비트의 제 2 패리티 비트는 홀수 패리티를 사용하여 계산하는 단계; 및 상기 데이터 비트와 상기 계산된 패리티 비트를 출력하는 단계를 포함한다.

[0007] 상기 제 2 패리티 비트는 상기 복수의 패리티 비트의 시퀀스에서의 마지막 패리티 비트일 수 있다.

[0008] 상기 제 1 패리티 비트는 상기 복수의 패리티 비트의 시퀀스에서의 마지막에서 두 번째 패리티 비트일 수 있다.

[0009] 상기 해밍 코드 부호화 연산은 HC(127, 120)에 해당할 수 있고, 상기 제 1 패리티 비트는 6번째 패리티 비트, 상기 제 2 패리티 비트는 7번째 패리티 비트일 수 있다.

[0010] 본 발명의 일 실시예에 따른 방법은 복수의 데이터 비트에 대해 해밍 코드 부호화 연산을 사용하여 복수의 패리티 비트를 계산하는 단계; 상기 계산된 패리티 비트를 상기 복수의 데이터 비트와 인터리빙(interleaving; 교환 배치)하여 복수의 부호화 데이터 비트를 생성하는 단계; 및 상기 복수의 데이터 비트의 데이터 시퀀스의 연속된 동일값의 최대 길이를 감소시키기 위해 상기 복수의 부호화 데이터 비트를 재배치하는 단계를 포함한다.

[0011] 상기 복수의 부호화 데이터 비트를 재배치하는 단계는 상기 부호화 데이터 비트의 시작 부분에 있는 다수의 상기 복수의 부호화 데이터 비트를 상기 부호화 비트의 마지막 비트 이후로 이동시키는 단계를 포함할 수 있다.

[0012] 상기 해밍 코드 부호화 연산은 HC(127, 120)에 해당하고, 다수의 상기 시작 부분의 복수의 부호화 데이터 비트는 32 비트를 포함할 수 있다.

[0013] 상기 해밍 코드 부호화 연산은 홀수 패리티를 사용할 수 있다.

[0014] 본 발명의 일 실시예에 따른 인코더는 복수의 데이터 비트를 수신하도록 구성된 입력부; 복수의 부호화 비트를

생성하기 위해 해밍 코드 부호화 연산을 사용하여 상기 데이터를 부호화하도록 구성된 프로세서; 및 상기 복수의 부호화 비트를 출력하기 위한 출력부를 포함하며, 상기 프로세서는 상기 복수의 부호화 비트의 연속된 동일값의 최대 길이를 표준 해밍 코드에 해당하는 부호화 비트와 비교하여 감소시키도록 구성된다.

- [0015] 상기 프로세서는 상기 복수의 데이터 비트에 대한 해밍 코드 부호화 연산을 사용하여 복수의 패리티 비트를 계산하며, 이 때, 상기 패리티 비트의 제 1 패리티 비트는 짝수 패리티를 사용하여 계산되고 상기 패리티 비트의 제 2 패리티 비트는 홀수 패리티를 사용하여 계산되며, 상기 복수의 부호화 비트는 상기 데이터 비트와 상기 계산된 패리티 비트를 포함하도록 구성될 수 있다.
- [0016] 상기 프로세서는 상기 복수의 부호화 비트의 연속된 동일값의 최대 길이를 감소시키기 위해 상기 복수의 부호화 비트를 재배치하도록 구성될 수 있다.
- [0017] 상기 복수의 부호화 비트는 시작 부분에 있는 다수의 상기 복수의 부호화 데이터 비트를 상기 부호화 비트의 마지막 비트 이후로 이동시킴으로써 재배치될 수 있다.
- [0018] 상기 해밍 코드 부호화 연산은 HC(127, 120)에 해당하고, 시작 부분에 있는 다수의 상기 복수의 부호화 비트는 32 비트를 포함할 수 있다.
- [0019] 본 발명의 일 실시예에 따른 디코더는 복수의 데이터 비트와 복수의 패리티 비트로 구성된 복수의 부호화 비트를 수신하도록 구성된 입력부; 복수의 해밍 코드 부호화 비트를 생성하기 위해 수신된 부호화 비트를 수정하고, 복수의 부호화 비트를 생성하기 위해 해밍 코드 부호화 연산을 사용하여 상기 해밍 코드 부호화 비트를 부호화하도록 구성된 프로세서; 및 상기 복수의 부호화 비트를 출력하도록 구성된 출력부를 포함하며, 이 때, 상기 수신된 복수의 부호화 비트는 표준 해밍 코드에 해당하는 부호화 비트와 비교하여 감소된 길이의 연속된 동일값을 가진다.
- [0020] 상기 프로세서는 시작 부분에 있는 다수의 부호화 데이터 비트를 상기 부호화 비트의 마지막 비트 이후로 이동시켜 상기 복수의 수신된 부호화 비트를 재배치시킴으로써 상기 수신된 부호화 비트를 수정하도록 구성될 수 있다.
- [0021] 상기 프로세서는 상기 패리티 비트의 패리티 비트 값을 토글(toggle)시킴으로써 상기 수신된 부호화 비트를 수정하도록 구성될 수 있다.
- [0022] 본 발명의 일 실시예에 따른 통신 시스템은 데이터 소스; 직렬 링크; 및 상기 데이터 소스와 상기 직렬 링크 사이에 연결되며, 상기 데이터 소스로부터 복수의 비트를 수신하도록 구성된 입력부, 복수의 부호화 비트를 생성하기 위해 해밍 코드 부호화 연산을 사용하여 비트를 부호화하도록 구성된 프로세서, 및 상기 복수의 부호화 비트를 상기 직렬 링크로 출력하도록 구성된 출력부를 포함하는 인코더를 포함하며; 상기 프로세서는 상기 복수의 부호화 비트의 연속된 동일값의 최대 길이를 표준 해밍 코드에 해당하는 부호화 비트와 비교하여 감소시키도록 구성된다.
- [0023] 상기 프로세서는 상기 복수의 데이터 비트에 대해 해밍 코드 부호화 연산을 사용하여 복수의 패리티 비트를 계산하며, 이 때 상기 패리티 비트의 제 1 패리티 비트는 짝수 패리티를 사용하여 계산하고 상기 패리티 비트의 제 2 패리티 비트는 홀수 패리티를 사용하여 계산하며, 상기 복수의 부호화 비트는 상기 데이터 비트와 상기 계산된 패리티 비트를 포함하도록 구성될 수 있다.
- [0024] 상기 프로세서는 상기 복수의 부호화 비트의 연속된 동일값의 최대 길이를 감소시키기 위해 시작 부분에 있는 다수의 상기 복수의 부호화 비트를 상기 부호화 비트의 마지막 비트 이후로 이동시킴으로써 상기 복수의 부호화 비트를 재배치하도록 구성될 수 있다.

도면의 간단한 설명

[0025] 본 명세서와 함께 첨부된 도면은 본 발명의 실시예들을 도시하며, 발명의 상세한 설명과 함께 본 발명의 원리를 설명하는 역할을 한다.

도 1은 입력 데이터를 수신하고 해밍 코드 부호화된 데이터를 생성하도록 구성된 구성 요소를 도시하는 개략적 블록도이다.

도 2는 7개의 패리티 비트(또는 HC(127, 120))에 의한 120개의 데이터 비트의 해밍 코드 부호화를 개략적으로 도시한다.

- 도 3 본 발명의 일 실시예에 따른 수정된 해밍 코드를 사용하여 부호화된 데이터를 개략적으로 도시한다.
- 도 4는 본 발명의 일 실시예에 따른 수정된 해밍 코드를 사용하여 데이터를 부호화하도록 구성된 시스템을 도시하는 블록도이다.
- 도 5는 본 발명의 일 실시예에 따른 데이터 부호화 방법의 흐름도이다.
- 도 6은 본 발명의 일 실시예에 따른 수정된 해밍 코드를 사용하여 데이터를 복호화하도록 구성된 시스템을 도시하는 블록도이다.
- 도 7은 본 발명의 일 실시예에 따른 데이터 복호화 방법의 흐름도이다.
- 도 8(A) 및 도 8(B)는 본 발명의 추가적인 실시예에 따른 수정된 해밍 코드를 사용하여 부호화된 데이터를 개략적으로 보여 준다.
- 도 9는 본 발명의 추가적인 실시예에 따른 수정된 해밍 코드를 사용하여 데이터를 부호화하도록 구성된 시스템을 도시하는 블록도이다.
- 도 10은 본 발명의 또 다른 실시예에 따른 데이터 부호화 방법의 흐름도이다.
- 도 11은 본 발명의 일 실시예에 따른 수정된 해밍 코드 부호화 비트를 출력하도록 구성된 송신기를 도시하는 개략적 블록도이다.
- 도 12는 본 발명의 일 실시예에 따라 입력 데이터로부터 부호화된 수정된 해밍 코드 부호화 비트를 계산하는 방법을 도시하는 흐름도이다.
- 도 11은 본 발명의 추가적인 실시예에 따른 수정된 해밍 코드를 사용하여 데이터를 복호화하도록 구성된 시스템을 도시하는 블록도이다.
- 도 12는 본 발명의 또 다른 실시예에 따른 데이터 복호화 방법의 흐름도이다.
- 도 13은 본 발명의 일 실시예에 따른 수정된 해밍 코드 부호화 비트를 출력하도록 구성된 수신기를 도시하는 개략적 블록도이다.
- 도 14는 본 발명의 일 실시예에 따른 수정된 해밍 코드에서 비트를 부호화하는 방법을 도시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 특허 출원은 2013년 10월 31일 출원되고, 제목이 "최대 천이 해밍 코드(Maximal Transition Hamming Codes)"인 미국 예비 출원 제 61/898,415에 대한 우선권을 주장하여, 이에 따른 혜택을 받고자 하며, 상기 출원의 전체 내용은 본 명세서에 참조로써 통합되었다.
- [0027] 이하의 상세한 설명에서는, 본 발명의 실시예의 특정 예만을 설명하며 이를 예시를 통해 기술한다. 해당 분야의 통상의 기술자라면 알 수 있듯이, 본 발명은 다양한 여러 다른 형태로 구현될 수 있으며 본 명세서에 개시된 실시예들로 제한되는 것으로 생각되어서는 안 된다. 동일한 도면 부호는 명세서 전체에 걸쳐 동일한 요소를 나타낸다.
- [0028] 본 발명의 실시예의 측면은 통신 시스템에서 디지털 데이터의 연속된 동일값의 길이를 감소시키고 최소화할 수 있는 시스템 및 방법에 관한 것이다.
- [0029] 디지털 통신에서, 송신기와 수신기는 클럭(clock) 복구 또는 클럭 데이터 복구(clock-data recovery: CDR) 과정을 사용하여 동기화될 수 있다. CDR 과정을 사용하는 수신기는 일반적으로 전압 레벨 사이의 천이 시간을 탐지함으로써 작동하며 수신기의 클럭을 탐지된 천이를 기반으로 위상 정렬(phase-align)한다.
- [0030] 그러나, 수신된 신호가 지나치게 긴 길이의 연속된 동일값을 포함하는 경우(예를 들어, 같은 전압 레벨을 가지는 긴 데이터 심볼의 시퀀스), 이러한 CDR 과정은 수신된 신호 내의 천이의 개수가 불충분한 이유로 실패할 수 있으며, 이는 클럭의 복구에서 문제를 야기할 수 있다.
- [0031] 또한, 일반적인 데이터 통신에서는, 송신기와 수신기 사이의 전송 상 오류를 비트열을 부호화함으로써 탐지되고 정정될 수 있다. 이러한 코딩 기술 중의 하나는 해밍 코드(Hamming Code: HC)라 불리며 통신 스트림 내에 복수의 패리티 비트를 포함함으로써(또는 인터리브(interleave)를 통해) 복수의 데이터 비트에 대한 일 비트의 오류 탐지 및 정정을 제공한다. 표준적인 해밍 코드 시스템에서는, 이들 패리티 비트가 데이터 비트 내에서 뒤섞이게

된다.

[0032] 도 1은 해밍 코드 부호화된 데이터를 계산하도록 구성된 장치(10)를 도시하는 개략적 블록도이다. 상기 장치(10)는 데이터 소스에 연결된 입력을 통해 데이터 비트를 수신하도록 구성된 패리티 생성기(12)와 멀티플렉서(14)를 포함한다. 상기 패리티 생성기(12)는 데이터 비트에 대한 해밍 코드 부호화 연산을 사용하여 패리티 비트를 계산하며, 상기 멀티플렉서(14)는 생성된 패리티 비트를 수신된 데이터 비트와 결합하여 해밍 코드 부호화 데이터를 생성한다. 상기 패리티 생성기(12)는 짝수 패리티 생성기 또는 홀수 패리티 생성기일 수 있다. 상기 멀티플렉서(14)는, 예를 들어, 상기 해밍 코드 부호화 데이터를 출력 장치(예를 들어, 직렬 링크에 연결된 직렬 통신 장치)로 출력하기 이전에 상기 생성된 패리티 비트와 데이터 비트를 저장하도록 구성된 버퍼일 수 있다.

[0033] 패리티 비트의 개수(M)는 비트열 내의 데이터 비트의 개수(N)에 따라 달라진다. 특히 N개의 데이터 비트에 대해 패리티 비트의 개수, M,은 다음을 만족한다:

수학식 1

$$2^{M-1} - M + 1 \leq N \leq 2^M - M - 1, \text{ for } M = 2, 3, \dots$$

[0034]

[0035] 도 2는 7개의 패리티 비트(HC(127, 120)로 표시됨)를 통한 120개 데이터 비트의 부호화를 도시한다. 도 2에 도시된 바와 같이, 7개의 패리티 비트 p_j (여기서, $j = 1, 2, \dots, 7$)는 120개의 데이터 비트 d_k (여기서, $k = 1, 2, \dots, 120$) 사이에서 뒤섞이게 된다. 특히, 표준적 해밍 코드에서, 패리티 비트는 2의 거듭 제곱이 되는 자리에 위치하게 된다. 예를 들어, 도 2에 도시된 바와 같이, 표준 (127, 120) 해밍 코드(20)에서 패리티 비트는 1, 2, 4, 8, 16, 32 및 64의 자리에 위치한다. 토글(toggle) 비트, T(또는 b_T),도 또한 마지막에 포함될 수 있으며, 이 때, 토글 비트는 마지막 비트의 역이 된다. 예를 들어, HC(127, 120)에서, $d_{120} = 0$ 인 경우, $T = 1$ 이고, $d_{120} = 1$ 인 경우, $b_T = 0$ 이다.

[0036] 해밍 코드 부호화 동작에서, 각각의 패리티 비트는 데이터 비트의 특정 집합에 대한 XOR 연산을 기반으로 계산된다. 예를 들어, P_1 은 다음과 같이 비트열 내의 각각의 모든 비트에 대한 XOR 연산으로부터 계산될 수 있다.

수학식 2

$$p_1 \oplus d_1 \oplus d_2 \oplus d_4 \oplus d_8 \oplus d_{16} \oplus d_{32} \oplus d_{64} \oplus d_{120} \oplus T = f$$

[0037]

[0038] 여기서, \oplus 은 XOR 연산이고 f 는 짝수 패리티에 대해서는 0, 홀수 패리티에 대해서는 1이다. p_2 를 찾기 위해, 두 비트를 유지하고 두 비트를 제거함으로써 유사한 XOR 연산이 수행된다.

수학식 3

$$p_2 \oplus d_1 \oplus d_3 \oplus d_5 \oplus d_7 \oplus d_9 \oplus d_{11} \oplus d_{13} \oplus d_{15} \oplus d_{17} \oplus d_{19} \oplus d_{21} \oplus d_{23} \oplus d_{25} \oplus d_{27} \oplus d_{29} \oplus d_{31} \oplus d_{33} \oplus d_{35} \oplus d_{37} \oplus d_{39} \oplus d_{41} \oplus d_{43} \oplus d_{45} \oplus d_{47} \oplus d_{49} \oplus d_{51} \oplus d_{53} \oplus d_{55} \oplus d_{57} \oplus d_{59} \oplus d_{61} \oplus d_{63} \oplus d_{65} \oplus d_{67} \oplus d_{69} \oplus d_{71} \oplus d_{73} \oplus d_{75} \oplus d_{77} \oplus d_{79} \oplus d_{81} \oplus d_{83} \oplus d_{85} \oplus d_{87} \oplus d_{89} \oplus d_{91} \oplus d_{93} \oplus d_{95} \oplus d_{97} \oplus d_{99} \oplus d_{101} \oplus d_{103} \oplus d_{105} \oplus d_{107} \oplus d_{109} \oplus d_{111} \oplus d_{113} \oplus d_{115} \oplus d_{117} \oplus d_{119} \oplus T = f$$

[0039]

[0040] 다른 패리티 비트들도 유사한 방식으로 찾아진다.

[0041] 일부 경우에는, 해밍 코드로 부호화된 데이터의 전송의 결과 매우 긴 연속된 동일값이 나타날 수 있다. 예를 들어, 짝수 패리티를 사용하는 HC(127, 120)에서, $k = 1, 2, \dots, 120$ 에 대해 $d_k = 0$ 인 경우, $j = 1, 2, \dots, 7$ 에 대해 $p_j = 0$ 가 된다. 따라서, 짝수 패리티를 사용하는 이 시퀀스는 127개의 0의 값이 연속하여 나타나게 된다

(이 때, 토글 비트 b_t 는 중간 개입값 1을 제공한다). 또한, 이전 프레임의 토글 비트가 0인 경우, 연속된 동일값의 길이는 128이 될 것이다. 홀수 패리티를 사용하는 HC(127, 120)의 또 다른 예로써, $k = 1, 2, \dots, 119$ 에 대해 $d_k = 0$ 이고 $d_{120} = 1$ 이며, 이 때 $j = 1, 2, \dots, 7$ 에 대해 $p_j = 0$ 이다. 따라서, 홀수 패리티를 사용하는 이 시퀀스는 126개의 0의 값이 연속되어 나타나게 된다(이 때, 데이터 비트 d_{120} 는 중간 개입값 1을 제공한다). 또한, 이전 프레임의 토글 비트가 0인 경우, 연속된 동일값의 길이는 127이 될 것이다.

[0042] 본 발명의 실시예는 송신기의 출력에서의 천이의 개수가 증가되거나 최대화되는(예를 들어, 데이터 심볼의 연속된 동일값의 최대 길이가 감소되는) 수정된 해밍 코드(HC)에 기반한 수정된 오류 정정 시스템을 사용하는 시스템 및 방법에 관한 것이다.

[0043] 도 3 본 발명의 일 실시예에 따른 HC(127, 120) 부호화 비트의 수정된 출력 부호화 비트(22)의 생성을 개략적으로 도시한다. 도 3을 참조하면, 연속된 동일값의 길이는 원래의 부호화 비트들을 재배치함으로써 감소될 수 있다. 예를 들어, 원래 부호화 비트(20)의 최초의 L 비트는 수정된 부호화 비트(22)가 원래 부호화 비트(20)의 마지막 $K - L$ ($K = M + N$ 은 프레임 내의 비트의 총 개수)비트에서 시작되도록 시퀀스의 마지막으로 이동될 수 있다. $K = 127, L = 32$ 인 해밍 코드 HC(127, 120)에 대해 설명한다. 일반적으로, L 은 P_{M-1} 의 이전 위치(P_{M-1} 의 위치를 포함)에 있는 비트의 개수이다. (HC(127, 120)에서 $M = 7$ 이므로, $P_6 = 32$)이며, 이 때의 위치는 32에 있게 되며 따라서 $L = 32$ 이다.)

[0044] 예를 들어, 홀수 패리티를 사용하는 경우, 상기 패리티 비트는 HC(127, 120)에서 코드 비트(20)를 생성하는 일반적인 방법을 사용하여 계산될 수 있다. 출력의 최초 32 비트는 이후 수정된 출력 코드 비트를 생성하기 위해 마지막으로 이동될 수 있다(예를 들어, $b_1, b_2, \dots, b_{32}, b_{33}, \dots, b_{127} \implies b_{33}, \dots, b_{127}, b_1, b_2, \dots, b_{32}$). (일부 실시예에서, 상기 토글 비트는 마지막 자리에 있다.) 이러한 기술을 사용하여, $k = 1, 2, \dots, 120$ 에 대해 $d_k = 0$ 인 경우, 최대 95비트의 연속된 동일값의 길이를 이루어 낼 수 있으며(예를 들어, b_{33} 내지 b_{127} 가 95개의 0이지만, b_t 는 b_{127} 의 역, 즉 $b_t = 1$ 이다), 이는 126 비트인 표준 HC(127, 120)의 최대 연속된 동일값의 길이에서 감소한 것이다.

[0045] 도 4는 본 발명의 일 실시예에 따라 송신되는 데이터의 연속된 동일값의 길이를 줄이도록 구성된 부호화 시스템 또는 송신 시스템(또는 송신기)(100)을 도시하는 개략적 블록도이다. 상기 부호화 시스템(100)은 입력으로부터 데이터 비트를 수신하고, 수신된 데이터 비트에 대해 해밍 코드 부호화 동작을 수행하며, 해밍 코드 부호화 출력을 생성하도록 구성된 해밍 코더(10)(예를 들어, 해당 기술 분야에서 알려진 적절한 해밍 코더), 상기 해밍 코더로부터의 최초 L 비트의 출력을 저장하도록(예를 들어, HC(127, 120)를 사용하는 경우, $L = 32$) 구성된 버퍼(102), 및 상기 버퍼(102)로의 해밍 코더(10)의 최초 L 비트의 출력을 선택적으로 저장하고(예를 들어, HC(127, 120)를 사용하는 경우 다음의 96 비트) 남아 있는 비트를 출력한 이후에 저장된 L 비트를 출력하도록 구성된 선별기(104)를 포함한다. 예를 들어, 상기 선별기(104)는 상기 버퍼(102) 내의 비트(예를 들어, HC(127, 120)에서 최초의 32 비트)를 언제 저장할 것인지, 해밍 코더(10)로부터 수신한 비트들(예를 들어, HC(127, 120)에서 다음의 95비트)을 언제 직접 출력할 것인지, 또 저장된 비트들을 언제 출력할 것인지(예를 들어, HC(127, 120) 내의 95비트를 출력한 이후)를 결정하기 위해 해밍 코더(10)로부터 수신되는 비트의 개수를 세기 위한 (또는 클록 사이클의 개수를 세기 위한) 카운터를 포함할 수 있다. 도 4의 블록도에서의 다양한 구성 요소들은, 예를 들어, 프로세서, 주문형 ASIC 반도체, 필드 프로그래머블 게이트 어레이 (FPGA), 및 이들의 조합들(예를 들어, 블록도의 다른 부분들에 다른 구성 요소들을 사용하여)을 사용하여 구현될 수 있다.

[0046] 도 5는 본 발명의 일 실시예에 따라 부호화 비트(20)로부터 수정된 부호화 비트(22)를 생성하는 방법(200)을 도시하는 흐름도이며, 이 때, 상기 수정된 부호화 비트(22)는 감소된 길이의 연속된 동일값을 가진다. 동작 202에서, 길이 K 를 가지는 해밍 코드 부호화 비트(20)는 수신된 데이터 비트에 대해 해밍 코드 부호화 동작을 수행하였던 해밍 코더(10)로부터 수신된다. 부호화 비트(20)의 최초 L 비트는 이후 동작 204에서 버퍼(102)에 버퍼링된다. 이후 동작 206에서, 부호화 비트(20)의 다음 $K - L$ 비트는 수정된 부호화 비트(22)의 첫 부분으로서 출력되고, 동작 208에서, L 개의 버퍼링된 비트는 수정된 부호화 비트(22)의 두 번째 부분으로서 출력된다. 상기 비트는 직접적으로 출력되거나 송신기(100)로부터 출력되기 이전에 제 2 버퍼로 출력될 수 있다.

[0047] 도 6은 본 발명의 일 실시예에 따른 수신 시스템(또는 수신기)(150)을 도시하는 블록도이다. 상기 수신기(150)는 어떠한 비트를 버퍼(152)에 저장할 것인지를 식별하며 해밍 디코더(154)로 비트를 출력하도록 구성된 선별기

(154)를 포함한다. 이 때, 상기 해밍 디코더(154)는 복호화된 데이터를 출력한다.

[0048] 도 7은 본 발명의 일 실시예에 따라 원래의 부호화 비트(20)를 복원하기 위해 수정된 부호화 비트(22)를 수신하고 복호화하는 방법(250)을 도시하는 흐름도이다. 동작 252에서, 길이 K 의 수정된 부호화 비트가 수신된다. 수신된 수정된 부호화 비트의 최초 $K - L$ 비트는 버퍼(152)에 버퍼링된다. 이 후, 수신된 수정된 부호화 비트의 다음 L 비트는 동작 256에서 출력되고, 이어서 버퍼링된 $K - L$ 비트가 동작 258에서 출력된다. 출력 비트는 해밍 복호화 연산을 수행하기 위해 해밍 디코더(40)로 공급되기 이전에 버퍼링될 수 있다.

[0049] 본 발명의 또 다른 실시예에 따르면, 연속된 동일값의 최대 길이는 마지막의 두 패리티 비트에 대해 서로 다른 패리티 유형(예를 들어, 홀수 대 짝수)을 사용하여 감소되거나 최소화된다. 달리 말하면, M 개의 패리티 비트의 시퀀스를 사용하는 해밍 코드에서, 패리티 비트 시퀀스의 마지막(또는 최종) 패리티 비트, p_M ,은 제 1 패리티를 사용하여 계산되고, 패리티 비트 시퀀스의 마지막에서 두 번째(또는 마지막에서 두 번째) 패리티 비트, p_{M-1} ,은 최초 패리티와 다른 제 2 패리티로 계산된다. 도 8(A)는 최종 패리티 비트 p_M (이 경우에는, p_7)은 홀수 패리티를 사용하여 계산되고(예를 들어, $p_7 = d_{58}$ 에서 d_{120} 까지의 비트의 XOR 연산 결과에 1을 더함, 보다 간결하게는, $p_7 = XOR(d_{58}:d_{120}) \oplus 1$), 마지막에서 두 번째 패리티 비트 p_{M-1} (이 경우에는, p_6)는 짝수 패리티를 사용하여 계산되는(예를 들어, $p_6 = d_{27}$ 에서 d_{57} 까지의 비트와 d_{89} 에서 d_{120} 까지의 비트의 XOR 연산 결과, 보다 간결하게는, $p_6 = XOR(d_{27}:d_{57}, d_{89}:d_{120})$) 본 발명의 일 실시예에 따른 HC(127, 120) 부호화 비트의 수정된 출력 부호화 비트(24)를 예시하는 구성도이다. 수정된 부호화 비트의 패리티 비트를 짝수 및 홀수 패리티를 혼합 사용하여 계산함으로써 94비트의 연속된 동일값의 최대 길이를 성취할 수 있다.

[0050] 도 8(B)는 패리티 비트의 시퀀스의 최종 패리티 비트, p_M (이 경우에는, p_7),는 홀수 패리티를 사용하여 계산되고(예를 들어, $p_7 = XOR(d_{58}:d_{120})$), 패리티 비트의 마지막에서 두 번째 패리티 비트 p_{M-1} (이 경우에는, p_6)는 짝수 패리티를 사용하여 계산되는(예를 들어, $p_6 = XOR(d_{27}:d_{57}, d_{89}:d_{120}) \oplus 1$) 본 발명의 또 다른 실시예에 따른 HC(127, 120) 부호화 비트의 수정된 출력 부호화 비트(24)를 예시하는 구성도이다. 짝수 및 홀수 패리티를 혼합 사용하여 수정된 부호화 비트의 패리티 비트 시퀀스를 계산함으로써, 94 비트의 연속된 동일값의 최대 길이가 성취된다.

[0051] 본 발명의 실시예에 따르면, 패리티 비트 시퀀스의 다른 패리티 비트, p_1 내지 p_{M-2} (예를 들어, p_1 내지 p_5),는 짝수 또는 홀수 패리티를 가질 수 있다. 패리티 비트, p_1 내지 p_{M-2} ,의 다른 패리티 비트는 서로 다른(짝수 또는 홀수) 패리티로 계산될 수 있다.

[0052] 도 9는 본 발명의 일 실시예에 따라 수정된 해밍 코드 부호화 비트 24 또는 26을 출력하도록 구성된 송신기(300)를 도시하는 개략적 블록도이다. 상기 시스템(300)은 수정된 해밍 코드를 계산하도록 구성된 수정된 해밍 코더(310)를 포함하며, 상기 수정된 해밍 코더 310는 패리티 선별기(16), 제 1 패리티 생성기(12a), 제 2 패리티 생성기(12b), 및 멀티플렉서(14)를 포함한다. 일 실시예에서, 상기 제 1 패리티 생성기 및 제 2 패리티 생성기는 각각 짝수 패리티와 홀수 패리티를 계산하도록(또는 해밍 코드 부호화 연산을 수행하도록), 구성된다. 상기 패리티 선별기(16)는 특정 패리티 비트를 계산하기 위해 필요한 데이터 비트에 따라 입력 데이터의 데이터 비트를 식별하여 이를 상기 제 1 패리티 생성기 및 제 2 패리티 생성기에 공급한다.

[0053] 예를 들어, 패리티 비트, p_7 ,은 홀수 패리티를 사용하여 계산되고 패리티 비트, p_6 ,은 짝수 패리티를 사용하여 계산되는 실시예에서, 상기 패리티 선별기(16)는 패리티 비트 p_7 을 계산하기 위해 데이터 비트 $d_{58}:d_{120}$ 을 제 2 패리티 생성기(12b)(홀수 패리티를 계산하도록 구성된다)에 공급하고, 패리티 비트 p_6 을 계산하기 위해 데이터 비트 $d_{27}:d_{57}$ 과 $d_{89}:d_{120}$ 을 제 1 패리티 생성기(12a)에 공급한다.

[0054] 도 10은 입력 데이터로부터 수정된 해밍 코드 부호화 비트를 계산하기 위한 방법을 도시하는 흐름도이다. 동작 402에서, (예를 들어, 직렬 링크를 통해 송신되는 데이터를 출력하는 장치 또는 구성 요소로부터) 데이터(20)가 수신된다. 동작 404에서, 패리티 비트를 계산하기 위해 비트들의 군들이 식별된다. 예를 들어, HC(127, 120)에서, 비트 $d_{58}:d_{120}$ 은 패리티 비트 p_7 에 연관되어 있는 것으로 식별되며, 데이터 비트 $d_{27}:d_{57}$ 및 $d_{89}:d_{120}$ 은 패리티 비트 p_6 를 계산하기 위해 사용된 것으로 식별된다. 동작 406에서, 특정 패리티 비트의 패리티는 짝수 또는 홀수

인 것으로 식별된다. 예를 들어, 일 실시예에서, p_6 는 짝수 패리티를 사용하여 계산되고 p_7 는 홀수 패리티를 사용하여 계산된다. 특정 패리티 비트에 대해 사용되는 식별된 패리티를 기반으로, 상기 패리티 비트에 해당하는 데이터 비트는 동작 408에서 짝수 패리티를 사용하여, 또는 동작 410에서 홀수 패리티를 사용하여 계산된다. 예를 들어, 패리티 비트 p_6 가 짝수 패리티를 사용하여 계산되는 경우, 데이터 비트 $d_{27}:d_{37}$ 및 $d_{89}:d_{120}$ 가 동작 408에서 패리티 비트 p_6 를 계산하기 위해 사용된다. 동작 412에서, 계산된 패리티 비트는 출력되는 수정된 해밍 코드 부호화 비트 24 또는 26 내에서 데이터 비트(20)와 결합(또는 인터리브(interleave))된다(예를 들어, 패리티 비트 p_a 는 2^{a-1} 의 자리에 위치한다).

[0055] 도 11은 본 발명의 일 실시예에 따른 수정된 해밍 코드 부호화 비트 24 또는 26을 출력하도록 구성된 송신기(330)를 도시하는 개략적인 블록도이다. 상기 시스템(330)은 표준적인 해밍 코드 부호화 연산을 수행하도록 구성된 표준 해밍 코드 10을 포함하며(예를 들어, 입력 데이터 비트의 집합 d 가 주어졌을 때 M 개의 패리티 비트들의 집합 p 를 계산), 이 연산에서 마지막의 두 패리티 비트, p_{M-1} 및 p_M ,은 동일한 패리티를 사용하여 계산된다(예를 들어, 두 패리티 비트 모두 짝수 패리티를 사용하여 계산되거나 모두 홀수 패리티를 사용하여 계산된다). 상기 시스템(330)은 패리티 비트 수정기(332)(또는 송신 패리티 비트 수정기)를 더 포함하며, 상기 수정기는 p_{M-1} 과 1의 XOR을 계산함으로써(예를 들어, 마지막에서 두 번째 패리티 비트를 $p_{M-1} \oplus 1$ 로 설정) 마지막에서 두 번째 패리티 비트 p_{M-1} 을 수정하도록(예를 들어, 짝수에서 홀수로 또는 홀수에서 짝수로) 구성된다. 이후, 수정된 비트열은 수정된 해밍 코드 부호화 비트 24 또는 26으로서 출력된다.

[0056] 본 발명의 다른 실시예에 따르면, 상기 패리티 비트 수정기(332)는 p_M 및 1의 XOR을 계산함으로써(예를 들어, 최종 패리티 비트를 $p_M \oplus 1$ 로 설정) 최종 패리티 비트, p_M ,을 수정하도록 구성된다.

[0057] 도 12는 본 발명의 일 실시예에 따라 입력 데이터로부터 부호화된 수정된 해밍 코드 부호화 비트를 계산하는 방법(430)을 도시하는 흐름도이다. 동작 432에서, M 개의 패리티 비트 p 및 N 개의 데이터 비트 d 를 포함하는 길이 K 의 해밍 코드 부호화 비트열이 수신된다. 동작 434에서, 마지막에서 두 번째 패리티 비트, p_{M-1} ,이 식별되고, 동작 436에서, 마지막에서 두 번째 패리티 비트, p_{M-1} ,이 역전되거나 $p_{M-1} \oplus 1$ 로 대체된다(달리 말하면, 그 값이 토글되거나, 0에서 1로 또는 1에서 0으로 역전된다). 이후, 역전된 마지막에서 두 번째의 패리티 비트를 가지는 수정된 해밍 코드 부호화 비트는 수정된 부호화 비트 24 또는 26으로서 출력된다.

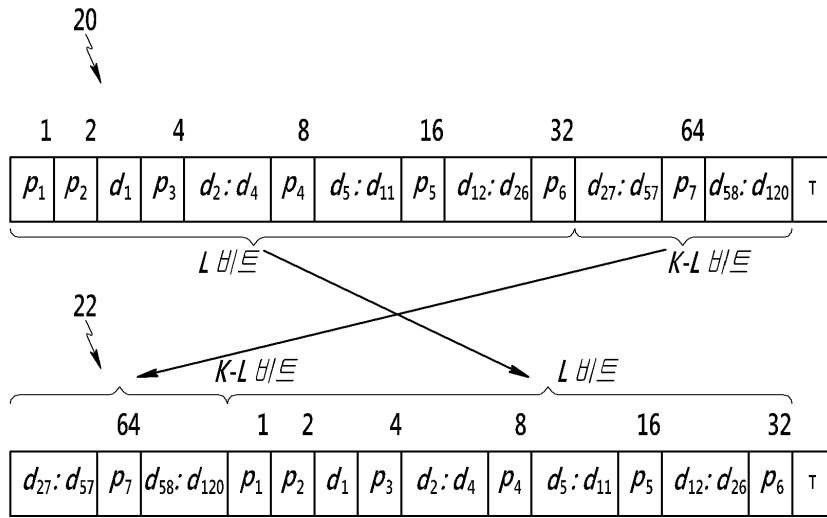
[0058] 본 발명의 다른 실시예에서, 상기 최종 패리티 비트, p_M ,가 동작 434에서 식별되고, 동작 436에서, 상기 최종 패리티 비트, p_M ,가 역전되거나 $p_M \oplus 1$ 로 대체된다.

[0059] 도 13은 본 발명의 일 실시예에 따른 수신기를 도시하는 블록도이다. 도 13을 참조하면, 상기 수신기 시스템(350)은 p_{M-1} 과 1의 XOR을 계산함으로써(예를 들어, 마지막에서 두 번째 패리티 비트를 $p_{M-1} \oplus 1$ 로 설정) 마지막에서 두 번째 패리티 비트, p_{M-1} ,를 수정하도록(예를 들어, 짝수에서 홀수로 또는 홀수에서 짝수로) 구성된 수신 패리티 비트 수정기(352)를 포함한다. 이후, 상기 수신 패리티 비트 수정기(352)는 비트열을 복호화하여, 복호화된 데이터를 생성하는 표준 해밍 디코더(40)로 비트열을 공급한다. 일부 실시예에서, 마지막에서 두 번째 패리티 비트, p_{M-1} , 대신에 최종 패리티, p_M ,이 역전된다.

[0060] 도 14는 본 발명의 일 실시예에 따라 수정된 해밍 코드 내의 비트를 복호화하는 방법(450)을 도시하는 흐름도이다. 동작 452에서, 길이 K 의 수정된 해밍 코드 부호화 비트열이 수신된다. 마지막에서 두 번째 패리티 비트, p_{M-1} ,은 동작 454에서 식별되어 역전되거나 작동 456에서의 p_{M-1} 과 1의 XOR 값(예를 들어, 마지막에서 두 번째 패리티 비트를 $p_{M-1} \oplus 1$ 으로 설정)으로 대체된다. 이러한 동작의 결과는 표준 해밍 디코더로 공급될 수 있는 표준으로 해밍 코드 부호화 비트열 24 또는 26을 복구하는 것이다. 일부 실시예에서, 마지막에서 두 번째 패리티 비트, p_{M-1} , 대신에 최종 패리티, p_M ,가 수정된다.

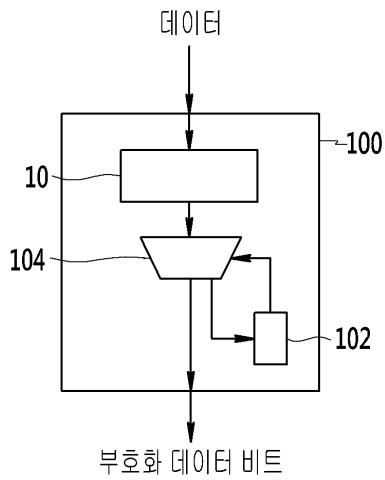
[0061] 홀수 및 짝수 패리티를 혼합함으로써 연속된 동일값의 길이가 감소될 수 있다는 것에 대한 증명은 본 출원과 함께 미국 특허청에 제출된 부록 "해밍 코드 내에서의 홀수 및 짝수 패리티 혼합에 의한 연속된 동일값 길이의 감

도면3

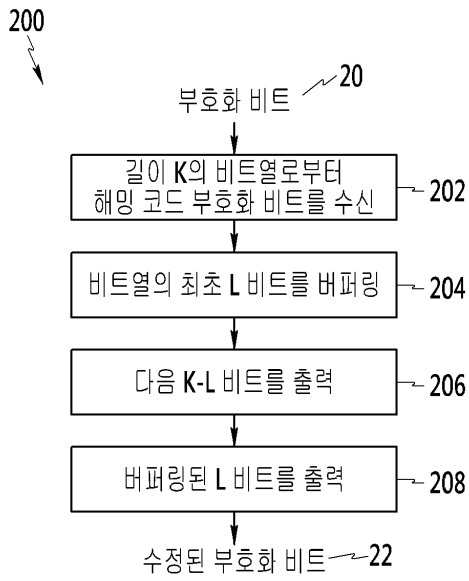


패리티 비트 p_j ($j = 1, 2, \dots, 7$) 데이터 비트 d_k ($k = 1, 2, \dots, 120$) τ 토크 비트 (d_{120} 의 역)

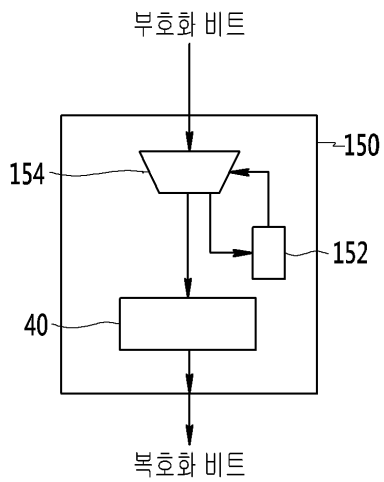
도면4



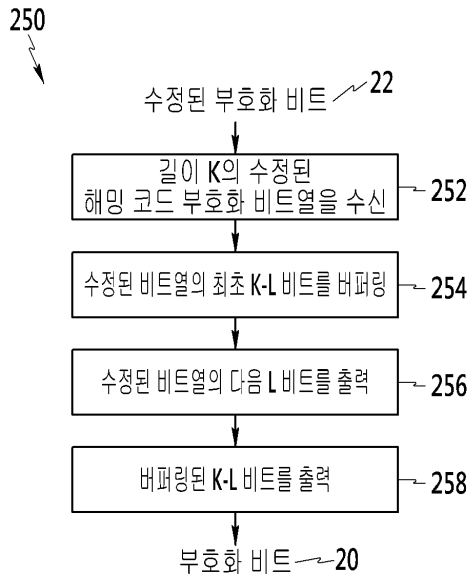
도면5



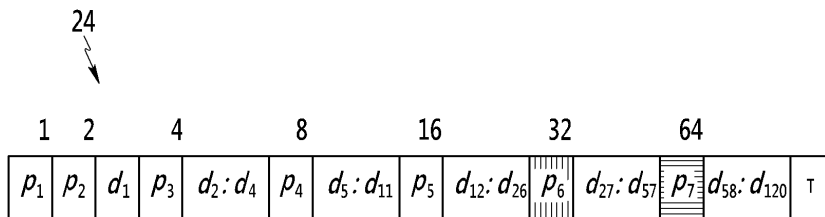
도면6



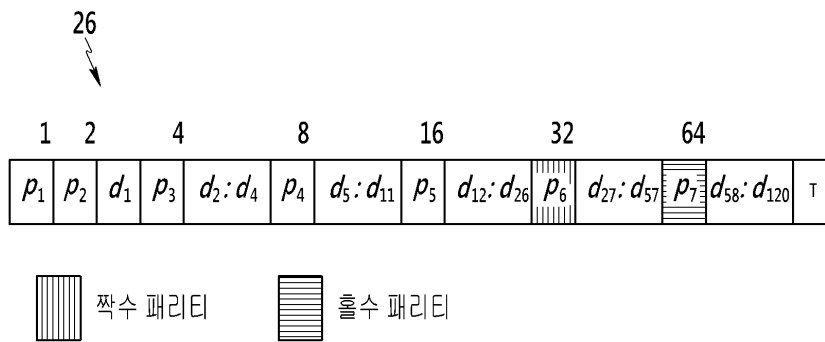
도면7



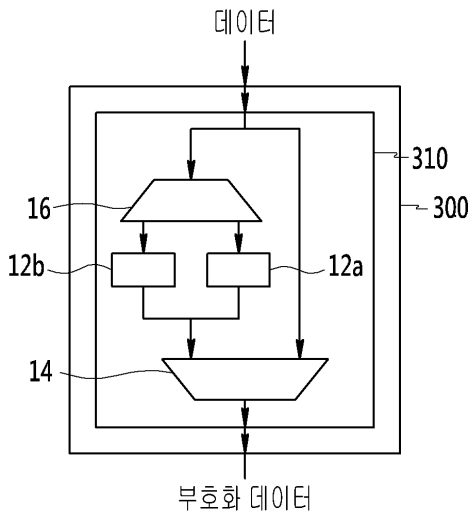
도면8a



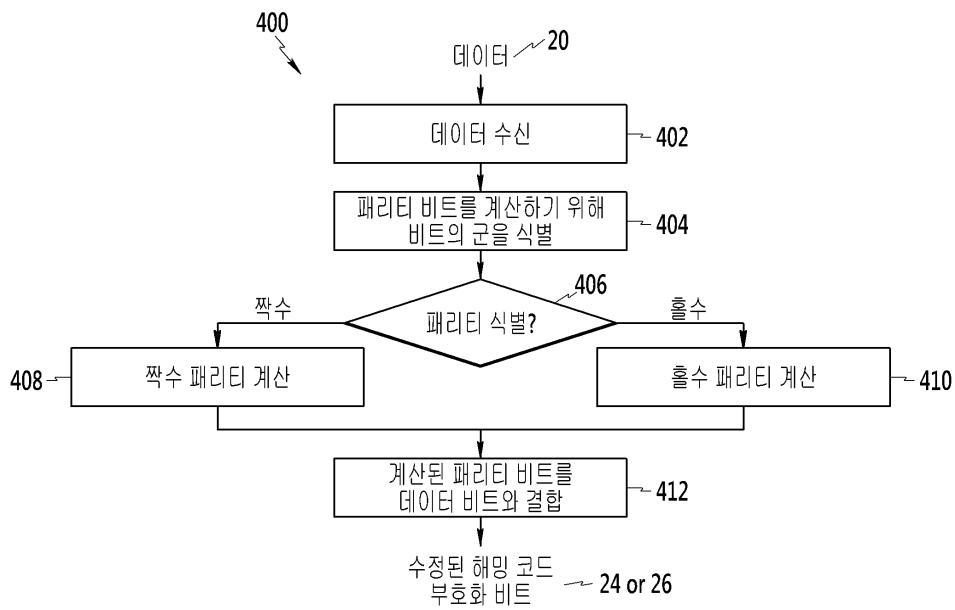
도면8b



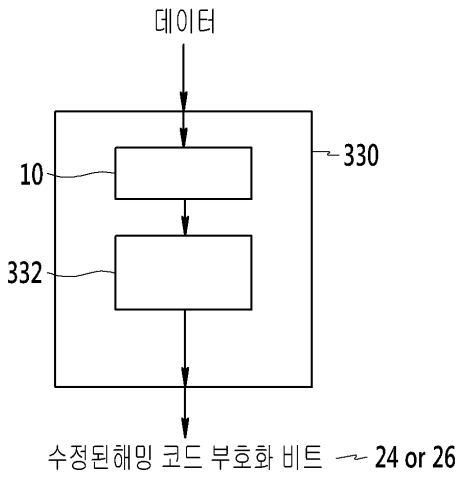
도면9



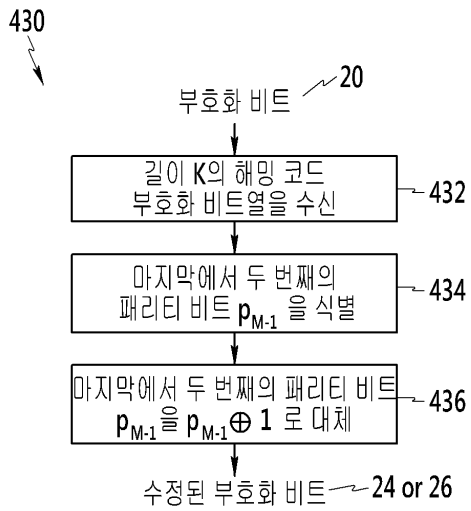
도면10



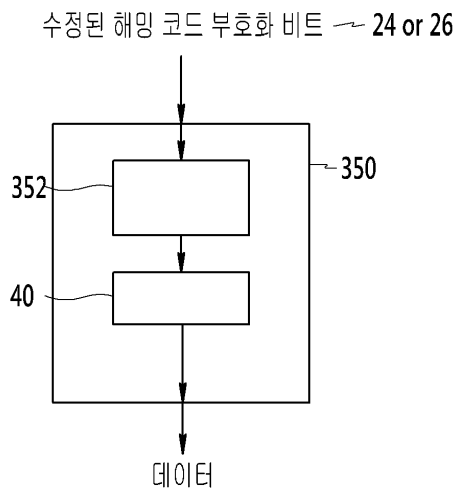
도면11



도면12



도면13



도면14

