



ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

block adjacent to the target memory block.

(57) 摘要: 本发明实施例公开了一种存储器, 包括: 存储库; 所述存储库包括多个存储块, 所述存储块包括多条字线、多条位线以及多个呈阵列排布的存储单元, 每一所述存储单元连接到其中一条字线和其中一条位线; 其中, 所述存储库被配置为: 在预设模式下, 响应于控制信号, 激活所述存储库中至少一个目标存储块的每一条字线, 拉高或拉低所述目标存储块的每一条位线上的电平, 并将所述目标存储块中的每一条所述位线的互补位线拉至与所述位线相反的电平, 所述互补位线为与所述目标存储块相邻的存储块的位线。

一种存储器及其写入方法

相关申请的交叉引用

本发明基于申请号为 202110773715.0、申请日为 2021 年 07 月 08 日、发明名称为“一种存储器及其写入方法”的中国专利申请提出，并要求该中国
5 专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本发明实施例涉及集成电路领域，尤其涉及一种存储器及其写入方法。

背景技术

存储器（Memory）是现代信息技术中用于保存信息的记忆设备。存储
10 器通常被分类为易失性存储器和非易失性存储器。

由于动态随机存取存储器（DRAM）的反应速度及运行速度通常非常快，因此动态随机存取存储器被广泛用作系统的主存储器或缓冲存储器。通常，DRAM 芯片在生产之后要经过等一系列测试才能最终面向市场，其中测试阶段主要会针对 DRAM 存储矩阵进行测试，这往往需要快速检测出
15 存在错误的存储单元，然后进行修补。因此，如何快速、准确的检查出存储单元中的坏点成为本领域的重要研究方向。

发明内容

有鉴于此，本发明实施例为解决背景技术中存在的至少一个问题而提供一种存储器及其写入方法。

20 为达到上述目的，本发明实施例的技术方案是这样实现的：

本发明实施例提供一种存储器，其特征在于，包括：

存储库；

所述存储库包括多个存储块，所述存储块包括多条字线、多条位线以及多个呈阵列排布的存储单元，每一所述存储单元连接到其中一条字线和其中一条位线；其中，

5 所述存储库被配置为：在预设模式下，响应于控制信号，激活所述存储库中至少一个目标存储块的每一条字线，拉高或拉低所述目标存储块的每一条位线上的电平，并将所述目标存储块中的每一条所述位线的互补位线拉至与所述位线相反的电平，所述互补位线为与所述目标存储块相邻的存储块的位线。

10 上述方案中，所述存储器还包括位线写入控制模块，所述位线写入控制模块基于所述控制信号，将所述目标存储块的所述位线上的电平全部拉高或拉低。

 上述方案中，所述位线写入控制模块包括使能模块和位线写入模块，所述使能模块向所述位线写入模块输出位线写入控制信号，所述位线写入
15 控制信号为高写入控制信号或低写入控制信号；所述位线写入模块基于所述位线写入控制信号将所述位线拉高至高电平或拉低至低电平。

 上述方案中，所述使能模块包括：第一与门，所述第一与门基于所述存储块使能信号输出位线写入控制信号。

 上述方案中，所述位线写入模块包括第一晶体管和第二晶体管，所述
20 第一晶体管基于低写入控制信号导通，所述第二晶体管基于高写入控制信号导通；所述第一晶体管的源极与电源端耦接，所述第一晶体管的漏极与所述第二晶体管的漏极耦接，所述第二晶体管的源极接地；所述第一晶体管与所述第二晶体管的栅极相连并与所述第一与门耦接；或者，

 所述第一晶体管和所述第二晶体管基于低写入控制信号导通，所述第
25 一晶体管的源极与电源端耦接，所述第一晶体管的漏极与所述位线耦接，

所述第二晶体管的源极与所述互补位线耦接，所述第二晶体管的漏极接地，
所述第一晶体管的栅极、所述第二晶体管的栅极相连并与所述第一与门耦
接；或者，

所述第一晶体管和所述第二晶体管基于高写入控制信号导通，所述第
5 一晶体管的漏极与电源端耦接，所述第一晶体管的源极与所述位线耦接，
所述第二晶体管的漏极与所述互补位线耦接，所述第二晶体管的源极接地，
所述第一晶体管的栅极、所述第二晶体管的栅极相连并与所述第一与门耦
接。

上述方案中，所述位线写入控制模块还包括互补位线写入模块，所述
10 互补位线写入模块配置为将所述互补位线拉至与所述目标存储块内的位线
相反的电平。

上述方案中，所述使能模块还包括：第二与门，所述第二与门基于所
述控制信号向所述互补位线写入模块输出互补位线写入控制信号，所述互
补位线写入控制信号为高写入控制信号或低写入控制信号；所述互补位线
15 写入模块基于所述互补位线写入控制信号将所述互补位线拉高至高电平或
拉低至低电平。

上述方案中，所述第二与门被配置为：当所述第一与门输出高写入控
制信号时，所述第二与门输出低写入控制信号；当所述第二与门输出低写
入控制信号时，所述第一与门输出高写入控制信号。

20 上述方案中，所述互补位线写入模块包括第三晶体管和第四晶体管，
所述第三晶体管基于低写入控制信号导通，所述第四晶体管基于高写入控
制信号导通；所述第三晶体管的源极与电源端耦接，所述第三晶体管的漏
极与所述第四晶体管的漏极耦接，所述第四晶体管的源极接地；所述第三
晶体管与所述第四晶体管的栅极相连并与所述第二与门耦接；或者，

25 所述第三晶体管和所述第四晶体管基于低写入控制信号导通；所述第

三晶体管的源极与所述互补位线耦接，所述第三晶体管的漏极接地，所述第四晶体管的源极与电源端耦接，所述第四晶体管的漏极与所述互补位线耦接，所述第三晶体管与所述第四晶体管的栅极相连并与所述第二与门耦接；或者，

5 所述第三晶体管和所述第四晶体管基于高写入控制信号导通，所述第三晶体管的漏极与所述互补位线耦接，所述第三晶体管的源极接地，所述第四晶体管的漏极与电源端耦接，所述第四晶体管的源极与所述互补位线耦接，所述第三晶体管与所述第四晶体管的栅极相连并与所述第二与门耦接。

10 上述方案中，所述存储库还包括隔离模块，所述隔离模块包括连接于所述位线与所述位线写入模块之间第一开关管和连接于所述互补位线与所述互补位线写入模块之间的第二开关管。

 上述方案中，当所述预设模式为压缩写模式时，所述隔离模块打开所述第一开关管和所述第二开关管；当所述预设模式不是压缩写模式时，所
15 述隔离模块关闭所述第一开关管和所述第二开关管。

 上述方案中，所述第一开关管的栅极与所述第二开关管的栅极相连并耦接于隔离信号端，当所述预设模式为压缩写模式时，所述隔离信号端向所述第一开关管和所述第二开关管输出高电平信号，当所述预设模式不是压缩写模式时，所述隔离信号端向所述第一开关管和所述第二开关管输出
20 低电平信号。

 本发明实施例还提供了一种压缩写入方法，其特征在于，

 控制存储器进入预设模式；

 激活包含于存储器中的至少一目标存储块的每一条字线；

 拉高或拉低所述目标存储块的每一条位线上的电平，并将所述目标存
25 储块中的每一条所述位线的互补位线拉至与所述位线相反的电平；其中，

所述存储器包括存储库，所述存储库包括多个所述存储块，所述存储块包括多条所述字线、多条所述位线以及多个呈阵列排布的存储单元，每一所述存储单元连接到其中一条字线和其中一条位线，所述互补位线为与所述目标存储块相邻的存储块的位线。

5 上述方案中，所述激活包含于存储器中的至少一目标存储块的每一条字线，包括：

接收控制信号，所述控制信号包括存储块使能信号；

基于所述存储块使能信号驱动激活所述目标存储块内的每一条字线。

上述方案中，所述存储器包括多个所述存储库；

10 所述控制信号还包括存储库使能信号；

当所述存储库使能信号为有效时，基于所述存储块使能信号驱动激活所述目标存储块内的每一条字线；当所述存储库使能信号为无效时，不驱动激活字线。

15 上述方案中，在一预设模式下，多个所述存储库的存储库使能信号同时有效。

上述方案中，所述预设模式为压缩写模式。

上述方案中，拉高或拉低所述目标存储块的每一条位线上的电平，包括：

获取所述存储块使能信号；

20 输出位线写入控制信号，所述位线写入控制信号为高写入控制信号或低写入控制信号；

基于所述位线写入控制信号将位线上的电平拉高或拉低。

上述方案中，将互补位线拉至与所述位线相反的电平，包括：

获取所述存储块使能信号；

25 输出互补位线写入控制信号，所述互补位线写入控制信号为高写入控

制信号或低写入控制信号;

基于所述互补位线写入控制信号, 将所述互补位线拉至与所述位线相反的电平。

如此, 本发明实施例提供的实施方式采用激活一目标存储块内的所有字线, 并调节整个目标存储块的位线和互补位线上的电压的写入方式, 能够一次性实现对整个存储块的赋值, 相比于正常写入和一般压缩写入模式大大缩短了测试时间, 提高了测试效率并降低了测试成本。此外, 通过本发明实施例提供的采用位线写入控制模块实现对位线和互补位线电压调节的方式, 相比于正常写入和一般压缩写入模式, 不需要经过列选择模块 (CSEL), 在本地数据线 (LIO) 也不需要提供数据, 就可以将目标存储块整体赋值, 不需要等待 tRCD 和 CWL 的时序时间, 进一步节约了测试时间和测试成本。

本发明实施例附加的方面和优点将在下面的描述中部分给出, 部分将从下面的描述中变得明显, 或通过本发明实施例的实践了解到。

附图说明

图 1 为本发明一实施例中的存储器的电路模块示意图;

图 2A-2B 分别为本发明实施例中的存储库放大的模块示意图和电路示意图;

图 3 为本发明一实施例提供的使能模块及其周围电路的放大示意图;

图 4 为本发明一实施例提供的位线写入模块和互补位线写入模块的放大示意图;

图 5 为本发明另一实施例提供的位线写入模块和互补位线写入模块的放大示意图;

图 6 为本发明另一实施例提供的电路模块示意图;

图 7 为本发明实施例提供的一种压缩写入方法的流程示意图。

具体实施方式

下面将参照附图更详细地描述本发明实施例公开的示例性实施方式。

虽然附图中显示了本发明实施例的示例性实施方式，然而应当理解，可以以各种形式实现本发明实施例，而不应被这里阐述的具体实施方式所限制。

5 相反，提供这些实施方式是为了能够更透彻地理解本发明实施例，并且能够将本发明实施例公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本发明实施例更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本发明实施例可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本发明实施例发生混淆，对于本领域公知的一些技术特征未进行描述；
10 即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”
15 或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，
20 这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本发明实施例教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本发明实施例必然存在第一
25 元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本发明实施例的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

在下文的描述中使用的，术语“三维存储器”是指具有如下存储单元的半导体器件：所述存储单元垂直布置在横向取向的衬底上，以使得所述存储单元的数量在垂直方向上相对于衬底提高。如本文使用的，术语“垂直/垂直地”表示标称地垂直于衬底的横向表面。

如背景技术所述，DRAM 芯片在生产之后需要经过一系列的测试才能够最终面向市场，在上述的一系列测试中，对存储器中出现问题的存储单元的检查测试尤为重要。一般情况下，对存储器的存储单元的问题单元的检查的步骤为：先对存储器中所有的存储单元按照预定规则进行赋值，然后对所述存储器中的所有存储单元进行读取操作，将读取到的数据与预定

规则进行比对，与预定规则的存储数据不一致的存储单元即为检查出的问题存储单元。因此，写入操作的用时长短直接影响 DRAM 芯片的测试时间和测试效率。

通常在测试阶段采用的测试机器由于测试项目的原因往往测试频率并不高，那么，如果在测试阶段还用普通模式的写操作，将整个 DRAM 存储矩阵写满再进行测试势必会浪费大量的测试时间，消耗大量的测试成本。在相关技术中，测试设计师会设计特殊的测试模式（或者说是压缩模式）来提供给测试部门应用以实现更快的将 DRAM 整个存储矩阵写满，从而进行测试。但在相关技术中的压缩写模式下，一次性会对 DRAM 芯片中的 16 个存储库中共 32 条字线进行操作，并通过 MPR 写入的方式一次性也只能写入 2048bits 的数据。虽然相关技术的压缩写模式相比于普通模式已经快了许多，但仍消耗过多的时间，浪费大量测试成本。

为此，本发明实施例提供了一种存储器，如图 1、2A-2B 所示，所述存储器包括：

15 存储库；

所述存储库包括多个存储块，所述存储块包括多条字线、多条位线以及多个呈阵列排布的存储单元，每一所述存储单元连接到其中一条字线和其中一条位线；其中，

所述存储库被配置为：在预设模式下，响应于控制信号，激活所述存储库中至少一个目标存储块的每一条字线，拉高或拉低所述目标存储块的每一条位线上的电平，并将所述目标存储块中的每一条所述位线的互补位线拉至与所述位线相反的电平，所述互补位线为与所述目标存储块相邻的存储块的位线。

在实际操作中，所述存储库可以为多个，例如图 1 所示，所述存储器包括存储库 0... 存储库 15 共 16 个存储库（bank）。图 2A 是所述存储库

的模块示意图，如图 2A 所示，由于感测放大器阵列能力的限制，每几百条字线（例如 800-900 条）范围内的存储单元构成的区域即需要配置 1 个感测放大器阵列，该区域中的包括的位线和互补位线上的信号通过 1 个感测放大器阵列进行信号放大。上述的每几百条字线范围内的存储单元、字线和位线即构成一个存储块（section）。图 2B 是所述存储库的放大的电路示意图，如图 2B 所示，所述存储块包括多条字线 WL、多条位线 BL 以及多个呈阵列排布的存储单元，每一所述存储单元连接到其中一条字线 WL 和其中一条位线 BL。此外，每一存储块相邻的存储块的位线，会成为该存储块内位线的互补位线，感测放大器则连接在位线和互补位线之间，用于放大位线和互补位线之间的信号。

如图 1 所示，所述控制信号包括存储块使能信号 Section-EN；所述存储库被配置为：在预设模式下，响应于控制信号，激活所述存储库中至少一个目标存储块的每一条字线，包括：所述存储库基于所述存储块使能信号 Section-EN，驱动激活所述目标存储块内的每一条字线。

具体的，参见图 1，存储块使能信号 Section-EN 由以下方式产生：地址锁存器将目标存储块地址信息发送给存储块地址解码器，所述存储块地址解码器对所述存储块地址信息进行解码，并生成存储块使能信号 Section-EN。

在一实施例中，所述控制信号还包括存储库使能信号 Bank-EN（图中未示出）；所述存储库还被配置为：当所述存储库使能信号 Bank-EN 为有效时，基于所述存储块使能信号 Section-EN 驱动激活所述目标存储块内的每一条字线；当所述存储库使能信号 Bank-EN 为无效时，不驱动激活字线。

当所述存储器包括多个存储库时，一预设模式下，多个所述存储库的存储库使能信号 Bank-EN 能够同时有效。也即，在预设模式下，多个存储库内的目标存储库中的每一条字线均能够被激活。这里，所述预设模式为

压缩写模式。

这里，为了实现所有存储库中的每一条字线均能够被激活，在一实施例中，如图 1 所示，所述控制信号还包括所有存储库使能信号 All-bank-EN，当所述所有存储库使能信号 All-bank-EN 为有效时，所有的存储库使能信号 Bank-EN 同时有效，此时将驱动激活所有存储库内的每一条字线。如图 1 所示，所述所有存储库使能信号 All-bank-EN 通过以下方式产生：命令锁存器将命令信号发送给命令解码器，所述命令解码器对所述命令信号进行解码，从而得到所有存储库使能信号 All-bank-EN。

要实现对存储块的整体赋值，除了激活目标存储块内的所有字线之外，还需要调节位线和互补位线上的电压来驱动位线的电压调节，以实现存储块的赋值。

为此，如图 1 所示，所述存储器还包括位线写入控制模块 110，所述位线写入控制模块 110 能够基于所述控制信号，将所述目标存储块的所述位线上的电平全部拉高或拉低，并实现将所述目标存储块中的每一条位线的互补位线拉至与所述位线相反的电平。

在一实施方式中，如图 1 所示，所述位线写入控制模块 110 包括使能模块 111、位线写入模块 112 和互补位线写入模块 113，所述使能模块 111 基于控制信号，生成位线写入控制信号和互补位线写入控制信号，并将写入控制信号和互补位线写入控制信号分别发送给位线写入模块 112 和互补位线写入模块 113，所述位线写入模块 112 基于所述位线写入控制信号将所述位线拉高至高电平或拉低至低电平，所述互补位线写入模块 113 基于所述互补位线写入控制信号将所述互补位线拉至与所述位线相反的电平。

具体的，图 3 为所述使能模块 111 及其周围电路的放大示意图，如图 1 和图 3 所示，所述控制信号还包括第一触发信号 TMBLT1T 和第二触发信号 TMBLT0T，所述使能模块 111 包括第一与门 151 和第二与门 152，所述

第一与门 151 获取控制信号中的第一触发信号 TMBLT1T 和存储块使能信号 Section-EN, 基于所述第一触发信号 TMBLT1T 和存储块使能信号 Section-EN 生成位线写入控制信号, 所述第二与门 152 获取第二触发信号 TMBLT0T 和存储块使能信号 Section-EN, 基于所述第二触发信号 TMBLT0T 和存储块使能信号 Section-EN 生成互补位线写入控制信号 TMBLFORCEH。所述位线写入控制信号 TMBLFORCEH 和所述互补位线写入控制信号 TMBLFORCEL 可以为高写入控制信号或低写入控制信号, 并且, 所述第一与门 151 和所述第二与门 152 被配置为当所述第一与门 151 输出高写入控制信号时, 所述第二与门 152 输出低写入控制信号, 当所述第一与门 151 输出低写入控制信号时, 所述第二与门 152 输出高写入控制信号。

具体的, 当所述第一触发信号 TMBLT1T 为 1 时, 所述第二触发信号 TMBLT0T 为 0, 此时第一与门 151 根据第一触发信号 TMBLT1T 和存储块使能信号 Section-EN 产生高写入控制信号, 第二与门 152 根据第二触发信号 TMBLT0T 和存储块使能信号 Section-EN 产生低写入控制信号。通过控制第一触发信号 TMBLT1T 和第二触发信号 TMBLT0T 为相反的信号, 以实现当所述第一与门 151 输出高写入控制信号时, 所述第二与门 152 输出低写入控制信号, 当所述第一与门 151 输出低写入控制信号时, 所述第二与门 152 输出高写入控制信号。

这里, 所述第一触发信号 TMBLT1T 与所述第二触发信号 TMBLT0T 由赋值控制信号产生模块产生。具体的, 所述赋值控制信号产生模块从模式寄存器获取预设模式信号, 当所述预设模式为压缩写模式时, 所述预设模式信号驱动所述赋值控制信号产生模块分别向第一与门 151 和第二与门 152 发送第一触发信号 TMBLT1T 和第二触发信号 TMBLT0T。

图 4 是所述位线写入模块 112 和所述互补位线写入模块 113 的放大示意图。如图 4 所示, 所述位线写入模块 112 的输入端与所述第一与门 151

的输出端相连，所述互补位线写入模块 113 的输入端与所述第二与门 152 的输出端相连。所述位线写入模块 112 基于所述位线写入控制信号将所述目标存储块内的位线上的电平全部拉高或拉低，所述互补位线写入模块 113 基于所述互补位线写入控制信号将所述目标存储块内的互补位线拉至与所
5 述位线相反的电平。

在一实施例中，如图 4 所示，所述位线写入模块 112 包括第一晶体管 121 和第二晶体管 122，所述第一晶体管 121 基于低写入控制信号导通，所述第二晶体管 122 基于高写入控制信号导通；所述第一晶体管 121 的源极与电源端耦接，所述第一晶体管 121 的漏极与所述第二晶体管 122 的漏极
10 耦接，所述第二晶体管 122 的源极接地；所述第一晶体管 121 与所述第二晶体管 122 的栅极相连并与所述第一与门 151 耦接。所述互补位线写入模块 113 包括：第三晶体管 123 和第四晶体管 124，所述第三晶体管 123 基于低写入控制信号导通，所述第四晶体管 124 基于高写入控制信号导通；所述第三晶体管 123 的源极与电源端耦接，所述第三晶体管 123 的漏极与所
15 述第四晶体管 124 的漏极耦接，所述第四晶体管 124 的源极接地；所述第三晶体管 123 与所述第四晶体管 124 的栅极相连并与所述第二与门 152 耦接。当所述第一与门 151 输出高写入控制信号给位线写入模块 112，所述第二与门 152 输出低写入控制信号给互补位线写入模块 113 时，所述第二晶体管 122 导通和所述第三晶体管 123 导通，由于第二晶体管 122 的源极接
20 地 VSS，所述第三晶体管 123 的源极与电源端耦接，因此，所述位线上的电平被拉低，所述互补位线上的电平被拉高。反之，当所述第一与门 151 输出低写入控制信号给位线写入模块 112，所述第二与门 152 输出高写入控制信号给互补位线写入模块 113 时，所述位线上的电平将被拉高，所述互补位线上的电平将被拉低。

在上述实施例中，由于位线写入模块 112 和互补位线写入模块 113 中
25

均由两个类型相反的晶体管构成，位线写入模块 112 和互补位线写入模块 113 中分别一定会存在一个晶体管无法完全关闭。然而，存储器在进行测试面向实际应用之后，主要的应用场景都是在非压缩写模式的正常写模式。

正常写模式需要采用正常写入模块 140（参见图 4）来实现。但是，由于位

5 线写入模块 112 和互补位线写入模块 113 中分别一定会存在一个晶体管无法完全关闭，这会导致在正常写入模式下，位线或互补位线上的电压也被位线写入模块和互补位线写入模块从正常电压上拉高或拉低了，从而产生对正常写入的干扰。为此，在一实施例中，如图 4 所示，所述存储器还设置

有：隔离模块 130，如图 4 所示，所述隔离模块 130 包括连接于所述位线

10 与所述位线写入模块 112 之间第一开关管 131 和连接于所述互补位线与所述互补位线写入模块 113 之间的第二开关管 132。所述第一开关管 131 的栅

极与所述第二开关管 132 的栅极相连并耦接于模式寄存器的隔离信号端 ISO，当所述预设模式为压缩写模式时，所述隔离信号端 ISO 向所述第一开关管 131 和所述第二开关管 132 输出高电平信号，当所述预设模式不是压

15 缩写模式时，所述隔离信号 ISO 端向所述第一开关管 131 和所述第二开关管 132 输出低电平信号。也即当所述预设模式为压缩写模式时，所述隔离模块 130 打开所述第一开关管 131 和所述第二开关管 132；当所述预设模式不是压缩写模式时，所述隔离模块 130 关闭所述第一开关管 131 和所述第

二开关管 132。具体的，这里的高电平可以比 VDD 高，这里的低电平可以
20 比 0V 低。所述隔离信号可以从模式寄存器中输出，或者，所述隔离信号还可以通过从命令信号中解码获得。

这样，通过隔离模块 130 的设置，在非压缩模式下，通过控制隔离模块 130 便能够将位线和互补位线与位线写入模块 113 断开，那么，即便位线写入模块 112 和互补位线写入模块 113 中存在无法关断的晶

25 体管，由于位线和互补位线与位线写入模块 112 和互补位线写入模块 113

已经断开，正常的写入不会被位线写入模块和互补位线写入模块干扰。

在另一实施例中，位线写入模块 112 和互补位线写入模块 113 可以为图 5 所示的另一种结构。如图 5 所示，所述位线写入模块 112 包括：第一晶体管 121 和第二晶体管 122 基于低写入控制信号导通，所述第一晶体管 121 的源极与电源端耦接，所述第一晶体管 121 的漏极与所述位线耦接，所述第二晶体管 122 的源极与所述互补位线耦接，所述第二晶体管 122 的漏极接地，所述第一晶体管 121 的栅极、所述第二晶体管 122 的栅极相连并与所述第一与门 151 耦接；或者，第一晶体管 121 和第二晶体管 122 基于高写入控制信号导通，所述第一晶体管 121 的漏极与电源端耦接，所述第一晶体管 121 的源极与所述位线耦接，所述第二晶体管 122 的漏极与所述互补位线耦接，所述第二晶体管 122 的源极接地，所述第一晶体管 121 的栅极、所述第二晶体管 122 的栅极相连并与所述第一与门 151 耦接。

相应的，所述互补位线写入模块 113 包括：第三晶体管 123 和第四晶体管 124 基于低写入控制信号导通；所述第三晶体管 123 的源极与所述位线耦接，所述第三晶体管 123 的漏极接地，所述第四晶体管 124 的源极与电源端耦接，所述第四晶体管 124 的漏极与互补位线耦接，所述第三晶体管 123 与第四晶体管 124 的栅极相连并与所述第二与门 152 耦接；或者，

第三晶体管 123 和第四晶体管 124 基于高写入控制信号导通，所述第三晶体管 123 的漏极与所述位线耦接，所述第三晶体管 123 的源极接地，所述第四晶体管 124 的漏极与电源端耦接，所述第四晶体管 124 的源极与所述互补位线耦接，所述第三晶体管 123 与第四晶体管 124 的栅极相连并与所述第二与门 152 耦接。

下面以所述第一晶体管 121、所述第二晶体管 122、所述第三晶体管 123 和所述第四晶体管 124 均为基于低写入控制信号导通为例进行说明。当所

述第一与门 151 输出高写入控制信号给位线写入模块 112, 所述第二与门 152 输出低写入控制信号给互补位线写入模块 113 时, 所述第三晶体管 123 和所述第四晶体管 124 导通, 由于所述第三晶体管 123 的漏极接地, 所述第四晶体管 124 的源极接电源端, 所以所述位线为拉至低电平, 所述互补位线被拉至高电平。反之, 当所述第一与门 151 输出低写入控制信号给位线写入模块 112, 所述第二与门 152 输出高写入控制信号给互补位线写入模块 113 时, 所述位线被拉至高电平, 所述互补位线被拉至低电平。

在该实施方式中, 第一晶体管 121、第二晶体管 122、第三晶体管 123 和第四晶体管 124 为同类型晶体管, 通过给予位线写入模块 112 和互补位线写入模块 113 施加一关断信号, 能够实现将上述的第一晶体管 121、第二晶体管 122、第三晶体管 123 和第四晶体管 124 均关断, 因此, 该种实施方式下的位线写入模块 112 和互补位线写入模块 113, 通过施加关断信号将位线写入模块 112 和互补位线写入模块 113 内的所有晶体管全部关断, 能够避免对非压缩写模式下的正常写入产生干扰。因此, 在该种实施方式中, 如图 5-6 所示, 所述存储器不必要设置隔离模块以及隔离信号端 ISO。应当理解, 这里并非限制当位线写入模块和互补位线写入模块采用图 5 所示的结构时, 所述存储器一定没有设置隔离模块 130 和隔离信号端 ISO, 实际上, 为最大化的隔离干扰, 即便所述位线写入模块和所述互补位线写入模块采用图 5 所示的结构, 所述存储器中也可以设置有隔离模块和隔离信号端。

本发明实施例提供了一种压缩写入方法, 如图 7 所示, 包括:

步骤 S701、控制存储器进入预设模式;

步骤 S702、激活包含于存储器中的至少一目标存储块的每一条字线;

步骤 S703、拉高或拉低所述目标存储块的每一条位线上的电平, 并将所述目标存储块中的每一条所述位线的互补位线拉至与所述位线相反的电平; 其中,

所述存储器包括存储库，所述存储库包括多个所述存储块，所述存储块包括多条所述字线、多条所述位线以及多个呈阵列排布的存储单元，每一所述存储单元连接到其中一条字线和其中一条位线，所述互补位线为与所述目标存储块相邻的存储块的位线。

5 在实际操作中，首先，执行步骤 S701，控制存储器进入预设模式，该预设模式可以为压缩写模式。

然后，执行步骤 S702，激活包含于存储器中的至少一目标存储块的每一条字线。

在一实施例中，所述激活包含于存储器中的至少一目标存储块的每一
10 条字线，包括：

接收控制信号，所述控制信号包括存储块使能信号 Section-EN；

基于所述存储块使能信号 Section-EN 驱动激活所述目标存储块内的每一条字线。

具体的，存储块解码器从地址锁存获取地址信息并进行解码，解码后
15 得到存储块使能信号 Section-EN，并将所述存储块使能信号 Section-EN 发送至存储库，所述存储库接收存储块使能信号 Section-EN 并实现驱动激活所述目标存储块内的每一条字线。

在一些实施例中，如图 1 所示，所述存储器可以包括多个所述存储库；

所述控制信号还包括存储库使能信号 Bank-EN（图中未示出）；

20 当所述存储库使能信号 Bank-EN 为有效时，基于所述存储块使能信号 Section-EN 驱动激活所述目标存储块内的每一条字线；当所述存储库使能信号 Bank-EN 为无效时，不驱动激活字线。

在一预设模式下，多个所述存储库的存储库使能信号 Bank-EN 能够同时有效。也即，在预设模式下，多个存储库内的目标存储库中的每一条字
25 线均能够被激活。具体的，所述预设模式例如可以为压缩写模式。

这里，为了实现所有存储库中的每一条字线均能够被激活，在一实施例中，如图 1 所示，所述控制信号还包括所有存储库使能信号 All-bank-EN，当所述所有存储库使能信号 All-bank-EN 为有效时，所有的存储库使能信号 Bank-EN 同时有效，此时将驱动激活所有存储库内的每一条字线。如图 1 所示，所述所有存储库使能信号 All-bank-EN 通过以下方式产生：命令锁存器将命令信号发送给命令解码器，所述命令解码器对所述命令信号进行解码，从而得到所有存储库使能信号 All-bank-EN。

在激活所述目标存储块的所有字线之后，还需要驱动改变目标存储块内的所有位线和该些位线的互补位线上的电平，从而改变目标存储块内所有存储单元上的极板电压，以完成对整个目标存储块的赋值。也即，进行步骤 S703，拉高或拉低所述目标存储块的每一条位线上的电平，并将所述目标存储块中的每一条所述位线的互补位线拉至与所述位线相反的电平。

在实际操作中，拉高或拉低所述目标存储块的每一条位线上的电平，包括：

获取所述存储块使能信号 Section-EN；

输出位线写入控制信号 TMBLFORCEH，所述位线写入控制信号 TMBLFORCEH 为高写入控制信号或低写入控制信号；

基于所述位线写入控制信号 TMBLFORCEH 将位线上的电平拉高或拉低。

将互补位线拉至与所述位线相反的电平，包括：

获取所述存储块使能信号 Section-EN；

输出互补位线写入控制信号 TMBLFORCEL，所述互补位线写入控制信号 TMBLFORCEL 为高写入控制信号或低写入控制信号；

基于所述互补位线写入控制信号 TMBLFORCEL，将所述互补位线拉至与所述位线相反的电平。

具体的，模式寄存器给赋值控制信号产生模块发送预设模式信号，当所述预设模式为压缩写模式时，所述预设模式信号驱动所述赋值控制信号产生模块分别向第一与门 151 和第二与门 152 发送第一触发信号 TMBLT1T 和第一触发信号 TMBLT0T。所述第一与门 151 接收存储块使能信号 Section-EN 和所述第一触发信号 TMBLT1T，所述第一触发信号 TMBLT1T 触发所述第一与门基于存储块使能信号 Section-EN 和第一触发信号 TMBLT1T 产生位线写入控制信号 TMBLFORCEH，所述第二与门 152 接收存储块使能信号 Section-EN 和所述第一触发信号 TMBLT0T，所述第一触发信号 TMBLT0T 触发所述第二与门 152 基于所述存储块使能信号 Section-EN 和第一触发信号 TMBLT0T 产生互补位线写入控制信号 TMBLFORCEL。

所述位线写入控制信号和所述互补位线写入控制信号可以为高写入控制信号或低写入控制信号，并且，所述第一与门 151 和所述第二与门 152 被配置为当所述第一与门 151 输出高写入控制信号时，所述第二与门 152 输出低写入控制信号，当所述第一与门 151 输出低写入控制信号时，所述第二与门 152 输出高写入控制信号。

具体的，当所述第一触发信号 TMBLT1T 为 1 时，所述第一触发信号 TMBLT0T 为 0，此时第一与门 151 根据第一触发信号 TMBLT1T 和存储块使能信号 Section-EN 产生高写入控制信号，第二与门 152 根据第二触发信号 TMBLT0T 和存储块使能信号 Section-EN 产生低写入控制信号。通过控制第一触发信号 TMBLT1T 和第一触发信号 TMBLT0T 为相反的信号，以实现当所述第一与门 151 输出高写入控制信号时，所述第二与门 152 输出低写入控制信号，当所述第一与门 151 输出低写入控制信号时，所述第二与门 152 输出高写入控制信号。

所述位线写入控制信号 TMBLFORCEH 被所述位线写入模块接收，所述互补位线写入控制信号 TMBLFORCEL 被所述互补位线写入模块接收，

所述位线写入模块基于所述位线写入控制信号 TMBLFORCEH 将所述位线上的电平拉高或拉低，所述互补位线写入模块基于所述互补位线写入控制信号 TMBLFORCEL 将所述互补位线上的电平拉至与所述位线上的电平相反。

5 通过以上步骤，本发明实施例提供的实施方式采用激活一目标存储块内的所有字线，并调节整个目标存储块的位线和互补位线上的电压的写入方式，能够一次性实现对整个存储块的赋值，相比于正常写入和一般压缩写入模式大大缩短了测试时间，提高了测试效率并降低了测试成本。此外，通过本发明实施例提供的采用位线写入控制模块实现对位线和互补位线电
10 压调节的方式，相比于正常写入和一般压缩写入模式，不需要经过列选择模块（CSEL），在本地数据线（LIO）也不需要提供数据，就可以将目标存储块整体赋值，不需要等待 tRCD 和 CWL 的时序时间，进一步节约了测试时间和测试成本。

用相关技术中的写入模式将 1 个 bank 中的所有矩阵写满需要至少
15 65536 次 ACT PRECHARGE 命令和 65536×128 次写命令，并且需要等待中间所插时序的时间，而本发明实施例的压缩写模式将 1 个 bank 中的所有存储矩阵写满，则只需要 1 次 ACT PRECHARGE $\times$ 一个 bank 中所有 section 数的命令以及一些相关测试模式命令的时间即可，从而大大减少赋值存储矩阵所需的时间，提高测试效率，节省测试成本。

20 需要说明的是，本发明实施例提供的三维相变存储器实施例与三维相变存储器的制备方法实施例属于同一构思；各实施例所记载的技术方案中各技术特征之间，在不冲突的情况下，可以任意组合。

以上所述，仅为本发明实施例的较佳实施例而已，并非用于限定本发明实施例的保护范围，凡在本发明实施例的精神和原则之内所作的任何修
25 改、等同替换和改进等，均应包含在本发明实施例的保护范围之内。

工业实用性

本发明实施例提供的实施方式采用激活一目标存储块内的所有字线，并调节整个目标存储块的位线和互补位线上的电压的写入方式，能够一次性实现对整个存储块的赋值，相比于正常写入和一般压缩写入模式大大缩短了测试时间，提高了测试效率并降低了测试成本。此外，通过本发明实

5 施例提供的采用位线写入控制模块实现对位线和互补位线电压调节的方式，相比于正常写入和一般压缩写入模式，不需要经过列选择模块(CSEL)，在本地数据线(LIO)也不需要提供数据，就可以将目标存储块整体赋值，不需要等待 tRCD 和 CWL 的时序时间，进一步节约了测试时间和测试成本。

权利要求书

1、一种存储器，包括：

存储库；

所述存储库包括多个存储块，所述存储块包括多条字线、多条位线以及多个呈阵列排布的存储单元，每一所述存储单元连接到其中一条字线和其中一条位线；其中，

所述存储库被配置为：在预设模式下，响应于控制信号，激活所述存储库中至少一个目标存储块的每一条字线，拉高或拉低所述目标存储块的每一条位线上的电平，并将所述目标存储块中的每一条所述位线的互补位线拉至与所述位线相反的电平，所述互补位线为与所述目标存储块相邻的存储块的位线。

2、根据权利要求1所述的存储器，其中，所述存储器还包括位线写入控制模块，所述位线写入控制模块基于所述控制信号，将所述目标存储块的所述位线上的电平全部拉高或拉低。

3、根据权利要求2所述的存储器，其中，所述位线写入控制模块包括使能模块和位线写入模块，所述使能模块向所述位线写入模块输出位线写入控制信号，所述位线写入控制信号为高写入控制信号或低写入控制信号；所述位线写入模块基于所述位线写入控制信号将所述位线拉高至高电平或拉低至低电平。

4、根据权利要求3所述的存储器，其中，所述使能模块包括：第一与门，所述第一与门基于所述存储块使能信号输出位线写入控制信号。

5、根据权利要求4所述的存储器，其中，所述位线写入模块包括第一晶体管和第二晶体管，所述第一晶体管基于低写入控制信号导通，所述第二晶体管基于高写入控制信号导通；所述第一晶体管的源极与电源端耦接，所述第一晶体管的漏极与所述第二晶体管的漏极耦接，所述第二晶体管的

源极接地；所述第一晶体管与所述第二晶体管的栅极相连并与所述第一与门耦接；或者，

所述第一晶体管和所述第二晶体管基于低写入控制信号导通，所述第一晶体管的源极与电源端耦接，所述第一晶体管的漏极与所述位线耦接，
5 所述第二晶体管的源极与所述互补位线耦接，所述第二晶体管的漏极接地，
所述第一晶体管的栅极、所述第二晶体管的栅极相连并与所述第一与门耦接；或者，

所述第一晶体管和所述第二晶体管基于高写入控制信号导通，所述第一晶体管的漏极与电源端耦接，所述第一晶体管的源极与所述位线耦接，
10 所述第二晶体管的漏极与所述互补位线耦接，所述第二晶体管的源极接地，
所述第一晶体管的栅极、所述第二晶体管的栅极相连并与所述第一与门耦接。

6、根据权利要求4所述的存储器，其中，所述位线写入控制模块还包括互补位线写入模块，所述互补位线写入模块配置为将所述互补位线拉至
15 与所述目标存储块内的位线相反的电平。

7、根据权利要求6所述的存储器，其中，所述使能模块还包括：第二与门，所述第二与门基于所述控制信号向所述互补位线写入模块输出互补位线写入控制信号，所述互补位线写入控制信号为高写入控制信号或低写入控制信号；所述互补位线写入模块基于所述互补位线写入控制信号将所
20 述互补位线拉高至高电平或拉低至低电平。

8、根据权利要求7所述的存储器，其中，所述第二与门被配置为：当所述第一与门输出高写入控制信号时，所述第二与门输出低写入控制信号；当所述第二与门输出低写入控制信号时，所述第一与门输出高写入控制信号。

25 9、根据权利要求8所述的存储器，其中，所述互补位线写入模块包括

第三晶体管和第四晶体管，所述第三晶体管基于低写入控制信号导通，所述第四晶体管基于高写入控制信号导通；所述第三晶体管的源极与电源端耦接，所述第三晶体管的漏极与所述第四晶体管的漏极耦接，所述第四晶体管的源极接地；所述第三晶体管与所述第四晶体管的栅极相连并与所述第二与门耦接；或者，

所述第三晶体管和所述第四晶体管基于低写入控制信号导通；所述第三晶体管的源极与所述互补位线耦接，所述第三晶体管的漏极接地，所述第四晶体管的源极与电源端耦接，所述第四晶体管的漏极与所述互补位线耦接，所述第三晶体管与所述第四晶体管的栅极相连并与所述第二与门耦接；或者，

所述第三晶体管和所述第四晶体管基于高写入控制信号导通，所述第三晶体管的漏极与所述互补位线耦接，所述第三晶体管的源极接地，所述第四晶体管的漏极与电源端耦接，所述第四晶体管的源极与所述互补位线耦接，所述第三晶体管与所述第四晶体管的栅极相连并与所述第二与门耦接。

10、根据权利要求 6 所述的存储器，其中，所述存储库还包括隔离模块，所述隔离模块包括连接于所述位线与所述位线写入模块之间第一开关管和连接于所述互补位线与所述互补位线写入模块之间的第二开关管。

11、根据权利要求 10 所述的存储器，其中，当所述预设模式为压缩写模式时，所述隔离模块打开所述第一开关管和所述第二开关管；当所述预设模式不是压缩写模式时，所述隔离模块关闭所述第一开关管和所述第二开关管。

12、根据权利要求 11 所述的存储器，其中，所述第一开关管的栅极与所述第二开关管的栅极相连并耦接于隔离信号端，当所述预设模式为压缩写模式时，所述隔离信号端向所述第一开关管和所述第二开关管输出高电

平信号，当所述预设模式不是压缩写模式时，所述隔离信号端向所述第一开关管和所述第二开关管输出低电平信号。

13、一种压缩写入方法，

控制存储器进入预设模式；

5 激活包含于存储器中的至少一目标存储块的每一条字线；

拉高或拉低所述目标存储块的每一条位线上的电平，并将所述目标存储块中的每一条所述位线的互补位线拉至与所述位线相反的电平；其中，

所述存储器包括存储库，所述存储库包括多个所述存储块，所述存储块包括多条所述字线、多条所述位线以及多个呈阵列排布的存储单元，每一所述存储单元连接到其中一条字线和其中一条位线，所述互补位线为与
10 所述目标存储块相邻的存储块的位线。

14、根据权利要求 13 所述的方法，其中，所述激活包含于存储器中的至少一目标存储块的每一条字线，包括：

接收控制信号，所述控制信号包括存储块使能信号；

15 基于所述存储块使能信号驱动激活所述目标存储块内的每一条字线。

15、根据权利要求 14 所述的方法，其中，所述存储器包括多个所述存储库；

所述控制信号还包括存储库使能信号；

当所述存储库使能信号为有效时，基于所述存储块使能信号驱动激活
20 所述目标存储块内的每一条字线；当所述存储库使能信号为无效时，不驱动激活字线。

16、根据权利要求 15 所述的方法，其中，在一预设模式下，多个所述存储库的存储库使能信号同时有效。

17、根据权利要求 16 所述的方法，其中，所述预设模式为压缩写模式。

25 18、根据权利要求 14 所述的方法，其中，拉高或拉低所述目标存储块

的每一条位线上的电平，包括：

获取所述存储块使能信号；

输出位线写入控制信号，所述位线写入控制信号为高写入控制信号或低写入控制信号；

5 基于所述位线写入控制信号将位线上的电平拉高或拉低。

19、根据权利要求 14 所述的方法，其中，将互补位线拉至与所述位线相反的电平，包括：

获取所述存储块使能信号；

10 输出互补位线写入控制信号，所述互补位线写入控制信号为高写入控制信号或低写入控制信号；

基于所述互补位线写入控制信号，将所述互补位线拉至与所述位线相反的电平。

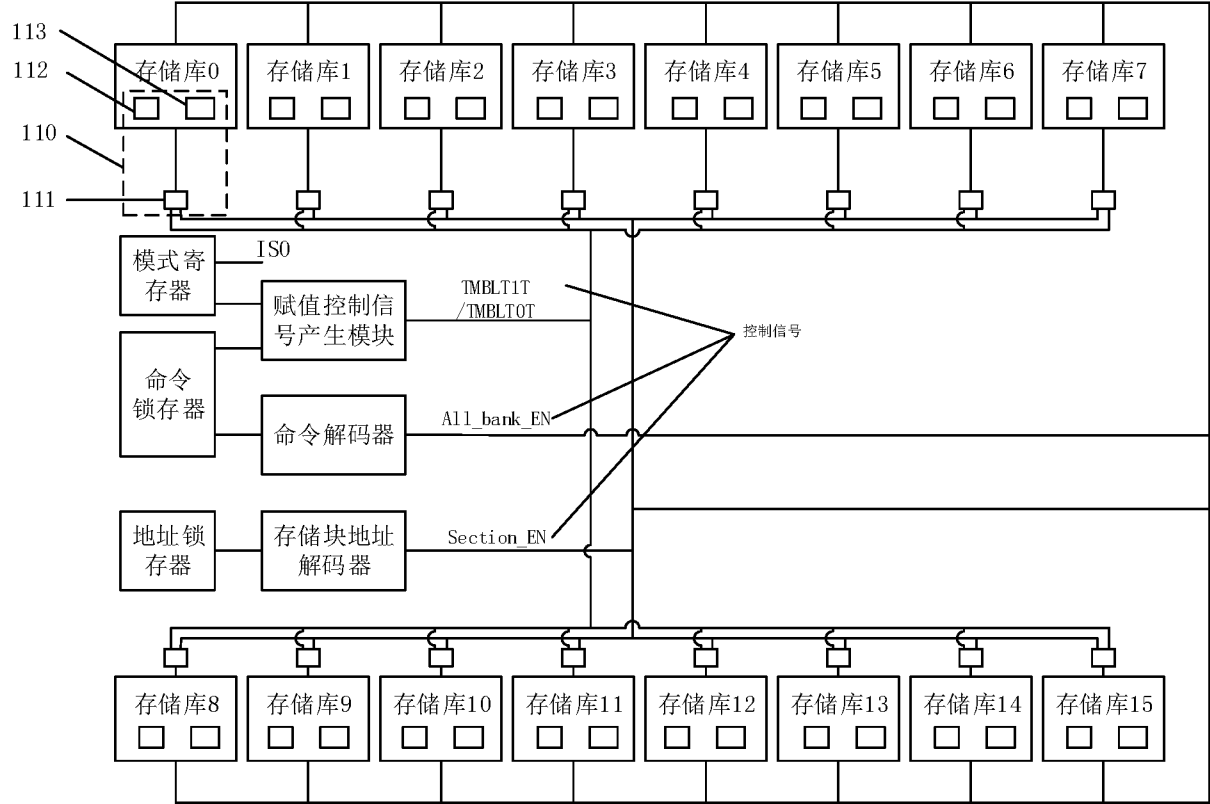


图 1

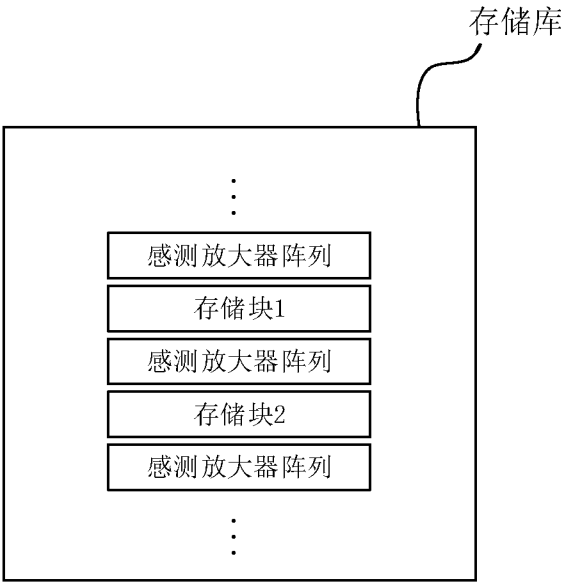


图 2A

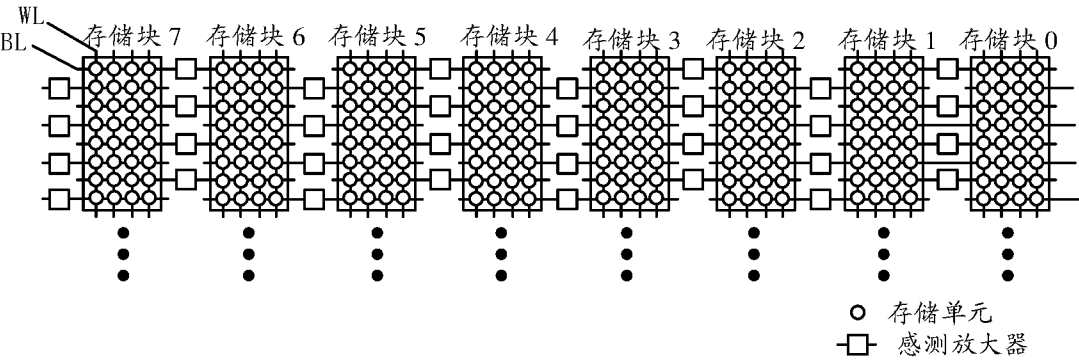


图 2B

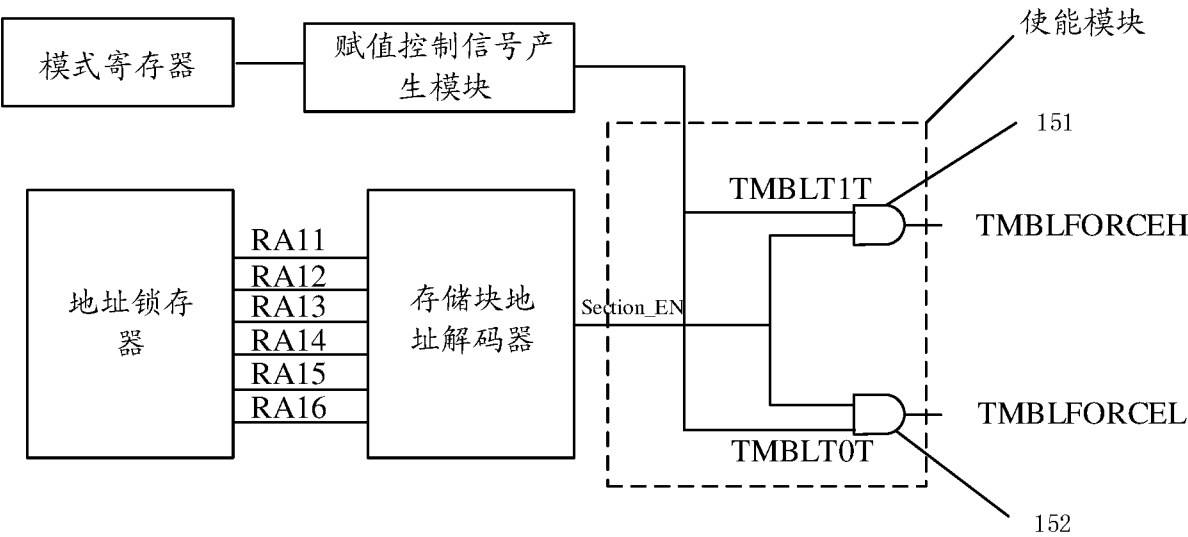


图 3

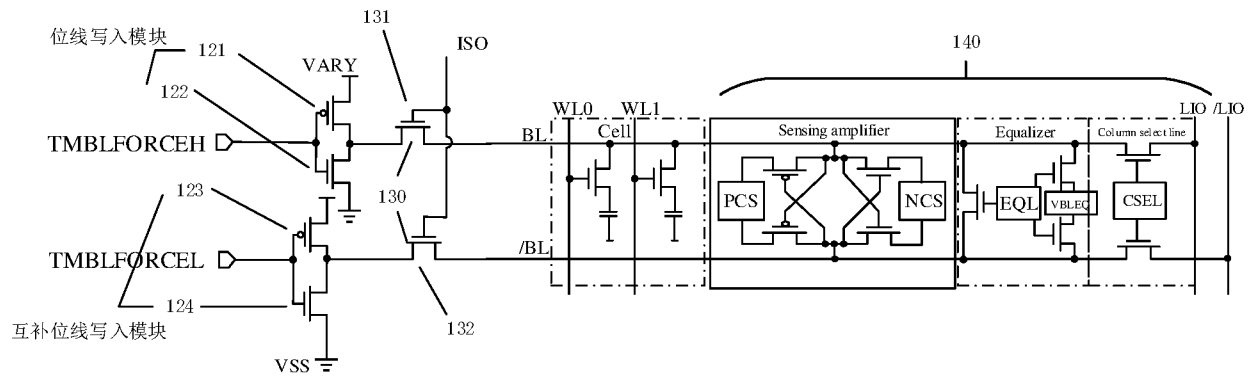


图 4

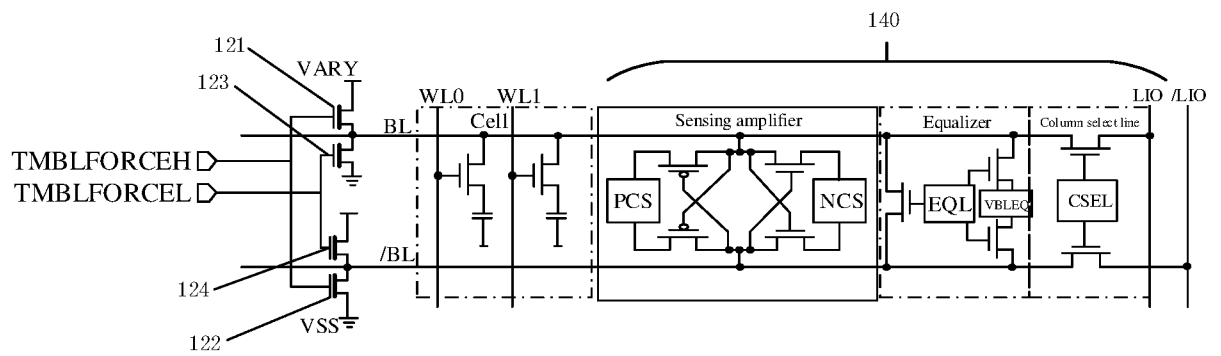


图 5

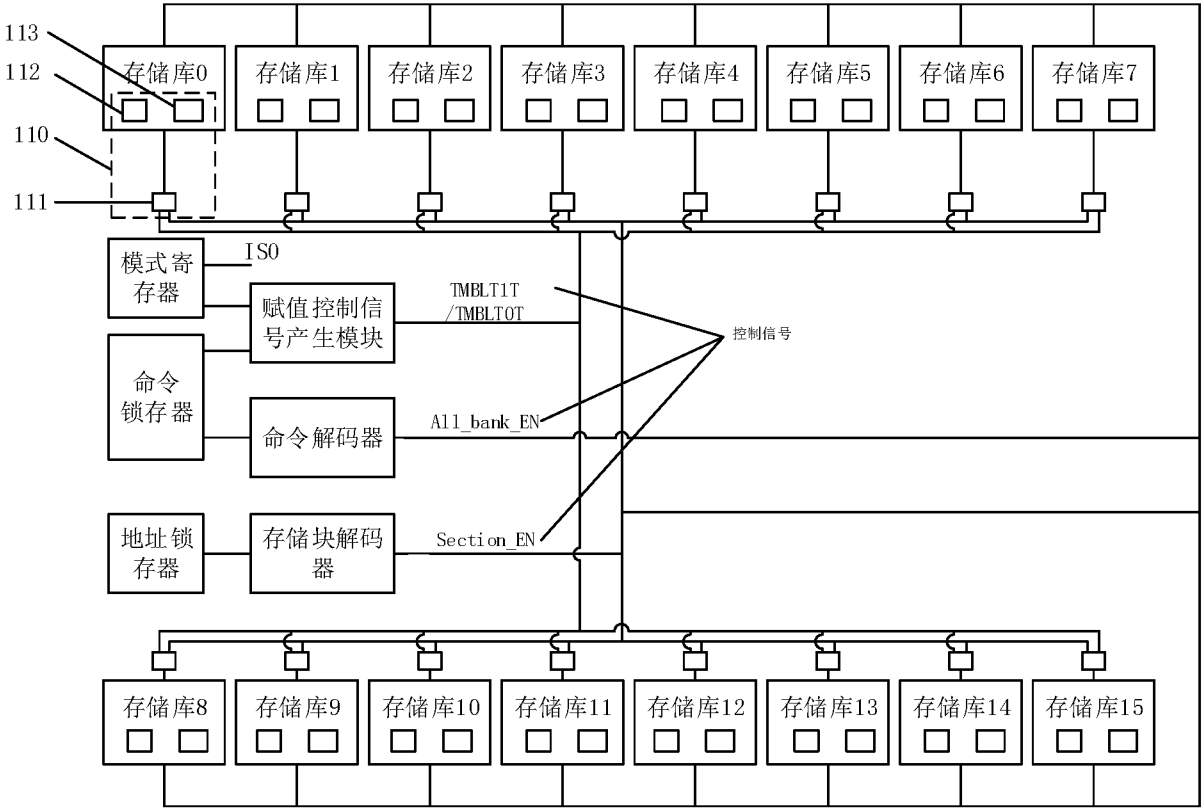


图 6

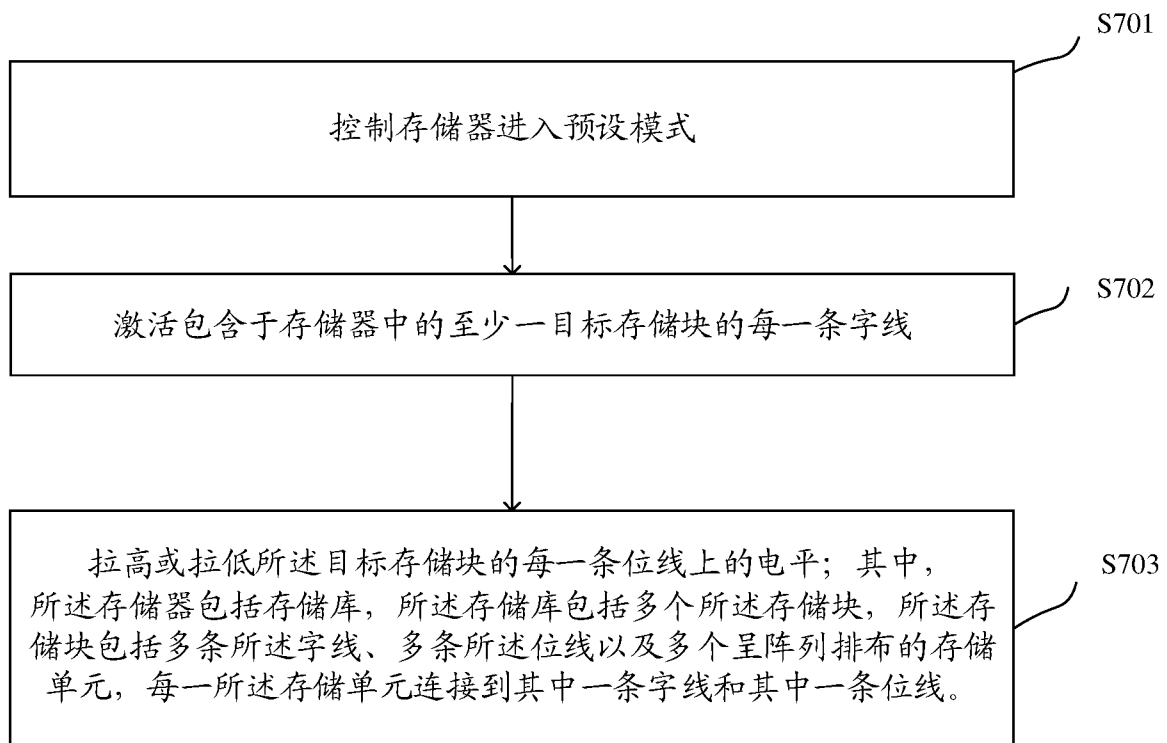


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/121684

A. CLASSIFICATION OF SUBJECT MATTER

G11C 7/12(2006.01)i; G11C 11/40(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; SIPOABS; DWPI; USTXT; WOTXT; EPTXT: 动态随机存取存储器, 测试, 写, 初始化, 存储块, 整体, 整块, 一次性, 效率, 速度, 时间, 互补位线, 反位线, 相邻, 阵列, DRAM, test, write, initialize, block, whole, only one time, efficiency, complementary bit line, neighbor, array

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5490115 A (CYPRESS SEMICONDUCTOR CORP.) 06 February 1996 (1996-02-06) description, column 1, line 10 to column 7, line 30, and figures 1-9	1-19
Y	CN 102169712 A (HYNIX SEMICONDUCTOR INC.) 31 August 2011 (2011-08-31) description, paragraphs [0003]-[0049], and figures 1-7	1-19
A	CN 112992201 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 18 June 2021 (2021-06-18) entire document	1-19
A	US 5517451 A (TEXAS INSTRUMENTS INC.) 14 May 1996 (1996-05-14) entire document	1-19
A	US 6438718 B1 (TEXAS INSTRUMENTS INC.) 20 August 2002 (2002-08-20) entire document	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

07 March 2022

Date of mailing of the international search report

17 March 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/121684

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	5490115	A	06 February 1996	None			
CN	102169712	A	31 August 2011	US	2011211410	A1	01 September 2011
				KR	20110098404	A	01 September 2011
				KR	101079201	B1	03 November 2011
				TW	201129984	A	01 September 2011
CN	112992201	A	18 June 2021	None			
US	5517451	A	14 May 1996	JP	3358030	B2	16 December 2002
				EP	0617428	A1	28 September 1994
				EP	0617428	B1	13 October 1999
				DE	69421108	D1	18 November 1999
				DE	69421108	T2	25 May 2000
US	6438718	B1	20 August 2002	None			

国际检索报告

国际申请号

PCT/CN2021/121684

A. 主题的分类

G11C 7/12(2006.01)i; G11C 11/40(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;CNKI;SIPOABS;DWPI;USTXT;WOTXT;EPTXT: 动态随机存取存储器, 测试, 写, 初始化, 存储块, 整体, 整块, 一次性, 效率, 速度, 时间, 互补位线, 反位线, 相邻, 阵列, DRAM, test, write, initialize, block, whole, only one time, efficiency, complementary bit line, neighbor, array

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US 5490115 A (CYPRESS SEMICONDUCTOR CORP) 1996年2月6日 (1996 - 02 - 06) 说明书第1栏第10行-第7栏第30行, 图1-9	1-19
Y	CN 102169712 A (海力士半导体有限公司) 2011年8月31日 (2011 - 08 - 31) 说明书第[0003]-[0049]段, 图1-7	1-19
A	CN 112992201 A (长鑫存储技术有限公司) 2021年6月18日 (2021 - 06 - 18) 全文	1-19
A	US 5517451 A (TEXAS INSTRUMENTS INC) 1996年5月14日 (1996 - 05 - 14) 全文	1-19
A	US 6438718 B1 (TEXAS INSTRUMENTS INC) 2002年8月20日 (2002 - 08 - 20) 全文	1-19

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年3月7日

国际检索报告邮寄日期

2022年3月17日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

邢白灵

电话号码 (86-512) 88995718

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/121684

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
US	5490115	A	1996年2月6日	无	
CN	102169712	A	2011年8月31日	US	2011211410 A1 2011年9月1日
				KR	20110098404 A 2011年9月1日
				KR	101079201 B1 2011年11月3日
				TW	201129984 A 2011年9月1日
CN	112992201	A	2021年6月18日	无	
US	5517451	A	1996年5月14日	JP	3358030 B2 2002年12月16日
				EP	0617428 A1 1994年9月28日
				EP	0617428 B1 1999年10月13日
				DE	69421108 D1 1999年11月18日
				DE	69421108 T2 2000年5月25日
US	6438718	B1	2002年8月20日	无	