

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-97024

(P2010-97024A)

(43) 公開日 平成22年4月30日(2010.4.30)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1345 (2006.01)	G02F 1/1345	

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号	特願2008-268301 (P2008-268301)	(71) 出願人	304053854
(22) 出願日	平成20年10月17日 (2008.10.17)		エプソンイメージングデバイス株式会社
			長野県安曇野市豊科田沢6925
		(74) 代理人	100095728
			弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	太田 昭雄
			長野県安曇野市豊科田沢6925 エプソ
			ンイメージングデバイス株式会社内
		Fターム(参考)	2H092 GA29 GA60 GA64 JA03 JA26
			JA46 JB69 JB79 KA05 KA12
			KB04 MA10 MA13 NA14 NA17
			NA27

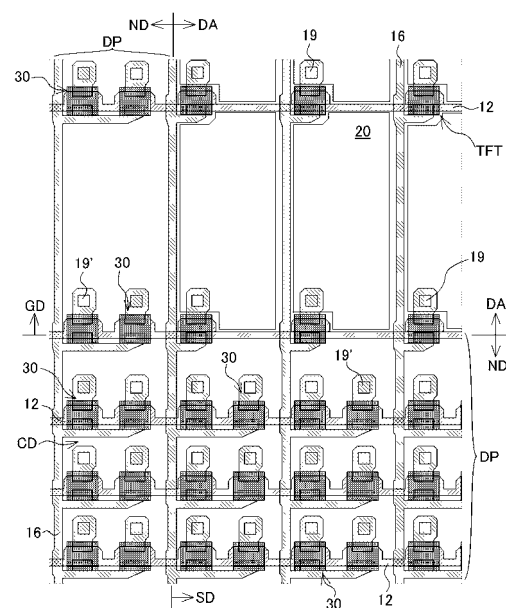
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示領域の周囲に形成された個々のダミー画素に複数個の静電気保護用のスイッチング素子が形成された液晶表示装置を提供すること。

【解決手段】本発明の液晶表示装置のアレイ基板には、表示領域DAの周囲の非表示領域NDに各走査線12及び信号線16で囲まれたダミー画素が複数個形成され、複数個のダミー画素のそれぞれには走査線12ないし信号線16に接続された複数のスイッチング素子としての保護TFT30が形成されており、これらの複数の保護TFT30は互いに並列に接続されて保護TFT30の電極のドレイン電極Dはコモン電位に接続されていることを特徴とする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

液晶層を挟持して対向配置された第 1 基板及び第 2 基板を有し、前記第 1 基板の液晶層側には、マトリクス状に配置された複数の走査線及び信号線と、表示領域の前記各走査線及び信号線の交差部近傍に配置されたスイッチング素子と、前記表示領域の前記各走査線及び信号線で囲まれた画素領域毎にそれぞれ配置されているとともに前記スイッチング素子に電氣的に接続された画素電極と、前記表示領域の周囲の非表示領域に前記各走査線及び信号線で囲まれたダミー画素が複数個形成された液晶表示装置において、

複数個の前記ダミー画素のそれぞれには前記走査線ないし信号線に接続された複数のスイッチング素子が形成され、前記複数のスイッチング素子は互いに並列に接続されて前記スイッチング素子の電極の一つはコモン電位に接続されていることを特徴とする液晶表示装置。

10

【請求項 2】

前記ダミー画素に形成されたスイッチング素子は、前記画素領域に形成されたスイッチング素子と略同一の大きさであることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記ダミー画素に形成されたスイッチング素子は、前記走査線に沿って複数個形成され、前記信号線から直線状に延在された配線が前記スイッチング素子に接続されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記ダミー画素に形成されたスイッチング素子は、前記信号線に沿って複数個形成され、前記走査線から直線状に延在された電極が前記スイッチング素子に接続されていることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 5】

前記スイッチング素子は薄膜トランジスタであり、前記ダミー画素に形成されている薄膜トランジスタは、それぞれソース電極が前記信号線に接続され、ゲート電極が前記走査線に接続され、ドレイン電極が前記コモン電位に接続されていることを特徴とする請求項 1～4 のいずれかに記載の液晶表示装置。

【請求項 6】

前記ダミー画素に形成されている薄膜トランジスタは、前記表示領域に形成されている薄膜トランジスタのチャンネル幅及びチャンネル長よりも小さくなっていることを特徴とする請求項 5 に記載の液晶表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に表示領域の周囲に形成された個々のダミー画素に複数個の静電気保護用のスイッチング素子が形成された液晶表示装置に関する。

【背景技術】

【0002】

一般に液晶表示装置には薄型軽量、低消費電力という特徴があり、特に、スイッチング素子として薄膜トランジスタ T F T (Thin Film Transistor) を用いたアクティブマトリクス型の液晶表示装置は、携帯電話機、携帯端末から大型テレビに至るまで幅広く利用されている。しかしながら、液晶表示装置は、製造工程中や使用中に、表示領域内に静電気が浸入すると、液晶表示装置としてでき上がった段階で表示欠陥が生じる。特に中小型機種においては高精細化が進むにつれて今まで以上に静電気不良が発生しやすくなっている。静電気は、製造工程においても、パネルを搬送する際にも、他のものと接触するだけで発生してしまう。また、配向膜のラビング時には摩擦により最も静電気が発生しやすい。したがって、液晶表示装置の製造技術分野では、静電気による表示欠陥が生じないようにすることが要求されている。

40

【0003】

50

このような静電気による画素欠陥の発生を防止するために、下記特許文献 1 には、表示領域の周辺部にダミー画素を形成し、このダミー画素内に静電気保護用の複数の微小なダミー画素電極とスイッチング素子を形成した液晶表示装置の発明が開示されている。ここで、下記特許文献 1 が開示されている液晶表示装置のダミー画素部分の構成を図 8～図 10 を用いて説明する。

【0004】

図 8 は下記特許文献 1 が開示されているアレイ基板のダミー画素領域の拡大平面図である。図 9 は図 8 の IX 部分の拡大平面図である。図 10 は図 9 の X-X 線の断面図である。

【0005】

従来例の液晶表示装置 50 は、半透過型液晶表示装置であり、第 1 の透光性基板 51 上にゲート絶縁膜を挟んでマトリクス状に設けられた複数の走査線及び信号線が設けられている。なお、図 8 には走査線としては走査線 X_{n-2} 、 X_{n-1} 、 X_n 、 X_{n+1} 、 X_{n+2} の部分のみ、信号線としては Y_1 、 $Y_2 \cdots Y_m$ の部分のみが示されている。このうち、複数の走査線 X_1 、 $X_2 \cdots X_n$ 及び信号線 Y_1 、 $Y_2 \cdots Y_m$ で囲まれた領域が表示領域であり、複数の走査線 X_n 、 X_{n+1} 、 X_{n+2} 及び信号線 Y_1 、 $Y_2 \cdots Y_m$ で囲まれた領域が非表示領域となっている。

【0006】

この表示領域においては、各走査線及び信号線で囲まれた領域毎に、表示に寄与する画素電極 52 及び反射板 65 が設けられている。また、TF T 54 においては、そのソース電極 S は信号線 Y_1 、 $Y_2 \cdots Y_m$ に接続され、ゲート電極 G は走査線 X_1 、 $X_2 \cdots X_n$ に接続され、さらに、ドレイン電極 D はコンタクトホール（図示せず）を介して画素電極 52 及び反射板 65 に電氣的に接続されている。また、ドレイン電極 D の下部には補助容量電極 53 が設けられている。このような構成の液晶表示装置 50 の動作原理は、既に周知のものであるので、その詳細な説明は省略する。

【0007】

一方、液晶表示装置 50 の表示領域の周囲には、走査線 X_n 、 X_{n+1} 、 X_{n+2} 及び信号線 Y_1 、 $Y_2 \cdots Y_m$ で囲まれた非表示領域が形成され、この非表示領域には、TF T 66 及び表示に寄与しないダミー画素電極 67 を有するダミー画素がそれぞれの信号線 Y_1 、 $Y_2 \cdots Y_m$ 毎に複数個設けられている。このダミー画素の TF T 66 のソース電極 S は、各信号線 Y_1 、 $Y_2 \cdots Y_m$ 毎に並列に接続され、ゲート電極 G は各走査線 X_{n+1} 、 X_{n+2} 毎に並列に接続され、更にドレイン電極 D は、図 10 に示すように、コンタクトホール 68 を介して層間膜 69 上に設けられたダミー画素電極 67 に接続されている。そして、このダミー画素の TF T 66 は、表示に寄与する画素電極 52 に接続されている TF T 64 のチャンネル幅及びチャンネル長よりも小さくなっており、それによって表示に寄与する画素電極 52 に接続されている TF T 54 よりも優先的に静電破壊されるようになっている。

【0008】

ダミー画素電極 67 の面積は、表示領域における 1 画素分の表示に寄与する画素電極 52 及び反射板 65 の面積を合わせたものよりも小さくされている。なお、図 8 及び図 9 においては、ダミー画素電極 67 のそれぞれの面積を表示領域における 1 画素分の表示に寄与する画素電極 52 及び反射板 65 の面積の $1/10$ とし、走査線 X_n と X_{n+1} の間及び X_{n+1} 及び X_{n+2} の間にそれぞれ 10 個づつ、計 20 個設けたものが示されている。

【0009】

このような構成の液晶表示装置 50 においては、信号線用入力端子 62 から静電気が浸入すると、信号線用入力端子 62 に最も近いダミー画素領域の TF T 66₁ が静電破壊を起こして静電気を放電する。その後、再度信号線用入力端子 62 から静電気が浸入すると、最初に静電破壊を起こしたダミー画素領域の TF T 66₁ の隣りの TF T 66₂ が静電破壊することにより静電気を放電する。そのため、この液晶表示装置 50 の製造工程時には、表示領域の薄膜トランジスタ 54 が破壊されるような静電気浸入は 20 回まで

許容できることになるから、実質的に表示欠陥が生じることがない半透過型液晶表示装置 50 が得られるというものである。

【特許文献 1】特開 2006-276590 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、上記特許文献 1 に開示されている液晶表示装置 50 に示されているダミー画素は、平面視で表示領域の上下側の非表示領域（以下、「ソースダミー画素領域」という。）に形成されているものである。そのため、ソースダミー画素領域では、1 画素分の領域内に複数のダミー画素が形成されているので、信号線側からの複数の静電気進入に対処することができる。しかしながら、平面視で表示領域の左右側の非表示領域（以下、「ゲートダミー画素領域」という。）においては、1 画素分の領域内に複数のダミー画素を形成し難いので、走査線側からの複数の静電気進入に対処できるようにするためには、平面視で表示領域の左右の両側において外側に向かって複数のダミー画素を形成する必要がある。そのため、ゲートダミー画素領域の幅を狭くすることは困難となる。加えて、上記特許文献 1 に開示されている液晶表示装置 50 に示されているダミー画素は、TFT66 とダミー画素電極 67 とを備えているために構成が複雑となっている。

【0011】

本発明は、上述の従来技術の問題点を解決するためになされたものである。すなわち、本発明は、全ての非表示領域においても 1 画素分の領域内に簡単な構成の静電保護素子を複数個形成することができ、しかも、非表示領域の幅を増加させることなく、多数回の静電気浸入に対処できる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記目的を達成するため、本発明の液晶表示装置は、液晶層を挟持して対向配置された第 1 基板及び第 2 基板を有し、前記第 1 基板の液晶層側には、マトリクス状に配置された複数の走査線及び信号線と、表示領域の前記各走査線及び信号線の交差部近傍に配置されたスイッチング素子と、前記表示領域の前記各走査線及び信号線で囲まれた画素領域毎にそれぞれ配置されているとともに前記スイッチング素子に電気的に接続された画素電極と、前記表示領域の周囲の非表示領域に前記各走査線及び信号線で囲まれたダミー画素が複数個形成された液晶表示装置において、複数の前記ダミー画素のそれぞれには前記走査線ないし信号線に接続された複数のスイッチング素子が形成され、前記複数のスイッチング素子は互いに並列に接続されて前記スイッチング素子の電極の一つはコモン電位に接続されていることを特徴とする。

【0013】

本発明の液晶表示装置は、表示領域の周囲の非表示領域に各走査線及び信号線で囲まれたダミー画素が複数個形成されている。すなわち、本発明の液晶表示装置は、平面視で表示領域の列方向の両端側に位置する非表示領域であるソースダミー画素領域にも、平面視で表示領域の行方向の両端側に位置する非表示領域であるゲートダミー画素領域にもダミー画素領域が形成されている。そして、ダミー画素領域には複数のダミー画素が形成され、ダミー画素のそれぞれには複数のスイッチング素子が形成され、前記複数のスイッチング素子は互いに並列に接続され、前記スイッチング素子の電極の一つはコモン電位に接続されている。なお、ダミー画素領域にダミー画素電極を形成してもよく、このダミー画素電極を、コンタクトホールを介してスイッチング素子の電極と接続し、スイッチング素子の電極をコモン電位に接続するために利用してもよい。

【0014】

加えて、複数のスイッチング素子は、走査線ないし信号線に接続されているために、走査線ないし信号線に沿って並んで形成されていることになる。しかも、複数のスイッチング素子の電極の一つはコモン電位に接続されているから、走査線ないし信号線に静電気が進入した場合、静電気の進入箇所に近いスイッチング素子から順に静電破壊され、こ

10

20

30

40

50

の静電気はコモン電位に流れて放電されるので、液晶表示装置の表示領域を有効に保護することができる。しかも、静電気の進入は、複数個のスイッチング素子の全てが静電破壊されるまで許容されるので、スイッチング素子の数を多くすることにより実質的に表示欠陥が生じることがない液晶表示装置が得られる。

【0015】

なお、本発明は、T N (Twisted Nematic) モード、V A (Vertical Alignment) モード、E C B (Electrically Controlled Birefringence) モード等の縦電界方式の液晶表示装置だけでなく、I P S (In-Plane Switching) モードや、F F S (Fringe Field Switching) モード等の横電界方式の液晶表示装置に対しても適用可能である。また、本願発明で利用できるスイッチング素子としては、薄膜トランジスタ (T F T : Thin Film Transistor)、薄膜ダイオード (Thin Film Diode)、M I M (Metal Insulator Metal) 素子等を使用し得る。 10

【0016】

本発明の液晶表示装置においては、前記ダミー画素に形成されたスイッチング素子は、前記画素領域に形成されたスイッチング素子と略同一の大きさであることが好ましい。

【0017】

ダミー画素に形成されたスイッチング素子が画素領域に形成されたスイッチング素子と略同一の大きさであれば、特にダミー画素領域のスイッチング素子形成用のマスク等を起こす必要がなくなり、しかも、液晶表示装置のスイッチング素子の形成時に同時に形成できる。そのため、本発明の液晶表示装置は、ダミー画素領域に複数個のスイッチング素子を備えながらも、簡単に製造できるようになる。なお、本発明における「略同一の大きさ」とは、必ずしも同一の大きさでなくてもよいが、同一の大きさであることが好ましいという意味で用いられている。 20

【0018】

また、本発明の液晶表示装置においては、前記ダミー画素に形成されたスイッチング素子は、前記走査線に沿って複数個形成され、前記信号線から直線状に延在された配線が前記スイッチング素子に接続されていることが好ましい。

【0019】

本発明の液晶表示装置は、1 ダミー画素内に容易に複数個のスイッチング素子を形成することができる。そのため、本発明の液晶表示装置によれば、ゲートダミー画素領域の幅を広くしなくても複数個のスイッチング素子を走査線に沿って形成できるので、ゲートダミー画素領域の幅が狭くても液晶表示装置の表示領域を有効に保護することができるようになる。 30

【0020】

また、本発明の液晶表示装置においては、前記ダミー画素に形成されたスイッチング素子は、前記信号線に沿って複数個形成され、前記走査線から直線状に延在された電極が前記スイッチング素子に接続されていることが好ましい。

【0021】

本発明の液晶表示装置によれば、ソースダミー画素領域の幅を広くしなくても複数個のスイッチング素子を信号線に沿って形成できるので、ソースダミー画素領域の幅が狭くても液晶表示装置の表示領域を有効に保護することができるようになる。 40

【0022】

また、本発明の液晶表示装置においては、前記スイッチング素子はT F Tであり、前記ダミー画素に形成されているT F Tは、それぞれソース電極が前記信号線に接続され、ゲート電極が前記走査線に接続され、ドレイン電極が前記コモン電位に接続されていることが好ましい。

【0023】

T F Tは液晶表示装置のスイッチング素子として汎用的に使用されているものである。そのため、本発明の液晶表示装置によれば、表示領域のスイッチング素子及びダミー画素のスイッチング素子とともにT F Tからなるものとしたので、これらのスイッチング素子 40 50

を同時にかつ容易に製造することができるようになる。

【0024】

更に、本発明の液晶表示装置においては、前記ダミー画素に形成されているTFTは、前記表示領域に形成されているTFTのチャンネル幅及びチャンネル長よりも小さくなっていることが好ましい。

【0025】

ダミー画素に形成されているTFTのチャンネル幅及びチャンネル長が表示領域に形成されているTFTよりも小さくなっていると、より静電破壊され易くなる。そのため、本発明の液晶表示装置によれば、外部から静電気が浸入しても確実にダミー画素に形成されているTFTが先に静電破壊されるので、静電気が表示領域内に進入し難くなり、液晶表示装置の表示領域を有効に保護することができるようになる。

10

【発明を実施するための最良の形態】

【0026】

以下、実施形態及び図面を参照して本発明を実施するための最良の形態を説明するが、以下に示す実施形態は、本発明をここに記載したものに限定することを意図するものではなく、本発明は特許請求の範囲に示した技術思想を逸脱することなく種々の変更を行ったものにも均しく適用し得るものである。なお、この明細書における説明のために用いられた各図面においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならせて表示しており、必ずしも実際の寸法に比例して表示されているものではない。

20

【0027】

図1は実施形態の液晶パネルのアレイ基板を示す模式平面図である。図2は図1のII部分の拡大平面図である。図3は図2の表示領域の1サブ画素分の拡大平面図である。図4は図3のIV-IV線の断面図である。図5は図2のゲートダミー画素領域の1ダミー画素分の拡大平面図である。図6は図5のVI-VI線の断面図である。図7は変形例のゲートダミー画素領域の1ダミー画素分の拡大平面図である。

【0028】

〔実施形態〕

実施形態にかかる液晶パネル10を図1～図6を用いて説明する。実施形態にかかる液晶パネル10は、図4に示すように、液晶層LCをアレイ基板AR及びカラーフィルタ基板CFとの間に挟持している。液晶層LCの厚みは図示しない柱状スペーサによって均一に維持される。また、アレイ基板ARの背面及びカラーフィルタ基板CFの前面にはそれぞれ偏光板（図示省略）が形成されている。そして、アレイ基板ARの背面側からバックライト（図示省略）により光が照射されている。

30

【0029】

アレイ基板ARは、図1に示すように、各種の画像が表示される表示領域DAと、その周辺である非表示領域NDとを備えており、この非表示領域NDの一つの端部側にドライバICを載置するための第1端子部Drと、外部接続用の第2端子部Tpとが形成されている。そして、非表示領域NDには、表示領域DAの走査線を第1端子部Drへ引き回す走査線引き回し配線GL及び信号線を第1端子部Drへと引き回す信号線引き回し配線SLを備えている。また、非表示領域NDには、補助容量線13（図3～図5参照）を第1端子部Drへと引き回すためのコモン配線COMも形成されている。

40

【0030】

そして、図2に示したように表示領域DAと非表示領域ND境界部分には、ソースダミー画素領域SD、ゲートダミー画素領域GD及び共通ダミー画素領域CDからなるダミー画素領域DPがそれぞれ形成されている。ソースダミー画素領域SDは、非表示領域NDの信号線引き回し配線SL側に形成され、信号線引き回し配線SL側から進入してきた静電気に対する静電保護手段を形成している。また、ゲートダミー画素領域GDは非表示領域NDの走査線引き回し配線GL側に形成され、走査線引き回し配線GL側から進入してきた静電気に対する静電保護手段を形成している。更に、共通ダミー画素領域CDは、ソ

50

ースダミー画素領域SDとゲートダミー画素領域GDとの間の角部に形成され、信号線引き回し配線SL及び走査線引き回し配線GLの両者側から進入してきた静電気に対する静電保護手段を形成している。なお、これらのダミー画素領域DPの詳細な構成については後述する。

【0031】

まず、アレイ基板ARの構成について製造工程順に説明する。アレイ基板ARは、図3及び図4に示すように、ガラスや石英、プラスチック等からなる第1基板11の液晶LC側に、アルミニウム金属、アルミニウム合金、モリブデン等の不透明な金属からなる複数の走査線12と、この走査線12間に平行に形成された補助容量線（幅が広がっている補助容量電極として作用する部分も含む）13と、非表示領域NDに形成されたコモン配線COM（図1参照）を有している。このうち、走査線12及び補助容量線13は、表示領域DAだけでなくダミー画素領域DPにも形成される。また、この走査線12等の形成時に、非表示領域NDの走査線引き回し配線GL部分には第1端子部Drに向かって伸びる複数のゲート配線が形成され、信号線引き回し配線SLにおいても同じく第1端子部Drに向かって伸びる複数のゲート配線が形成される（図示省略）。

10

【0032】

これらの走査線12、補助容量線13、ゲート配線及びコモン配線COMは、第1基板11の表面全体に亘ってアルミニウム金属、アルミニウム合金、モリブデン等の不透明な金属層を形成した後、スパインコーティング法によってレジストを塗布し、所定のパターンとなるように露光及び現像処理を行った後、不要部分をエッチングすることにより作製される。その後、走査線12、ゲート配線、補助容量線13及び第1基板11の露出面を覆って、酸化ケイ素ないし窒化ケイ素等の無機絶縁膜からなるゲート絶縁膜14が形成される。

20

【0033】

次いで、ゲート絶縁膜14上に、例えばアモルファスシリコンからなる半導体層15が形成される。この半導体層15も、ゲート絶縁膜14の表面全体に亘ってアモルファスシリコン層を形成した後、スパインコーティング法によってレジストを塗布し、所定のパターンとなるように露光及び現像処理を行った後、不要部分をエッチングすることにより作製される。この半導体層15は、表示領域DAだけでなくダミー画素領域DPにも形成される。

30

【0034】

次いで、ダミー画素領域DPの補助容量線13と対向する部分に第1のコンタクトホール19'（図5及び図6参照）を形成する。その後、半導体層15に一部乗り上げるようにして、ソース電極Sと、ドレイン電極Dとが形成される。この実施形態の液晶表示装置10では、半導体層15はゲート絶縁膜14を介して走査線12の幅が部分的に広くされた箇所と対向配置されており、この走査線12と平面視で重畳する部分がTFTのゲート電極Gを構成している。ソース電極Sは信号線16から分岐した部分からなる。信号線16及びドレイン電極Dは、それぞれアルミニウム金属、アルミニウム合金、モリブデン等の不透明な金属で形成され、表示領域DAだけでなくダミー画素領域DPにも形成される。そのため、ダミー画素領域DPに形成されたドレイン電極D部分は、コンタクトホール19'を経て、補助容量線13と電氣的に接続された状態となる。

40

【0035】

また、この信号線16及びドレイン電極Dの形成時に、非表示領域NDの走査線引き回し配線GLには第1端子部Drに向かって伸びる複数のソース配線が形成されると共に、信号線引き回し配線SLにも同じく第1端子部Drに向かって延びるソース配線が形成される（図示省略）。なお、本発明におけるゲート配線及びソース配線は、必ずしも液晶パネルの走査線12ないし信号線16に接続されている配線を意味するものではなく、走査線12と同時に形成された配線をゲート配線といい、信号線16と同時に形成された配線をソース配線という。したがって、上記実施形態の液晶表示装置10では、ゲート絶縁膜14の下にある配線部分がゲート配線となり、ゲート絶縁膜14の上にある配線部分がソ

50

ース配線となり、平面視では両者間に区別はない。

【0036】

そして、半導体層15、ソース電極S、ドレイン電極D、信号線16、ソース配線等及びゲート絶縁膜14の露出部を覆うように、表示領域DA及び非表示領域ND共に、酸化ケイ素ないし窒化ケイ素等の無機絶縁膜からなるパッシベーション膜17が形成される。更に、表示領域DAにおいては、パッシベーション膜17を覆って樹脂材料からなる層間膜18が形成される。層間膜18としては、透明性が良好で、電気絶縁性に優れた感光性レジスト材料を適宜選択して使用し得る。この層間膜18は、パッシベーション膜17の表面にスピンコーティング法によってレジストを塗布し、所定のパターンとなるように露光及び現像処理を行った後、不要部分をエッチングすることにより作製される。

10

【0037】

次いで、パッシベーション膜17及び層間膜18を貫通してドレイン電極Dに達するようにコンタクトホール19が形成される。更に、層間膜18を覆うように、表示領域DAの画素領域毎にITO、IZO等の透明導電材料からなる画素電極20が形成される。この画素電極20は、コンタクトホール19を経てドレイン電極Dと電氣的に接続されている。更に、画素電極20の表面を覆うように配向膜(図示省略)が形成されて、実施形態の液晶表示装置10におけるアレイ基板ARが得られる。

【0038】

次にカラーフィルタ基板CFについて説明する。カラーフィルタ基板CFは、ガラスや石英、プラスチック等からなる第2基板21を有している。この第2基板21には、サブ画素毎に異なる色の光(R、G、Bあるいは無色)を透過するカラーフィルタ層22と遮光層23が形成されている。カラーフィルタ層22と遮光層23を覆うようにしてトップコート層24が形成されており、トップコート層24を覆うようにしてITOないしIZOからなる共通電極25が形成されている。そして、共通電極25の表面には配向膜(図示せず)が形成されて、実施形態の液晶表示装置10のカラーフィルタ基板が完成される。

20

【0039】

そして、上述のように形成されたアレイ基板ARとカラーフィルタ基板CFと対向配置させ、周縁部をシール材(図示せず)によってシールし、液晶LCをアレイ基板ARとカラーフィルタ基板CFの間に形成された密封エリア内に封止することにより実施形態の液晶装置10が得られる。

30

【0040】

次に表示領域DAの周囲に形成されているダミー画素領域DPについて説明する。ダミー画素領域DPは、ソースダミー画素領域SD、ゲートダミー画素領域GD及び共通ダミー画素領域CDからなる。ソースダミー画素領域SDでは走査線12の間隔が狭くされているが、ゲートダミー画素領域GDでは表示領域DAにおける走査線12の間隔と同じになっている。

【0041】

そして、ダミー画素領域DPのそれぞれのダミー画素毎に、走査線12に沿って複数個、ここでは2個の静電保護素子としてのTF T(以下、「保護TF T」という。)30が形成されている。これらの保護TF T30は、表示領域DAに形成されているTF Tと同時に形成し易くするためにサイズは表示領域DAに形成されているTF Tと実質的に同一とされているが、チャンネル幅及びチャンネル長は表示領域DAに形成されているTF Tのものよりも小さくされている。そのため、保護TF T30は、表示領域DAに形成されているTF Tよりも静電的に弱くなるので、表示領域DAに形成されているTF Tよりも先に静電破壊される。

40

【0042】

図2、図5及び図6の記載から明らかなように、それぞれのダミー画素において、ゲート電極Gは同一の走査線12上に形成され、ソース電極Sは同一の信号線16に電氣的に接続され、更にドレイン電極Dも同一のダミー画素内に形成されている補助容量線13に

50

電氣的に接続されている。すなわち、それぞれのダミー画素毎に、複数個の保護TF T 3 0は互いに並列接続されている。

【0043】

このような構成のダミー画素によれば、例えば、第1端子部Drないし第2端子部Tpから信号線引き回し配線SL（図1参照）を経て信号線16に沿って静電気が進入した場合、最初に最も第1端子部Drないし第2端子部Tpに近い位置の信号線16に接続されている保護TF T 3 0が静電破壊され、静電気は、コンタクトホール19'、補助容量線13を経てコモン電位に流れて放電される。

【0044】

同様に第1端子部Drないし第2端子部Tpから走査線引き回し配線GLを経て走査線12に沿って静電気が進入した場合においても、最初に最も第1端子部Drないし第2端子部Tpに近い位置の走査線12に接続されている保護TF T 3 0が静電破壊され、静電気は、コンタクトホール19'、補助容量線13を経てコモン電位に流れて放電される。

【0045】

そのため、本発明の液晶表示装置10によれば、信号線16側ないし走査線12側から静電気が進入してきても、最も静電気が進入してきた側に近い保護TF Tが静電破壊されることにより、他の保護TF T 3 0及び表示領域DAのTF Tは保護される。このような保護動作は、表示領域DAに最も近い保護TF T 3 0が静電破壊されるまで継続できるので、1走査線当たりないし1信号線当たりに接続されている保護TF T 3 0の数を増加させることにより、より多くの静電気進入に耐えることができるようになる。

【0046】

なお、上記実施形態の液晶表示装置10では、ゲートダミー画素領域GDには1ダミー画素分の面積内に2個のみ保護TF T 3 0が形成されている例を示したが、このままでは走査線12に沿って3回目の静電気進入があった場合には表示領域DAのTF Tが静電破壊されてしまうことがある。そのため、ゲートダミー画素領域GDは複数並列に形成して1走査線当たりより多くの保護TF T 3 0が接続されているようにすればよい。

【0047】

〔変更例〕

上記実施形態の液晶表示装置10では、1ダミー画素当たり2個の保護TF T 3 0を形成した例を示した。この1ダミー画素当たりに形成し得る保護TF T 3 0の数は、1ダミー画素当たりの走査線12と平行な部分の幅によって定まってしまう。近年の液晶表示装置は、高精細化されて画素サイズが小さくなり、しかも、表示領域の1ドット（1ピクセル）が正方形となるようにされているため、1サブ画素の形状は長方形となっているので、1ダミー画素当たりの走査線12と平行な部分の幅が非常に狭くなっている。

【0048】

そのため、上述の実施形態の液晶表示装置10の構成のままでは、ゲートダミー画素領域GDの保護TF Tの数を増加させるには、ゲートダミー画素領域GDの幅を増やす必要がある。なお、ソースダミー画素領域SDにおいては、図2に示したように、走査線12間距離を狭くできるので、ソースダミー画素領域SDの幅を増加させなくても多数の保護TF T 3 0を形成することが可能である。

【0049】

そこで、変形例のダミー画素として、図7に示したように、1ダミー画素内において走査線12を枝状に分岐させた分岐走査線12'を形成し、1ダミー画素当たりより多くの、図7に示した例では8個の保護TF Tを形成した。このような構成とすると、特にゲートダミー画素領域GDの面積を増加させなくても、多数の保護TF T 3 0を形成することができるようになる。

【0050】

なお、この変形例のダミー画素においては、製造工数を増加させないようにするためには補助容量線13をダミー画素内にベタ状に配置することができないので、適宜ゲート配線及びソース配線を利用してそれぞれの保護TF T 3 0のドレイン電極Dを電氣的に補助

10

20

30

40

50

容量線 13 に電氣的に接続すればよい。更には、表示領域の画素電極 20 の場合と同様に、ダミー画素領域に層間膜 18 及びダミー画素電極を形成し、このダミー画素電極を表示領域外でコモン配線 COM に接続すると共に、ダミー画素電極を層間膜 18 及びパッシベーション膜 17 に形成したコンタクトホールを経て保護 TFT 30 のドレイン電極 D と電氣的に接続してもよい。

【0051】

また、この変形例のダミー画素は、ゲートダミー画素領域 GD だけでなく、ソースダミー画素領域 SD 及び共通ダミー画素領域 CD においても採用することができる。なお、この変形例のダミー画素においては、走査線 12 から分岐した分岐走査線 12' の幅は、インピーダンスを下げて、全ての保護 TFT 30 が有効に作動するようになすため、可能な限り太くするとよい。

10

【0052】

なお、この上記実施形態においては、TN モードの縦電界方式の透過型液晶表示装置を例にとり説明したが、本発明はこれに限らず、他のモードの縦電界方式の液晶表示装置に対しても、或いは、横電界方式の液晶表示装置に対しても、更には反射部を有する液晶表示装置に対しても等しく適用可能である。特に、層間膜上に下電極及びスリットを有する上電極を備える構成の FFS モードの液晶表示装置においては、上電極又は下電極はコモン電位に接続されているので、上記変形例の構成を採用しても特に製造工数を増加させることなく簡単に保護 TFT 30 ドレイン電極 D をコモン電位に接続することができるようになる。

20

【図面の簡単な説明】

【0053】

【図 1】実施形態の液晶パネルのアレイ基板を示す模式平面図である。

【図 2】図 1 の II 部分の拡大平面図である。

【図 3】図 2 の表示領域の 1 サブ画素分の拡大平面図である。

【図 4】図 3 の IV-IV 線の断面図である。

【図 5】図 2 のゲートダミー画素領域の 1 ダミー画素分の拡大平面図である。

【図 6】図 5 の VI-VI 線の断面図である。

【図 7】変形例のゲートダミー画素領域の 1 ダミー画素分の拡大平面図である。

【図 8】従来例の液晶表示装置におけるアレイ基板のダミー画素領域の拡大平面図である

30

。【図 9】図 8 の IX 部分の拡大平面図である。

【図 10】図 9 の X-X 線の断面図である。

【符号の説明】

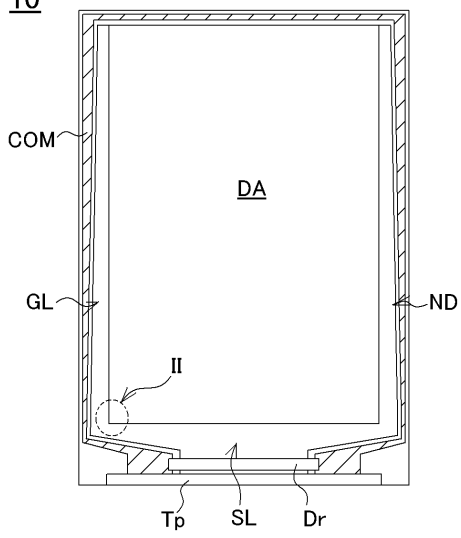
【0054】

10 … 液晶表示装置 11 … 第 1 基板 12 … 走査線 12' … 分岐走査線 13 … 補助容量線 14 … ゲート絶縁膜 15 … 半導体層 16 … 信号線 17 … パッシベーション膜 18 … 層間膜 19、19' … コンタクトホール 20 … 画素電極 21 … 第 2 基板 22 … カラーフィルタ層 23 … 遮光層 24 … トップコート層 25 … 共通電極 30 … 保護 TFT AR … アレイ基板 CF … カラーフィルタ基板 DA … 表示領域 ND … 非表示領域 COM … 共通配線 GL … 走査線引き回し配線 SL … 信号線引き回し配線 DP … ダミー画素領域 GD … ゲートダミー画素領域 SD … ソースダミー画素領域 CD … 共通ダミー画素領域

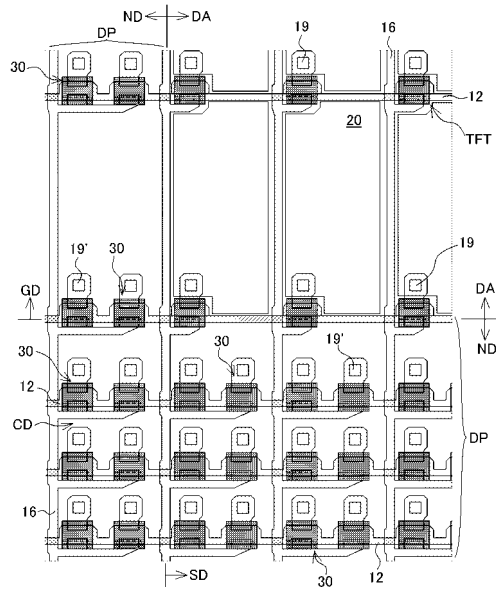
40

【図 1】

10

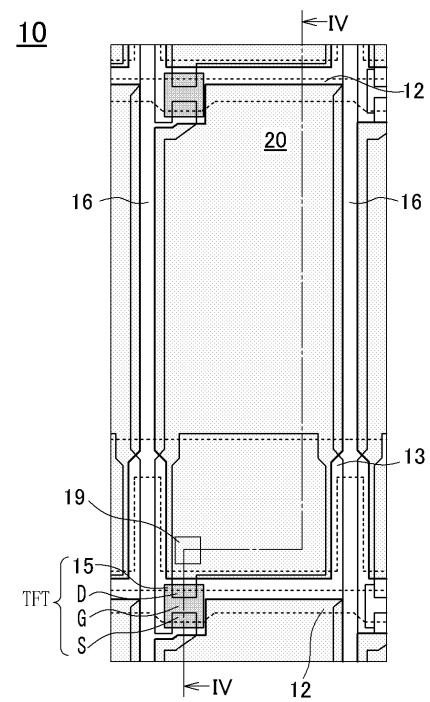


【図 2】

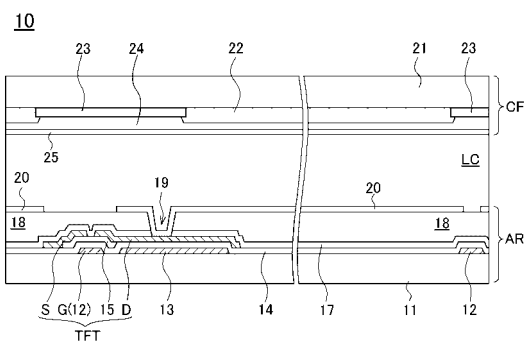


【図 3】

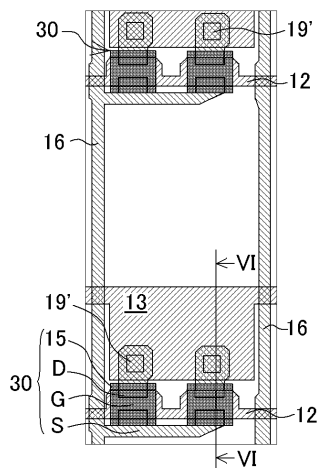
10



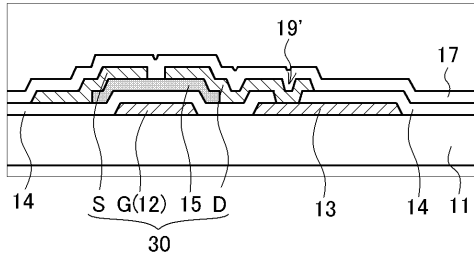
【図 4】



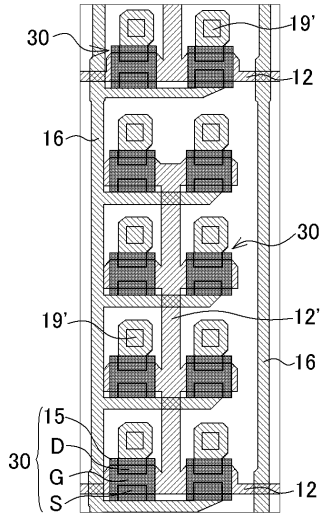
【図 5】



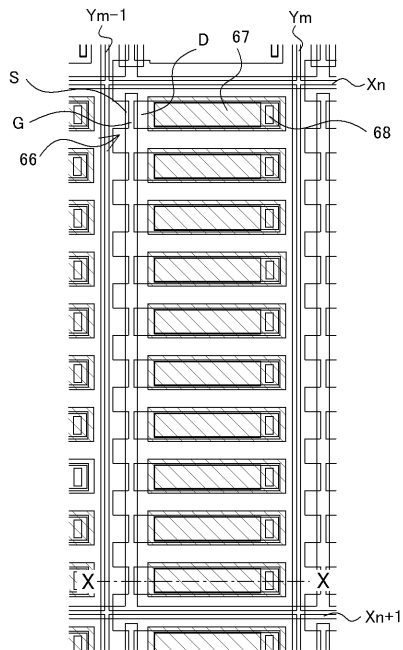
【図 6】



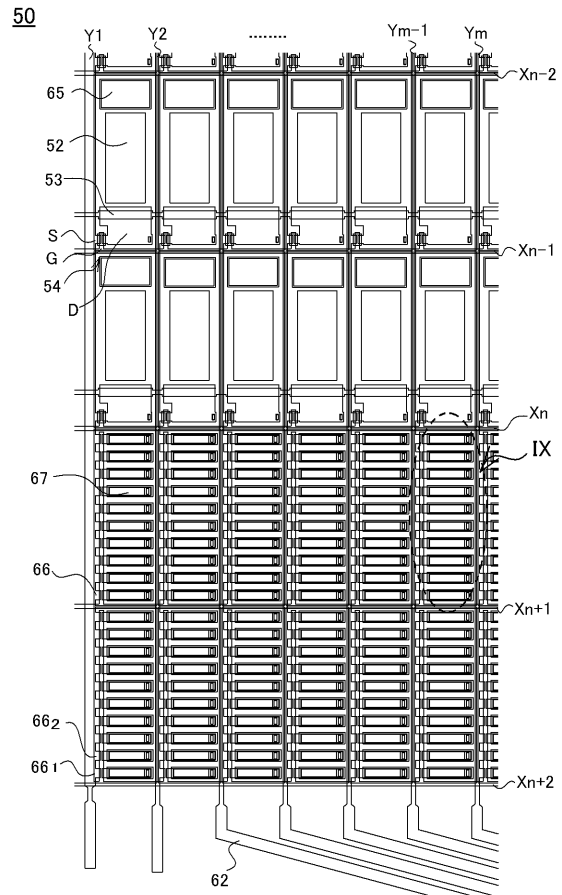
【図 7】



【図 9】



【図 8】



【図 10】

