

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97111114

※申請日期：97 3 27

※IPC 分類：H01L $\frac{27}{115}$ $\frac{24}{8247}$ G11C $\frac{11}{36}$
(2006.01)

一、發明名稱：(中文/英文)

包括奈米碳管織物元件及轉向元件之記憶體單元及其製造方法

MEMORY CELL COMPRISING A CARBON NANOTUBE FABRIC

ELEMENT AND A STEERING ELEMENT AND METHODS OF

FORMING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克3D公司

SANDISK 3D LLC

代表人：(中文/英文)

麗莎 K 托斯

TOTH, LIZA K.

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道601號

601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. S 布萊德 賀納
HERNER, S. BRAD
2. 羅伊 E 碩立恩
SCHEUERLEIN, ROY E.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年03月27日；11/692,144

2. 美國；2007年03月27日；11/692,148

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

本申請案係關於Herner等人2007年3月27日申請且題為 "Method to Form a Memory Cell Comprising a Carbon Nanotube Fabric Element and a Steering Element"之美國專利申請案第11/692,144號(代理人案號SAND-01193US0)及Herner等人2007年3月27日申請且題為 "Memory Cell Comprising a Carbon Nanotube Fabric Element and a Steering Element"之美國專利申請案第11/692,148號(代理人案號SAND-01193US1)之優先權，在此為了所有目的將該等申請案全文以引用之方式併入本文中。

本申請案係關於Herner於2007年3月27日申請且題為 "Method to Form Upward-Pointing P-I-N Diodes Having Large and Uniform Current"之美國專利申請案第11/692,151號(代理人案號SAND-01179US0)及Herner於2007年3月27日申請且題為 "Large Array of Upward-Pointing P-I-N Diodes Having Large and Uniform Current"之美國專利申請案第11/692,153號(代理人案號SAND-01179US1)，在此為了所有目的將該等申請案全文以引用之方式併入本文中。

【先前技術】

奈米碳管記憶體被認為係藉由在電場中使個別奈米碳管或奈米碳管帶撓曲來操作的。此撓曲機制需要可使奈米碳管撓曲之空間。在奈米技術中，形成並保持該空的空間係

極為困難的。

使用易於製造之奈米碳管來形成記憶體單元將較為有利。在高度密集、極大之交叉點陣列中形成該記憶體單元將更為有利。

【發明內容】

本發明由以下申請專利範圍來界定，且此段中之任何描述皆不應視為對申請專利範圍之限制。大體而言，本發明係針對一種記憶體陣列及一種形成一記憶體陣列之方法，其中記憶體單元包括電串聯配置之奈米碳管織物及諸如二極體或電晶體之轉向元件。

本發明之第一態樣提供一種記憶體單元，其包括：一第一導體；一轉向元件；一奈米碳管織物；及一第二導體，其中該轉向元件及該奈米碳管織物電串聯配置於該第一導體與該第二導體之間，且其中該整個記憶體單元形成於一基板上。

本發明之第二態樣提供一種用於程式化一奈米碳管記憶體單元之方法，其中該記憶體單元包括一第一導體、一轉向元件、一奈米碳管織物及一第二導體，其中該轉向元件及該奈米碳管織物電串聯配置於該第一導體與該第二導體之間，且其中該整個奈米碳管記憶體單元形成於一基板上，該奈米碳管織物具有一第一電阻率，該方法包括：在該第一導體與該第二導體之間施加一第一電設定脈衝，其中，在施加該第一電設定脈衝之後，該奈米碳管織物具有一第二電阻率，該第二電阻率小於該第一電阻率。

本發明之較佳實施例提倡一種單體三維記憶體陣列，其包括：一單體式形成於一基板上方之第一記憶體層級，該第一記憶體層級包括：i)複數個第一大體平行、大體共平面之底部導體，ii)複數個轉向元件，iii)複數個第一層級奈米碳管織物元件，及iv)複數個第一大體平行、大體共平面之頂部導體，及v)複數個第一層級記憶體單元，其中每一第一層級記憶體單元包括電串聯配置於該等第一底部導體中之一者與第一頂部導體中之一者之間的該等轉向元件中之一者及該等第一層級奈米碳管織物元件中之一者；及(b)一單體式形成於該第一記憶體層級上方之第二記憶體層級。

本文中所描述之本發明之態樣及實施例中的每一者可單獨或彼此結合使用。

現將參看附圖來描述較佳態樣及實施例。

【實施方式】

奈米碳管為碳之中空圓導柱體，通常為單個碳原子厚之軋製薄片。奈米碳管通常具有約1 nm至2 nm之直徑及大出數百或數千倍之長度。

即使在切斷供至裝置之電力時，非揮發性記憶體仍保持資訊。在(例如)Segal等人之美國專利第6,643,165號"Electromechanical memory having cell selection circuitry constructed with nanotube technology"及Jaiprakash等人之美國專利第7,112,464號"Devices having vertically-disposed nanofabric articles and methods of making the same"中描述

了使用奈米碳管之非揮發性記憶體單元。

在 Segal 等人及 Jaiprakash 等人之專利中，奈米碳管元件(其為單個奈米碳管或具有多個管之奈米碳管帶)與電極在空間上隔開，奈米碳管元件水平定向並懸於電極上方或垂直定向並鄰近垂直定向之電極。記憶體單元藉由使奈米碳管元件曝露於電荷以導致奈米碳管元件機械撓曲從而與電極電接觸來進行操作。記憶體單元之此等兩個電狀態(其中奈米碳管元件接觸或不接觸相鄰電極)可被感測、當將裝置之電力移除時保持且對應於記憶體單元之兩個可區分之資料狀態。

由於該機制依賴於移動奈米碳管元件，故必須製造一在奈米碳管元件與相鄰電極之間具有間隙以允許該移動的結構。難以在極小之尺寸下製造該間隙且隨著尺寸繼續縮小將變得更難。

在本發明中，使用奈米碳管織物來形成非揮發性記憶體單元。本文中將使用術語"奈米碳管織物"來描述相鄰之複數個奈米碳管，與奈米管必須大體平行之奈米碳管帶相對比，奈米碳管織物不要求個別管之定向。在較佳實施例中，該奈米碳管織物包含具有隨機定向之數個或多個奈米碳管層。單元之操作不要求建立開放空間(個別奈米管可在該開放空間內撓曲)，且因此將更強健且更簡單地進行製造。

預期奈米碳管織物將表現出電阻率切換效能，亦即，織物在經受足夠之電壓或電流時將改變其電阻率。自較高電

阻率向較低電阻率之切換將被稱作設定轉換，其係藉由電設定脈衝來達成的，而自較低電阻率向較高電阻率之重設轉換係藉由電重設脈衝來達成的。亦將使用術語"設定電壓"、"設定電流"、"重設電壓"及"重設電流"。

概括而言，接著，在一實施例中，單元包含電串聯配置於第一導體與第二導體之間的一轉向元件及一奈米碳管織物。奈米碳管織物可處於具有第一電阻率之第一狀態。在於第一導體與第二導體之間施加第一電設定脈衝之後，奈米碳管織物具有第二電阻率，該第二電阻率小於該第一電阻率。接下來，在於轉向元件及奈米碳管織物上施加第一電重設脈衝之後，奈米碳管織物具有第三電阻率，該第三電阻率大於該第二電阻率。可將記憶體單元之資料狀態儲存於此等電阻率狀態之任一者中。在施加第一設定脈衝或施加第一重設脈衝之後施加讀取電壓以感測資料狀態。

圖1展示本發明之一實施例。奈米碳管織物118及二極體302被電串聯安置於底部導體200與頂部導體400之間。可選傳導障壁層110與111之間夾有奈米碳管織物118。在一實施例中，當此記憶體單元形成時，奈米碳管織物118處於第一電阻率狀態，例如，高電阻率或重設狀態。在重設狀態中，當在頂部導體400與底部導體200之間施加一讀取電壓時，在該等導體之間有少量或無電流流動。在施加設定脈衝之後，奈米碳管織物118之電阻率經受向設定狀態(其為低電阻率狀態)之設定轉換。當奈米碳管織物118處於設定狀態時，當在頂部導體400與底部導體200之間施加相

同之讀取電壓時，顯著較多之電流在其間流動。在施加重設脈衝之後，奈米碳管織物118之電阻率經受重設轉換以返回高電阻率重設狀態。當在頂部導體400與底部導體200之間施加讀取電壓時，顯著較少之電流在其間流動。可能可靠地感測在所施讀取電壓下之設定狀態與重設狀態之間的不同電流。此等不同狀態可回應記憶體單元之相異資料狀態；例如，一電阻率狀態可對應於資料"0"而另一者對應於資料"1"。在替代性實施例中，奈米碳管織物118之初始狀態可為低電阻率狀態。為簡單起見，將描述兩個資料狀態。然而，熟習此項技術者將理解，在一些實施例中可達成三個、四個或更多可可靠區分之電阻率狀態。

圖2展示複數個底部導體200及頂部導體400，其中插入導柱300，導柱300包括二極體及奈米碳管織物元件。在替代性實施例中，可藉由某一其他非歐姆裝置來替代二極體。以此方式，可形成記憶體單元之第一層級；此處僅展示該記憶體層級之一小部分。在較佳實施例中，額外之記憶體層級可經形成以堆疊在此第一記憶體層級上方，從而形成一高度密集之單體三維記憶體陣列。該記憶體陣列由基板(例如，單晶矽基板)上方之沈積及生長層形成。支援電路有利地形成於記憶體陣列下方之基板中。

本發明之一替代性實施例使用Petti等人在2005年6月2日申請之美國專利申請案第11/143,269號 "Rewriteable Memory Cell Comprising a Transistor and Resistance-Switching Material in Series"中所描述之結構，該申請案

讓渡給本發明之受讓人且藉此以引用方式併入。Petti等人描述具有與MOS電晶體串聯形成之電阻率切換二元金屬氧化物或氮化物之層的記憶體單元。在Petti等人之實施例中，該MOS電晶體為薄膜電晶體，其通道層形成於沈積之多晶半導體材料而非單晶晶圓基板中。

轉而參看圖3a，在Petti等人之較佳實施例中，形成複數個大體平行之資料線10。形成各位於資料線10中之一者之上方的半導體導柱12。每一導柱12包含充當汲極及源極區域之重度摻雜區域14及18，及一充當通道區域之輕度摻雜區域16。一閘電極20圍繞每一導柱12。

圖3b展示自上方觀看之圖3a的單元。在重複圖案中，間距為一特徵與相同特徵下一次出現之間的距離。舉例而言，導柱12之間距為一導柱之中心與相鄰導柱之中心之間的距離。在一方向上，導柱12具有第一間距 P_1 ，而在另一方向上，導柱12具有較大之間距 P_2 ；舉例而言， P_2 可 P_1 之1.5倍大。(特徵大小為一裝置中藉由光微影而形成之最小特徵或間隙的寬度。換言之，間距 P_1 可為特徵大小之兩倍，而間距 P_2 為特徵大小之三倍)。如圖3a中所示，在具有較小間距 P_1 之方向上，相鄰記憶體單元之閘電極20合併以形成單個選擇線22。在具有較大間距 P_2 之方向上，相鄰單元之閘電極20不合併，且相鄰選擇線22分離。圖3a展示沿圖3b之線X-X'獲得之橫截面中的結構，而圖3c展示沿圖3b之線Y-Y'獲得之橫截面中的結構。

參看圖3a及圖3c，在導柱12上方形成較佳垂直於資料線

10之參考線24，以使得每一導柱12垂直安置於資料線10中之一者與參考線24中之一者之間。舉例而言，在每一記憶體單元中於源極區域18與參考線24之間形成電阻切換記憶體元件26。或者，可在汲極區域14與資料線10之間形成電阻切換記憶體元件26。在本發明之較佳實施例中，電阻切換元件26包括奈米碳管織物層。注意，在圖3a至圖3c之實施例中，奈米碳管織物位於導柱之頂部而非位於導柱下方。

圖4說明Petti等人之另一實施例。此實施例同樣包含一TFT陣列中之記憶體單元，每一者具有串聯之一電晶體及一可回復電阻切換記憶體元件，但具有不同結構。大體上平行之軌道30(其以橫截面展示，延伸至頁面外)包含複數個線集31，每一線集31由兩個資料線32及一參考線34構成，參考線34緊鄰兩個資料線32且位於該兩個資料線32之間。大體上平行之選擇線36位於軌道30上方且較佳垂直於軌道30延伸。選擇線36與閘極介電層38及通道層40共延。該記憶體層級包含導柱42，每一導柱42垂直安置於通道層40中之一者與資料線32中之一者或參考線34中之一者之間。電晶體經形成以包括沿相同選擇線之相鄰導柱。電晶體44包含源極區域50與汲極區域52之間的通道區域51。一導柱42a包含電阻切換元件46，而另一導柱42b不包括電阻切換元件46。在此實施例中，相鄰電晶體共用一參考線；舉例而言，電晶體48與電晶體44共用參考線34。相鄰資料線32之間不存在電晶體。在本發明之較佳實施例中，電阻

切換元件46包括奈米碳管織物層。

在圖1及圖3a至圖3c及圖4之實施例中，奈米碳管織物與二極體或電晶體成對。二極體及電晶體共用非歐姆傳導之特性。類似導線之歐姆導體對稱地傳導電流，且根據歐姆定律，電流隨電壓線性增加。不遵循此等規則之裝置表現出非歐姆傳導且將被描述為轉向元件。藉由使轉向元件與奈米碳管織物成對，可在大型交叉點陣列中形成記憶體單元。轉向元件在相鄰單元之間提供電隔離，以使得可設定、重設或感測一所選單元，而不會無意中對與該所選單元共用一字線或位元線之單元進行設定或重設。

此等實施例中之每一者包含一第一導體；一轉向元件；一奈米碳管織物；及一第二導體，其中該轉向元件及該奈米碳管織物電串聯配置於該第一導體與該第二導體之間，且其中在基板上方形成整個記憶體單元。

提供此等實施例以作為實例；可預見其他實施例且其屬於本發明之範疇。

如在藉此以引用方式併入的Herter等人在2005年6月8日申請之美國專利申請案第11/148,530號"Nonvolatile Memory Cell Operating by Increasing Order in Polycrystalline Semiconductor Material"中所描述，當沈積之非晶矽僅與諸如二氧化矽及氮化鈦之與其高晶格失配的材料接觸而結晶時，多晶矽或聚矽形成而具有大量結晶疵點，從而導致其具有高電阻率。經由此高疵點聚矽來施加程式化脈衝顯然改變了聚矽以導致其具有較低之電阻率。

如在 Herner 等人於 2004 年 9 月 29 日申請之美國專利申請案第 10/955,549 號 "Nonvolatile Memory Cell Without a Dielectric Antifuse Having High- and Low-Impedance States"；在 Herner 之美國專利第 7,176,064 號 "Memory Cell Comprising a Semiconductor Junction Diode Crystallized Adjacent to a Silicide" (兩者均藉此以引用方式併入) 中進一步描述，已發現，當沈積之非晶矽與適當之矽化物(例如，矽化鈦或矽化鈷)層接觸而結晶時，所得結晶矽具有高得多的品質、具有較少疵點且具有低得多的電阻率。矽化鈦或矽化鈷之晶格間隔非常接近於矽之晶格間隔，且咸信當非晶矽以有利定向與適當之矽化物層接觸而結晶時，矽化物提供矽晶體生長之模板，以最小化疵點之形成。不同於僅接近與其高晶格失配之材料來結晶的高疵點矽，施加大電脈衝完全不會改變此接觸矽化物層而結晶之低疵點低電阻率矽的電阻率。

參看圖 1，在較佳實施例中，二極體 302 較佳為接面二極體。本文中使用的術語"接面二極體"以指代具有以下性質之半導體裝置：在一個方向上比在另一個方向上更易於傳導電流，具有兩個端子電極且由在一電極上為 p 型且在另一電極上為 n 型之半導體材料製成。實例包含：p-n 二極體，其具有相接觸之 p 型半導體材料與 n 型半導體材料；及 p-i-n 二極體，其在 p 型半導體材料與 n 型半導體材料之間插入本徵(未經摻雜)半導體材料。在圖 1 之實施例中，二極體 302 較佳由矽形成，且頂部導體 400 之底部層為諸如鈦或鈷之

形成矽化物之金屬。退火導致二極體302之矽與形成矽化物之金屬發生反應以形成諸如矽化鈦或矽化鈷之矽化物的層，其提供了二極體302之矽的結晶模板，以導致其由高品質低電阻率矽形成。因此，施加於導體400與200之間的設定或重設脈衝僅用以切換奈米碳管纖維118之電阻率狀態，且不改變二極體302之矽的電阻率。此使得設定及重設轉換更加可控且可預測，且可用以減小所需要之脈衝振幅。在其他實施例中，二極體302之矽可以非晶方式沈積且可僅接近與其高晶格失配之材料來結晶，且因此可由高疵點高電阻率聚矽形成。

此論述已描述了一由與適當之矽化物接觸而結晶之矽形成的二極體。矽與鍺可充分混溶且鍺之晶格間隔非常接近於矽之晶格間隔。與適當之矽鍺化物(諸如矽鍺化鈦或矽鍺化鈷)接觸而結晶之非晶矽鍺的合金預期將以類似形式結晶以形成低疵點低電阻率聚矽聚鍺。

本發明中之較佳二極體為垂直定向之p-i-n二極體，其具有一具有第一傳導性類型之底部重度摻雜區域、中部本徵或輕度摻雜區域及一具有與第一傳導性類型相反之第二傳導性類型的頂部重度摻雜矽。

將提供一詳細實例，其描述對形成於基板上方之兩個記憶體層級的製造，該等記憶體層級包括具有串聯配置於底部導體與頂部導體之間之二極體及奈米碳管織物元件之記憶體單元。來自藉此以引用方式併入之Herner在2006年11月15日申請之美國專利申請案第11/560,283號"P-I-N Diode

Crystallized Adjacent to a Silicide in Series with a Dielectric Antifuse"的細節可在製造此記憶體層級時證實有用。為避免使本發明晦澀難懂，並非將包含此或其他併入文獻之所有細節，但將理解，不意欲排除此等申請案及專利之教示。雖然為完整起見將提供許多細節，包含材料、步驟及條件，但熟習此項技術者將理解，可改變、擴增或省略此等細節中之多者，而結果在本發明之範疇內。

實例

轉而參看圖5a，以基板100來開始記憶體之形成。此基板100可為此項技術中已知之任何半導體基板，諸如單晶矽、類似矽鍺或矽鍺碳之IV-IV化合物、III-V化合物、II-VII化合物、該等基板上之磊晶層或任何其他半導體材料。該基板可包含製造於其中之積體電路。

在基板100上形成一絕緣層102。該絕緣層102可為氧化矽、氮化矽、Si-C-O-H膜或任何其他合適之絕緣材料。

在基板100及絕緣層102上形成第一導體200。在絕緣層102與傳導層106之間可包含一黏著層104以幫助傳導層106黏附至絕緣層102上。若上覆傳導層106為鎢，則較佳以氮化鈦作為黏著層104。傳導層106可包括此項技術中已知之任何傳導材料，諸如鎢或其他材料，包含鈮、鈦或其合金。

一旦將形成導體軌道之所有層已得以沈積，便將使用任何合適之遮罩及蝕刻製程來圖案化並蝕刻該等層以形成大體並聯、大體共平面之導體200(在圖5a中以橫截面加以展

示)。導體200延伸至頁面以外。在一實施例中，沈積光阻劑、藉由光微影來進行圖案化且蝕刻該等層，且接著使用標準製程技術來移除光阻劑。

接下來，將介電材料108沈積在導體軌道200上及導體軌道200之間。介電材料108可為任何已知之電絕緣材料，諸如氧化矽、氮化矽或氮氧化矽。在一較佳實施例中，使用藉由高密度電漿方法來沈積之二氧化矽作為介電材料108。

最後，移除導體軌道200之頂部上的過量介電材料108，以曝露由介電材料108隔開之導體軌道200的頂部且留下一大體平坦之表面。所得結構示於圖5a中。此移除介電質過量填充物以形成平坦表面可藉由此項技術中已知之任何製程來執行，諸如化學機械平坦化(CMP)或回蝕。在替代性實施例中，可替代地藉由鑲嵌方法來形成導體200。

轉而參看圖5b，接下來沈積可選傳導層110。層110為傳導材料，例如氮化鈦、氮化鉭或鎢。此層可為任何適當厚度，例如約50埃至約200埃，較佳約100埃。在一些實施例中，可省略障壁層110。

接下來，使用任何習知方法來形成奈米碳管織物之薄層118。(為簡單起見，自圖5b及後續圖式中省略基板100；將假設其存在。)在一些實施例中，可藉由旋轉鑄造或噴塗一包含奈米碳管之溶液來形成此層；該等溶液可市售的溶液。奈米碳管織物層118之厚度較佳在約2 nm與約500 nm之間，厚度最佳在約4 nm至約40 nm之間。

將傳導層 111 沈積在層 118 上。其可為具有任何適當厚度(例如，約 50 埃至約 200 埃，較佳約 100 埃)之任何適當之傳導材料(例如，氮化鈦)。在一些實施例中，可省略傳導層 111。

分別緊靠於奈米碳管織物 118 下方及緊靠於奈米碳管織物 118 上方且與其永久接觸之傳導層 110 及 111 將充當電極，且可協助奈米碳管織物 118 之電阻率切換。接下來將沈積之層為諸如矽之半導體材料，其通常係藉由低壓化學氣相沈積(LPCVD)製程來沈積的。藉由 LPCVD 來沈積之矽具有極佳之階梯覆蓋(step coverage)且若直接沈積在奈米碳管織物 118 上則可易於在個別奈米碳管之間滲透而改變織物之組份及效能。由具有較差階梯覆蓋之材料形成的傳導層 111 有助於防止該滲透。

接下來，沈積將被圖案化為導柱之半導體材料。該半導體材料可為矽、鍺、矽鍺合金或者其他合適之半導體或半導體合金。為簡單起見，此描述將把半導體材料稱作矽，但將瞭解，熟練之實踐者可替代地選擇此等其他合適之材料中的任一者。

可藉由此項技術中已知之任何沈積及摻雜方法來形成底部重度摻雜區域 112。可沈積矽且接著對其進行摻雜，但較佳在矽沈積期間藉由使一提供 p 型摻雜劑原子(例如，硼)之施體氣體流動而進行原位摻雜。在較佳實施例中，施體氣體為 BCl_3 ，且 p 型區域 112 較佳經摻雜以達到約 1×10^{21} 原子/立方公分之濃度。重度摻雜區域 112 之厚度較佳在約

100埃與約800埃之間，厚度更佳為約200埃。

接下來可藉由此項技術中已知之任何方法來形成本徵或輕度摻雜區域114。區域114較佳為矽且具有在與1200埃與約4000埃之間，較佳為約3000埃的厚度。重度摻雜區域112及本徵區域114之矽在沈積時較佳為非晶。

剛剛沈積的半導體區域114及112連同下伏之傳導層111、奈米碳管織物118及傳導層110將經圖案化及蝕刻以形成導柱300。導柱300應具有約與下方之導體200相同的間距及約與導體200相同之寬度，以便在導體200之頂部上形成每一導柱300。可容許一些欠對準。

可使用任何合適之遮罩及蝕刻製程來形成導柱300。舉例而言，可使用標準光微影技術來沈積、圖案化光阻劑，且蝕刻光阻劑，接著移除光阻劑。或者，某種其他材料(例如，二氧化矽)之硬式遮罩可形成於半導體層堆疊之頂部上(其中頂部上具有底部抗反射塗層(BARC))，接著對其進行圖案化並蝕刻。類似地，可使用介電抗反射塗層(DARC)來作為硬式遮罩。

在Chen於2003年12月5日申請之美國申請案第10/728436號"Photomask Features with Interior Nonprinting Window Using Alternating Phase Shifting"；或Chen於2004年4月1日申請之美國申請案第10/815312號"Photomask Features with Chromeless Nonprinting Phase Shifting Window"(兩者均為本發明之受讓人所擁有且藉此以引用方式併入)中所描述的光微影技術可有利地經使用以執行在形成根據本發

明之記憶體陣列時所使用之任何光微影步驟。

導柱300之直徑可視需要為(例如)約22 nm與約130 nm之間，較佳為約32 nm與約80 nm之間，例如，約45 nm。導柱300之間的間隙較佳約與導柱之直徑相同。注意，當圖案化極小特徵以作為導柱時，光微影製程趨於使角變圓以使得導柱之橫截面趨於圓形，而不管光罩中之相應特徵的實際形狀。

將介電材料108沈積在半導體導柱300之上及半導體導柱300之間，以填充其間之間隙。介電材料108可為任何已知之電絕緣材料，諸如氧化矽、氮化矽或氮氧化矽。在一較佳實施例中，使用二氧化矽作為絕緣材料。

接下來，移除導柱300之頂部上的介電材料108，以曝露由介電材料108隔開之導柱300的頂部且留下一大體平坦之表面。可藉由此項技術中已知之任何製程(諸如CMP或回蝕)來執行此對介電質過量填充物之移除。在CMP或回蝕之後，執行離子植入以形成重度摻雜n型頂部區域116。n型摻雜劑較佳為以(例如)10 keV之植入能量及約 $3 \times 10^{15}/\text{cm}^2$ 之劑量的砷之淺植入。此植入步驟完成了二極體302之形成。所得結構示於圖5b中。Herner在與本發明同一日期申請之美國專利第_____號(代理人案號SAND-01179US0)之"Method to Form Upward-Pointing P-I-N Diodes Having Large and Uniform Current,"中更詳細地描述了對p-i-n二極體302之製造。注意，矽在CMP期間損失了一些厚度，例如約300埃至約800埃；因此，對於具有約

45 nm之特徵大小的二極體，二極體302之完成高度可在約800埃與約4000埃之間，例如約2500埃。

轉而參看圖5c，接下來，沈積形成矽化物之金屬(例如，鈦、鈷、鉻、鉭、鉑、銱或鈹)之層120。層120較佳為鈦或鈷；若層120為鈦，則其厚度較佳在約10埃與約100埃之間，最佳為約20埃。層120之後為氮化鈦層404。層404較佳為約20埃與約100埃之間，最佳為約80埃。接下來，沈積傳導材料(例如，鎢)之層406；舉例而言，此層可為約1500埃之藉由CVD而形成的鎢。層406、404及120經圖案化及蝕刻以成為軌道形狀之頂部導體400，其較佳在垂直於底部導體200之方向上延伸。頂部導體400之間距及定向使得在導柱300之頂部上形成每一導體400且每一導體400接觸導柱300之一列。可容許一些欠對準。

接下來，將介電材料(未圖示)沈積在導體400上及導體400之間。該介電材料可為任何已知之電絕緣材料，諸如氧化矽、氮化矽或氮氧化矽。在一較佳實施例中，可使用氧化矽以作為此介電材料。

參看圖5c，注意，形成矽化物之金屬之層120正與頂部重度摻雜區域116之矽接觸。在隨後之高溫步驟中，層120之金屬將與重度摻雜區域116之矽中的某一部分發生反應以形成矽化物層(未圖示)，其位於二極體與頂部導體400之間；或者，可認為此矽化物層為頂部導體400之部分。此矽化物層在低於使矽結晶所需之溫度的溫度下形成，且因此將在區域112、114及116仍主要為非晶時形成。若使用

矽鍺合金以用於頂部重度摻雜區域116，則可由(例如)矽鍺化鈷或矽鍺化鈦來形成矽鍺化物層。

在剛剛描述之實例中，圖5c之二極體302包括一底部重度摻雜p型區域、一中部本徵區域及頂部重度摻雜n型區域。在較佳實施例中，將在此者上方單體式形成之下一記憶體層級與剛剛形成之第一記憶體層級共用導體400；亦即，第一記憶體層級之頂部導體400充當第二記憶體層級之底部導體。若導體以此方式共用，則第二記憶體層級中之二極體較佳指向相反方向，包括一底部重度摻雜n型區域、一中部本徵區域及一頂部重度摻雜p型區域。

轉而參看圖5d，接下來，較佳由分別與第一記憶體層級中之導體300之層110、118及111相同之材料、以與其相同之厚度且使用與其相同之方法來形成可選傳導層210、奈米碳管織物層218及可選傳導層211。

接下來形成二極體。可藉由此項技術中已知之任何沈積及摻雜方法來形成底部重度摻雜區域212。可沈積矽且接著對其進行摻雜，但較佳在矽沈積期間藉由使一提供n型摻雜劑原子(例如，磷)之施體氣體流動而進行原位摻雜，重度摻雜區域212之厚度較佳在約100埃與約800埃之間，厚度更佳為約100埃至約200埃。

接下來將沈積之層較佳未經摻雜。但是，在沈積之矽中，諸如磷之n型摻雜劑表現出強大之界面活性劑效能以趨於隨著矽沈積向表面遷移。雖然將在不提供摻雜劑氣體之情況下繼續沈積矽，但向上遷移以尋找表面之磷原子將

在無意中使此區域摻雜。如藉此以引用方式併入的由 Herner 於 2005 年 12 月 9 日申請之美國專利申請案第 11/298,331 號之 "Deposited Semiconductor Structure to Minimize N-Type Dopant Diffusion and Method of Making" 中所描述，藉由添加鍍來抑制沈積之矽中之磷的界面活性劑效能。較佳地，此時於無提供磷之摻雜劑氣體的情況下沈積包含至少 10 原子百分比之鍍的矽鍍合金層（例如，約 200 埃之 $\text{Si}_{0.8}\text{Ge}_{0.2}$ ），其以未摻雜之方式沈積。圖 5d 中未展示此薄層。

使用此薄矽鍍層最小化了 n 型摻雜劑向待形成之本徵區域內的不希望的擴散，以最大化其厚度。較厚之本徵區域減小了當二極體處於反向偏壓下時在二極體上的漏電流以減少電力損失。此方法允許在不增加二極體之總高度的情況下增加本徵區域之厚度。如將見，將對二極體進行圖案化以成為導柱；增加二極體之高度增加了形成此等導柱之蝕刻步驟與填充其間間隙之步驟的縱橫比。當縱橫比增加時，蝕刻及填充均更加困難。

接下來藉由此項技術中已知之任何方法來形成本徵區域 214。區域 214 較佳為矽且較佳具有約 1100 埃與約 3300 埃之間，較佳約 1700 埃的厚度。重度摻雜區域 212 及本徵區域 214 之矽在沈積時較佳為非晶。

剛剛沈積的半導體區域 214 及 212 連同下伏之傳導層 211、奈米碳管織物 218 及傳導層 210 將經圖案化及蝕刻以形成導柱 500。導柱 500 應具有約與下方之導體 400 相同的

間距及約與導體400相同之寬度，以便在導體400之頂部上形成每一導柱500。可容許一些欠對準。可使用與用以形成第一記憶體層級之導柱300相同的技術來圖案化並蝕刻導柱500。

將介電材料108沈積在半導體導柱500之上及半導體導柱500之間，以填充其間之隙。如在第一記憶體層級中，移除導柱500之頂部上的介電材料108，以曝露由介電材料108隔開之導柱500的頂部且留下一大體平坦之表面。在此平坦化步驟之後，執行離子植入以形成重度摻雜p型頂部區域116。p型摻雜劑較佳為以(例如)2 keV之植入能量及約 $3 \times 10^{15}/\text{cm}^2$ 之劑量的硼之淺植入。此植入步驟完成了二極體502之形成。所得結構示於圖5d中。矽在CMP步驟期間損失一些厚度，因此完成之二極體502具有與二極體302之高度相當的高度。

頂部導體600以與導體400相同之方式且以與導體400相同之材料形成，導體400在第一記憶體層級與第二記憶體層級之間共用。沈積形成矽化物之金屬之層220，之後為氮化鈦層604及傳導材料(例如，鎢)之層606。層606、604及220經圖案化及蝕刻以成為軌道形狀之頂部導體600，其較佳在大體垂直於導體400且大體平行於導體200之方向上延伸。

較佳在已形成記憶體層級中之所有者之後，在(例如)攝氏750度下執行單個結晶退火持續約60秒以使二極體302、502及在額外層級上形成之彼等二極體的半導體材料結

晶，但每一記憶體層級可在其形成時退火。所得二極體將通常為多晶的。由於此等二極體之半導體材料與同其良好晶格匹配之矽化物或矽鍺化物層接觸而結晶，故二極體302、502等之半導體材料將具有低疵點及低電阻率。

在剛剛描述之實施例中，在記憶體層級之間共用導體；亦即，第一記憶體層級之頂部導體400充當第二記憶體層級之底部導體。在其他實施例中，層間介電質(未圖示)形成於圖5c之第一記憶體層級上，其表面被平坦化，且第二記憶體層級之構造在此平坦化之層間介電質上開始，其中不存在共用之導體。在給出之實例中，第一記憶體層級之二極體指向下，其中p型矽位於底部且n型位於頂部，而第二記憶體層級之二極體相反地指向上，其中n型矽位於底部且p型位於頂部。在共用導體之實施例中，二極體類型較佳交替，在一級上向上且在下一級上向下。在不共用導體之實施例中，二極體可全部為一類型，指向上或指向下。術語"向上"及"向下"係指當二極體在正向偏壓下時之電流流動方向。

在剛剛描述之實施例中，參看圖5d，在第一記憶體層級中，將奈米碳管織物118安置於二極體302與底部導體200之間；且在第二記憶體層級中，安置於二極體502與底部導體400之間。在其他實施例中，可將奈米碳管織物元件安置於垂直定向之二極體與頂部導體之間。

在一些實施例中，可能較佳在二極體處於反向偏壓下來施加程式化脈衝。如Kumar等人在2006年7月28日申請之美

國專利申請案第 11/496,986 號之 "Method For Using A Memory Cell Comprising Switchable Semiconductor Memory Element With Trimmable Resistance" 中所描述，此在減少或消除陣列中之未經選擇之單元上的洩漏時可具有優勢，該申請案為本發明之受讓人所擁有且藉此以引用方式併入。

總結而言，已描述：一單體式形成於一基板上之第一記憶體層級，該第一記憶體層級包括：i) 複數個第一大體平行、大體共平面之底部導體，ii) 複數個轉向元件，iii) 複數個第一層級奈米碳管織物元件，及 iv) 複數個第一大體平行、大體共平面之頂部導體，及 v) 複數個第一層級記憶體單元，其中每一第一層級記憶體單元包括轉向元件中之一者及第一層級奈米碳管織物元件中之一者，其電串聯配置於第一底部導體中之一者與第一頂部導體中之一者之間；及 (b) 一單體式形成於該第一記憶體層級上之第二記憶體層級。

單體三維記憶體陣列為在無插入基板之情況下於單個基板(諸如晶圓)上形成多個記憶體層級的一陣列。形成一記憶體層級之層直接沈積或生長在現有級之層上。相較而言，如在 Leedy 之美國專利第 5,915,167 號之 "Three dimensional structure memory" 中，藉由在單獨之基板上形成記憶體層級且將該等記憶體層級黏附至彼此頂上來建構堆疊式記憶體。雖然可在結合之前使基板變薄或自記憶體層級上移除，但由於該等記憶體層級最初形成於單獨之基

板上，故該等記憶體並非真正的單體三維記憶體陣列。

形成於基板上之單體三維記憶體陣列包括以第一高度形成於基板上的至少一第一記憶體層級；及一以不同於第一高度之第二高度形成的第二記憶體層級。可在該多級陣列中於基板上形成三個、四個、八個或事實上任何數目個記憶體層級。

一種用於形成類似陣列(其中使用鑲嵌構造來形成導體)之替代性方法描述於Radigan等人於2006年5月31日申請之美國專利申請案第11/444,936號之"Conductive Hard Mask to Protect Patterned Features During Trench Etch"中，該申請案讓渡給本發明之受讓人且藉此以引用方式併入。可替代地使用Radigan等人之方法以形成根據本發明之陣列。在Radigan等人之方法中，使用傳導硬式遮罩來蝕刻其下方之二極體。在調適此硬式遮罩以用於本發明時，在較佳實施例中，硬式遮罩之與二極體之矽接觸的底部層較佳為鈦、鈷或先前提及之其他形成矽化物之金屬中的一者。接著，在退火期間形成矽化物以提供先前提及之矽化物結晶模板。

雖然本文中已描述了詳細製造方法，但在結果屬於本發明之範疇時，可使用形成相同結構之任何其他方法。

上文中之詳細描述僅描述了本發明可採取之多種形式中的一些形式。出於此原因，此詳細描述意欲具說明性而並非具限制性。僅以下申請專利範圍(包含所有均等物)意欲界定本發明之範疇。

【圖式簡單說明】

圖1為一根據本發明之較佳實施例形成之記憶體單元的透視圖。

圖2為包括類似圖1所示之記憶體單元之記憶體單元的第一記憶體層級之一部分的透視圖。

圖3a及圖3c為展示根據本發明之一實施例形成之記憶體陣列的橫截面圖。圖3a及圖3c以垂直視角展示同一結構，而圖3b展示此結構之平面圖。

圖4為本發明之另一實施例的橫截面圖。

圖5a至圖5d為說明形成根據本發明之較佳實施例形成之單體三維記憶體陣列的兩個單體式形成之記憶體層級時之階段的橫截面圖。

【主要元件符號說明】

10	資料線
12	半導體導柱
14	重度摻雜區域/汲極區域
16	輕度摻雜區域
18	重度摻雜區域/源極區域
20	閘電極
22	選擇線
24	參考線
26	電阻切換記憶體元件/電阻切換元件
30	軌道
31	線集

32	資料線
34	參考線
36	選擇線
38	閘極介電層
40	通道層
42	導柱
42a	導柱
42b	導柱
44	電晶體
46	電阻切換元件
48	電晶體
50	源極區域
51	通道區域
52	汲極區域
100	基板
102	絕緣層
104	黏著層
106	傳導層
108	介電材料
110	傳導障壁層/傳導層
111	傳導障壁層/傳導層
112	底部重度摻雜區域/p型區域/半導體區域
114	本徵或輕度摻雜區域/本徵區域/半導體區域
116	重度摻雜n型頂部區域/頂部重度摻雜區域/重度

摻雜 p 型頂部區域

118	奈米碳管織物/奈米碳管纖維/奈米碳管織物之薄層/奈米碳管織物層
120	形成矽化物之金屬層
200	底部導體/第一導體/導體軌道
210	傳導層
211	傳導層
212	底部重度摻雜區域/半導體區域
214	本徵區域/半導體區域
218	奈米碳管織物層/奈米碳管織物
220	形成矽化物之金屬層
300	導柱
302	二極體
400	頂部導體
404	氮化鈦層
406	傳導材料層
500	導柱
502	二極體
600	頂部導體
604	氮化鈦層
606	傳導材料層
P ₁	第一間距
P ₂	間距
X-X'	線
Y-Y'	線

五、中文發明摘要：

本發明揭示一種可重寫非揮發性記憶體單元，其包括一與一奈米碳管織物串聯之轉向元件。該轉向元件較佳為一個二極體且亦可為一電晶體。該奈米碳管織物在經受一適當之電脈衝時可回復地改變電阻率。可感測該奈米碳管織物之不同電阻率狀態，且該等不同電阻率狀態可對應於該記憶體單元之相異資料狀態。該等記憶體單元之一第一記憶體層級可單體式形成於一基板上，一第二記憶體層級單體式形成於該第一記憶體層級上，依此類推，以形成一具有堆疊式記憶體層級的高度密集之單體三維記憶體陣列。本發明亦揭示一種形成一可重寫非揮發性記憶體單元之方法及眾多其他態樣。

六、英文發明摘要：

A rewriteable nonvolatile memory cell is disclosed comprising a steering element in series with a carbon nanotube fabric. The steering element is preferably a diode, but may also be a transistor. The carbon nanotube fabric reversibly changes resistivity when subjected to an appropriate electrical pulse. The different resistivity states of the carbon nanotube fabric can be sensed, and can correspond to distinct data states of the memory cell. A first memory level of such memory cells can be monolithically formed above a substrate, a second memory level monolithically formed above the first, and so on, forming a highly dense monolithic three dimensional memory array of stacked memory levels. A method to form a rewriteable nonvolatile memory cell and numerous other aspects are also disclosed.

十、申請專利範圍：

1. 一種記憶體單元，其包括：

一第一導體；

一轉向元件；

一奈米碳管織物；及

一第二導體，

其中該轉向元件及該奈米碳管織物電串聯配置於該第一導體與該第二導體之間，且

其中該整個記憶體單元形成於一基板上。

2. 如請求項1之記憶體單元，其中該基板包括單晶矽。

3. 如請求項1之記憶體單元，其中該轉向元件為一接面二極體。

4. 如請求項3之記憶體單元，其中該二極體為一p-i-n二極體。

5. 如請求項4之記憶體單元，其中該二極體經垂直定向。

6. 如請求項5之記憶體單元，其中該第二導體位於該第一導體上方，且該二極體及該奈米碳管織物安置於該第一導體與該第二導體之間。

7. 如請求項6之記憶體單元，其中該奈米碳管織物被安置於第一金屬或金屬性元件與第二金屬或金屬性元件之間且與該等金屬或金屬性元件永久接觸。

8. 如請求項7之記憶體單元，其中該第一金屬或金屬性元件或該第二金屬或金屬性元件包括氮化鈦、氮化鉭，或鎢。

9. 如請求項7之記憶體單元，其中該第一金屬或金屬性元件位於該奈米碳管織物下方且與該奈米碳管織物永久接觸，且該第二金屬或金屬性元件位於該奈米碳管織物上方且與該奈米碳管織物永久接觸。
10. 如請求項6之記憶體單元，其進一步包括一安置於該第二導體與該二極體之間的矽化物層。
11. 如請求項10之記憶體單元，其中該矽化物層為矽化鈦或矽化鈷。
12. 如請求項11之記憶體單元，其中該第二導體包括一底部層，其中該底部層為鈦或鈷。
13. 如請求項6之記憶體單元，其中該奈米碳管織物安置於該第一導體與該二極體之間。
14. 如請求項4之記憶體單元，其中該二極體包括一底部重度摻雜n型區域、一中部本徵或輕度摻雜區域及一頂部重度摻雜p型區域。
15. 如請求項14之記憶體單元，其中該中部本徵或輕度摻雜區域包括一矽鍺層。
16. 如請求項15之記憶體單元，其中該矽鍺層為至少10原子百分比之鍺。
17. 如請求項1之記憶體單元，其中該轉向元件為一具有一形成於多晶半導體材料中之通道區域的薄膜電晶體。
18. 如請求項1之記憶體單元，其中將該記憶體單元之資料狀態儲存於該奈米碳管織物之一電阻率狀態中。
19. 一種單體三維記憶體陣列，其包括：

(a) 一單體式形成於一基板上方之第一記憶體層級，
該第一記憶體層級包括：

- i) 複數個第一大體平行、大體共平面之底部導體；
- ii) 複數個轉向元件；
- iii) 複數個第一層級奈米碳管織物元件，及
- iv) 複數個第一大體平行、大體共平面之頂部導體；及
- v) 複數個第一層級記憶體單元，其中每一第一層級記憶體單元包括電串聯配置於該等第一底部導體中之一者與第一頂部導體中之一者之間的該等轉向元件中之一者及該等第一層級奈米碳管織物元件中之一者；及

(b) 一單體式形成於該第一記憶體層級上方之第二記憶體層級。

20. 如請求項19之單體三維記憶體陣列，其中該基板包括單晶矽。

21. 如請求項19之單體三維記憶體陣列，其中該等轉向元件中之每一者為一第一層級接面二極體。

22. 如請求項21之單體三維記憶體陣列，其中該等轉向元件中之每一者為一第一層級p-i-n二極體。

23. 如請求項22之單體三維記憶體陣列，其中每一第一層級p-i-n二極體經垂直定向。

24. 如請求項23之單體三維記憶體陣列，其中在每一第一層級記憶體單元中，該第一頂部導體位於該第一底部導體

上方。

25. 如請求項24之單體三維記憶體陣列，其中每一第一層級記憶體單元進一步包括一安置於該等第一頂部導體中之該一者與該等第一層級p-i-n二極體中之一者之間的矽化物層。
26. 如請求項25之單體三維記憶體陣列，其中該矽化物層為矽化鈦或矽化鈷。
27. 如請求項26之單體三維記憶體陣列，其中該等第一頂部導體中之每一者包括一底部層，其中該底部層為鈦或鈷。
28. 如請求項24之單體三維記憶體陣列，其中該等奈米碳管織物元件中之每一者安置於該等第一底部導體中之一者與該等第一層級p-i-n二極體中之一者之間。
29. 如請求項22之單體三維記憶體陣列，其中該等第一層級p-i-n二極體中之每一者包括一底部重度摻雜n型區域、一中部本徵或輕度摻雜區域及一頂部重度摻雜p型區域。
30. 如請求項19之單體三維記憶體陣列，其中該第二記憶體層級包括複數個第二層級記憶體單元，每一第二層級記憶體單元包括一第二層級p-i-n二極體，每一第二層級p-i-n二極體包括一底部重度摻雜p型區域、一中部本徵或輕度摻雜區域及一頂部重度摻雜n型區域。
31. 如請求項30之單體三維記憶體陣列，其中該第二記憶體層級進一步包括第二複數個底部導體及第二複數個頂部

導體，該等第二層級 p-i-n 二極體中之每一者安置於該等第二底部導體中之一者與該等第二頂部導體中之一者之間，且其中該第二記憶體層級之該等底部導體與該第一記憶體層級之該等頂部導體係共用的。

32. 如請求項 22 之單體三維記憶體陣列，其中該等第一層級 p-i-n 二極體中之每一者包括一底部重度摻雜 p 型區域、一中部本徵或輕度摻雜區域及一頂部重度摻雜 n 型區域。

33. 如請求項 32 之單體三維記憶體陣列，其中該第二記憶體層級包括複數個第二層級記憶體單元，每一第二層級記憶體單元包括一第二層級 p-i-n 二極體，每一第二層級 p-i-n 二極體包括一底部重度摻雜 n 型區域、一中部本徵或輕度摻雜區域及一頂部重度摻雜 p 型區域。

34. 如請求項 19 之單體三維記憶體陣列，其中該等轉向元件中之每一者為一薄膜電晶體。

35. 一種用於程式化一奈米碳管記憶體單元之方法，其中該記憶體單元包括一第一導體、一轉向元件、一奈米碳管織物及一第二導體，其中該轉向元件及該奈米碳管織物電串聯配置於該第一導體與該第二導體之間，且其中該整個奈米碳管記憶體單元形成於一基板上，該奈米碳管織物具有一第一電阻率，該方法包括：

在該第一導體與該第二導體之間施加一第一電設定脈衝，其中，在施加該第一電設定脈衝之後，該奈米碳管織物具有一第二電阻率，該第二電阻率小於該第一電阻

率。

36. 如請求項35之方法，其進一步包括：在施加該第一電設定脈衝之後，在該轉向元件及該奈米碳管織物上施加一第一電重設脈衝，其中，在施加該第一電重設脈衝之後，該奈米碳管織物具有一第三電阻率，該第三電阻率大於該第二電阻率。
37. 如請求項36之方法，其中將該奈米碳管記憶體單元之一資料狀態儲存於該奈米碳管織物之該第一電阻率狀態、該第二電阻率狀態或該第三電阻率狀態中。
38. 如請求項35之方法，其中該轉向元件為一個二極體。
39. 如請求項38之方法，其中該二極體為一接面二極體。
40. 如請求項39之方法，其中該二極體為一經垂直定向之p-i-n二極體。
41. 如請求項40之方法，其中該第一導體位於該基板上方，該第二導體位於該第一導體上方，且該二極體及該奈米碳管織物垂直安置於該第一導體與該第二導體之間。
42. 如請求項41之方法，其中該記憶體單元進一步包括一與該二極體接觸之矽化物層。
43. 如請求項42之方法，其中該矽化物層為矽化鈦或矽化鈷。
44. 如請求項41之方法，其中該奈米碳管織物安置於一頂部電極與一底部電極之間且與該頂部電極及該底部電極相接觸，該頂部電極緊靠於該奈米碳管織物上方且該底部電極緊靠於該奈米碳管織物下方。

45. 如請求項36之方法，其進一步包括：在該施加該第一電設定脈衝之步驟之後且在該施加該第一電重設脈衝之步驟之前，在該第一導體與該第二導體之間施加一讀取電壓，藉此感測該記憶體單元之一第一資料狀態。
46. 如請求項45之方法，其進一步包括：在該施加該第一電重設脈衝之步驟之後，在該第一導體與該第二導體之間施加一讀取電壓，藉此感測該記憶體單元之一第二資料狀態，其中該第一資料狀態與該第二資料狀態不同。
47. 如請求項36之方法，其中該轉向元件為一薄膜電晶體，該薄膜電晶體具有一形成於多晶半導體材料中之通道層。
48. 如請求項35之方法，其中該基板包括單晶矽。

十一、圖式：

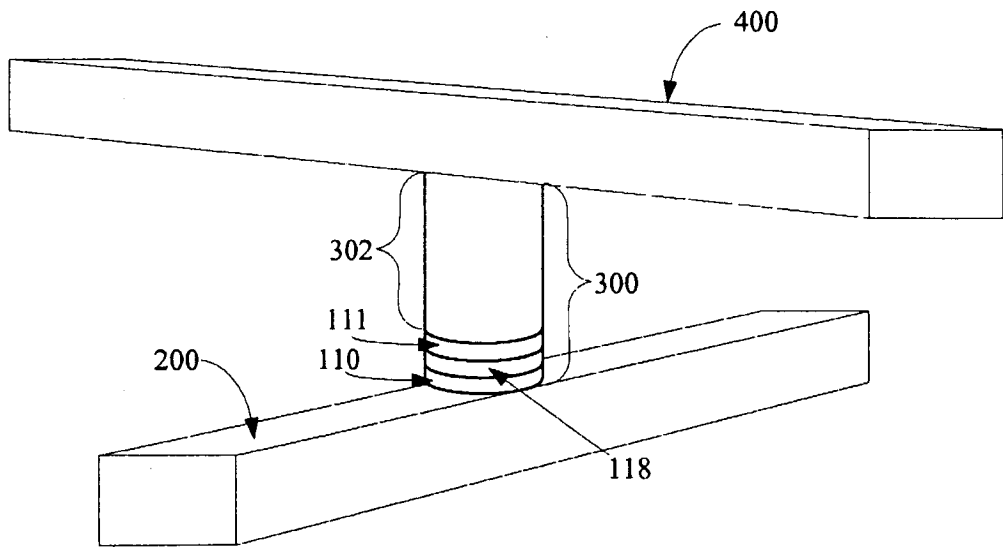


圖 1

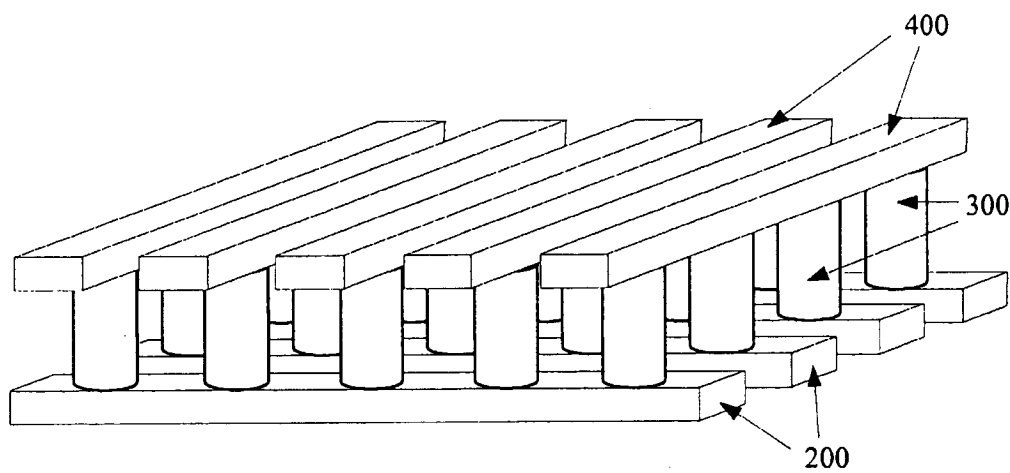


圖 2

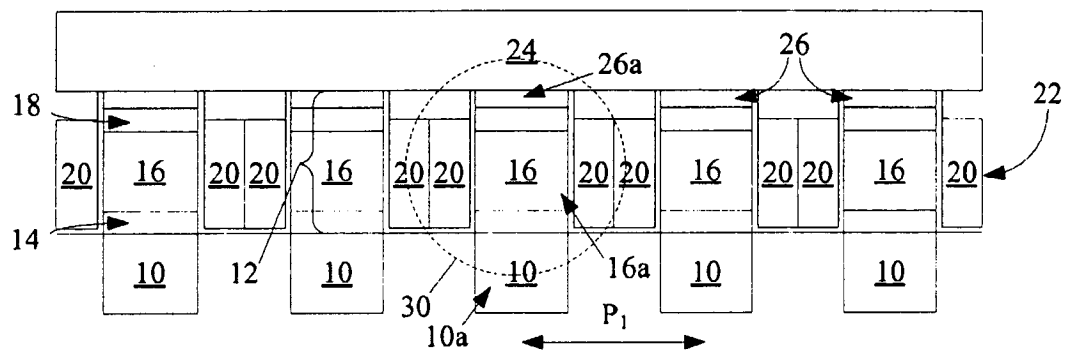


圖 3a

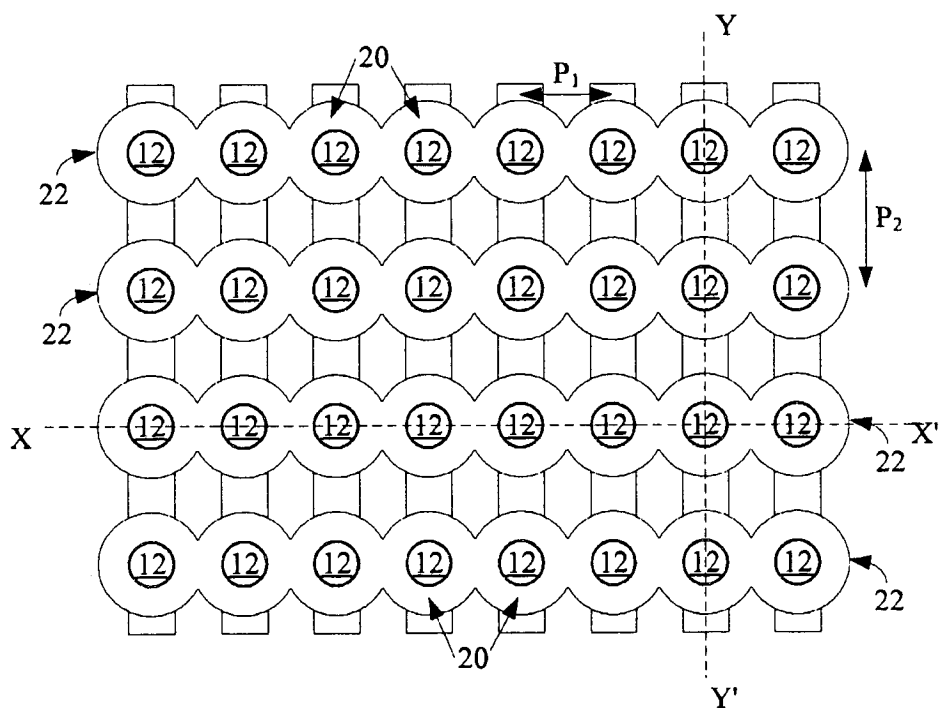


圖 3b

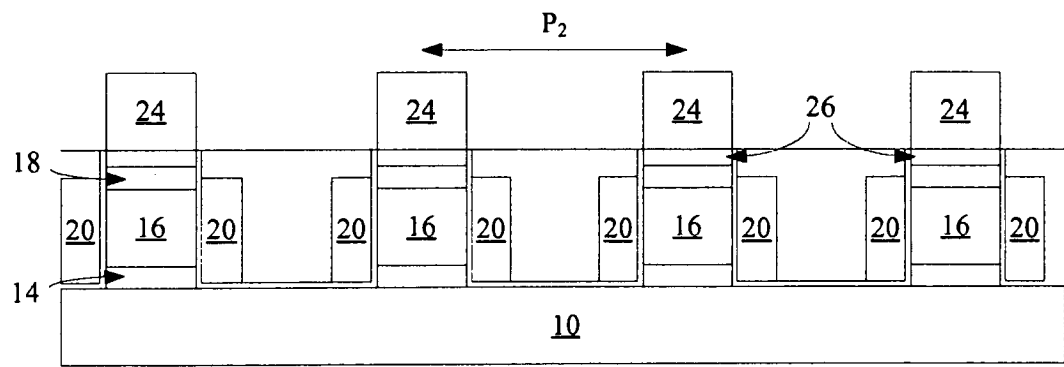


圖 3c

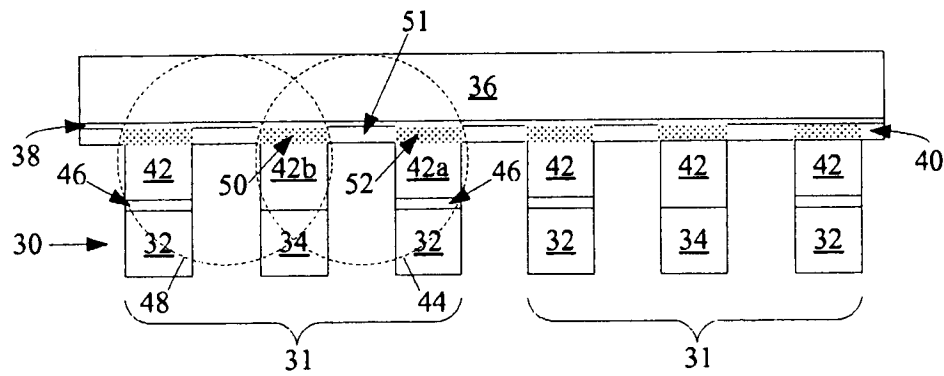


圖 4

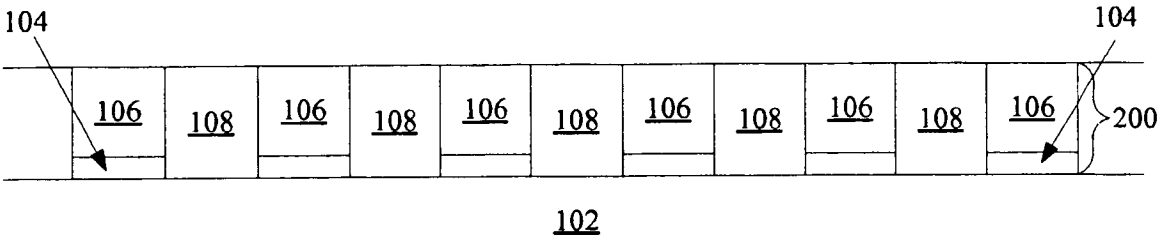


圖5a

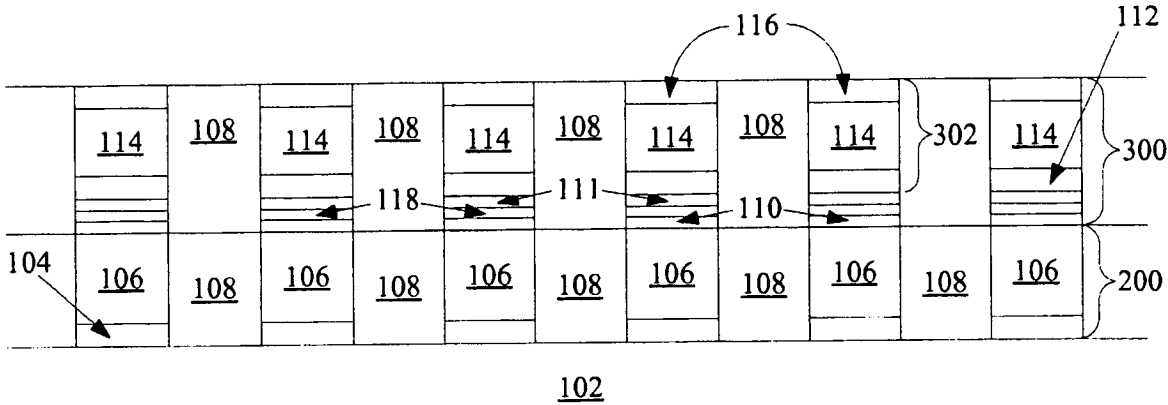


圖5b

[illegible]

- 5 -

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

110	傳導障壁層/傳導層
111	傳導障壁層/傳導層
118	奈米碳管織物/奈米碳管纖維/奈米碳管織物層之薄層/奈米碳管織物層
200	底部導體/第一導體/導體軌道
300	導柱
302	二極體
400	頂部導體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)