

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-32555

(P2010-32555A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.

G 0 1 C 19/56 (2006.01)

G 0 1 P 9/04 (2006.01)

F I

G 0 1 C 19/56

G 0 1 P 9/04

テーマコード (参考)

2 F 1 0 5

審査請求 有 請求項の数 1 〇 L (全 25 頁)

(21) 出願番号 特願2009-260851 (P2009-260851)
 (22) 出願日 平成21年11月16日 (2009.11.16)
 (62) 分割の表示 特願2004-89146 (P2004-89146)
 の分割
 原出願日 平成16年3月25日 (2004.3.25)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100067736
 弁理士 小池 晃
 (74) 代理人 100096677
 弁理士 伊賀 誠司
 (74) 代理人 100106781
 弁理士 藤井 稔也
 (74) 代理人 100113424
 弁理士 野口 信博
 (74) 代理人 100150898
 弁理士 祐成 篤哉

最終頁に続く

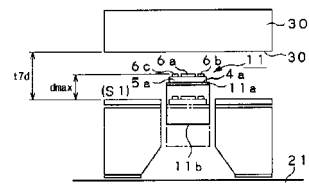
(54) 【発明の名称】 角速度センサ

(57) 【要約】

【課題】 パッケージングした振動型ジャイロセンサ素子を良好な共振特性、且つ、高感度にする。

【解決手段】 圧電薄膜5の圧電効果を利用して角速度を検出する振動型ジャイロセンサ素子10をカバー材30とI C基板21を用いて大気中でパッケージングし、上部電極6は、振動子11を振動させる電圧を印加する振動子11の長手方向に形成された駆動電極6aと、駆動電極6aと接触することなく平行に振動子11の長手方向に形成され、振動の方向と垂直な方向に発生するコリオリ力を検出する検出電極6b、6cとからなり、振動子11の振動していない状態での、振動子11から対向部までの距離を、振動子11が最も振動した場合の変位量である最大変位量の2.5倍以上とした周囲空間が、振動子11の振動方向に設けられており、振動子11の振動していない状態での、振動子11から対向部までの距離を、振動子11のコリオリ力検出方向の幅の2倍以上とした周囲空間が、振動子11のコリオリ力検出方向に設けられている。

【選択図】 図37



【特許請求の範囲】**【請求項 1】**

下部電極、圧電薄膜、上部電極を有する単結晶シリコンから形成された四角柱状の片持ち梁の振動子を備え、上記圧電薄膜の圧電効果を利用して角速度を検出する振動型ジャイロセンサ素子をカバー材とＩＣ基板を用いて大気中でパッケージングした角速度センサであって、

上記上部電極は、上記振動子を振動させる電圧を印加する上記振動子の長手方向に形成された駆動電極と、上記駆動電極と接触することなく平行に上記振動子の長手方向に形成され、上記振動の方向と垂直な方向に発生するコリオリ力を検出する検出電極とからなるように形成されており、

10

上記振動子の振動していない状態での、上記振動子から対向部までの距離を、上記振動子が最も振動した場合の変位量である最大変位量の 2 . 5 倍以上とした周囲空間が、上記振動子の振動方向に設けられており、

上記振動子の振動していない状態での、上記振動子から対向部までの距離を、上記振動子のコリオリ力検出方向の幅の 2 倍以上とした周囲空間が、上記振動子のコリオリ力検出方向に設けられている角速度センサ。

【発明の詳細な説明】**【技術分野】****【０００１】**

本発明は、例えば、ビデオカメラの手振れ検知や、バーチャルリアリティ装置における動作検知や、カーナビゲーションシステムにおける方向検知などに用いられる角速度センサに関し、詳しくは、片持ち梁の振動子を有する小型の振動型ジャイロセンサ素子を備えた角速度センサに関する。

20

【背景技術】**【０００２】**

従来より、民生用の角速度センサとしては、片持ち梁の振動子を所定の共振周波数で振動させておき、角速度の影響によって生じるコリオリ力を圧電素子などで検出することによって角速度を検出する、いわゆる振動型のジャイロセンサ（以下、振動型ジャイロセンサと呼ぶ。）が、広く使用されている。

【０００３】

30

振動型ジャイロセンサは、単純な機構、短い起動時間、安価で製造可能といった利点を有しており、例えば、ビデオカメラ、バーチャルリアリティ装置、カーナビゲーションシステムなどの電子機器に搭載され、それぞれ手振れ検知、動作検知、方向検知などをする際のセンサとして活用されている。

【０００４】

振動型ジャイロセンサは、搭載される電子機器の小型化、高性能化に伴い、小型化、高性能化が要求されている。例えば、電子機器の多機能化のため、他の用途で用いる各種センサと組み合わせて、振動型ジャイロセンサを一基板上に搭載させ、小型化を図るといった要請がある。

【０００５】

40

ところが、振動型ジャイロセンサは、圧電材料を機械加工によって切り出し、整形をすることで振動子を作製していたため、上述したような小型化を行うのに加工精度に限界があり、所望の性能を得ることができないといった問題があった。

【０００６】

そこで、振動子を、単結晶シリコン基板上に圧電材料で薄膜を形成することで作製し、小型化した圧電振動角速度計、つまり振動型ジャイロセンサが考案されている（例えば、特許文献 1、特許文献 2 参照。）。また、シリコン加工プロセスによって形成された片持ち梁の振動子をし、この振動子の長手方向に駆動電極と、駆動電極を挟む形で駆動電極と接触することなく平行に一对の検出電極とが形成された振動型ジャイロセンサが考案されている。（例えば、特許文献 3 参照。）。

50

【 0 0 0 7 】

このような振動型ジャイロセンサにおいては、より高い感度で且つ安定した共振特性で角速度を検出することが要求されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開平 8 - 2 6 1 7 6 3 号 公 報

【 特許文献 2 】 特開平 8 - 3 2 7 3 6 4 号 公 報

【 特許文献 3 】 特開平 7 - 1 1 3 6 4 3 号 公 報

【 発明の概要 】

10

【 発明が解決しようとする課題 】

【 0 0 0 9 】

ところで、振動型ジャイロセンサを高感度で且つ安定した共振特性とするためには、振動子の共振状態を定義する機械的品質係数 (Mechanical quality factor)、いわゆる Q 値を高くする必要がある。

【 0 0 1 0 】

Q 値は、振動型ジャイロセンサの振動子が固有振動を起こした際の、共振特性の鋭さの度合いを表す定数である。Q 値は、電気、電子分野における共振現象や、振動子の振動のような機械振動において共振系の質を表す定数として用いられる。振動型ジャイロセンサにおける Q 値は、振動子を形成する材料や、振動子の固定方法などで決定される。

20

【 0 0 1 1 】

例えば、Q 値が大きい場合には、共振周波数に一致する振動を外界から受けた時だけ振幅が成長し、振動が成長するにも減衰するにも時間がかかる。つまり、外界からの影響を受けにくい状態であるといえる。

【 0 0 1 2 】

逆に、Q 値が小さい場合には、共振周波数とは若干異なる周波数の振動にも反応し、振動が成長するのにも減速するのにも早いという特徴がある。つまり、外界からの影響を受けやすい状態であるといえる。

【 0 0 1 3 】

したがって、上述したように Q 値を高くすることで、振動型ジャイロセンサの共振特性を安定させ且つ高感度なセンサ素子とすることができる。

30

【 0 0 1 4 】

通常、振動型ジャイロセンサは、振動子を保護する目的や、外部装置への組み込み時の取り扱いを容易にするため、所望のパッケージ内にパッケージングされることになる。このとき、パッケージング後の振動子周りの空間形成状況やパッケージによる影響などによって、空気のダンピングが強くなり、特性が低下してしまうといった問題があった。

【 0 0 1 5 】

このような空気のダンピングを防ぐ方法として、振動型ジャイロセンサをパッケージ内に真空パッケージする手法があるが、非常に手間がかかり多大なコストがかかってしまうといった問題があった。

40

【 0 0 1 6 】

そこで、本発明は、上述したような問題を解決するために案出されたものであり、パッケージングした振動型ジャイロセンサ素子の振動子周囲の空間を適切に規定することで、安定した共振特性を示し、高い感度の振動型ジャイロセンサ素子を備えた小型の角速度センサを低コストで提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 7 】

上述の目的を達成するために、本発明に係る角速度センサは、下部電極、圧電薄膜、上部電極を有する単結晶シリコンから形成された四角柱状の片持ち梁の振動子を備え、上記圧電薄膜の圧電効果を利用して角速度を検出する振動型ジャイロセンサ素子をカバー材と

50

ＩＣ基板を用いて大気中でパッケージングした角速度センサである。上記上部電極は、上記振動子を振動させる電圧を印加する上記振動子の長手方向に形成された駆動電極と、上記駆動電極と接触することなく平行に上記振動子の長手方向に形成され、上記振動の方向と垂直な方向に発生するコリオリ力を検出する検出電極とからなるように形成されている。上記振動子の振動していない状態での、上記振動子から対向部までの距離を、上記振動子が最も振動した場合の変位量である最大変位量の２．５倍以上とした周囲空間が、上記振動子の振動方向に設けられている。上記振動子の振動していない状態での、上記振動子から対向部までの距離を、上記振動子のコリオリ力検出方向の幅の２倍以上とした周囲空間が、上記振動子のコリオリ力検出方向に設けられている。

【発明の効果】

10

【００１８】

本発明は、パッケージングされた振動型ジャイロセンサ素子が備える振動子の周囲の空間として、振動子の振動していない状態での、振動子から対向部までの距離を、振動子が最も振動した場合の変位量である最大変位量の２．５倍以上とした周囲空間が、振動子の振動方向に設けられており、振動子の振動していない状態での、振動子から対向部までの距離を、振動子のコリオリ力検出方向の幅の２倍以上とした周囲空間が、振動子のコリオリ力検出方向に設けられている。

【００１９】

このように、周囲空間を、真空挽きといった多大な労力やコストを要する作業をしなくとも、パッケージングされた振動型ジャイロセンサ素子の機械的品質係数（Mechanical quality factor）、いわゆるＱ値を、振動子周りの空間の形状による影響を受けない程度に高くすることができる。したがって、安定した共振特性を示し、高い感度の振動型ジャイロセンサ素子を備えた角速度センサを低コストで提供することを可能とする。

20

【図面の簡単な説明】

【００２０】

【図１】本発明を実施するための最良の形態として示す振動型ジャイロセンサ素子について説明するための斜視図である。

【図２】同振動型ジャイロセンサ素子を備えた角速度センサの構成について説明するための図である。

【図３】同振動型ジャイロセンサ素子が備える振動子について説明するための斜視図である。

30

【図４】同振動型ジャイロセンサ素子について説明するための平面図である。

【図５】同振動型ジャイロセンサ素子を製造する際に用いる単結晶シリコン基板について説明するための平面図である。

【図６】図５に示す単結晶シリコン基板をＸＸ線で切断した際の断面図である。

【図７】単結晶シリコン基板にレジスト膜パターンを形成した様子を示す平面図である。

【図８】図７に示す単結晶シリコン基板をＸＸ線で切断した際の断面図である。

【図９】単結晶シリコン基板の熱酸化膜を除去した様子を示す平面図である。

【図１０】図９に示す単結晶シリコン基板をＸＸ線で切断した際の断面図である。

【図１１】単結晶シリコン基板に結晶異方性エッチングを施した様子を示す平面図である。

40

【図１２】図１１に示す単結晶シリコン基板をＸＸ線で切断した際の断面図である。

【図１３】図１２に示す領域Ａを拡大して示した断面図である。

【図１４】単結晶シリコン基板の表面側の様子を示した平面図である。

【図１５】図１４に示す単結晶シリコン基板をＸＸ線で切断した際の断面図である。

【図１６】下部電極膜、圧電膜、上部電極膜が形成された単結晶シリコン基板の様子を示す平面図である。

【図１７】図１６に示す単結晶シリコン基板をＸＸ線で切断した際の断面図である。

【図１８】駆動電極、検出電極が形成された単結晶シリコン基板の様子を示す平面図である。

50

【図 19】図 18 に示す単結晶シリコン基板を X X 線で切断した際の断面図である。
【図 20】圧電体が形成された単結晶シリコン基板の様子を示す平面図である。
【図 21】図 20 に示す単結晶シリコン基板を X X 線で切断した際の断面図である。
【図 22】基準電極が形成された単結晶シリコン基板の様子を示す平面図である。
【図 23】図 22 に示す単結晶シリコン基板を X X 線で切断した際の断面図である。
【図 24】平坦化レジスト膜が形成された単結晶シリコン基板の様子を示す平面図である。

【図 25】図 24 に示す単結晶シリコン基板を Y Y 線で切断した際の断面図である。
【図 26】配線接続端子が形成された単結晶シリコン基板の様子を示す平面図である。
【図 27】図 26 に示す単結晶シリコン基板を Y Y 線で切断した際の断面図である。
【図 28】振動子の周辺に反応性イオンエッチングにより周囲空間が形成された単結晶シリコン基板の様子を示す平面図である。
【図 29】図 28 に示す単結晶シリコン基板を Y Y 線で切断した際の断面図である。
【図 30】図 28 に示す単結晶シリコン基板を X X 線で切断した際の断面図である。
【図 31】複数の振動型ジャイロセンサ素子が形成された単結晶シリコン基板を示す平面図である。

【図 32】単結晶シリコン基板に形成された複数の振動型ジャイロセンサ素子を切断する際の切断線を示した単結晶シリコン基板の様子を示す平面図である。

【図 33】振動型ジャイロセンサ素子を IC 基板上に貼り付けた際の様子を示す平面図である。

【図 34】振動型ジャイロセンサ素子を備える角速度センサにカバー材を取り付けた際の様子を示す平面図である。

【図 35】振動子の周囲空間である第 1 の空間、第 2 の空間について説明するための図である。

【図 36】振動子の周囲空間である第 3 の空間について説明するための図である。

【図 37】振動型ジャイロセンサ素子の第 1 の空間について説明するための図である。

【図 38】振動型ジャイロセンサ素子の第 2 の空間について説明するための図である。

【図 39】振動型ジャイロセンサ素子の第 3 の空間について説明するための図である。

【図 40】第 1 の空間を変化させた場合の振動型ジャイロセンサ素子の Q 値を示した図である。

【図 41】第 3 の空間を変化させた場合の振動型ジャイロセンサ素子の Q 値を示した図である。

【発明を実施するための形態】

【0021】

以下、本発明に係る電子機器を実施するための最良の形態を図面を参照して詳細に説明する。

【0022】

図 1 は、本発明を適用した角速度センサ 50 が備える振動型ジャイロセンサ素子 10 の外観斜視図であり、図 2 は、角速度センサ 50 の回路構成の一例を示した図である。なお、説明のため、図 1 に示す振動型ジャイロセンサ素子 10 は、一部を透過して示している。

【0023】

図 1 に示すように、振動型ジャイロセンサ素子 10 は、いわゆる片持ち梁の振動子 11 を備えている。振動子 11 は、シリコン単結晶基板から切り出される厚み t_1 、長さ t_2 、幅 t_3 の素子から振動子 11 の周囲に周囲空間 12 を設けることで他端が固定された梁として形成される。振動子 11 は、長手方向と垂直な方向に t_7b 及び t_7c の空間幅、長手方向に t_7a の空間幅が確保される。なお、 t_7b と、 t_7c とは、同じ長さである。

【0024】

このような振動子 11 は、長手方向に対して垂直な平面で切断したときの断面形状が直

10

20

30

40

50

角四辺形となる四角柱状に形成されている。

【 0 0 2 5 】

振動型ジャイロセンサ素子 1 0 の大きさは、例えば、上述したように素子の厚みを t_1 、素子の長さを t_2 、素子の幅を t_3 とすると、 $t_1 = 300 \mu\text{m}$ 、 $t_2 = 3 \text{ mm}$ 、 $t_3 = 1 \text{ mm}$ とすることができる。また、この時の振動子 1 1 の大きさは、図 3 に示すように振動子の厚みを t_4 、振動子の長さを t_5 、振動子の幅を t_6 とすると、例えば、 $t_4 = 100 \mu\text{m}$ 、 $t_5 = 2.5 \text{ mm}$ 、 $t_6 = 100 \mu\text{m}$ とすることができる。

【 0 0 2 6 】

図 4 に、振動型ジャイロセンサ素子 1 0 の平面図を示す。図 4 に示すように、振動子 1 1 の上部には、基準電極 4 a、圧電体 5 a が順に積層され、さらに圧電体 5 a 上に駆動電極 6 a と、駆動電極 6 a を挟む形で一对の検出電極 6 b、6 c とが、振動子 1 1 の長手方向に沿って互いに平行に、且つ接触しないように形成されている。駆動電極 6 a、検出電極 6 b、6 c、基準電極 4 a には、それぞれ配線接続端子 A、B、C、D が設けられている。

10

【 0 0 2 7 】

圧電体 5 a は、例えば、チタン酸ジルコン酸鉛 (PZT) などの圧電セラミックスや、水晶、 LaTaO_3 などの圧電単結晶などからなる薄膜である。

【 0 0 2 8 】

このような、振動型ジャイロセンサ素子 1 0 は、図 2 に示す IC 回路 4 0 に接続されることで動作し、角速度に応じて発生するコリオリ力を検出する角速度センサ 5 0 として機能する。

20

【 0 0 2 9 】

IC 回路 4 0 は、加算回路 4 1 と、増幅回路 4 2 と、移相回路 4 3 と、AGC (Automatic Gain Control) 4 4 と、差動増幅回路 4 5 と、同期検波回路 4 6 と、平滑回路 4 7 とを備えている。

【 0 0 3 0 】

振動型ジャイロセンサ素子 1 0 の 1 対の検出電極 6 b、6 c は、それぞれ配線接続端子 B、C を介して、加算回路 4 1 と、差動増幅回路 4 5 に接続される。また、振動型ジャイロセンサ素子 1 0 の駆動電極 6 a は、配線接続端子 A を介して、AGC 4 4 の出力端と接続される。

30

【 0 0 3 1 】

角速度センサ 5 0 では、加算回路 4 1、増幅回路 4 2、移相回路 4 3、AGC 4 4 及び振動型ジャイロセンサ素子 1 0 によっていわゆる移相発振回路が構成されており、この移相発振回路によって振動型ジャイロセンサ素子 1 0 の基準電極 4 a、駆動電極 6 a 間に電圧が印加され振動子 1 1 を自励振動させる。振動子 1 1 の振動方向は、当該振動子 1 1 の厚み方向となる。

【 0 0 3 2 】

また、角速度センサ 5 0 では、1 対の検出電極 6 b、6 c が配線接続端子 B、C を介して接続された加算回路 4 1、差動増幅回路 4 5 の出力端が、同期検波回路 4 6 に接続され、この同期検波回路 4 6 が平滑回路 4 7 に接続されており、これらと、圧電体 5 a とで、振動子 1 1 の角速度を検出する検出部として機能する。

40

【 0 0 3 3 】

すなわち、図 2 に示す角速度センサ 5 0 では、振動型ジャイロセンサ素子 1 0 の振動子 1 1 を上述した移相発振回路で自励振動させている際に、振動子 1 1 の長手方向に角速度が加えられることで振動方向に垂直な方向に発生するコリオリ力を、圧電体 5 a で検出し、検出電極 6 b、6 c から互いに逆極性の信号として出力し、差動増幅回路 4 5 に入力する。差動増幅回路 4 5 にて増幅された出力は、同期検波回路 4 6 に入力され、同期検波が行われる。このとき、同期検波回路 4 6 には、同期検波を行うために、加算器 4 1 からの出力が同期信号として供給される。そして、同期検波回路 4 6 からの出力が、平滑回路 4 7 を介して、振動子 1 1 に生じたコリオリ力を検出することにより得られた直流信号であ

50

る角速度信号として出力される。

【0034】

以上のように、角速度センサ50では、圧電体5aを用いて振動子11を振動させるとともに、振動子11に生じるコリオリ力を圧電体5aによって検出し、この圧電体5aによって検出されたコリオリ力に基づいて角速度を検出することができる。

【0035】

<実施例>

続いて、実施例として、上述した振動型ジャイロセンサ素子10を実際に作製し、その製造方法について説明をする。

【0036】

上述したように、図1に示した振動型ジャイロセンサ素子10は、単結晶シリコン基板を加工することで形成される。

【0037】

図5は、振動型ジャイロセンサ素子10を形成する際に用いる単結晶シリコン基板1の平面図であり、図6は、図5に示す単結晶シリコン基板1をXX線で切断した断面図である。上記単結晶シリコン基板1の一方主面1B、他方主面1Aは、熱酸化されて、後述する結晶異方性エッチング時の保護膜とするSiO₂膜が形成されている。

【0038】

振動型ジャイロセンサ素子10で使用する単結晶シリコン基板1は、図5に示すように、当該単結晶シリコン基板1の一方主面1Bの面方位が{100}、図6に示すように側面1Cの面方位が{110}となるように切り出されている。なお、他方主面1Aは一方主面1Bと平行であるため、他方主面1Aの面方位も{100}となっている。

【0039】

但し、“{ }”は、方向が異なる等価な面方位を総称して表すための記号であり、例えば、{100}は、(100)、(010)、(001)などを総称しているものとする。

【0040】

このように結晶面方位を規定して切り出される単結晶シリコン基板1の大きさは、加工プロセスのラインに設けられた装置に応じて任意に設定される。例えば、本実施例では、縦×横が3cm×3cm角の単結晶シリコン基板1を用いている。

【0041】

また、単結晶シリコン基板1の厚みは、作業性や、当該基板の値段により決定されるが、少なくとも振動型ジャイロセンサ素子10に形成する振動子11の厚み以上であればよい。例えば、本実施例では、図3を用いて示したように振動子11の厚みt₄を100μmとしているので、単結晶シリコン基板1の厚みを3倍の300μmとしている。

【0042】

図6に示すように、単結晶シリコン基板1の他方主面1A及び一方主面1Bには、熱酸化することでSiO₂膜である熱酸化膜2A、2Bを形成する。この熱酸化膜2A、2Bは、後述する結晶異方性エッチングを行う際の保護膜として機能する。熱酸化膜2A、2Bの厚みは、任意であるが、本実施例では、0.1μmとしている。また、本実施例で用いる、単結晶シリコン基板1は、伝導型としてN型を採用しているが、任意に決めることができる。

【0043】

なお、以下の説明において、単結晶シリコン基板1において、熱酸化膜2Aが形成された他方主面1A側を表面とし、熱酸化膜2Bが形成された一方主面1B側を裏面とする。

【0044】

このような単結晶シリコン基板1を用いて、まず、当該単結晶シリコン基板1の裏面において、結晶異方性エッチングを行う個所に形成されている熱酸化膜2Bをフォトリソエッチングにより除去する。

【0045】

10

20

30

40

50

フォトリソグラフィは、熱酸化膜 2 B 上に、上記除去する個所が開口したレジスト膜パターンを形成する工程（フォトリソグラフィ）と、上記パターンを用いて熱酸化膜 2 B を除去する工程（エッチング）とに大別される。

【0046】

図 7 は、単結晶シリコン基板 1 の熱酸化膜 2 B 上にレジスト膜パターン 3 が形成された様子を示した平面図であり、図 8 は、図 7 で示す単結晶シリコン基板 1 を X X 線で切断した際の断面図である。

【0047】

図 7 に示すように、熱酸化膜 2 B 上に形成されたレジスト膜パターン 3 は、{ 1 1 0 } 面と垂直な方向の長さを t_8 とし、{ 1 1 0 } 面と平行な方向の長さを t_9 とする $t_8 \times t_9$ のサイズ長方形をした開口部 3 a が所定の間隔を持って規則的に配列されたパターンとなっている。本実施例では、 3×5 個の開口部 3 a が形成されたパターンとしている。開口部 3 a の、それぞれが 1 つの振動型ジャイロセンサ素子 1 0 となる。

10

【0048】

このレジスト膜パターン 3 は、半導体加工プロセスで利用されているフォトリソグラフィと全く同様にして、熱酸化膜 2 B 上をマイクロ波で加熱して水分を除去するプレベキнгを行ってから、感光性樹脂であるフォトレジスト膜を塗布し、上記開口部 3 a を形成するための上記パターンが形成されたマスクをフォトレジスト膜に露光し、現像をするという工程を経ることで形成される。

【0049】

20

開口部 3 a の大きさを決める t_8 、 t_9 は、振動型ジャイロセンサ素子 1 0 の振動子 1 1 の形状と、単結晶シリコン基板 1 0 の厚み t_1 、図 1 で示した振動子の空間幅 $t_7 a$ 、 $t_7 b$ 、 $t_7 c$ によって決定される。なお、 t_8 、 t_9 の具体的な数値については、後で詳細に説明をする。

【0050】

このようにして、図 8 に示すように、単結晶シリコン基板 1 の熱酸化膜 2 B 上には、レジスト膜パターン 3 が形成されることになる。

【0051】

続いて、レジスト膜パターン 3 によって形成された開口部 3 a の熱酸化膜 2 B をエッチングにより除去する。図 9 は、レジスト膜パターン 3 によって形成された開口部 3 a の個所の熱酸化膜 2 B のみが除去された単結晶シリコン基板 1 の様子を示した平面図であり、図 1 0 は、図 9 で示す単結晶シリコン基板 1 を X X 線で切断した際の断面図である。

30

【0052】

熱酸化膜 2 B の除去する場合のエッチングは、イオンエッチング等の物理的エッチングでもよいし、湿式エッチングでもよいが、単結晶シリコン基板 1 の界面の平滑性を考慮すると熱酸化膜 2 B のみが除去される湿式エッチングが好適である。

【0053】

本実施例では、湿式エッチングの薬液としてフッ化アンモニウムを用いた。ただし、湿式エッチングの場合、長時間エッチングを行うと開口部分の側面からエッチングが進行する、いわゆるサイドエッチングが大きくなるため、熱酸化膜 2 B の開口部分 3 a のみが除去された時点で終了するようエッチング時間を正確に制御する。

40

【0054】

このようにして、レジスト膜パターン 3 の開口部 3 a に位置する熱酸化膜 2 B は、図 1 0 に示すように除去される。

【0055】

続いて、上述したエッチングにより、熱酸化膜 2 B が除去されることで、レジスト膜パターン 3 の開口部 3 a と同じ大きさの $t_8 \times t_9$ の開口部 2 B a で { 1 0 0 } 面が露出した単結晶シリコン基板 1 に対して、湿式エッチングを施し、単結晶シリコン基板 1 の厚みを振動子 1 1 の厚みである t_4 まで削り取る。

【0056】

50

図 1 1 は、単結晶シリコン基板 1 において、熱酸化膜 2 B が除去され、{ 1 0 0 } 面が露出した $t_8 \times t_9$ の大きさの開口部 2 B a のみがエッチングされた様子を示した平面図であり、図 1 2 は、図 1 1 で示す単結晶シリコン基板 1 を X X 線で切断した際の断面図である。また、図 1 3 は、図 1 2 に示す領域 A を拡大して示した図である。

【 0 0 5 7 】

ここで、単結晶シリコン基板 1 に対して施される湿式エッチングは、結晶方向にエッチング速度が依存する性質を利用した結晶異方性エッチングである。熱酸化膜 2 B が除去され、{ 1 0 0 } 面が露出した上記開口部 2 B a に対して、結晶異方性エッチングをすると、図 1 3 に示すように { 1 0 0 } 面に対して約 5 5 度の角度の面方位となる { 1 1 1 } 面が現れ、振動子 1 1 の厚みである t_4 分を確保するようにエッチングを終了することで、

10

【 0 0 5 8 】

一般に、単結晶シリコンは、その結晶構造から、{ 1 1 1 } 面が、{ 1 0 0 } 面に比べ、非常にエッチングされにくいという結晶方向に対するエッチング速度依存性がある。具体的には、単結晶シリコンの { 1 0 0 } 面のエッチング速度は、{ 1 1 1 } 面のエッチング速度の 2 0 0 倍程度となっている。

【 0 0 5 9 】

単結晶シリコンに対して結晶異方性エッチングを施す際に使用可能なエッチング液は、T M A H (水酸化テトラメチルアンモニウム)、K O H (水酸化カリウム)、E D P (エチレンジアミン-ピロカテコール-水)、ヒトラジンなどである。

20

【 0 0 6 0 】

本実施例では、エッチング液として熱酸化膜 2 A と、熱酸化膜 2 B とのエッチングレートを選択比がより大きくなる T M A H (水酸化テトラメチルアンモニウム) 2 0 % 溶液を使用した。エッチング時には、エッチング液を攪拌しながら温度を 8 0 ° に保ち、6 時間かけてダイヤフラムの深さ t_{10} が 2 0 0 μm 、つまりエッチングすることで残る単結晶シリコン基板 1 の厚み t_{11} が、振動子 1 1 の厚み t_4 と同じ、1 0 0 μm となるまでエッチングした。

【 0 0 6 1 】

ここで、結晶異方性エッチングを施すために、図 7 を用いて説明したレジスト膜パターン 3 によって形成した開口部 3 a のサイズを規定する t_8 、 t_9 の数値について具体的に説明をする。

30

【 0 0 6 2 】

開口部 3 a の幅 t_9 、つまりエッチング後のダイヤフラムの幅は、図 1 3 に示すように $t_9 = t_{9a} + t_{9b} + t_{9c}$ となっている。

【 0 0 6 3 】

t_{9c} は、図 3 で示した振動子 1 1 の幅 t_6 と、図 1 で示した振動子 1 1 の周辺に形成する周囲空間 1 2 の空間幅 t_{7b} 、 t_{7c} を用いて、 $t_{9c} = t_6 + t_{7b} + t_{7c}$ と表すことができる。

【 0 0 6 4 】

また、 t_{9a} 、 t_{9b} は、それぞれ同じ長さであり、図 1 3 に示すように、結晶異方性エッチングを施した際に現れる { 1 1 1 } 面と、単結晶シリコン基板 1 の裏面である { 1 0 0 } 面とが 5 5 度の角度をなしていることから、ダイヤフラムの深さ t_{10} を用いて $t_{9a} = t_{9b} = t_{10} \times 1 / \tan 55^\circ$ と表すことができる。

40

【 0 0 6 5 】

したがって、開口部 3 a の幅 t_9 は、 $t_9 = \{ t_{10} \times 1 / \tan 55^\circ \} \times 2 + (t_6 + t_{7b} + t_{7c})$ となる。ここで、 $t_6 = 100 \mu\text{m}$ 、 $t_{7b} = t_{7c} = 200 \mu\text{m}$ 、 $t_{10} = 200 \mu\text{m}$ とすると、 $t_9 = 780 \mu\text{m}$ となる。

【 0 0 6 6 】

上述したような結晶性異方エッチングを行うと、レジスト膜パターン 3 の開口部 3 a における t_8 方向にも t_9 方向と同様に、{ 1 0 0 } 面と 5 5 度の角度をなす { 1 1 1 } 面

50

が現れる。したがって、開口部の長さ t_8 、つまりエッチング後のダイヤフラムの長さは、図3で示した振動子11の長さ t_5 、図1で示した振動子11の周辺に形成する周囲空間12の空間幅 t_7a を用いて、 $t_8 = \{ t_{10} \times 1 / \tan 55^\circ \} \times 2 + (t_5 + t_7a)$ となる。ここで、 $t_5 = 2.5 \text{ mm}$ 、 $t_7a = 200 \mu\text{m}$ 、 $t_{10} = 200 \mu\text{m}$ とすると、 $t_8 = 2980 \mu\text{m}$ となる。

【0067】

上述までの説明では、単結晶シリコン基板1全体を図示しながら説明をしたが、説明の都合上、以下の説明においては、図11に領域Wとして示すダイヤフラムが形成された単結晶シリコン基板1のみを用いて説明をする。また、以下の説明では、熱酸化膜2A側に対する加工工程となるため、表面である熱酸化膜2A側を上面にした平面図、及びこの平面図を所定の位置で切断した断面図を用いて説明をする。

10

【0068】

具体的には、図11に示す領域Wのダイヤフラムが形成された単結晶シリコン基板1を、熱酸化膜2Aを上面とすると、図14のような平面図となり、XX線で切断される断面図は、図15のようになる。

【0069】

続いて、熱酸化膜2A上に、図1で示した基準電極4a、圧電体5a、駆動電極6a、検出電極6b、6cを形成するために下部電極膜、圧電膜、上部電極膜を成膜する。単結晶シリコン基板1の熱酸化膜2A上に、下部電極膜4、圧電膜5、上部電極膜6を順に成膜すると、その平面図は図16のようになり、図16に示すXX線で切断した断面図は図17に示すようになる。

20

【0070】

本実施例では、下部電極膜4、圧電膜5、上部電極膜6を、全て、マグネトロンスパッタ装置を用いて成膜した。

【0071】

まず、熱酸化膜2A上に、下部電極膜4を成膜する。本実施例では、まず、マグネトロンスパッタ装置の条件を、ガス圧：0.5 Pa、RFパワー：1 kWとして、熱酸化膜2A上にチタン(Ti)を膜厚が50 nmとなるように成膜した。続いて、成膜したチタン(Ti)の上に、装置の条件をガス圧：0.5 Pa、RFパワー：0.5 kWとして、プラチナ(Pt)を膜厚が200 nmとなるように成膜した。つまり、チタンと、プラチナとを上記膜厚となるように成膜して下部電極膜4を形成している。

30

【0072】

次に、下部電極膜4上に圧電膜5を成膜する。本実施例では、まず、 $\text{Pb}_{(1-x)}(\text{Zr}_{0.53}\text{Ti}_{0.47})\text{O}_{3-y}$ 酸化物をターゲットとして用い、マグネトロンスパッタ装置の条件を、常温、ガス圧：0.7 Pa、RFパワー：0.5 kWとして、下層電極4として成膜されたプラチナ(Pt)上にチタン酸ジルコン酸鉛(PZT)の圧電体薄膜を膜厚が1 μm となるように成膜した。続いて、チタン酸ジルコン酸鉛(PZT)を成膜した単結晶シリコン基板1を電気炉に入れ、酸素雰囲気下、700℃、10分間という条件で結晶化熱処理を行うことで圧電膜5を形成した。

【0073】

最後に、圧電膜5上に上部電極膜6を成膜する。本実施例では、マグネトロンスパッタ装置の条件を、ガス圧0.5 Pa、RFパワー：0.5 kWとして、圧電膜5上にプラチナ(Pt)を膜厚が200 nmとなるように成膜した。

40

【0074】

次に、上部電極膜6を加工して駆動電極6a、検出電極6b、6cを形成する。図18は、駆動電極6a、検出電極6b、6cが形成された単結晶シリコン基板1の様子を示した平面図であり、図19は、図18で示す単結晶シリコン基板1をXX線で切断した際の断面図である。

【0075】

駆動電極6aは、上述したように振動子11を駆動するための電圧を印加する電極であ

50

り、振動子 11 の中心となるように形成される。また、検出電極 6b, 6c は、上述したように振動子 11 に発生したコリオリ力を検出するための電極であり、駆動電極 6a を挟むように駆動電極 6a と平行に、且つ接触しないように、振動子 11 に形成される。

【0076】

また、図 18 に示すように、駆動電極 6a, 検出電極 6b, 6c は、その一方端部が、振動子 11 の根元である根元ライン R と一致するように形成され、各電極の上記一方端部には、それぞれ端子接合部 6a₁, 6b₁, 6c₁ が形成される。

【0077】

本実施例では、駆動電極 6a の幅 t₁₃ を 50 μm、検出電極 6b, 6c の幅 t₁₄ を 10 μm、駆動電極 6a 及び検出電極 6b, 6c の長さ t₁₂ を 2 mm、検出電極 6b, 6c の駆動電極 6a との間隔 t₁₅ をそれぞれ 5 μm とした。この駆動電極 6a、検出電極 6b, 6c は、振動子 11 上に形成される範囲であれば、任意の大きさに設計することができる。また、本実施例では、端子接合部 6a₁, 6b₁, 6c₁ のそれぞれの長さ t₁₆ を 50 μm、幅 t₁₇ を 50 μm とした。

【0078】

本実施例では、駆動電極 6a、検出電極 6b, 6c 及び端子接合部 6a₁, 6b₁, 6c₁ を、フォトリソグラフィー技術を用いて、上部電極膜 6 上にレジスト膜パターンを形成した後、イオンエッチングにより不要部分の電極膜 6 を除去することで形成した。

【0079】

本発明は、この駆動電極 6a、検出電極 6b, 6c 及び端子接合部 6a₁, 6b₁, 6c₁ を形成する際の手法に限定されるものではなく、上述した手法以外にも様々な手法を適用することができる。

【0080】

次に、圧電膜 5 を加工して振動子 11 上に圧電体 5a を形成する。図 20 は、圧電膜 5 を加工して圧電体 5a が形成された単結晶シリコン基板 1 の様子を示した平面図であり、図 21 は、図 20 で示す単結晶シリコン基板 1 を X-X 線で切断した際の断面図である。

【0081】

圧電体 5a は、上部電極膜 6 を加工して形成した駆動電極 6a, 検出電極 6b, 6c を完全に覆うような形状であればどのような形状であってもかまわない。

【0082】

本実施例では、圧電体 5a の長さ t₁₈ を 2.2 mm、幅 t₁₉ を 90 μm とした。このような大きさの圧電体 5a は、その中心が振動子 11 の中心と一致し、一方端部が、振動子 11 の根元である根元ライン R と一致させるようにする。

【0083】

圧電体 5a の幅 t₁₈ は、振動子 11 の幅 t₄ 以下の幅である必要がある。また、本実施例では、上述した端子接合部 6a₁, 6b₁, 6c₁ の下に圧電膜 5 を、端子接合部 6a₁, 6b₁, 6c₁ の各外周より 5 μm の幅を持たせて残してある。この端子接合部 6a₁, 6b₁, 6c₁ の下に残される圧電膜 5 は、振動型ジャイロセンサ素子 10 全体の形状サイズにより任意に設定されることになる。

【0084】

本実施例では、フォトリソグラフィー技術を用いて、圧電体 5a 及び端子接合部 6a₁, 6b₁, 6c₁ の下に残す圧電膜 5 の形状のレジスト膜パターンを形成した後、フッ酸溶液による湿式エッチングにより不要部分の圧電膜 5 を除去することで、圧電体 5a を形成した。

【0085】

上述したように、本実施例では、圧電体 5a を形成するために圧電膜 5 の不要部分を除去する手法を湿式エッチングとしているが、本発明にはこれに限定されるものではなく、物理的なエッチングであるイオンエッチングによる除去方法や、化学的な作用と物理的な作用でエッチングする反応性イオンエッチング (RIE: Reactive Ion Etching) による除去方法などを適用することができる。

【 0 0 8 6 】

次に、下部電極膜 4 を加工して、振動子 1 1 上に基準電極 4 a を形成する。図 2 2 は、下部電極膜 4 を加工して基準電極 4 a が形成された単結晶シリコン基板 1 の様子を示した平面図であり、図 2 3 は、図 2 2 で示す単結晶シリコン基板 1 を X X 線で切断した際の断面図である。

【 0 0 8 7 】

基準電極 4 a は、圧電膜 5 を加工して形成した圧電体 5 a を完全に覆うような形状であればどのような形状であってもかまわない。

【 0 0 8 8 】

本実施例では、基準電極 4 a の長さ t_{20} を 2 . 3 mm とし、幅 t_{21} を $94\ \mu\text{m}$ とした。このような基準電極 4 a は、その中心が振動子 1 1 の中心と一致し、一方端部を、振動子 1 1 の根元である根元ライン R と一致させるようにする。

【 0 0 8 9 】

基準電極 4 a の幅 t_{20} は、振動子 1 1 の幅 t_4 以下の幅である必要がある。また、本実施例では、上述したように除去しなかった圧電膜 5 の下の下部電極膜 4 を、上記圧電膜 5 の外周より $5\ \mu\text{m}$ の幅を持たせて残してある。この幅に関しては振動型ジャイロセンサ素子 1 0 全体の形状サイズにより任意に設定されることになる。

【 0 0 9 0 】

また、基準電極 4 a と、外部との電氣的接合を図るため、図 2 2 に示すように下部電極膜 4 によって配線接続端子 D が形成されている。上述したように、圧電膜 5 の下に残された下部電極膜 4 を介して基準電極 4 a と、配線接続端子 D とは、電氣的に接続されている。

【 0 0 9 1 】

本実施例では、振動型ジャイロセンサ素子 1 0 と、外部との電氣的な接続は、ワイヤーボンディングにより行うことを前提としているため、配線接続端子 D の実際に配線される端子部をワイヤーボンディング時に必要となる面積分だけ確保する。

【 0 0 9 2 】

本実施例では、配線接続端子 D の端子部の長さ t_{22} を $200\ \mu\text{m}$ 、幅 t_{23} を $100\ \mu\text{m}$ とした。振動型ジャイロセンサ素子 1 0 の外部との接合に関しては、接合方法も含めて任意であり、採用する接合方法に応じて、配線接続端子 D の形状を最適となるように設定する。

【 0 0 9 3 】

本実施例では、フォトリソグラフィー技術を用いて、図 2 2 に示すような形状となるレジスト膜パターンを形成した後、イオンエッチングにより不要部分の下部電極膜 4 を除去することで基準電極 4 a、配線接続端子 D、基準電極 4 a と配線接続端子 D とを電氣的に接続する下部電極膜 4 を形成した。

【 0 0 9 4 】

上述したように、本実施例では、基準電極 4 a を形成するために下部電極膜 4 の不要部分を除去する手法を、物理的なエッチングであるイオンエッチングとしているが、本発明はこれに限定されるものではなく、化学的なエッチングである湿式エッチングや、化学的な作用と物理的な作用でエッチングする反応性イオンエッチング (R I E : Reactive Ion Etching) による除去方法を適用することができる。

【 0 0 9 5 】

次に、駆動電極 6 a、検出電極 6 b、6 c の一方端部側にそれぞれ形成されている端子接合部 $6a_1$ 、 $6b_1$ 、 $6c_1$ と、配線接続端子 A、B、C との電氣的接合を円滑にするために平坦化レジスト膜 7 を形成する。

【 0 0 9 6 】

図 2 4 は、平坦化レジスト膜 7 が形成された単結晶シリコン基板 1 の様子を示した平面図であり、図 2 5 は、図 2 4 に示す単結晶シリコン基板 1 を Y Y 線で切断した際の断面図である。

10

20

30

40

50

【0097】

上述した図22に示すように、配線接続端子A、B、Cと、端子接合部6a₁、6b₁、6c₁とをそれぞれ物理的に接合する際には、圧電体5aを形成する際に残された圧電膜5の端部と、基準電極4aを形成する際に残された下部電極膜4の端部とをそれぞれ通過しなくてはならない。

【0098】

本実施例において、圧電体5aは、圧電膜5を湿式エッチングによってエッチングすることで形成されており、エッチングされた端部は、単結晶シリコン基板1方向へ、逆テーパ形状、あるいは、垂直形状となっている。そのため、平坦化レジスト膜7を形成せずに、端子接合部6a₁、6b₁、6c₁と、配線接続端子A、B、Cとをそれぞれ電氣的に接続するように配線膜を形成すると、上記端部の段差により電氣的接続が断たれてしまう虞がある。

10

【0099】

また、基準電極4aと電氣的に接続されている下部電極膜4の端部が露出しているため、平坦化レジスト膜7を形成しないと、駆動電極6a、検出電極6b、6cと、基準電極4aとが短絡してしまうことになる。

【0100】

以上の理由により、図24に示すように、端子接合部6a₁、6b₁、6c₁上に、平坦化レジスト膜7を形成し、上記圧電膜5の端部の段差をなくし、上記下部電極膜4の端部が露出しないようにする。

20

【0101】

平坦化レジスト膜7の形状は、上述したように上記圧電膜5の端部の段差をなくし、上記下部電極膜4の端部が露出しない形状であれば任意に設定できる。本実施例では、平坦化レジスト膜7の幅t₂₄を200μm、長さt₂₅を50μmとした。

【0102】

平坦化レジスト膜7は、フォトリソグラフィ技術により、図24に示す個所に所望の形状でパターンニングしたレジスト膜を、280～300程度の熱処理を加えることで硬化させる。本実施例では、レジスト膜の厚みを2μm程度としたが、この厚みに関しては、圧電膜5、下部電極膜4の厚みに応じて変化させ、両者の合計の厚み以上とすることが望ましい。本実施例では、レジスト膜を用いて平坦化レジスト膜7を形成しているが、上記理由を回避することの可能な、非導電性の材料であれば、その形成方法も含めて任意である。

30

【0103】

次に、駆動電極6a、検出電極6b、6cを外部に接続するための配線処理を施す際に用いる配線接続端子A、B、Cを形成する。図26は、配線接続端子A、B、Cを形成した単結晶シリコン基板1の様子を示す平面図であり、図27は、図26に示した単結晶シリコン基板1をYY線で切断した際の断面図である。

【0104】

図26に示す配線接続端子A、B、Cは、駆動電極6a、検出電極6b、6cの端子接合部6a₁、6b₁、6c₁とそれぞれ接続されている。本実施例では、振動型ジャイロセンサ素子10と、外部との電氣的な接続は、ワイヤーボンディングにより行うことを前提としているため、配線接続端子A、B、Cの実際に配線される端子部を、上述した配線接続端子Dと同様に、ワイヤーボンディング時に必要となる面積分だけ確保する。

40

【0105】

各配線接続端子A、B、Cは、平坦化レジスト膜7の上面を通り、端子接合部6a₁、6b₁、6c₁とそれぞれ接触するように、熱酸化膜2A上に形成される。配線接続端子A、B、Cと、端子接合部6a₁、6b₁、6c₁との接合個所である各電極接合部の形状は、任意であるが電氣的な接触抵抗を減少させるために5μm四方以上の大きさが望ましい。

【0106】

50

配線接続端子 A , B , C において、実際に配線が接続される端子部は、上述したようにワイヤーボンディング接合を行うのに必要な面積分を確保可能な形状となる。

【 0 1 0 7 】

本実施例では、配線接続端子 A , B , C、それぞれの端子部の長さ t_{26} を $200\mu\text{m}$ 、幅 t_{27} を $100\mu\text{m}$ とした。振動型ジャイロセンサ素子 10 の外部との接合に関しては、接合方法も含めて任意であり、採用する接合方法に応じて、配線接続端子 A , B , C の形状を最適となるように設定する。

【 0 1 0 8 】

本実施例では、フォトリソグラフィー技術を用いて、図 26 に示すような形状となるレジスト膜パターンを形成した後、配線接続端子 A , B , C をスパッタリングにより形成した。スパッタリングした際に、不要な部分に付着した膜は、レジスト膜パターンを除去する際に、同時に除去する、いわゆるリフトオフの手法にて除去した。

【 0 1 0 9 】

具体的には、配線接続端子 A , B , C は、付着力を向上させるためのチタン (Ti) を 20nm だけ堆積させ、電気抵抗が低く、低コストである銅 (Cu) を 300nm 堆積させ、さらに、ワイヤーボンディングとの接合を容易にするため、金 (Au) を 300nm 堆積させることで形成した。なお、この配線接続端子 A , B , C を形成する際に用いる材料及び配線接続端子 A , B , C の形成方法は任意であり、本発明は、上記材料及び形成方法に限定されるものではない。

【 0 1 1 0 】

続いての工程は、図 1 で示したように振動型ジャイロセンサ 10 に対して周囲空間 12 を形成することで片持ち梁の振動子 11 を作製する工程である。図 28 は、単結晶シリコン基板 1 に周囲空間 12 を形成することで片持ち梁の振動子 11 が形成された様子を示した平面図であり、図 29 は、図 28 で示す単結晶シリコン基板 1 を Y Y 線で切断した様子を示した断面図であり、図 30 は、図 28 で示す単結晶シリコン基板 1 を X X 線で切断した様子を示した断面図である。

【 0 1 1 1 】

図 28 に示すように周囲空間 12 は、検出電極 6b , 6c が形成されている側の振動子 11 の側面から左右の方向にそれぞれ t_{7b} 及び t_{7c} の幅を有する空間と、振動子 11 の長手方向で振動子 11 の根元ライン R と反対の端部側に t_{7a} の幅を有する空間とによって構成された、いわゆる “コ” の字型の形状をした空間となっている。

【 0 1 1 2 】

本実施例では、 t_{7b} 、 t_{7c} を、それぞれ $200\mu\text{m}$ としている。この t_{7b} 、 t_{7c} は、周囲空間 12 内の気体の状態や、要求される振動子 11 の振動の質を示す Q 値などによって決定されることになる。

【 0 1 1 3 】

本実施例では、まず、フォトリソグラフィー技術を用いて、図 28 に示すような “コ” の字型の形状のレジスト膜パターンを熱酸化膜 2A 上に形成した後、熱酸化膜 2A をイオンエッチングで除去する。熱酸化膜 2A を除去するには、湿式エッチングでも可能であるが、サイドエッチングが発生することによる寸法誤差を考慮するとイオンエッチングが好適である。

【 0 1 1 4 】

続いて、熱酸化膜 2A が除去された “コ” の字型の単結晶シリコン基板 1 を、反応性イオンエッチング (R I E : Reactive Ion Etching) にてエッチングして貫通させることで周囲空間 12 を形成する。

【 0 1 1 5 】

本実施例では、誘導結合型プラズマ (I C P : Inductively Coupled Plasma) を備えたエッチング装置を用いて、エッチング工程と、エッチングした個所に側壁保護のための側壁保護膜を成膜する工程とを繰り返す B o s c h プロセス (B o s c h 社) にて、垂直な側壁面を有する振動子 11 を形成した。

10

20

30

40

50

【 0 1 1 6 】

この B o s c h プロセスを用いることで、I C P により高密度なプラズマを生成し、エッチングのための S F 6 と、側壁保護のための C 4 F 8 のガスを交互に導入することで、毎分 1 0 μ m 程の速度でエッチングしながら、垂直な側壁面を有する振動子 1 1 を形成することができる。

【 0 1 1 7 】

以上のプロセスにより、振動型ジャイロセンサ素子 1 0 の形成に関する、圧電素子形成、形状形成、配線形成の主要工程が終了し、例えば、図 3 1 に示すように、単結晶シリコン基板 1 内に、振動型ジャイロセンサ素子 1 0 が複数個、ここでは、5 × 3 個、形成されることになる。

10

【 0 1 1 8 】

1 枚の単結晶シリコン基板 1 内に形成される振動型ジャイロセンサ素子 1 0 の数は、図 3 1 に示すように 5 × 3 個に限らず、設計する振動型ジャイロセンサ素子 1 0 の大きさ、及び形成する際のそれぞれのピッチにより決定されることになる。

【 0 1 1 9 】

次の工程では、このように単結晶シリコン基板 1 に形成された複数の振動型ジャイロセンサ素子 1 0 を、切断し単一の素子とする。単結晶シリコン基板 1 から、振動型ジャイロセンサ素子 1 0 を分断する際の手法や、寸法は、特に決められたものではなく、分断後の形状も任意である。

【 0 1 2 0 】

20

本実施例においては、図 3 2 に示す素子分断線 2 0 をなぞるように、ダイヤモンドカッターで分断傷を付けた後、手で直接、単結晶シリコン基板 1 を折り、振動型ジャイロセンサ素子 1 0 を取り出した。なお、単結晶シリコン基板 1 を分断する手法も任意の手法が適用可能であり、例えば、砥石による研削や単結晶シリコン基板 1 の面方位を利用して切断する手法などでもよい。

【 0 1 2 1 】

続いて、図 3 3 に示すように、個々に分断した振動型ジャイロセンサ素子 1 0 を、I C 基板 2 1 に貼り付ける。振動型ジャイロセンサ素子 1 0 と、I C 基板 2 1 との貼り付け手法は任意であるが、本実施例では、嫌気性接着剤を用いて貼り付けた。

【 0 1 2 2 】

30

I C 基板 2 1 に、振動型ジャイロセンサ素子 1 0 を貼り付けた後、電氣的な接続を行う。I C 基板 2 1 上には、冒頭の図 2 を用いて説明した I C 回路 4 0 が搭載されている。また、I C 基板 2 1 には、図 2 で示した A G C 4 4 の端部と接続された基板端子 2 2 a、同期検波回路 4 5 に接続された基板端子 2 2 b、2 2 c、図示しない基準電極と接続された基板端子 2 2 d が形成されている。

【 0 1 2 3 】

本実施例では、振動型ジャイロセンサ素子 1 0 の配線接続端子 A、B、C、D と、I C 基板 2 1 内の基板端子 2 2 a、2 2 b、2 2 c、2 2 d とをそれぞれワイヤーボンディングによる結線方法を用いて電氣的接続を行った。この結線方法に関しても任意であり、半導体で用いられる導電性バンプを形成する手法も利用可能である。

40

【 0 1 2 4 】

次に、図 3 4 に示すように、振動型ジャイロセンサ素子 1 0 及び I C 基板 2 1 上の回路と、外部との接触をなくするためカバー材 3 0 を取り付け、保護をする。カバー材 3 0 の材料は、任意であるが外部のノイズの影響を考慮して S U S など、シールド効果のあるものが望ましい。また、カバー材 3 0 は、振動子 1 1 の振動を妨げない形状とする必要がある。このようにして、角速度センサ 5 0 が形成されることになる。

【 0 1 2 5 】

このように角速度センサ 5 0 を構成する振動型ジャイロセンサ素子 1 0 が備える振動子 1 1 の駆動電極 6 a に、電圧を印加して所定の共振周波数で振動させた場合、振動子 1 1 は、振動子 1 1 の厚み方向である縦方向に縦共振周波数で共振すると共に、振動子 1 1 の

50

幅方向である横方向に横共振周波数で共振することになる。

【0126】

上述したように振動型ジャイロセンサ素子10は、振動子11の保護や、外部装置への組み込み時の取り扱いを容易にするため、図34に示すように、IC基板21上に貼り付けられ、カバー材30で覆われて、パッケージングされることになる。このとき、カバー材30は、振動子11の振動を妨げない形状とするのが前提となっている。

【0127】

具体的には、振動子11が、縦共振周波数で自励振動している際のQ値を測定したときに、所望のQ値が得られるように、当該振動子11の周囲に適切な空間領域を確保する必要がある。このように、振動子11の周囲空間に適切な空間領域が確保されれば、振動子11の振動が妨げられず、且つ、安定した振動状態となるため、振動型ジャイロセンサ素子10は、パッケージングが施されたとしても高い感度を維持することができる。

10

【0128】

続いて、図35、36を用いて、振動子11の周囲の空間について説明をする。図35は、図28に示す振動型ジャイロセンサ素子10をXX線で切断した際の、振動子11のみを示した断面図であり、図36は、図28に示す振動型ジャイロセンサ素子10の振動子11のみを示した平面図である。

【0129】

振動型ジャイロセンサ素子10が備える振動子11のように片持ち梁形状の振動子の場合、その周囲空間は、図35に示すような駆動電極6a、検出電極6b、6cが形成された振動子11の上面11aを含む平面上に広がる空間である第1の空間S1と、上面11aと対向する面である下面11bを含む平面上に広がる空間である第2の空間S2と、図36に示すように、反応性イオンエッチング(RIE: Reactive Ion Etching)によって形成された、振動子11の側壁面である側壁面11c、11d、11eをそれぞれ含む各平面上に広がる空間からなる第3の空間S3とに大別される。

20

【0130】

この振動子11の周囲空間である第1の空間S1、第2の空間S2、第3の空間S3は、上述したように、振動子11を備える振動型ジャイロセンサ10が、例えば、IC基板21上に貼り付けられ、カバー材30で覆われてパッケージングされるため、その空間サイズに制限が設けられることになる。

30

【0131】

図37、38に、図34に示す振動型ジャイロセンサ素子10をXX線で切断した断面図を示す。図37は、振動子11の基準電極4a、駆動電極6a間に電圧を印加して振動子11を自励振動させた際に、振動子11が、上面11a方向に最大変位量 d_{max} だけ振れた様子を示した断面図であり、図38は、同じく振動子11を自励振動させた際に、振動子11が、下面11b方向に最大変位量 d_{max} だけ振れた様子を示した断面図である。なお、図37、38において、一点鎖線で示した個所は、振動子11が振動していない状態、もしくは、振動している振動子11の変位量がゼロであるときの状態を示している。

【0132】

40

図37に示す振動型ジャイロセンサ素子10において、第1の空間S1は、カバー材30の内壁面30aと、振動子11が振動していない状態での上面11aとの間隔である上部空間幅 t_{7d} で空間サイズが規定される。また、図38に示すように、第2の空間S2は、振動型ジャイロセンサ素子10を貼り付けるIC基板21の基板表面21aと、振動子11が振動していない状態での下面11bとの間隔である下部空間幅 t_{7e} で空間サイズが規定される。さらに、第3の空間S3は、図39に示すように、上述した反応性エッチングによって形成される周囲空間12、具体的には、空間幅 t_{7a} 、 t_{7b} 、 t_{7c} によって空間サイズが規定されることになる。

【0133】

続いて、図34に示すようにIC基板21上に貼り付け、カバー材30で覆うことでパ

50

パッケージングした振動型ジャイロセンサ素子 10 の第 1 の空間 S 1、第 2 の空間 S 2、第 3 の空間 S 3 をそれぞれ変化させ、機械的品質係数 (Mechanical quality factor) である Q 値を測定し、この測定結果から最適な空間サイズを規定する。

【0134】

まず、図 40 に、第 1 の空間 S 1 を変化させた場合の振動型ジャイロセンサ素子 10 の Q 値を示す。第 1 の空間 S 1 は、上述したように、図 37 で示した上部空間幅 t 7 d で規定される。

【0135】

図 40 に示す測定結果は、上部空間幅 t 7 d を 0 から適当な間隔で増加させることで第 1 の空間 S 1 を変化させ、そのときの Q 値を示している。

10

【0136】

図 40 の横軸では、上部空間幅 t 7 d を、振動子 11 を自励振動させた際の最大変位量 d max を 1 としたときの相対値で示している。また、図 40 の縦軸では、上述したようにパッケージングされ、第 1 の空間 S 1 を変化させた振動型ジャイロセンサ素子 10 の Q 値を、何のパッケージングもされておらず、振動子 11 の周囲空間が開放された状態の振動型ジャイロセンサ素子 10 の Q 値を 1 としたときの相対値で示している。

【0137】

図 40 に示すように、横軸に示した相対値がおよそ 2、つまり、上部空間幅 t 7 d が、振動子 11 の最大変位量 d max の 2 倍程度となっているとき、Q 値が 1 近傍をとっている。また横軸の相対値がおよそ 2.5 のとき、つまり、上部空間幅 t 7 d が、振動子 11 の最大変位量 d max の 2.5 倍以上となっているとき、Q 値が 1 に飽和している。

20

【0138】

この図 40 に示す測定結果は、第 1 の空間 S 1 を規定する上部空間幅 t 7 d が、振動子 11 を自励振動させた際の最大変位量 d max の 2 倍以上となるようにカバー材 30 を取り付けた場合に、振動子 11 の共振特性の劣化を大幅に抑制することができることを示している。さらに、図 40 に示す測定結果は、上部空間幅 t 7 d が、最大変位量 d max の 2.5 倍以上となるようにカバー材 30 を取り付けた場合に、振動子 11 の共振特性を最適にすることができることを示している。

【0139】

また、第 2 の空間 S 2 に関しては測定結果を示さないが、Q 値の測定結果は、図 40 に示す測定結果と同程度となる。したがって、上述した第 1 の空間 S 1 と同様に、第 2 の空間 S 2 を規定する図 38 で示した下部空間幅 t 7 e が、振動子 11 を自励振動させた際の最大変位量 d max の 2 倍以上となるように IC 基板 21 に貼り付けた場合に、振動子 11 の共振特性の劣化を大幅に抑制することができる。また、下部空間幅 t 7 e が、最大変位量 d max の 2.5 倍以上となるように IC 基板 21 に貼り付けた場合に、振動子 11 の共振特性を最適にすることができる。

30

【0140】

続いて、図 41 に、第 3 の空間 S 3 を変化させた場合の振動型ジャイロセンサ素子 10 の Q 値を示す。第 3 の空間 S 3 は、上述したように、図 39 で示した空間幅 t 7 a, t 7 b, t 7 c で規定される。

40

【0141】

図 41 に示す測定結果は、空間幅 t 7 a, t 7 b, t 7 c を 0 から適当な間隔で増加させることで第 3 の空間 S 3 を変化させ、そのときの Q 値を示している。なお、ここでは、空間幅 t 7 a, t 7 b, t 7 c は、全て同じ値にしている。

【0142】

図 41 の横軸では、空間幅 t 7 a, t 7 b, t 7 c を、振動子 11 の幅 t 6 を 1 としたときの相対値で示している。また、図 41 の縦軸では、上述したようにパッケージングされ、第 3 の空間 S 3 を変化させた振動型ジャイロセンサ素子 10 の Q 値を、何のパッケージングもされておらず、振動子 11 の周囲空間が開放された状態の振動型ジャイロセンサ素子 10 の Q 値を 1 としたときの相対値で示している。

50

【0143】

図41に示すように、横軸に示した相対値がおよそ0.5、つまり、空間幅 t_{7a} 、 t_{7b} 、 t_{7c} が、振動子11の幅 t_6 の1/2倍程度となっているとき、Q値が1近傍をとっている。また横軸の相対値がおよそ2のとき、つまり、空間幅 t_{7a} 、 t_{7b} 、 t_{7c} が、振動子11の幅 t_6 の2倍以上となっているとき、Q値が1に飽和している。

【0144】

この図41に示す測定結果は、第3の空間S3を規定する空間幅 t_{7a} 、 t_{7b} 、 t_{7c} が、振動子11の幅 t_6 の1/2倍以上となるような周囲空間12を反応性イオンエッチングによって形成することで、振動子11の共振特性の劣化を大幅に抑制することができることを示している。さらに、図41に示す測定結果は、空間幅 t_{7a} 、 t_{7b} 、 t_{7c} が、振動子11の幅 t_6 の2倍以上となるような周囲空間12を反応性イオンエッチングによって形成することで、振動子11の共振特性を最適にすることができることを示している。

10

【0145】

上述した図40、41に示すQ値の測定結果は、常温にて振動型ジャイロセンサ10をパッケージングした場合の結果であるが、本発明は、これに限定されるものではない。例えば、大気中、80%の環境下で振動型ジャイロセンサ素子10をパッケージングし、室温に戻した場合でも、図40、41に示したQ値の測定結果と同様の結果となる。したがって、振動子11の周囲の空間に気圧の変動があった場合、例えば、大気中でパッケージングされた振動型ジャイロセンサ素子10の振動子11の周囲の空間が、パッケージング後、大気圧となっていなくても有効となる。

20

【0146】

なお、実施例においては、上述した手法によって形成した振動型ジャイロセンサ素子10を一例として示し、第1の空間S1を上部空間幅 t_{7d} 、第2の空間S2を下部空間幅 t_{7e} 、第3の空間S3を空間幅 t_{7a} 、 t_{7b} 、 t_{7c} で規定しているが、本発明は、これに限定されるものではなく、単結晶シリコン基板上に薄膜形成プロセスによって形成された下部電極、圧電薄膜、上部電極を有する片持ち梁形状の振動子を備え、圧電薄膜の圧電効果を利用して角速度を検出する振動型ジャイロセンサ素子に対して広く適用することができる。

【0147】

30

例えば、本実施例では、図39に示すように、単結晶シリコン基板1に対して、結晶異方性エッチング、反応性イオンエッチングをすることで振動子11を形成しているため、必然的に振動子11の側壁面11c、11d、11eの近傍に単結晶シリコン基板1による外枠が残る形状となる。

【0148】

しかしながら、本発明は、本実施例のように単結晶シリコン基板1による外枠が形成された振動型ジャイロセンサ素子10以外の振動型ジャイロセンサ素子に対しても、振動子11の側壁面11c、11d、11e、振動子11の上面11a、下面11bからのそれぞれの距離を上述したように確保することで、振動子11の共振特性を良好にする第1の空間S1、第2の空間S2、第3の空間S3を規定することができる。

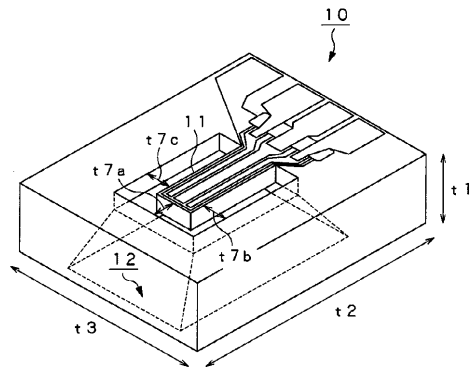
40

【符号の説明】

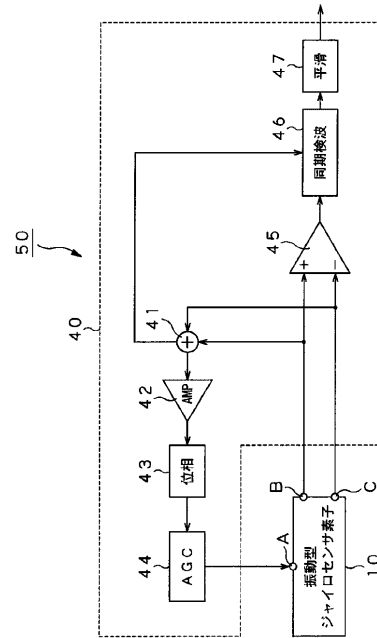
【0149】

1 単結晶シリコン基板、4a 基準電極、5a 圧電体、6a 駆動電極、6b、6c 検出電極、10 振動型ジャイロセンサ素子、11 振動子、11a、11b、11c 側壁面、11d 上面、11e 下面、12、周囲空間、21 IC基板、30 カバー材、R 根元ライン、S1 第1の空間、S2 第2の空間、S3 第3の空間

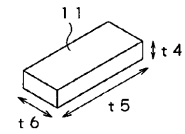
【図 1】



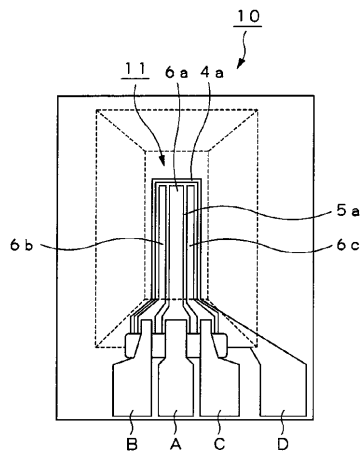
【図 2】



【図 3】

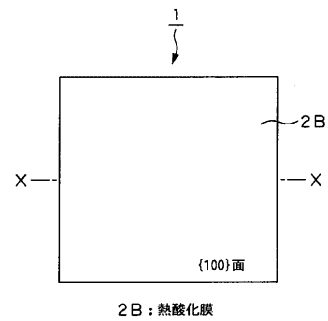


【図 4】

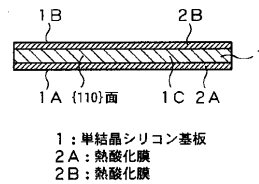


- 4a: 基準電極
 5a: 圧電体
 6a: 駆動電極
 6b, 6c: 検出電極
 10: 振動型ジャイロセンサ素子
 11: 振動子
 A, B, C, D: 配線接続端子

【図 5】

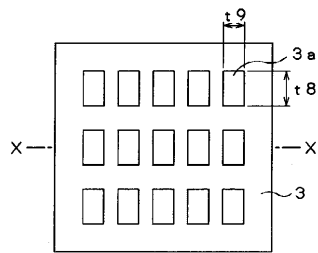


【図 6】



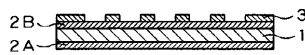
- 1: 単結晶シリコン基板
 2A: 熱酸化膜
 2B: 熱酸化膜

【図 7】



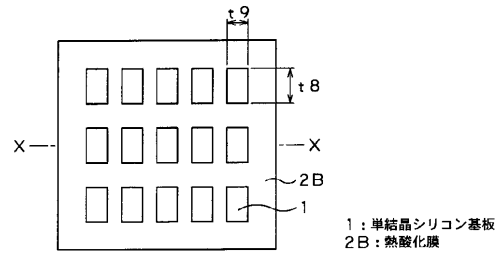
3:レジスト膜パターン

【図 8】



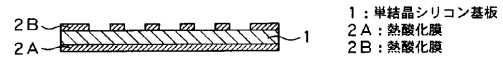
1:単結晶シリコン基板
2A:熱酸化膜
2B:熱酸化膜
3:レジスト膜パターン

【図 9】



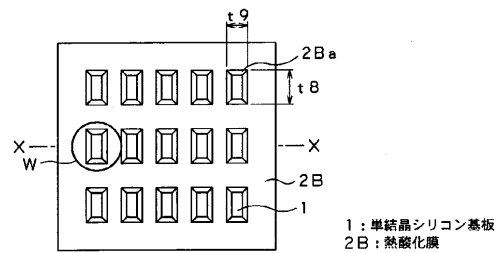
1:単結晶シリコン基板
2B:熱酸化膜

【図 10】



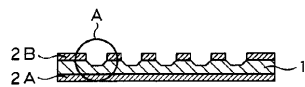
1:単結晶シリコン基板
2A:熱酸化膜
2B:熱酸化膜

【図 11】



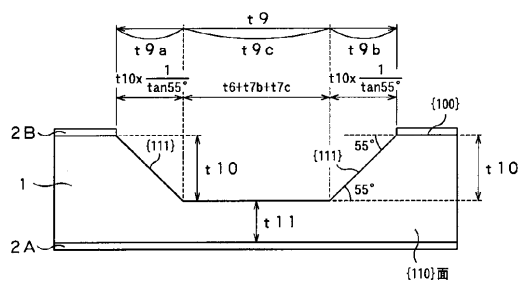
1:単結晶シリコン基板
2B:熱酸化膜

【図 12】

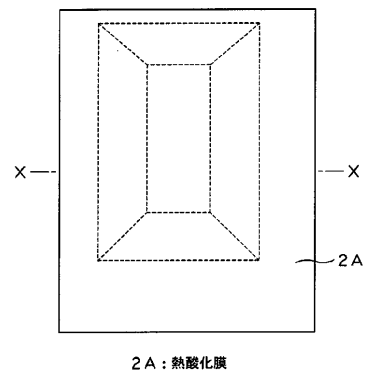


1:単結晶シリコン基板
2A:熱酸化膜
2B:熱酸化膜

【図 13】



【図 14】



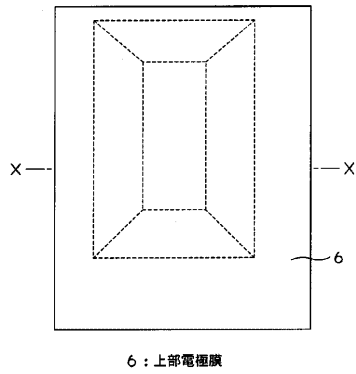
2A:熱酸化膜

【図 15】

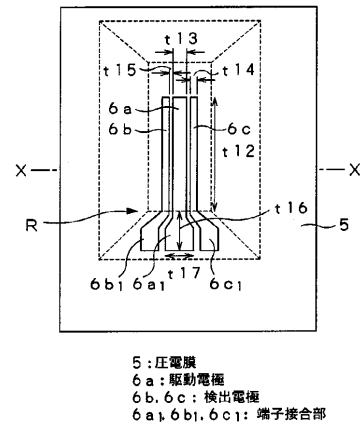


1:単結晶シリコン基板
2A:熱酸化膜
2B:熱酸化膜

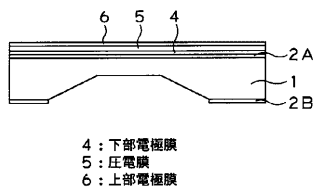
【図 16】



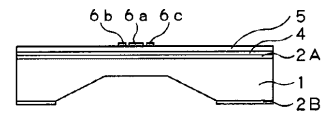
【図 18】



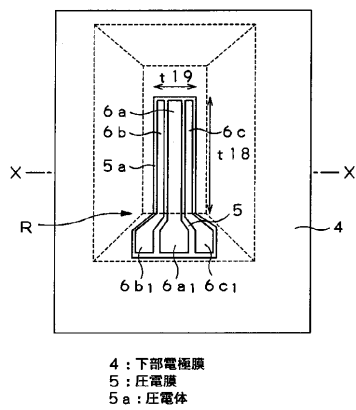
【図 17】



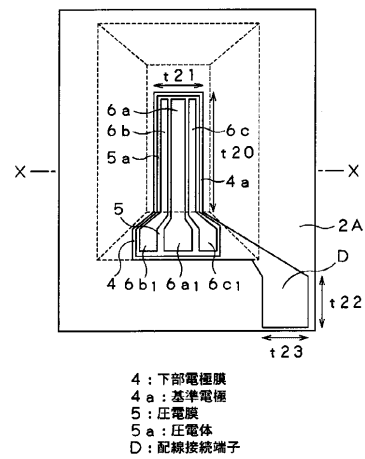
【図 19】



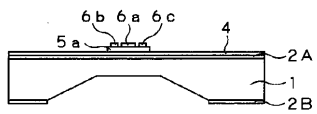
【図 20】



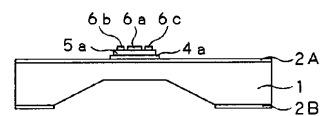
【図 22】



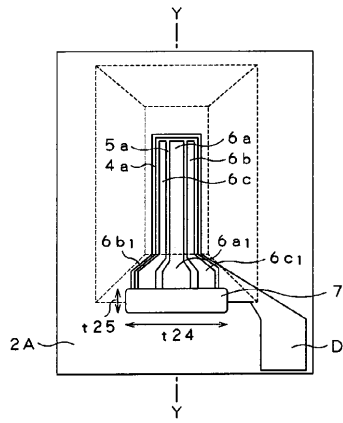
【図 21】



【図 23】

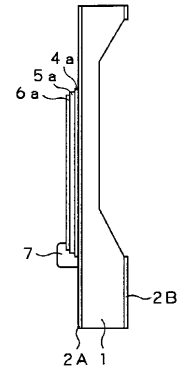


【図 24】

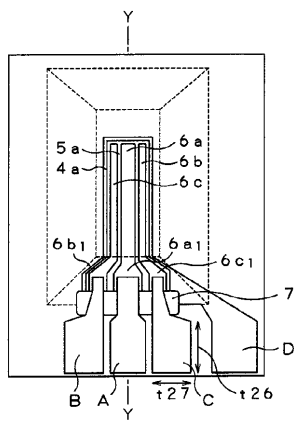


7 : 平坦化レジスト膜

【図 25】

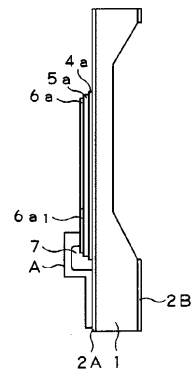


【図 26】

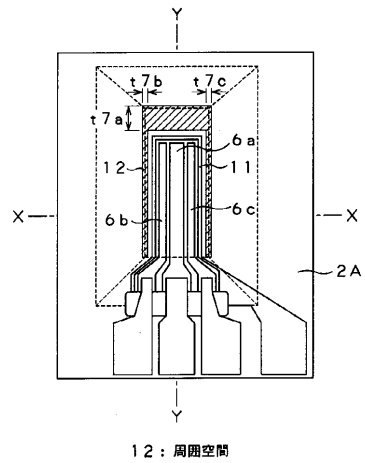


A, B, C : 配線接続端子

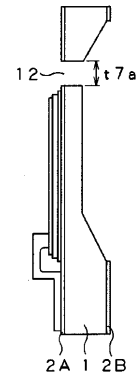
【図 27】



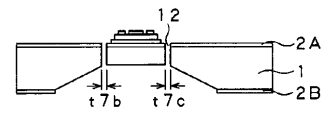
【図 28】



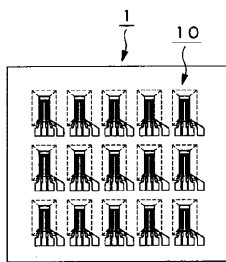
【図 29】



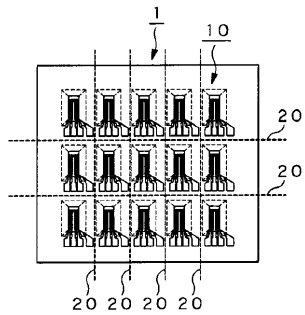
【図 30】



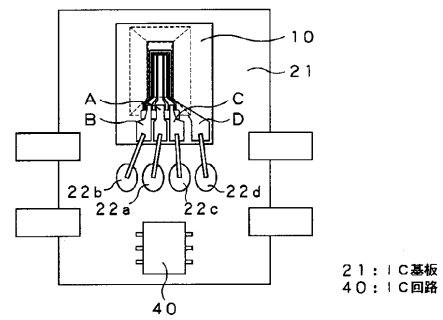
【図 31】



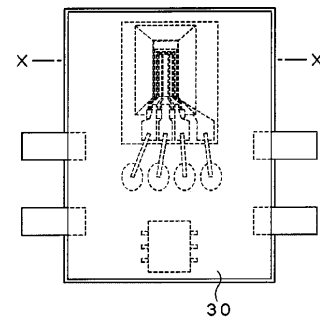
【図 32】



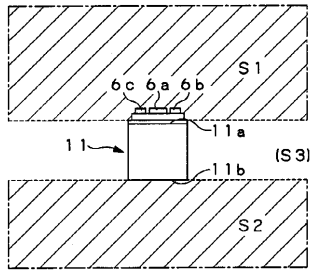
【図 33】



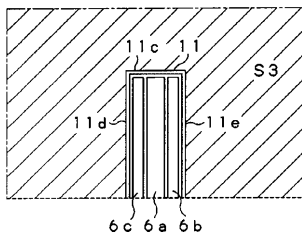
【図 34】



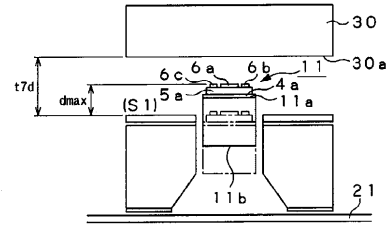
【図 35】



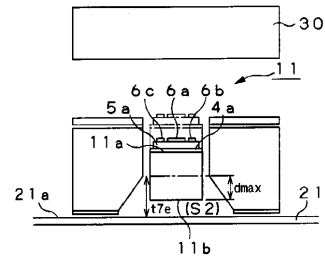
【図 36】



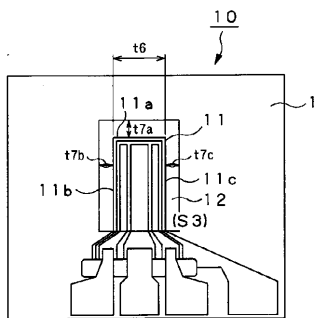
【図 37】



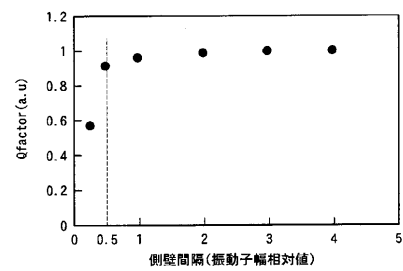
【図 38】



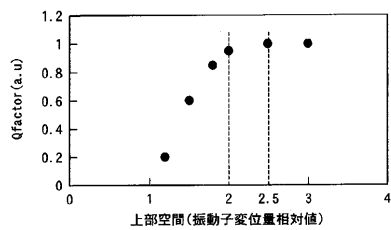
【図 39】



【図 41】



【図 40】



フロントページの続き

(72)発明者 高橋 和夫
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 田村 孝
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 本多 順一
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 稲熊 輝往
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 2F105 AA02 AA08 BB02 BB04 BB13 BB15 CC06 CD02 CD06 CD11
CD13