

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)



(10) 国际公布号
WO 2022/012269 A1

(51) 国际专利分类号:
GI1C 17/18 (2006.01) *H01L 27/112* (2006.01)

(21) 国际申请号: PCT/CN2021/100976

(22) 国际申请日: 2021 年 6 月 18 日 (18.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010687642.9 2020 年 7 月 16 日 (16.07.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 季汝敏 (JI, Rumin); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL

PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路 5 号 B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: ANTIFUSE MEMORY CELL STATE DETECTION CIRCUIT AND MEMORY

(54) 发明名称: 反熔丝存储单元状态检测电路及存储器

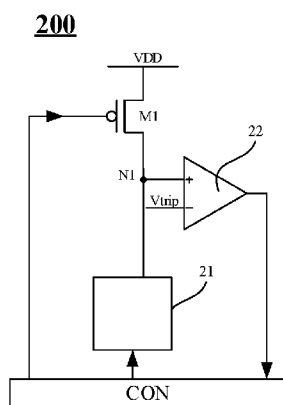


图 2

(57) Abstract: An antifuse memory cell state detection circuit and a memory using same are provided. The antifuse memory cell state detection circuit comprises: a first switch element, having a first end connected to a power supply, a second end connected to a first node, and a control end connected to a controller; an antifuse memory cell array, comprising a plurality of antifuse memory cell subarrays, bit lines of the plurality of antifuse memory cell subarrays being connected to the first node, and word lines of the plurality of antifuse memory cell subarrays being connected to the controller; and a comparator, having a first input end connected to the first node and a second input end connected to a reference voltage. Each antifuse memory cell subarray comprises a plurality of antifuse memory cells, and the controller detects the states of the plurality of antifuse memory cells one by one by controlling on and off of the first switch element. The accuracy of detection of the storage state of the antifuse memory cell can be improved.

(57) 摘要: 提供一种反熔丝存储单元状态检测电路及应用该电路的存储器, 包括: 第一开关元件, 第一端连接于电源, 第二端连接于第一节点, 控制端连接于控制器; 反熔丝存储单元阵列, 包括多个反熔丝存储单元子阵列, 多个反熔丝存储单元子阵列的位线均连接于第一节点, 多个反熔丝存储单元子阵列的字线均连接于控制器; 比较器, 第一输入端连接于第一节点, 第二输入端连接参考电压; 其中, 反熔丝存储单元子阵列包括多个反熔丝存储单元, 控制器通过控制第一开关元件的打开和关断以逐一检测多个反熔丝存储单元的状态。可以提高反熔丝存储单元存储状态检测的准确度。

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

反熔丝存储单元状态检测电路及存储器

交叉引用

本公开要求于 2020 年 07 月 16 日提交的申请号为 202010687642.9、名称为“反熔丝存储单元状态检测电路及存储器”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及集成电路技术领域，示例性而言，涉及一种反熔丝存储单元状态检测电路及应用该电路的存储器。

背景技术

现有技术往往通过简单的逻辑门电路对反熔丝存储单元的存储状态进行检测。参见图 1，以字线连接 FsBlin3 信号的反熔丝存储单元 11 为例：如果在编程的时候对该反熔丝存储单元进行烧录，该反熔丝存储单元由未存储状态转变为存储状态，通路电阻降低到较小值（几十千欧姆到几百千欧姆），则当该反熔丝存储单元被选中时，通路电流流经存储状态下的等效电阻，在节点 Node1 上产生较低的电压，使逻辑门 12 输出信号 D_out 为高电平；反之，如果在编程的时候没有对该反熔丝存储单元进行烧录，该反熔丝存储单元在通路中的等效电阻会比较大（几兆欧姆到几百兆欧姆），那么固定电路在该通路上产生的压降将超过逻辑门 12 的翻转点，使得逻辑门 12 的输出信号 D_out 为低电平。

在实际生产中，反熔丝存储单元在未存储状态下的电阻通常会在一个较宽的范围内波动，工艺、电压、温度等因素发生变化也会使得逻辑门电路的翻转点在较宽的范围内变化，这些因素都可能会导致对反熔丝存储单元的存储状态检测发生错误，例如将烧录过的反熔丝存储单元误判为未烧录反熔丝存储单元，或者将未烧录反熔丝存储单元误判为已烧录反熔丝存储单元，造成良率下降。

需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

本公开的目的在于提供一种反熔丝存储单元状态检测电路及应用该电路的存储器，用于至少在一定程度上克服由于相关技术的限制和缺陷而导致的反熔丝存储单元的存储状态检测结果不准确的问题。

根据本公开的一个方面，提供一种反熔丝存储单元状态检测电路，包括：第一开关元件，第一端连接于电源，第二端连接于第一节点，控制端连接于控制器；反熔丝存储单元阵列，包括多个反熔丝存储单元子阵列，所述多个反熔丝存储单元子阵列的位线均连接于

所述第一节点，所述多个反熔丝存储单元子阵列的字线均连接于所述控制器；比较器，第一输入端连接于所述第一节点，第二输入端连接参考电压；其中，所述反熔丝存储单元子阵列包括多个反熔丝存储单元，所述控制器通过控制所述第一开关元件的打开和关断以逐一检测所述多个反熔丝存储单元的状态。

- 5 应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不能限制本公开。

附图说明

10 此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是现有技术中反熔丝存储单元状态检测电路的示意图。

图 2 是本公开示例性实施例中反熔丝存储单元状态检测电路的结构示意图。

- 15 图 3 是应用于图 2 所示电路的控制器 CON 的检测方法的流程图。

图 4 是图 2 所示电路的等效电路示意图。

图 5 是本公开实施例确定第三时间点的方式的示意图。

图 6 是第一电压变化曲线和第二电压变化曲线的示意图。

图 7 是本公开另一个实施例中反熔丝存储单元状态检测电路的结构示意图。

- 20 图 8 是本公开再一个实施例中反熔丝存储单元状态检测电路的结构示意图。

图 9 本公开实施例中反熔丝存储单元的示意图。

图 10 是本公开再一个实施例中反熔丝存储单元状态检测电路的结构示意图。

图 11 是图 10 所示电路对应的检测方法的流程图。

图 12 是本公开一个实施例中比较器的示意图。

25

具体实施方式

现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的范例；相反，提供这些实施方式使得本公开将更加全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施方式中。在下面的描述中，提供许多具体细节从而给出对本公开的实施方式的充分理解。然而，本领域技术人员将意识到，可以实践本公开的技术方案而省略所述特定细节中的一个或更多，或者可以采用其它的方法、组元、装置、步骤等。在其它情况下，不详细示出或描述公知技术方案以避免喧宾夺主而使得本公开的各方面变得模糊。

- 35 此外，附图仅为本公开的示意性图解，图中相同的附图标记表示相同或类似的部分，

因而将省略对它们的重复描述。附图中所示的一些方框图是功能实体，不一定必须与物理或逻辑上独立的实体相对应。可以采用软件形式来实现这些功能实体，或在一个或多个硬件模块或集成电路中实现这些功能实体，或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

5 下面结合附图对本公开示例实施方式进行详细说明。

图 2 是本公开示例性实施例中反熔丝存储单元状态检测电路的结构示意图。

参考图 2，反熔丝存储单元状态检测电路 200 可以包括：

第一开关元件 M1，第一端连接于电源 VDD，第二端连接于第一节点 N1，控制端连接于控制器 CON；

10 反熔丝存储单元阵列 21，包括多个反熔丝存储单元子阵列，多个反熔丝存储单元子阵列的位线均连接于第一节点 N1，多个反熔丝存储单元子阵列的字线均连接于控制器 CON；

比较器 22，第一输入端连接于第一节点 N1，第二输入端连接参考电压 Vtrip。

其中，所述反熔丝存储单元子阵列包括多个反熔丝存储单元，控制器 CON 通过控制
15 第一开关元件 M1 的打开和关断以逐一检测多个反熔丝存储单元的状态。图 2 所示的反熔丝存储单元阵列 21 和反熔丝存储单元子阵列的结构请参见图 9，图 9 中示意出 3 个反熔丝存储单元子阵列，对应 3 条位线，每个反熔丝存储单元子阵列包括多个反熔丝单元 91，每个反熔丝单元 91 包括一个第二开关元件 M2 和一个反熔丝元件 F。

控制器 CON 不仅包括对反熔丝存储单元中第二开关元件 M2 的控制逻辑电路，也包
20 括对比较器 22 输出结果的进一步处理的处理逻辑电路。例如，在图 9 中，控制逻辑电路会使得 Xadd_00 到 Xadd_nn 逐一有效，从而逐一检测反熔丝元件 F_00 到 F_nn 的状态，而处理逻辑电路则会利用 F_00 到 F_nn 的状态去做冗余替换等操作。

图 3 是应用于图 2 所示电路的控制器 CON 的检测方法的流程图。

参考图 3，控制器 CON 可以设置为执行检测方法 300，检测方法 300 可以包括：

25 步骤 S1，在第一时间点输出第一控制信号以打开第一开关元件；

步骤 S2，在第二时间点输出第二控制信号以关断第一开关元件，并输出第三控制信号以打开多个反熔丝存储单元的一个；

步骤 S3，在第三时间点获取比较器的输出信号；

其中，第三时间点在第二时间点之后，第二时间点在第一时间点之后。

30 当第一开关元件为 P 型晶体管时，第一控制信号为低电平，第二控制信号为高电平；当第一开关元件为 N 型晶体管时，第一控制信号为高电平，第二控制信号为低电平。当第一开关元件为其他类型的元件时，第一控制信号和第二控制信号也可以为其他类型的信号，本公开对此不作特殊限制。

图 4 是图 2 所示电路的等效电路示意图。下面将结合图 2~图 4 对图 3 所述控制方法进行说明。
35

参考图 4，在本公开实施例中，通过预充电方式并采用比较器对存储单元的状态进行检测。

在一个实施例中，可以利用第一节点 N1 存在的寄生电容 C1 来检测第一节点 N1 的电压。

5 在第一时间点通过第一控制信号控制第一开关元件导通后，电源 VDD 通过第一开关元件 M1 到达第一节点 N1，受寄生电容 C1 的影响，第一节点 N1 的电压维持在电源 VDD，此过程可以看作是对寄生电容 C1 的预充电。

在第二时间点通过第二控制信号控制第一开关元件关断、通过第三控制信号控制待测反熔丝存储单元对应的字线选中待测反熔丝存储单元后，第一节点 N1 的电压通过待测反熔丝存储单元的电阻进行放电，放电的速率与待测反熔丝存储单元的电阻的阻值成反比。即，如果待测反熔丝存储单元处于被击穿状态，电阻较低，放电速率较大；如果测反熔丝存储单元处于未被击穿状态，电阻较高，放电速率较小。

可以理解的是，第二控制信号既可以在第三控制信号之前，也可以与第三控制信号同时，以防止在通路放电时电源 VDD 通过导通状态的第一开关元件 M1 继续对第一节点 N1 充电。

获取比较器 22 的输出信号的方法既可以为在第三时间点读取比较器 22 的输出信号，也可以为通过比较器 22 的使能引脚控制比较器 22 在第一开关元件 M1 打开时处于未使能状态，在第三时间点转变为使能状态，输出第一节点 N1 的电压和参考电压 Vtrip 的比较结果。

20 使用比较器 22 和参考电压 Vtrip 在第三时间点对第一节点 N1 的电压进行检测，即可得到待测反熔丝存储单元的存储状态。在合适的时间点采用合适的参考电压和比较器进行检测，可以使比较器的翻转点得到精确控制，防止电阻偏移或者逻辑门自身翻转点偏移导致的存储状态检测错误。因此，本公开实施例中，对第三时间点的选择和对参考电压 Vtrip 的电压值的设置是实现精确检测的重要手段。

25 图 5 是本公开实施例确定第三时间点的方式的示意图。

参考图 5，在本公开的一种示例性实施例中，第三时间点可以根据以下方式确定：

步骤 S51，获取反熔丝存储单元被击穿后的最大电阻和未被击穿的最小电阻；

步骤 S52，根据电源、最大电阻和最小电阻确定第一节点的第一电压变化曲线和第二电压变化曲线；

30 步骤 S53，将第一电压变化曲线与第二电压变化曲线的差值最大的时间点作为第三时间点。

在本公开实施例中，第二时间点 T2 与第一时间点 T1 的差值与寄生电容 C1 的容值相关。寄生电容 C1 的容值越大，第一节点 N1 的电压达到 VDD 的时间越长，T2 与 T1 的差值越大；寄生电容 C1 的容值越小，第一节点 N1 的电压达到 VDD 的时间越短，T2 与 T1 的差值越小。当 T2 与 T1 的差值极小时，可以忽略不计，认为 T2 与 T1 相等。

第三时间点 T3 与第二时间点 T2 的差值与第一电压变化曲线和第二电压变化曲线的差值相关。

图 6 是第一电压变化曲线和第二电压变化曲线的示意图。

5 设反熔丝存储单元未被击穿的最小电阻为 R1，在被击穿后的最大电阻为 R2，R1 可以通过检测多个反熔丝存储单元未被击穿时的电阻得出，R2 可以通过检测多个反熔丝存储单元被击穿后的电阻得出。上述 R1 和 R2 都是统计结果，当反熔丝存储单元在研发和生产过程中，会对 R1 和 R2 进行统计分析，以此确定 R1 和 R2 的具体值。

参考图 6，在通路电阻包括 R1 时，随时间 t 的变化第一节点 N1 的电压 $V1(t)$ 从第二时间点 T2 开始由 VDD 下降的第一电压变化曲线为：

$$10 \quad V1(t) = VDD * e^{\frac{-t}{R1C1}} \quad (1)$$

在通路电阻包括 R2 时，随时间 t 的变化第一节点 N1 的电压 $V2(t)$ 从第二时间点 T2 开始由 VDD 下降的第二电压变化曲线为：

$$V2(t) = VDD * e^{\frac{-t}{R2C1}} \quad (2)$$

则第一电压变化曲线和第二电压变化曲线的差值为：

$$15 \quad \Delta V(t) = V1(t) - V2(t) = VDD * (e^{\frac{-t}{R1C1}} - e^{\frac{-t}{R2C1}}) \quad (3)$$

由图 6 可知， $\Delta V(t)$ 随着时间 t 的变化先变大后变小。为了确定 $\Delta V(t)$ 的最大值，令：

$$\frac{d\Delta V(t)}{dt} = 0 \quad (4)$$

即可得到第一电压变化曲线和第二电压变化曲线的差值 $\Delta V(t)$ 最大的时间点 T3。从图 6 可以看出，在 R1、R2、VDD、T2 确定的情况下，T3 与 T2 的差值确定。

20 在本公开的一种示例性实施例中，还可以根据图 6 所示曲线确定参考电压 V_{trip} 。可以首先确定第一电压变化曲线 $V1(t)$ 在第三时间点 T3 的第一电压值 $V1(T3)$ 和第二电压变化曲线 $V2(t)$ 在第三时间点 T3 的第二电压值 $V2(T3)$ ；然后将第一电压值 $V1(T3)$ 和第二电压值 $V2(T3)$ 的平均值设置为参考电压 V_{trip} ，即：

$$V_{trip} = \frac{V1(T3) + V2(T3)}{2} \quad (5)$$

25 通过以上方式确定检测比较器输出信号的第三时间点 T3 和用于控制比较器翻转点的参考电压 V_{trip} ，可以在检测比较器输出信号时获得更加准确的检测结果，有效提高检测精度。

图 7 是本公开另一个实施例中反熔丝存储单元状态检测电路的结构示意图。

30 参考图 7，为了减小第一节点 N1 的寄生电容偏差造成的放电曲线随机偏差，可以对第一节点 N1 添加一个额外的电容 C2。即，检测电路 200 还可以包括：

检测电容 C2，检测电容 C2 的第一端连接于第一节点 N1，第二端接地。

检测电容 C2 的作用与寄生电容 C1 相同，均是为了检测第一节点 N1 的电压。在检测电容 C2 的容值与寄生电容 C1 的容值相差较大时，可以将第一节点 N1 连接的等效电容看作是检测电容 C2，此时公式 (1) ~ (5) 涉及的 C1 可以替换为 C2。

图 8 是本公开再一个实施例中反熔丝存储单元状态检测电路的结构示意图。

5 参考图 8，在本公开的其他实施例中，检测电路 200 还可以包括：

触发器 23，触发器 23 的输入端连接于比较器 22 的输出端，触发器 23 的第一输出端和第二输出端均连接于控制器 CON。

触发器 23 例如可以为 D 触发器，用于对比较器 22 的输出信号进行锁存，以方便控制器 CON 读取。本领域技术人员可以自行设置触发器 23 的型号，本公开不以此为限。

10 可以理解的是，检测电容 C2 或触发器 23 的设置不影响图 3 所示控制方法的实施，不影响第三时间点和参考电压的选取逻辑。

图 9 本公开实施例中反熔丝存储单元的示意图。

参考图 9，反熔丝存储单元 91 可以包括：

第二开关元件 M2，第二开关元件 M2 的第一端作为反熔丝存储单元 91 的位线；

15 反熔丝元件 F，反熔丝元件 F 的第一端连接于第二开关元件 M2 的第二端；

其中，第二开关元件 M2 的控制端和反熔丝元件 F 的控制端均连接于控制器。

图 10 是本公开再一个实施例中反熔丝存储单元状态检测电路的结构示意图。

参考图 10，在一个实施例中，第一节点 N1 可以用于连接多个位线，反熔丝存储单元阵列 21 可以包括：

20 多个反熔丝存储单元子阵列 21m (m 为位线序号)，每个反熔丝存储单元子阵列 21m 对应一条位线 BLm，每个反熔丝存储单元子阵列 21m 包括多个反熔丝存储单元；

与反熔丝存储单元子阵列 21m 对应的多个第三开关元件 M3m，每个第三开关元件 M3m 的第一端连接于对应的反熔丝存储单元子阵列 21m 的位线 BLm，每个第三开关元件 M3m 的第二端连接于第一节点 N1，每个第三开关元件 M3m 的控制端连接于控制器 CON，
25 第三开关元件 M3m 的默认状态为关断状态。

其中，每个反熔丝存储单元子阵列 21m，例如可以包括连接在一条位线上的 16 个反熔丝存储单元，即一系列反熔丝存储单元。在一些实施例中，一条位线对应一个第一开关元件 M1 和一个比较器 22。

30 通过在第一节点连接多个反熔丝存储单元子阵列 21m，可以实现对多个反熔丝存储单元子阵列 21m 中的反熔丝存储单元的存储状态的检测，示例性方式如图 11 所示。

图 11 是图 10 所示电路对应的检测方法的流程图。

参考图 10 所示电路，控制器 CON 可以设置为执行以下方法：

步骤 S1，在第一时间点输出第一控制信号以打开第一开关元件；

35 步骤 S2，在第二时间点输出第二控制信号以关断第一开关元件，并输出第三控制信号以打开多个反熔丝存储单元的一个；

步骤 S111, 在第四时间点对被对打开的反熔丝存储单元对应的第三开关元件发送第四控制信号以打开该第三开关元件;

步骤 S3, 在第三时间点获取比较器的输出信号;

其中, 第四时间点在第一时间点之后, 在第三时间点之前。

5 即, 图 3 所示方法可以包括步骤 S111, 步骤 S111 和步骤 S2 的顺序可以互换, 也可以为同时执行。

在图 11 所示实施例中, 第四时间点可以在第二时间点之前, 也可以在第二时间点之后, 还可以与第二时间点相等, 只要第四时间点和第二时间点均在第一时间点和第三时间点之间即可, 以在第一时间点完成对第一节点 N1 的电压配置之后、在第三时间点开始检测第一节点 N1 的电压之前开启放电通路。

当第三开关元件为 P 型晶体管时, 第四控制信号为低电平; 当第三开关元件为 N 型晶体管时, 第四控制信号为高电平。当第三开关元件为其他类型的元件时, 第四控制信号也可以为其他类型的信号, 本公开对此不作特殊限制。

图 12 是本公开一个实施例中比较器 22 的示意图。

15 参考图 12, 在一个实施例中, 可以使用差分放大器实现比较器 22 的功能, 在比较器 22 中采用自偏置电路。差分放大器采用简单的两级比较器, 可以准确控制翻转点, 通过自偏置电路以避免过多的偏置电流走线。

本公开实施例提供的反熔丝存储单元状态检测电路和反熔丝存储单元状态检测方法, 通过在第一时间点利用寄生电容或检测电容对第一开关元件和反熔丝存储单元阵列的连接点(第一节点)进行预充电, 在第二时间点利用待测反熔丝存储单元的电阻对第一节点进行放电, 在第三时间点检测第一节点的电压, 使用比较器将第一节点的电压与参考电压进行比较, 可以精确控制比较器的输出翻转点。通过确定反熔丝存储单元未被击穿时的最小电阻 R1 和被击穿后的最大电阻 R2, 进而确定第一节点电压在 R1 和 R2 下的电压变化曲线的差值最大的时间点, 可以确定状态检测最准确的第三时间点, 通过使用第三时间点对应的两条电压变化曲线的值的平均值作为参考电压, 可以使比较器的输出更为准确, 避免相关技术中由于反熔丝存储单元的电阻偏移和逻辑门的翻转电压偏移导致的反熔丝存储单元的存储状态误判。

根据本公开的一个方面, 提供一种存储器, 包括如上述任意一项所述的反熔丝存储单元状态检测电路。例如, 该存储器可以是 DRAM 存储器。

30 应当注意, 尽管在上文详细描述中提及了用于动作执行的设备的若干模块或者单元, 但是这种划分并非强制性的。实际上, 根据本公开的实施方式, 上文描述的两个或更多模块或者单元的特征和功能可以在一个模块或者单元中具体化。反之, 上文描述的一个模块或者单元的特征和功能可以进一步划分为由多个模块或者单元来具体化。

本领域技术人员在考虑说明书及实践这里公开的发明后, 将容易想到本公开的其它实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化, 这些变型、用途或者

适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和构思由权利要求指出。

5

工业实用性

本公开实施例通过检测第一开关元件和反熔丝存储单元阵列连接点的电压，与参考电压比较得出反熔丝存储单元阵列中当前待测反熔丝存储单元的电阻值，可以使得用于检测反熔丝存储单元的存储状态的电压翻转点得到精确控制，避免相关技术中由于反熔丝存储单元的电阻偏移和逻辑门的翻转电压偏移导致的反熔丝存储单元的存储状态误判。

10

权利要求

1.一种反熔丝存储单元状态检测电路，包括：

第一开关元件，第一端连接于电源，第二端连接于第一节点，控制端连接于控制器；

5 反熔丝存储单元阵列，包括多个反熔丝存储单元子阵列，所述多个反熔丝存储单元子阵列的位线均连接于所述第一节点，所述多个反熔丝存储单元子阵列的字线均连接于所述控制器；

比较器，第一输入端连接于所述第一节点，第二输入端连接参考电压；

10 其中，所述反熔丝存储单元子阵列包括多个反熔丝存储单元，所述控制器通过控制所述第一开关元件的打开和关断以逐一检测所述多个反熔丝存储单元的状态。

2.如权利要求1所述的反熔丝存储单元状态检测电路，其中，所述控制器设置为：

在第一时间点输出第一控制信号以打开所述第一开关元件；

在第二时间点输出第二控制信号以关断所述第一开关元件，并输出第三控制信号以打开所述多个反熔丝存储单元的一个；

15 在第三时间点获取所述比较器的输出信号；

其中，所述第三时间点在所述第二时间点之后，所述第二时间点在所述第一时间点之后。

3.如权利要求2所述的反熔丝存储单元状态检测电路，其中，所述第三时间点根据以下方式确定：

20 获取所述反熔丝存储单元被击穿后的最大电阻和未被击穿的最小电阻；

根据所述电源、所述最大电阻和所述最小电阻确定所述第一节点的第一电压变化曲线和第二电压变化曲线；

将所述第一电压变化曲线与所述第二电压变化曲线的差值最大的时间点作为所述第三时间点。

25 4.如权利要求3所述的反熔丝存储单元状态检测电路，其中，所述参考电压根据以下方式确定：

确定所述第一电压变化曲线在所述第三时间点的第一电压值和第二电压变化曲线在所述第三时间点的第二电压值；

将所述第一电压值和所述第二电压值的平均值设置为所述参考电压。

30 5.如权利要求1所述的反熔丝存储单元状态检测电路，其中，还包括：检测电容，所述检测电容的第一端连接于所述第一节点，第二端接地。

6.如权利要求1所述的反熔丝存储单元状态检测电路，其中，还包括：触发器，所述触发器的输入端连接于所述比较器的输出端，所述触发器的第一输出端和第二输出端均连接于所述控制器。

35 7.如权利要求1所述的反熔丝存储单元状态检测电路，其中，所述反熔丝存储单元包

括：

第二开关元件，所述第二开关元件的第一端连接所述反熔丝存储单元的位线；
反熔丝元件，所述反熔丝元件的第一端连接于所述第二开关元件的第二端；
所述第二开关元件的控制端和所述反熔丝元件的控制端均连接于所述控制器。

- 5 8.如权利要求 1 所述的反熔丝存储单元状态检测电路，其中，所述比较器在所述第一开关元件打开时处于未使能状态。

9.如权利要求 8 所述的反熔丝存储单元状态检测电路，其中，所述比较器采用自偏置电路。

10.一种存储器，包括如权利要求 1~9 任一项所述的反熔丝存储单元状态检测电路。

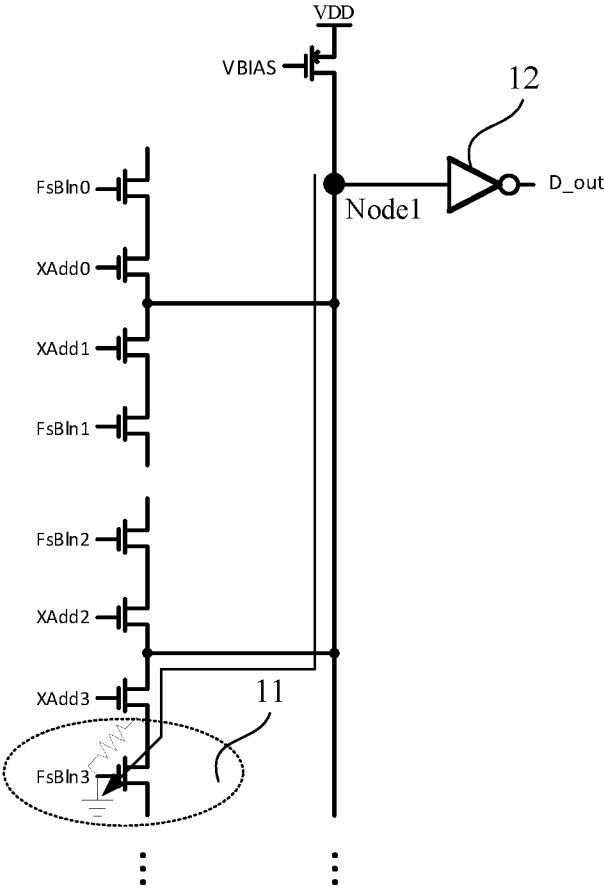


图 1

200

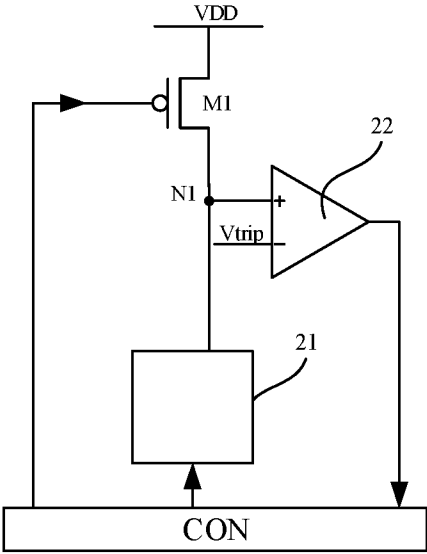


图 2

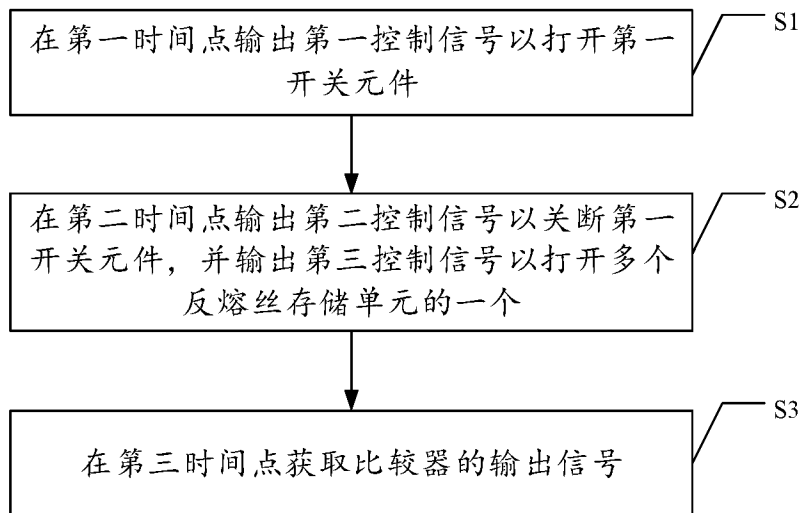
300

图 3

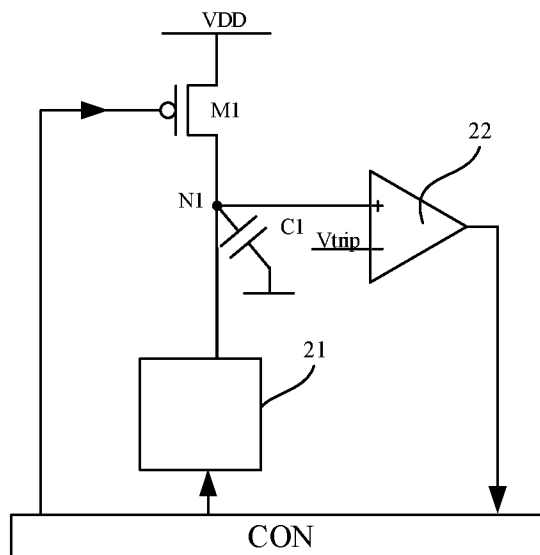


图 4

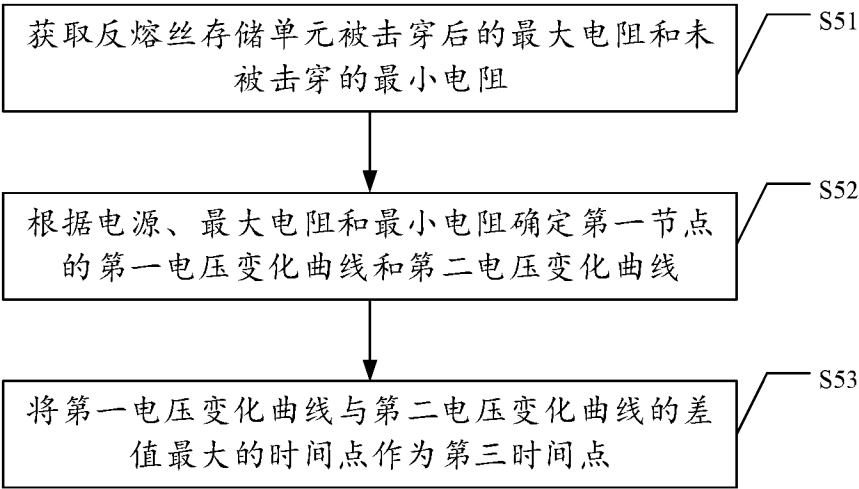


图 5

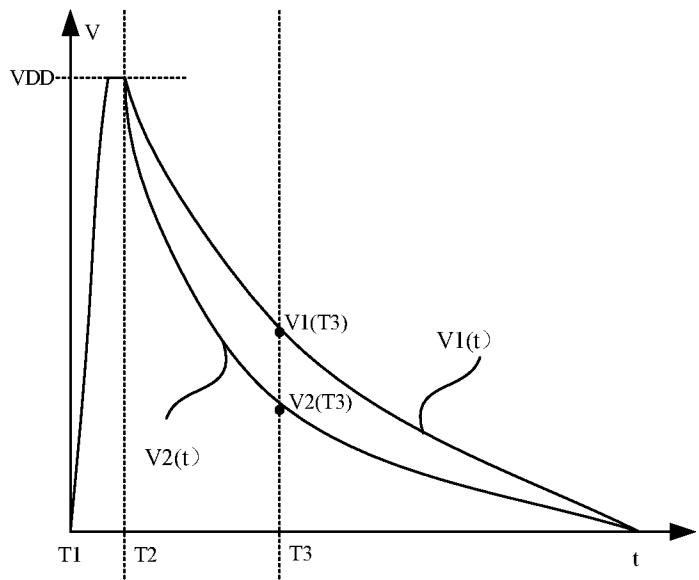


图 6

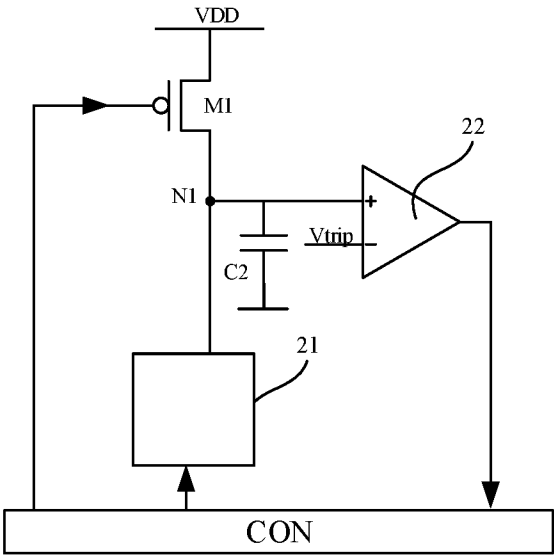


图 7

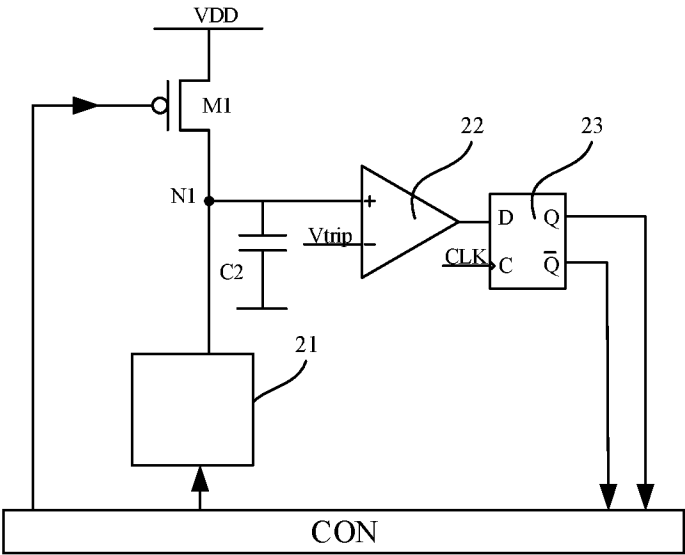


图 8

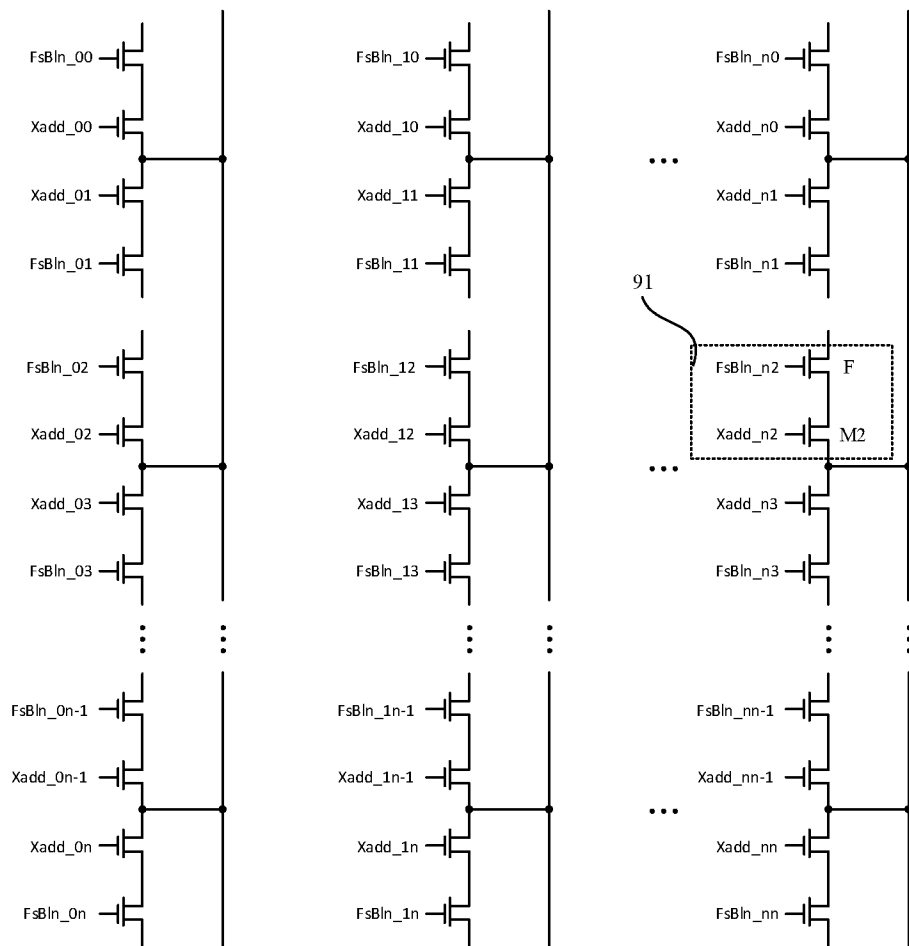


图 9

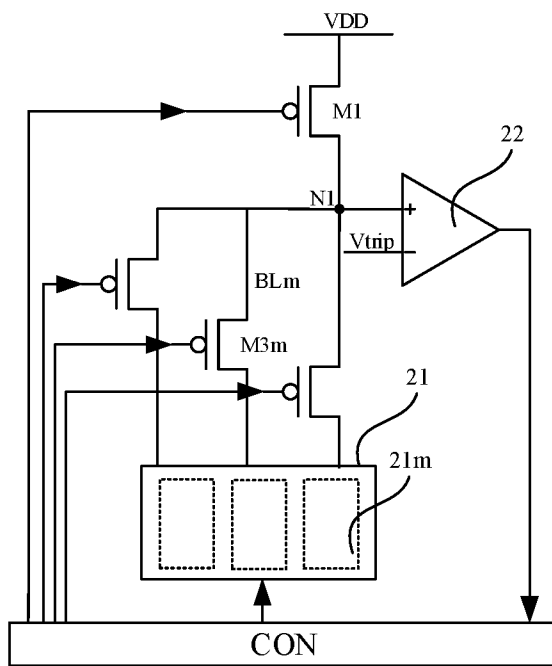


图 10

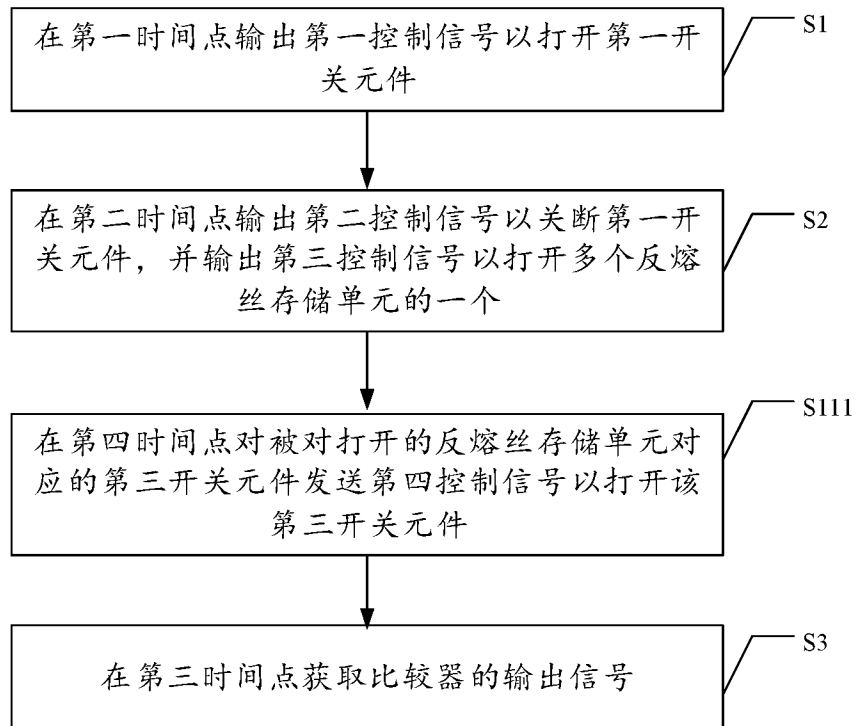


图 11

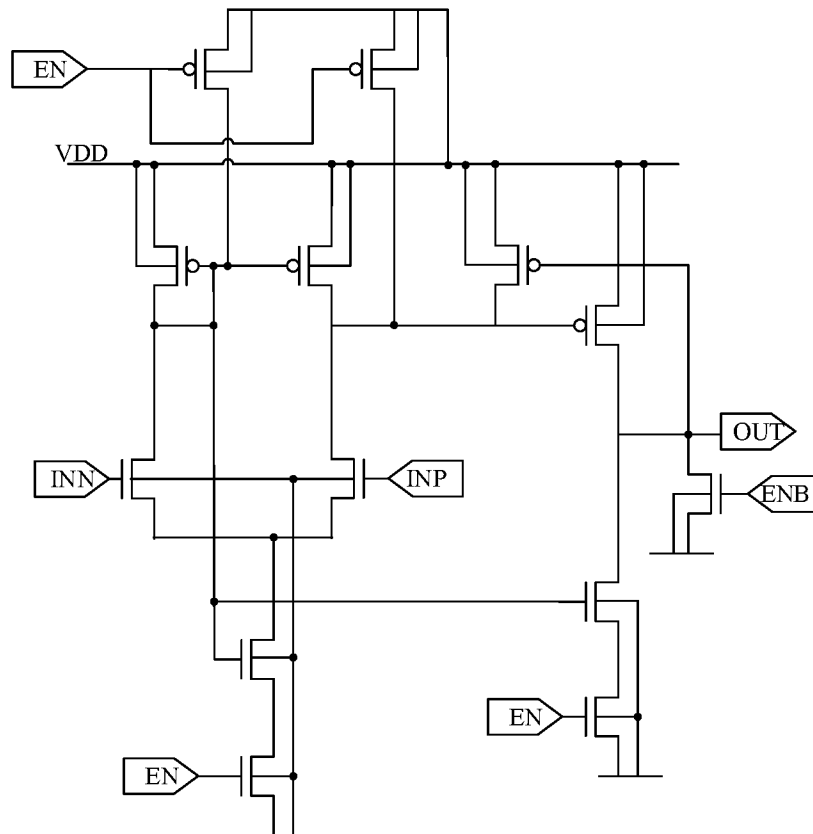


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/100976

A. CLASSIFICATION OF SUBJECT MATTER

G11C 17/18(2006.01)i; H01L 27/112(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI; CNABS; CNTXT; DWPI; SIPOABS; USTXT; EPTXT; WOTXT: 长鑫, 熔丝, 反熔丝, 电阻丝, 感测, 读取, 检测, 逻辑门, 波动, 变化, 翻转, 时间, 时钟, 开关, 比较器, fuse, anti-fuse, sense, read, logic, change, fluctuate, turn, time, clock, switch, compare

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010277999 A1 (DO CHANG-HO) 04 November 2010 (2010-11-04) description, paragraphs [0007]-[0126] and figures 1-13	1-10
X	CN 109671457 A (EMEMORY TECHNOLOGY INC.) 23 April 2019 (2019-04-23) description paragraphs [0051]-[0092] and figures 2A-6B	1-10
A	US 2015287475 A1 (SAMSUNG ELECTRONICS CO., LTD.) 08 October 2015 (2015-10-08) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 August 2021

Date of mailing of the international search report

01 September 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/100976

Patent document cited in search report				Publication date (day/month/year)		Patent family member(s)	Publication date (day/month/year)
US	2010277999	A1	04 November 2010	KR	20100119336	A	09 November 2010
				TW	I491012	B	01 July 2015
				JP	2010262726	A	18 November 2010
				US	8208336	B2	26 June 2012
				KR	101123074	B1	05 March 2012
				TW	201039429	A	01 November 2010
				KR	20110128763	A	30 November 2011
CN	109671457	A	23 April 2019	US	2019114144	A1	18 April 2019
				JP	6602430	B2	06 November 2019
				TW	201915714	A	16 April 2019
				JP	2019075184	A	16 May 2019
				US	10459693	B2	29 October 2019
				CN	109671457	B	28 July 2020
US	2015287475	A1	08 October 2015	US	9330781	B2	03 May 2016
				KR	20150116513	A	16 October 2015
				KR	2216563	B1	18 February 2021

国际检索报告

国际申请号

PCT/CN2021/100976

A. 主题的分类

G11C 17/18(2006.01)i; H01L 27/112(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C; H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI; CNABS; CNTXT; DWPI; SIPOABS; USTXT; EPTXT; WOTXT; 长鑫, 熔丝, 反熔丝, 电阻丝, 感测, 读取, 检测, 逻辑门, 波动, 变化, 翻转, 时间, 时钟, 开关, 比较器, fuse, anti-fuse, sense, read, logic, change, fluctuate, turn, time, clock, switch, compare

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2010277999 A1 (DO CHANG-HO) 2010年 11月 4日 (2010 - 11 - 04) 说明书第[0007]-[0126]段以及附图1-13	1-10
X	CN 109671457 A (力旺电子股份有限公司) 2019年 4月 23日 (2019 - 04 - 23) 说明书第[0051]-[0092]段以及附图2A-6B	1-10
A	US 2015287475 A1 (SAMSUNG ELECTRONICS CO LTD) 2015年 10月 8日 (2015 - 10 - 08) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 8月 10日

国际检索报告邮寄日期

2021年 9月 1日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

邢白灵

电话号码 (86-512) 88995718

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/100976

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2010277999	A1	2010年 11月 4日	KR	20100119336	A	2010年 11月 9日
				TW	1491012	B	2015年 7月 1日
				JP	2010262726	A	2010年 11月 18日
				US	8208336	B2	2012年 6月 26日
				KR	101123074	B1	2012年 3月 5日
				TW	201039429	A	2010年 11月 1日
				KR	20110128763	A	2011年 11月 30日
CN	109671457	A	2019年 4月 23日	US	2019114144	A1	2019年 4月 18日
				JP	6602430	B2	2019年 11月 6日
				TW	201915714	A	2019年 4月 16日
				JP	2019075184	A	2019年 5月 16日
				US	10459693	B2	2019年 10月 29日
				CN	109671457	B	2020年 7月 28日
US	2015287475	A1	2015年 10月 8日	US	9330781	B2	2016年 5月 3日
				KR	20150116513	A	2015年 10月 16日
				KR	2216563	B1	2021年 2月 18日