

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 17 年 2 月 10 日 (2005.2.10)

【公開番号】特開 2001-344967 (P2001-344967A)

【公開日】平成 13 年 12 月 14 日 (2001.12.14)

【出願番号】特願 2000-161123 (P2000-161123)

【国際特許分類第 7 版】

G 1 1 C 11/406

G 1 1 C 11/41

G 1 1 C 11/401

G 1 1 C 11/407

G 1 1 C 11/403

G 1 1 C 16/04

H 0 1 L 25/04

H 0 1 L 25/18

H 0 1 L 25/065

H 0 1 L 25/07

【F I】

G 1 1 C 11/34 3 6 3 K

G 1 1 C 11/34 Z

G 1 1 C 11/34 3 6 2 H

G 1 1 C 11/34 3 6 2 S

G 1 1 C 11/34 3 6 3 M

G 1 1 C 11/34 3 7 1 K

G 1 1 C 17/00 6 2 5

H 0 1 L 25/04 Z

H 0 1 L 25/08 Z

【手続補正書】

【提出日】平成 16 年 3 月 5 日 (2004.3.5)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 キャパシタと第 1 M I S F E T をそれぞれに持つ複数の第 1 メモリセルを含む第 1 メモリブロックと、第 2 キャパシタと第 2 M I S F E T をそれぞれに持つ複数の第 2 メモリセルを含む第 2 メモリブロックと、前記第 1 及び第 2 メモリブロックで共用されるコマンド信号入力のための第 1 ノード、アドレス信号入力のための第 2 ノード、及びデータ入出力のための第 3 ノードとを有するメモリと、

前記メモリに対するコマンド信号を出力するために設けられ前記メモリの前記第 1 ノードに結合される第 4 ノードと、前記メモリに対するアドレスを出力するために設けられ前記第 2 ノードに結合される第 5 ノードと、前記第 3 ノードに結合される第 6 ノードと、アクセス要求信号を受けるための第 7 ノードと、アクセスアドレスを受けるための第 8 ノードとを有するメモリコントローラとを備え、

前記メモリコントローラは、第 1 期間において前記第 8 ノードに第 1 アクセスアドレスが入力された際には前記メモリの前記第 1 メモリブロックに対するコマンド信号及び第 1 ア

ドレスを前記第 4 及び第 5 ノードから出力するとともに、第 2 期間において前記第 8 ノードに前記第 1 アクセスアドレスが入力された際には前記メモリの前記第 2 メモリブロックに対するコマンド信号及び前記第 1 アドレスを前記第 4 及び第 5 ノードから出力することを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記第 1 期間において、前記メモリコントローラは、前記第 1 メモリブロックに対して前記第 1 アクセスアドレスに対応する第 1 メモリセルに対する読み出しまたは書込コマンド信号を前記第 4 ノードから出力可能とされるときに、前記第 2 メモリブロックの前記第 2 メモリセルに対するリフレッシュを行うためのリフレッシュコマンド信号を前記第 4 ノードから出力し、

前記第 2 期間において、前記メモリコントローラは、前記第 1 メモリブロックの前記第 1 メモリセルに対するリフレッシュを行うためのリフレッシュコマンド信号を前記第 4 ノードから出力するとともに、前記第 2 メモリブロックに対して前記第 1 アクセスアドレスに対応する第 2 メモリセルに対する読み出しまたは書込コマンド信号を前記第 4 ノードから出力可能とされることを特徴とする半導体装置。

【請求項 3】

請求項 2 において、前記第 1 メモリブロックと前記第 2 メモリブロックとは同じ情報を重複して記憶する期間を有することを特徴とする半導体装置。

【請求項 4】

請求項 2 において、前記第 1 期間において、前記メモリコントローラは、前記第 1 メモリブロックにデータ書込が起きた場合には、当該書込データは所定の手順で前記第 2 メモリブロックの対応するアドレスの前記第 2 メモリセルに転写されることを特徴とする半導体装置。

【請求項 5】

請求項 2 において、

前記メモリコントローラは、前記第 1 期間と前記第 2 期間とは交互に時分割で発生することを特徴とする半導体装置。

【請求項 6】

請求項 1 において、

前記半導体装置は、前記第 1 メモリブロックに対する読出し／書込み許容期間であるとともに前記第 2 メモリブロックに対するリフレッシュ期間となる前記第 1 期間と、前記第 1 メモリブロックに対するリフレッシュ期間であるとともに前記第 2 メモリブロックに対する読出し／書込み許容期間である前記第 2 期間とを交互に繰り返すことを特徴とする半導体装置。

【請求項 7】

請求項 1 において、

前記メモリコントローラは、書込データを保持するためのバッファメモリを更に有し、前記第 1 期間において前記メモリコントローラが第 1 アクセスアドレスとともにデータ書込みのアクセス要求信号を受けた場合であって、前記メモリコントローラは第 1 メモリブロックに対する書込コマンド、前記第 1 アドレス、及び書込データを前記第 4、第 5、および第 6 ノードから出力し、しかる後に第 2 メモリブロックに対する書込コマンド、及び前記第 1 アドレスを前記第 4、及び第 5 ノードから出力する共に、前記バッファメモリに保持された書込データを前記第 6 ノードから出力することを特徴とする半導体装置。

【請求項 8】

請求項 1 において、

前記メモリコントローラの前記第 8 ノードに入力されるアクセス要求のサイクル時間は、前記メモリコントローラが前記第 4 ノードから出力するコマンド信号のサイクル時間より長いことを特徴とする半導体装置。

【請求項 9】

請求項 1 において、

前記メモリコントローラは、リフレッシュ制御回路と、アクセス優先判定回路と、書込データを保持するためのバッファメモリとをさらに有し、

前記第 1 期間において、前記アクセス優先判定回路は、前記リフレッシュ制御回路が発生する前記第 2 メモリブロックに対するリフレッシュ要求を第 1 優先とし、前記バッファメモリに書込みデータが保持されている場合に前記バッファメモリの書込みデータの転写のための前記第 2 メモリブロックに対する書込コマンドの発行を第 2 優先とすることを特徴とする半導体装置。

【請求項 1 0】

請求項 1 において、

前記メモリは第 1 半導体チップ上に形成され、前記メモリコントローラは第 2 半導体チップ上に形成され、

前記半導体装置は、前記第 1 及び第 2 半導体チップが内部に含まれる封止体をさらに有し、

前記封止体は、前記第 1 及び第 2 半導体チップと電気的接続をするための複数の第 1 電極と、前記複数の第 1 電極に接続され前記封止体の外部に対して電気的接続をするための複数の第 2 電極とを有することを特徴とする半導体装置。

【請求項 1 1】

請求項 1 0 において、前記封止体は基板を含み、

前記第 1 電極は前記基板の第 1 主面に設けられるとともに、前記第 1 及び第 2 半導体チップは前記第 1 主面に搭載され、

前記基板の前記第 1 主面は封止物で覆われ、

前記第 2 電極は前記基板の前記第 1 主面に対して対向する側に設けられた第 2 主面に形成されることを特徴とする半導体装置。

【請求項 1 2】

請求項 1 において、

前記半導体装置は、フラッシュメモリが形成された第 1 半導体チップと、スタティック・ランダム・アクセスメモリ (SRAM) と前記メモリコントローラが形成された第 2 半導体チップと、前記メモリが形成される前記第 3 半導体チップとが内部に含まれる封止体を有し、

前記封止体は、前記第 1 から第 3 チップがその第 1 主面に搭載された基板を含み、

前記基板は、前記第 1 主面に設けられ前記第 1 から第 3 半導体チップと電気的接続をするための複数の第 1 電極と、前記複数の第 1 電極に接続され前記封止体の外部に対して電気的接続をするための複数の第 2 電極とを有することを特徴とする半導体装置。

【請求項 1 3】

請求項 1 2 において、前記複数の第 2 電極は、前記フラッシュメモリと前記スタティック・ランダム・アクセスメモリ (SRAM) に対して共通に設けられた複数のアドレス信号端子と、前記フラッシュメモリのアクセス制御のための複数の第 1 制御信号端子と、前記スタティック・ランダム・アクセスメモリ (SRAM) のアクセス制御のための複数の第 2 制御信号端子と、前記第 1 から第 3 半導体チップに対する複数の電源端子とを含み、

前記第 3 半導体チップの前記メモリの第 1 から第 3 ノードは前記第 3 半導体チップ上に設けられるとともに、前記第 2 半導体チップの前記メモリコントローラの第 4 から第 6 ノードは前記第 2 半導体チップ上に設けられ、前記第 1 から第 3 ノードと前記第 4 から第 6 ノードは前記第 1 主面上の前記複数の第 1 電極の所定のものを介して接続されることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 3 において、前記複数の第 2 電極は、前記第 3 半導体チップの前記メモリの機能テストのためのテスト端子を更に含むことを特徴とする半導体装置。

【請求項 1 5】

請求項 1 3 において、前記半導体装置は、前記複数の第 2 電極から前記第 3 半導体チップ

の前記メモリに対するリフレッシュ制御コマンドの投入が不要とされることを特徴とする半導体装置。

【請求項 16】

請求項 13 において、前記第 3 半導体チップの前記メモリは、複数のメモリバンクを有し、クロックに同期したコマンドにより読出し／書込みを行うダイナミック・ランダムアクセス・メモリ（DRAM）であることを特徴とする半導体装置。

【請求項 17】

請求項 1 において、前記第 3 半導体チップの前記メモリは、複数のメモリバンクを有し、クロックに同期したコマンドにより読出し／書込みを行うダイナミック・ランダムアクセス・メモリ（DRAM）であることを特徴とする半導体装置。

【請求項 18】

請求項 17 において、前記ダイナミック・ランダムアクセス・メモリ（DRAM）チップは、複数のメモリバンクとして 4 個のメモリバンクを有し、2 個の前記メモリバンクが前記第 1 メモリブロックに割り当てられるとともに、残る 2 個の前記メモリバンクが前記第 2 メモリブロックに割り当てられることを特徴とする半導体装置。

【請求項 19】

複数のメモリバンクを有し、クロックに同期したコマンドにより読出し／書込みを行うダイナミック・ランダムアクセス・メモリ（DRAM）を含む半導体装置の動作方法であって、

前記複数のメモリバンクを同じメモリ容量を持つ第 1 メモリブロックと第 2 メモリブロックとに割り当てるとともに、前記半導体装置に対するアクセスを第 1 期間と第 2 期間が交互に起こるように割り当て、

前記第 1 期間において、前記 DRAM に対する読み出し／書き込みコマンドは前記第 1 メモリブロックに対して実行するとともに、前記第 2 メモリブロックはリフレッシュを優先して実行し、その後に前記第 1 メモリブロックに対して書き込みコマンドが発行されていた場合には同じデータを前記第 2 メモリブロックの対応するアドレスに書き込むコマンドを実行し、

前記第 2 期間において、前記 DRAM に対する読み出し／書き込みコマンドは前記第 2 メモリブロックに対して実行するとともに、前記第 1 メモリブロックはリフレッシュを優先して実行し、その後に前記第 2 メモリブロックに対して書き込みコマンドが発行されていた場合には同じデータを前記第 1 メモリブロックの対応するアドレスに書き込むコマンドを実行することを特徴とする半導体装置の動作方法。

【請求項 20】

フラッシュメモリが形成された第 1 半導体チップと、

スタティック・ランダム・アクセスメモリ（SRAM）が形成された第 2 半導体チップと、

複数のメモリバンクを有し、クロックに同期したコマンドにより読出し／書込みを行うダイナミック・ランダムアクセス・メモリ（DRAM）を含む第 3 半導体チップと、

前記第 1 から第 3 半導体チップとが内部に含まれる封止体とを有し、

前記封止体は、前記第 1 から第 3 半導体チップと電氣的接続をするための複数の第 1 電極と、前記複数の第 1 電極に接続され前記封止体の外部に対して電氣的接続をするための複数の第 2 電極とを有することを特徴とする半導体装置。

【請求項 21】

請求項 20 において、

前記封止体はその第 1 主面に前記複数の第 1 電極が設けられ前記第 1 主面に対向する第 2 主面に前記複数の第 2 電極が設けられた基板を含み、

前記第 1 チップと前記第 3 チップは、前記基板の前記第 1 主面上に並んで搭載され、

前記第 2 チップは前記第 1 チップの上に搭載されることを特徴とする半導体装置。

【請求項 22】

請求項 21 において、

前記第 1 から第 3 チップと前記複数の第 1 電極との間の接続はボンディングワイヤを介して形成されることを特徴とする半導体装置。

【請求項 23】

請求項 21 において、

前記第 1 チップ及び第 3 チップの少なくとも一つと前記複数の第 1 電極との間の接続は半田バンプを介したフェースダウンボンディングによって形成されることを特徴とする半導体装置。

【請求項 24】

請求項 20 において、

前記封止体はその第 1 主面に前記複数の第 1 電極が設けられ前記第 1 主面に対向する第 2 主面に前記複数の第 2 電極が設けられた基板を含み、

前記前記第 3 チップは、前記基板の前記第 1 主面上に搭載され、

前記第 1 チップ及び第 2 チップは前記第 3 チップの上に搭載されることを特徴とする半導体装置。

【請求項 25】

請求項 24 において、前記第 2 チップは、前記第 1 チップの上に搭載されることを特徴とする半導体装置。

【請求項 26】

請求項 20 において、前記複数の第 2 電極は、前記フラッシュメモリと前記スタティック・ランダム・アクセスメモリ (SRAM) に対して共通に設けられた複数のアドレス信号端子と、前記フラッシュメモリのアクセス制御のための複数の第 1 制御信号端子と、前記スタティック・ランダム・アクセスメモリ (SRAM) のアクセス制御のための複数の第 2 制御信号端子と、前記第 1 から第 3 半導体チップに対する複数の電源端子とを含み、

前記第 3 半導体チップは、前記ダイナミック・ランダムアクセス・メモリ (DRAM) に対して設けられた、コマンド信号入力のための第 1 ノード、アドレス信号入力のための第 2 ノード、及びデータ入出力のための第 3 ノードとを有し、

前記第 2 半導体チップは、前記メモリに対するコマンド信号を出力するための第 4 ノードと、前記メモリに対するアドレスを出力するための第 5 ノードと、第 6 ノードとを含むメモリコントローラを更に有し、

前記第 1 から第 3 ノードと前記第 4 から第 6 ノードとは前記第 1 主面上の前記複数の第 1 電極の所定のものを介して接続されることを特徴とする半導体装置。

【請求項 27】

請求項 20 において、前記複数の第 2 電極は、前記フラッシュメモリと前記スタティック・ランダム・アクセスメモリ (SRAM) に対して共通に設けられた複数のアドレス信号端子と、前記フラッシュメモリのアクセス制御のための複数の第 1 制御信号端子と、前記スタティック・ランダム・アクセスメモリ (SRAM) のアクセス制御のための複数の第 2 制御信号端子と、前記第 1 から第 3 半導体チップに対する複数の電源端子とを含むことを特徴とする半導体装置。

【請求項 28】

請求項 27 において、前記複数の第 2 電極は、前記第 3 半導体チップの前記メモリの機能テストのためのテスト端子を更に含むことを特徴とする半導体装置。

【請求項 29】

請求項 27 において、前記半導体装置は、前記複数の第 2 電極から前記第 3 半導体チップの前記ダイナミック・ランダムアクセス・メモリ (DRAM) に対するリフレッシュ制御コマンドの投入が不要とされることを特徴とする半導体装置。

【請求項 30】

請求項 20 において、前記ダイナミック・ランダムアクセス・メモリ (DRAM) はシンクロナス DRAM であることを特徴とする半導体装置。

【請求項 31】

請求項 30 において、前記シンクロナス DRAM は、4 個のメモリバンクを有し、2 個の

前記メモリバンクが第 1 メモリブロックに割り当てられるとともに、残る 2 個の前記メモリバンクが第 2 メモリブロックに割り当てられることを特徴とする半導体装置。