

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年2月10日(2005.2.10)

【公開番号】特開2001-344967(P2001-344967A)

【公開日】平成13年12月14日(2001.12.14)

【出願番号】特願2000-161123(P2000-161123)

【国際特許分類第7版】

G 1 1 C 11/406

G 1 1 C 11/41

G 1 1 C 11/401

G 1 1 C 11/407

G 1 1 C 11/403

G 1 1 C 16/04

H 0 1 L 25/04

H 0 1 L 25/18

H 0 1 L 25/065

H 0 1 L 25/07

【F I】

G 1 1 C 11/34 3 6 3 K

G 1 1 C 11/34 Z

G 1 1 C 11/34 3 6 2 H

G 1 1 C 11/34 3 6 2 S

G 1 1 C 11/34 3 6 3 M

G 1 1 C 11/34 3 7 1 K

G 1 1 C 17/00 6 2 5

H 0 1 L 25/04 Z

H 0 1 L 25/08 Z

【手続補正書】

【提出日】平成16年3月5日(2004.3.5)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1キャパシタと第1MISFETをそれぞれに持つ複数の第1メモリセルを含む第1メモリブロックと、第2キャパシタと第2MISFETをそれぞれに持つ複数の第2メモリセルを含む第2メモリブロックと、前記第1及び第2メモリブロックで共用されるコマンド信号入力のための第1ノード、アドレス信号入力のための第2ノード、及びデータ入出力のための第3ノードとを有するメモリと、

前記メモリに対するコマンド信号を出力するために設けられ前記メモリの前記第1ノードに結合される第4ノードと、前記メモリに対するアドレスを出力するために設けられ前記第2ノードに結合される第5ノードと、前記第3ノードに結合される第6ノードと、アクセス要求信号を受けるための第7ノードと、アクセスアドレスを受けるための第8ノードとを有するメモリコントローラとを備え、

前記メモリコントローラは、第1期間において前記第8ノードに第1アクセスアドレスが入力された際には前記メモリの前記第1メモリブロックに対するコマンド信号及び第1ア

ドレスを前記第4及び第5ノードから出力するとともに、第2期間において前記第8ノードに前記第1アクセスアドレスが入力された際には前記メモリの前記第2メモリブロックに対するコマンド信号及び前記第1アドレスを前記第4及び第5ノードから出力することを特徴とする半導体装置。

【請求項2】

請求項1において、

前記第1期間において、前記メモリコントローラは、前記第1メモリブロックに対して前記第1アクセスアドレスに対応する第1メモリセルに対する読み出しありは書きコマンド信号を前記第4ノードから出力可能とされるとともに、前記第2メモリブロックの前記第2メモリセルに対するリフレッシュを行うためのリフレッシュコマンド信号を前記第4ノードから出力し、

前記第2期間において、前記メモリコントローラは、前記第1メモリブロックの前記第1メモリセルに対するリフレッシュを行うためのリフレッシュコマンド信号を前記第4ノードから出力するとともに、前記第2メモリブロックに対して前記第1アクセスアドレスに対応する第2メモリセルに対する読み出しありは書きコマンド信号を前記第4ノードから出力可能とされることを特徴とする半導体装置。

【請求項3】

請求項2において、前記第1メモリブロックと前記第2メモリブロックとは同じ情報を重複して記憶する期間を有することを特徴とする半導体装置。

【請求項4】

請求項2において、前記第1期間において、前記メモリコントローラは、前記第1メモリブロックにデータ書きが起きた場合には、当該書きデータは所定の手順で前記第2メモリブロックの対応するアドレスの前記第2メモリセルに転写されることを特徴とする半導体装置。

【請求項5】

請求項2において、

前記メモリコントローラは、前記第1期間と前記第2期間とは交互に時分割で発生することを特徴とする半導体装置。

【請求項6】

請求項1において、

前記半導体装置は、前記第1メモリブロックに対する読み出し／書き込み許容期間であるとともに前記第2メモリブロックに対するリフレッシュ期間となる前記第1期間と、前記第1メモリブロックに対するリフレッシュ期間となるとともに前記第2メモリブロックに対する読み出し／書き込み許容期間である前記第2期間とを交互に繰り返すことを特徴とする半導体装置。

【請求項7】

請求項1において、

前記メモリコントローラは、書きデータを保持するためのバッファメモリを更に有し、前記第1期間において前記メモリコントローラが第1アクセスアドレスとともにデータ書き込みのアクセス要求信号を受けた場合であって、前記メモリコントローラは第1メモリブロックに対する書きコマンド、前記第1アドレス、及び書きデータを前記第4、第5、および第6ノードから出力し、しかる後に第2メモリブロックに対する書きコマンド、及び前記第1アドレスを前記第4、及び第5ノードから出力する共に、前記バッファメモリに保持された書きデータを前記第6ノードから出力することを特徴とする半導体装置。

【請求項8】

請求項1において、

前記メモリコントローラの前記第8ノードに入力されるアクセス要求のサイクル時間は、前記メモリコントローラが前記第4ノードから出力するコマンド信号のサイクル時間より長いことを特徴とする半導体装置。

【請求項9】

請求項 1 において、

前記メモリコントローラは、リフレッシュ制御回路と、アクセス優先判定回路と、書きデータを保持するためのバッファメモリとをさらに有し、

前記第1期間において、前記アクセス優先判定回路は、前記リフレッシュ制御回路が発生する前記第2メモリブロックに対するリフレッシュ要求を第1優先とし、前記バッファメモリに書き込みデータが保持されている場合に前記バッファメモリの書き込みデータの転写のための前記第2メモリブロックに対する書き込みコマンドの発行を第2優先とすることを特徴とする半導体装置。

【請求項 1 0】

請求項 1 において、

前記メモリは第1半導体チップ上に形成され、前記メモリコントローラは第2半導体チップ上に形成され、

前記半導体装置は、前記第1及び第2半導体チップが内部に含まれる封止体をさらに有し、

前記封止体は、前記第1及び第2半導体チップと電気的接続をするための複数の第1電極と、前記複数の第1電極に接続され前記封止体の外部に対して電気的接続をするための複数の第2電極とを有することを特徴とする半導体装置。

【請求項 1 1】

請求項 1 0 において、前記封止体は基板を含み、

前記第1電極は前記基板の第1主面に設けられるとともに、前記第1及び第2半導体チップは前記第1主面に搭載され、

前記基板の前記第1主面は封止物で覆われ、

前記第2電極は前記基板の前記第1主面に対して対向する側に設けられた第2主面に形成されることを特徴とする半導体装置。

【請求項 1 2】

請求項 1 において、

前記半導体装置は、フラッシュメモリが形成された第1半導体チップと、スタティック・ランダム・アクセスメモリ(SRAM)と前記メモリコントローラが形成された第2半導体チップと、前記メモリが形成される前記第3半導体チップとが内部に含まれる封止体を有し、

前記封止体は、前記第1から第3チップがその第1主面に搭載された基板を含み、

前記基板は、前記第1主面に設けられ前記第1から第3半導体チップと電気的接続をするための複数の第1電極と、前記複数の第1電極に接続され前記封止体の外部に対して電気的接続をするための複数の第2電極とを有することを特徴とする半導体装置。

【請求項 1 3】

請求項 1 2 において、前記複数の第2電極は、前記フラッシュメモリと前記スタティック・ランダム・アクセスメモリ(SRAM)に対して共通に設けられた複数のアドレス信号端子と、前記フラッシュメモリのアクセス制御のための複数の第1制御信号端子と、前記スタティック・ランダム・アクセスメモリ(SRAM)のアクセス制御のための複数の第2制御信号端子と、前記第1から第3半導体チップに対する複数の電源端子とを含み、前記第3半導体チップの前記メモリの第1から第3ノードは前記第3半導体チップ上に設けられるとともに、前記第2半導体チップの前記メモリコントローラの第4から第6ノードは前記第2半導体チップ上に設けられ、前記第1から第3ノードと前記第4から第6ノードは前記第1主面上の前記複数の第1電極の所定のものを介して接続されることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 3 において、前記複数の第2電極は、前記第3半導体チップの前記メモリの機能テストのためのテスト端子を更に含むことを特徴とする半導体装置。

【請求項 1 5】

請求項 1 3 において、前記半導体装置は、前記複数の第2電極から前記第3半導体チップ

の前記メモリに対するリフレッシュ制御コマンドの投入が不要とされることを特徴とする半導体装置。

【請求項 16】

請求項13において、前記第3半導体チップの前記メモリは、複数のメモリバンクを有し、クロックに同期したコマンドにより読み出し／書き込みを行うダイナミック・ランダムアクセス・メモリ(DRAM)であることを特徴とする半導体装置。

【請求項 17】

請求項1において、前記第3半導体チップの前記メモリは、複数のメモリバンクを有し、クロックに同期したコマンドにより読み出し／書き込みを行うダイナミック・ランダムアクセス・メモリ(DRAM)であることを特徴とする半導体装置。

【請求項 18】

請求項17において、前記ダイナミック・ランダムアクセス・メモリ(DRAM)チップは、複数のメモリバンクとして4個のメモリバンクを有し、2個の前記メモリバンクが前記第1メモリブロックに割り当てられるとともに、残る2個の前記メモリバンクが前記第2メモリブロックに割り当てられることを特徴とする半導体装置。

【請求項 19】

複数のメモリバンクを有し、クロックに同期したコマンドにより読み出し／書き込みを行うダイナミック・ランダムアクセス・メモリ(DRAM)を含む半導体装置の動作方法であつて、

前記複数のメモリバンクを同じメモリ容量を持つ第1メモリブロックと第2メモリブロックとに割り当てるとともに、前記半導体装置に対するアクセスを第1期間と第2期間が交互に起こるように割り当て、

前記第1期間において、前記DRAMに対する読み出し／書き込みコマンドは前記第1メモリブロックに対して実行するとともに、前記第2メモリブロックはリフレッシュを優先して実行し、その後に前記第1メモリブロックに対して書き込みコマンドが発行されていた場合には同じデータを前記第2メモリブロックの対応するアドレスに書き込むコマンドを実行し、

前記第2期間において、前記DRAMに対する読み出し／書き込みコマンドは前記第2メモリブロックに対して実行するとともに、前記第1メモリブロックはリフレッシュを優先して実行し、その後に前記第2メモリブロックに対して書き込みコマンドが発行されていた場合には同じデータを前記第1メモリブロックの対応するアドレスに書き込むコマンドを実行することを特徴とする半導体装置の動作方法。

【請求項 20】

フラッシュメモリが形成された第1半導体チップと、

スタティック・ランダム・アクセスメモリ(SRAM)が形成された第2半導体チップと、

複数のメモリバンクを有し、クロックに同期したコマンドにより読み出し／書き込みを行うダイナミック・ランダムアクセス・メモリ(DRAM)を含む第3半導体チップと、

前記第1から第3半導体チップとが内部に含まれる封止体とを有し、

前記封止体は、前記第1から第3半導体チップと電気的接続をするための複数の第1電極と、前記複数の第1電極に接続され前記封止体の外部に対して電気的接続をするための複数の第2電極とを有することを特徴とする半導体装置。

【請求項 21】

請求項20において、

前記封止体はその第1主面に前記複数の第1電極が設けられ前記第1主面に対向する第2主面に前記複数の第2電極が設けられた基板を含み、

前記第1チップと前記第3チップは、前記基板の前記第1主面上に並んで搭載され、前記第2チップは前記第1チップの上に搭載されることを特徴とする半導体装置。

【請求項 22】

請求項21において、

前記第1から第3チップと前記複数の第1電極との間の接続はボンディングワイヤを介して形成されることを特徴とする半導体装置。

【請求項23】

請求項21において、

前記第1チップ及び第3チップの少なくとの一つと前記複数の第1電極との間の接続は半田バンプを介したフェースダウンボンディングによって形成されることを特徴とする半導体装置。

【請求項24】

請求項20において、

前記封止体はその第1主面に前記複数の第1電極が設けられ前記第1主面に対向する第2主面に前記複数の第2電極が設けられた基板を含み、

前記前記第3チップは、前記基板の前記第1主面上に搭載され、

前記第1チップ及び第2チップは前記第3チップの上に搭載されることを特徴とする半導体装置。

【請求項25】

請求項24において、前記第2チップは、前記第1チップの上に搭載されることを特徴とする半導体装置。

【請求項26】

請求項20において、前記複数の第2電極は、前記フラッシュメモリと前記スタティック・ランダム・アクセスメモリ(SRAM)に対して共通に設けられた複数のアドレス信号端子と、前記フラッシュメモリのアクセス制御のための複数の第1制御信号端子と、前記スタティック・ランダム・アクセスメモリ(SRAM)のアクセス制御のための複数の第2制御信号端子と、前記第1から第3半導体チップに対する複数の電源端子とを含み、前記第3半導体チップは、前記ダイナミック・ランダムアクセス・メモリ(DRAM)に対して設けられた、コマンド信号入力のための第1ノード、アドレス信号入力のための第2ノード、及びデータ入出力のための第3ノードとを有し、

前記第2半導体チップは、前記メモリに対するコマンド信号を出力するための第4ノードと、前記メモリに対するアドレスを出力するための第5ノードと、第6ノードとを含むメモリコントローラを更に有し、

前記第1から第3ノードと前記第4から第6ノードとは前記第1主面上の前記複数の第1電極の所定のものを介して接続されることを特徴とする半導体装置。

【請求項27】

請求項20において、前記複数の第2電極は、前記フラッシュメモリと前記スタティック・ランダム・アクセスメモリ(SRAM)に対して共通に設けられた複数のアドレス信号端子と、前記フラッシュメモリのアクセス制御のための複数の第1制御信号端子と、前記スタティック・ランダム・アクセスメモリ(SRAM)のアクセス制御のための複数の第2制御信号端子と、前記第1から第3半導体チップに対する複数の電源端子とを含むことを特徴とする半導体装置。

【請求項28】

請求項27において、前記複数の第2電極は、前記第3半導体チップの前記メモリの機能テストのためのテスト端子を更に含むことを特徴とする半導体装置。

【請求項29】

請求項27において、前記半導体装置は、前記複数の第2電極から前記第3半導体チップの前記ダイナミック・ランダムアクセス・メモリ(DRAM)に対するリフレッシュ制御コマンドの投入が不要とされることを特徴とする半導体装置。

【請求項30】

請求項20において、前記ダイナミック・ランダムアクセス・メモリ(DRAM)はシンクロナスDRAMであることを特徴とする半導体装置。

【請求項31】

請求項30において、前記シンクロナスDRAMは、4個のメモリバンクを有し、2個の

前記メモリバンクが第1メモリブロックに割り当てられるとともに、残る2個の前記メモリバンクが第2メモリブロックに割り当てられることを特徴とする半導体装置。