(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0015772
(43) 공개일자 2020년02월12일

(51) 국제특허분류(Int. Cl.)
B81C 1/00 (2006.01)
(52) CPC특허분류
B81C 1/00246 (2013.01)
B81B 2201/016 (2013.01)
(21) 출원번호 10-2020-7001532
(22) 출원일자(국제) 2018년06월15일
심사청구일자 없음
(85) 번역문제출일자 2020년01월16일
(86) 국제출원번호 PCT/FI2018/050467
(87) 국제공개번호 WO 2018/234629
국제공개일자 2018년12월27일
(30) 우선권주장
20175571 2017년06월19일 핀란드(FI)

(71) 출원인
테크놀로지안 투트키무스케스쿠스 브이티티 오와이
핀랜드 에프아이-02150 에스푸 부오루니에헨티에 3
(72) 발명자
카텔루스 한누
핀란드 02044 브이티티 피엘1000 한누 카텔루스 브이티티
베헤-헤이길레 타우노
핀란드 02044 브이티티 피엘1000 타우노 베헤-헤이길레 브이티티
(74) 대리인
리앤목특허법인

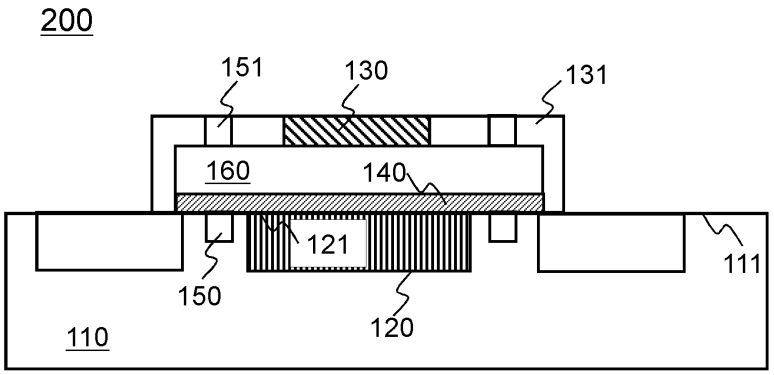
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **용량성 미세 구조**

(57) 요 약

미세 구조(100, 200, 300)가 제공되며, 상기 미세 구조(100, 200, 300)는, 상부 표면(111)을 지니는 기판(110); 상기 기판(110)의 상부 표면(111)에 평행한 수평 배향을 지니는 제1 전극(120) - 제1 전극(120)은 상기 기판(110) 내에 매립되고 그럼으로써 제1 전극(120)의 상부 표면(121)이 상기 기판(110)의 상부 표면(111)과 일치하게 됨 -; 상기 제1 전극(120)의 상부 표면(121) 상에 배치된 유전체 층(140); 및 상기 유전체 층(140) 상에 배치된 제2 전극(130);을 포함한다.

대 표 도 - 도2



(52) CPC특허분류
B81B 2201/0221 (2013.01)
B81C 2203/0714 (2013.01)

명 세 서

청구범위

청구항 1

미세 구조(100, 200, 300)로서,

상부 표면(111)을 지니는 기판(110);

상기 기판(110)의 상부 표면(111)에 평행한 수평 배향을 지니는 제1 전극(120) - 제1 전극(120)은 상기 기판(110) 내에 매립되고 그럼으로써 제1 전극(120)의 상부 표면(121)이 상기 기판(110)의 상부 표면(111)과 일치하게 됨 -;

상기 제1 전극(120)의 상부 표면(121) 상에 배치된 유전체 층(140); 및

상기 유전체 층(140) 상에 배치된 제2 전극(130);

을 포함하는, 미세 구조(100, 200, 300).

청구항 2

제1항에 있어서,

상기 제1 전극(120)의 상부 표면(121)은 폴리싱되는, 미세 구조(100, 200, 300).

청구항 3

제1항 또는 제2항에 있어서,

상기 제1 전극(120)의 두께는 5㎛보다 큰, 미세 구조(100,200,300).

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 미세 구조(100,200,300)는 미세 전자 기계 시스템(MEMS; microelectromechanical system) 스위치를 포함하고,

상기 미세 구조(100,200,300)는,

양측 단부들이 상기 기판(110)에 고정된 빔 구조를 지니는 구조 층(131);

을 더 포함하고, 상기 구조 층(131)은 상기 기판(110)에 대면하는 상기 구조 층(131)의 표면상에 제공된 상기 제2 전극(130)을 포함하는, 미세 구조(100,200,300).

청구항 5

제4항에 있어서,

상기 미세 구조(100,200,300)는,

상기 구조 층(131) 아래에 제공된 하부 구동 전극(150) 및 상기 기판에 대면하는 상기 구조 층(131)의 표면상에 제공된 상부 구동 전극(151);

을 더 포함하며, 상기 상부 구동 전극(151) 및 상기 하부 구동 전극(150) 간의 전위차가 생기게 되는 경우, 상기 구조 층(131)은 정전기 인력에 의해 상기 기판(110)을 향해 인력을 받고, 그럼으로써 상부 스위치 전극으로서 작동하는 상기 제2 전극(130) 및 하부 스위치 전극으로서 작용하는 상기 제1 전극(120)이 서로 접촉하게 되는, 미세 구조(100,200,300).

청구항 6

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 미세 구조(100,200,300)는 MIM(metal-insulator-metal) 커패스터를 포함하고,

상기 제2 전극(130)은 상기 유전체 층(140)의 상부 표면상에 배치되는, 미세 구조(100,200,300).

청구항 7

제6항에 있어서,

상기 제1 전극(120)의 상부 표면(121)의 제1 수평 단부는 상기 유전체 층(140)에 의해 커버(cover) 되지 않은 채로 남겨 지고 상기 유전체 층(140)은 상기 제1 전극(120)의 상부 표면(121)의 제2 수평 단부상으로 연장되는, 미세 구조(100,200,300).

청구항 8

제7항에 있어서,

상기 유전체 층(140)의 상부 표면의 제1 수평 단부는 상기 제2 전극(130)에 의해 커버 되지 않은 채로 남겨 지고 상기 제2 전극(130)은 상기 유전체 층(140)의 상부 표면의 제2 수평 단부로 연장되는, 미세 구조(100,200,300).

청구항 9

제8항에 있어서,

상기 미세 구조(100,200,300)는,

상기 기판상에 배치된 접속 요소(310, 311);

를 더 포함하고,

상기 접속 요소(310, 311)는,

상기 제1 전극(120)의 상부 표면(121)의 제1 수평 단부에 대한 접속을 제공하도록 구성된 제1 접속 요소(310); 및

상기 유전체 층(140)의 상부 표면의 제2 수평 단부에 인접한 상기 제2 전극(130)의 제2 수평 단부에 대한 접속을 제공하도록 구성된 제2 접속 요소(121);

중의 적어도 하나를 제공하도록 구성되는, 미세 구조(100,200,300).

청구항 10

미세 구조(100,200,300)를 형성하는 방법에 있어서,

상기 방법은,

상부 표면(111)을 지니는 기판(110)을 제공하는 단계;

상기 기판(110)의 상부 표면(111)에 평행한 수평 배향을 지니는 제1 전극(120)을 형성하는 단계 - 상기 제1 전극(120)은 상기 기판(110) 내에 매립되고 그럼으로써 상기 제1 전극(120)의 상부 표면(121)은 상기 기판(110)의 상부 표면(111)과 일치하게 됨 -;

상기 제1 전극(120)의 상부 표면(121)상에 유전체 층(140)을 형성하는 단계; 및

상기 유전체 층(140) 상에 제2 전극(130)을 형성하는 단계;

를 포함하는, 미세 구조의 형성 방법.

청구항 11

제1항 내지 제9항 중 어느 한 항의 미세 구조(100,200,300)를 포함하는 반도체 구조.

청구항 12

제11항에 있어서,

상기 반도체 장치는 집적 수동 소자(IPD)를 더 포함하는, 반도체 장치.

청구항 13

제11항 또는 제12항에 있어서,

상기 반도체 장치는 실리콘 기판 층과 제1 금속 층 간에 배치된 패시베이션(passivation) 층을 더 포함하는, 반도체 장치.

청구항 14

제11항 내지 제13항 중 어느 한 항에 있어서,

상기 반도체 장치는 적어도 하나의 전극(120, 130)의 적어도 하나의 금속 층의 표면상에 연장되는 적어도 하나의 배리어(barrier) 층을 더 포함하는, 반도체 장치.

청구항 15

제11항 내지 제14항 중 어느 한 항에 있어서,

상기 유전체 층(140)은 원자 층 증착(Atomic Layer Deposition; ALD) 성장 산화 알루미늄 층 또는 플라즈마 강화 화학 기상 증착(plasma enhanced chemical vapor deposition; PECVD) 층을 포함하는, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본원은 일반적으로 미세(micro) 구조, 제조 기법 및 반도체 장치에 관한 것이다. 구체적으로, 그러나 배타적이지 않게, 본원은 MEMS(microelectromechanical system; 미세 전자 기계 시스템) 구조들, IPD(Integrated Passive Devices; 집적 수동 소자들), 스위치드 커패시터들(switched capacitors), MIM(metal-insulator-metal; 금속-절연체-금속) 커패시터들 및 MEMS(microelectromechanical system) 스위치들에 관한 것이다.

배 경 기 술

[0002] 본 섹션은 최신 기술을 나타내는 본원 명세서에 기재된 임의의 기법을 허용하지 않고 유용한 배경 정보를 보여준다.

[0003] MEMS(microelectromechanical systems) 기술들로 제조된 구성요소들은 자동차 전자기기, 의료 장비, 스마트폰, 하드 디스크 드라이브, 컴퓨터 주변기기 및 무선 장치를 포함하지만 이들에 국한되지 않는 점점 더 많은 수의 소비자 애플리케이션들에 합체되고 있다. MEMS 기술은 미세-제조(micro-fabrication) 기법들을 사용하여 소형화된 전자 기계 장치들 및 구조들을 형성함에 관련된 것이다. MEMS 장치들은 전형적으로 적어도 하나의 가동 구조(moving structure)의 형태로 이루어지는 것이 전형적인 일부 기계적 기능 형태를 지닌다. 포토리소그래피 방식으로 마스킹 및 에칭되는 박막 증착들을 포함하는 일련의 처리 단계들에 의해 적절한 기판상에 구조들이 형성될 수 있다. MEMS 기계요소들, 센서들 및 액추에이터들은 예를 들어 CMOS(Complementary Metal-Oxide-Semiconductor; 상보형 금속 산화물 반도체) 장치들과 함께 공통 기판상에 통합될 수 있다.

[0004] IPD(Integrated Passive Devices) 기술은 저(低)손실 기판들에서 고품질 계수(high quality factor; Q) 수동 구성요소들을 실현하는 방법이다. 대부분의 수동 구성요소들을 IPD에 결합한 다음에 IPD 기반 모듈을 부속-시스템에 통합함으로써, 고성능, 높은 집적도 및 낮은 조립 비용이 가능해진다. 특히 Q가 높은 인덕터들을 요구하는 RF 프론트-엔드(front-end) 모듈들 및 구성요소들은 발룬(balun)들, 커플러들, 필터들, LC 공진기들 및 정합(matching) 회로들과 같은 IPD에 통합하는데 유리하다.

[0005] 공지된 해결수법들에서는, MEMS(microelectromechanical system) 금속화들과 같은 미세 구조들이 웨이퍼들 상에 성장된다. 이는 하부 전극의 두께를 전형적으로 2㎛ 미만으로 제한한다. 공지된 해결수법들에서는 또한 저항 손실들이 있다.

[0006] 본 발명의 목적은 예를 들어 위에서 언급한 최신 기술의 문제점들을 완화하는 방법, 구조 및 장치를 제공하는

것이다.

발명의 내용

[0007] 본 발명의 예들에 대해 다양한 실시 형태가 청구범위에 기재되어있다.

[0008] 본 발명의 제1 대표적인 실시 형태에 의하면, 미세 구조가 제공되며, 상기 미세 구조는,

[0009] 상부 표면을 지니는 기판;

[0010] 상기 기판의 상부 표면에 평행한 수평 배향을 지니는 제1 전극 - 제1 전극은 상기 기판 내에 매립되고 그럼으로써 상기 제1 전극의 상부 표면이 상기 기판의 상부 표면과 일치하게 됨 -;

[0011] 상기 제1 전극의 상부 표면상에 배치된 유전체 층; 및

[0012] 상기 유전체 층상에 배치된 제2 전극;

[0013] 을 포함한다.

[0014] 일 실시 예에서, 상기 제1 전극의 상부 표면은 폴리싱(polishing) 된다.

[0015] 일 실시 예에서, 상기 제1 전극의 두께는 5㎛보다 크다.

[0016] 일 실시 예에서, 상기 미세 구조는 MEMS(microelectromechanical system) 스위치를 포함하고, 상기 미세 구조는,

[0017] 양측(兩側) 단부가 상기 기판에 고정되는 빔(beam) 구조를 지니는 구조 층을 더 포함하고, 상기 구조 층은 상기 기판에 대면하는 상기 구조 층의 표면상에 제공된 상기 제2 전극을 포함한다.

[0018] 일 실시 예에서, 상기 미세 구조는,

[0019] 상기 구조 층 아래에 제공된 하부 구동 전극 및 상기 기판에 대면하는 상기 구조 층의 표면상에 제공된 상부 구동 전극

[0020] 을 더 포함하며, 상기 상부 구동 전극 및 상기 하부 구동 전극 간의 전위차가 생기게 되는 경우, 상기 구조 층은 정전기 인력에 의해 상기 기판을 향해 인력을 받고, 그럼으로써 상부 스위치 전극으로서 작동하는 상기 제2 전극 및 하부 스위치 전극으로서 작용하는 상기 제1 전극이 서로 접촉하게 된다.

[0021] 일 실시 예에서, 상기 미세 구조는 MIM(metal-insulator-metal) 커패스터를 포함하고,

[0022] 상기 제2 전극은 유전체 층의 상부 표면상에 배치된다.

[0023] 일 실시 예에서, 상기 제1 전극의 상부 표면의 제1 수평 단부는 상기 유전체 층에 의해 커버(cover) 되지 않은 채로 남겨 지고 상기 유전체 층은 상기 제1 전극의 상부 표면의 제2 수평 단부상으로 연장된다.

[0024] 일 실시 예에서, 상기 유전체 층의 상부 표면의 제1 수평 단부는 상기 제2 전극에 의해 커버 되지 않은 채로 남겨 지고 상기 제2 전극은 상기 유전체 층의 상부 표면의 제2 수평 단부로 연장된다.

[0025] 일 실시 예에서, 상기 미세 구조는 상기 기판상에 배치된 접속 요소를 더 포함하고, 상기 접속 요소는,

[0026] 상기 제1 전극의 상부 표면의 제1 수평 단부에 대한 접속을 제공하도록 구성된 제1 접속 요소; 및

[0027] 상기 유전체 층의 상부 표면의 제2 수평 단부에 인접한 상기 제2 전극의 제2 수평 단부에 대한 접속을 제공하도록 구성된 제2 접속 요소;

[0028] 중의 적어도 하나를 제공하도록 구성된다.

[0029] 본 발명의 제2 대표적인 실시 형태에 의하면, 미세 구조를 형성하는 방법이 제공되며, 상기 방법은,

[0030] 상부 표면을 지니는 기판을 제공하는 단계;

[0031] 상기 기판의 상부 표면에 평행한 수평 배향을 지니는 제1 전극을 형성하는 단계 - 상기 제1 전극은 상기 기판 내에 매립되고 그럼으로써 상기 제1 전극의 상부 표면은 상기 기판의 상부 표면과 일치하게 됨 -;

[0032] 상기 제1 전극의 상부 표면상에 유전체 층을 형성하는 단계; 및

[0033] 상기 유전체 층 상에 제2 전극을 형성하는 단계;

[0034] 를 포함한다.

[0035] 본 발명의 제3 대표적인 실시 형태에 의하면, 상기 제1 실시 형태에 따른 미세 구조를 포함하는 반도체 장치가 제공된다.

[0036] 일 실시 예에서, 상기 반도체 장치는 집적 수동 소자(IPD)를 포함한다.

[0037] 일 실시 예에서, 상기 반도체 장치는 실리콘 기판 층과 제1 금속 층 간에 배치된 패시베이션(passivation) 층을 포함한다.

[0038] 일 실시 예에서, 상기 반도체 장치는 적어도 하나의 전극의 적어도 하나의 금속 층의 표면상에 연장되는 적어도 하나의 배리어(barrier) 층을 포함한다.

[0039] 일 실시 예에서, 상기 유전체 층은 원자 층 증착(Atomic Layer Deposition; ALD) 성장 산화 알루미늄 층을 포함한다.

[0040] 일 실시 예에서, 상기 유전체 층은 플라즈마 강화 화학 기상 증착(plasma enhanced chemical vapor deposition; PECVD) 층을 포함한다.

[0041] 본 발명의 상이한 비-결합의 대표적인 실시 형태들 및 실시 예들이 전술한 내용에서 나타나 있다. 전술한 내용에서의 실시 예들은 단지 본 발명의 구현들에 이용될 수 있는 선택된 실시 형태들 또는 단계들을 설명하기 위해서만 사용된다. 일부 실시 예들은 본 발명의 특정한 대표적인 실시 형태들을 참조해서만 제시될 수 있다. 여기서 이해해야 할 점은 상응하는 실시 예들이 또한 다른 대표적인 실시 형태들에도 적용될 수 있다는 점이다.

[0042] 본 발명의 대표적인 실시 예들을 더 완전하게 이해하기 위해, 첨부도면들과 관련하여 취해진 이하의 설명들이 지금부터 참조된다.

도면의 간단한 설명

[0043] 도 1은 본 발명의 일 실시 예에 따른 미세 구조 일부의 프로파일/측면도이다.

도 2는 본 발명의 일 실시 예에 따른 MEMS 스위치의 미세 구조를 보여주는 도면이다.

도 3은 본 발명의 일 실시 예에 따른 MIM 커패시터의 미세 구조를 보여주는 도면이다.

도 4는 본 발명의 일 실시 예에 따른 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0044] 실시 예들에서, MEMS(microelectromechanical system) 스위치들, 금속-절연체-금속(metal-insulator-metal; MIM) 커패시터들 또는 수동 구성요소들 및 인덕터들 및 커패시터들을 사용하여 실현된 회로들과 같은 미세 구조가 개시되어 있다. 또한, IPD(Integrated Passive Device) 기술은 예를 들어 하이브리드 집적 능동 회로들을 지니는 멀티-칩 모듈 기술을 위한 통합 플랫폼으로서 사용될 수 있다.

[0045] 미세 구조 기술 또는 집적 수동 소자(IPD) 기술은 클린룸에서의 박막 처리에 적합한 임의의 기판을 대상으로 해서 이루어질 수 있다. 용융 실리카, 석영 또는 고 저항 실리콘은 일반적으로 양호한 RF 특성으로 인해 RF 애플리케이션들에 사용된다.

[0046] 미세 구조 또는 집적 수동 소자(IPD) 층들은 또한 높은 Q 수동 구성요소들 및 재분배 층(re-distribution layer; RDL)들을 지니기 위해 CMOS, SiGe 또는 GaAs와 같은 능동 소자 웨이퍼들을 대상으로 해서 사후처리될 수 있다.

[0047] 본 발명 및 본 발명의 잠재적인 이점들은 도 1 - 도 4를 참조함으로써 이해될 것이다. 본원 명세서에서, 유사한 참조부호들은 유사한 부분들 또는 단계들을 나타낸다.

[0048] 도 1은 본 발명의 일 실시 예에 따른 미세 구조(100) 일부의 프로파일/측면도이다.

[0049] 일 실시 예에서, 다이(도시되지 않음)는 상기 미세 구조(100)의 상부 상에 결합 될 수 있다. 또한, 회로 보드(도시되지 않음)가 상기 미세 구조물(100)의 상부 또는 하부 상에 결합 될 수 있다. 솔더 볼(solder ball)이 결합을 위해 이용될 수 있다.

[0050] 상기 미세 구조(100)는 상부 표면(111)을 지니는 기판(110), 상기 기판(110)의 상부 표면(111)에 평행한 수평 배향을 지니는 제1 전극(120)을 포함하고, 상기 제1 전극(120)은 상기 기판(110) 내에 매립되고 그럼으로써 상기 제1 전극(120)의 상부 표면(121)은 상기 기판(110)의 상부 표면과 일치하게 된다.

[0051] 일 실시 예에서, 상기 제1 전극(120)의 상부 표면(121)은 매끄러운 상부 표면을 생성하도록 폴리싱 또는 평탄화된다.

[0052] 상기 제1 전극(120)의 수직 두께는 5㎛ 초과하는 것이나, 심지어 10㎛ 초과하는 것일 수 있다.

[0053] 도 2는 본 발명의 일 실시 예에 따른 MEMS 스위치의 미세 구조(200)를 보여준다.

[0054] 일 실시 예에서, 상기 미세 전자 기계 시스템(MEMS) 스위치의 미세 구조(200)는 상부 표면(111)을 지니는 기판(110), 상기 기판(110)의 상부 표면(111)에 평행한 수평 배향을 갖는 제1 전극(120)을 포함하고, 상기 제1 전극(120)은 상기 기판(110) 내에 매립되고 그럼으로써 상기 제1 전극(120)의 상부 표면(121)은 상기 기판(110)의 상부 표면(111)과 일치하게 된다.

[0055] 상기 미세 구조(200)는 상기 제1 전극(120)의 상부 표면(121) 상에 배치된 유전체 층(140), 및 상기 유전체 층(140) 상에 배치된 제2 전극(130)을 더 포함한다.

[0056] 일 실시 예에서, 상기 미세 구조(200)는, 양측(兩側) 단부가 상기 기판(110)에 고정되는 빔(beam) 구조를 지니는 구조 층(131)을 더 포함하고, 상기 구조 층(131)은 상기 기판(110)에 대면하는 상기 구조 층(131)의 표면상에 제공된 상기 제2 전극을 포함한다.

[0057] 일 실시 예에서, 상기 미세 구조(200)는 상기 구조 층(131) 아래에 제공된 적어도 하나의 하부 구동 전극(150) 및 상기 기판(110)에 대면하는 상기 구조 층(131)의 표면상에 제공된 적어도 하나의 상부 구동 전극(151)을 더 포함할 수 있다. 따라서, 상기 상부 구동 전극(151)과 상기 하부 구동 전극(150) 간의 전위차가 생기게 되면, 상기 구조 층(131)은 정전기 인력에 의해 상기 기판(110)을 향해 인력을 받고, 그럼으로써 상부 스위치 전극으로서 작동하는 상기 제2 전극(130) 및 하부 스위치 전극으로서 작용하는 상기 제1 전극(120)이 서로 접촉하게 된다.

[0058] 일 실시 예에서, 상기 구동 전극들(150, 151)은 제1 및 제2 전극(120, 130)과 통합될 수도 있고 상기 제1 및 제2 전극(120, 130)은 전위차에 대해 바이어스 전압을 제공하는데 사용될 수도 있다.

[0059] 본 발명의 실시 예들은 이전에 공지된 시스템들보다 두꺼운 하부 전극을 지니는 새로운 유형의 MEMS 스위치 장치를 가능하게 한다. 이는 MEMS 스위치 기술의 손실을 줄이고 MEMS 스위치 기술이 스위치 커패시터 기술로서 사용될 때 품질 계수(Q)를 증가시킨다. 전극(120) 금속화의 상부 표면(121)은 폴리싱/평면화되고 결과적으로 상부 표면이 매끄럽게 된다. 이는 MEMS 구성요소들에 대해 특히 중요한데, 그 이유는 실시 예들의 구조 층(131)이 이전에 공지된 방법들에서와 같은 스텝들을 지니지 않기 때문이다. 이전에 공지된 방법들에서, 두꺼운 금속(> 1㎛)이 웨이퍼의 표면상에 증착되면, 이는 MEMS 구성요소의 구조 층에 대한 스텝들을 야기하고 결과적으로는 잠재적으로 나중에 문제를 야기한다. 또한, RF 전력 처리는 특히 하부 전극의 두꺼운 금속화로 인해 상당히 개선된다.

[0060] 따라서, 고품질 계수(Q)가 달성되는데, 이는 이전 공지된 방법들에 비해 쉬운 사후 처리와 함께 낮은 저항 손실을 의미한다. 또한, 평활한 하부 전극(120)으로 인해 유전체 층(140)에는 스텝 커버리지(step coverage) 문제들이 없고 구조 층(131)에는 스텝들이 없다. 이로 인해 고전압 및 전력 처리가 가능해진다.

[0061] 일반적으로, MEMS RF 스위치는 종래의 반도체 스위치보다 성능 이점을 지닌다. 예를 들어, MEMS RF 스위치는 상기 스위치가 온(on) 상태일 때 매우 낮은 삽입 손실(insertion loss)을 제공하며 상기 스위치가 오프(off) 상태일 때 높은 감쇠 레벨을 나타낸다. 반도체 스위치와 달리, MEMS RF 스위치는 매우 낮은 전력 소비 및 고주파 레벨(약 70GHz)을 특징으로 한다.

[0062] 일 실시 예에서, MEMS RF 스위치는 MIM(Metal/Insulator/Metal) 구조를 지니는데, 다시 말하면 절연체/유전체 층(140)은 2개의 전극(120, 130) 사이에 삽입되어 있다. 그러므로 바이어스 전압이 (예컨대, 구동 전극들(150, 151) 또는 상기 전극들(120,130)을 통해) MEMS RF 스위치에 인가될 때, 상기 스위치는 커패시터로서 작용하여 AC 신호가 상기 스위치를 통과하는 것을 허용한다.

[0063] 일 실시 예에서, 도 2는 MEMS RF 스위치(200)의 단면을 보여주는 도면이다. MEMS RF 스위치(300)는 기판(110), 제1 전극(120), 절연체(유전체 층)(140) 및 제2 전극(130)을 포함한다. 특히, 도 2의 MEMS RF 스위치는 구조 층

(131)을 지니며 상기 구조 층(131)에는 상기 제2 전극(130)이 배치되어 있다. 또한, 상기 제2 전극(130)과 상기 절연체(140) 사이에는 공극(air gap)(160)이 존재한다.

[0064] 바이어스 전압이 (구동 전극들 또는 주 전극들을 통해) 인가되면, 적어도 하나의 전극이 열 팽창될 수 있고 상기 절연체(140)의 방향으로 이동함으로써 상기 절연체(140)와 접촉하게 된다. 이 때문에, 상기 제 전극(120), 상기 절연체(140) 및 상기 제2 전극(130)은 함께 커패시터로서 작용하고, 상기 RF 스위치(200)는 턴온되고, 이는 또 RF 신호가 사전에 결정된 주파수 대역에 통과하는 것을 허용한다. 그러나 상기 바이어스 전압이 인가되지 않는다면, 상기 제2 전극(130)은 상기 절연체(140)로부터 분리된다. 결과적으로, 상기 RF 스위치(200)는 턴오프되고 RF 신호가 상기 RF 스위치(200)를 통과하는 것을 허용하지 않을 수 있다.

[0065] 일 실시 예에서, 상기 바이어스 전압이 인가되면, 제2 바이어스 전극(130, 151)은 양(+)으로 충전되고 결과적으로는 양(+) 전하가 축적하게 되며, 제1 바이어스 전극(120, 150)은 음(-)으로 충전되고 결과적으로는 (-) 전하가 축적하게 된다. 한편, 바이어스 전압의 인가와 무관하게, 상기 절연체(140)의 전하는 0으로 유지될 수 있다. 그러나 실제로는 상기 절연체(140)에 전하 축적이 종종 발생한다. 따라서, 상기 절연체(140) 상에서 검출된 전하가 항상 0인 것은 아니다.

[0066] 도 3은 본 발명의 일 실시 예에 따른 MIM 커패시터의 미세 구조(300)를 보여주는 도면이다.

[0067] 일 실시 예에서, 상기 MIM 커패시터의 미세 구조(300)는 상부 표면(111)을 지니는 기판(110), 상기 기판(110)의 상부 표면(111)에 평행한 수평 배향을 지니는 제1 전극(120)을 포함하고, 상기 제1 전극(120)의 상부 표면(121)이 상기 기판(110)의 상부 표면(111)과 일치하게 되도록 상기 제1 전극(120)은 상기 기판(110) 내에 매립된다.

[0068] 상기 미세 구조(300)는 상기 제1 전극(120)의 상부 표면(121) 상에 배치된 유전체 층(140) 및 상기 유전체 층(140)의 상부 표면상에 배치된 제2 전극(130)을 더 포함한다.

[0069] 일 실시 예에서, 도 3에 도시된 바와 같이, 상기 제1 전극(120)의 상부 표면(121)의 제1 수평 단부는 상기 유전체 층(140)에 의해 커버 되지 않은 채로 남겨 지고 상기 유전체 층(140)은 상기 제1 전극(120)의 상부 표면(121)의 제2 수평 단부 상으로 연장된다.

[0070] 또한, 상기 유전체 층(140)의 상부 표면의 제1 수평 단부는 상기 제2 전극(130)에 의해 커버 되지 않은 채로 남겨 질 수 있고, 상기 제2 전극(130)은 상기 유전체 층(140)의 상부 표면의 제2 수평 단부로 연장될 수 있다.

[0071] 일 실시 예에서, 상기 미세 구조(300)는 상기 기판(110) 상에 배치된 적어도 하나의 접속 요소(151, 152)를 더 포함할 수 있다.

[0072] 제1 접속 요소(151)는 예를 들어, 상기 제1 전극(120)의 상부 표면(121)의 제1 수평 단부에 대한 접속을 제공하도록 구성될 수 있다. 상기 제1 접속 요소(151)는 예를 들어 접속 패드일 수 있다.

[0073] 제2 접속 요소(152)는 예를 들어 상기 유전체 층(140)의 상부 표면의 제2 수평 단부에 인접한 상기 제2 전극(130)의 제2 수평 단부에 대한 접속을 제공하도록 구성될 수 있다. 상기 제2 접속 요소(151)는 또한 예를 들어 접속 패드일 수 있다. 상기 제2 접속 요소(152)는 상기 제2 전극(130)에 의해 구성되어 단일 요소(130)를 형성할 수 있게 된다.

[0074] 상기 제1 접속 요소(151) 및 상기 제2 접속 요소(152)는 상기 유전체 층(140)의 상부 표면의 대향 수평 단부들에 배치될 수 있다.

[0075] 공지된 시스템들에서, MIM 커패시터의 하부 전극의 두께는 전형적으로 0.1㎛ 내지 1㎛이다. 이는 저항 손실로 인해 MIM 커패시터들의 품질 계수(Q)를 제한한다.

[0076] MIM 커패시터에 대한 실시 예들은 두꺼운(5-10㎛) 하부 전극(120)을 가능하게 한다. 상기 두꺼운 하부 전극(120)은 상기 기판(110) 내에 제조되고 그 후에 평탄화된다. 이는 다음 처리 단계들을 위한 매끄러운 표면(121)을 허용한다. 유전체 층(140)은 상기 제1 전극(120)의 금속 층이 제공된 후에 성장된다. 상기 유전체 층(140)은 필요한 경우 패터닝(patterning)될 수 있다. 유전층(140) 상에는, 상기 제2 전극(130)의 금속 층이 성장된다.

[0077] 이러한 다목적 기술은 VHF(Very High Frequency; 초단파)에서부터 밀리미터파에 이르기까지의 주파수들 및 복수의 RF 애플리케이션들에 적합하다. 상기 반도체 장치(300)는 예를 들어, 박막 저항기들 및 상이한 금속 층들 간의 IPD 구성요소들을 더 포함할 수 있다.

[0078] 일 실시 예에서, 적어도 하나의 배리어(barrier) 층은 전극들(120, 130)의 적어도 하나의 금속 층의 표면상에 연장되어 형성될 수 있다.

[0079] 상기 배리어 층은 저압 화학 기상 증착 질화물(low-pressure chemical vapor deposition nitride; LPCVD SiN) 또는 플라즈마 강화 화학 기상 증착 질화물(plasma enhanced chemical vapor deposition nitride; PECVD SiNPECVD SiN)을 포함할 수 있다.

[0080] 상기 유전체 층(140)은 원자 층 증착(Atomic Layer Deposition; ALD) 성장 산화 알루미늄층 또는 예를 들어 테트라 에틸 오르토 실리케이트(tetraethylorthosilicate; TEOS)와 같은 플라즈마 강화 화학 기상 증착(plasma enhanced chemical vapor deposition; PECVD) 층을 포함할 수 있다. 상기 기판은 실리콘 기판 층(110)을 포함할 수 있다.

[0081] 일 실시 예에서, 접속 요소들(310, 311)은 적어도 하나의 금속 층에 상호접속하는 데 사용될 수 있는 도전 패드(conductive pad)들을 포함할 수 있다. 반도체 장치의 집적 수동 소자(IPD)에 대한 접속이 또한 배치될 수 있다. 상기 반도체 장치의 금속 층 패드들(310, 311)은 예를 들어 집적 수동 소자(IPD) 단자들에 연결될 수 있다.

[0082] 상기 유전체 층(140)은 상기 미세 구조(300)의 RF 성능에 영향을 미칠 수 있다.

[0083] 일 실시 예에서, 상이한 절연체 증착 방법들이 상이한 RF 성능들을 초래하기 위해 사용될 수 있다. RF 성능은 예를 들어 최소한의 정적 전하를 지니는 얇은 산화물 층(140)으로 최적화될 수 있다.

[0084] 일 실시 예에서, 고 저항 실리콘 기판들(110)이 사용될 수 있다. 신규 패시베이션(passivation) 층(들)을 지니는 이러한 고 저항 실리콘 기판들(110)은 반드시 표준 실리콘 웨이퍼들과 같은 방식을 수행하지는 않는다.

[0085] 상기 미세 구조 기판(110)에 접촉하는 유전체 층(140)의 두께 및 재료 유형은 상기 미세 구조(300)의 성능에 영향을 미친다. 특히 RF 성능이 영향을 받게 된다. 상기 기판(110)은 일부 구현 예들에서 유리 또는 실리콘 기판을 포함할 수 있다.

[0086] 일 실시 예에서, 예를 들어 고품질 계수 전송 선로들 및 수동 구성요소들을 위해 구리 금속 층이 제공될 수 있다. 금속 층들은 폴리이미드 층(140)에 의해 분리될 수 있고 동일한 금속 층의 상이한 금속 층 요소들은 제2 폴리이미드 재료에 의해 분리될 수 있다. 추가 단계로서, 플립 칩 범프(flip chip bump)들이 모듈들에 대한 구성요소 조립을 허용하기 위해 증착될 수 있다.

[0087] 일 실시 예에서, SiO2는 유전체 재료(140)로서 사용될 수 있지만, 높은 커패시턴스 밀도들이 필요한 경우에 다른 재료들도 이용 가능하다. 예를 들어, Ta2O5, HfO 또는 ZrO2의 유전율(permittivity)은 25, 16 및 20이다.

[0088] IPD 소자들에 대하여는, 박막 저항기 층의 저항이 애플리케이션에 따라 선택될 수 있다. 예를 들어, 표준 프로세스 박막 저항기들의 저항은 정합 RF 종단들에 적합하고 저항성 윌킨슨(resistive Wilkinson) 전력 분배기에 대한 저항기에 적합하다. RF MEMS 바이어싱 회로들과 같은 애플리케이션들에는 500 오옴 이상인 것이 바람직한 저항값들이 필요하다.

[0089] 본 발명의 실시 예들은 이전에 공지된 시스템보다 두꺼운 하부 전극을 지니는 새로운 유형의 MIM 커패시터를 가능하게 한다. 이는 MIM 커패시터 기술의 저항 손실을 낮추고 상기 기술의 사용시 품질 계수를 높인다. 전극(120) 금속화의 상부 표면(121)은 폴리싱/평면화되고 결과적으로는 상부 표면이 매끄럽게 될 수 있다. 이는 특히 MIM 구성요소들에 대해 중요한데, 그 이유는 상기 유전체 층(140)이 이때 이전에 공지된 시스템들에서와 같은 스텝 커버리지 문제들을 지니지 않기 때문이다. 이전에 공지된 방법들에서, 두꺼운 금속(> 1㎛)이 웨이퍼의 표면상에 증착되면, 이는 제1 전극(120)의 매립을 위한 상기 유전체 층(140)에 대한 스텝들을 야기한다. 실시 예들의 MIM 커패시터는 또한 폴리싱되고 매끄러운 표면으로 인해 종래의 MIM 커패시터들에 비해 높은 브레이크다운(breakdown) 전압을 지닌다. RF 전력 처리는 특히 하부 전극(120)에 대한 두꺼운 금속화로 인해 상당히 개선된다.

[0090] 따라서, 고품질 계수(Q)가 달성되는데, 이는 이전에 공지된 방법들에 비해 쉬운 사후 처리와 함께 낮은 저항 손실들을 의미한다. 또한, 매끄러운 하부 전극(120)으로 인해 유전체 층(140)에서는 스텝 커버리지 문제가 없다. 이로 인해 고전압 및 전력 처리가 가능해진다.

[0091] 도 4는 본 발명의 일 실시 예에 따른 방법의 흐름도이다.

[0092] 단계 410에서 미세 구조(100, 200, 300)(예컨대, 도 1 - 도 3 참조)를 형성하는 방법이 개시된다. 단계

420에서, 상부 표면(111)을 지니는 실리콘 기판(110)이 제공된다. 단계 430에서, 제1 전극(120)은 상기 기판(110)의 상부 표면(111)에 평행한 수평 배향으로 형성되고, 상기 제1 전극(120)은 상기 기판(110) 내에 매립되고 그럼으로써 상기 제1 전극(120)의 상부 표면(121)이 상기 기판(110)의 상부 표면과 일치하게 된다. 단계 440에서, 상기 제1 전극(120)의 상부 표면은 폴리싱/편광(polarization)된다. 단계 450에서, 상기 제1 전극(120)의 상부 표면(121) 상에 유전체 층(140)이 형성된다. 단계 460에서, 제2 전극(130)이 상기 유전체 층(140) 상에 형성된다. 단계 470에서, 상기 방법이 종료된다.

[0093] 일 실시 예에서, 패시베이션 층은 산화 알루미늄을 포함하고 상기 패시베이션 층과 도전 전극 간에 배리어 층을 제조함으로써 상기 패시베이션 층과 상기 도전 전극 간의 화학적 상호작용에 의해 야기되는 영향으로부터 보호하기 위해 실리콘 기판의 표면상에 형성된다.

[0094] 상기 패시베이션 층 상에 티타늄 및 산소, 탄탈륨 및 산소, 지르코늄 및 산소, 하프늄 및 산소, 또는 이들 중 임의의 조합, 또는 알루미늄 및 산소와의 이들의 임의의 조합을 포함하는 배리어 층은 2개 이상의 상이한 전구체의 번갈아 반복되는 표면 반응들에 대해 반응 공간에 패시베이션 층을 노출시키는 단계 - 상기 전구체들 중의 적어도 하나는 산소에 대한 전구체임 -; 및 상기 배리어 층 상에 알루미늄 페이스트를 포함하는 층을 형성함으로써 상기 패시베이션 층 상에 증착된 상기 배리어 층 상의 도전 전극을 형성하는 단계를 수행함으로써 증착될 수 있다.

[0095] 상기 반응 공간은 차후에 산화 알루미늄을 포함하는 패시베이션 층을 형성하기에 적합한 압력으로 펌프 다운(pump down)될 수 있다. 상기 반응 공간은 예컨대 기계적 진공 펌프를 사용하여 적합한 압력으로 펌프 다운될 수도 있고, 대기압 ALD 시스템들 및/또는 프로세스들의 경우에, 가스 흐름들은 대기로부터 증착 구역을 보호하도록 설정될 수 있다. 실리콘 기판은 또한 사용된 방법에 의해 패시베이션 층, 도전 층 또는 유전체 층을 형성하기에 적합한 온도로 가열될 수 있다. 실리콘 기판은 예컨대 밀폐된 로드-록(load-lock) 시스템을 통해 또는 단순히 로딩 해치(loading hatch)를 통해 상기 반응 공간에 도입될 수 있다. 상기 실리콘 기판은 예컨대 전체 반응 공간을 또한 가열하는 저항 가열 요소에 의해 가열될 수 있다.

[0096] 상기 실리콘 기판 및 상기 반응 공간이 증착에 적합한 타깃 온도 및 다른 조건들에 도달한 후에, 실리콘 표면은 증착된 물질이 실리콘 표면상에 본질적으로 직접 증착될 수 있도록 컨디셔닝(conditioning)될 수 있다. 상부에 층이 증착될 실리콘 표면의 이러한 컨디셔닝은 불순물들 및/또는 산화로부터의 실리콘 필름 표면의 화학적 정제를 포함할 수 있다. 특히 산화물의 제거는 실리콘 표면이 산화 환경을 통해 상기 반응 공간 내로 반입되었을 때, 예컨대 노출된 실리콘 표면을 한 증착 툴로부터 다른 증착 툴로 이송할 때 유리하다. 상기 실리콘 필름 표면으로부터 불순물들 및/또는 산화물을 제거하기 위한 프로세스의 세부사항은 본원 명세서의 관점에서 당업자에게 명백할 것이다. 본 발명의 일부 실시 예들에서 상기 컨디셔닝은 현지 외부에서, 다시 말하면 ALD-유형 프로세스에 적합한 툴 외부에서 수행될 수 있다.

[0097] 상기 실리콘 기판이 컨디셔닝 된 후에, 상이한 전구체 화학 물질에 대한 증착 표면의 교호(交互) 노출이 상기 실리콘 기판상에 직접 다른 층을 형성하도록 시작될 수 있다. 상기 증착 표면이 전구체에 노출될 때마다, 상기 증착 표면과 상응하는 전구체의 흡착 반응의 결과로서 상기 증착 표면상에 추가적인 증착물이 형성된다.

[0098] ALD-유형 증착에 적합한 전형적인 반응기는 반응 공간 내에 다음 전구체를 도입하기 전에 반응 공간이 잉여 화학 물질 및 반응 부산물로부터 제거될 수 있도록 반응 공간 내에 질소 또는 아르곤과 같은 캐리어 가스를 반응 공간에 도입하기 위한 시스템을 포함한다. 이러한 특징은 기화된 전구체들의 제어된 투여와 함께 반응 공간에서나 또는 반응기의 다른 부분에서 상이한 전구체들의 상당한 혼입 없이 기판 표면을 전구체들에 번갈아 노출할 수 있다. 실제로, 캐리어 가스의 흐름은 증착 프로세스 전체에 걸쳐 반응 공간을 통해 일반적으로 연속적이고, 다양한 전구체 만이 캐리어 가스를 통해 반응 공간에 번갈아 도입된다.

[0099] 상기 실리콘 기판상의 추가의 선택 층, 예컨대 패시베이션 층의 두께는 증착 표면이 상이한 전구체들에 노출되는 횟수에 의해 제어될 수 있다. 상기 패시베이션 층의 두께는 타깃 두께에 도달할 때까지 증가하게 되고, 그 후에는 적어도 하나의 절연체 층이 증착된다.

[0100] 본 발명의 일 실시 예에서 절연체 층, 예컨대 유전체 층의 증착은 동일한 증착 툴에서 ALD-유형 프로세스로 수행된다. 이 경우에, 상기 절연체 층의 증착은 이전 층의 증착에 사용된 전구체 화학 물질들로부터 상기 절연체 층의 증착에 적합한 전구체 화학 물질들로 전구체 화학 물질들을 변경함으로써 간단히 시작할 수 있다.

[0101] 일 실시 예에서, 본드 와이어 패키지는 다이(die) 상에 적층 된 미세 구조(100, 200, 300)를 포함한다. 상기 다이는 리드프레임 상에 배치될 수 있다. 상기 리드 프레임은 PGA(Pin Grid Array) 패키지, QFN(Quad Flat Non-

leaded) 패키지 또는 기타 패키지일 수 있다. 상기 리드프레임은 제1 패드들을 포함할 수 있고 PCB 상에 장착될 수 있다. 상기 미세 구조(100, 200, 300)와 상기 다이 사이에는 중간 층이 배치되어 상기 미세 구조(100, 200, 300)를 상기 다이에 접속할 수 있게 된다. 집적 수동 소자(IPD)들도 상기 다이 내에 배치될 수 있다.

[0102] 상기 집적 수동 소자(IPD)는 절연 층 또는 제2 기판 및 금속화 층들을 포함한다. 상기 절연 층 또는 상기 제2 기판은 금속화 층들 사이에 배치된다. 상기 절연 층 또는 상기 제2 기판은 비어(via)들을 포함할 수 있다. 상기 비어들은 유리를 통한 비어(Through Glass Via; TGV)들 또는 실리콘을 통한 비어(Through Silicon Via; TSV)들일 수 있다. 상기 비어들은 제1 금속화 층 및 상기 제1 금속화 층 상의 수동 소자들을 제2 금속화 층 및/또는 상기 제2 금속화 층 상의 수동 소자들에 접속할 수 있다. 상기 수동 소자들 각각은 집적 수동 소자(IPD)의 하나 이상의 층들 상에서 구현될 수 있다.

[0103] 상기 미세 구조(100, 200, 300) 상에는 추가 패드들이 배치될 수 있다. 상기 패드들은 본드 와이어들에 의해 제1 패드에 접속될 수 있다. 상기 패드들은 금속화 층 및/또는 상기 금속화 층 내의 수동 소자들에 접속될 수 있다.

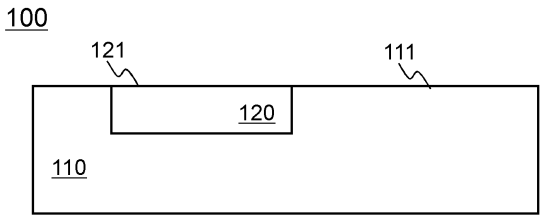
[0104] 이하에 나타나는 청구항들의 범위, 해석 또는 적용을 어떠한 방식으로도 제한하지 않으면서, 본원 명세서에 개시된 대표적인 실시 예들 중 하나 이상의 실시 예들의 기술적 효과는 특히 하부 전극에 대한 두꺼운 금속화로 인해 개선된 RF 전력 처리이다. 본원 명세서에 개시된 대표적인 실시 예들 중 하나 이상의 실시 예들의 다른 기술적 효과는 개선된 품질 계수(Q)이다. 본원 명세서에 개시된 대표적인 실시 예들 중 하나 이상의 실시 예들의 다른 기술적 효과는 공지된 방법들에 비해 편리한 사후 처리이다. 본원 명세서에 개시된 대표적인 실시 예들 중 하나 이상의 실시 예들의 다른 기술적 효과는 매끄러운 하부 전극으로 인해 유전체 층에 스텝 커버리지 문제들이 없고 구조 층에서의 스텝들이 없다는 것이다. 이로 인해 고전압 및 전력 처리가 가능해진다. 본원 명세서에 개시된 대표적인 실시 예들 중 하나 이상의 실시 예들의 다른 기술적 효과는 미세 구조의 개선된 제조 프로세스이다. 본원 명세서에 개시된 대표적인 실시 예들 중 하나 이상의 실시 예들의 다른 기술적 효과는 신뢰성 있고 컴팩트한 반도체 장치를 제공하는 것이다.

[0105] 본 발명의 다양한 실시 형태가 독립청구항에 기재되어 있지만, 본 발명의 다른 실시형태들은 설명된 실시 예들 및/또는 독립청구항들의 특징들을 지니는 종속청구항들로부터의 특징들의 다른 조합들을 포함하며, 단지 청구항들에 명시적으로 기재된 조합들만을 포함하는 것은 아니다.

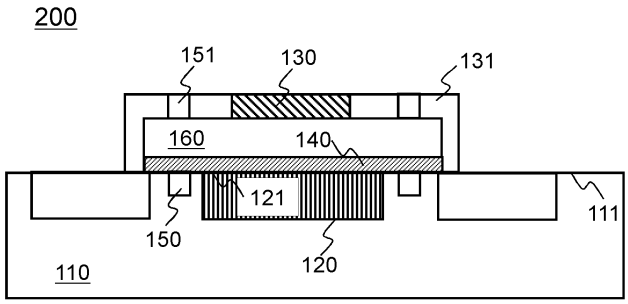
[0106] 또한, 여기서 유념할 점은 앞서 언급한 내용이 본 발명의 대표적인 실시 예들을 설명하고 있지만, 이러한 설명들이 제한적인 의미로 간주 되어서는 아니 된다는 점이다. 오히려, 첨부된 청구항들에서 정의된 바와 같이 본 발명의 범위를 벗어나지 않고 이루어질 수 있는 몇 가지 변형 예들 및 수정 예들이 존재한다.

도면

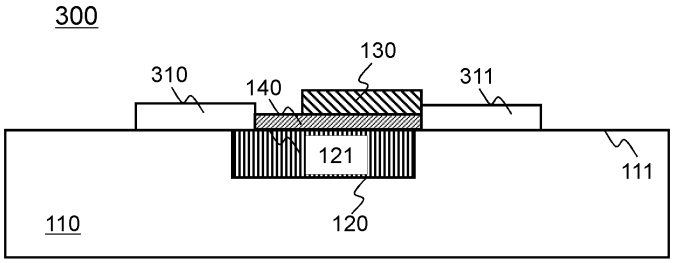
도면1



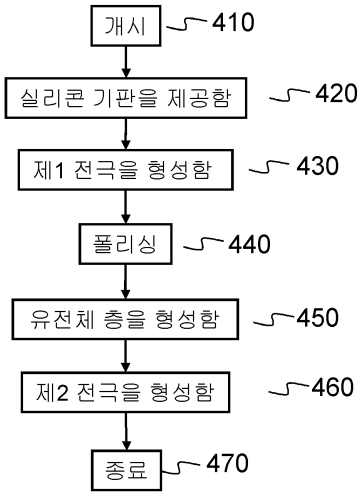
도면2


200
151
130
131
160
140
121
111
150
120
110

도면3


300
130
310
140
311
121
111
110
120

도면4


개시
410
실리콘 기판을 제공함
420
제1 전극을 형성함
430
폴리싱
440
유전체 층을 형성함
450
제2 전극을 형성함
460
종료
470