



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0027823
(43) 공개일자 2020년03월13일

(51) 국제특허분류(Int. Cl.)
H01L 27/07 (2006.01) H01L 27/06 (2006.01)
H01L 27/115 (2017.01) H01L 29/10 (2006.01)
(52) CPC특허분류
H01L 27/0727 (2013.01)
H01L 27/0688 (2013.01)
(21) 출원번호 10-2018-0106118
(22) 출원일자 2018년09월05일
심사청구일자 2018년09월05일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김상식
서울특별시 강남구 남부순환로 2803, 105동 1901호(도곡동, 삼성래미안아파트)
조경아
서울특별시 광진구 천호대로110길 72(능동)
(74) 대리인
김연권

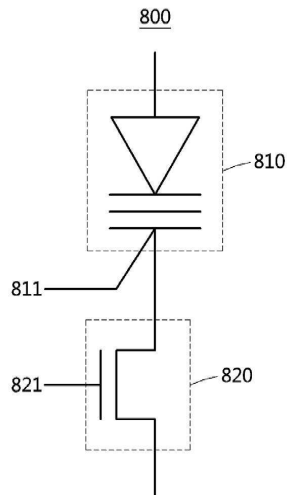
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 휘발성 및 비휘발성 동작변환 가능한 피드백 전계효과 배열소자 및 이를 이용한 배열 회로

(57) 요약

본 발명은 휘발성 및 비휘발성 동작변환 가능한 피드백 전계효과 배열소자 및 이를 이용한 배열 회로를 개시한다. 본 발명의 일실시예에 따르면 배열 회로는 피드백 전계효과 전자소자의 소오스 영역과 접근 전자소자의 드레인 영역이 직렬 연결된 복수의 피드백 전계효과 배열소자를 포함하고, 상기 피드백 전계효과 전자소자는 비트 라인 및 제1 워드 라인과 연결되고, 상기 접근 전자소자는 소오스 라인 및 제2 워드 라인과 연결되며, 상기 제1 워드 라인에 제1 게이트 전압 또는 제2 게이트 전압 중 어느 하나를 인가하여 제1 논리 상태의 데이터 또는 제2 논리 상태의 데이터를 저장할 수 있다.

대표도 - 도8



(52) CPC특허분류

H01L 27/115 (2013.01)

H01L 29/1029 (2013.01)

(72) 발명자

강현구

서울특별시 강남구 개포로 658, 301호(일원동)

조진선

서울특별시 노원구 마들로 31, 118동 303호(월계동, 그랑빌아파트)

임두혁

서울특별시 송파구 동남로 160, 17동 502호(문정동, 현대아파트)

김윤중

서울특별시 강남구 논현로119길 51, 202호(논현동)

우슬아

경기도 과천시 별양로 12, 332동 1502호(원문동, 래미안 슈르)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711074152

부처명 과학기술정보통신부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발사업

연구과제명 인공지능용 feedback Si channel 1T-SRAM의 공정 및 구조 최적화 기술 개발

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2018.01.01 ~ 2018.12.31

명세서

청구범위

청구항 1

피드백 전계효과 전자소자의 소오스 영역과 접근 전자소자의 드레인 영역이 직렬 연결된 복수의 피드백 전계효과 배열소자를 포함하고,

상기 피드백 전계효과 전자소자는 비트 라인 및 제1 워드 라인과 연결되고,

상기 접근 전자소자는 소오스 라인 및 제2 워드 라인과 연결되며,

상기 제1 워드 라인에 제1 게이트 전압 또는 제2 게이트 전압 중 어느 하나를 인가하여 제1 논리 상태의 데이터 또는 제2 논리 상태의 데이터를 저장하는

배열 회로.

청구항 2

제1항에 있어서,

상기 피드백 전계효과 전자소자는

제1 도전형 영역, 제2 도전형 영역, 상기 제1 도전형 영역과 상기 제2 도전형 영역 사이에 배치된 진성 영역 및 상기 진성 영역과 상기 제2 도전형 영역 사이에 배치된 장벽 영역을 포함하는 다이오드 구조체;

상기 장벽 영역과 상기 진성 영역을 둘러싸도록 배치되는 터널 산화물층;

상기 터널 산화물층 상에 배치되고, 상기 다이오드 구조체로부터의 유입되는 전류의 전하를 저장하는 전하 저장층;

상기 터널 산화물층과 상기 전하 저장층을 둘러싸도록 배치되는 블록 산화물층; 및

상기 블록 산화물층 상에 상기 진성 영역을 둘러싸도록 배치되는 게이트 전극을 포함하는

배열 회로.

청구항 3

제2항에 있어서,

상기 전하 저장층은, 상기 게이트 전극을 통하여 상기 제1 게이트 전압이 인가되고, 상기 제1 도전형 영역 및 상기 제2 도전형 영역을 통하여 그라운드 전압이 인가된 경우, 상기 진성 영역으로부터 유입되는 전자를 트랩(trap)하는

배열 회로.

청구항 4

제3항에 있어서,

상기 전하 저장층은 상기 게이트 전극을 통해 제2 게이트 전압이 인가되고, 상기 제1 도전형 영역 및 상기 제2 도전형 영역을 통해 상기 그라운드 전압이 인가되는 경우, 상기 트랩된 전자를 상기 진성 영역으로 방출하는

배열 회로.

청구항 5

제4항에 있어서,

상기 피드백 전계효과 배열소자는 상기 제1 도전형 영역 및 상기 게이트 전극을 통해 상기 그라운드 전압이 인가되고, 상기 제2 도전형 영역을 통해 제1 드레인 전압이 인가될 경우, 상기 트랩된 전자 또는 상기 방출된 전자와 관련된 전류를 상기 제1 도전형 영역을 통하여 출력하는

배열 회로.

청구항 6

제5항에 있어서,

상기 제1 게이트 전압의 크기는 상기 그라운드 전압보다 크고,

상기 제2 게이트 전압의 크기는 상기 그라운드 전압보다 작은

배열회로.

청구항 7

제2항에 있어서,

상기 전하 저장층은 상기 비트 라인의 전압이 플로팅되고, 상기 제1 워드 라인을 통해 제1 게이트 전압이 인가되고, 상기 제2 워드 라인을 통해 상기 제1 게이트 전압의 하프 전압이 인가될 경우, 상기 제1 논리 상태의 데이터가 저장되는

배열 회로.

청구항 8

제7항에 있어서,

상기 전하 저장층은 상기 비트 라인을 통해 상기 제1 게이트 전압에 상응하는 전압이 인가되고, 상기 제1 워드 라인 및 상기 제2 워드 라인을 그라운드 전압이 인가된 경우, 상기 제2 논리 상태의 데이터가 저장되는

배열 회로.

청구항 9

제3항에 있어서,

상기 전하 저장층은 질화 규소를 이용하여 형성되고,

상기 터널 산화물층은 이산화 규소를 이용하여 형성되며,

상기 블록 산화물층은 산화 알루미늄을 이용하여 형성되는

배열 회로.

청구항 10

제2항에 있어서,

상기 다이오드 구조체는 상기 제1 도전형 영역을 소오스 영역으로 이용하고, 상기 제2 도전형 영역을 드레인 영역으로 이용하며, 상기 진성 영역과 상기 장벽 영역을 채널 영역으로 이용하되, 상기 제1 소오스 영역, 상기 드레인 영역 및 상기 채널 영역의 길이는 동일한

배열 회로.

청구항 11

제10항에 있어서,

상기 다이오드 구조체는 상기 제1 도전형 영역 및 상기 장벽 영역에 n형 불순물이 도핑되고, 상기 제2 도전형 영역에 p형 불순물이 도핑되는

배열 회로.

청구항 12

제2항에 있어서,

상기 다이오드 구조체는 상기 진성 영역과 상기 장벽 영역이 전하가 이동하는 채널 영역으로서 동작하고, 상기 제1 도전형 영역, 상기 제2 도전형 영역 및 상기 채널 영역이 동일한 길이로 형성되는

배열 회로.

청구항 13

제2항에 있어서,

상기 블록 산화물층의 두께 길이는 상기 전하 저장층의 두께 길고,

상기 터널 산화물층의 두께 길이는 상기 전하 저장층의 두께 길이보다 짧은

배열 회로.

청구항 14

제2항에 있어서,

상기 피드백 전계효과 전자소자는 상기 게이트 전극을 통해 제4 게이트 전압이 인가되고, 상기 제2 도전형 영역을 통해 제1 드레인 전압이 인가되는 경우, 제1 논리 상태의 데이터를 저장하는

배열 회로.

청구항 15

제14항에 있어서,

상기 피드백 전계효과 전자소자는 상기 게이트 전극을 통해 상기 제4 게이트 전압이 인가되고, 상기 제2 도전형 영역을 통해 제2 드레인 전압이 인가되는 경우, 제2 논리 상태의 데이터를 저장하는

배열 회로.

청구항 16

제15항에 있어서,

상기 피드백 전계효과 전자소자는 상기 게이트 전극을 통해 제5 게이트 전압이 인가되고, 상기 제2 도전형 영역을 통해 제3 드레인 전압이 인가되는 경우, 상기 제1 논리 상태의 데이터 또는 상기 제2 논리 상태의 데이터 중 어느 하나를 유지하는

배열 회로.

청구항 17

제16항에 있어서,

상기 피드백 전계효과 전자소자는 상기 게이트 전극을 통해 제6 게이트 전압이 인가되고, 상기 제2 도전형 영역을 통해 상기 제1 드레인 전압이 인가되는 경우, 상기 유지된 데이터와 관련된 전류를 상기 제1 도전형 영역을 통하여 출력하는

배열 회로.

발명의 설명

기술 분야

[0001] 본 발명은 휘발성 및 비휘발성 동작변환 가능한 피드백 전계효과 배열소자 및 이를 이용한 배열 회로에 관한 것으로, 보다 구체적으로, 질화물 전하 저장층을 포함하여 휘발성 메모리 동작과 비휘발성 메모리 동작을 변환하는 피드백 전계효과 소자와 접근 전자소자를 포함하는 복수의 피드백 전계효과 배열소자를 이용한 배열 회로에 관한 것이다.

배경 기술

[0003] 현재, CMOS (complementary metal-oxide-semiconductor) 기술이 축소됨에 따라, 프로세서와 메모리 속도 사이의 갭, 즉 소위 "메모리 벽"은 전반적인 시스템 성능의 주요 병목 현상이 되었고, 그에 따라 상호 연결 지연 및 전력 소모도 증가했다.

[0004] 그에 대한 해결 방안으로 3차원 통합이 제안되고 있으며, 종래 연구에 따르면 3차원 통합은 이러한 문제를 극복하기 위해 더 높은 대역폭과 짧은 와이어 길이를 제공할 수 있다.

[0005] 또한, 단일 셀에 커패시터없는 DRAM과 플래시를 병합하는 몇 가지 연구가 있었다.

[0006] 따라서, 단일 셀에 커패시터없는 DRAM에 플래시를 병합하는 기술을 이용하여 3 차원 통합에서 생산 비용을 줄이고 수율을 높일 수 있다.

[0007] 그러나, 단일 셀에서 커패시터없는 DRAM을 플래시 메모리와 병합하는 주요 문제점으로 휘발성 메모리 동작 중 저장된 전하가 교란되는 현상이 존재한다.

[0008] 따라서, 종래 휘발성 DRAM 메모리 소자 또는 비휘발성 flash 메모리 소자의 구조는 각각의 특성만을 활용할 수 있는 소자 구조로, 휘발성 또는 비휘발성 동작특성이 선택적으로 요구되었을 때, 메모리 소자들을 유연하게 활용할 수 없다.

[0009] 이에 따라, 간단한 구조로 메모리 소자의 소형화 및 집적화가 가능하며 누설전류를 감소시키는 저전력 및 고효율의 특징을 가지는, 좁은 메모리 윈도우에서도 충분한 읽기 감지 폭(read sensing margin)을 확보할 수 있는 새로운 구조의 메모리 소자의 개발이 요구된다.

[0010] FBFET(feedback field-effect transistor)은 단일 셀에서 비휘발성 메모리와 휘발성 메모리를 병합하는 유망한

후보 중 하나이다.

- [0011] FBFET은 양성 피드백 메커니즘으로 인해 거의 제로에 가까운 서브 스레숄드 스윙(SS) 및 우수한 휘발성 메모리 특성을 보여주고, 서브 스레숄드 스윙 이 거의 없기 때문에 FBFET은 큰 감지 폭을 가질 수 있다.
- [0012] FBFET은 충격 이온화없이도 그 특성을 나타내므로 전하 저장층에 저장된 전하의 교란 현상 면역을 제공할 수 있다.
- [0013] 이전 연구에서 FBFET은 차지 트랩 스페이서 또는 듀얼 게이트와 같은 구조로 인해 복잡한 동작 방식을 사용할 수 있다.
- [0014] 따라서, 휘발성/비휘발성 동작 특성이 한 소자 내에서 구현 가능하도록 뛰어난 전기적/물리적/구조적 특성을 지니는 FBFET 기반의 소자의 개발이 요구된다.

선행기술문헌

특허문헌

- [0016] (특허문헌 0001) 한국공개특허 제10-2017-0127645호, "수직 반도체 컬럼을 구비한 듀얼 게이트 메모리 소자"
- (특허문헌 0002) 한국등록특허 제10-1857873호, "로직 반도체 소자"
- (특허문헌 0003) 한국등록특허 제10-1835231호, "반도체 소자"

발명의 내용

해결하려는 과제

- [0017] 본 발명은 휘발성 및 비휘발성 동작 특성을 하나의 소자에서 구현하는 피드백 전계효과 전자소자를 이용한 배열 회로를 구현하는 것을 목적으로 할 수 있다.
- [0018] 본 발명은 메모리 소자의 소형화 및 집적화가 가능하며, 누설 전류를 감소시켜 저전력 및 고효율의 특징을 갖는 피드백 전계효과 전자소자를 이용한 배열 회로를 구현하는 것을 목적으로 할 수 있다.
- [0019] 본 발명은 상대적으로 짧은 시간에서도 전류를 감지하여 읽기 동작을 수행하는 피드백 전계효과 전자소자를 이용한 배열 회로를 구현하는 것을 목적으로 할 수 있다.
- [0020] 본 발명은 상대적으로 짧은 시간에서도 전류를 감지하는 높은 감지 폭과 빠른 쓰기 동작 수행함에 따라 소형화에 따라 발생하는 단채널 효과를 방지하는 것을 목적으로 할 수 있다.
- [0021] 본 발명은 쓰기 및 지우기 과정에서 낮은 인가전압을 요구하여 낮은 전력 소모를 갖는 피드백 전계효과 전자소자를 이용한 배열 회로를 구현하는 것을 목적으로 할 수 있다.

과제의 해결 수단

- [0023] 본 발명의 일실시예에 따르면 배열 회로는 피드백 전계효과 전자소자의 소오스 영역과 접근 전자소자의 드레인 영역이 직렬 연결된 복수의 피드백 전계효과 배열소자를 포함하고, 상기 피드백 전계효과 전자소자는 비트 라인 및 제1 워드 라인과 연결되고, 상기 접근 전자소자는 소오스 라인 및 제2 워드 라인과 연결되며, 상기 제1 워드 라인에 제1 게이트 전압 또는 제2 게이트 전압 중 어느 하나를 인가하여 제1 논리 상태의 데이터 또는 제2 논리 상태의 데이터를 저장할 수 있다.
- [0024] 본 발명의 일실시예에 따르면 상기 피드백 전계효과 전자소자는 제1 도전형 영역, 제2 도전형 영역, 상기 제1 도전형 영역과 상기 제2 도전형 영역 사이에 배치된 진성 영역 및 상기 진성 영역과 상기 제2 도전형 영역 사이에 배치된 장벽 영역을 포함하는 다이오드 구조체, 상기 장벽 영역과 상기 진성 영역을 둘러싸도록 배치되는 터널 산화물층, 상기 터널 산화물층 상에 배치되고, 상기 다이오드 구조체로부터의 유입되는 전류의 전하를 저장하는 전하 저장층, 상기 터널 산화물층과 상기 전하 저장층을 둘러싸도록 배치되는 블록 산화물층 및 상기 블록

산화물층 상에 상기 진성 영역을 둘러싸도록 배치되는 게이트 전극을 포함할 수 있다.

- [0025] 본 발명의 일실시예에 따르면 상기 전하 저장층은, 상기 게이트 전극을 통하여 상기 제1 게이트 전압이 인가되고, 상기 제1 도전형 영역 및 상기 제2 도전형 영역을 통하여 그라운드 전압이 인가되는 경우, 상기 진성 영역으로부터 유입되는 전자를 트랩(trap)할 수 있다.
- [0026] 본 발명의 일실시예에 따르면 상기 전하 저장층은 상기 게이트 전극을 통해 제2 게이트 전압이 인가되고, 상기 제1 도전형 영역 및 상기 제2 도전형 영역을 통해 상기 그라운드 전압이 인가되는 경우, 상기 트랩된 전자를 상기 진성 영역으로 방출할 수 있다.
- [0027] 본 발명의 일실시예에 따르면 상기 피드백 전계효과 배열소자는 상기 제1 도전형 영역 및 상기 게이트 전극을 통해 상기 그라운드 전압이 인가되고, 상기 제2 도전형 영역을 통해 제1 드레인 전압이 인가될 경우, 상기 트랩된 전자 또는 상기 방출된 전자와 관련된 전류를 상기 제1 도전형 영역을 통하여 출력할 수 있다.
- [0028] 본 발명의 일실시예에 따르면 상기 제1 게이트 전압의 크기는 상기 그라운드 전압보다 크고, 상기 제2 게이트 전압의 크기는 상기 그라운드 전압보다 작을 수 있다.
- [0029] 본 발명의 일실시예에 따르면 상기 전하 저장층은 상기 비트 라인의 전압이 플로팅되고, 상기 제1 워드 라인을 통해 제1 게이트 전압이 인가되고, 상기 제2 워드 라인을 통해 상기 제1 게이트 전압의 하프 전압이 인가될 경우, 상기 제1 논리 상태의 데이터가 저장될 수 있다.
- [0030] 본 발명의 일실시예에 따르면 상기 전하 저장층은 상기 비트 라인을 통해 상기 제1 게이트 전압에 상응하는 전압이 인가되고, 상기 제1 워드 라인 및 상기 제2 워드 라인을 그라운드 전압이 인가되는 경우, 상기 제2 논리 상태의 데이터가 저장될 수 있다.
- [0031] 본 발명의 일실시예에 따르면 상기 전하 저장층은 질화 규소를 이용하여 형성되고, 상기 터널 산화물층은 이산화 규소를 이용하여 형성되며, 상기 블록 산화물층은 산화 알루미늄을 이용하여 형성될 수 있다.
- [0032] 본 발명의 일실시예에 따르면 상기 다이오드 구조체는 상기 제1 도전형 영역을 소오스 영역으로 이용하고, 상기 제2 도전형 영역을 드레인 영역으로 이용하며, 상기 진성 영역과 상기 장벽 영역을 채널 영역으로 이용하되, 상기 제1 소오스 영역, 상기 드레인 영역 및 상기 채널 영역의 길이는 동일할 수 있다.
- [0033] 본 발명의 일실시예에 따르면 상기 다이오드 구조체는 상기 제1 도전형 영역 및 상기 장벽 영역에 n형 불순물이 도핑되고, 상기 제2 도전형 영역에 p형 불순물이 도핑될 수 있다.
- [0034] 본 발명의 일실시예에 따르면 상기 다이오드 구조체는 상기 진성 영역과 상기 장벽 영역이 전하가 이동하는 채널 영역으로서 동작하고, 상기 제1 도전형 영역, 상기 제2 도전형 영역 및 상기 채널 영역이 동일한 길이로 형성될 수 있다.
- [0035] 본 발명의 일실시예에 따르면 상기 블록 산화물층의 두께 길이는 상기 전하 저장층의 두께 길고, 상기 터널 산화물층의 두께 길이는 상기 전하 저장층의 두께 길이보다 짧을 수 있다.
- [0036] 본 발명의 일실시예에 따르면 상기 피드백 전계효과 전자소자는 상기 게이트 전극을 통해 제4 게이트 전압이 인가되고, 상기 제2 도전형 영역을 통해 제1 드레인 전압이 인가되는 경우, 상기 제1 논리 상태의 데이터를 저장할 수 있다.
- [0037] 본 발명의 일실시예에 따르면 상기 피드백 전계효과 전자소자는 상기 게이트 전극을 통해 상기 제4 게이트 전압이 인가되고, 상기 제2 도전형 영역을 통해 제2 드레인 전압이 인가되는 경우, 상기 제2 논리 상태의 데이터를 저장할 수 있다.
- [0038] 본 발명의 일실시예에 따르면 상기 피드백 전계효과 전자소자는 상기 게이트 전극을 통해 제5 게이트 전압이 인가되고, 상기 제2 도전형 영역을 통해 제3 드레인 전압이 인가되는 경우, 상기 제1 논리 상태의 데이터 또는 상기 제2 논리 상태의 데이터 중 어느 하나를 유지할 수 있다.
- [0039] 본 발명의 일실시예에 따르면 상기 피드백 전계효과 전자소자는 상기 게이트 전극을 통해 제6 게이트 전압이 인가되고, 상기 제2 도전형 영역을 통해 상기 제1 드레인 전압이 인가되는 경우, 상기 유지된 데이터와 관련된 전류를 상기 제1 도전형 영역을 통하여 출력할 수 있다.

발명의 효과

- [0041] 본 발명은 휘발성 및 비휘발성 동작 특성을 하나의 소자에서 구현하는 피드백 전계효과 전자소자를 이용한 배열 회로를 구현할 수 있다.
- [0042] 본 발명은 메모리 소자의 소형화 및 집적화가 가능하며, 누설 전류를 감소시켜 저전력 및 고효율의 특징을 갖는 피드백 전계효과 전자소자를 이용한 배열 회로를 구현할 수 있다.
- [0043] 본 발명은 상대적으로 짧은 시간에서도 전류를 감지하여 읽기 동작을 수행하는 피드백 전계효과 전자소자를 이용한 배열 회로를 구현할 수 있다.
- [0044] 본 발명은 상대적으로 짧은 시간에서도 전류를 감지하는 높은 감지마진과 빠른 쓰기 동작 수행함에 따라 소형화에 따라 발생하는 단채널 효과를 방지할 수 있다.
- [0045] 본 발명은 쓰기 및 지우기 과정에서 낮은 인가전압을 요구하여 낮은 전력 소모를 갖는 피드백 전계효과 전자소자를 이용한 배열 회로를 구현할 수 있다.

도면의 간단한 설명

- [0047] 도 1은 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 입체 구성을 설명하기 위한 도면이다.
- 도 2는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 단면 구성을 설명하기 위한 도면이다.
- 도 3a 내지 도 3d는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 비휘발성 쓰기 동작 특성을 설명하기 위한 도면이다.
- 도 4a 내지 도 4d는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 비휘발성 읽기 동작 특성을 설명하기 위한 도면이다.
- 도 5는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 비휘발성 데이터 유지 특성을 설명하기 위한 도면이다.
- 도 6은 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 휘발성 소자로서의 동작 특성을 설명하기 위한 도면이다.
- 도 7은 본 발명의 일실시예에 따른 접근 전자소자의 단면도를 설명하는 도면이다.
- 도 8은 본 발명의 일실시예에 따른 피드백 전계효과 배열소자의 회로도를 설명하는 도면이다.
- 도 9는 본 발명의 일실시예에 따른 피드백 전계효과 배열소자를 이용한 배열 회로를 설명하는 도면이다.
- 도 10a 및 도 10b는 본 발명의 일실시예에 따른 배열 회로의 휘발성 동작 특성을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0048] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.
- [0049] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.
- [0050] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0051] 그리고 후술되는 용어들은 다양한 실시 예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0052] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.
- [0053] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.
- [0054] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한

조합을 포함할 수 있다.

- [0055] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.
- [0056] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.
- [0057] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.
- [0058] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.
- [0059] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.
- [0060] 또한, '또는'이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or' 를 의미한다.
- [0061] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다'라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.
- [0062] 이하 사용되는 '..부', '..기' 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어, 또는, 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0064] 도 1은 본 발명의 일실시예에 따른 다이오드 구조체의 입체 구성을 설명하기 위한 도면이다.
- [0065] 구체적으로, 도 1은 질화물 전하 저장층(nitride charge-storage layer)을 포함하고, 게이트 전극이 채널 영역 전체를 감싸는 다이오드 구조체의 3차원 구성을 예시한다.
- [0066] 도 1을 참고하면, 다이오드 구조체는 다이오드 구조체(110)를 둘러싸는 모양으로 터널 산화물층(120), 전하 저장층(130), 블록 산화물층(140) 및 게이트 전극(150)이 순차적으로 포함할 수 있다.
- [0067] 본 발명의 일실시예에 따르면 다이오드 구조체(110)는 제1 도전형 영역(112), 제2 도전형 영역(118), 제1 도전형 영역(112)과 제2 도전형 영역(118) 사이에 배치된 진성 영역(114) 및 진성 영역(114)과 제2 도전형 영역(118) 사이에 배치되는 장벽 영역(116)을 포함할 수 있다.
- [0068] 다이오드 구조체(110)는 p-n-i-n 트랜지스터, 메모리 소자, 반도체 소자 또는 저장 소자 중 어느 하나로도 지칭될 수 있다.
- [0069] 본 발명의 일실시예에 따르면 다이오드 구조체(110)는 n채널 반도체 소자로서 동작하고 MOSFET의 n채널 소자와 히스테리시스 특성을 제외한 유사한 특성을 보일 수 있다.
- [0070] 또한, 다이오드 구조체(110)는 제1 도전형 영역(112)은 소오스(source) 영역으로 동작하고, 제2 도전형 영역(118)은 드레인(drain)영역으로 동작될 수 있다.
- [0071] 즉, 제1 도전형 영역(112)은 소오스 영역으로도 지칭될 수 있고, 제2 도전형 영역(118)은 드레인 영역으로도 지칭될 수 있다.
- [0072] 본 발명의 일실시예에 따르면 다이오드 구조체(110)는 기판상에 수직 또는 수평으로 형성될 수 있으며, 기판은 단결정 실리콘 기판이고, 다이오드 구조체(110)는 다결정 상태 또는 단결정 상태의 실리콘일 수 있다.
- [0073] 일례로, 다이오드 구조체(110)는 기판 상에서 수직 위치에 따라 제1 도전형 또는 제2 도전형으로 도핑될 수 있다.
- [0074] 여기서, 제1 도전형은 n형이고, 제2 도전형은 p형일 수 있다.

- [0075] 본 발명의 일실시예에 따르면 다이오드 구조체는 진성 영역(114)과 게이트 전극(150)사이에서, 진성 영역(114)을 감싸도록 배치되는 게이트 절연막을 더 포함할 수 있고, 게이트 절연막은 실리콘 산화막일 수 있다.
- [0076] 일례로, 다이오드 구조체(110)는 $p^+-n^+-i-n^+$ 구조를 나타낼 수 있고, 제1 p-n접합, 제2 p-n 접합, 그리고 제3 p-n 접합을 포함할 수 있다.
- [0077] 여기서, p^+ 는 p형 불순물이 고농도로 도핑된 경우를 나타낼 수 있고, n^+ 는 n형 불순물이 고농도로 도핑된 경우를 나타낼 수 있다.
- [0078] 예를 들어, n채널은 다이오드 구조체(110)의 진성 영역(114)을 기준으로 양측에 n형 불순물이 도핑된 경우를 나타낼 수 있다.
- [0079] 한편, p채널은 다이오드 구조체(110)의 진성 영역(114)을 기준으로 양측에 p형 불순물이 도핑된 경우를 나타낼 수 있다.
- [0080] 일례로, 다이오드 구조체(110)의 전체 길이는 160nm이고, 직경이 약 6nm일 수 있다.
- [0081] 본 발명의 일실시예에 따르면 다이오드 구조체(110)는 드레인 영역, 소오스 영역, 채널 영역으로 구분될 수 있으며, 각 영역의 전체 길이는 동일할 수 있다.
- [0082] 즉, 본 발명의 일실시예에 따르면 다이오드 구조체(110)는 진성 영역(114)과 장벽 영역(116)이 전하가 이동하는 채널 영역으로서 동작하고, 제1 도전형 영역(112), 제2 도전형 영역(118) 및 상기 채널 영역이 동일한 길이로 형성될 수 있다.
- [0083] 본 발명의 일실시예에 따르면 터널 산화물층(120)은 이산화규소를 이용하여 형성되며, 전하 저장층(130)과 다이오드 구조체 사이에서 전하를 이동시키는 통로 역할을 수행할 수 도 있다.
- [0084] 본 발명의 일실시예에 따르면 전하 저장층(130)은 터널 산화물층 상에 배치되고, 다이오드 구조체로부터의 유입되는 전류의 전하를 저장할 수 있다.
- [0085] 일례로, 전하 저장층(130)은 질화 규소를 이용하여 형성될 수 있다.
- [0086] 본 발명의 일실시예에 따르면 전하 저장층(130)은 게이트 전극을 통해 인가되는 전압 크기에 따라 전하를 트랩(trap)하거나 방출(discharge)할 수 있다.
- [0087] 본 발명의 일실시예에 따르면 블록 산화물층(140)은 터널 산화물층(120) 및 전하 저장층(130)을 둘러싸도록 배치될 수 있다.
- [0088] 일례로, 블록 산화물층(140)은 게이트 전극(150)과 전하 저장층(130)을 절연할 수 있다.
- [0089] 본 발명의 일실시예에 따르면 게이트 전극(150)은 블록 산화물층(140) 상에서 진성 영역(114)의 둘레에 따라 배치될 수 있다.
- [0090] 일례로, 게이트 전극(150)은 전압의 크기 차이에 따라 제1 및 제2 게이트 전압을 다이오드 구조체(110)로 인가할 수 있다.
- [0091] 일례로, 제1 게이트 전압은 18V에 상응하고 제2 게이트 전압은 -18V에 상응하고, 제3 게이트 전압은 0V에 상응할 수 있다.
- [0092] 예를 들어, 제1 게이트 전압은 양성 전압으로도 지칭될 수 있고, 제2 게이트 전압은 음성 전압으로도 지칭될 수 있다.
- [0094] 도 2는 본 발명의 일실시예에 따른 다이오드 구조체의 단면 구성을 설명하기 위한 도면이다.
- [0095] 도 2를 참고하면, 다이오드 구조체(200)는 다이오드 구조체(210), 터널 산화물층(230), 전하 저장층(231), 블록 산화물층(232) 및 게이트 전극(240)을 포함할 수 있다.
- [0096] 일례로, 다이오드 구조체(210)를 둘러싸도록 산화물층(230), 전하 저장층(231), 블록 산화물층(232) 및 게이트 전극(240)이 형성될 수 있다.
- [0097] 예를 들어, 다이오드 구조체(210)는 게이트 전극(240) 아래의 제2 도전형 영역(221) 및 진성 영역(223)이 p형

분술물이 도핑되고, 게이트로 덮이지 않은 제1 도전형 영역(224)과 장벽 영역은 n형 분술물로 도핑될 수 있다.

- [0098] 제1 도전형 영역(224)과 장벽 영역 및 제2 도전형 영역(221)의 도핑 농도는 $1 \times 10^{20} \text{ cm}^{-3}$ 이고, 진성 영역(223)의 도핑 농도는 $1 \times 10^{15} \text{ cm}^{-3}$ 일 수 있다.
- [0099] 본 발명의 일실시예에 따르면, 블록 산화물층(232)의 두께 길이는 전하 저장층(231)의 두께 길이보다 길고, 터널 산화물층(230)의 두께 길이는 전하 저장층(231)의 두께 길이보다 짧을 수 있다.
- [0100] 예를 들어, 터널 산화물층(230)의 두께는 약 6nm일 수 있고, 전하 저장층(231)의 두께는 약 7nm일 수 있으며, 블록 산화물층(232)의 두께는 약 8nm일 수 있다.
- [0101] 본 발명의 일실시예에 따르면 다이오드 구조체(210)는 제1 도전형 영역(224)을 소오스 영역으로 이용하고, 제2 도전형 영역(221)을 드레인 영역으로 이용하며, 진성 영역(223)과 장벽 영역을 채널 영역(222)으로 이용하되, 소오스 영역, 드레인 영역 및 채널 영역의 길이는 동일할 수 있다.
- [0102] 예를 들어, 다이오드 구조체(210)의 전체 길이가 160nm일 경우, 제2 도전형 영역(221), 채널 영역(222) 및 제1 도전형 영역(224)의 길이는 동일할 수 있다.
- [0103] 본 발명의 일실시예에 따르면, 전하 저장층(231)은, 게이트 전극(240)을 통하여 제1 게이트 전압이 인가되고, 제1 도전형 영역(224)과 제2 도전형 영역(221)을 통하여 그라운드 전압이 인가된 경우, 진성 영역으로부터 전자를 받고, 진성 영역으로 정공을 배출할 수 있다.
- [0104] 일례로, 전하 저장층(231)은 게이트 전극(240)을 통해 제1 게이트 전압이 인가되고, 제1 도전형 영역 및 제2 도전형 영역을 통해 그라운드 전압이 인가될 경우, 전자를 저장할 수 있다.
- [0105] 일례로, 전하 저장층(231)은 게이트 전극(240)을 통해 제2 게이트 전압이 인가되고, 제1 및 제2 도전형 영역을 통해 그라운드 전압이 인가되는 경우, 유지된 전자를 채널 영역(222)으로 방출할 수 있다.
- [0106] 도 3a 내지 도 3d는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 쓰기 동작 특성을 설명하기 위한 도면이다.
- [0107] 도 3a 내지 도 3b는 피드백 전계효과 전자소자의 프로그래밍 동작과 삭제 동작 동안의 임계 전압(V_{th})의 변화를 예시한다.
- [0108] 도 3a를 참고하면, 도 3a는 피드백 전계효과 전자소자가 제1 논리 상태의 데이터를 저장하는 프로그래밍 동작 동안의 임계 전압의 변화를 예시한다.
- [0109] 그래프를 살펴보면, 게이트 전압은 약 $1 \mu\text{s}$ 동안 +18V가 인가되고 소오스 전압과 드레인 전압이 0V 인가되었다. 여기서, +18V는 양성 전압으로 지칭되고, 0V는 그라운드 전압으로도 지칭될 수 있다.
- [0110] 따라서, 피드백 전계효과 전자소자는 전자가 전하 저장층에 주입되고, 정공이 Fowler-Nordheim(FN) 터널링에 의해 전하 저장층으로부터 방출될 수 있다.
- [0111] 즉, 다이오드 구조체는 게이트 전극을 통해 양성 전압이 인가되고, 드레인 영역과 소오스 영역에 그라운드 전압이 인가될 경우, 채널 영역의 전자가 전하 저장층으로 유입되어 프로그래밍 동작을 수행할 수 있다.
- [0112] 도 3b를 참고하면, 도 3b는 피드백 전계효과 전자소자가 제2 논리 상태의 데이터를 저장하는 프로그래밍 동작 동안의 임계 전압의 변화를 예시한다.
- [0113] 그래프를 살펴보면, 게이트 전압은 약 $1 \mu\text{s}$ 동안 -18V가 인가되고 소오스 전압과 드레인 전압이 0V 인가되었다. 여기서, +18V는 음성 전압으로도 지칭될 수 있다.
- [0114] 따라서, 피드백 전계효과 전자소자는 전자는 전하 저장층으로부터 방출되고, 정공은 FN 터널링에 의해 전하 저장층에 주입될 수 있다.
- [0115] 즉, 다이오드 구조체는 게이트 전극을 통해 음성 전압이 인가되고, 드레인 영역과 소오스 영역에 그라운드 전압이 인가될 경우, 전하 저장층의 전자가 채널 영역으로 유출되어 이레이징 동작을 수행할 수 있다.
- [0116] 따라서, 다이오드 구조체는 게이트 전압이 0V로 인가되고, 드레인과 소오스 전압이 18V로 인가되는 동작과 유사한 효과를 제공할 수 도 있다.

- [0117] 도 3c는 드레인 및 소오스 전압이 약 1.2V에서 제 1 논리 상태 및 제2 논리 상태의 데이터가 저장된 소자의 $I_{DS}-V_{GS}$ 전달 곡선을 예시한다.
- [0118] 그래프를 살펴보면, 본 발명의 일실시예에 따른 피드백 전계효과 전자소자는 가파른 스위칭 특성을 나타내며 임계전압(V_{TH}) 창은 0.76V로 나타날 수 있다.
- [0119] 또한, 피드백 전계효과 전자소자는 제1 논리 상태의 데이터를 저장하는 프로그래밍(301)동작과 제 2 논리 상태의 데이터를 저장하는 이레이징(302)동작을 수행할 수 있다.
- [0120] 피드백 전계효과 전자소자에 데이터가 저장될 시, 제1 논리 상태의 데이터를 저장하는 동작과 제2 논리 상태의 데이터를 저장하는 동작을 포함할 수 있다.
- [0121] 예를 들어, 제1 논리 상태의 데이터는 "1"을 나타낼 수 도 있고, 제2 논리 상태의 데이터는 "0"을 나타낼 수 도 있다. 한편, 상술한 설명에서 제1 논리 상태의 데이터는 "1"로 제2 논리 상태의 데이터는 "0"으로 설명하였으나, 메모리의 설정에 따라 유동적으로 변경될 수 도 있다.
- [0122] 한편, 피드백 전계효과 전자소자가 메모리로서, 제1 논리 상태의 데이터를 저장하는 동작은 프로그래밍(programming)으로도 지칭될 수 있다.
- [0123] 또한, 피드백 전계효과 전자소자가 메모리로서, 제2 논리 상태의 데이터를 저장하는 동작은 이레이징(erasing)으로도 지칭될 수 있다.
- [0124] 즉, 본 발명은 양방향 병렬 동작, 저전력, 고집적화 특성을 동시에 제공하는 피드백 전계효과 전자소자를 구현할 수 있다.
- [0125] 도 3d는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자에서 제1 논리 상태의 데이터가 저장된 후, 제2 논리 상태의 데이터가 저장된 상태의 에너지 밴다이어그램을 예시한다.
- [0126] 그래프에서 제1 논리 상태의 데이터를 저장하는 프로그래밍(311)의 신호변화와 제2 논리 상태의 데이터를 저장하는 이레이징(312)의 신호변화를 살펴보면, 피드백 전계효과 전자소자는 프로그램 된 상태에서, 전하 저장 층내의 포획된 전자는 에너지 밴드를 상승시키고 장벽을 생성할 수 있다.
- [0127] 한편, 피드백 전계효과 전자소자는, 제2 논리 상태의 데이터가 저장된 이레이징 상태에서, 전하 저장 층에 전자가 부족하여 에너지 장벽이 형성되지 않을 수 도 있다.
- [0128] 따라서, 제1 논리 상태의 데이터가 저장된 피드백 전계효과 전자소자에는 드레인 전압을 증가시켜 읽기 동작을 수행할 때 출력 전류가 생성되지 않을 수 도 있다. 따라서, 제2 논리 상태의 데이터가 저장된 소자는 게이트 인가 없이 드레인 전압에 의해 켜질 수 있다.
- [0130] 도 4a 내지 도 4d는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 비휘발성 읽기 동작 특성을 설명하기 위한 도면이다.
- [0131] 도 4a는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자에서의 신호에 따른 2 개의 연속 비휘발성 읽기 동작의 타이밍도를 예시한다.
- [0132] 보다 구체적으로, 도 4a는 두 개의 연속적인 비휘발성 읽기 동작의 타이밍 다이어그램을 예시한다. 여기서, 첫 번째 행은 입력 드레인 전압을 표시하고 두 번째 행은 출력 드레인 전류를 나타낼 수 도 있다.
- [0133] 각 전압 펄스의 너비는 200ns일 수 있다. 프로그래밍된 소자(402)의 출력 드레인 전류는 $7.8\mu A$ 이며, 이레이징된 소자(401)의 출력 드레인 전류는 $0.01pA$ 일 수 있다.
- [0134] 그래프를 살펴보면, 본 발명의 일실시예에 따른 피드백 전계효과 전자소자는 첫 번째 읽기 펄스에서 디바이스의 상태를 결정하는 데 약 184ns가 소모될 수 있다.
- [0135] 그러나, 본 발명의 일실시예에 따른 피드백 전계효과 전자소자는 다음 읽기 펄스에서 약 20ns 지연을 나타내며, 이는 제1 펄스의 지연보다 훨씬 적을 수 있다.
- [0136] 도 4b 및 도 4c는 각각 장치의 에너지 밴드 다이어그램 및 제1 읽기 펄스 동안 장치의 중심을 따른 채널 영역의 정공 농도를 예시한다. 여기서, 채널 영역은 진성 영역에 상응할 수 있다.

- [0137] 도 4b를 참고하면, 에너지 장벽은 갑자기 붕괴되고 홀 펄스는 읽기 펄스가 인가된 후 184ns 빠르게 증가할 수 있다.
- [0138] 도 4c를 참고하면, 읽기 펄스 동안 장치의 중심을 따른 채널 영역의 정공 농도는 특정 거리에 집중될 수 도 있다. 여기서 특정 거리는 약 100nm일 수 있다.
- [0139] 도 4d를 참고하면, 채널 영역의 평균 정공 농도와 드레인 전압이 인가된 출력 드레인 전류를 나타낼 수 있다. 본 발명의 일실시예에 따른 피드백 전계효과 전자소자는 드레인 전압이 인가된 후에 채널 영역의 초기 정공 농도는 $1.13 \times 10^9 \text{ cm}^{-3}$ 이고 $1.01 \times 10^{19} \text{ cm}^{-3}$ 까지 증가될 수 있다.
- [0140] 도 4d에 도시 된 바와 같이, 전하 저장층에 축적된 전하는 제1 읽기 펄스와 제 2 읽기 펄스 사이에서 완전히 제거되지 않을 수 있다.
- [0141] 예를 들어, 전하 저장층에 누적 된 전하를 완전히 제거하고 초기 상태에 도달하는 데 약 $14.53 \mu\text{s}$ 가 소모될 수 있다. 전하가 완전히 제거된 후, 읽기 동작은 동일한 184ns 지연을 나타낼 수 있다.
- [0142] 즉, 본 발명은 쓰기 및 지우기 과정에서 낮은 인가전압을 요구하여 전력 소모를 감지하는 피드백 전계효과 전자소자를 구현할 수 있다.
- [0143] 본 발명은 진성 영역 포텐셜에 축적된 정공이 전자 장벽을 낮추고 양성 피드백 메커니즘을 트리거하는 특징을 나타낼 수 있다.
- [0144] 즉, 피드백 전계효과 전자소자를 켜기 위해 진성 영역에서 충분한 수의 정공이 요구될 수 있다.
- [0145] 비휘발성 읽기 동작은 드레인 전압만을 인가함으로써 수행되기 때문에, 접합 누설 전류만이 전위 우물(well) 내에 전하로 축적될 수 있다.
- [0146] 따라서, 초기 상태에서 데이터를 읽는 지연이 발생할 수 있다.
- [0147] 한편, 연속 된 읽기 펄스는 축적된 전하가 읽기 펄스 후에 완전히 제거되지 않기 때문에 지연이 적을 수 도 있다.
- [0148] 즉, 본 발명은 메모리 소자의 소형화 및 집적화가 가능하며, 누설 전류를 감소시켜 저전력 및 고효율의 특징을 갖는 피드백 전계효과 전자소자를 구현할 수 있다.
- [0150] 도 5는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 비휘발성 데이터 유지 특성을 설명하기 위한 도면이다.
- [0151] 도 5를 참고하면, 그래프의 가로축은 시간의 변화를 나타내고, 세로축은 전하 저장층의 전자의 농도를 나타낼 수 있다.
- [0152] 여기서, 지시선(501)은 피드백 전계효과 전자소자의 프로그래밍 동작에서 트랩되는 전자의 농도를 나타낼 수 있고, 지시선(502)는 피드백 전계효과 전자소자의 이레이징 동작에서 트랩되는 전자의 농도를 나타낼 수 있으며, 포인트(503)은 프로그래밍 동작에서의 임계 전압을 나타낼 수 있고, 포인트(504)는 이레이징 동작에서의 임계 전압을 나타낼 수 있다.
- [0153] 시간 변화는 실온에서 인가 전압의 인가없이 진행되고, 시간 변화에 따르면 약 10년 후 포인트(503)과 포인트(504)의 차이는 약 0.62V로 나타날 수 있다.
- [0154] 즉, 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 임계 전압 차이에 해당하는 피드백 전계효과 전자소자의 임계 전압 창은 약 10년후에도 크다고 볼 수 있다.
- [0156] 도 6은 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 휘발성 소자로서의 동작 특성을 설명하기 위한 도면이다.
- [0157] 도 6을 참고하면, 그래프의 가로축은 게이트 전압의 변화를 나타내고, 세로축은 드레인 전류의 변화를 나타낼 수 있다.

- [0158] 보다 구체적으로, 기록 동작(620)에서, 피드백 전계효과 전자소자에 제1 논리상태(621)의 데이터를 기록하는 것은 드레인 전압 및 게이트 전압을 각각 1.2V 및 1.0V로 증가시킴으로써 달성될 수 있다.
- [0159] 여기서, 인가된 게이트 전압은 진성 영역의 전하 장벽을 낮추고 전자는 장벽 영역의 우물로 흐르기 시작할 수 있다.
- [0160] 여기서, 양성 피드백 루프가 발생하고, 본 발명의 일실시예에 따른 피드백 전계효과 전자소자는 제1 논리 상태(621)를 저장할 수 있다.
- [0161] 한편, 본 발명의 일실시예에 따른 피드백 전계효과 전자소자는 드레인 전압 없이 게이트 전압을 인가하여 제2 논리 상태의 데이터로 기록함으로써 축적된 전하를 채널로부터 제거함으로써 에너지 장벽이 복원되도록할 수 있다.
- [0162] 홀드 동작(610)에서 게이트 전압은 0.5V로 인가되고 드레인 전압은 0.9V로 인가될 수 있다. 일단 제1 논리 상태(611)의 데이터에 대한 쓰기 동작에 의해 피드백 루프가 생성되면, 홀드 동작은 전력이 제공될 수 있다.
- [0163] 또한, 홀드 동작(610)이 피드백 루프를 트리거 하기에 충분하지 않기 때문에 디바이스는 동일한 전압 인가하여 제2 논리 상태(612)를 유지할 수 있다.
- [0164] 읽기 동작(600)은 본 발명의 일실시예에 따른 피드백 전계효과 전자소자가 각각 1.2V 및 0V를 드레인 및 게이트에 인가함으로써 수행된다. 읽기 동작에서, 출력 드레인 전류는 디바이스의 기록된 데이터와 관련된 전류를 감지하여 제1 논리 상태(601) 및 제2 논리 상태(602)로 결정될 수 있다.
- [0165] 일례로, 피드백 전계효과 전자소자는 게이트 전극을 통해 제4 게이트 전압이 인가되고, 제2 도전형 영역을 통해 제1 드레인 전압이 인가되는 경우, 제1 논리 상태의 데이터를 저장할 수 있다.
- [0166] 또한, 피드백 전계효과 전자소자는 게이트 전극을 통해 제4 게이트 전압이 인가되고, 제2 도전형 영역을 통해 제2 드레인 전압이 인가되는 경우, 제2 논리 상태의 데이터를 저장할 수 있다.
- [0167] 본 발명의 일실시예에 따르면 피드백 전계효과 전자소자는 게이트 전극을 통해 제5 게이트 전압이 인가되고, 제2 도전형 영역을 통해 제3 드레인 전압이 인가되는 경우, 제1 논리 상태의 데이터 또는 제2 논리 상태의 데이터 중 어느 하나를 유지할 수 있다.
- [0168] 본 발명의 일실시예에 따르면 피드백 전계효과 전자소자는 게이트 전극을 통해 제6 게이트 전압이 인가되고, 제2 도전형 영역을 통해 제1 드레인 전압이 인가되는 경우, 유지된 데이터와 관련된 전류를 제1 도전형 영역을 통하여 출력할 수 있다.
- [0169] 예를 들어, 제4 게이트 전압의 크기는 제5 게이트 전압의 크기보다 크고, 제6 게이트 전압의 크기는 제5 게이트 전압의 크기보다 작을 수 있다.
- [0170] 예를 들어, 제4 게이트 전압은 약 1V의 전압에 상응하고, 제5 게이트 전압은 약 0.5V의 전압에 상응하며, 제6 게이트 전압은 약 0V의 전압에 상응할 수 있다.
- [0171] 예를 들어, 제1 드레인 전압의 크기는 제3 드레인 전압의 크기보다 크고, 제2 드레인 전압의 크기는 제3 드레인 전압의 크기보다 작을 수 있다.
- [0172] 예를 들어, 제1 드레인 전압의 크기는 약 1.2V에 상응할 수 있고, 제2 드레인 전압의 크기는 약 0V에 상응할 수 있고, 제3 드레인 전압의 크기는 약 0.9V에 상응할 수 있다.
- [0174] 도 7은 본 발명의 일실시예에 따른 접근 전자소자의 단면도를 설명하는 도면이다.
- [0175] 도 7은 도 2에서 설명된 다이오드 구조체와 연결되는 접근 전자소자의 단면도를 예시한다.
- [0176] 도 7을 참고하면, 접근 전자소자(700)는 n-p-n 나노구조체(710)와 게이트 절연막(720), 게이트 전극(730)을 포함한다.
- [0177] n-p-n 나노구조체(710)는 드레인 영역(711)과 소오스 영역(713)은 n 도핑 상태이고, 채널 영역(712)은 p 도핑 상태일 수 있다.
- [0178] 본 발명의 일실시예에 따르면 접근 전자소자(700)의 드레인 영역(711)은 다이오드 구조체의 소오스 영역과 직렬

연결될 수 있다.

- [0180] 도 8은 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 회로도를 설명하는 도면이다.
- [0181] 도 8은 다이오드 구조체와 접근 트랜지스터가 직렬 연결된 피드백 전계효과 전자소자의 회로도를 예시한다. 여기서, 다이오드 구조체의 구성은 도 1 및 도 2에 대한 설명에 기반하고, 접근 트랜지스터의 구성은 도 7에 대한 설명에 기반한다.
- [0182] 도 8을 참고하면, 피드백 전계효과 전자소자(800)는 다이오드 구조체(810) 및 접근 전자소자(820)를 포함할 수 있다.
- [0183] 다이오드 구조체(810)의 소오스 영역과 접근 트랜지스터의 드레인영역이 직렬 연결되고, 다이오드 구조체의 드레인 영역은 비트 라인으로 연결되고, 게이트 전극은 제1 워드 라인(811)으로 연결된다.
- [0184] 한편, 접근 트랜지스터(820)의 게이트 전극은 제2 워드 라인(821)으로 연결된다.
- [0185] 본 발명의 일실시예에 따르면 피드백 전계효과 전자소자(800)는 비휘발성 데이터를 기록하는 셀로서 동작할 수 있다.
- [0186] 이하에서는 피드백 전계효과 전자소자(800)가 제1 논리 상태의 데이터를 저장하는 프로그래밍 동작과 제2 논리 상태의 데이터를 저장하는 이레이징 동작을 설명한다.
- [0187] 먼저, 프로그래밍 동작에서 피드백 전계효과 전자소자(800)는 비트 라인 전압이 부동(floating) 상태에서, 제2 워드 라인(821)에 약 5V 내지 9V의 전압이 인가되고, 접근 전자소자의 소오스 영역에 그라운드 전압이 인가될 경우, 바디 포텐셜(body potential)이 0V가 될 수 있다.
- [0188] 예를 들어, 피드백 전계효과 전자소자(800)는 바디 포텐셜(body potential)이 0V인 상태에서 제1 워드 라인(811)에 프로그래밍 전압이 인가되면 전하 저장층에 전하를 저장하여 프로그래밍할 수 있다.
- [0189] 여기서, 프로그래밍 전압은 약 18V에 상응하고, 프로그래밍 동작은 제1 논리 상태의 데이터를 저장하는 동작으로도 지칭될 수 있다.
- [0190] 한편, 피드백 전계효과 전자소자(800)와 제1 워드 라인(811)을 공유하는 다른 피드백 전계효과 전자소자의 경우, 바디 포텐셜이 문턱 전압까지 상승하여 셀프 부스팅(self boosting)된다.
- [0191] 이때, 제1 워드 라인(811)에 프로그래밍 전압이 인가되면 문턱 전압까지 상승된 바디 포텐셜에 기반하여 게이트 절연막에 포텐셜이 확보되지 않아 전하가 전하 저장층으로 유입되지 않아 프로그래밍이 되지 않을 수 있다.
- [0192] 즉, 피드백 전계효과 전자소자(800)에 포함된 전하 저장층은 비트 라인의 전압이 플로팅되고, 제1 워드 라인을 통해 제1 게이트 전압이 인가되고, 제2 워드 라인을 통해 제1 게이트 전압의 하프 전압이 인가될 경우, 제1 논리 상태의 데이터가 저장될 수 있다.
- [0193] 여기서, 제1 게이트 전압은 18V에 상응할 수 있다.
- [0194] 다음으로, 이레이징 동작에서 피드백 전계효과 전자소자(800)는 비트 라인 전압이 18V로 인가되고, 제2 워드 라인(821)에 0V의 전압이 인가되고, 접근 전자소자의 소오스 영역에 그라운드 전압이 인가될 경우, 바디 포텐셜(body potential)이 18V가 될 수 있다.
- [0195] 이때, 제1 워드 라인(811)에 0V를 인가하면 전하 저장층에서 전하가 빠져나와 제2 논리 상태의 데이터가 기록될 수 있다.
- [0196] 예를 들어, 바디 포텐셜(body potential)이 0V이고, 제1 워드 라인(811)에 -18V가 인가되는 동작과 유사할 수 있다.
- [0197] 즉, 피드백 전계효과 전자소자(800)에 포함된 전하 저장층은 비트 라인을 통해 상제1 게이트 전압에 상응하는 전압이 인가되고, 제1 워드 라인 및 제2 워드 라인을 그라운드 전압이 인가된 경우, 제2 논리 상태의 데이터가 저장될 수 있다.
- [0198] 한편, 피드백 전계효과 전자소자(800)와 비트 라인을 공유하고 있는 다른 피드백 전계효과 전자소자도 바디 포텐셜이 18V로 상승하나, 제1 워드 라인을 통해 전압이 인가되지 않으면서 전하 저장층에서 전하가 반출되지 않

아 이레이징되지 않을 수 도 있다.

- [0199] 일례로, 피드백 전계효과 전자소자(800)는 비트 라인과 제2 워드 라인(821)에 전압이 인가되면 전류를 출력하여 출력 감지에 기반하여 읽기 동작이 수행될 수 있다.
- [0200] 한편, 피드백 전계효과 전자소자(800)는 제2 워드 라인(821)에 전압이 인가되지 않을 경우 접근 전자소자(820)가 동작하지 않으므로 전류를 출력하지 않을 수 도 있다.
- [0201] 상술한 설명에 따르면 본 발명의 일실시예에 따른 피드백 전계효과 전자소자는 휘발성 동작과 비휘발성 동작을 변환하여 수행할 수 있다.
- [0202] 즉, 피드백 전계효과 전자소자를 이용하여 배열회로를 설계할 경우, 휘발성 동작과 비휘발성 동작을 변환하여 수행할 수 있다.
- [0204] 도 9는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자를 이용한 배열 회로를 설명하는 도면이다.
- [0205] 도 9는 복수의 피드백 전계효과 전자소자가 3X3으로 배열된 배열 회로를 예시한다.
- [0206] 도 9를 참고하면, 복수의 피드백 전계효과 전자소자는 행 방향과 열 방향으로 따라 배열되고, 배열 회로의 행 방향은 비트 라인을 공유하고, 열 방향은 제1 워드 라인을 공유한다.
- [0207] 복수의 피드백 전계효과 전자소자를 이용한 배열 회로의 동작은 도 8에 대한 피드백 전계효과 전자소자의 동작에 따른다.
- [0209] 도 10a 및 도 10b는 본 발명의 일실시예에 따른 다이오드 구조체의 휘발성 소자로서의 동작 특성을 설명하기 위한 도면이다.
- [0210] 도 10a는 휘발성 메모리 동작의 타이밍도를 예시한다.
- [0211] 도 10a에서 타이밍도의 첫 번째 행은 드레인 전압 펄스를 나타내고 두 번째 행은 게이트 전압 펄스를 나타내며 세 번째 행은 출력 드레인 전류를 나타낼 수 있다.
- [0212] 각 전압 펄스의 너비는 10ns이고, 제1 논리 상태의 데이터를 저장하는 프로그래밍 동작은 3ns 지연 및 8.4 μ A 출력 전류를 나타낼 수 있다.
- [0213] 제1 논리 상태의 데이터와 제2 논리 상태의 데이터에 대한 읽기 동작의 출력 전류는 각각 6.3 μ A와 20pA로 나타낼 수 있다.
- [0214] 본 발명의 일실시예에 따르면 다이오드 구조체는 낮은 유지 전류를 요구한다. 즉, 다이오드 구조체는 제1 논리 상태의 데이터를 유지하는 1.5nA를 소모한다.
- [0215] 한편, 다이오드 구조체는 제2 논리 상태의 데이터를 유지하는데 약 2.0pA를 소모한다.
- [0216] 본 발명의 일실시예에 따른 다이오드 구조체는 연속적인 읽기 동작에서, 기존의 DRAM과 달리 비파괴 읽기 특성을 갖고 있다.
- [0217] 즉, 다이오드 구조체는 읽기 동작과 홀드 동작 사이의 전이는 양성 피드백 메커니즘에 영향을 미치지 않으므로, 장치는 그 상태를 유지할 수 있다.
- [0219] 도 10b는 본 발명의 일실시예에 따른 다이오드 구조체가 홀드 동작을 10⁵초동안 수행할 때 타이밍도를 나타내며, 휘발성 메모리 동작에서 디바이스의 보유 특성을 예시한다.
- [0220] 그래프에 따르면, 본 발명의 일실시예에 따른 다이오드 구조체는 쓰기와 읽기 작업 사이에 10⁵ 초 동안 유지 작업을 수행했다.
- [0221] 본 발명의 일실시예에 따른 다이오드 구조체는 기록 및 읽기 동작 모두 10ns의 펄스 폭을 갖을 수 있다.

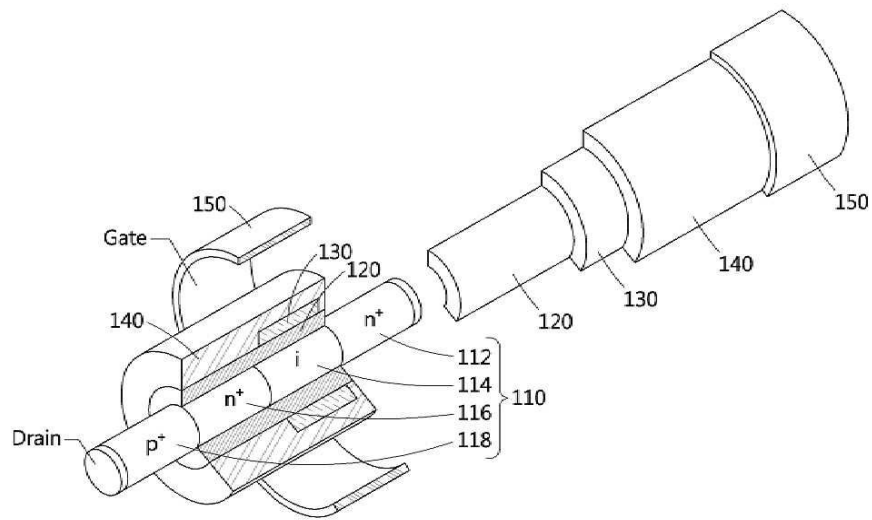
- [0222] 그래프에 따르면, 본 발명의 일실시예에 따른 다이오드 구조체는 최소 10^5 초 동안 데이터를 유지 할 수 있다.
- [0223] 따라서, 본 발명은 양성 피드백 메커니즘으로 인해 이론적으로 리프레시 동작 없이 저장된 값을 유지할 수 있다.
- [0225] 본 발명의 청구항 또는 명세서에 기재된 실시 예들에 따른 방법들은 하드웨어, 소프트웨어, 또는 하드웨어와 소프트웨어의 조합의 형태로 구현될(implemented) 수 있다.
- [0226] 그러한 소프트웨어는 컴퓨터 읽기 가능 저장 매체에 저장될 수 있다. 컴퓨터 읽기 가능 저장 매체는, 적어도 하나의 프로그램(소프트웨어 모듈), 전자 장치에서 적어도 하나의 프로세서에 의해 실행될 때 전자 장치가 본 발명의 방법을 실시하게 하는 명령어들(instructions)을 포함하는 적어도 하나의 프로그램을 저장한다.
- [0227] 이러한 소프트웨어는, 휘발성(volatile) 또는 (ROM: Read Only Memory)과 같은 불휘발성(non-volatile) 저장장치의 형태로, 또는 램(RAM: random access memory), 메모리 칩(memory chips), 장치 또는 집적 회로(integrated circuits)와 같은 메모리의 형태로, 또는 콤팩트 디스크 롬(CD-ROM: Compact Disc-ROM), 디지털 다목적 디스크(DVDs: Digital Versatile Discs), 자기 디스크(magnetic disk) 또는 자기 테이프(magnetic tape) 등과 같은 광학 또는 자기적 읽기 가능 매체에, 저장될 수 있다.
- [0228] 저장 장치 및 저장 미디어는, 실행될 때 일 실시 예들을 구현하는 명령어들을 포함하는 프로그램 또는 프로그램들을 저장하기에 적절한 기계-읽기 가능 저장 수단의 실시 예들이다.
- [0229] 상술한 구체적인 실시 예들에서, 발명에 포함되는 구성 요소는 제시된 구체적인 실시 예에 따라 단수 또는 복수로 표현되었다.
- [0230] 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 상술한 실시 예들이 단수 또는 복수의 구성 요소에 제한되는 것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.
- [0231] 한편 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 다양한 실시 예들이 내포하는 기술적 사상의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.
- [0232] 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니되며 후술하는 청구범위뿐만 아니라 이 청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

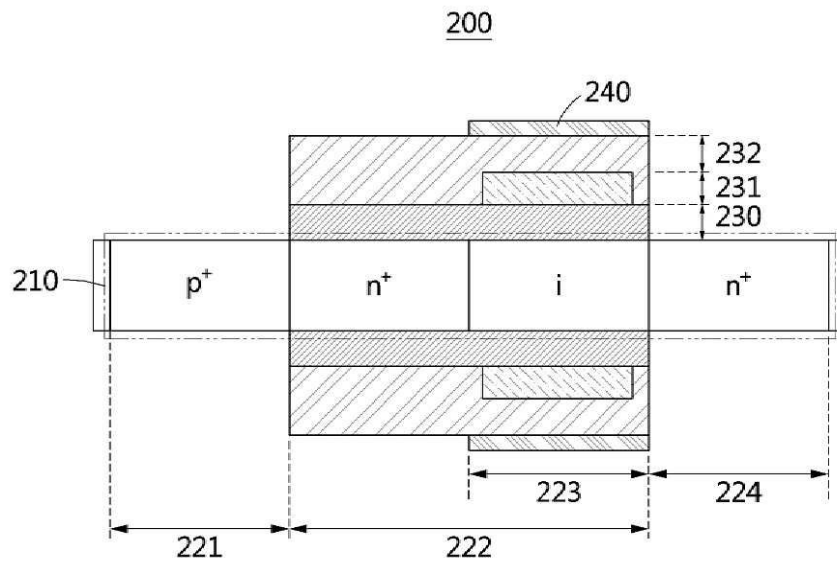
- [0234] 110: 다이오드 구조체 112: 제1 도전형 영역
- 114: 진성 영역 116: 장벽 영역
- 118: 제2 도전형 영역 120: 터널 산화물층
- 130: 전하 저장층 140: 블록 산화물층
- 150: 게이트 전극

도면

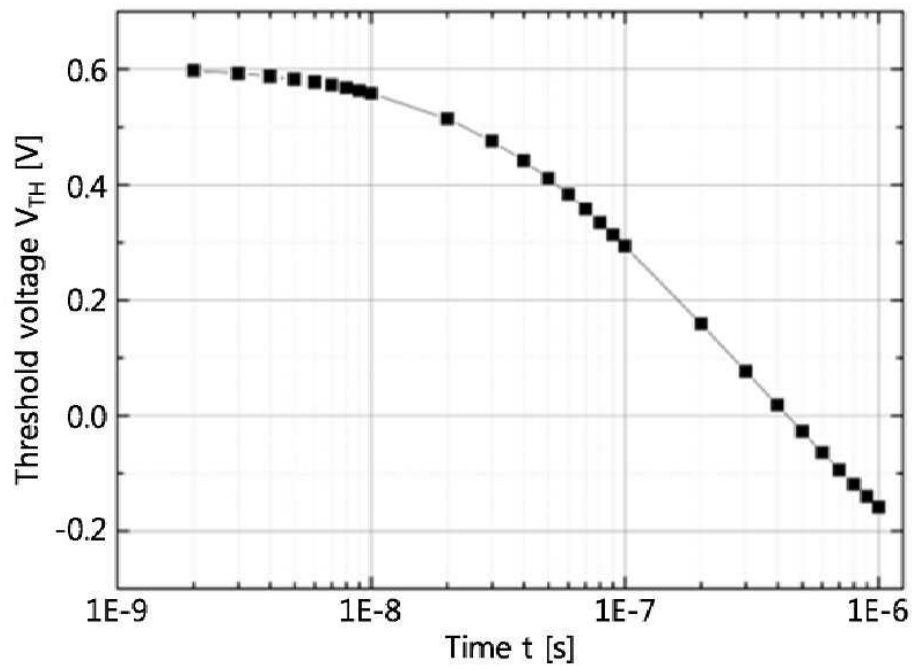
도면1



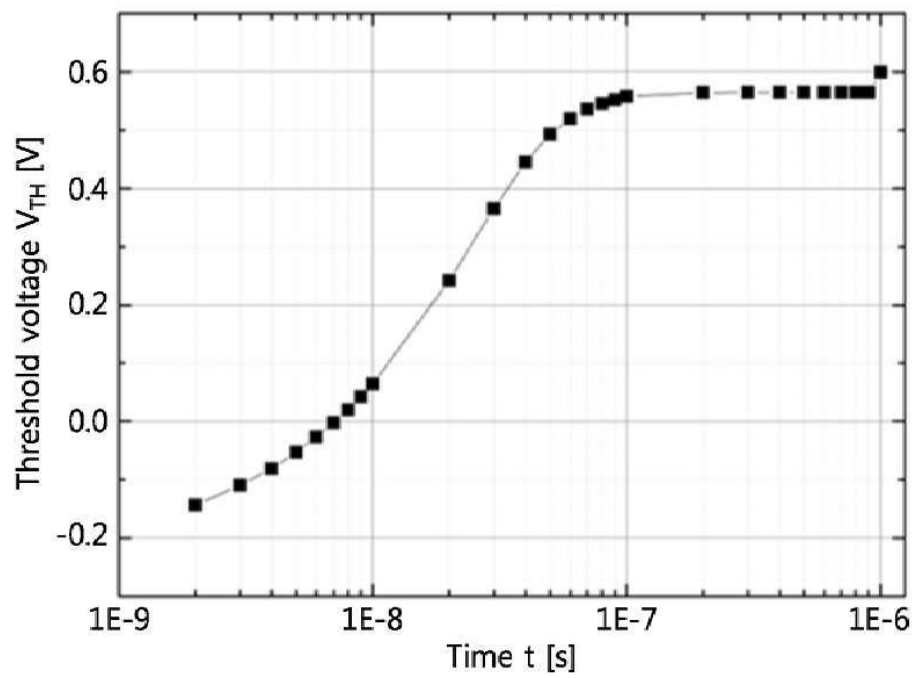
도면2



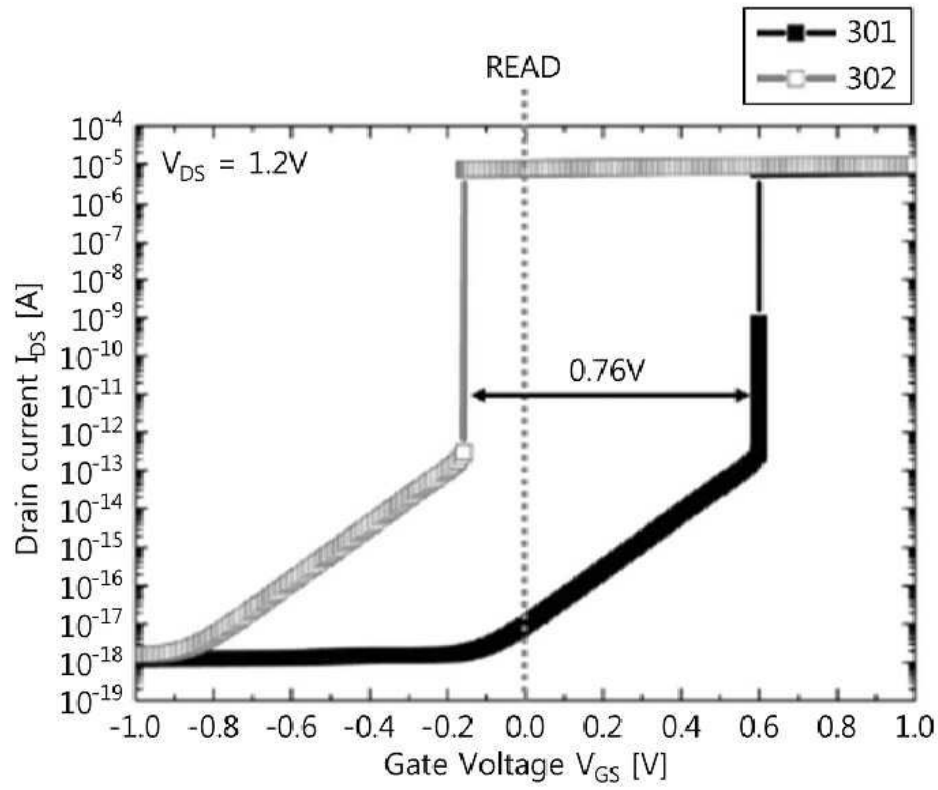
도면3a



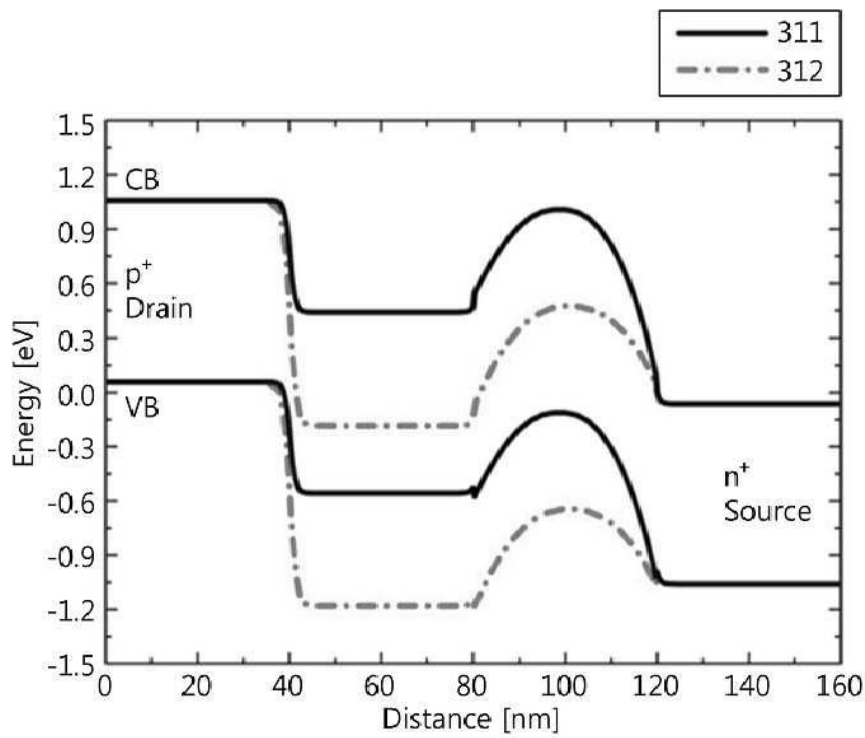
도면3b



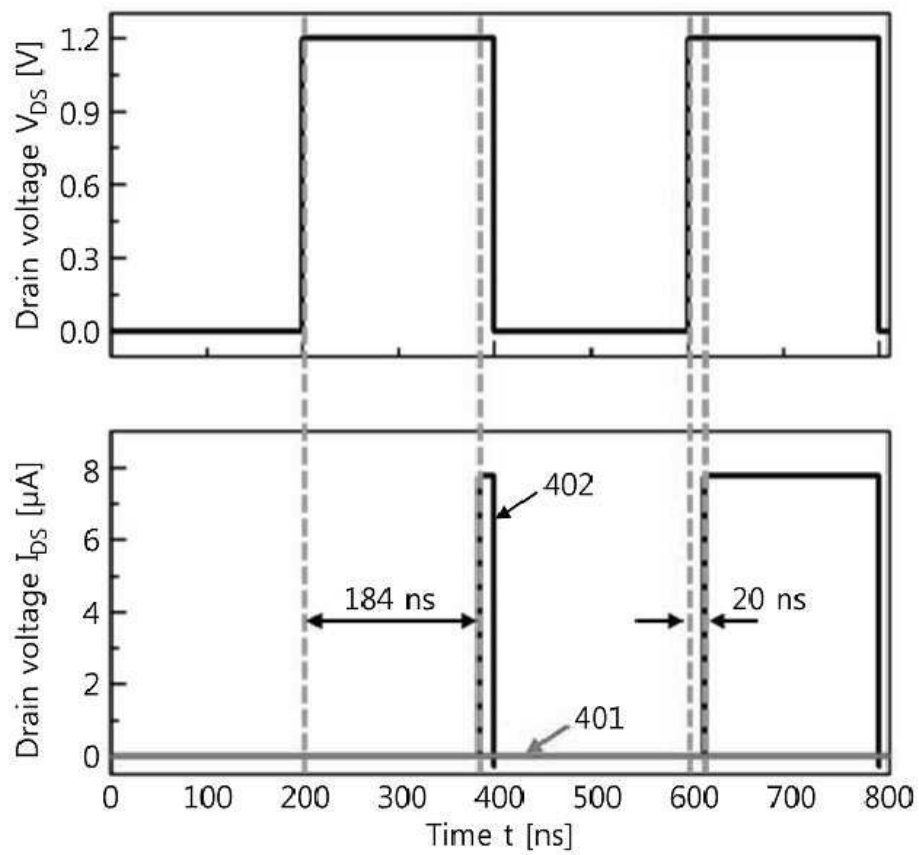
도면3c



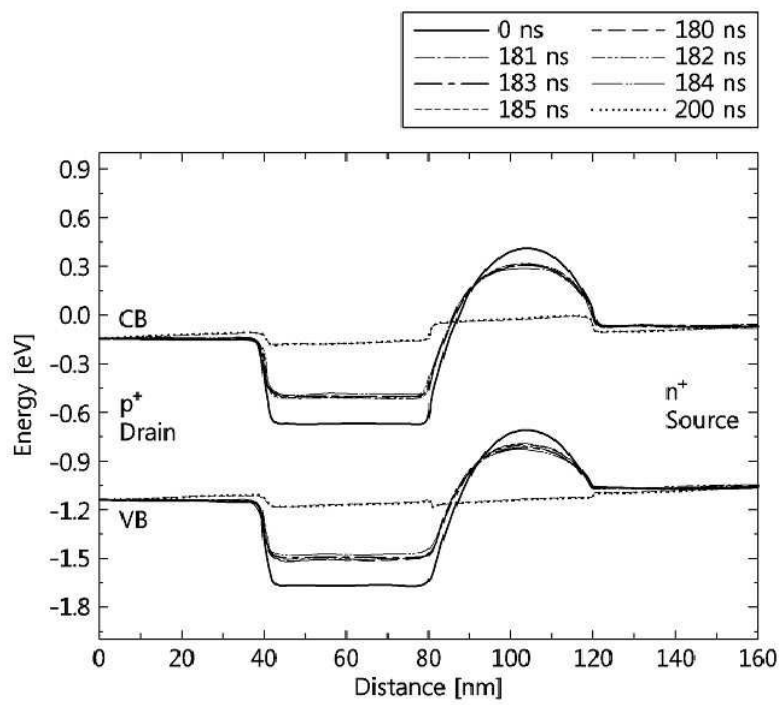
도면3d



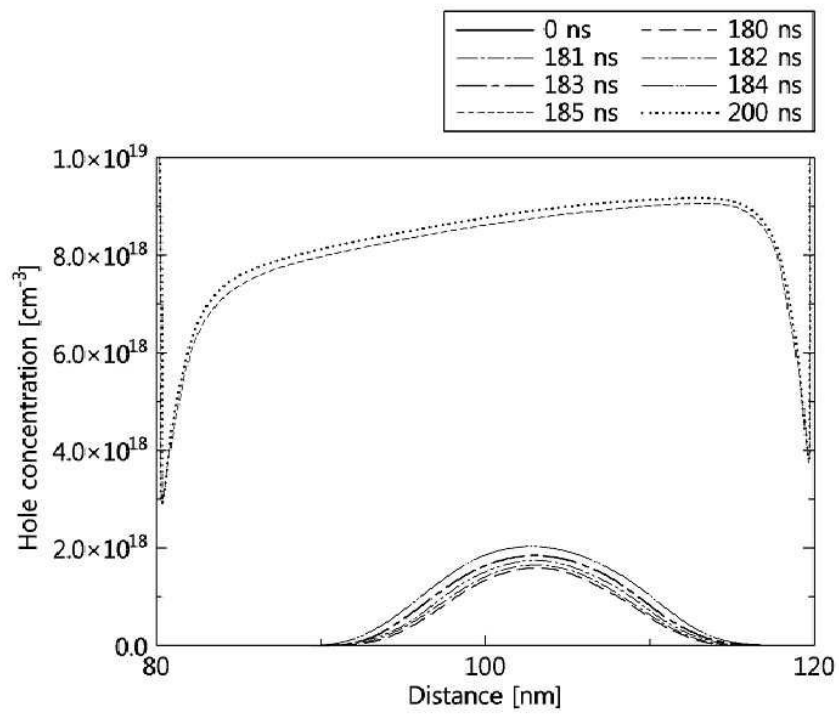
도면4a



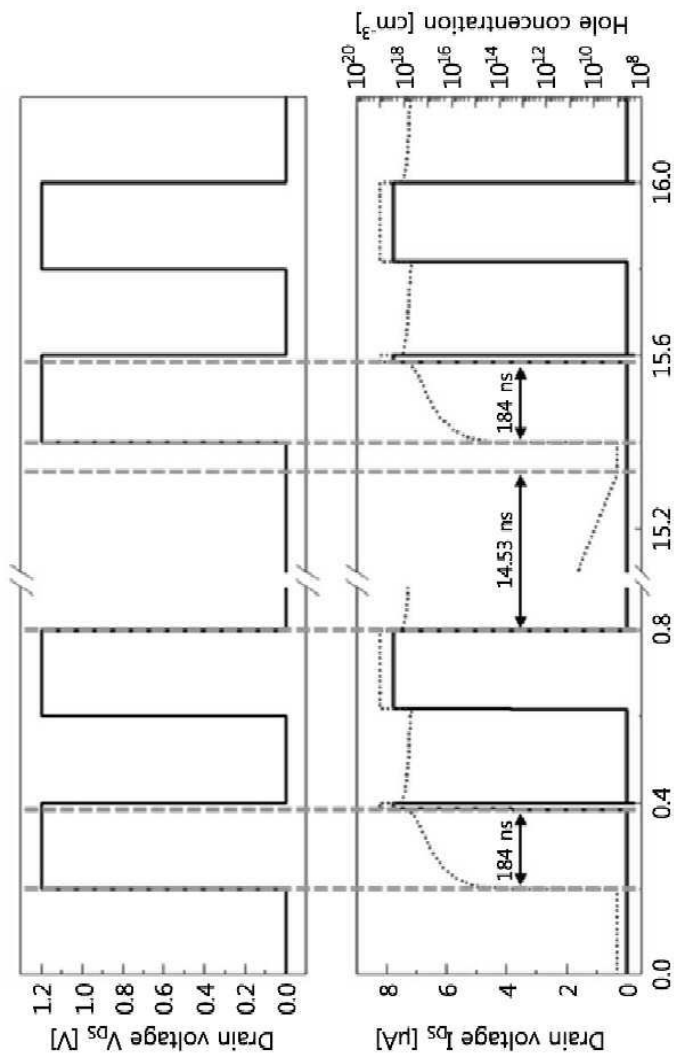
도면4b



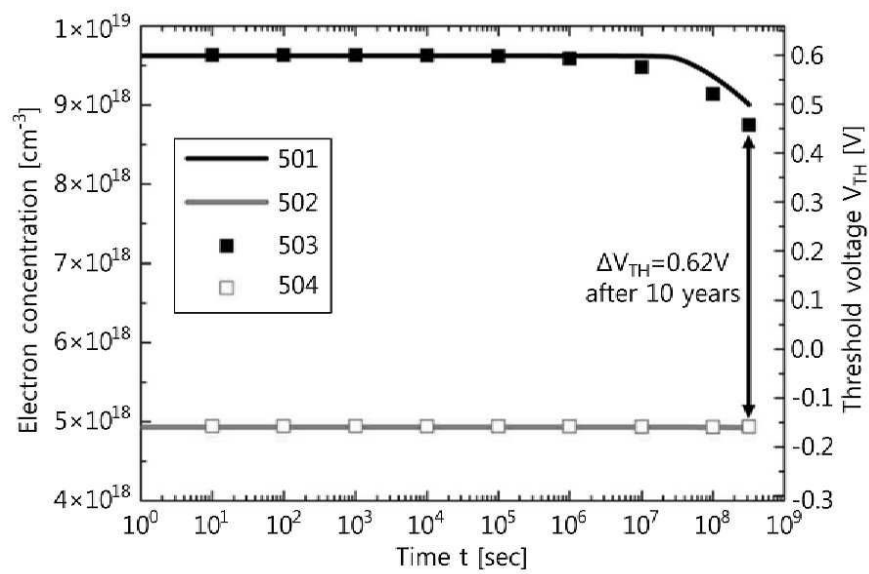
도면4c



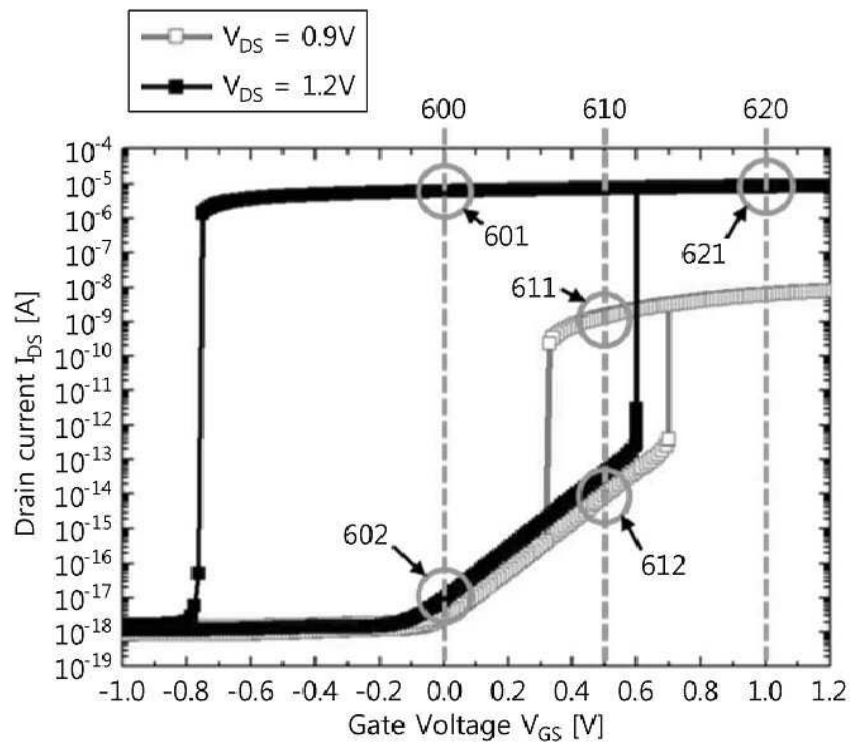
도면4d



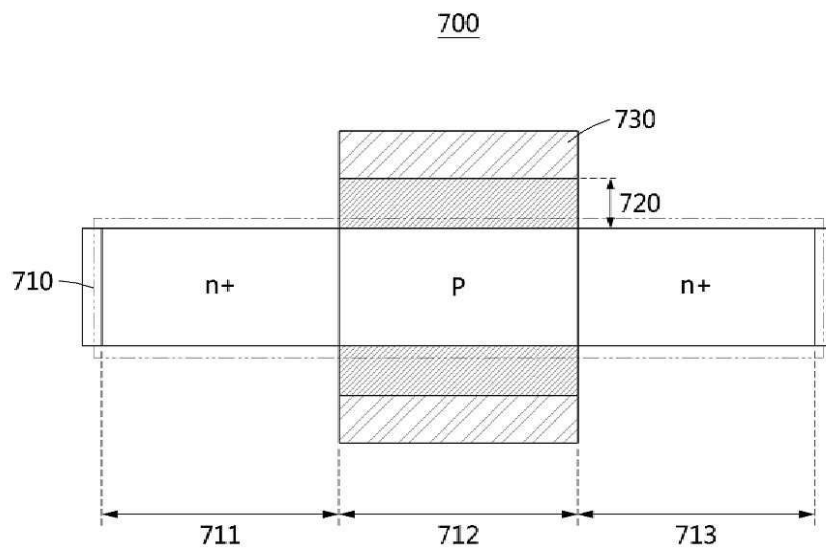
도면5



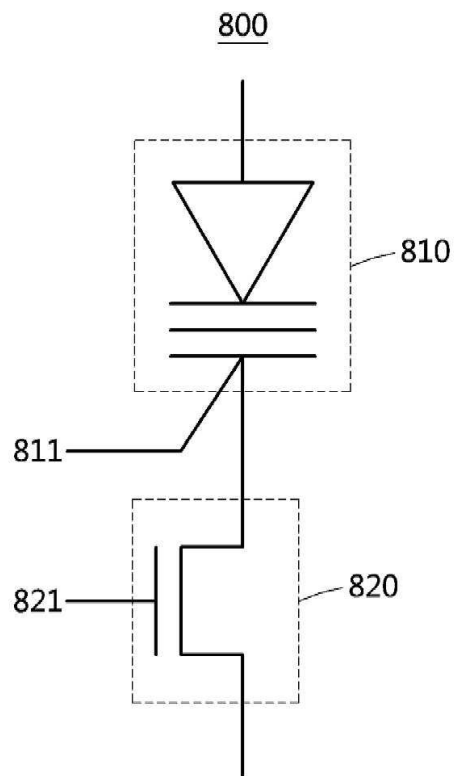
도면6



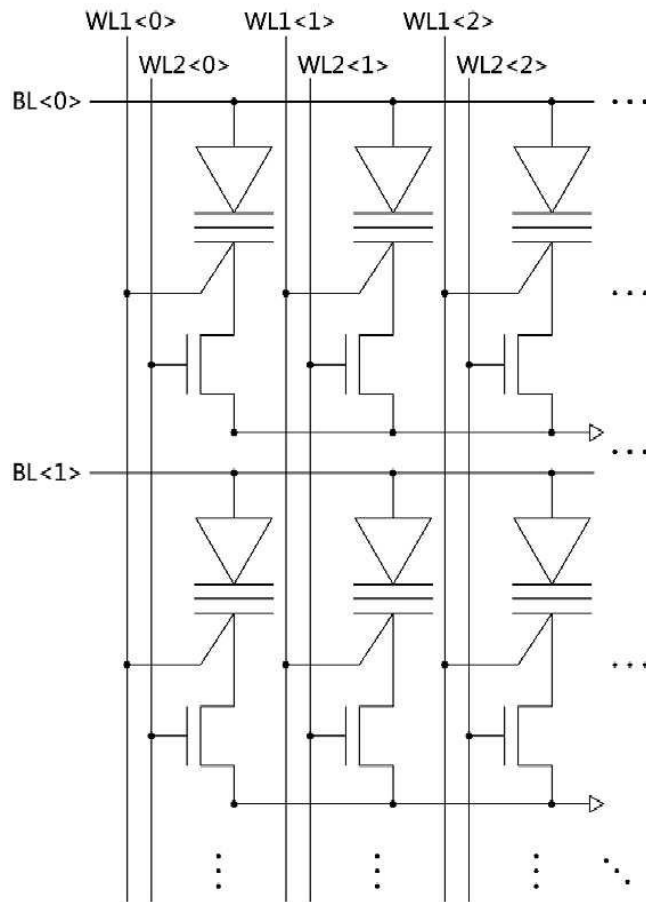
도면7



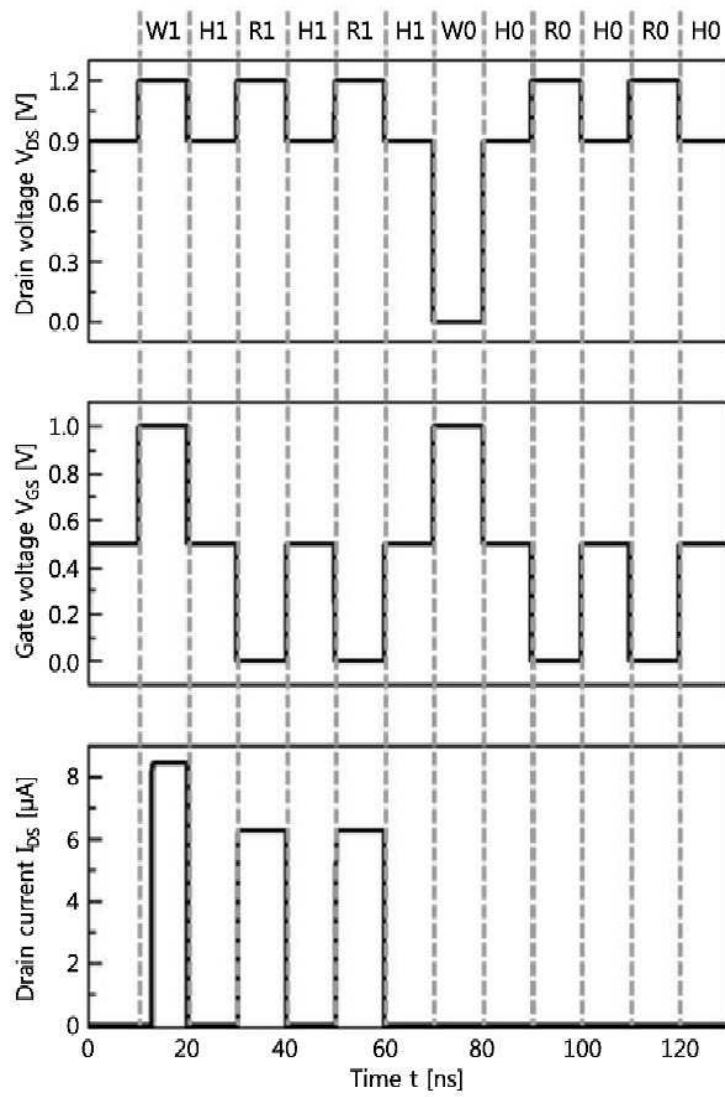
도면8



도면9



도면10a



도면10b

