

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2014-154201

(P2014-154201A)

(43) 公開日 平成26年8月25日 (2014. 8. 25)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 13/00 (2006.01)	G 1 1 C 13/00 1 5 0	5 F 0 8 3
H 0 1 L 27/105 (2006.01)	G 1 1 C 13/00 1 1 0 R	
H 0 1 L 45/00 (2006.01)	G 1 1 C 13/00 1 2 0 A	
H 0 1 L 49/00 (2006.01)	H 0 1 L 27/10 4 4 8	
	H 0 1 L 45/00 A	
審査請求 未請求 請求項の数 7 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2013-168430 (P2013-168430)	(71) 出願人	000003078
(22) 出願日	平成25年8月14日 (2013. 8. 14)		株式会社東芝
(31) 優先権主張番号	61/761, 409		東京都港区芝浦一丁目1番1号
(32) 優先日	平成25年2月6日 (2013. 2. 6)	(74) 代理人	110001612
(33) 優先権主張国	米国 (US)		きさらぎ国際特許業務法人
		(72) 発明者	峯村 洋一
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	塚本 隆之
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	菅野 裕士
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		最終頁に続く	

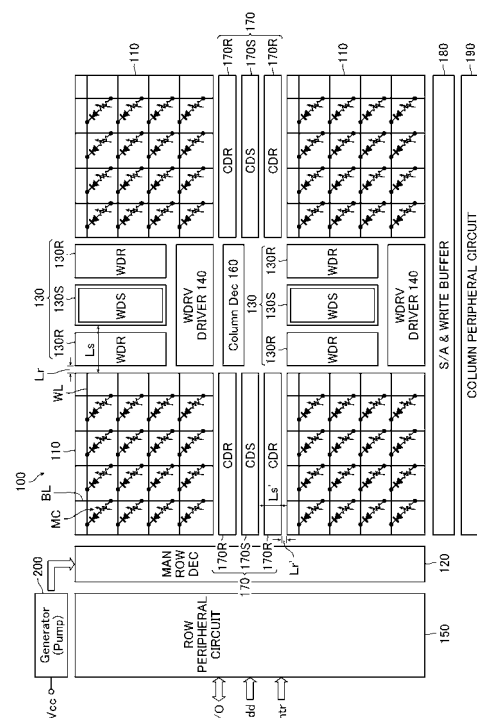
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】メモリセルへの負担を軽減し、データ保持特性に劣化を抑制する。

【解決手段】メモリセルアレイは、平行に配置された複数の第1配線と、第1配線と交差するように配置された複数の第2配線との交差部に配置されたメモリセルを備える。メモリセルは可変抵抗素子を含む。セット動作第1ドライバ回路は、メモリセルに対し高抵抗状態から低抵抗状態に切り替えるセット動作を実行する場合に第1配線に電圧を供給する。リセット動作第1ドライバ回路は、メモリセルに対し低抵抗状態から高抵抗状態に切り替えるリセット動作を実行する場合に第1配線に電圧を供給する。セット動作第1ドライバ回路とメモリセルアレイとの間の配線の長さは、リセット動作第1ドライバ回路と前記メモリセルアレイとの間の配線の長さに比べて長い。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

平行に配置された複数の第 1 配線と、前記第 1 配線と交差するように配置された複数の第 2 配線との交差部に配置され可変抵抗素子を含むメモリセルを配列してなるメモリセルアレイと、

前記メモリセルに対し高抵抗状態から低抵抗状態に切り替えるセット動作を実行する場合に前記第 1 配線に電圧を供給するセット動作第 1 ドライバ回路と

前記メモリセルに対し低抵抗状態から高抵抗状態に切り替えるリセット動作を実行する場合に前記第 1 配線に電圧を供給するリセット動作第 1 ドライバ回路と

を備え、

前記セット動作第 1 ドライバ回路と前記メモリセルアレイとの間の配線の長さは、前記リセット動作第 1 ドライバ回路と前記メモリセルアレイとの間の配線の長さに比べ長い

ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記メモリセルに対し前記セット動作を実行する場合に前記第 2 配線に電圧を供給するセット動作第 2 ドライバ回路と、

前記メモリセルに対し前記リセット動作を実行する場合に前記第 2 配線に電圧を供給するリセット動作第 2 ドライバ回路と

を更に備え、

前記セット動作第 2 ドライバ回路と前記メモリセルアレイとの間の配線の長さは、前記リセット動作第 2 ドライバ回路と前記メモリセルアレイとの間の配線の長さに比べ長い

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記セット動作第 1 ドライバ回路及び前記リセット動作第 1 ドライバ回路は、複数の前記メモリセルアレイの間の領域に形成され、

前記セット動作第 1 ドライバ回路は、前記複数のメモリセルアレイにより共有され、

前記リセット動作第 1 ドライバ回路は、前記複数のメモリセルアレイのそれぞれに対応するように設けられている

ことを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 4】

前記メモリセルアレイが形成される半導体基板に対し垂直方向に延び前記第 1 配線と接続するコンタクト配線とをさらに有し、

前記セット動作第 1 ドライバ回路及び前記リセット動作第 1 ドライバ回路は、前記メモリセルアレイの直下の領域に形成され、

前記セット動作第 1 ドライバ回路及び前記リセット動作第 1 ドライバ回路は、前記コンタクト配線を介して前記第 1 配線に接続されることを特徴とする請求項 1 乃至 3 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 5】

前記コンタクト配線の抵抗は、前記配線の抵抗よりも小さいことを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】

複数の前記コンタクト配線が配置されたビアコンタクト領域と、

前記複数の前記コンタクト配線のそれぞれに接続される下層配線と、

前記下層配線に接続された複数の下層コンタクトと、

を更に有し、

前記セット動作第 1 ドライバ回路及び前記リセット動作第 1 ドライバ回路は、前記下層配線に共通に接続され、

前記複数の下層コンタクトのうち第 1 下層コンタクトは前記セット動作第 1 ドライバ

10

20

30

40

50

回路と前記下層配線とを接続し、

前記複数の下層コンタクトのうち第2下層コンタクトは前記リセット動作用第1ドライバ回路と前記下層配線とを接続し、

前記セット動作用第1ドライバ回路と前記メモリセルアレイとの間の配線の長さは、前記コンタクト配線から前記第1下層コンタクトまでの前記下層配線の距離であり、

前記リセット動作用第1ドライバ回路と前記メモリセルアレイとの間の配線の長さは、前記コンタクト配線から前記第2下層コンタクトまでの前記下層配線の距離であることを特徴とする請求項4記載の不揮発性半導体記憶装置。

【請求項7】

さらに、前記メモリセルアレイが複数層配置されたブロックと、
コンタクト配線とを有し、

前記コンタクト配線は上面視した場合において重なっている複数の配線を共通接続し、

1本の前記コンタクト配線が、前記複数の配線を前記セット動作用第1ドライバ回路又は前記リセット動作用第1ドライバ回路に接続させ、

前記セット動作用第1ドライバ回路と前記メモリセルアレイとの間の配線の長さは、前記メモリセルアレイの前記セット動作用第1ドライバ回路側の端から前記セット動作用第1ドライバ回路に配置された前記コンタクト配線までの前記配線の距離であり、

前記リセット動作用第1ドライバ回路と前記メモリセルアレイとの間の配線の長さは、前記メモリセルアレイの前記セット動作用第1ドライバ回路側の端から前記リセット動作用第1ドライバ回路に配置された前記コンタクト配線までの前記配線の距離であることを特徴とする請求項1乃至5のいずれかに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に記載の実施の形態は、不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

近年、フラッシュメモリの後継候補として、抵抗変化メモリが注目されている。抵抗変化メモリのメモリセルは可変抵抗素子を含み、高抵抗状態と低抵抗状態との間で変化し、その抵抗状態に基づいてデータを記憶する。

【0003】

抗変化メモリは多くの場合、このような可変抵抗素子を有するメモリセルを、複数のビット線と複数のワード線の交点に配置することで構成される（クロスポイント型）。

【0004】

このようなクロスポイント型の抵抗変化メモリでは、書き込み動作（セット動作）及び消去動作（リセット動作）の対象となる選択メモリセルとドライバ回路との間の距離により、寄生抵抗が変化し、電圧印加条件が異なるという問題がある。このような電圧印加条件の違いは、メモリセルへの負担を増加させ、データ保持特性を劣化させると共に、メモリ装置のパフォーマンスを低下させる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2011-44193号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

以下に記載する実施の形態は、メモリセルへの負担を軽減し、データ保持特性に劣化を抑制することができる不揮発性半導体記憶装置を提供するものである。

【課題を解決するための手段】

【0007】

10

20

30

40

50

以下に記載する実施の形態に係る不揮発性半導体記憶装置のメモリセルアレイは、平行に配置された複数の第1配線と、第1配線と交差するように配置された複数の第2配線との交差部に配置されたメモリセルを備える。メモリセルは可変抵抗素子を含む。セット動作第1ドライバ回路は、メモリセルに対し高抵抗状態から低抵抗状態に切り替えるセット動作を実行する場合に第1配線に電圧を供給する。リセット動作第1ドライバ回路は、メモリセルに対し低抵抗状態から高抵抗状態に切り替えるリセット動作を実行する場合に第1配線に電圧を供給する。セット動作第1ドライバ回路とメモリセルアレイとの間の配線の長さは、リセット動作第1ドライバ回路と前記メモリセルアレイとの間の配線の長さに比べて長い。

【図面の簡単な説明】

10

【0008】

【図1】第1の実施の形態に係る不揮発性メモリのブロック図の一例である。

【図2A】メモリセルアレイ110の一部の斜視図の一例である。

【図2B】メモリセルアレイ110の一部の斜視図の一例である。

【図3】図3は、図2におけるI-I'線で切断して矢印方向に見たメモリセル1つ分の断面図の一例である。

【図4】メインロウデコーダ120の回路図の一例である。

【図5】ロウドライバ130（セット動作ロウドライバ130S、リセット動作ロウドライバ130R）の回路図の一例である。

【図6】ロウドライバ130の具体的構造を示す断面図の一例である。

20

【図7】書き込み駆動線ドライバ140の回路図の一例である。

【図8】カラムデコーダ160の回路図の一例である。

【図9】カラムドライバ170（セット動作カラムドライバ170S、リセット動作カラムドライバ170R）の回路図の一例である。

【図10A】第1の実施の形態の配線Lに関するレイアウトを示す概略図である。

【図10B】図10Aの点線a部分の概略断面図を示す。

【図10C】第1の実施の形態の配線Lに関する別のレイアウトを示す概略図である。

【図10D】図10Dの点線b部分の概略断面図を示す。

【図11】第1の実施の形態の効果を説明するグラフの一例である。

【図12】第2の実施の形態に係る不揮発性メモリのブロック図の一例である。

30

【図13】図12のコンタクトZi a N付近の断面図である。

【発明を実施するための形態】

【0009】

以下、図面を参照しながら、本実施の形態に係る不揮発性半導体記憶装置の実施の形態について詳細に説明する。

【0010】

〔第1の実施の形態〕

まず、第1の実施の形態に係る不揮発性半導体装置を、図面を参照しつつ詳細に説明する。

【0011】

40

〔全体構成〕

図1は、第1の実施の形態に係る不揮発性メモリのブロック図の一例である。

【0012】

この不揮発性メモリは、図1中の点線で囲まれたメモリセルアレイコア部100と、このメモリセルアレイコア部100に用いる電圧を生成し、供給する電源回路200を含む。

【0013】

メモリセルアレイコア部100は、メモリセルアレイ110とロウ系制御回路及びカラム系制御回路とを備える。このメモリセルアレイ110は、ロウ方向に延びる複数のワード線WLと、これらワード線WLに交差するカラム方向に延びる複数のビット線BLと、

50

これらワード線WL及びビット線BLの交差部に設けられた複数のメモリセルMCからなる。図1では、メモリセルアレイコア部100は、4個のメモリセルアレイ110をマトリクス状に配置して構成されているが、複数のメモリセルアレイの配置はこれに限定されない。

【0014】

ワード線WLは、メインワード線（図1では図示せず）によって所定数ずつの複数のグループに分かれる。同様に、ビット線BLも、カラム選択線（図1では図示せず）によって所定数ずつの複数のグループに分かれる。

【0015】

また、メモリセルアレイコア部100は、外部から供給されるアドレス信号(Add)及び制御信号(Cntr)に基づいてメモリセルアレイ110内の所定のメモリセルを選択し、セット／リセット／リードの各動作を実行するロウ系制御回路及びカラム系制御回路を備える。

【0016】

ロウ系制御回路は、メインロウデコーダ120、ロウドライバ130、書き込み駆動線(WDRV)ドライバ140、及びロウ系周辺回路150を含む。メインロウデコーダ120は、アドレス信号に基づいて所定のメインワード線を選択する。ロウドライバ130は、メインワード線の選択／非選択の状態に応じて、このメインワード線に対応する所定数のワード線に対してセット動作等に必要な電圧を供給する。書き込み駆動線ドライバ140は、アドレス信号に基づいてワード線ドライバ130がワード線に供給する電圧を準備する。ロウ系周辺回路150は、その他の必要なロウ系の回路を有する。

【0017】

また、ロウドライバ130は、セット動作用ロウドライバ130Sと、リセット動作用ロウドライバ130Rとを備えている。セット動作用ロウドライバ130Sは、セット動作時において所定数のワード線に対してセット動作に必要な電圧を供給する。リセット動作用ロウドライバ130Rは、リセット動作時において所定数のワード線に対してリセット動作に必要な電圧を供給する。セット動作用ロウドライバ130Sと、リセット動作用ロウドライバ130Rとは、ロウ系周辺回路150に与えられる制御信号に基づいて選択的に動作する。そして、セット動作用ロウドライバ130Sは、リセット動作用ロウドライバ130Rに比べ、メモリセルアレイ110から見て遠い位置に配置されている。すなわち、セット動作用ロウドライバ130Sとメモリセルアレイ110との間の配線Lの長さLsは、リセット動作用ロウドライバ130Rとメモリセルアレイ110との間の配線Lの長さLrに比べて長い。ここで、配線Lの長さの定義は後に述べる。このようなレイアウトを採用している理由は、セット動作時におけるメモリセルへの負担を軽減するためである。詳しくは後述する。

【0018】

また、図1の例では、複数のメモリセルアレイ110が1つのメモリセルアレイコア部100に設けられ、この複数のメモリセルアレイ110の間の領域に、セット動作用ロウドライバ130S及びリセット動作用ロウドライバ130Rが設けられている。そして、セット動作用ロウドライバ130Sは、この複数のメモリセルアレイ110により共有されている。一方、リセット動作用ロウドライバ130Rは、1つのメモリセルアレイ110ごとに設けられている。これは、先に説明した距離LrとLsの関係が $Ls > Lr$ となっていることに基づく。

【0019】

一方、カラム系制御回路は、カラムデコーダ160、カラムドライバ170、センスアンプ／書き込みバッファ180、及びカラム系周辺回路190を備える。カラムデコーダ160は、アドレス信号に基づいて所定のカラム選択線を選択する。カラムドライバ170は、カラム選択線の選択／非選択の状態に応じて、このカラム選択線に対応する所定数のビット線に対するデータ入出力を行う。センスアンプ／書き込みバッファ180は、データ入出力信号(I/O)を介して入力されたデータをカラムドライバ170に出力したり

、カラムドライバ170から受信したビット線に現れたデータをデータ入出力信号として外部に送信したりする。カラム系周辺回路190は、その他の必要なカラム系の回路を有する。

【0020】

また、カラムドライバ170は、セット動作用カラムドライバ170Sと、リセット動作用カラムドライバ170Rとを備えている。セット動作用カラムドライバ170Sは、セット動作時において所定数のビット線BLに対してセット動作に必要な電圧を供給する。リセット動作用カラムドライバ170Rは、リセット動作時において所定数のビット線BLに対してリセット動作に必要な電圧を供給する。セット動作用カラムドライバ170Sと、リセット動作用カラムドライバ170Rとは、カラム系周辺回路190に与えられる制御信号に基づいて選択的に動作する。

10

【0021】

そして、セット動作用カラムドライバ170Sは、リセット動作用カラムドライバ170Rに比べ、メモリセルアレイ110から見て遠い位置に配置されている。すなわち、セット動作用カラムドライバ170Sとメモリセルアレイ110との間の配線の長さ L_s' は、リセット動作用カラムドライバ170Rとメモリセルアレイ110との間の配線の長さ L_r' に比べて長い。その理由はロウドライバ130の場合と同様である。

【0022】

また、図1の例では、複数のメモリセルアレイ110が1つのメモリセルアレイコア部100に設けられ、この複数のメモリセルアレイ110の間の領域に、セット動作用カラムドライバ170S及びリセット動作用カラムドライバ170Rが設けられている。そして、セット動作用カラムドライバ170Sは、この複数のメモリセルアレイ110により共有されている。一方、リセット動作用カラムドライバ170Rは、1つのメモリセルアレイ110ごとに設けられている。これは、先に説明した距離 L_r' と L_s' の関係が $L_s' > L_r'$ となっていることに基づく。

20

【0023】

[メモリセルアレイ]

図2Aは、メモリセルアレイ110の一部の斜視図の一例、図3は、図2におけるI-I'線で切断して矢印方向に見たメモリセル1つ分の断面図の一例である。

【0024】

複数本の第2配線であるワード線WL0~WL2が平行に配設され、これと交差して複数本の第1の配線であるビット線BL0~BL2が平行に配設され、これらの各交差部に両配線に挟まれるようにメモリセルMCが配置される。第1及び第2の配線は、熱に強く、且つ抵抗値の低い材料が望ましく、例えばW、WSi、NiSi、CoSi等を用いることができる。なお図2Bのように、メモリセルアレイ110を4層重ねて4層構造のメモリブロックにすることもできる。なおメモリセルアレイの層数は4層に限定されない。

【0025】

メモリセルMCは、図3に示すように、可変抵抗素子VRと非オーミック素子NOの直列接続回路からなる。

40

可変抵抗素子VRとしては、電圧印加によって、電流、熱、化学エネルギー等を介して抵抗値を変化させることができるもので、上下にバリアメタル及び接着層として機能する電極EL1、EL2が配置される。電極材としては、Pt、Au、Ag、TiAlN、SrRuO₄、Ru、RuN、Ir、Co、Ti、TiN、Ta₂N₅、LaNiO₃、Al、PtIrO_x、PtRhO_x、Rh/TaAlN等が用いられる。また、配向性を一様にするようなメタル膜の挿入も可能である。また、別途バッファ層、バリアメタル層、接着層等を挿入することも可能である。

【0026】

可変抵抗素子VRは、カルコゲナイド等のように結晶状態と非晶質状態の相転移により抵抗値を変化させるもの(PCM)、金属陽イオンを析出させて電極間に架橋(コンダクティングブリッジ)を形成したり、析出した金属をイオン化して架橋を破壊すること

50

で抵抗値を変化させるもの（C B R A M）、電圧あるいは電流印加により抵抗値が変化するもの（R e R A M）（電極界面に存在する電荷トラップにトラップされた電荷の存在の有無により抵抗変化が起きるものと、酸素欠損等に起因する伝導パスの存在の有無により抵抗変化が起きるものに大別される。）等を用いることができる。

【0027】

〔各回路の具体的構成〕

以下において、各回路の具体的構成について説明する。なお、メモリセルアレイ110が、ワード線方向に2Kビット（＝2048ビット）、ビット線方向に512ビットのメモリセルMCからなる場合を例として説明する。

【0028】

〔ロウ系制御回路〕

図4は、メインロウデコーダ120の回路図の一例である。メインロウデコーダ120はプリデコーダであり、ロウアドレスを入力し、256対のメインワード線MWLx、MWLbx（x＝＜255：0＞）の1つを選択する。なお、メインロウデコーダ120は、図4に示す回路を、256対のメインワード線MWLx、MWLbxのそれぞれについて有している。

【0029】

図4に示すように、1つのメインロウデコーダ120は、アドレス信号（Address）を入力とするNANDゲートG121、このNANDゲートG121の出力をレベルシフトするレベルシフタL/S、レベルシフタL/Sの出力信号を入力信号として取り込むインバータIV121、及びこのインバータIV121の出力信号を入力信号とするインバータIV122によって構成される。インバータIV121、IV122の出力端子は、それぞれメインワード線MWLx、MWLbxに接続されている。このメインロウデコーダ120は、アドレス信号（Address）に基づいて所定のxを選択し、選択したメインワード線MWLx、MWLbxにそれぞれ電圧VSSROW（“H”）、VWR（“L”）を供給し、非選択のメインワード線MWLx、MWLbxにそれぞれ電圧VWR、VSSROWを供給する。

【0030】

図5は、ロウドライバ130（セット動作用ロウドライバ130S、リセット動作用ロウドライバ130R）の回路図の一例である。セット動作用ロウドライバ130S、及びリセット動作用ロウドライバ130Rは、いずれも同一の回路構成を採用し得るので、以下ではセット動作用ロウドライバ130Sの構造を説明する。

【0031】

図5に示すセット動作用ロウドライバ130Sは、配線Lを介してワード線WLx＜7：0＞のいずれかに接続されていると共に、256対のメインワード線MWLx、MWLbx（x＝＜255：0＞）のいずれか1対に接続される。

【0032】

図5に示すように、セット動作用ロウドライバ130Sは、2つのトランジスタQP131、QN131を備えている。トランジスタQP131、QN131は、書き込み駆動線WDRV＜7：0＞及びワード線WLx＜7：0＞間に接続されていて、そのゲートにそれぞれメインワード線MWLbx、MWLxが接続されている。また、セット動作用ロウドライバ130Sは、トランジスタQP132を備えている。トランジスタQP132は、非選択ワード線電圧VUXの電源線及びワード線WLx＜7：0＞間に接続されており、そのゲートにはメインワード線MWLxが接続されている。

【0033】

セット動作用ロウドライバ130Sは、セット動作が行われる場合において、メインワード線MWLxの選択／非選択の状態に応じて、書き込み駆動線WDRV＜7：0＞又は非選択ワード線電圧VUXの電源線のいずれか一方とワード線WLx＜7：0＞とを接続する。これによって、ワード線WLx＜7：0＞には、選択ワード線電圧VSSROW、非選択ワード線電圧VUXのいずれかが供給される。

10

20

30

40

50

【0034】

一方、リセット動作用ロウドライバ130Rも、同様の構成を有する。リセット動作用ロウドライバ130Rは、リセット動作が行われる場合において、メインワード線MWLxの選択／非選択の状態に応じて、書き込み駆動線WDRV<7:0>又は非選択ワード線電圧VUXの電源線のいずれか一方と配線Lを介してワード線WLx<7:0>とを接続する。

【0035】

なお、ロウドライバ130は、その他の周辺回路と同じP型の基板上に共通に形成されるが、負の電圧となる選択ワード線電圧VSSROW（例えば、-0.8V）を与えるために、図6に示すトリプル・ウェル構造を持つ。具体的には、接地電圧VSSをウェル電圧とするP型基板があり、このP型基板上に非選択ワード線電圧VUXをウェル電圧とする第2導電型であるN型のウェル、このN型ウェル上に選択ワード線電圧VSSROWをウェル電圧とするP型ウェルが順次形成された構造となっており、このP型ウェル上にNMOSTランジスタが形成されている。

【0036】

図7は、書き込み駆動線ドライバ140の回路図の一例である。書き込み駆動線回路140は、アドレス信号（Address）を入力とするNANDゲートG141、このNANDゲートG141の出力をレベルシフトするレベルシフタL/S、このレベルシフタL/Sの出力を入力とするインバータIV141によって構成される。このインバータIV141は非選択ワード線電圧VUX及び選択ワード線電圧VSSROW間に設けられ、出力端子が書き込み駆動線WDRVに接続されている。この書き込み駆動線回路140は、入力されたアドレス信号に対応する書き込み駆動線WDRV<127:0>に選択ワード線電圧VSSROWを供給し、その他の書き込み駆動線WDRV<127:0>に非選択ワード線電圧VUXを供給する。この書き込み駆動線WDRVの電圧は、ロウドライバ130を介して、ワード線WLxに供給される。以上の構成によるメインロウデコーダ120、ロウドライバ130、及び書き込み駆動線ドライバ140によって、アドレス信号で選択されたワード線WLxにのみ選択ワード線電圧VSSROWが供給され、その他のワード線WLには非選択ワード線電圧VUXが供給されることになる。

【0037】

〔カラム系制御回路〕

図8は、カラムデコーダ160の回路図の一例である。カラムデコーダ160は、カラムアドレスを入力し、128対のカラム選択線CSLy、CSLby（y=<127:0>）の1つを選択する。なお、カラムデコーダ160は、図8に示すような回路を、128対のカラム選択線CSLy、CSLbyのそれぞれについて有している。図8に示すように、1つのカラムデコーダ160は、アドレス信号（Address）を入力とするNANDゲートG161、このNANDゲートG161の出力をレベルシフトするレベルシフタL/S、このレベルシフタL/Sの出力を入力とするインバータIV161、及びこのインバータIV161の出力を入力とするインバータIV162によって構成される。ここで、インバータIV161、IV162の出力端子は、それぞれカラム選択線CSLy、CSLbyに接続されている。このカラムデコーダ160は、アドレス信号（Address）に基づいて所定のyを選択し、選択したカラム選択線CSLy、CSLbyにそれぞれ電圧VWR（“H”）、VSS（“L”）を供給し、非選択のカラム選択線CSLy、CSLbyにそれぞれ電圧VSS、VWRを供給する。

【0038】

図9は、カラムドライバ170（セット動作用カラムドライバ170S、リセット動作用カラムドライバ170R）の回路図の一例である。セット動作用カラムドライバ170S、及びリセット動作用カラムドライバ170Rは、いずれも同一の構成を採用し得るので、以下ではセット動作用カラムドライバ170Sの構成を説明する。図9のセット動作用カラムドライバ170Sには128対のカラム選択線CSLy、CSLby（y=<127:0>）のいずれか1対が入力される。図9に示すように、セット動作用カラムドラ

イバ170Sは、ローカルデータ線LDQ<7:0>及びビット線BLy<7:0>間に設けられ、それぞれカラム選択線CSLy、CSLbyで制御される2つのトランジスタQP171、QN171と、非選択ビット線電圧VUBの電源線及びビット線BLy<7:0>間に設けられ、カラム選択線CSLbyで制御されるトランジスタQN172とを備える。

【0039】

このセット動作カラムドライバ170Sは、カラム選択線CSCyの選択／非選択の状態に応じて、ローカルデータ線LDQ<7:0>／非選択ビット線電圧VUBの電源線とビット線BLyとを接続する。ここで、ローカルデータ線LDQ<7:0>の電圧は、センスアンプ／書き込みバッファ180から供給される選択ビット線電圧VWR或いは非選択ビット線電圧VUBに相当する電圧VSSである。これによって、ビット線BLy<7:0>には、選択ビット線電圧VWR、非選択ビット線電圧VUBのいずれかが供給される。

10

【0040】

次に、セット動作ロウドライバ130Sとメモリセルアレイ110との間の配線L(L0、L1・・・Ln)の長さLs(Ls0、Ls1、・・・Lsn)が、リセット動作ロウドライバ130Rとメモリセルアレイ110との間の配線Lの長さLr(Lr0、Lr1、・・・Lrn)に比べて長くされるレイアウトが採用されている理由を説明する。なお、セット動作カラムドライバ170Sとメモリセルアレイ110との間の配線Lの長さLs'が、リセット動作カラムドライバ170Rとメモリセルアレイ110との間の配線Lの長さLr'に比べて長くされるレイアウトが採用されている理由も同様であるので、以下では前者の理由を中心に説明する。

20

【0041】

メモリセルアレイ11内には、複数のメモリセルMCがマトリクス状に配置され、セット動作ロウドライバ130Sから近いメモリセルMC(以下、ニアビット(Near Bit))というのと、遠いメモリセルMC(以下、ファービット(Far Bit))というのとが存在する(図10A参照)。この時、長さLsが小さいと、ニアビットにおいて、セット動作後のオン電流Ice11のバラつきがファービットに比べ大きくなる(電流分布の幅が大きくなる)という問題がある(図11参照)。なお、図11は比較例におけるオン電流Ice11の分布であり、配線Lの長さLs'と長さLr'はほぼ等しい長さである。図11を見ると、セット動作後において、ニアビットに属する複数のメモリセルのオン電流Ice11の分布が、ファービットに属する複数のメモリセルのオン電流Ice11の分布よりも広いことが解る。

30

【0042】

ニアビットにおいてオン電流Ice11のバラつきが大きくなる理由を説明する。セット動作は、前述のようにメモリセルMCの可変抵抗素子の抵抗値を高抵抗状態から低抵抗状態に切り替える動作である。メモリセルの可変抵抗素子の抵抗値が、電圧印加により低抵抗状態に切り替わると、メモリセルMCに流れる電流が急激に増加する。このような電流の急激な増加は、セット動作が完了されたメモリセルが逆にリセットされてしまったり(誤リセット動作)、メモリセルMCに不要な負担を与え、メモリセルMCのデータ保持特性を劣化させたりするなどの問題がある。一方、リセット動作は、メモリセルMCの可変抵抗素子の抵抗値を低抵抗状態から高抵抗状態に切り替える動作であるので、上記のような問題は生じにくい。

40

【0043】

そこで、本実施の形態では、図10Aに示すように、セット動作ロウドライバ130Sとメモリセルアレイ110との間の配線Lの長さLsが、リセット動作ロウドライバ130Rとメモリセルアレイ110との間の配線Lの長さLrに比べて長くされるレイアウトが採用している。ここで、メモリセルアレイ110にはメモリセルMCがマトリクス状に配置されている。図10Aにおいては、上側から0番目のワード線WL0に接続されているメモリセルMCを、Bit0と称し、n番目のワード線WLnに接続されているメ

50

メモリセルMCをBit nと称する。なお、nは2以上の整数である。ワード線WL 0～nには、それぞれ複数のメモリセルMCが接続されており、そのうちでリセット動作ロウデコーダ130R及びセット動作ロウデコーダ130Sから見て遠い位置にあるメモリセルMCをファービットFar Bit 0～nと称する。一方、リセット動作ロウデコーダ130R及びセット動作ロウデコーダ130Sから見て近い位置にあるメモリセルMCをニアビットNear Bit 0～nと称する。

【0044】

ワード線WL 0～nは配線L 0～Lnにそれぞれ接続されている。配線L 0～Lnはリセット動作ロウドライバ130Rをまたぎ、セット動作ロウドライバ130Sに到達するように、カラム方向(Col)に延びている。リセット動作ロウドライバ130RにはコンタクトZiaR 0～ZiaR nが配置されている。また、セット動作ロウドライバ130SにはコンタクトZiaS 0～ZiaS nが配置されている。

コンタクトZiaR 0～ZiaR nは配線Lを介してワード線WL 0～nにそれぞれ接続されている。コンタクトZiaS 0～ZiaS nは配線Lを介してワード線WL 0～nにそれぞれ接続されている。言い換えると、ワード線WL i (i = 0～n)に1つのコンタクトZiaR iと1つのコンタクトZiaS iが配線Lを介して接続されている。ここで、配線L i (i = 0～n)の長さL s iはメモリセルアレイ110の端(セット動作ロウドライバ130S側の端)からコンタクトZiaS iまでの距離である。また、配線L iの長さL r iはメモリセルアレイ110の端(リセット動作ロウドライバ130R側の端)からコンタクトZiaR iまでの距離である。また、それぞれのワード線WL iにおいて、配線の長さL s i > L r iの関係が成り立つ。すなわち、配線の長さL s 0 > L r 0、L s 1 > L r 1、・・・L s n > L r nである。さらに、配線L s 0とL r nの長さは、L s 0 > L r nの関係を有している。

【0045】

ここで、図10Aの点線aの断面図の一例を図10Bに示す。

図10Bに示すように、ワード線WLは0層目からt層目までの積層構造を有している。なおtは2以上の整数である。配線Lnも、同様に0層目からt層目までの積層構造を有している(配線Lnは、配線Ln 0～Ln tからなる)。配線Ln 0～Ln tは、ワード線WL n 0～WL n tにそれぞれ接続されている。ここで、ワード線WL n 0～WL n tは図10Aを上面視した場合において重なっている。すなわち、図10Bに示す配線Ln 0～Ln tは図10Aを上面視した場合において重なっている。

【0046】

コンタクトZiaR nは、それぞれの配線Ln 0～Ln tを貫くように、積層方向である方向L amに延びている。ここで、コンタクトZiaR nは最上層の配線Ln tに形成された開口Atから方向L am下方に延びている。すなわち、配線Ln tの開口Atの側面に接することにより、配線Ln tと電氣的に接続されている。同様に、開口Atから方向L am下方に延びたコンタクトZiaR nは配線Ln tの下層に配置された配線Ln (t - 1)、・・・Ln 0に同様に接続することができる。

ここで、最下層に配置された配線Ln 0の開口A 0からL am方向に延びたコンタクトZiaR nは配線M 0に接続されている。配線M 0は下層コンタクトUCにより、それぞれトランジスタQP 131、QN 131の拡散層に接続されている。

【0047】

セット動作ロウドライバ130Sもリセット用ロウドライバ130Rと同様のコンタクトZiaS nを有している。コンタクトZiaS nも、コンタクトZiaR nと同様の要領で配線Ln 0～tに接続されている。また、図示はしていないが、ZiaS nも配線M 0と同じレベルの配線に接続され、それぞれセット動作ロウドライバ130S中のトランジスタQP 131、QN 131の拡散層に接続されている。

【0048】

メモリセルMCに供給されるべき電圧は、トランジスタQP 131、QN 131からコンタクトZiaR、ZiaS、及び配線Lを介してメモリセルMCに供給される。これに

より、配線Lの長さL_sが長くなることにより、セット動作ロウドライバ130Sとメモリセルアレイ110との間の配線抵抗が増加する。配線Lの配線抵抗が増加することにより、セット動作完了後においてメモリセルMCに流れるオン電流I_{cell}の増加は抑制されるので、メモリセルMCのデータ保持特性を維持することができる。なお、コンタクトZ_{iaR}、Z_{iaS}の抵抗は配線Lの抵抗に比べて小さい。また、配線M₀の長さは配線の長さL_s、L_rに比べて小さい。よって、トランジスタQP131、QN131からメモリセルアレイ110までの間の配線抵抗は、配線Lの長さL_s、L_rによって大きく支配されている。

【0049】

また、図10Cに示すように、配線L₀～L_nのそれぞれにコンタクトZ_{iaR_i__1}、Z_{iaR_i__2}、Z_{irS_i__1}及びZ_{iaS_i__2}の4つのコンタクトを配置することもできる（iは0～nの整数、以下同様）。ここで、Z_{iaR_i__1}、Z_{iaR_i__2}はリセット用ロウドライバ130R内に配置され、Z_{iaS_i__1}、Z_{iaS_i__2}はセット用ロウドライバ130S内に配置されている。

【0050】

配線Lの長さL_s、L_rはメモリセルアレイ110の端（セット動作ロウドライバ130S側の端）からメモリセルアレイ110に近いコンタクトZ_{iaR_i__1}、Z_{iaS_i__1}で定義される。図10Cの破線bの断面図の一例を図10Dに示す。また、コンタクトZ_{iaR_n__1}、Z_{iaR_n__2}、Z_{irS_n__1}及びZ_{iaS_n__2}の構造は図10Bに示す構造と同じであるため説明を省略する。

【0051】

コンタクトZ_{iaR_n__1}はトランジスタQP131の拡散層に接続されている。また、コンタクトZ_{iaR_n__2}はトランジスタQN131の拡散層に接続されている。図10Dでは、図10Bと異なり、配線M₀を用いずにコンタクトZ_{ia}が直接トランジスタの拡散層と接続しているが、これに限定する趣旨ではない。また、カラムドライバ170に関してはロウドライバ130と同様のレイアウトのため説明を省略する。

【0052】

[第2の実施の形態]

次に、第2の実施の形態に係る不揮発性半導体装置を、図面を参照しつつ詳細に説明する。図12は、第2の実施の形態に係る不揮発性メモリのブロック図である。第1の実施の形態と同一の構成については図12において同一の符号を付し、以下ではその詳細な説明は省略する。この実施の形態では、メモリセルアレイ110が形成されている半導体基板（図示せず）の直下に、セット動作ロウドライバ130S及びリセット動作ロウドライバ130Rが形成されている。セット動作ロウドライバ130S及びリセット動作ロウドライバ130Rは、配線C_L、及びビアコンタクト領域210に形成され半導体基板に対し垂直に伸びるコンタクト配線を介してメモリセルアレイ110に接続される。ビアコンタクト領域210には複数のコンタクトZ_{iaL₀～Z_{iaL_n}}、Z_{iaR₀～Z_{iaR_n}}が配置されている。ここで、コンタクトZ_{iaL₀～Z_{iaL_n}}はカラム方向（C_{ol}）において左側に配置されたメモリセルアレイ110から延びる配線L_{L₀～L_{L_n}}に接続されるコンタクトである。コンタクトZ_{iaR₀～Z_{iaR_n}}はカラム方向（C_{ol}）において右側に配置されたメモリセルアレイのから延びる配線L_{R₀～L_{R_n}}に接続されるコンタクトである。

【0053】

なお配線L_{L₀～L_{L_n}}はカラム方向（C_{ol}）において左側に配置されたメモリセルアレイ110のワード線W_{L₀～W_{L_n}}にそれぞれ接続されている。配線L_{R₀～L_{R_n}}はカラム方向（C_{ol}）において右側に配置されたメモリセルアレイのワード線W_{L₀～W_{L_n}}にそれぞれ接続されている。

【0054】

ここで、コンタクトZ_{iaL_n}を例にとって説明する。具体的に、図13に示すように、コンタクトZ_{iaL_n}の底面は配線M₀に接続されている。配線M₀は下層コンタクト

UCによってそれぞれ、セット動作ロウドライバ130SのトランジスタQN131、QP131に接続され、リセット動作ロウドライバ130RのトランジスタQN131、QP131に接続されている。ここでの配線Lの長さL_sはコンタクトZi a Lnと配線M0が接する位置からセット動作ロウドライバ130Sの下層コンタクトUCまでの距離である。また、配線Lの長さL_rはコンタクトZi a Lnと配線M0が接する位置からリセット動作ロウドライバ130Rの下層コンタクトUCまでの距離である。ここで、リセット動作ロウドライバ130R及びセット動作ロウドライバ130Sに2つのコンタクトUCが配置されているが、配線Lの距離L_r、L_sはコンタクトZi a Lnに近い方のコンタクトUCからの距離として定義される。

【0055】

なお、コンタクト配線の抵抗は、ワード線WL及び配線CLの抵抗よりも小さい。第1の実施の形態と同様に、セット動作ロウドライバ130Sとメモリセルアレイ110との間の配線Lの長さL_sが、リセット動作ロウドライバ130Rとメモリセルアレイ110との間の配線Lの長さL_rに比べて長くされるレイアウトが採用されている。なお、図12では、半導体基板の直下にセット動作ロウドライバ130S及びリセット動作ロウドライバ130Sが形成されている例を説明したが、これに代えて、半導体基板の直下にセット動作カラムドライバ170S及びリセット動作カラムドライバ170Rを形成してもよい。また、セット動作ロウドライバ130S、リセット動作ロウドライバ130R、セット動作カラムドライバ170S及びリセット動作カラムドライバ170Rの全てが半導体基板の直下に形成されていてもよい。

【0056】

以上、本発明のいくつかの実施の形態を説明したが、これらの実施の形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施の形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施の形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

(付記1)

さらに、前記メモリセルアレイが複数層配置されたブロックを有し、

前記コンタクト配線は上面視した場合において重なっている前記配線を共通接続していることを特徴とする請求項4記載の不揮発性半導体記憶装置。

(付記2)

2本の前記コンタクト配線は、前記複数の配線を前記セット動作第1ドライバ回路又は前記リセット動作第1ドライバ回路に接続させることを特徴とする請求項7記載の不揮発性半導体記憶装置。

【符号の説明】

【0057】

100・・・メモリセルアレイコア部、 110・・・メモリセルアレイ、 120・・・メインロウデコーダ、 130・・・ロウドライバ、 130S・・・セット動作ロウドライバ、 130R・・・リセット動作ロウドライバ、 140・・・書き込み駆動線(WDRV)ドライバ、 150・・・ロウ系周辺回路、 160・・・カラムデコーダ、 170・・・カラムドライバ、 180・・・センスアンプ／書き込みバッファ、 190・・・カラム系周辺回路。

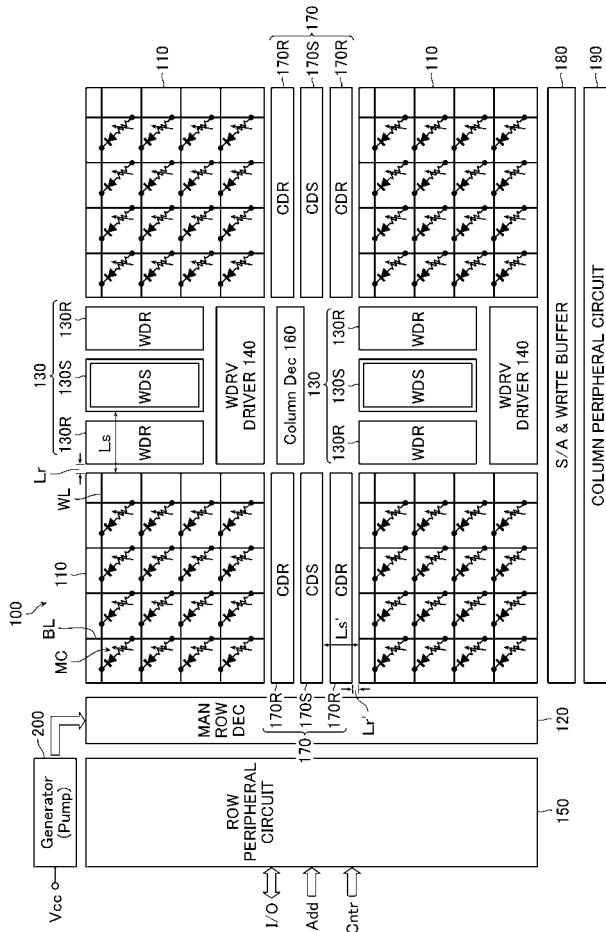
10

20

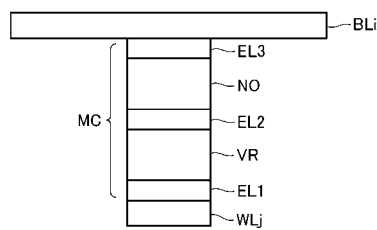
30

40

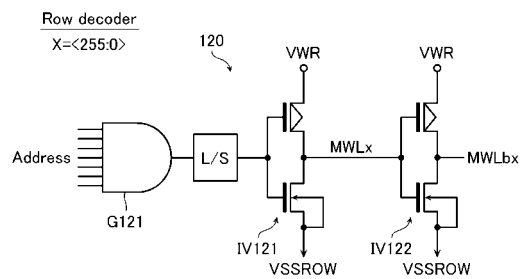
【 図 1 】



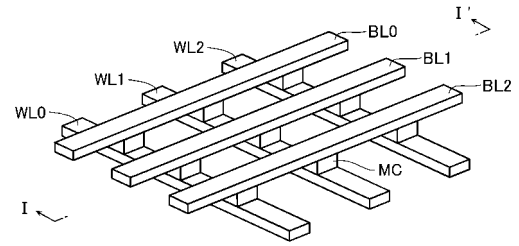
【図 3】



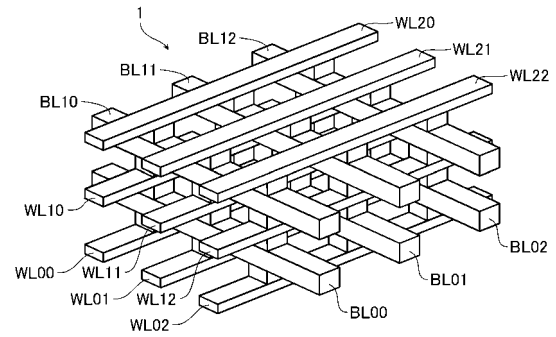
【图 4】



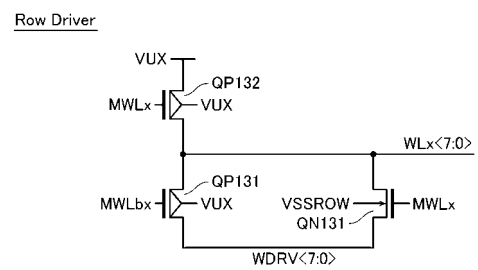
【図 2 A】



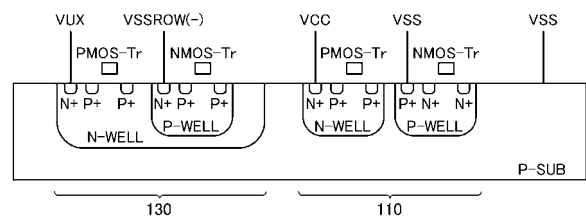
【図 2 B】



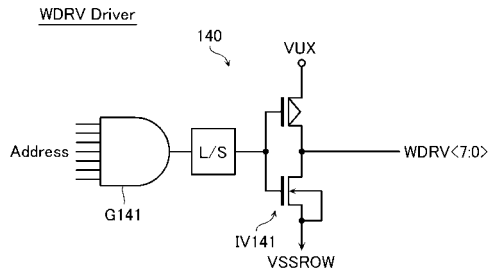
【図 5】



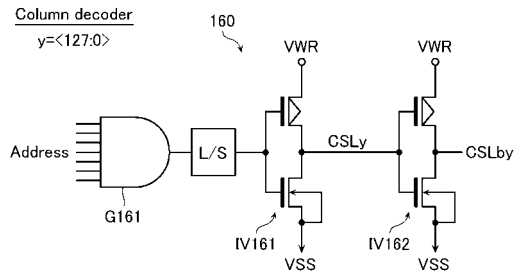
【图 6】



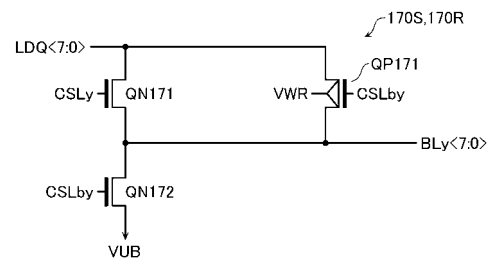
【図 7】



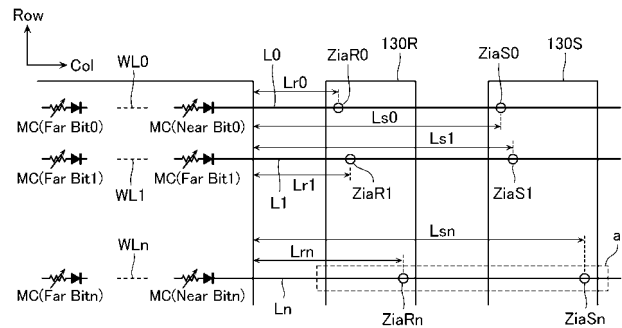
【図 8】



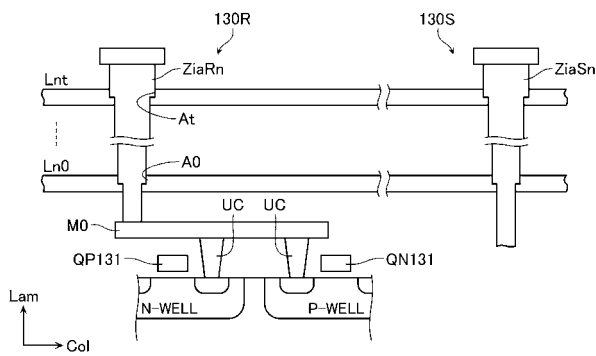
【図 9】



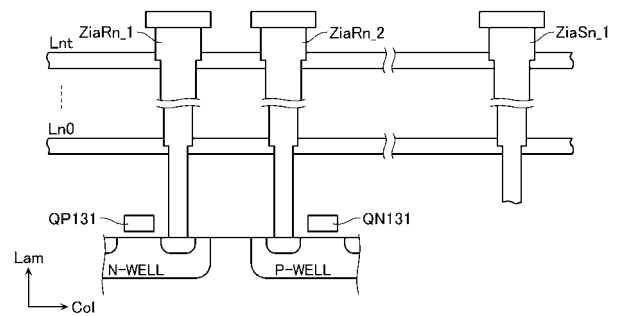
【図 10 A】



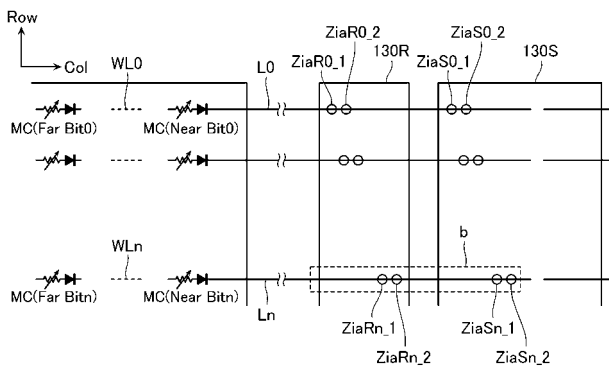
【図 10 B】



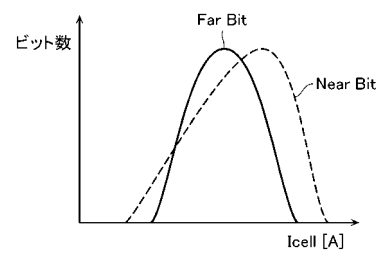
【図 10 D】



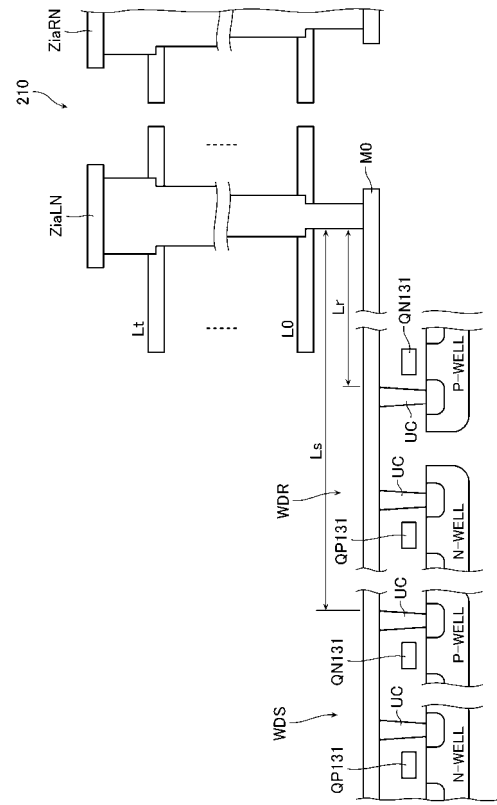
【図 10 C】



【図 11】



【 図 1 3 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H 0 1 L 45/00	Z
	H 0 1 L 49/00	Z

(72)発明者 大川 隆聖

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F083 FZ10 GA10 GA21 JA35 JA36 JA38 JA39 JA40 JA43 JA45
JA60 LA03 LA04 LA05 LA10 MA06 MA16 MA19