



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	101993900290301
Data Deposito	12/03/1993
Data Pubblicazione	12/09/1994

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	06	F		

Titolo

METODO E CIRCUITERIA PER L'USO DI MEMORIE AVENTI LOCAZIONI DIFETTOSE E RELATIVA APPARECCHIATURA DI PRODUZIONE.

DESCRIZIONE

a corredo di una domanda di brevetto per invenzione dal titolo:

"Metodo e circuiteria per l'uso di memorie aventi locazioni difettose e relativa apparecchiatura di produzione"

a nome: TEXAS INSTRUMENTS ITALIA S.p.A.

Inventore: DI ZENZO M., PISTILLI P., SALSANO A.

La presente invenzione si riferisce in linea generale ad un metodo e ad una circuiteria per rendere possibile l'uso di memorie parzialmente funzionanti, cioè aventi delle locazioni difettose, nonché ad una apparecchiatura per la produzione in massa di moduli di memoria opportunamente mappati e per la utilizzazione su larga scala di tale soluzione circuitale.

Più in particolare, un primo aspetto dell'invenzione concerne la individuazione di una metodologia per la utilizzazione di memorie dinamiche a semiconduttore affette da difetti di fabbricazione, in pratica aventi delle locazioni difettose e quindi non utilizzabili nelle applicazioni convenzionali.

Sotto un secondo aspetto, l'invenzione concerne una soluzione circuitale adatta alla esecuzione di una

Ing. Barzani & Barzani
Roma s.p.a.

tale procedura e pertanto in grado di rilevare e correggere errori non rilevabili o non correggibili con le soluzioni della tecnica nota.

Sotto un terzo aspetto, l'invenzione concerne una apparecchiatura per la mappatura ossia per il collaudo pratico di singoli moduli di memoria e per la memorizzazione permanente della mappatura finale in una memoria OTP (One Time Programmable) ai fini dell'impiego di tali moduli di memoria nella circuiteria e con la metodologia della presente invenzione.

Da semplici considerazioni statistiche che coinvolgono la difettosità intrinseca del reticolo cristallino del silicio, la difettosità indotta da particelle estranee sulle strutture geometriche interne dei circuiti integrati e la difettosità indotta dalla fluttuazione dei parametri del procedimento di produzione su tali strutture interne dei circuiti integrati, si può desumere che la resa produttiva dei circuiti di memoria è una funzione monotona decrescente della superficie di silicio utilizzata e, in ultima analisi, del numero di celle di memoria utilizzate sul singolo chip.

Una approfondita analisi dei guasti che fisicamente si vengono a produrre, comunque, mostra

Ing. Barrano & Ranardo
Roma s.p.a.

che i dispositivi di memoria da essi affetti hanno solo poche righe o poche colonne, oppure poche decine di locazioni non funzionanti. Inoltre, tali difetti possono essere evidenziati solo in condizioni estreme, seppure reali, di funzionamento, difficilmente simulabili senza particolari attrezzature di collaudo. Tuttavia, nonostante questa "scarsa" incidenza di difettosità, tali memorie non possono essere utilizzate in applicazioni quali banchi di memoria per comuni calcolatori.

Partendo dalla osservazione che, poiché le memorie in uso possono essere considerate come orientate su byte, non si può ricorrere alla soluzione immediata di mappare tutti i byte difettosi, in quanto tale operazione richiederebbe in pratica il coinvolgimento di più informazioni di quante se ne riuscirebbero poi a memorizzare, la presente invenzione parte dal concetto di base di sviluppare un array di memoria che possa funzionare a blocchi e quindi di recuperare blocchi di memoria, piuttosto che byte di memoria, con ciò rinunciando a sviluppare un array di memoria orientato su byte, in tutto e per tutto comparabile agli array di memoria che vengono utilizzati normalmente nei calcolatori attuali.

Ing. Barzani & Barzani
Roma s.p.a.

Sulla base di questo concetto, quindi, il primo passo per rendere utilizzabile tali dispositivi di memoria è di organizzarli in banchi per formare una "parola" di informazioni elementare, come avviene nelle normali applicazioni, e quindi identificare tutte le locazioni di indirizzo omologo che non sono affette da difetti: ciò viene effettuato in particolari condizioni di temperatura e tensione di alimentazione, come si vedrà, e, poichè i risultati ottenuti generalmente non coincidono, si selezionano solo quelle locazioni che hanno superato la totalità dei collaudi.

Il risultato di questa operazione, la quale è definita come "mappatura", viene memorizzato in una memoria non volatile OTP associata al banco di memoria.

L'utilizzatore esterno, che deve recuperare i dati contenuti nei vari blocchi della memoria, accederà ad essa utilizzando naturalmente degli indirizzi di memoria consecutivi (logici) e sfrutterà per ciò l'azione di detta memoria non volatile la quale provvede alla transcodificazione della mappa in essa memorizzata negli indirizzi (fisici) relativi al banco di memoria. In altre parole, l'accesso ai blocchi di memoria viene effettuato in due tempi

Ing. Barrano & Tanardo
Roma s.p.a.

successivi. In un primo momento la parte intelligente del sistema, ad esempio una unità di elaborazione centrale (CPU), chiede di accedere ad un blocco individuato da un indirizzo (logico) sequenziale. Il sistema, a questo punto ha il compito di associare a questo indirizzo logico l'indirizzo fisico di un blocco di memoria nell'array. Questa associazione o transcodificazione viene effettuata da detta memoria OTP non volatile. In pratica, l'utilizzatore riceve dall'esterno un indirizzo logico, accede alla memoria OTP a tale indirizzo, ne recupera il contenuto e lo utilizza per un accesso diretto e immediato al corrispondente blocco fisico dell'array di memoria.

Quanto sopra esposto realizza, però, solo una parte del procedimento, in quanto:

- si ha ragione di ritenere che i chip di memoria originariamente difettosi possano degradare nel tempo più facilmente di quelli perfettamente funzionanti e quindi possano rendere difettose delle locazioni di memoria in un primo tempo identificate come esenti da errore,

- si potrebbero avere fastidiose fluttuazioni del numero di locazioni buone, il che causerebbe problemi produttivi, in quanto è necessario che ogni banco di

Ing. Baranò & Baranò
Roma spa

memoria abbia un numero minimo garantito di locazioni esenti da errori.

A rigore, come si è già detto, si dovrebbero estrarre tutte le locazioni difettose, ma ciò imporrebbe un vincolo troppo stringente.

Per ovviare a questi problemi e creare un sistema che sia in grado di rimanere funzionale nonostante la presenza di una certa difettosità e quindi per ampliare il numero di locazioni in cui sia possibile memorizzare informazioni, utilizzando anche zone caratterizzate da una limitata difettosità, una seconda fase del metodo della presente invenzione prevede la applicazione di tecniche mirate alla applicazione per la correzione di errori (ECC).

Più particolarmente, la tecnica sviluppata è basata sulla teoria dei codici polinomiali ciclici ed in particolare sul codice REED-SOLOMON con polinomio generatore

$$g(x) = x^4 + a^{201} \cdot x^3 + a^{246} \cdot x^2 + a^{201} \cdot x + 1$$

Il codice R-S è stato adottato tra l'altro, perchè non è orientato su byte, ma è orientato su una stringa di caratteri e lo si può realizzare agendo sui parametri del codice con la ridondanza desiderata. Nel caso della presente invenzione si è scelta una ridondanza del 12,5%.

Ing. Barzani & Barzani
Roma s.p.a.

Poichè il blocco che si è ipotizzato è un blocco da 512 byte (numero derivante dal fatto che corrisponde a quello di una periferica convenzionale) e poichè per realizzare su silicio questa funzione si incontrerebbero delle difficoltà, si propone di suddividere la stringa di 512 byte in tante sottostringhe e di passare a determinare i byte di correzione per ogni sottostringa.

Chiaramente questa soluzione non sfrutta in modo ottimale il codice R-S. Infatti, nel codice di tipo R-S, se si ha una stringa di 512 byte e 64 byte di controllo, si possono correggere fino a 32 byte, comunque essi siano disposti nella stringa. Invece, con la suddivisione proposta, che prevede sottostringhe di 32 byte più 4 byte di controllo, si possono rimpiazzare solo 2 byte su una stringa da 32 e solo in quella e non in altre. La potenza del codice risulta un pò ridotta, ma il compromesso si dimostra soddisfacente, se rapportato al numero di porte logiche che dovrebbe essere altrimenti implementato e a tutto l'apparato necessario.

Ulteriori particolarità e vantaggi della presente invenzione appariranno evidenti dal seguito della descrizione con riferimento ai disegni allegati nei quali è rappresentata a titolo illustrativo e non

Ing. Barrano & Barardo
Roma s.p.a.

limitativo la preferita forma di realizzazione ed in cui:

la Figura 1 mostra uno schema a blocchi di un circuito per implementare il procedimento di uso di memorie parzialmente difettose secondo la presente invenzione;

le Figure 2A e 2B mostrano rispettivamente in forma di blocco separato, con indicazione incorporata della matematica in esso implementata, e relativo sviluppo circuitale di un Codificatore utilizzabile per la esecuzione pratica della presente invenzione;

la Figura 3 mostra uno schema a blocchi, con indicazione incorporata della matematica implementata nelle varie sezioni, di un Decodificatore (1) utilizzabile per la esecuzione pratica della presente invenzione;

le Figure 4A e 4B mostrano rispettivamente in forma di blocco separato, con indicazione incorporata della matematica in esso implementata, e relativo sviluppo circuitale del Decodificatore 2 facente parte del Decodificatore 1 della Figura 3;

la Figura 5 mostra uno schema a blocchi, con indicazione incorporata della matematica in essi implementata, del Decodificatore 3 facente parte del Decodificatore 1 della Figura 3;

Ing. Barrano & Barardo
Roma s.p.a.

le Figure 6A e 6B mostrano rispettivamente in forma di blocco separato, con indicazione incorporata della matematica in esso implementata, e relativo sviluppo circuitale del Decodificatore 4 facente parte del Decodificatore 3 della Figura 5;

le Figure 7A e 7B mostrano rispettivamente in forma di blocco separato, con indicazione incorporata della matematica in esso implementata, e relativo sviluppo circuitale di uno dei Decodificatori 5 facenti parte del Decodificatore 3 della Figura 5;

le Figure 8A e 8B mostrano rispettivamente in forma di blocco separato, con indicazione della matematica in esso implementata, e relativo sviluppo circuitale del Decodificatore 6 facente parte del Decodificatore 3 della Figura 5;

le Figure 9A e 9B mostrano rispettivamente in forma di blocco separato, con indicazione della matematica in esso implementata, e relativo sviluppo circuitale del Decodificatore 7 facente parte del Decodificatore 1 della Figura 3;

la Figura 10 mostra uno schema dell'apparecchiatura atta alla mappatura di memorie parzialmente difettose, per l'impiego secondo la presente invenzione.

Ing. Barzani & Barzani
Roma s.p.a.

Facendo ora inizialmente riferimento alla Figura 1, si vede che il concetto di base della presente invenzione viene implementato mediante una disposizione di un array di memoria che nella forma di realizzazione rappresentata comprende una matrice di 3 x 4 memorie ARAM da 16 Mb che sono le memorie contenenti difettosità impiegabili secondo la presente invenzione. A tali memorie è associata una memoria non volatile OTP nella quale è memorizzata la "mappatura" delle locazioni del banco di memoria. E' mostrato inoltre un circuito utilizzatore (ASIC) che deve accedere al banco di memoria utilizzando indirizzi di memoria consecutivi (logici) ad esso forniti da una parte intelligente del circuito, ad esempio una unità centrale di elaborazione (CPU). Per tale accesso esso utilizzerà la memoria non volatile OTP che converte l'indirizzo logico richiesto dall'utilizzatore in un indirizzo fisico dell'array di memoria. In pratica, il circuito utilizzatore riceve dall'esterno un indirizzo logico e con esso accede alla memoria OTP che in cambio gli fornisce un indirizzo fisico che gli permette di accedere direttamente al banco di memoria.

Come è stato già accennato, per utilizzare zone caratterizzate da una limitata difettosità, facendo uso di tecniche mirate all'applicazione per la

Ing. Barzani & Barzani
Roma s.p.a.

correzione di errori, si è sviluppata una tecnica basata sulla teoria dei codici polinomiali ciclici, in particolare sul codice Reed-Solomon con polinomio generatore

$$g(x) = x^4 + a^{201} \cdot x^3 + a^{246} \cdot x^2 + a^{201} \cdot x + 1$$

Si è scelto per convenienza di dividere le stringhe elementari di informazione in gruppi di 32 caratteri (8 bit per carattere). Ad ogni gruppo il codice R-S aggiunge 4 caratteri per il controllo degli errori. In questo modo è possibile correggere due caratteri errati nella stringa composta complessivamente di 36 caratteri. Durante la decodifica viene calcolato il blocco di sindrome composto da quattro caratteri e viene effettuato il test per la ricerca di uno o due errori.

In base alla tecnica di decodifica tradizionale è possibile correggere sempre un errore, due errori solo se sono compresi in quattro caratteri successivi. Ciò permette di considerare come buone anche le stringhe di caratteri contenenti un errore, le quali, altrimenti, verrebbero eliminate in fase di mappatura.

Questa soluzione, comunque, non è del tutto soddisfacente, in quanto le memorie dinamiche sono soggette al ben noto fenomeno del "soft error" dovuto all'incidenza delle particelle alfa che possono

Ing. Barzani & Zanardo
Roma s.p.a.

alterare il contenuto informativo di una cella di memoria. Se tale fenomeno interessa un carattere contenuto in un blocco in cui è già presente un carattere errato, a causa di una cella difettosa, in totale dovremmo correggere due errori che potrebbero essere ubicati a distanza maggiore di tre.

Per ovviare a questo problema è stata sviluppata una modifica da apportare alla tecnica di decodifica convenzionale aggiungendo dei circuiti di test (test pattern) che permettono di rivelare e correggere due errori ubicati in posizioni qualsiasi. La tecnica consiste nel traslare la stringa di 36 caratteri in modo tale da riportare un errore sempre nella prima posizione della stringa e nell'aggiungere circuiti specializzati atti a rivelare un errore nella prima posizione più un errore in una delle posizioni di loro competenza, ed a correggere l'errore in prima posizione:

<u>numero circuito</u>	<u>posizioni</u>
0	1-2-3-4
1	1-5-6-7-8
2	1-9-10-11-12
3	1-13-14-15-16
4	1-17-18-19-20
5	1-21-22-23-24

Ing. Barzano & Barando
Roma, s.p.a.

6	1-25-26-27-28
7	1-29-30-31-32
8	1-33-34-35-36

Alla base del funzionamento vi è il fatto che il circuito di test individua una particolare struttura polinomiale, indicativa della presenza di un errore in un insieme di byte. Ogni circuito di test evidenzia la presenza di errori in 5 posizioni precise per cui sono necessari 9 circuiti di test per poter esaminare tutte le 36 posizioni.

Come si vede in Figura 3, in fase di decodifica, i 36 byte sono inviati ad un circuito decodificatore 1 il quale calcola la sindrome $S(x)$ e la invia in parallelo ai circuiti di test di grado maggiore di zero (Decodificatore 3; Figure 3 e 5).

Ammettendo la presenza di due soli errori, comunque ubicati, uno solo di tali circuiti di test riuscirà a trovare gli errori ed a correggere quello che si trova in prima posizione.

A questo punto, i 36 byte affetti da un solo errore sono inviati ad un altro blocco, Decodificatore 7, per il calcolo della nuova sindrome. Su tale sindrome agisce ora il circuito di test di ordine zero che è in grado di correggere errori ubicati a distanza minore od uguale a tre.

Ing. Barrano & Barardo
Roma s.p.a.

Infine, il blocco corretto verrà inviato all'esterno del circuito.

Nel caso in cui gli errori fossero in numero maggiore di due, il circuito si limita a segnalare all'esterno che non è in grado di correggere gli errori verificatisi.

Per rendere ancora più efficiente la tecnica di correzione degli errori si è pensato anche ad una opportuna disposizione in memoria dei byte relativi ai vari caratteri. In particolare, per poter sfruttare la capacità che ha il codice di considerare un intero byte errato come un solo errore, si propone di disporre i vari byte in otto locazioni di memoria consecutive sulla stessa riga, facendo uso di un circuito di trasposizione. Tale circuito riceve in ingresso i bit di una singola parola a 16 bit che, per effetto del parallelismo dei chip di memoria, verrebbero disposti in locazioni omologhe ma non adiacenti e li traspone, facendo uso di una memorizzazione locale o bufferizzazione, in modo tale che essi possano essere ubicati in celle adiacenti della memoria, raggruppate sulla stessa riga. In questo modo, le difettosità dei chip che coinvolgono diverse celle adiacenti sulla stessa riga di memoria

Ing. Barrano & Ranardo
Roma 1964

possono influenzare un solo byte e dunque essere considerate come un solo errore.

La teoria matematica alla base della presente invenzione è incentrata su un perfezionato algoritmo Reed-Solomon, di cui verrà data una descrizione.

Parametri R-S

<u>nome</u>	<u>formula</u>	<u>valore</u>
lunghezza di parola	m	8
simboli alfabeto	2^m	256
lunghezza stringa dati	k'	32
errori correggibili	t	2
byte di controllo	$r=2t=n-k$	4
lunghezza stringa codificata	n'	36

Nota: Il codice R-S normale è stato accorciato da una lunghezza di 255 byte ($n = 2^m - 1 = k + 2t$) a 36 byte applicando le "tecniche accorciate"

$$n' = n - b = 256 - 219 = 36$$

Tali tecniche implicano la moltiplicazione della stringa di dati n' per il polinomio

$$a(x) = a^{224} \cdot x^3 + a^{189} \cdot x^2 + a^{182} \cdot x + a^{92}$$

Viene usata una tecnica di codificazione sistematica per mantenere separati i coefficienti dei dati (posizioni 36-5) ed i coefficienti dei byte di controllo (posizioni 4-1).

Ing. Barzani & Barzani
Roma s.p.a.

Come già accennato, il codice di correzione degli errori ECC implementato è orientato su byte a causa della natura specifica del problema (i banchi di memoria sono organizzati come parole di 16 bit ed i dati sono allocati nei chip di memoria in modo da ridurre al minimo l'impatto degli errori sui byte di dati).

Descrizione del polinomio

<u>nome</u>	<u>descrizione</u>	<u>formula</u>	<u>grado</u>
p(x)	primitivo	$x^8+x^4+x^3+x^2+1$	8
d(x)	dati	non applicabile	31
g(x)	generatore(1)	$x^4+a^{201}.x^3+a^{246}.x^2+a^{201}.x+1$	4
c(x)	dati codificati (2)	$x^4.d(x)-t(x)$	35
t(x)	controllo	$\text{mod}[x^4.d(x), g(x)]$	3
v(x)	ricevuto	$C(x) + e(x)$	35
e(x)	errore	non applicabile	35
s(x)	sindrome	$\text{mod}[a(x).v(x), g(x)]$	3
a(x)	accorciata	$a^{225}.x^3+a^{189}.x^2+a^{182}.x+a^{92}$	3

(1) Il polinomio è stato generato applicando la seguente formula:

$$g(x) = (x-a^j)(x-a^{(j+1)})(x-a^{(j+2)})(x-a^{(j+3)})$$

in cui: $j = 2^{m-1} - 2 = 126$

$$a = \text{mod}[x, p(x)].$$

Ing. Barrano G. Ranardo
Roma s.p.a.

(2) La tecnica di codificazione sistematica mantiene inalterati i coefficienti dei byte di dati

$$c(x) = x^4 \cdot d(x) - t(x)$$

$$t(x) = \text{mod} [x^4, g(x)]$$

DECODIFICAZIONE

Calcolo della sindrome

Non è possibile usare direttamente la ben nota formula:

$$s(x) = \text{mod} [v(x), g(x)] = \text{mod} [c(x)+e(x), g(x)]$$

poichè essa è valida soltanto per un codice (255, 251), però è possibile trasformare la $v(x)$ originale per essere compatibile con il codice e si avranno $b = 255-36$ elementi uguali a zero e tutti gli altri (quelli non originali) non uguali a zero. Per far ciò si usa

$$a(x) = \text{mod} [x^{n-k+b}, g(x)]$$

in cui $n-k+b = 223$

La formula applicabile per $s(x)$ è

$$s(x) = \text{mod} [a(x) \cdot v(x), g(x)]$$

Bisogna risolvere un ulteriore problema per il fatto che il codice R-S abbreviato non è in grado di rivelare e correggere t errori nel polinomio ricevuto, a meno che non sia verificata la seguente relazione:

$$t < n/k$$

Ing. Barrano & Nanardo
Roma, s.p.a.

che, nel nostro caso, è 1,125. Ad ogni modo, se la distanza dei t errori è inferiore od uguale a $2t$, si verifica ancora la capacità originaria del codice R-S e si può correggere un errore in ubicazione qualsiasi. Per questa ragione, viene usata una tecnica di ECC in due stadi:

- Un primo stadio è in grado di rivelare e correggere un errore nell'ambito di predeterminate ubicazioni e risolve il problema relativo a due errori al di fuori della copertura della sindrome (4 byte),

- il secondo stadio è in grado di correggere 1 o 2 errori all'interno dell'ambito di copertura della sindrome.

Primo stadio

$$s(x) = \text{mod} [e(x), g(x)]$$

$$e(x) = e_d(x) + e_c(x)$$

in cui $e_d(x)$ è il polinomio dell'errore relativo ai byte di dati; il suo grado è $n-k$ e le posizioni 0, 1, 2, 3 hanno coefficienti uguali a zero, e

in cui $e_c(x)$ è il polinomio dell'errore relativo ai byte di controllo; il suo grado è $n-k-1$.

Poichè si può rappresentare $e_d(x)$

$$e_d(x) = \epsilon \cdot x^{n-k+1} \quad 0 < 1 < k$$

allora:

$$s(x) = \text{mod} [\epsilon \cdot x^{n-k+1} + e_c(x), g(x)] =$$

Ing. Barrano & Ranardo
Roma s.p.a.

$$= \text{eps} \cdot p_1(x) + e_c(x)$$

$$e(x) = \text{eps} \cdot x^{n-k+1} + s(x) - \text{eps} \cdot p_1(x)$$

considerando che nel caso in esame il grado di $s(x)$ e di $e_c(x)$ è inferiore a 3, allora

$$x^{n-k+1}$$

fornisce informazioni circa la posizione ed il valore dell'errore nella stringa di dati.

Calcolando una sindrome speciale relativa ad un possibile errore nella posizione $n-k-1$, si potrebbe correggere un errore nelle posizioni da $l+1$ a $n-k+1$. Quindi, il problema può essere risolto segmentando $V(x)$ in $n/4$ sottostringhe e calcolando $n/4$ sindromi relative ai surriferiti monomi.

Riepilogando e sintetizzando

<u>l</u>	<u>monomio</u>	<u>posizioni di $V(x)$</u>			
0	non applicabile	0	1	2	3
3	x^7	4	5	6	7
7	x^{11}	8	9	10	11
11	x^{15}	12	13	14	15
15	x^{19}	16	17	18	19
19	x^{23}	20	21	22	23
23	x^{27}	24	25	26	27
27	x^{31}	28	29	30	31
31	x^{35}	32	33	34	35

Determinazione dei valori degli errori

Ing. Barrano & Ranardo
Roma s.p.a.

Considerando

$$z_1(x) = p_1(x)^{-1} \cdot s(x) = \text{eps} + p_1(x)^{-1} \cdot e_c(x)$$

$$z_0 = \text{eps} + p_{a,0}^{-1} e_{c,0} = p_{a,0}^{-1} s_0$$

$$z_1 = \text{eps} + p_{a,1}^{-1} e_{c,1} = p_{a,1}^{-1} s_1$$

$$z_2 = \text{eps} + p_{a,2}^{-1} e_{c,2} = p_{a,2}^{-1} s_2$$

$$z_3 = \text{eps} + p_{a,3}^{-1} e_{c,3} = p_{a,3}^{-1} s_3$$

applicando l'ipotesi che $e_c(x)$ sia affetto da un errore, con $\text{eps} = 0$ (nessun errore in $e_d(x)$, i valori in $z_1(x)$ diversi da zero sono i valori degli errori e tutti gli altri (3) sono uguali a zero. Qualora $e_d(x)$ dovesse essere affetto da errori, $\text{eps} \neq 0$.

I risultati di cui sopra possono essere estesi ai byte di dati mediante rotazione del polinomio $V(x)$ di r posizioni e calcolando la relativa sindrome:

$$s^r(x) = x^r s^{r-1}(x) + s^{r-1} \cdot g(x)$$

Per facilitare il calcolo del valore dell'errore e la determinazione della posizione dell'errore, si usa un polinomio modificato:

$$z_{1,0} = s_0 + p_{1,0} \cdot p_{1,1}^{-1} \cdot s_1$$

$$z_{1,1} = s_1 + p_{1,1} \cdot p_{1,2}^{-1} \cdot s_2$$

$$z_{1,2} = s_2 + p_{1,2} \cdot p_{1,3}^{-1} \cdot s_3$$

$$z_{1,3} = s_3 + p_{1,3} \cdot p_{1,0}^{-1} \cdot s_0$$

per sostituzione si può dimostrare che la condizione $z_{a,i} = \text{eps}$ per 3 coefficienti e $z_{a,i} \neq \text{eps}$ per l'ultimo viene trasformata in

Ing. Barzani & Barzani
Roma s.p.a.

$$z_{a,i} = z_{a,i+1} = 0 \quad \text{e} \quad z_{a,i-1} = e_j$$

che è il coefficiente del polinomio dell'errore.

Questa tecnica è in grado di correggere un errore in sottostringhe fisse di $V(x)$, ma non è in grado di rivelare e/o correggere un doppio errore, quindi viene implementato un ulteriore controllo che segnala allo stadio successivo di ruotare $V(x)$ di due volte, se necessario.

Secondo stadio

Dopo aver filtrato gli errori con una distanza superiore a 4 byte, si può applicare una tecnica di decodificazione che intrappola l'errore, basata sul $V(x)$ modificato:

$$S'(x) = \text{mod} [a(x) V'(x), g(x)]$$

e quindi si eseguono cicli di $V'(x)$ per la correzione dell'errore del secondo stadio per una o due volte, a seconda del numero di errori che debbono essere corretti.

Implementazioni circuitali

Per calcolare $S(x)$, $x^r S(x)$, $S'(x)$ si applica e si implementa la seguente formula ricorsiva

$$R^r(x) = R^{(r-1)} - g(x) (R^{r-1}_{n-r} * x^{k-r})$$

in cui $R^r(x)$ è il polinomio allo stadio "r" e R^{r-1}_{n-r} è il coefficiente n-r del polinomio.

Ing. Barrano & Danardo
Roma s.p.a.

Per quanto riguarda le soluzioni circuitali che implementano la matematica precedentemente esposta, si faccia ora particolare riferimento alle Figure. Nelle Figure 2A, 2B è mostrato il codificatore e la matematica in esso implementata.

Circuitalmente esso comprende una rete a scala a cui vengono applicati segnali di ingresso $d(x)$ e SEL. Il segnale $d(x)$ viene applicato ad un circuito XOR.1 su 8 bit, inserito in un primo ramo trasverso della scala, e ad un primo ingresso di un moltiplicatore di uscita MUX. Il segnale SEL viene applicato ad un primo circuito porta AND.1 inserito nel primo lato longitudinale della scala e che ha l'altro suo ingresso collegato a detto circuito XOR.1. Gli ulteriori tre rami trasversi della scala contengono dei circuiti a^{201} , a^{256} e a^{201} che sono dei moltiplicatori a 8 bit modulo $g(x)$. Nei secondi rami longitudinali della scala sono inseriti dei circuiti Flip_Flop master-slave t_1 , t_2 , t_3 , t_4 e nei relativi nodi tra i rami longitudinali ed i rami trasversi sono inseriti un secondo, un terzo ed un quarto circuito XOR.2, XOR.3, XOR.4. Il ramo di uscita longitudinale di detta scala è collegato al secondo ingresso di detto moltiplicatore di uscita MUX.1.

Ing. Barrano & Ranardo
Roma, p.a.

Con riferimento alla Figura 3 si vede che il circuito decodificatore 1 è anch'esso realizzato come circuito a scala che riceve il segnale di ingresso $V(x)$ e include nei suoi primi rami longitudinali, in serie, i blocchi dei circuiti Decodificatore 2, Decodificatore 3 e Decodificatore 7. Nel ramo longitudinale parallelo è inserito un primo blocco FIFO.1, comprendente appunto una memoria FIFO a 8 bit, che conferisce insieme con l'uscita di un primo blocco CORR di correzione proveniente dal blocco Decodificatore 3 su un primo nodo della scala incorporante un circuito XOR.5. L'uscita di quest'ultimo, $V'(x)$, viene applicata al blocco Decodificatore 7 e ad un secondo blocco di memoria FIFO.2 la cui uscita confluisce con l'uscita di un secondo blocco di correzione CORR', proveniente dall'uscita del blocco Decodificatore 7, su un secondo nodo della scala incorporante anche un circuito XOR.6, e così via.

Le Figure 4A e 4B illustrano rispettivamente la matematica e la implementazione circuitale del blocco Decodificatore 2 della Figura 3. Il circuito comprende quattro moltiplicatori a 8 bit: a^{92} , a^{182} , a^{189} e a^{224} che ricevono in parallelo il segnale rappresentativo di $V(x)$ e sono collegati a quattro circuiti XOR,

Ing. Barrano G. Ranardo
Roma, 1962

precisamente XOR.7, XOR.8, XOR.9 e XOR.10. A valle di ciascun circuito XOR è inserito un flip-flop master-slave S1(4), S2(4), S3(4), S4(4) le cui uscite sono tutte applicate ad un circuito moltiplicatore di uscita MUX.2. L'uscita del flip-flop S4 è collegata al circuito XOR.7 direttamente ed ai circuiti XOR.8, XOR.9 e XOR.10 attraverso i moltiplicatori a 8 bit a^{201} , a^{246} e a^{201} , rispettivamente. Le uscite di tutti i circuiti flip-flop sono combinate in multiplex attraverso un moltiplicatore MUX.2.

Con riferimento alla Figura 5 si vede che il blocco Decodificatore 3 della Figura 3, a sua volta, consiste di un primo blocco Decodificatore 4, alle cui uscite sono collegati una schiera di blocchi Decodificatori 5, nonché di un blocco di Selezione e Correzione che riceve le uscite di VERR (valore dell'errore), TANA (segnalazione di esistenza dell'errore) e CORR (posizione dell'errore) dai blocchi Decodificatori 5 e le uscite VERR e TANA del blocco Decodificatore 6. L'uscita del blocco di Selezione e Correzione viene quindi applicata ad un circuito XOR.11 insieme con un segnale $V(x)$ per fornire in uscita un segnale $V'(x)$.

Il blocco Decodificatore 4, unitamente alla matematica in esso implementata, è rappresentato nelle

Ing. Barzani & Barzani
Roma s.p.a.

Figure 6A e 6B. Con riferimento alla Figura 6A, si vede che il blocco Decodificatore 4 comprende una schiera di quattro circuiti Flip-Flop a doppio stato master-slave FF.1, FF.2, FF.3, FF.4, intercalati con tre circuiti XOR.12, XOR.13 e XOR.14. L'uscita dell'ultimo circuito Flip-Flop, FF.4, è collegata al primo circuito FF.1 direttamente e ai tre circuiti XOR.12, XOR.13 e XOR.14 attraverso rispettivi circuiti moltiplicatori a 8 bit, a^{101} , a^{246} e a^{201} . Il segnale $S(x)$ di ingresso viene applicato in parallelo a tutti i quattro circuiti Flip-Flop.

Il blocco Decodificatore 5, la cui matematica implementata è riportata nella Figura 7A, è illustrato circuitualmente nella Figura 7B, alla quale viene ora fatto riferimento. Al circuito si presentano quattro collegamenti di ingresso S_1 , S_2 , S_3 , S_4 , che raggiungono direttamente quattro circuiti XOR, del tipo già indicato, precisamente XOR.15, XOR.16, XOR.17 e XOR.18, nonché quattro collegamenti di ingresso $S_1^{(r+1)}$, $S_2^{(r+1)}$, $S_3^{(r+1)}$, $S_4^{(r+1)}$ che raggiungono detti circuiti XOR attraverso rispettivi circuiti moltiplicatori a 8 bit, α , α_1 , α_2 , α_3 .

Le uscite dei quattro circuiti XOR.15, XOR.16, XOR.17 e XOR.18 sono rispettivamente collegate ad un ingresso di quattro circuiti porta NOR, cioè NOR.1,

Ing. Barrano & Ranardo
Roma spa

NOR.2, NOR.3, NOR.4 le cui uscite, a loro volta, sono collegate ad un ingresso di quattro circuiti porta AND, AND.2, AND.3, AND.4 e AND.5 aventi le uscite combinate in OR nel circuito porta OR.1.

Il blocco Decodificatore 6, che implementa la matematica di cui alla Figura 8A, è costituito dal circuito rappresentato nella Figura 8B. Come si vede nella Figura 8B, il circuito comprende tre circuiti NOR, precisamente NOR.5, NOR.6 e NOR.7 a cui vengono applicati i segnanli $S_1^{(P)}$, $S_2^{(P)}$, $S_3^{(P)}$. L'uscita del circuito NOR.5 viene applicata ad un primo e ad un terzo circuito porta NAND, a due ingressi, designati NAND.1 e NAND.3; l'uscita del circuito NOR.6 viene applicata a detto primo e ad un secondo circuito porta NAND, e cioè NAND.1 e NAND.2: l'uscita del circuito NOR.7 viene applicata agli ingressi di detto secondo e di detto terzo circuito NAND, precisamente NAND.2 e NAND.3. Le uscite di detti circuiti NAND.1, NAND.2 e NAND.3 sono combinate in un circuito NAND a tre ingressi, NAND.4. L'uscita del circuito NAND.4 forma il segnale TANA $\downarrow$ che insieme con il segnale $S^{(P)}_4$ sono applicati ai due ingressi del circuito porta AND.6 che fornisce in uscita il segnale VERR $\downarrow$.

Con riferimento alle Figure 9A e 9B si vede la matematica implementata e la esplicitazione circuitale

Ing. Barzani & Barzani
Roma s.p.a.

schematica del Decodificatore 7 della Figura 3. Come si vede nella Figura 9B, il segnale $V'(x)$ viene applicato in parallelo a quattro circuiti moltiplicatori a 8 bit a^{92} , a^{182} , a^{189} , a^{224} collegati a quattro circuiti XOR, precisamente XOR.19, XOR.20, XOR.21 e XOR.22. A valle di ciascun circuito XOR è inserito un flip-flop master-slave $S1(9)$, $S2(9)$, $S3(9)$, $S4(9)$ le cui uscite sono applicate ad un blocco $Z_0 = S^{(r)}_4$ che fornisce il segnale di uscita VERR $\downarrow$. L'uscita del quarto flip-flop $S4(9)$ è collegata attraverso il circuito XOR.23 al circuito XOR.19 e, attraverso tre circuiti moltiplicatori a 8 bit in parallelo a^{201} , a^{246} , a^{201} agli altri tre circuiti XOR.20, XOR.21 e XOR.22. Un ultimo circuito XOR, precisamente XOR.24 riceve il segnale VERR $\downarrow$ ed il segnale $S'(x)$ per fornire il segnale

$$C(x) = d(x) + t(x).$$

Per quanto riguarda l'apparecchiatura atta alla produzione in massa di moduli di memoria opportunamente "mappati" e con riferimento alla Figura 10, si vede che tale apparecchiatura comprende un calcolatore ad esempio del tipo Personal Computer, con relativo programma, associato ad una unità a disco rigido per la memorizzazione delle mappe provvisorie specifiche per ogni dispositivo.

Ing. Bariano & Barardo
Roma, s.p.a.

Con uP è indicata una scheda a microprocessore in grado di

- gestire le memorie (in lettura/scrittura) con tempo di ciclo di 50 nsec,

- programmare dei generatori di tensione esterni per simulare condizioni estreme di alimentazione dei moduli di memoria e dei livelli in tensione dei segnali in ingresso,

- supervisionare l'apparecchiatura di riscaldamento della camera climatica, interrompendo momentaneamente la procedura di collaudo se la temperatura misurata nella camera climatica dovesse risultare al di fuori dei limiti ammessi,

- registrare gli errori di lettura e comunicare le coordinate geometriche di tali errori all'unità uP, con riferimento alla matrice di celle di memoria.

I vassoi elettronici sono alloggiati nelle dette camere climatiche e sono dei normali circuiti stampati che assicurano le connessioni elettriche tra la scheda uP e venti moduli di memoria. Tali circuiti stampati sono univocamente identificati attraverso un codice elettronico memorizzato nella memoria PROM.

Il procedimento di mappatura consiste nel collaudo dei singoli moduli montati sul vassoio elettronico, prima in alta temperatura, a 70°C, e poi

Ing. Barzani & Barzani
Roma s.p.a.

a temperatura ambiente, intorno a 25°C, e nella generazione delle relative mappe di errore.

La identificazione elettronica del singolo vassoio permette di comporre le mappe in alta e bassa temperatura mantenendo la consistenza delle informazioni tra i diversi vassoi. Una volta generata la mappa finale, essa viene memorizzata, su comando del calcolatore e attraverso l'unità uP, permanentemente nella memoria OTP presente su ogni singolo modulino di memoria.

In quel che precede è stata descritta la preferita forma di realizzazione della presente invenzione, ma è sottinteso che gli esperti nel ramo potranno apportare modifiche e varianti senza con ciò uscire dall'ambito di protezione della presente privativa industriale.

UN MANDATARIO
per se e per gli altri
Antonio Taliercio
(N° d'iscr. 171)

Taliercio

Ing. Barzani & Barzani
Roma s.p.a.



RIVENDICAZIONI

1. Sistema per l'uso di memorie dinamiche a semiconduttore aventi locazioni difettose, in cui tali memorie vengono inizialmente organizzate in banchi per formare una parola di informazione elementare e quindi vengono identificate tutte le locazioni omologhe di indirizzo che non sono affette da errori così da ottenere una mappatura, la quale viene memorizzata in una memoria non volatile (OTP) associata al banco di memoria, per dar luogo ad una tabella di transcodificazione; ed in cui l'utilizzatore esterno che deve recuperare i dati contenuti nei blocchi della memoria accederà a detta memoria non volatile (OTP) utilizzando degli indirizzi di memoria consecutivi (logici) forniti ad esso da una sezione intelligente del sistema, e recupererà da essa degli indirizzi transcodificati (fisici) che gli permetteranno di accedere direttamente ed immediatamente a detti blocchi di memoria.

2. Sistema secondo la rivendicazione 1, in cui, per ampliare il numero delle locazioni in cui sia possibile memorizzare informazioni, utilizzando anche zone affette da limitata difettosità, si applicano tecniche mirate alla applicazione per la correzione dell'errore (ECC).

Ing. Barrano & Barardo
Roma s.p.a.

3. Sistema secondo la rivendicazione 1, in cui detta mappatura viene effettuata in condizioni estreme di tensione di alimentazione dei moduli di memoria e dei livelli di tensione dei segnali di ingresso, nonché in condizioni di alta temperatura (70°C) e di temperatura ambiente (25°C).

4. Sistema secondo la rivendicazione 2, in cui la applicazione delle tecniche per la correzione dell'errore è basata su un miglioramento delle prestazioni dell'algoritmo, Reed-Solomon con polinomio generatore:

$$g(x) = x^4 + a^{201} \cdot x^3 + a^{246} \cdot x^2 + a^{201} \cdot x + 1$$

tramite una operazione di trasposizione delle informazioni e la implementazione di circuiti logici atti a rilevare e correggere errori con distanza superiore a quella della sindrome.

5. Sistema secondo una qualsiasi delle rivendicazioni 1-4, in cui è incluso un circuito codificatore in cui viene implementata la seguente matematica

$$c(x) = d(x) + t(x)$$

$$c_i = d_i \quad i = n, n-k+1$$

$$c_i = t_i \quad i = n-k, 1$$

$$t(x) = \text{mod} [x^4 \cdot d(x), g(x)]$$

$$t^r(x) = t^{r-1}(x) - (t^{r-1}_x + x^{n-r}) g(x) \quad r=1,32.$$

Ing. Barrano & Barardo
Roma s.p.a.

6. Sistema secondo la rivendicazione 5, in cui detto blocco Codificatore consiste di una rete a scala con quattro rami trasversi e quattro rami longitudinali per ogni lato, comprendente un primo circuito XOR su otto bit (XOR.1) a cui viene applicato il segnale di ingresso (d(x)) applicato anche ad un primo ingresso di un circuito moltiplicatore di uscita (MUX.1), il primo ramo longitudinale di un lato della scala contiene un circuito porta AND (AND.1) che riceve il segnale di selezione (SEL) e l'uscita di detto primo circuito XOR; i quattro rami trasversi della scala contengono il primo detto circuito XOR (XOR.1) e gli altri tre dei circuiti moltiplicatori a 8 bit (a^{201} , a^{246} , a^{201}); i rami longitudinali dell'altro lato della scala contengono circuiti flip-flop master-slave (t_1 , t_2 , t_3 , t_4): i vertici tra rami trasversi e rami longitudinali del secondo lato della scala includono dei circuiti XOR (XOR.2, XOR.3, XOR.4); l'uscita del quarto circuito flip-flop (t_4) è collegata al secondo ingresso di detto circuito moltiplicatore (MUX.1).
Figura 2B.

7. Sistema secondo una qualsiasi delle rivendicazioni 1-4, in cui è incluso un circuito Decodificatore (1) comprendente un primo blocco Decodificatore (2), un secondo blocco Decodificatore

Ing. Barzani & Barzani
Roma s.p.a.

(3) ed un terzo blocco Decodificatore (7) collegati in cascata, un primo blocco di memoria (FIFO.1) in parallelo a detto primo blocco Decodificatore (2), un primo circuito XOR (XOR.5) che riceve l'uscita di detto primo blocco di memoria (FIFO.1), e l'uscita di detto secondo blocco Decodificatore (3) attraverso un primo blocco di Correzione; l'uscita di detto primo circuito XOR.5) essendo collegata a detto terzo blocco Decodificatore (7) e ad un secondo blocco di memoria (FIFO.2), collegato in uscita ad un secondo circuito XOR (XOR.6) che riceve un altro ingresso da detto terzo blocco Decodificatore (7) attraverso un secondo blocco di Correzione.

8. Sistema secondo la rivendicazione 7, in cui detto primo blocco Decodificatore (2) implementa la seguente matematica

$$S(x) = \text{mod} [a(x) \cdot V(x), g(x)]$$

$$S^r(x) = g^{(r-1)}(x) - S^{(r-1)}_4 g(x) - a(x) \cdot x^r$$

$$r = 1, 36$$

Figura 4A.

9. Sistema secondo le rivendicazioni 7 e 8, in cui detto primo blocco Decodificatore (2) comprende quattro circuiti moltiplicatori a 8 bit (a^{92} , a^{182} , a^{183} , a^{224}) che ricevono in parallelo il segnale di ingresso ($V(x)$) e sono collegati a quattro circuiti XOR (XOR.7, XOR.8, XOR.9, XOR.10), a valle di ciascuno

Ing. Barrano & Barardo
Roma s.p.a.

dei quali è inserito un circuito flip-flop master-slave (S1(4), S2(4), S3(4), S4(4), l'uscita dell'ultimo (S4(4)) dei quali è collegata al primo circuito XOR (XOR.7) direttamente e agli altri (XOR.8, XOR.9, XOR.10) attraverso moltiplicatori a 8 bit (a^{201} , a^{246} , a^{201}) e le uscite di tutti i quattro circuiti flip-flop (S1(4), S2(4), S3(4), S4(4)) sono collegate ai quattro ingressi di un moltiplicatore (MUX.2). Figura 4B.

10. Sistema secondo la rivendicazione 7, in cui detto secondo blocco Decodificatore (3) implementa la seguente matematica:

$$Z_a = S^r(x) + P_a P_a^{-1} S^{r+1}$$

$$Z_0 = R_4, R_1 = R_2 \circ R_3 = \neq$$

$$S^r(x) = \text{mod} [x \cdot S^{r-1}(x), g(x)].$$

11. Sistema secondo le rivendicazioni 7 e 10, in cui detto secondo blocco Decodificatore (3) circuitalmente comprende un primo blocco Decodificatore (4) a cui sono collegati in parallelo una schiera di identici blocchi Decodificatori (5) nonchè un blocco Decodificatore (6), tutti confluenti ad un blocco di Selezione e Correzione la cui uscita insieme con un segnale $V(x)$ viene collegata ad un circuito XOR (XOR.11) che fornisce il segnale di uscita $V'(x)$. Figura 5.

Ing. Barzani & Barzani
Roma, s.p.a.

12. Sistema secondo la rivendicazione 11, in cui detto blocco Decodificatore (4) implementa la seguente matematica:

$$S^r(x) = x \cdot S^{(r-1)}(x) + S^{(r-1)}_4 g(x).$$

Figura 6A.

13. Sistema secondo le rivendicazioni 11 e 12, in cui detto blocco Decodificatore (4) comprende una schiera di quattro circuiti flip-flop a doppio stato master-slave (FF.1, FF.2, FF.3, FF4) intercalati con tre circuiti XOR (XOR.12, XOR.13, XOR.14), in cui l'uscita dell'ultimo circuito flip-flop (FF.4) è collegata al primo circuito flip-flop (FF.1) direttamente ed ai tre circuiti XOR (XOR.12, XOR.13, XOR14) attraverso rispettivi circuiti moltiplicatori a 8 bit (a^{101} , a^{246} , a^{201}), il segnale di ingresso ($S(x)$) essendo applicato in parallelo a detti quattro circuiti flip-flop. Figura 6B.

14. Sistema secondo la rivendicazione 11, in cui detti blocchi Decodificatori (5) implementano la seguente matematica:

$$Z_{a,i} = S^r(x) + p_{a,i} p^{-1}_{a,i+1} S^{r+1}(x)$$

con segnali di ingresso

$$x^{r+1} S(x) \quad e$$

$$x^r S(x)$$

e segnali di uscita

Ing. Barrano & Ranaldo
Roma spa

VERR_a

TANA_a

CORR_a.

Figura 7A.

15. Sistema secondo le rivendicazioni 11 e 14, in cui detti blocchi Decodificatori (5) comprendono circuitualmente quattro collegamenti di ingresso (S_1 , S_2 , S_3 , S_4) che raggiungono quattro circuiti XOR (XOR.15, XOR.16, XOR.17, XOR.18) nonchè altri quattro collegamenti di ingresso (S^{r+1}_1 , S^{r+2}_2 , S^{r+3}_3 , S^{r+4}_4) che raggiungono detti circuiti XOK attraverso rispettivi circuiti moltiplicatori a 8 bit ($\dots\dots_1, \dots\dots_2, \dots\dots_3$), in cui le uscite di detti quattro circuiti XOR sono rispettivamente collegate ad un ingresso di quattro circuiti porta NOR (NOR.1, NOR.2, NOR.3, NOR.4) le cui uscite, a loro volta, sono collegate ad un ingresso di quattro circuiti porta AND (AND.2, AND.3, AND.4, AND.5) aventi le uscite combinate in un circuito porta OR (OR.1). Figura 7B.

16. Sistema secondo la rivendicazione 11, in cui detto blocco Decodificatore (6) implementa la seguente matematica

$$Z_0 = S^{(r)}_4 \quad S^{(r)}_2 = S^{(r)}_3 = 0. \text{ Figura 8A.}$$

17. Sistema secondo le rivendicazioni 11 e 16, in cui detto blocco Decodificatore (6) circuitualmente comprende un primo, un secondo ed un terzo circuito

Ing. Barrano & Barardo
Roma s.p.a.

NOR (NOR.5, NOR.6, NOR.7), l'uscita del primo circuito NOR (NOR.5) è collegata ad un primo (NAND.1) e ad un terzo (NAND.3) circuito NAND; l'uscita del secondo circuito NOR (NOR.6) è collegata a detto primo (NAND.1) e ad un secondo (NAND.2) circuito NAND e l'uscita del terzo circuito NOR (NOR.7) è collegata agli ingressi del secondo e del terzo (NAND.2, NAND.3) circuito NAND; le uscite di detti circuiti NAND essendo combinate in un quarto circuito NAND (NAND.4) a tre ingressi; e l'uscita di detto quarto circuito NAND forma il segnale TANA $\downarrow$ che insieme con il segnale $S^{(r)}_4$ vengono applicati ai due ingressi di un circuito porta AND di uscita (AND.6). Figura 8B.

18. Sistema secondo la rivendicazione 7, in cui detto blocco Decodificatore (7) implementa la seguente matematica:

$$S'(x) = \text{mod} [a(x) \cdot V'(x), g(x)]$$

$$S'^{(r)}(x) = S'^{(r-1)}(x) - S'^{(r-1)}_4 g(x) - a(x)x^{n-r}$$

$$r = 1, 36$$

Figura 9A.

19. Sistema secondo le rivendicazioni 7 e 18, in cui detto blocco Decodificatore (7) circuitalmente comprende, per la applicazione in parallelo del segnale di ingresso $V'(x)$, quattro circuiti moltiplicatori a 8 bit (a^{92} , a^{182} , a^{189} , a^{224})

Ing. Barrano & Barando
Roma, 19.11.1971

collegati a quattro circuiti XOR (XOR.19, XOR.20, XOR.21, XOR.22); a valle di ciascun circuito XOR è inserito un circuito flip-flop master-slave ($S_1(9)$, $S_2(9)$, $S_3(9)$, $S_4(9)$) le cui uscite sono collegate ad un blocco ($Z_0 = S^{(r)}_4$) che fornisce il segnale di uscita VERR $\downarrow$; l'uscita del quarto flip-flop ($S_4(9)$) essendo collegata attraverso un circuito XOR (XOR.23) al circuito XOR (XOR.19) e, attraverso tre rispettivi circuiti moltiplicatori a 8 bit (a^{201} , a^{246} , a^{201}) agli altri tre circuiti XOR (XOR.20, XOR.21, XOR.22); essendo previsto un ultimo circuito XOR (XOR.24) che riceve il segnale VERR $\downarrow$ ed il segnale $S'(x)$ per fornire il segnale $c(x) = d(x) + t(x)$.

20. Apparecchiatura per la produzione in massa di moduli di memoria mappati per l'impiego nel sistema secondo le rivendicazioni 1-19, comprendente un calcolatore elettronico con relativo programma e scheda a uP, associato ad una unità a disco rigido per la memorizzazione delle mappe provvisorie specifiche per ogni dispositivo nonché uno o più vassoi elettronici alloggiati in camere climatiche.

21. Apparecchiatura secondo la rivendicazione 20, in cui detti vassoi elettronici sono circuiti stampati alle connessioni elettriche tra la scheda uP ed i moduli di memoria da collaudare.

Ing. Barrano & Barardo
Roma s.p.a.

22. Apparecchiatura secondo la rivendicazione 20, in cui detta camera climatica è atta a stabilire un ambiente a temperatura compresa tra la temperatura ambiente (25°C) ed una temperatura elevata (circa 70°C).

23. Sistema ed apparecchiatura secondo una qualsiasi delle rivendicazioni 1-19 e, rispettivamente, 20-22 e sostanzialmente come rappresentati e descritti.

Roma, 12 MAR. 1993

p.p.: TEXAS INSTRUMENTS ITALIA S.p.A.

ING. BARZANO' & ZANARDO ROMA S.p.A.

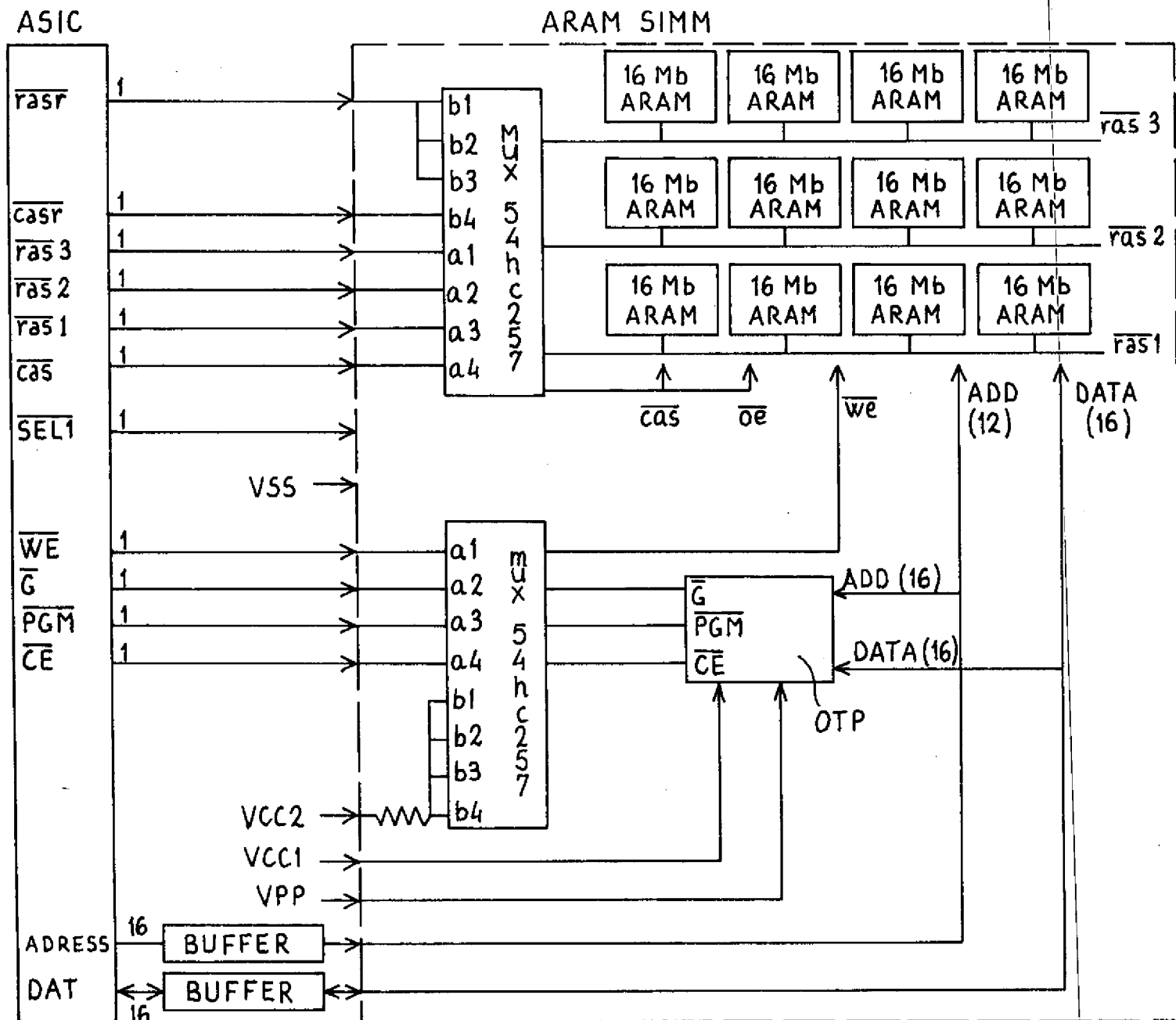
UN MANDATARIO
per se e per gli altri
Antonio Taliercio
(N° d'iscr. 171)

TA/gg

Taliercio

*Ing. Barzano' & Zanardo
Roma s.p.a.*

[Signature]



P.P.: TEXAS INSTRUMENTS ITALIA S.p.A.
ING. BARZANO' & ZANARDO ROMA S.p.A.



CODIFICATORE

FIG. 2A

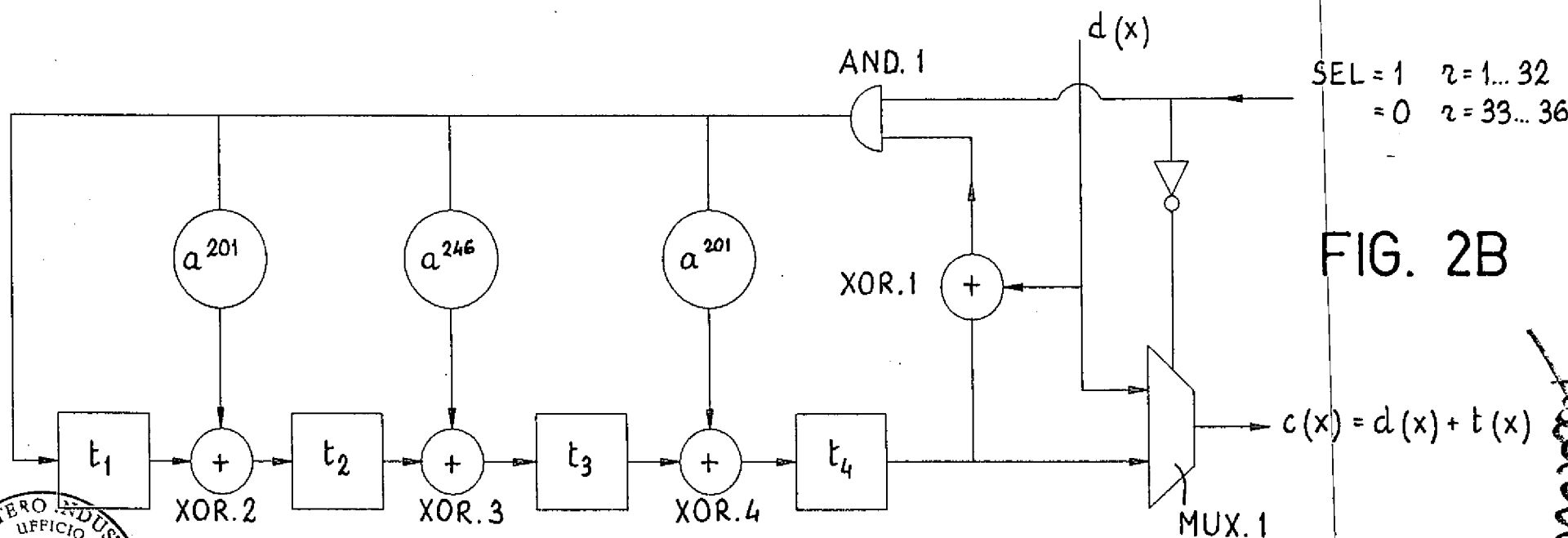
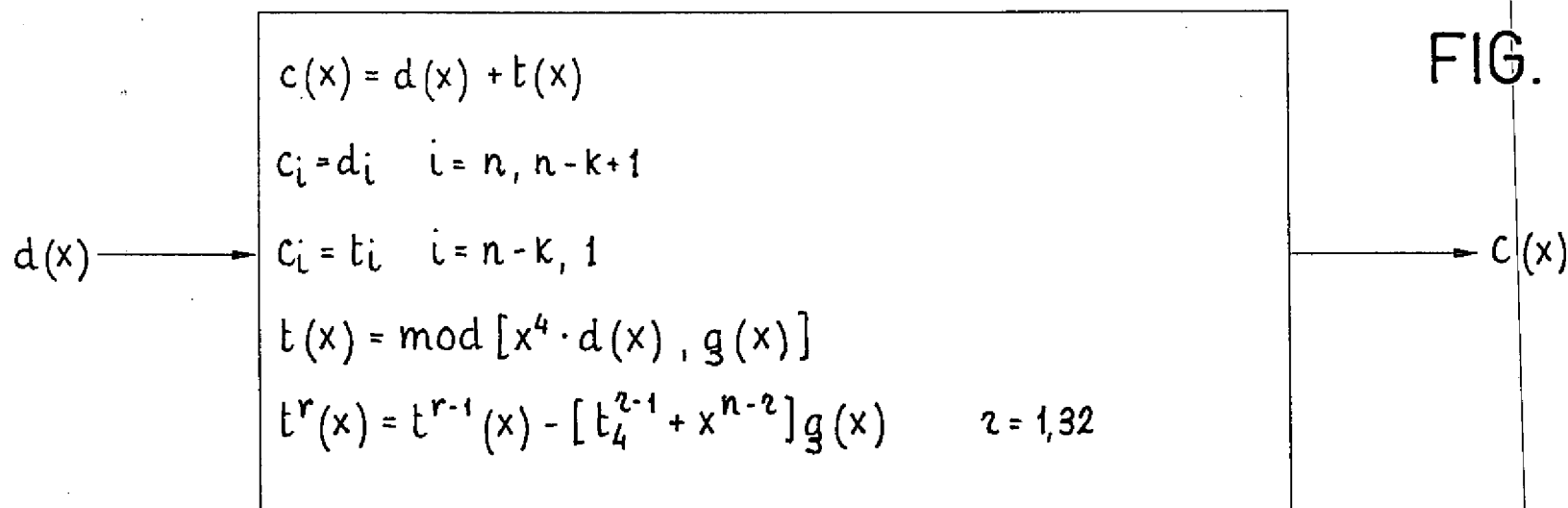


FIG. 2B

2/10

RM93 A000155

UN MANDATARIO
per se e per gli altri
Antonio Tallero
(N° d'iscr. 171)



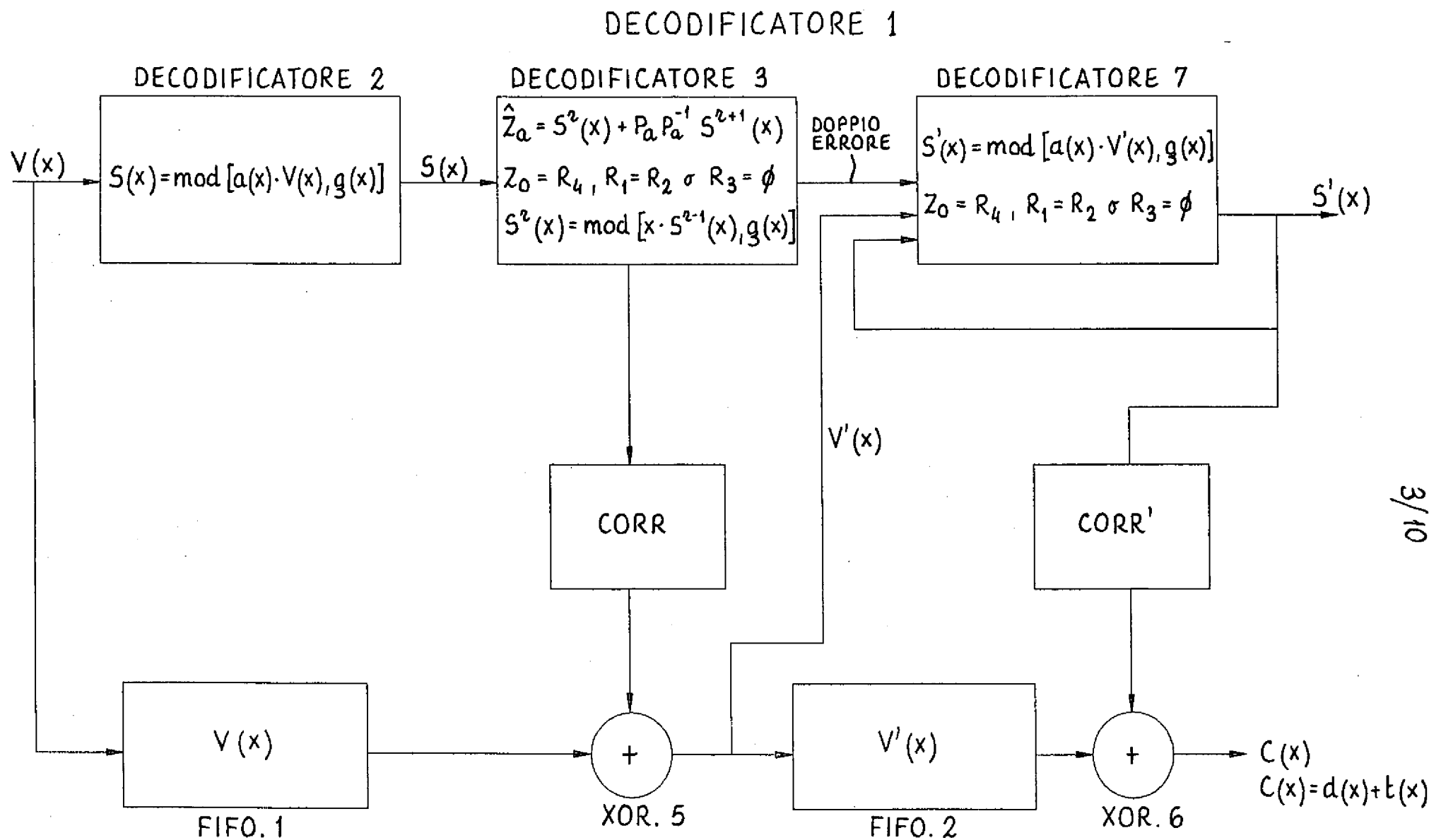


FIG. 3



FIG. 4A

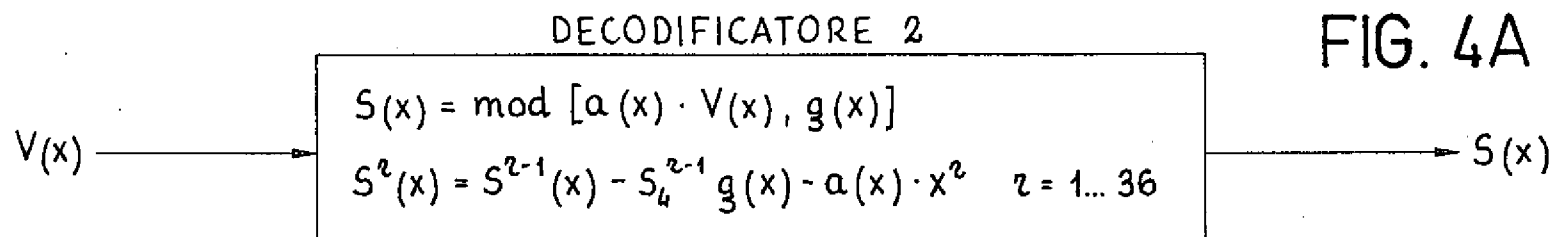
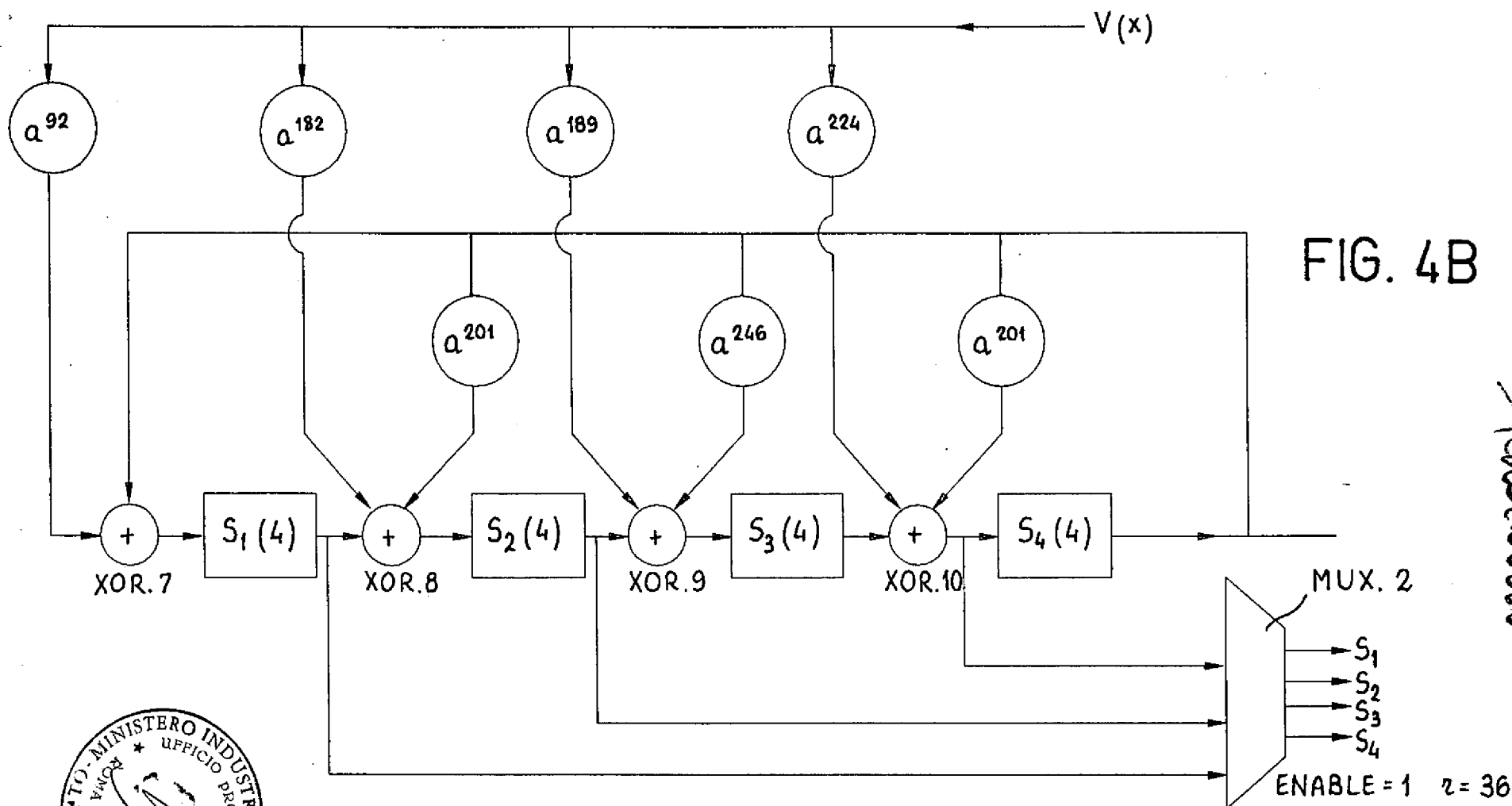


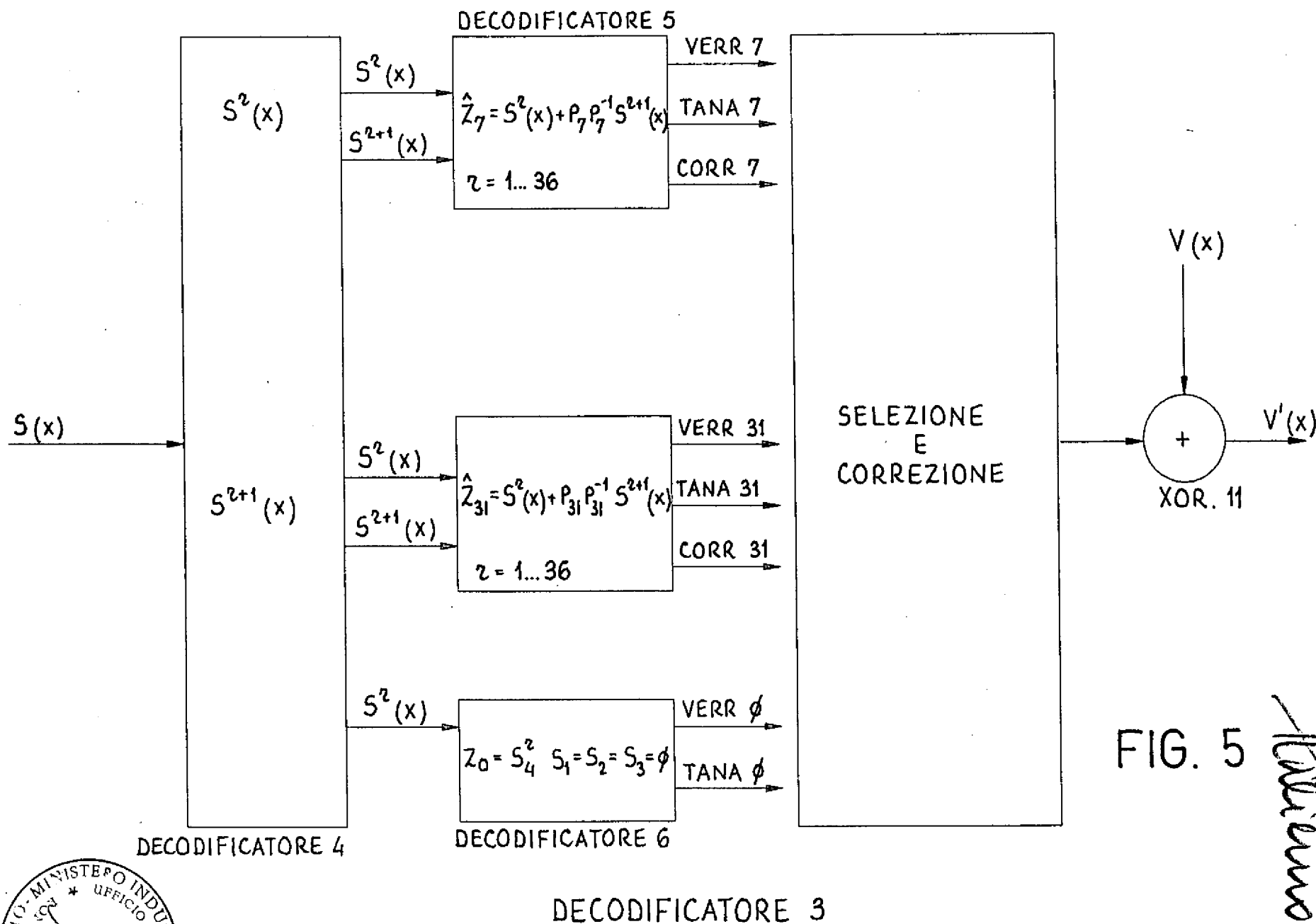
FIG. 4B



5/10

UN MANDATARIO
per se e per gli altri
Antonio Tallero
(n° d'iscr. 171)

FIG. 5



UN MANDATARIO
per se e per gli altri
Antonio Toliercio
17/11/71

FIG. 6A

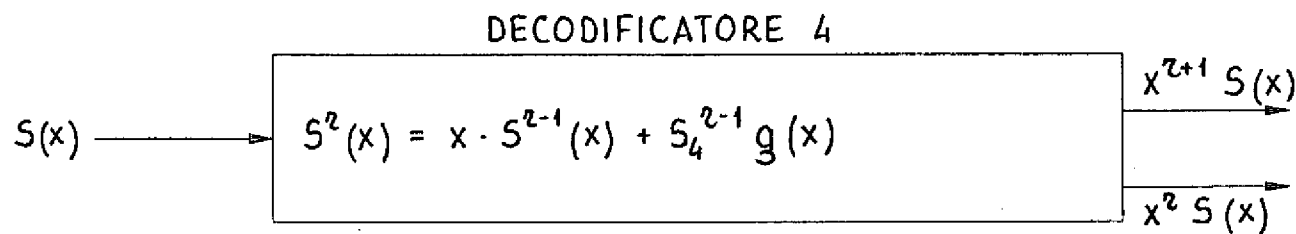
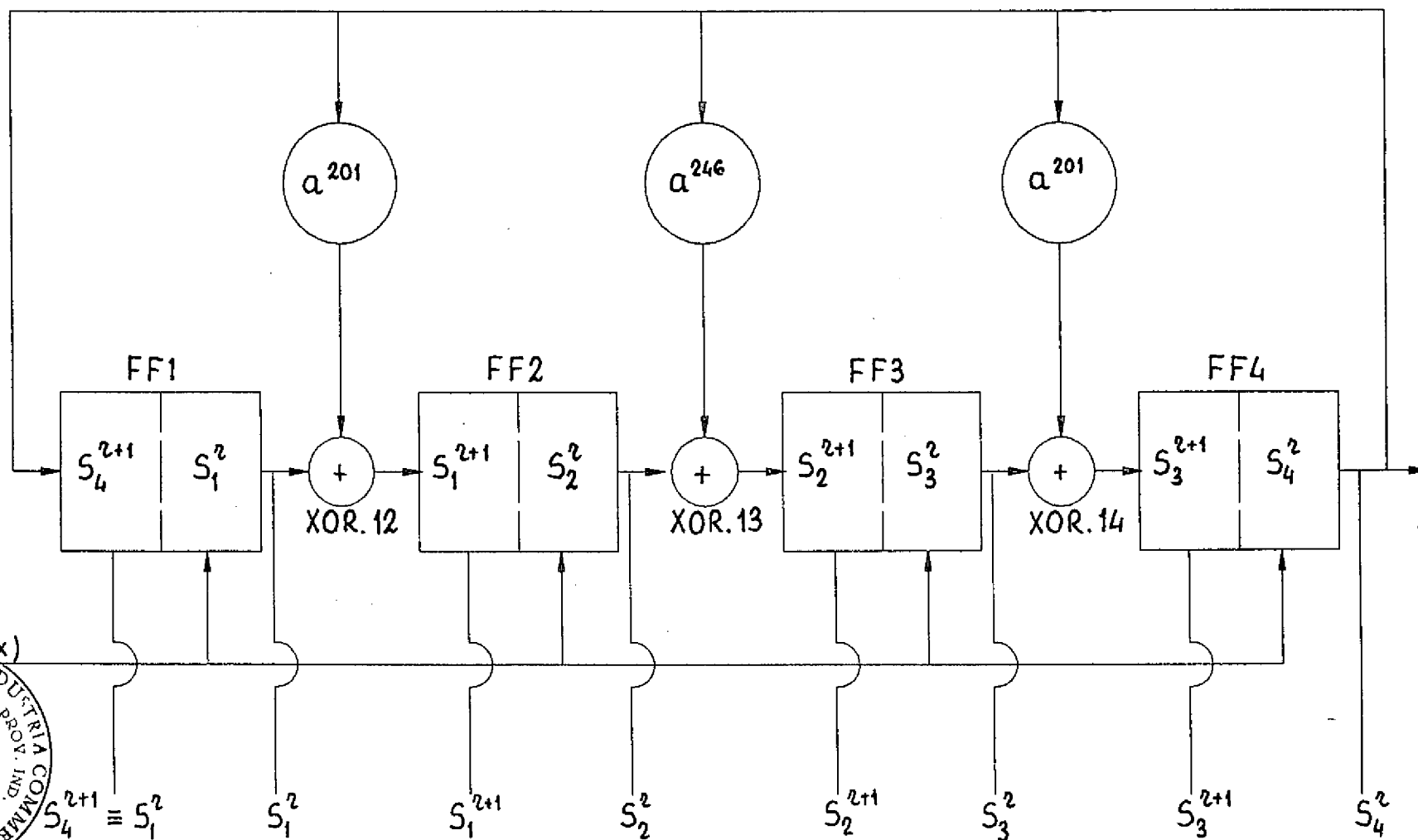


FIG. 6B



DECODIFICATORE 5

$x^{2+1} S(x)$

$x^2 S(x)$

$$Z_{a,i} = S^2(x) + P_{a,i} P_{a,i+1}^{-1} S^{2+1}(x)$$

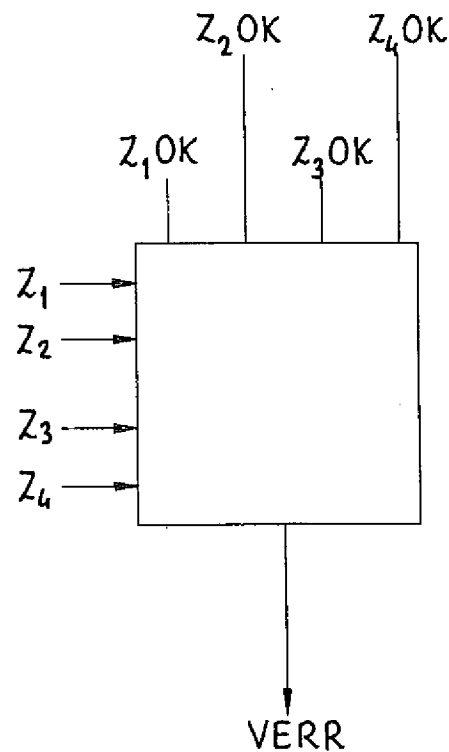
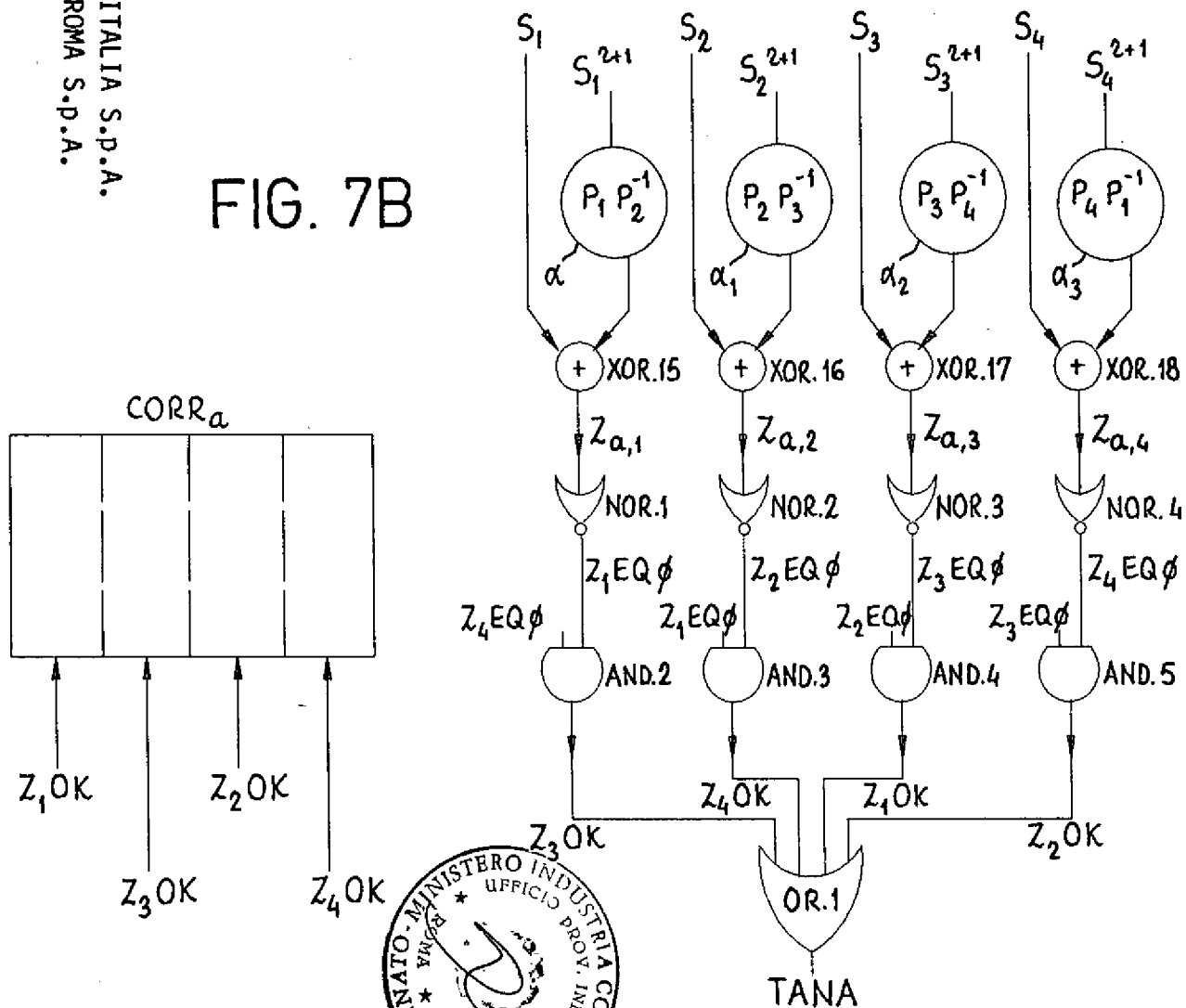
$VERR_a$

$TANA_a$

$CORR_a$

FIG. 7A

FIG. 7B



7/10

RM93 A000155 1

UN MANDATARIO
per se e per gli altri
Antonio Tallero
(N. d'iscr. 171)

P.D.: TEXAS INSTRUMENTS ITALIA S.p.A.
ING. BARZANO' & ZANARDO ROMA S.p.A.

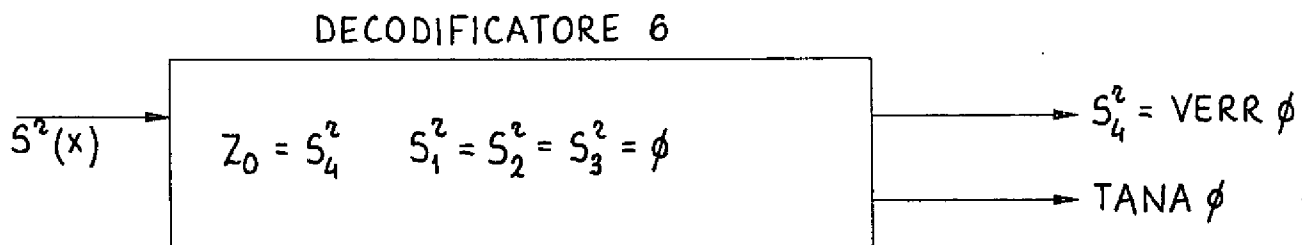


FIG. 8A

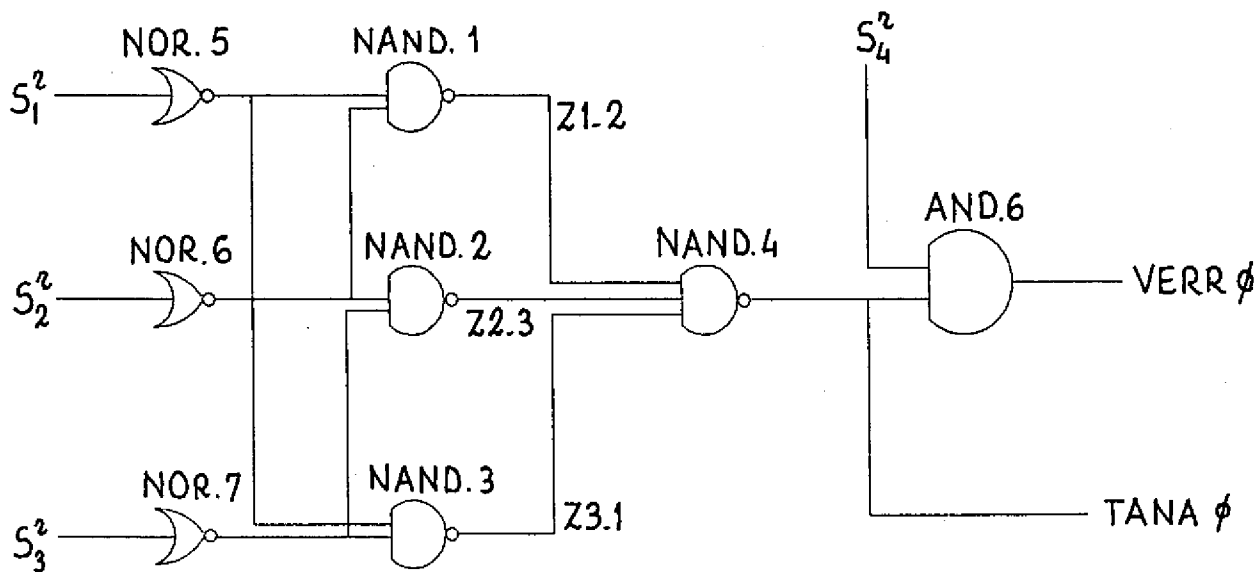


FIG. 8B

RM93 A000155 14
8/10

UN MANDATARIO
per i o per gli altri
Antonio Toliercio
ING. disc. 174
Flavio



9/10

UN MANDATARIO
per e per gli altri
Antonio Tollerio
N° 8 iscr. 171

FIG. 9A

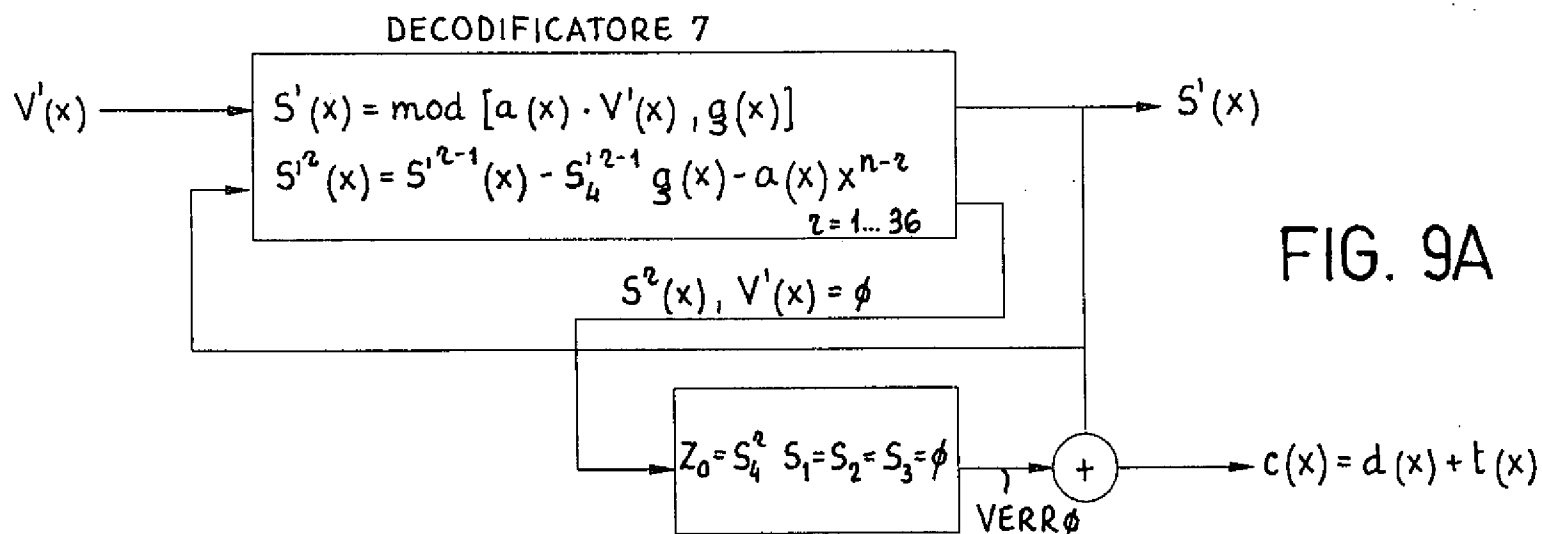
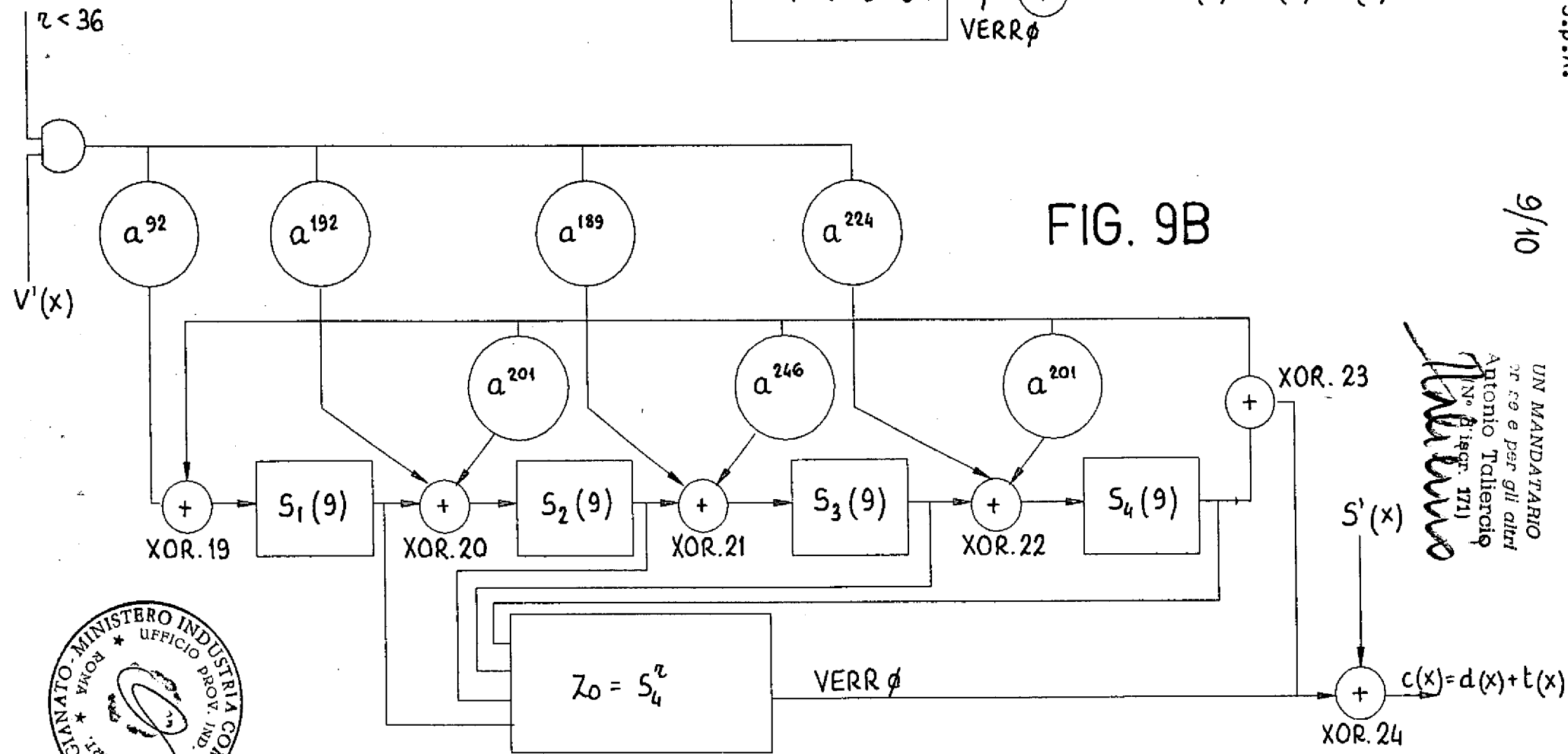


FIG. 9B



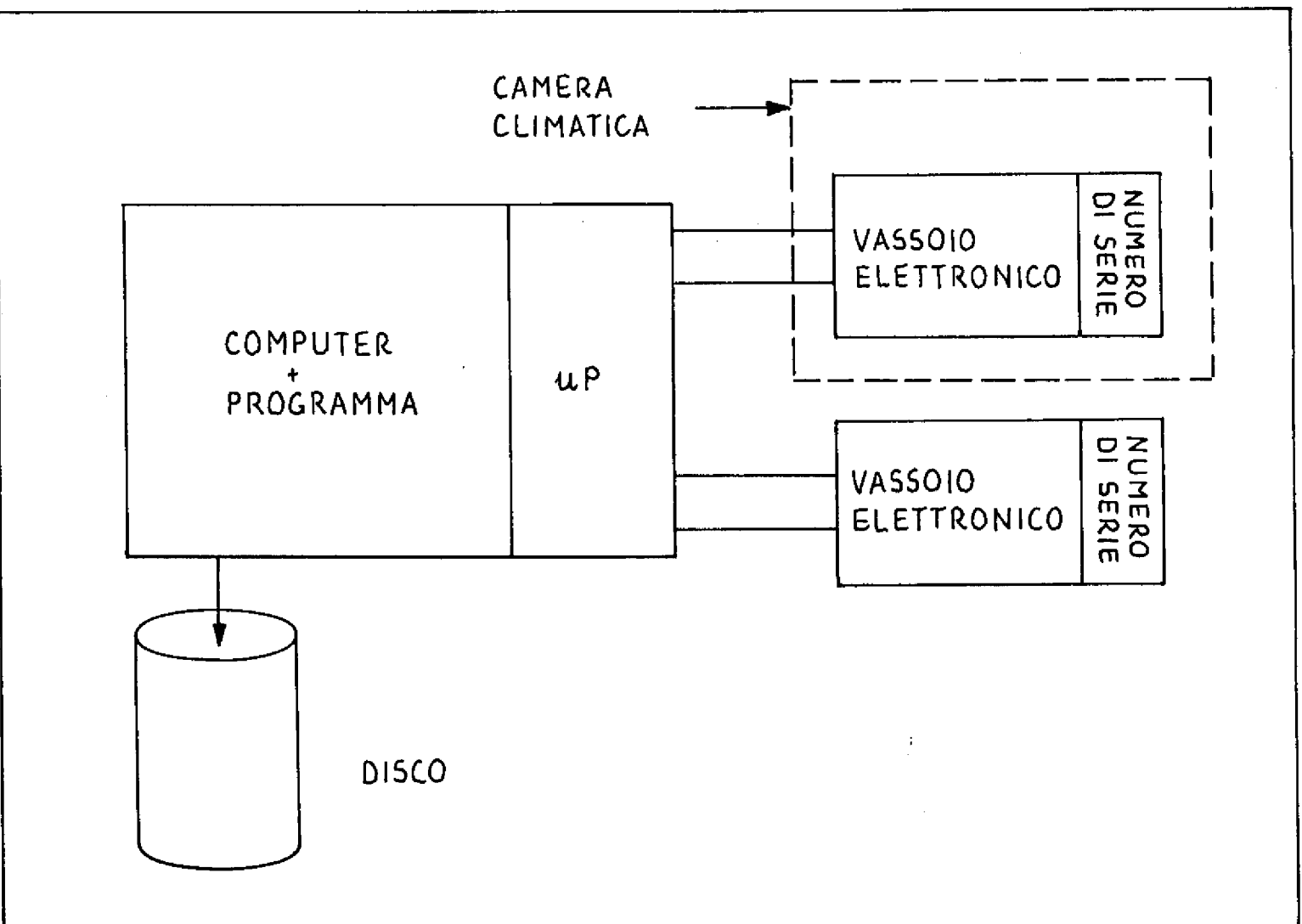


FIG. 10

P.D.: TEXAS INSTRUMENTS ITALIA S.p.A.
ING. BARZANO & ZANARDO ROMA S.p.A.

UN MANDATARIO
per o per gli altri
Antonio Talercio
(N° d'iscr. 171)

Alcino

