

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5280609号
(P5280609)

(45) 発行日 平成25年9月4日 (2013.9.4)

(24) 登録日 平成25年5月31日 (2013.5.31)

(51) Int. Cl.

F I

GO 1 L 9/00 (2006.01)
GO 1 L 17/00 (2006.01)
HO 1 L 29/84 (2006.01)
B 6 OC 23/04 (2006.01)

GO 1 L 9/00 3 O 5 H
GO 1 L 9/00 3 O 3 J
GO 1 L 17/00 3 O 1 B
HO 1 L 29/84 Z
B 6 OC 23/04 G

請求項の数 9 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2005-284013 (P2005-284013)
(22) 出願日 平成17年9月29日 (2005.9.29)
(65) 公開番号 特開2006-126182 (P2006-126182A)
(43) 公開日 平成18年5月18日 (2006.5.18)
審査請求日 平成20年8月8日 (2008.8.8)
(31) 優先権主張番号 特願2004-289476 (P2004-289476)
(32) 優先日 平成16年10月1日 (2004.10.1)
(33) 優先権主張国 日本国 (JP)

前置審査

(73) 特許権者 000005108
株式会社日立製作所
東京都千代田区丸の内一丁目6番6号
(74) 代理人 100080001
弁理士 筒井 大和
(72) 発明者 横山 夏樹
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所 中央研究所内
(72) 発明者 町田 俊太郎
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所 中央研究所内
(72) 発明者 後藤 康
埼玉県比企郡鳩山町赤沼2520番地 株
式会社日立製作所 基礎研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に設けられる MOS トランジスタと、前記半導体基板の上方に設けられる多層配線とを備える電子回路と、

固定電極と、前記固定電極の上方に設けられるダイアフラムと、前記固定電極と前記ダイアフラムの間に設けられる空洞とを備えるセンサと、を有し、

前記固定電極は、前記多層配線のうち最上層の配線を用いて形成され、

前記ダイアフラムは、前記最上層の配線よりも上方の タングステンシリサイド膜またはタングステン膜からなる導電層を用いて形成され、

前記タングステンシリサイド膜またはタングステン膜は引っ張り応力を有することを特徴とする半導体装置。

10

【請求項 2】

前記センサの少なくとも一部が、前記電子回路と重なる平面領域内の前記電子回路よりも上層に配置されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記電子回路は、アナログ、デジタル混載回路と不揮発メモリ回路とを含むことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記センサは、前記固定電極と前記ダイアフラムの間の静電容量を測定することにより圧力を検知することを特徴とする請求項 1 記載の半導体装置。

20

【請求項 5】

タイヤ内に設置され、前記タイヤ内の圧力の検知に用いられることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】

前記センサは、圧力センサであることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】

前記センサは、静電容量型圧力センサであることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】

半導体基板上に設けられる MOS トランジスタと、前記半導体基板の上方に設けられる多層配線とを備える電子回路と、

固定電極と、前記固定電極の上方に設けられるダイヤフラムと、前記固定電極と前記ダイヤフラムの間に設けられる空洞とを備えるセンサと、を有し、

前記固定電極は、前記多層配線のうち最上層の配線を用いて形成され、

前記ダイヤフラムは、前記最上層の配線よりも上方の導電層を用いて形成され、

前記電子回路は、デジタル回路とアナログ回路とを有し、

前記センサは、前記デジタル回路の形成領域上に形成され、前記アナログ回路の形成領域上には形成されないことを特徴とする半導体装置。

【請求項 9】

半導体基板上に設けられる MOS トランジスタと、前記半導体基板の上方に設けられる多層配線とを備える電子回路と、

固定電極と、前記固定電極の上方に設けられるダイヤフラムと、前記固定電極と前記ダイヤフラムの間に設けられる空洞とを備えるセンサと、を有する半導体装置の製造方法であって、

前記固定電極を、前記多層配線のうち最上層の配線を用いて形成し、

前記ダイヤフラムを、前記最上層の配線よりも上方の タングステンシリサイド膜またはタングステン膜からなる導電層を用いて形成し、

前記タングステンシリサイド膜またはタングステン膜は引っ張り応力を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、圧力センサ混載半導体装置およびその製造技術に関し、特に、圧力センサ混載半導体装置の小型化、高性能化に適用して有効な技術に関するものである。

【背景技術】

【0002】

圧力センサは、様々な分野で用いられているセンサである。その中でも、MEMS (Micro Electro Mechanical Systems) の製造技術や、半導体の微細加工技術を用いて形成された小型圧力センサは、その需要が急速に拡大している。例えば産業用途では、各種プラント機器の圧力制御や監視等に適用されている。また、民生用途では、ガスメータ、流量計、血圧計等に用いられている。自動車向けでは、エンジンやブレーキの制御、タイヤ空気圧の監視等に用いられている。

【0003】

小型圧力センサを、圧力を検知する手段で分類すると、圧力によるダイヤフラムのたわみをダイヤフラムに埋め込まれたピエゾ抵抗素子によって検出するピエゾ抵抗型、圧力により変化する 2 枚の電極間の距離を静電容量の変化として検出する静電容量型、圧力の変化による振動子の共振周波数の変化を検出する振動子型等がある。

【0004】

一方、上記の小型圧力センサとは別の用途に向けた圧力センサとして、感圧センサの開発も進んでいる。このセンサは、例えばペットロボットの頭部や脚部に取り付けられ、人

10

20

30

40

50

間との接触を検知する目的で用いられている。モーターの回転速度やスピーカーの音量等を調整するための入力機器の入力部に用いられることもある。感圧センサが圧力を検知する手段としては、例えば感圧導電性膜の利用がある。圧力による変形に伴って変化する感圧導電性膜の抵抗値を検出する。

【0005】

なお、感圧導電性膜を用いた感圧センサの一例が、特許文献1に開示されている。また、感圧導電性膜と製造方法の一例が、特許文献2に開示されている。

【0006】

特に、自動車向けの小型圧力センサでは、一般に、小型化、高性能化、低コスト化に対する要求が強い。中でも、タイヤ空気圧の監視システム（TPMS；Tire Pressure Monitoring System）に用いる圧力検知部は、タイヤ中に長時間設置される特殊性のため、特に小型軽量化が重要である。給電は、ボタン電池による場合が多いため、低電力化も求められる。実用化当初は、piezo抵抗型等の単体圧力センサ、信号処理用半導体装置、無線用半導体装置、ボタン電池等の部品を小型のプリント基板上に実装する方法が取られていたが、コストが高く、消費電力が大きいため電池寿命が短いという問題もあり、広く普及するには至っていない。

【0007】

小型化、低消費電力化、低コスト化のためには、圧力センサ単体に加えて、センサからの信号を処理、伝達するために必要な周辺の半導体装置をも同一パッケージ、さらには同一チップに収めることが有効であり、盛んに検討されている。

【0008】

1パッケージ化は、まず、piezo抵抗型等の圧力センサと、センサからの信号を増幅する機能等を有する半導体装置とを、実装技術により1つのパッケージ中に混載する方法で実現された。非特許文献1の記載がその一例である。これは、圧力センサ、半導体装置を別々に製造できるため、それぞれのデバイス構造や製造プロセスを変更する必要がない利点はあるが、単に圧力センサと一部の半導体装置とを1パッケージ化しているだけなので、低コスト化の実現は困難である。大きな出力信号を得られるpiezo抵抗型の圧力センサを使う場合が多いが、piezo抵抗型の圧力センサは消費電力が大きい。非特許文献1には回路上の工夫による低消費電力化の効果が記載されているが、1パッケージ化したこと自体による低消費電力化の効果は小さいと考えられる。

【0009】

一方、1チップ化は、2枚の基板を接合する製造方法により実現された。最近の例が非特許文献2に詳述されている。圧力センサの少なくとも一部を形成した基板と、半導体装置等を形成した基板とを、陽極接合等の手段により接合して1枚の基板とする方法である。この他にも、半導体基板の周辺に半導体装置を形成した後、基板中心部の裏面を水酸化カリウムを用いたエッチングにより薄膜化してダイヤフラムを形成し、裏面側にガラス基板を貼り合せて真空空洞部とする製造方法等もある。いずれの場合も製造上の手間を省き、コストを抑えるために、ダイシング前の基板の段階で接合する方法が一般的となっている。その後、接合後の基板をダイシングすることにより、1チップの中に圧力センサと半導体装置とを混載する。非特許文献2で用いられているのは、静電容量型圧力センサである。この方法による1チップ化では、圧力センサと検出回路との間の配線長を短くできるため、僅かな容量変化の検出に必要な静電容量型センサを適用できる。しかしながら、この方法による1チップ化では、上記の1パッケージ化と同様に、低コスト化には限界がある。

【0010】

上記の1パッケージ化や基板接合による1チップ化よりも、製造コストを抑え、より一層の小型化、低消費電力化を実現できる可能性がある方法は、デバイス構造や製造プロセスの工夫により、半導体基板上に圧力センサと半導体装置を共に形成する方法である。1チップ化する圧力センサの方式、半導体装置の組み合わせによって、デバイス構造や製造プロセスの工夫が必要となる。半導体装置を製造している途中に静電容量型圧力センサを

形成する製造方法が、特許文献3や非特許文献3、非特許文献4に開示されている。これらの製造方法により、圧力センサに加えて、温度補償のための温度センサ、アナログ・デジタル変換回路、論理回路、クロック、電源制御回路等のアナログ、デジタル混載回路を備えたCMOS(Complementary Metal Oxide Semiconductor)を1チップの中に混載した製品も既に一部で実用化されている。較正データ等を格納するためのEEPROM(Electrically Erasable and Programmable Read Only Memory)等の不揮発メモリが混載される場合もある。

【0011】

特許文献3、4および非特許文献3乃至5に記載されている従来の技術では、圧力に応じた静電容量を得るためのキャパシタの上部電極となるダイヤフラムに、多結晶シリコン層を用いている。下部電極には、基板中の拡散層またはフィールド酸化膜上に形成したダイヤフラムとは別の多結晶シリコン層を用いている。

10

【0012】

従来技術が上記の構造を選択する理由は、平行平板型に近い形のキャパシタを形成するためである。ダイヤフラムの耐久性を確保し、容量が圧力に対して線形に変化するキャパシタに近づけるには、平行平板型が最も有利と考えられる。

【0013】

一般に、半導体装置の製造を進めるにつれて、基板表面には段差が発生することが多い。平坦化工程を挿入して段差を緩和する場合もあるが、特に最小設計寸法が $0.5\mu\text{m}$ よりも大きな半導体装置では局所的な段差は緩和されても、キャパシタが必要とするような大面積の段差が解消されない製造方法が一般的である。すなわち、一旦、トランジスタ等の半導体素子を形成した上部に、平行平板型のキャパシタを形成することは極めて困難である。このような製造方法で作られる半導体装置に圧力センサを混載する場合、圧力を検知するキャパシタは拡散層上、またはフィールド酸化膜上に平坦な領域を確保して形成するしかない。

20

【0014】

電極材料に多結晶シリコン層を用いる理由としては、トランジスタのゲート電極や抵抗層となる多結晶シリコン層を形成する工程で同時に形成できる点が挙げられる。多結晶シリコンはフッ酸に対する耐性があるため、キャパシタの電極間の酸化シリコン層をエッチングする際にマスクとすることができ、キャパシタの形成が容易となる利点もある。さらに、多結晶シリコンは、MEMSの可動部品の材料として長年、研究されてきているため、どのような膜を用いれば優れたダイヤフラムとできるかの解明が進んでいる点でも、使いやすい材料であると言える。

30

【特許文献1】特開平09-017276号公報

【特許文献2】特開2000-299016号公報

【特許文献3】米国特許6472243号公報

【特許文献4】米国特許5596219号公報

【非特許文献1】J.Dancaster他、「TWO-CHIP PRESSURE SENSOR AND SIGNAL CONDITIONING」、TRANSDUCERS '03 (The 12th International Conference on Solid State Sensors, Actuators and Microsystems, Boston, June 9-12 2003)予稿集、1669頁～1702頁

40

【非特許文献2】Abhijeet V. Chavan他、「A Monolithic Fully-Integrated Vacuum-sealed CMOS Pressure SENSOR」、IEEE TRANSACTIONS ON ELECTRON DEVICES、VOL. 49、NO.1、JANUARY 2002、164頁～169頁

【非特許文献3】Klaus Kasten他、「CMOS-compatible capacitive high temperature pressure sensors」、Sensors and Actuators 85(2000)、147頁～152頁

【非特許文献4】Klaus Kasten他、「High temperature pressure sensor with monolithically integrated CMOS readout circuit based on SIMOX technology」、The 11th International Conference on Solid-State Sensors and Actuators(Munich, Germany, June 10-14, 2001)予稿集、510～513頁

50

【非特許文献5】T.Bever他、「Solutions for The Pressure Monitoring Systems」、7th International Conference on Advanced Microsystems for Automotive Applications 2003(Berlin, Germany, May 22-23, 2003)予稿集、261～269頁

【発明の開示】

【発明が解決しようとする課題】

【0015】

特許文献3や非特許文献3～5の圧力センサ混載半導体装置の静電容量型圧力センサは、圧電抵抗型や振動子型と比較すると、半導体装置と同一の基板上に混載することにより適していると考えられるが、それでも製造上の制約は大きい。最も大きな問題は、圧力センサ混載半導体装置のチップ面積の低減が困難な点である。

10

【0016】

特許文献3、非特許文献3乃至5に開示されている圧力センサ混載半導体装置は、上述の構造のため、基板上でセンサ領域と半導体装置領域とが、完全に分離されている。このため、チップ面積は半導体装置の面積とキャパシタの面積を合わせたものになってしまう。また非特許文献2乃至5に記載されているように、静電容量型圧力センサで高精度の測定を行うためには、測定のためのキャパシタの他に、圧力の基準となる同構造の参照キャパシタが必要となる。半導体装置を微細化することで、半導体装置の占める面積は低減できるが、高精度な圧力の検知には、これらのキャパシタの容量をある程度大きくする必要があるので、キャパシタ面積の低減には限界がある。半導体装置を微細化すればするほど、チップ内でキャパシタの占める面積の割合は増加し、キャパシタ領域の存在がチップ面積の縮小にとって大きな制約となり、圧力センサ混載半導体装置の低コスト化を阻害する。

20

【0017】

従来技術には、上記のチップ面積の問題の他にも、製造上の制約がある。一般に、減圧化学気相法等により形成された多結晶シリコン膜は内部応力を有する。この内部応力が大きいと、ダイヤフラムの特性が時間の経過と共に変化したり、ダイヤフラムの寿命が短縮したりする原因となる。そこで、例えば膜形成後に熱処理を挿入することにより、内部応力を低減しておく必要がある。

【0018】

多結晶シリコン膜の応力を開放する方法の1つが特許文献3に詳述されている。この従来技術で、最も懸念されるのは、多結晶シリコンからなるダイヤフラムの応力解放のための熱処理が、半導体装置のトランジスタ特性に与える影響である。応力開放のための熱処理は高温で行われるため、トランジスタの形成後にこの工程を挿入すると、トランジスタ特性が劣化する問題があった。特許文献3で開示されている圧力センサ混載半導体装置の製造方法は、この問題に対する解決策の1つであった。トランジスタのソース、ドレインの活性化熱処理と、ダイヤフラムの応力開放の熱処理とを同時に行うことで、トランジスタに対する過剰な熱処理を回避し、トランジスタ性能の劣化を防いでいる。

30

【0019】

しかしながら、半導体装置の微細化が進むにつれ、トランジスタ周辺の不純物分布の制御は高度化し、不純物活性化のための熱処理は低温化されつつある。特許文献3で好ましいとされている熱処理温度は、900乃至1100℃、熱処理時間は20乃至40秒であるが、これだけ過酷な熱処理に耐えるトランジスタは、ゲート長が少なくとも1.3μm以上の世代のトランジスタであると考えられる。すなわち、特許文献1で開示されている製造方法では、微細化されたトランジスタ特性への影響を抑制できなくなることは明らかである。一般に、半導体装置は、微細化に伴って高性能化、低コスト化される。微細化された半導体装置との混載ができないということは、センサ混載半導体装置の高性能化、低コスト化の大きな妨げとなる。

40

【0020】

特に、タイヤ空気圧の監視システムに用いる圧力センサ混載半導体装置では、信号を外部と送受信するための無線回路をも混載することが求められている。無線回路を低電力で

50

駆動するには、ある程度高性能のCMOSトランジスタが必要であり、少なくともゲート長が $0.8\mu\text{m}$ 以下のトランジスタが必要と考えられる。従って、上記従来技術で無線回路をも1チップに混載することはできず、圧力センサ混載半導体装置のチップとは別個に製造された別チップとする他はない。このチップを圧力センサ混載半導体装置のチップと同じ1パッケージ中に収めることは可能であるが、前述のように高性能化、低コスト化の効果は小さい。

【0021】

一方、多結晶シリコン膜の形成方法、条件を工夫することにより、膜形成後に高温の熱処理を施さなくても、膜の内部応力を低減する試みもなされている。また、低応力としたシリコンゲルマニウム膜をMEMSの構造物に適用することも試みられている。これらの膜を用いる場合には、膜形成後に膜形成時よりも高温の工程を適用することができなくなる制約が生じる。さらに膜形成時よりも低温の工程によっても、ダイヤフラム膜の内部応力が影響を受ける場合があり、ダイヤフラム膜形成後の工程を全て考慮した製造方法の最適化が必要となる。センサ混載半導体装置を、他の半導体装置と共通の製造方法で作れなくなるため、センサ混載半導体装置の低コスト化の妨げとなる。

【0022】

従来技術のもう1つの問題は、実装の複雑さである。上記従来技術では、半導体基板上の下層の層を圧力センサのダイヤフラムに使うため、その上を貫通孔とする必要がある。貫通孔の周囲は半導体装置の層間絶縁膜等が露出する。貫通孔の部分にパッシベーション膜がなくても半導体装置の信頼性を確保するためには、露出した部分をも水分や可動イオン等から守ることができる特別な実装が必要となり、実装コストの増加がもたらされる。タイヤ空気圧の監視システムに用いる場合には、タイヤ中の厳しい環境に耐えることが求められるため、一層、実装の問題は深刻となる。

【0023】

このように、従来技術の第1の問題点は、圧力センサ混載半導体装置のチップ面積の低減に制約がある点である。第2の問題点は、圧力センサを混載することにより、半導体装置の製造方法に制約があり、混載可能な半導体装置に限られる点である。第3の問題点は、圧力センサを混載することにより、実装が複雑となる点である。

【0024】

本発明の目的は、圧力センサ混載半導体装置の小型化を推進することができる技術を提供することにある。

【0025】

本発明の他の目的は、圧力センサ混載半導体装置の高機能化を推進することができる技術を提供することにある。

【0026】

本発明の他の目的は、圧力センサ混載半導体装置の高信頼化を推進することができる技術を提供することにある。

【0027】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0028】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0029】

本発明による圧力センサ混載半導体装置の製造方法は、半導体装置の製造工程に絶縁膜の化学的機械的研磨(CMP; Chemical Mechanical Polishing)による平坦化工程を適用することにより、半導体装置の上層に圧力検知部を形成可能とし、上から2層の導電層を圧力検知部に用いることを特徴とする。

【0030】

すなわち、半導体基板上に形成されたMOSトランジスタ等からなる高性能アナログ、デジタル混載回路、不揮発メモリ回路上の絶縁膜を化学的機械的研磨によって平坦化した後、上記回路上に圧力センサが有する圧力検知部を形成し、低消費電力でチップ面積の小さな圧力センサ混載半導体装置を実現する。

【0031】

圧力検知部の構成は、キャパシタ電極として上層2層の導電層を用いる場合と、感圧導電性膜とその下層の電極の2層を用いる場合とがある。圧力検知部の下層には、半導体装置の少なくとも一部を配置してもよい。

【発明の効果】

【0032】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0033】

圧力検知部よりも下層に半導体装置を形成することが可能となるので、圧力センサ混載半導体装置のチップ面積を低減することができる。特に、感圧導電性膜を用いた圧力検知部を適用する場合には、静電容量型とは異なり圧力検知部の下層だけから2つ以上の電極を感圧導電性膜に接続すればよいだけなので、圧力センサ混載半導体装置の製造が著しく容易となる利点がある。また、必要に応じて行われる平坦化工程の適用、変更以外には、圧力検知部よりも下層の半導体装置には何ら影響を与えないので、半導体装置の製造方法には制約が生じない。これにより、微細化の進んだ高性能の半導体装置と圧力センサを混載することが可能となり、低電力化が実現できる。さらに、半導体装置の上層に圧力検知部を形成し、半導体装置を窒化膜またはポリイミド膜で保護するので、従来技術よりも実装を簡易化することが可能となる。

【発明を実施するための最良の形態】

【0034】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0035】

(実施の形態1)

本実施の形態は、本発明をデジタル回路、センサ信号を増幅するアンプや無線送受信回路等のアナログ回路、MONOS(Metal Oxide Nitride Oxide Semiconductor)型のフラッシュメモリ回路、静電容量型圧力センサ等を1チップに混載した圧力センサ混載半導体装置に適用したものである。

【0036】

図1は、本実施の形態の圧力センサ混載半導体装置の圧力検知部を含む要部断面図である。シリコン基板1の表面には、素子分離溝2が形成され、ゲート酸化膜3、ポリサイド膜からなるゲート電極4、キャップ絶縁膜5、サイドウォール6等を有するMOS(Metal Oxide Semiconductor)トランジスタ(Qn、Qp)が形成されている。nチャネル型のMOSトランジスタ(Qn)はp型ウェル7に形成され、pチャネル型のMOSトランジスタ(Qp)はn型ウェル8に形成されている。MOSトランジスタ(Qn、Qp)の最短のゲート長は0.35μmである。

【0037】

MOSトランジスタ(Qn、Qp)の上部には酸化シリコン膜11が形成されており、MOSトランジスタ(Qn)の拡散層(ソース、ドレイン)9の上部およびMOSトランジスタ(Qp)の拡散層(ソース、ドレイン)10の上部には、コンタクトホール12が形成されている。コンタクトホール12の内部には、窒化チタン膜とタングステン膜とからなるプラグ13が形成されている。

【0038】

酸化シリコン膜11の上部には、プラグ13に接続される第1層配線14が形成されて

10

20

30

40

50

いる。第1層配線14は、上から窒化チタン膜／アルミニウム合金膜／窒化チタン膜／チタン膜からなる。第1層配線14の上部には、ビアホール15を介して第1層配線14に接続される第2層配線16、ビアホール17を介して第2層配線16に接続される第3層配線18、ビアホール19を介して第3層配線18に接続される第4層配線20、ビアホール21を介して第4層配線20に接続される第5層配線22が形成されている。第2層配線16～第5層配線22のそれぞれは、第1層配線14と同じく、窒化チタン膜／アルミニウム合金膜／窒化チタン膜／チタン膜からなる。

【0039】

第1層配線14～第5層配線22のそれぞれは、酸化シリコン系の層間絶縁膜23によって互いに絶縁されている。本実施の形態の半導体装置の製造に当たっては、要所でCMP (Chemical Mechanical Polishing)を用いている。このため、第1層配線14～第5層配線22のそれぞれは、概ね平坦に形成されており、第5層配線22の表面もほぼ平坦となっている。

【0040】

本実施の形態の圧力センサ混載半導体装置は、第5層配線22の一部を圧力検知部の下部電極22aとして用いている。下部電極22a上に形成された酸化シリコン膜24の一部は空洞25となっており、空洞25の内部には窒素を主成分とするほぼ1気圧の気体が充填されている。酸化シリコン膜24上に形成されたタングステンシリサイド膜26の一部には孔27が開口され、ここから導入されるフッ酸により、酸化シリコン膜24に空洞25が形成される。

【0041】

タングステンシリサイド膜26上にはプラズマCVD (Chemical Vapor Deposition)法によって形成された窒化シリコン膜28が形成されている。窒化シリコン膜28は、孔27を塞ぐと共に、外部から圧力センサ混載半導体装置への水分の浸入を抑える役割を有する。本実施の形態では、窒化シリコン膜28／タングステンシリサイド膜26の積層膜がダイヤフラムとなっている。ダイヤフラムの一部を構成するタングステンシリサイド膜26は、ビアホール45を通じて第5層配線22に接続されている。窒化シリコン膜28の一部の上層には、酸化シリコン膜29、窒化シリコン膜30、感光性ポリイミド膜31が形成されている。

【0042】

上記MOSトランジスタ(Qn、Qp)および第1層配線14～第5層配線22のそれぞれの一部は、デジタル回路を構成している。第5層配線22の一部は、圧力検知部のダイヤフラムと下部電極22aとに接続されているため、アナログ回路の一部となっているが、電極と電極が接続される配線を除いては圧力検知部はアナログ回路上にはなく、デジタル回路上に形成されている。これは、圧力検知部のキャパシタに蓄えられる電荷が、アナログ回路のノイズの原因となるのを防止し、高精度の圧力検知を可能とするためである。

【0043】

図2は、本実施の形態の圧力センサ混載半導体装置の図1とは別の断面図である。この断面は参照用キャパシタ部を含む断面である。シリコン基板1から第5層配線22、さらには窒化シリコン膜28／タングステンシリサイド膜26からなるダイヤフラムまでは、図1に示した圧力検知部と同様である。図1に示した圧力検知部との大きな違いは、ダイヤフラム上の感光性ポリイミド膜31／窒化シリコン膜30／酸化シリコン膜29が除去されていないことである。このため、参照用キャパシタ部は、直接的には外部の圧力による変動を受けない。この断面のMOSトランジスタ(Qn、Qp)および第1層配線14～第5層配線22のそれぞれの一部は、デジタル回路を構成している。

【0044】

第5層配線22の一部は参照用キャパシタの下部電極22aとに接続されているため、アナログ回路の一部となっているが、電極と電極が接続される配線を除いては圧力検知部はアナログ回路上にはなく、参照用キャパシタ部はアナログ回路上にはない。これは、参

10

20

30

40

50

照用キャパシタ部のキャパシタに蓄えられる電荷が、アナログ回路のノイズの原因となるのを防止し、高精度の圧力検知を可能とするためである。

【0045】

図3は、本実施の形態の圧力センサ混載半導体装置の図1、図2とは別の断面図である。この断面は、アナログ回路部の断面であり、MOSトランジスタ(Q_n、Q_p)および第1層配線14～第5層配線22のそれぞれは、アナログ回路を構成している。第5層配線の上は、窒化シリコン膜30と感光性ポリイミド膜31が覆っている。

【0046】

図4は、本実施の形態の圧力センサ混載半導体装置の図1～図3とは別の断面図である。この断面は、フラッシュメモリ回路部の断面であり、メモリゲート40と制御ゲート41とを有するMONOS型フラッシュメモリトランジスタ(Q_f)上に第1層配線14、第2層配線16、第3層配線18が形成されている。制御ゲート41は、ポリサイド膜からなる前記ゲート電極4と同時に形成するので、実際にはゲート電極4と同一の膜厚を有している。

10

【0047】

フラッシュメモリ回路部では、5層の配線(第1層配線14～第5層配線22)のうち、上記の3層しか使用していない。このため、上層の配線層を圧力検知部や参照用キャパシタ部に用いることも可能であるが、本実施の形態では、搭載するメモリ容量が小さいため、フラッシュメモリ回路上に圧力検知部や参照用キャパシタを配置していない。圧力検知部や参照用キャパシタは、フラッシュメモリ回路上に形成してもよい。

20

【0048】

図5は、本実施の形態の圧力センサ混載半導体装置の図1～図4とは別の断面図である。この断面は、パッド部を含む断面である。本実施の形態では半導体装置製造の過程で要所にCMPを用いているため、配線層が概ね平坦化されているが、CMPを用いずに製造される他の多くの半導体装置でもパッド部は平坦な場合が多い。本実施の形態ではパッド50上に圧力検知部や参照用キャパシタを配置していないが、圧力検知部や参照用キャパシタをパッド50上に形成してもよい。

【0049】

ポリサイド膜4aの上部に第1層配線14～第5層配線22からなるパッド50が重なって配置されており、原則的には各配線層は多数のヴィアホール等により接続されている。図5は、ヴィアホールを含まない断面であるため、ヴィアホールは図示されていない。パッド50の表面は、第5層配線22を構成す材料のうち、最上層の窒化チタン膜がエッチング除去され、アルミニウム合金層が露出している。パッド50の周辺部は、窒化シリコン膜30と感光性ポリイミド膜31によって覆われている。

30

【0050】

図6は、ワイヤボンディング後の本実施の形態の圧力センサ混載半導体装置を上面から見た図である。半導体装置表面の感光性ポリイミド膜31の一部に開口32が形成されており、開口32の底部に圧力検知部のダイヤフラムが露出している。また、感光性ポリイミド膜31の他の領域には、ボンディングのためのパッド50が露出しており、その表面に金ワイヤ33が接続されている。

40

【0051】

図7は、図6のA-A線に沿った圧力センサ混載半導体装置の断面図である。左端の領域はアナログ回路部、中央の2つの領域は圧力検知部、右端の領域はパッド部である。圧力検知部とパッド部以外は、窒化シリコン膜30と感光性ポリイミド膜31で覆われている。圧力検知部のダイヤフラム上は、窒化シリコン膜28で覆われている。

【0052】

図8は、図6のB-B線に沿った圧力センサ混載半導体装置の断面図である。左端の領域はフラッシュメモリ回路部、中央の2つの領域は参照キャパシタ部、右端の領域はパッド部である。金ワイヤ33が接続されているパッド部以外は、参照用キャパシタ部のダイヤフラム上も含めて、窒化シリコン膜30と感光性ポリイミド膜31とで覆われている。

50

【0053】

図9は、本実施の形態の圧力センサ混載半導体装置を実装したパッケージの断面図である。圧力センサ混載半導体装置60は、ダイパッド部61上に固定され、金ワイヤ33によってリード62に電氣的に接続されている。このパッケージ67は、筒63を用いたプラスチックモールド型パッケージであり、圧力センサ混載半導体装置60や金ワイヤ33は、モールド樹脂64で封止されている。筒63の内部はシリコン樹脂65で満たされており、表面は樹脂膜66で塞がれている。この樹脂膜66は、外部から加わる圧力によって変形し、シリコン樹脂65に圧力を伝える。そして、シリコン樹脂65を介して伝わった圧力を圧力センサ混載半導体装置60の圧力検知部が検知する。

【0054】

10

図10は、本実施の形態の圧力センサ混載半導体装置を実装したタイヤ空気圧モニタシステム用のプリント回路基板を示す平面図である。プリント回路基板70には、ボタン電池71が固定されている。ボタン電池71は、端子72を介してプリント回路基板70に電氣的に接続されている。また、プリント回路基板70には、前記図9に示したパッケージ67と、水晶振動子73、RF回路の受動素子74等が実装されている。プリント回路基板70の反対側の面には、アンテナ（図示せず）が備えられている。

【0055】

一方、図11は、従来の圧力センサ混載半導体装置を実装したパッケージを備えるタイヤ空気圧モニタシステム用のプリント回路基板を示す平面図である。プリント回路基板76には、ボタン電池77が固定されている。ボタン電池77は、端子78を介してプリント回路基板76に電氣的に接続されている。また、プリント回路基板76には、表面を膜75で塞がれた圧力検知のための開口部を有する従来の圧力センサ混載半導体装置が封止されたパッケージ75と、無線回路部を備える半導体装置およびデジタル回路部等を備える半導体装置を収めたパッケージ80、水晶振動子73、RF回路の受動素子74等が実装されている。プリント回路基板76の反対側の面には、アンテナ（図示せず）が備えられている。

20

【0056】

本実施の形態の圧力センサ混載半導体装置60を実装した図10のプリント回路基板70と、従来の圧力センサ混載半導体装置を実装した図11のプリント回路基板76の大きさを比較すると、プリント回路基板70はプリント回路基板76の約1/3と小さい。これは、本実施の形態の圧力センサ混載半導体装置60の方が集積度が高いので、図11のパッケージ80に相当する部品が不要であることと、本実施の形態の圧力センサ混載半導体装置60を用いる方が低消費電力であるため、同じ寿命を得るために必要なボタン電池71の容量が小さくて済むためである。ボタン電池77はボタン電池71の約半分の容量であり、それに応じて大きさ、厚さも小さくなっている。このように、本実施の形態により、小型で低消費電力のタイヤ空気圧モニタシステム用のプリント回路基板70を実現することができる。

30

【0057】

図12は、従来の圧力センサ混載半導体装置の圧力検知部を示す断面図である。シリコン基板81の表面に酸化シリコン膜82が形成され、その上に窒化シリコン膜83が形成されている。窒化シリコン膜83上に固定された下部電極84とダイヤフラム85は、共に不純物をドーピングした多結晶シリコン膜で形成されている。下部電極84とダイヤフラム85との間の空間は、真空になっている。製造工程の途中で一旦ダイヤフラム85の一部に開けられた孔86は、ダイヤフラム85の上に形成された窒化シリコン膜87と酸化シリコン膜88とによって塞がれている。

40

【0058】

酸化シリコン膜88の上には酸化シリコン系の層間絶縁膜89が形成されているが、ダイヤフラム85の上部だけはこの層間絶縁膜89が取り除かれ、開口部90が形成されている。開口部90の側壁には、層間絶縁膜89が露出しているので、ここからダイヤフラム85に水分が浸入する可能性がある。これを防ぐためには、圧力センサ混載半導体装置

50

の実装に特別な工夫が必要となるので、製造コストの上昇を引き起こす。

【0059】

図10に示すプリント回路基板70と図11に示すプリント回路基板76とを、同じ実装技術によりタイヤ内を模擬した環境中に設置して、寿命や安定性を評価したところ、本実施の形態の圧力センサ混載半導体装置60を用いたプリント回路基板70の方が寿命が長く、安定性が優れていた。寿命は、高温、高湿度の環境中で加速して評価した。従来の技術による圧力センサ混載半導体装置を実装したプリント回路基板76を用いると、寿命が短く、実使用条件の寿命は10年未満であったが、本実施の形態の圧力センサ混載半導体装置60を実装したプリント回路基板70では、10年を超える寿命が得られた。

【0060】

また、従来の圧力センサ混載半導体装置を備えるプリント回路基板76では、圧力の検知に経時変化がみられたが、本発明の圧力センサ混載半導体装置60を備えるプリント回路基板70では、経時変化は見られなかった。この差は以下の原因によって生じると考えられる。本実施の形態の圧力センサ混載半導体装置60は、表面が窒化シリコン膜30や感光性ポリイミド膜31によって保護されている。これに対して、図12に示す従来の圧力センサ混載半導体装置では、圧力を検知するためのダイヤフラム85がシリコン基板81の近くにあり、半導体装置表面からダイヤフラム85まで開口部90が形成されている。この開口部90の側壁は、窒化シリコン膜や感光性ポリイミド膜で保護されていないため、ここから半導体装置にタイヤ中の水分等が透過して、半導体装置の寿命を短くし、安定性を低下させていると考えられる。このように、本実施の形態によれば、超寿命、高精度で安定性の高い圧力センサ混載半導体装置60と、タイヤ空気圧モニタシステム用のプリント回路基板70、さらにはタイヤ空気圧モニタリングシステムを実現することができる。

【0061】

次に、図13～図23を用いて本実施の形態の圧力センサ混載半導体装置の製造方法を説明する。圧力センサ混載半導体装置の最小設計寸法は、 $0.35\mu\text{m}$ である。

【0062】

まず、図13に示すシリコン基板1の主表面にSTI (Shallow Trench Isolation) 法を用いて素子分離溝2を形成した後、フォトリソグラフィ技術とイオン注入技術を用いてn型ウエル形成領域へリンイオンを注入し、p型ウエル形成領域へ硼素イオンを注入する。続いて、 1050°C 、60分の熱処理によって、シリコン基板1に注入された不純物を拡散・活性化し、p型ウエル7およびn型ウエル8を形成する。なお、図13の左端の領域はフラッシュメモリ回路部、中央の2つの領域は圧力検知部、右端の領域はパッド部である。また、素子分離の方法は、素子分離溝2に限定されず、LOCOS (Local oxidation of silicon) 法で形成したフィールド絶縁膜であってもよい。

【0063】

次に、シリコン基板1上に酸化シリコン膜、窒化シリコン膜および酸化シリコン膜を積層してONO膜42を形成する。下層の酸化シリコン膜はシリコン基板1の表面を熱酸化して形成し、窒化シリコン膜は減圧CVD法で形成し、上層の酸化シリコン膜は窒化シリコン膜の表面を熱酸化して形成する。下層の酸化シリコン膜の厚さは 1.5nm である。

【0064】

次に、ONO膜42上に厚さ 200nm の多結晶シリコン膜とキャップ絶縁膜44とを堆積する。多結晶シリコン膜は、モノシランを原料とする減圧CVD法により形成する。基板温度は 650°C とする。多結晶シリコン膜にリンをイオン注入した後、窒素中で多結晶シリコン膜を活性化するための熱処理を行う。熱処理温度は 900°C 、熱処理時間は30分である。この際、多結晶シリコン膜中の結晶粒が成長して大きくなる。キャップ絶縁膜44は、減圧CVD法で堆積した酸化シリコン膜と窒化シリコン膜の積層膜で構成する。このキャップ膜44を形成する際の基板温度は、最高で 800°C である。

【0065】

次に、フォトリソグラフ膜をマスクにしたドライエッチングでキャップ絶縁膜44をドラ

10

20

30

40

50

イエッチングした後、キャップ絶縁膜 44 をマスクにして多結晶シリコン膜をドライエッチングすることによって、フラッシュメモリ回路部の ONO 膜 42 上に MONOS 型フラッシュメモリのメモリゲート 40 を形成する。このとき、メモリゲート 40 の下部以外の領域には、ONO 膜 42 の一部である窒化シリコン膜が露出するので、800℃の酸素中でライト酸化を行ってメモリゲート 40 の端部を酸化した後、この窒化シリコン膜を熱燐酸で除去する。

【0066】

次に、図 14 に示すように、フラッシュメモリ回路部に制御ゲート 41 を形成し、デジタル回路部およびアナログ回路部にゲート電極 4 を形成する。

【0067】

制御ゲート 41 およびゲート電極 4 を形成するには、まず、シリコン基板 1 の表面を熱酸化してゲート酸化膜 3 を形成した後、減圧 CVD 法で酸化シリコン膜を形成し、この酸化シリコン膜を異方性エッチングすることにより、メモリゲート 40 の側壁にサイドウォール 43 を形成する。

【0068】

次に、燐をドーピングした多結晶シリコン膜とタングステンシリサイド膜とからなるポリサイド膜 4a を堆積する。多結晶シリコン膜は、モノシランとホスフィン为原料とする減圧 CVD 法で堆積する。この際の基板温度は 580℃である。次に、六フッ化タングステンとジクロロシラン为原料とする減圧 CVD 法によりタングステンシリサイド膜を形成する。この際の基板温度は 560℃である。

【0069】

次に、ポリサイド膜 4a 上に酸化シリコン膜からなるキャップ絶縁膜 5 を堆積する。キャップ絶縁膜 5 は、TEOS (Tetra Ethyl Ortho Silicate) と酸素为原料とする減圧 CVD 法を用い、650℃で形成する。続いて、フォトレジスト膜をマスクにしたドライエッチングでキャップ絶縁膜 5 をドライエッチングした後、キャップ絶縁膜 5 をマスクにしてポリサイド膜 4a をドライエッチングすることによって、デジタル回路部およびアナログ回路部にゲート電極 4 を形成し、フラッシュメモリ回路部に制御ゲート 41 を形成する。ゲート電極 4 のゲート長は、最も短いもので 0.35 μm である。制御ゲート 41 は、メモリゲート 40 に乗り上げた形状となっている。

【0070】

次に、図 15 に示すように、デジタル回路部およびアナログ回路部に MOS トランジスタ (Qn、Qp) を形成し、フラッシュメモリ回路部に MONOS 型フラッシュメモリ トランジスタ (Qf) を形成する。まず、p 型ウエル 7 および n 型ウエル 8 に不純物をイオン注入した後、減圧 CVD 法で酸化シリコン膜を形成し、この酸化シリコン膜を異方性エッチングすることにより、ゲート電極 4 の側壁にサイドウォール 6 を形成する。

【0071】

次に、p 型ウエル 7 および n 型ウエル 8 に不純物をイオン注入した後、850℃、15 分の熱処理を行って不純物を活性化することにより、ソース、ドレイン (拡散層 9、10) を形成する。また、上記不純物のイオン注入によって pn 接合 (図示せず) を形成し、pn 接合ダイオードによる温度センサの検知部も同時に形成する。

【0072】

次に、図 16 に示すように、トランジスタ (Qn、Qp、Qf) の上層に、TEOS と酸素とを原料とする高密度プラズマを用いたプラズマ CVD 法で厚さ 700 nm の酸化シリコン膜 11 を形成した後、酸化シリコン膜 11 を CMP 法によって 400 nm 程度研磨し、その表面を平坦化する。

【0073】

次に、フォトレジスト膜をマスクにしたドライエッチングで酸化シリコン膜 11 にコンタクトホール 12 を形成した後、コンタクトホール 12 の内部にプラグ 13 を形成する。プラグ 13 を形成するには、まず、チタン膜と窒化チタン膜をスパッタリング法により、連続的に堆積した後、650℃の窒素雰囲気中で 30 分の熱処理を施す。この熱処理によ

10

20

30

40

50

り、チタンが基板表面のシリコンと反応してチタンシリサイドを形成するため、コンタクト抵抗を小さくすることができる。次に、六フッ化タングステンと水素を原料とするCVD法でタングステン膜を堆積した後、チタン膜、窒化チタン膜およびタングステン膜をエッチバックする。また、エッチバックに代えてCMP法でこれらの膜を研磨してもよい。

【0074】

次に、図17に示すように、酸化シリコン膜11上に第1層配線14、層間絶縁膜23および第2層配線16を順次形成する。第1層配線14を形成するには、酸化シリコン膜11上に0.5%の銅を含むアルミニウム合金膜と窒化チタン膜とをスパッタリング法で連続的に形成した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターニングする。層間絶縁膜23は、TEOSと酸素を原料とするプラズマCVD法で厚さ700nmの酸化シリコン膜を堆積した後、その表面を300nm程度研磨して平坦化することによって形成する。次に、フォトレジスト膜をマスクにしたドライエッチングで層間絶縁膜23にビアホール15を形成した後、層間絶縁膜23上にチタン膜、窒化チタン膜、0.5%の銅を含むアルミニウム合金膜および窒化チタン膜をスパッタリング法で堆積する。続いて、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターニングすることによって、第2層配線16を形成する。

【0075】

次に、図18に示すように、第2層配線16の上層に層間絶縁膜23を介して第3層配線18、第4層配線20および第5層配線22を順次形成する。第3層配線18～第5層配線22は、第2層配線16と同様の方法で形成する。圧力検知部に形成される第5層配線22の一部は、下部電極22aである。下部電極22aの平面形状は、直径37μmの円形である。また、パッド部には第1層配線14～第5層配線22によってパッド50が形成される。

【0076】

本実施の形態の圧力センサ混載半導体装置は、5層配線（第1層配線14～第5層配線22）を有するが、必ずしも5層に限定される必要はなく、必要なだけの配線層を形成すればよい。また、本実施の形態の製造方法では、トランジスタ（Qn、Qp、Qf）の上層上の酸化シリコン膜11および全ての層間絶縁膜23にCMP法を適用したが、製造する圧力センサ混載半導体装置によっては、いくつかのCMP工程を省略しても最上層配線（第5層配線22）を概ね平坦化できるので、必ずしも全ての層間絶縁膜23にCMP法を適用する必要はない。

【0077】

以上説明したように、平坦化のためのCMP工程以外は、圧力センサを混載することによる半導体装置や半導体装置の製造方法への制約はない。

【0078】

次に、図19（圧力検知部の断面図）に示すように、下部電極22aの上層に厚さ0.5μmの酸化シリコン膜24を形成し、フォトレジスト膜をマスクにしたドライエッチングで酸化シリコン膜24にビアホール45を形成した後、酸化シリコン膜24上に、ダイヤモンドの一部となる厚さ200nmのタングステンシリサイド膜26を形成する。酸化シリコン膜24はTEOSと酸素を原料とするプラズマCVD法で形成し、タングステンシリサイド膜26はスパッタリング法で形成する。タングステンシリサイド膜26を形成する際、スパッタターゲットの組成は、W：Si＝1：2.8であるが、必ずしもこの組成に限定される必要はない。スパッタ時のアルゴン流量を調整して、形成されたタングステンシリサイド膜26が200MPa程度の引っ張り応力を有するようにする。応力の調整は、アルゴン流量の他にも、膜形成時の基板温度等によることも可能である。膜形成直後のタングステンシリサイド膜26は、非晶質に近い微結晶状態であり、熱処理を施さない限り、結晶が成長することはない。本実施の形態の圧力センサ混載半導体装置では、ダイヤモンドの一部にタングステンシリサイド膜26を用いたが、他の材料、例えばタングステン膜を用いることもできる。タングステン膜の場合には、膜形成直後に既に、柱状晶の結晶状態にある。この場合にも、膜の応力調整はアルゴン流量や膜形成時の基板温度

の調整によって行うことができる。また、本実施の形態では用いなかったが、段差を緩和するために、酸化シリコン膜 24 上に塗布法による SOG (Spin on Glass) 膜等を形成し、その上にタングステンシリサイド膜 26 を形成してもよい。

【0079】

次に、図 20 (圧力検知部の断面図) に示すように、フォトリソ膜をマスクにしたドライエッチングでタングステンシリサイド膜 26 に多数の孔 27 を形成する。このとき使用するリソグラフィ装置は、i 線ステッパであるが、孔 27 の直径は $0.25\ \mu\text{m}$ である。孔 27 を形成するには、まず、i 線用フォトリソ膜を使った露光によりタングステンシリサイド膜 26 に直径 $0.45\ \mu\text{m}$ の孔を開孔し、公知の熱フロー技術、すなわち、加熱によりフォトリソ膜を軟化させることにより、孔径を縮小する。次に、この孔を有するフォトリソ膜を使ってタングステンシリサイド膜 26 をドライエッチングして孔 27 を形成する。

10

【0080】

次に、フォトリソ膜を除去した後、シリコン基板 1 をフッ酸中に浸漬し、孔 27 から入り込むフッ酸で酸化シリコン膜 24 の一部を除去することによって、ダイヤフラムの一部となるタングステンシリサイド膜 26 と下部電極 22a との間に空洞 25 を形成する。一定時間のエッチングの後、水洗によりエッチングを停止し、シリコン基板 1 を乾燥させる。空洞 25 の平面形状は、直径が約 $30\ \mu\text{m}$ の円形である。下部電極 22a (第 5 層配線 22) は、その最上層が窒化チタン膜で構成されているので、酸化シリコン膜 24 の一部に空洞 25 を形成する際、フッ酸によって下部電極 22a がエッチングされることはない。

20

【0081】

前述したように、タングステンシリサイド膜 26 は引っ張り応力を有する。このため、水洗後の乾燥時にタングステンシリサイド膜 26 が水の表面張力によって下部電極 22a 側に貼り付いてしまう現象、いわゆるスティッキングを防止することができる。スティッキングを防止するにはキャパシタの大きさを小さくしたり、下部電極とダイヤフラムの距離を離したりすることも有効であるが、キャパシタの容量が小さくなる問題がある。本実施の形態のキャパシタは、スティッキングが生じなかった。

【0082】

次に、図 21 (圧力検知部の断面図) に示すように、タングステンシリサイド膜 26 上に窒化シリコン膜 28 を堆積し、窒化シリコン膜 28 上に TEOS と酸素を原料とするプラズマ CVD 法で酸化シリコン膜 29 を形成する。窒化シリコン膜 28 を堆積する際、タングステンシリサイド膜 26 に形成された孔 27 は、窒化シリコン膜 28 によって塞がるが、これは前述のように、レジストの熱フロー技術を用いることにより、孔 27 の直径を $0.25\ \mu\text{m}$ まで小さくしたことの効果である。なお、本実施の形態では、プラズマ CVD 法による窒化シリコン膜 28 で孔 27 を塞いだが、例えば、TEOS とオゾン为原料とする常圧 CVD 法による酸化シリコン膜や高密度プラズマを用いたプラズマ CVD 法による酸化シリコン膜等、他の膜を用いて孔 27 を塞ぐことも可能である。窒化シリコン膜 28 をプラズマ CVD 法で堆積した場合、タングステンシリサイド膜 26 と下部電極 22a との間に形成される空洞 25 の内部は減圧され、真空となる。常圧 CVD 法で堆積した場合には、窒素等を主成分とする常圧の気体で満たされる。

30

40

【0083】

次に、フォトリソ膜をマスクにしたドライエッチングで酸化シリコン膜 29、窒化シリコン膜 28、タングステンシリサイド膜 26 および酸化シリコン膜 24 をパターンニングし、圧力検知部のみにこれらの膜を残す。圧力検知部に残ったこれらの膜の平面パターンは、直径 $45\ \mu\text{m}$ の円形である。なお、本実施の形態の圧力検知部の回路では、高精度測定のために、キャパシタを 9 個並列に接続して大きな容量を得ている。

【0084】

次に、図 22 (圧力検知部の断面図) に示すように、シリコン基板 1 上にプラズマ CVD 法で窒化シリコン膜 30 を堆積した後、窒化シリコン膜 30 上に塗布法で感光性ポリイ

50

ミド膜 31 を形成する。

【0085】

次に、図 23（圧力検知部の断面図）に示すように、ダイヤフラム上の感光性ポリイミド膜 31 を感光、現像して除去した後、この感光性ポリイミド膜 31 をマスクとしてダイヤフラム上の窒化シリコン膜 30 および酸化シリコン膜 29 をエッチングすることにより、ダイヤフラム上に開口 32 を形成する。このとき、パッド 50 上の感光性ポリイミド膜 31 と窒化シリコン膜 30 もエッチングし、パッド 50 を露出させる。前記図 2 に示すように、参照キャパシタ部のダイヤフラム上の感光性ポリイミド膜 31、窒化シリコン膜 30 および酸化シリコン膜 29 はエッチングしない。圧力検知部の製造方法との基本的な違いはこの点のみである。参照用キャパシタ部のキャパシタも、圧力検知部のキャパシタと同様に、9 個並列接続して、大きな容量を得ている。

10

【0086】

ここまでの工程により、前記図 1 ～図 5 に示す本実施の形態の圧力センサ混載半導体装置が得られる。

【0087】

上記のようにして製造した圧力センサ混載半導体装置の動作特性を測定、評価した。100 kHz の高周波測定を行ったところ、図 24 に示すように、大気圧中での容量は、184.5 fF であった。この値は、固定電極の直径が 37 μm のキャパシタが 9 個並列接続された値である。

20

【0088】

次に、圧力を加えて容量を測定したところ、図のように変化した。例えば、3 kg/cm² での値は、202.5 fF であった。別途、3 kg/cm² でのダイヤフラムの変形を調べたところ、キャパシタの中心部で約 0.15 μm 潰れていることが分かった。つまり 0.15 μm 、固定電極との距離が小さくなった結果、容量が 184.5 fF から 202.5 fF に増加したことになる。同様に、参照用キャパシタの容量を調べた。大気圧中での容量は 184.7 fF であった。この値は、圧力を加えても変化せず、参照用キャパシタに必要な性能を有していることが分かった。なお、参照用キャパシタとの比較だけでは得られない情報の 1 つが温度であるが、本実施の形態の圧力センサ混載半導体装置では温度を前述した温度センサから得て、圧力の温度補正をしている。

30

【0089】

次に、信頼性の評価試験を行った。大気圧と 4 kg/cm² の加圧状態との間を多数回繰返し、大気圧での容量を測定した。圧力検知部の結果が図 25 である。10 万回の繰返し加圧後まで調べたが、容量の値は $\pm 0.25\%$ 以内に収まっており、また加圧の繰返しによって容量が増加傾向、減少傾向にある訳ではないので、測定系を含めた誤差の範囲内と言える。

40

【0090】

次に、図 26 ～図 28 を用いて最上層配線のレイアウトについて説明する。本実施の形態では第 5 層配線が最上層配線であるが、圧力センサと混載する半導体装置によっては、別の配線層が最上層配線となる場合もある。図 26 は、圧力検知部のレイアウト図である。円形の部分が下部電極 22b に相当し、直径は 37 μm である。下部電極 22b 同士は接続部 34 により電氣的に接続されている。配線の端部 35 からヴィアホール（図示せず）を介して下層の配線と電氣的に接続されている。この図は、圧力検知部のレイアウトであるが、参照用キャパシタ部のレイアウトも全く同じである。従って、接続部 34 が有する寄生容量等も、圧力検知部と参照用キャパシタ部で同等となる。

50

【0091】

図 27 は、CMOS 回路部のレイアウト図であり、電源配線 36、37 等が配置されている。この部分における電源配線 36、37 の配線幅は 3 μm である。図 28 は、パッド部のレイアウト図である。パッド 51 は、一辺が 70 μm の正方形であり、引き出し配線 52 により CMOS 回路部等と接続されている。なお、多くのフラッシュメモリ回路部では、前述したように最上層配線は利用されていない。

50

【0092】

以上詳細に説明したように、本実施の形態によれば、圧力検知部よりも下層に半導体装置を形成することが可能となったので、圧力センサ混載半導体装置のチップ面積を低減することができる。必要に応じて行われるCMP等の平坦化工程の適用、変更以外には、圧力検知部よりも下層の半導体装置には何ら影響を与えないので、半導体装置の製造方法には制約が生じない。これにより、微細化の進んだ高性能の半導体装置と圧力センサを混載することが可能となり、低電力化が実現できる。さらに、半導体装置の上層に圧力検知部を形成し、半導体装置を窒化膜とポリイミド膜で保護するので、従来技術よりも実装を簡易化することが可能となる。

【0093】

10

(実施の形態2)

本実施の形態は、本発明をデジタル回路、センサ信号を増幅するアンプや無線送受信回路等のアナログ回路、MONOS(Metal Oxide Nitride Oxide Semiconductor)型のフラッシュメモリ回路、静電容量型圧力センサ等を1チップに混載した圧力センサ混載半導体装置に適用したものである。

【0094】

図29に示すように、最上層配線である第5層配線22、下部電極22a上の酸化シリコン膜24がCMPにより平坦化され、第5層配線22、下部電極22aと同じ高さになっている。酸化シリコン膜24、第5層配線22、下部電極22aの上部には酸化シリコン膜47が形成され、その上部にダイヤフラムが形成されている。ダイヤフラム下の空洞25は窒素を主体とする常圧の気体で満たされており、内壁には二酸化シリコン膜46が形成されている。ダイヤフラムの一部となる金属膜はタングステン膜39であり、その表面が酸化されている。さらに、タングステン膜39の上層の膜は、酸化シリコン膜46であり、その上部には、窒化シリコン膜30と感光性ポリイミド膜31が形成されている。本実施の形態の圧力検知部は、前記実施の形態1の圧力検知部と比べて、平坦性に優れた構造となっている。

20

【0095】

次に、図30～図32を用いて、本実施の形態の圧力センサ混載半導体装置の製造方法を説明する。

【0096】

30

まず、図30に示すように、前記実施の形態1と同様の方法でシリコン基板1上に第1層配線14～第5層配線22および下部電極22aを形成した後、第5層配線22および下部電極22aの上層に、高密度プラズマを用いたプラズマCVD法で厚さ3 μ mの酸化シリコン膜24を堆積する。続いて、CMP法で酸化シリコン膜24を研磨することにより、第5層配線22および下部電極22aの表面を露出させる。続いて、酸化シリコン膜24、第5層配線22および下部電極22aの上部にCVD法で酸化シリコン膜47を堆積する。

【0097】

CMPの研磨速度の局所的な分布を考慮すると、予め第5層配線22および下部電極22aの窒化チタン膜を通常より厚くしておくことが望ましい(例えば0.25 μ m)。次に、酸化シリコン膜24にヴィアホール45を形成した後、酸化シリコン膜24上に、TEOSと酸素を原料とするプラズマCVD法で厚さ200nmのタングステン膜39を堆積する。前記実施の形態1のタングステンシリサイド膜と同様、このタングステン膜39も、引っ張り応力となるように成膜条件を定める。

40

【0098】

次に、図31に示すように、電子線描画装置を用いたリソグラフィー技術と通常のドライエッチング技術により、タングステン膜39に直径0.2 μ mの孔27を多数個形成する。前記実施の形態1と同様、i線リソグラフィー技術とレジストの熱フロー技術を併用して孔27を形成してもよいが、その直径は0.3 μ m以下程度に小さくしておくことが望ましい。また、必要に応じて、レジストからハードマスクに一旦パターンを転写し、ハ

50

ードマスクを用いてタングステン膜 39 に孔 27 を形成してもよい。ハードマスクとして酸化シリコン膜を用いた場合は、次の工程で、フッ酸により空洞 25 を形成する際、ハードマスクも同時に除去されるため、好都合である。

【0099】

次に、フッ酸を用いたエッチングにより、酸化シリコン膜 47 に空洞 25 を形成する。前記実施の形態 1 でも同様であるが、フォトレジスト膜をマスクとしてフッ酸によるエッチングを行うよりも、シリコン基板 1 の前面にタングステン膜 39 を残した段階でエッチングを行うのは、フォトレジスト膜のフッ酸耐性を考慮したためである。耐性の強いフォトレジストであれば、予めタングステン膜 39 を加工しておくことも可能である。前記実施の形態 1 と同様、タングステン膜 39 が引っ張り応力を有する効果で、本実施の形態でもエッチング後の水洗、乾燥の過程でスティッキングは生じなかった。

10

【0100】

次に、図 32 に示すように、TEOS とオゾンを原料とする常圧 CVD 法で厚さ 200 nm の酸化シリコン膜 46 を堆積する。この酸化シリコン膜 46 を堆積する段階の初期にタングステン膜 39 の露出部分が酸化され、その耐食性が向上する。また、酸化シリコン膜 46 を堆積する際、TEOS とオゾンを原料とする常圧 CVD 法を用いることにより、空洞 25 の内壁の周囲にも酸化シリコン膜 46 が形成される。空洞 25 の内壁の酸化シリコン膜 46 は、圧力検知部に過大な圧力が加わった場合に、ダイヤフラムのタングステン膜 39 と下部電極 22a が短絡するのを防止する効果がある。また、常圧 CVD 法で酸化シリコン膜 46 を形成することにより、空洞 25 の内部には、窒素を主体とする常圧の気体が充填される。その後の工程は、前記実施の形態 1 と同じである。以上、圧力検知部の製造方法について説明したが、参照キャパシタ部もほぼ同様の製造方法で作製される。

20

【0101】

本実施の形態の圧力センサ混載装置を多数個製造し、その特性を測定したところ、大気圧下での容量値のばらつきが前記実施の形態 1 よりも小さかった。第 5 層配線 22 および下部電極 22a の上層の酸化シリコン膜 24 を平坦化したため、その後のダイヤフラム形成における加工精度が向上したためと考えられる。その他の特性は、前記実施の形態 1 と同様であった。

【0102】

(実施の形態 3)

30

本実施の形態は、デジタル回路、センサ信号を増幅するアンプや無線送受信回路などのアナログ回路、EEPROM(Electrically Erasable and Programmable Read Only Memory)回路、静電容量型圧力センサなどを 1 チップに混載した圧力センサ混載半導体装置に適用したものである。

【0103】

図 33 ～図 37 を用いて、本実施の形態による圧力検知部の製造方法を説明する。まず、前記実施の形態 1 と同様の方法でシリコン基板 1 上に第 1 層配線 14 ～第 5 層配線 22 および下部電極 22a を形成した後、図 33 に示すように、シリコン基板 1 上に堆積した窒化シリコン膜 53 をパターニングし、下部電極 22a の上部と周囲とに窒化シリコン膜 53 を残す。続いて、シリコン基板 1 上に酸化シリコン膜 54 を堆積し、CMP 法でその表面を平坦化した後、酸化シリコン膜 54 の上部に酸化シリコン膜 55 を形成する。

40

【0104】

次に、図 34 に示すように、フォトレジスト膜をマスクにしたドライエッチングで下部電極 22a の周囲の酸化シリコン膜 54、55 を除去する。このとき、第 5 層配線 22 の上部にビアホール 45 を形成する。

【0105】

次に、図 35 に示すように、ダイヤフラムの一部となるタングステンシリサイド膜 26 をスパッタリング法で堆積する。このとき、基板温度を 300 °C 程度とすることなどにより、タングステンシリサイド膜 26 に 250 MPa 程度の引っ張り応力を持たせる。続いて、フォトレジスト膜をマスクにしたドライエッチングでタングステンシリサイド膜 26

50

の一部に孔 27 を形成する。

【0106】

次に、図 36 に示すように、フッ酸を用いて孔 27 の内部の酸化シリコン膜 54、55 をエッチングすることより、下部電極 22a とタングステンシリサイド膜 26 の間に空洞 25 を形成する。このエッチングは、窒化シリコン膜 53 とタングステンシリサイド膜 26 との間の酸化シリコン膜 54、55 をすべて除去すればよいので、時間制御が不要となる分、前記実施の形態 1、2 に比べて空洞 25 の形成が容易になる。

【0107】

次に、図 37 に示すように、タングステンシリサイド膜 26 上に酸化シリコン膜 56 を堆積して孔 27 を塞いだ後、酸化シリコン膜 56 をエッチングし、孔 27 の内部と周囲のみに酸化シリコン膜 56 を残す。その後の工程は、前記実施の形態 1 と同じである。

10

【0108】

本実施の形態の圧力センサ混載装置を多数個製造し、その特性を測定したところ、大気圧下での容量値のばらつきが前記実施の形態 1、2 よりも小さかった。前記実施の形態 1、2 とは異なり、フッ酸によるエッチングの時間に依存せずに、空洞 25 の容積を常に一定にできるためと考えられる。その他の特性は、前記実施の形態 1 と同様であった。

【0109】

(実施の形態 4)

本実施の形態は、デジタル回路、センサ信号を増幅するアンプや無線送受信回路などのアナログ回路、EEPROM 回路、静電容量型圧力センサなどを 1 チップに混載した圧力センサ混載半導体装置に適用したものである。

20

【0110】

図 38 は、本実施の形態による圧力検知部の断面図である。本実施の形態では、第 4 層配線 20 が最上層配線であり、下部電極 57 は、最上層配線よりも上層の導電層で構成されている。下部電極 57 を構成する導電層は、例えばスパッタリング法で堆積した厚さ 100 nm のタングステン膜、アルミニウム合金膜または銅膜などからなる。

【0111】

本実施の形態では、配線とは別に、下部電極 57 を構成する導電層が必要となるが、下部電極 57 を配線材料で構成する場合に比べて、下部電極 57 を薄く形成することができる。そのため、下部電極 57 より上層の絶縁膜を CMP 法で平坦化しなくとも、十分な平坦性を得ることができる。

30

【0112】

空洞 25 は、酸化シリコン膜 24 をフッ酸でエッチングすることによって形成する。なお、酸化シリコン膜 24 をフッ酸でエッチングすると、空洞 25 の下部（下部電極 57）と上部（タングステンシリサイド膜 26）とが貼り付いてしまうことがある。この場合は、下部電極 57 とタングステンシリサイド膜 26 との間の絶縁膜をポリイミド樹脂膜で構成し、酸素プラズマアッシングでポリイミド樹脂をエッチングすることにより、貼り付きを回避することができる。

【0113】

(実施の形態 5)

図 39 は、本実施の形態による圧力検知部の断面図である。本実施の形態では、第 4 層配線 20 が最上層配線であり、その上部には平坦化された酸化シリコン膜 58 が形成されており、酸化シリコン膜 59 の上部には、窒化シリコン膜 59 が形成されている。また、窒化シリコン膜 59 の上部には、最上層配線よりも上層の導電層で構成された電極 91 が形成されている。電極 91 は、例えばアルミニウム合金膜などからなり、ビアホール 92 を通じて第 4 層配線 20 に接続されている。

40

【0114】

電極 91 の上部には、厚さ 5 μ m の感圧導電膜 93 が形成されている。本実施の形態で用いた感圧導電性膜 93 は、有機材料からなる母材中に導電性粒子を分散させた材料からなる。より詳しくは、母材はエラストマーであり、導電性粒子はニッケルであるが、その

50

他の材料を用いてもよい。導電性粒子として炭素を用いた膜でも本実施の形態と同様の圧力センサ混載半導体装置を製造できる。

【0115】

本実施の形態では、予め裁断された感圧導電膜93を電極91を覆うように接着している。裁断された感圧導電膜93は片面に接着剤（図示せず）が塗布されており、保護シートを剥がすとその接着剤によってシリコン基板1の表面に固定することができる。接着剤は電極91を覆う部分にはないので、電極91と感圧導電性膜93との電氣的接続には影響がない。感圧導電性膜93を所定の位置に固定した後、感圧導電性膜93の上にアルミニウム合金膜94が形成される。このアルミニウム合金膜94がなくても圧力を検知することは可能であるが、これがあることにより、シリコン基板1の主面に垂直な方向の変形による感圧導電性膜93の抵抗率の変化に敏感になる。すなわち、感度の高い圧力センサとすることが出来る。同一の圧力センサ混載半導体装置に、このアルミニウム合金膜94を備えた圧力検知部と、備えない圧力検知部を共に混載することにより、広範囲の圧力の検知を可能とすることもできる。アルミニウム合金膜94には感光性ポリイミド膜31が形成されている。また、圧力検知部の上部は、感光性ポリイミド膜31が取り除かれ、開口32が形成されている。

10

【0116】

図40は、上記電極91の平面レイアウトの一例を示している。対向する電極91a、91b（または91c、91d）間の抵抗を測定し、圧力を知ることになる。電極91a、91b間の距離に比べて、電極91c、91d間の距離が短くなっている。予め圧力に応じた電極91a、91b間の抵抗の変化と、電極91c、91d間の抵抗の変化を測定し、メモリ部に格納しておくことで、より広範囲において高精度な圧力測定が可能となる。また、全く同じパターンの電極を多数個並べてその平均値や中心の値から圧力を求めることにより、部分的な故障の影響を受けずに圧力を測定することも可能である。さらに、図39に示すアルミニウム合金膜94の有無や電極（91a～91d）のパターンの工夫の他、同一の圧力センサ混載半導体装置上に厚さや材料の異なる2種類の感圧導電膜93を用いることにより、より広範囲で高精度な圧力検知を可能としてもよい。なお、本実施の形態の圧力センサ混載半導体装置では温度を前述した温度センサから得て、圧力の温度補正をしている。

20

【0117】

本実施の形態の圧力センサ混載装置を多数個製造し、その特性を測定したところ、大気圧から7kg/cm²の範囲で、再現性よく圧力を測定できた。また、耐久性にも優れていた。

30

【0118】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0119】

本発明は、圧力センサ混載半導体装置に適用することができる。

40

【図面の簡単な説明】

【0120】

【図1】本発明の一実施の形態である圧力センサ混載半導体装置の圧力検知部を含む要部断面図である。

【図2】本発明の一実施の形態である圧力センサ混載半導体装置の参照用キャパシタ部を含む要部断面図である。

【図3】本発明の一実施の形態である圧力センサ混載半導体装置のアナログ回路部を含む要部断面図である。

【図4】本発明の一実施の形態である圧力センサ混載半導体装置のフラッシュメモリ回路部を含む要部断面図である。

50

【図 5】本発明の一実施の形態である圧力センサ混載半導体装置のパッド部を含む要部断面図である。

【図 6】ワイヤボンディング後の圧力センサ混載半導体装置を示す平面図である。

【図 7】図 6 の A - A 線に沿った圧力センサ混載半導体装置の断面図である。

【図 8】図 6 の B - B 線に沿った圧力センサ混載半導体装置の断面図である。

【図 9】本発明の一実施の形態である圧力センサ混載半導体装置を実装したパッケージの断面図である。

【図 10】本発明の一実施の形態である圧力センサ混載半導体装置を実装したタイヤ空気圧モニタシステム用のプリント回路基板を示す平面図である。

【図 11】従来の圧力センサ混載半導体装置を実装したパッケージを備えるタイヤ空気圧モニタシステム用のプリント回路基板を示す平面図である。

【図 12】従来の圧力センサ混載半導体装置の圧力検知部を示す断面図である。

【図 13】本発明の一実施の形態である圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 14】図 13 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 15】図 14 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 16】図 15 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 17】図 16 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 18】図 17 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 19】図 18 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 20】図 19 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 21】図 20 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 22】図 21 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 23】図 22 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 24】本発明の一実施の形態である圧力センサ混載半導体装置の圧力-容量特性を示すグラフである。

【図 25】本発明の一実施の形態である圧力センサ混載半導体装置の加圧回数-容量変化特性を示すグラフである。

【図 26】本発明の一実施の形態である圧力センサ混載半導体装置の最上層配線のレイアウトを示す平面図である。

【図 27】本発明の一実施の形態である圧力センサ混載半導体装置の最上層配線のレイアウトを示す平面図である。

【図 28】本発明の一実施の形態である圧力センサ混載半導体装置の最上層配線のレイアウトを示す平面図である。

【図 29】本発明の他の実施の形態である圧力センサ混載半導体装置の圧力検知部を含む要部断面図である。

【図 30】本発明の他の実施の形態である圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 31】図 30 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 32】図 31 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 33】本発明の他の実施の形態である圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 34】図 33 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 35】図 34 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 36】図 35 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 37】図 36 に続く圧力センサ混載半導体装置の製造方法を示す断面図である。

【図 38】本発明の他の実施の形態である圧力センサ混載半導体装置の圧力検知部を含む要部断面図である。

【図 39】本発明の他の実施の形態である圧力センサ混載半導体装置の圧力検知部を含む要部断面図である。

10

20

30

40

50

【図 40】図 39 に示す圧力センサ混載半導体装置の電極レイアウトを示す平面図である。

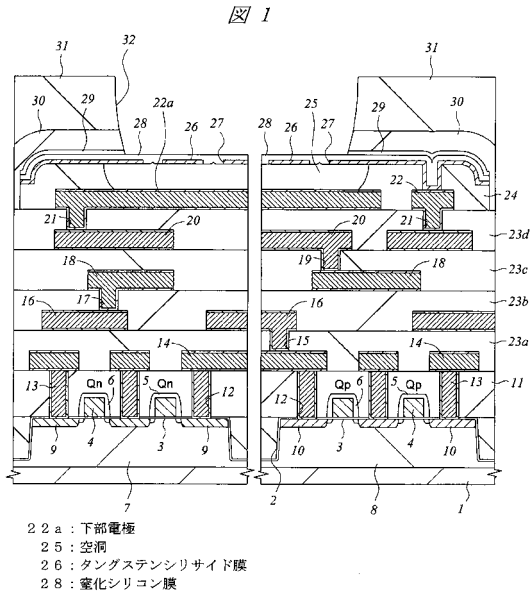
【符号の説明】

【0121】

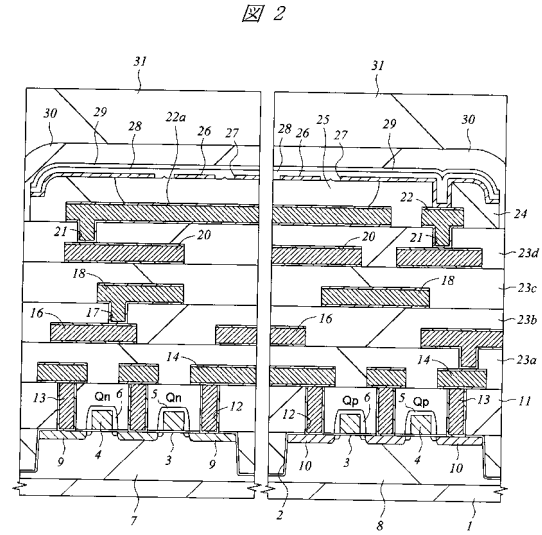
1	シリコン基板	
2	素子分離溝	
3	ゲート酸化膜	
4	ゲート電極	
4a	ポリサイド膜	
5	キャップ絶縁膜	10
6	サイドウォール	
7	p型ウエル	
8	n型ウエル	
9	拡散層（ソース、ドレイン）	
10	拡散層（ソース、ドレイン）	
11	酸化シリコン膜	
12	コンタクトホール	
13	プラグ	
14	第1層配線	
15	ビアホール	20
16	第2層配線	
17	ビアホール	
18	第3層配線	
19	ビアホール	
20	第4層配線	
21	ビアホール	
22	第5層配線	
22a、22b	下部電極	
23	層間絶縁膜	
24	酸化シリコン膜	30
25	空洞	
26	タングステンシリサイド膜	
27	孔	
28	窒化シリコン膜	
29	酸化シリコン膜	
30	窒化シリコン膜	
31	感光性ポリイミド膜	
32	開口	
33	金ワイヤ	
34	接続部	40
35	端部	
36、37	電源配線	
39	タングステン膜	
40	メモリゲート	
41	制御ゲート	
42	ONO膜	
43	サイドウォール	
44	キャップ絶縁膜	
45	ビアホール	
46、47	酸化シリコン膜	50

5 0	パッド	
5 1	パッド	
5 2	引き出し配線	
5 3	窒化シリコン膜	
5 4、5 5、5 6	酸化シリコン膜	
5 7	下部電極	
5 8	酸化シリコン膜	
5 9	窒化シリコン膜	
6 0	圧力センサ混載半導体装置	
6 1	ダイパッド部	10
6 2	リード	
6 3	筒	
6 4	モールド樹脂	
6 5	シリコーン樹脂	
6 6	樹脂膜	
6 7	パッケージ	
7 0	プリント回路基板	
7 1	ボタン電池	
7 2	端子	
7 3	水晶振動子	20
7 4	受動素子	
7 6	プリント回路基板	
7 7	ボタン電池	
7 8	端子	
7 9	パッケージ	
8 0	パッケージ	
8 1	シリコン基板	
8 2	酸化シリコン膜	
8 3	窒化シリコン膜	
8 4	下部電極	30
8 5	ダイヤフラム	
8 6	孔	
8 7	窒化シリコン膜	
8 8	酸化シリコン膜	
8 9	層間絶縁膜	
9 0	開口部	
9 1	電極	
9 1 a～9 1 d	電極	
9 2	ビアホール	
9 3	感圧導電膜	40
9 4	アルミニウム合金膜	
Q n、Q p	M O Sトランジスタ	
Q f	M O N O S型フラッシュメモリトランジスタ	

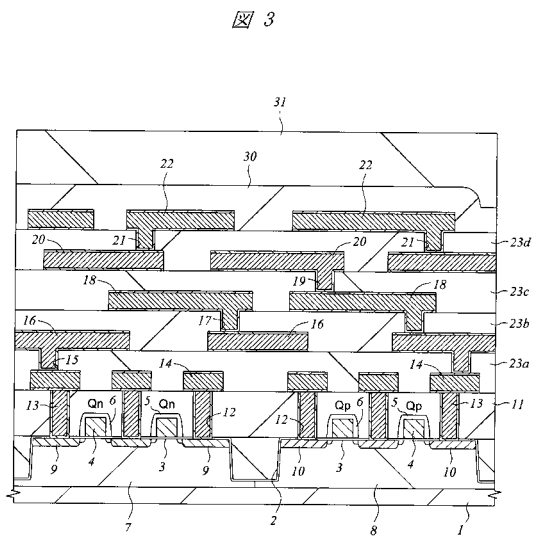
【図 1】



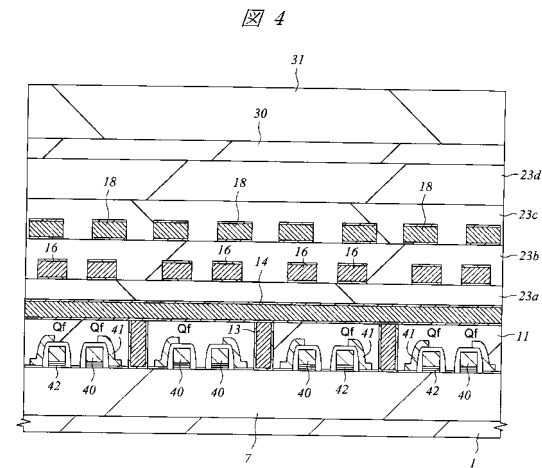
【図 2】



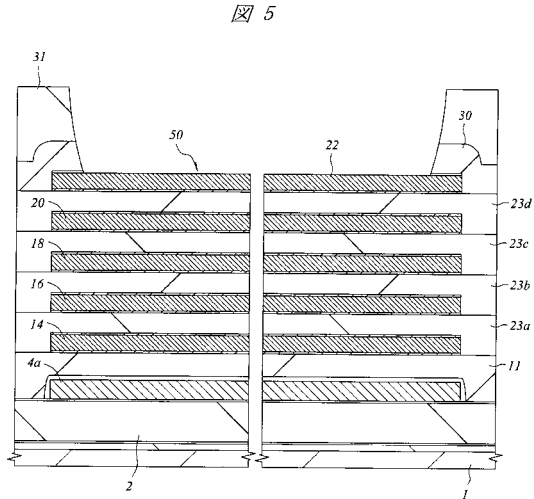
【図 3】



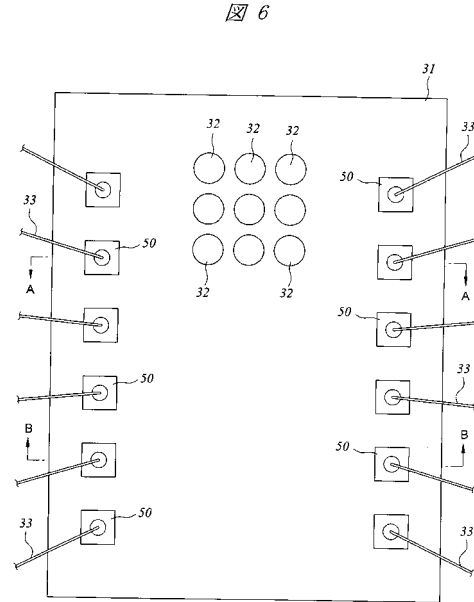
【図 4】



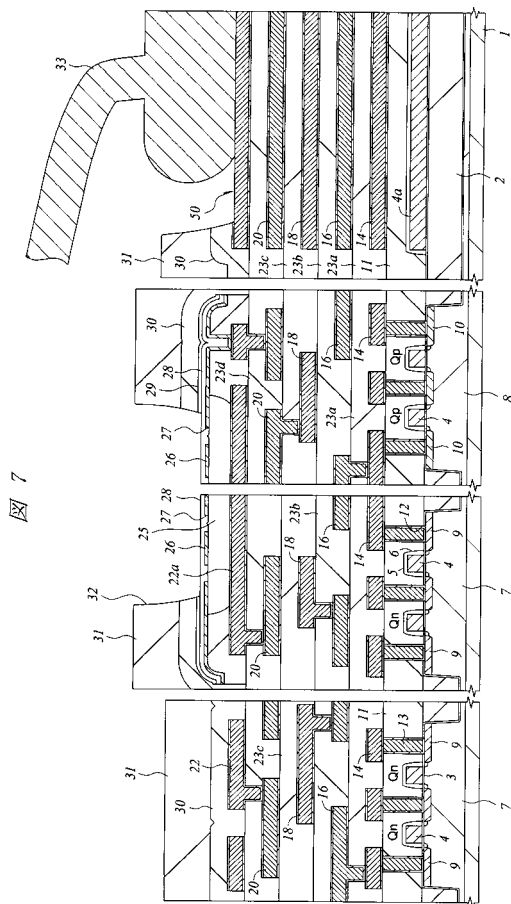
【図 5】



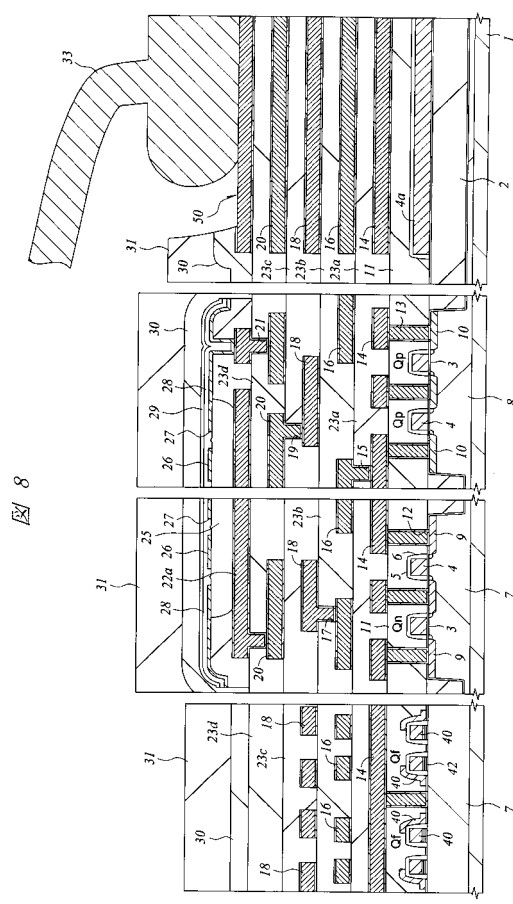
【図 6】



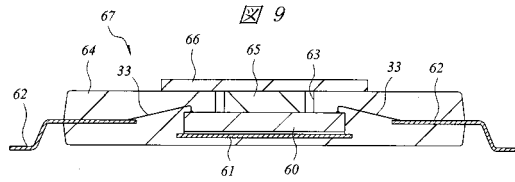
【図 7】



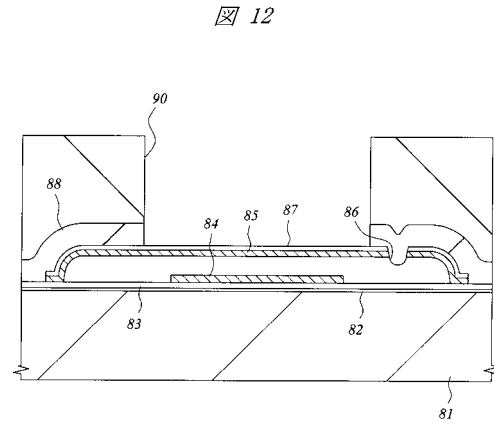
【図 8】



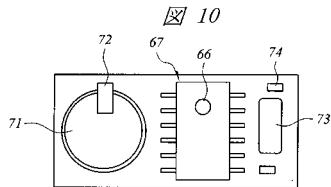
【図 9】



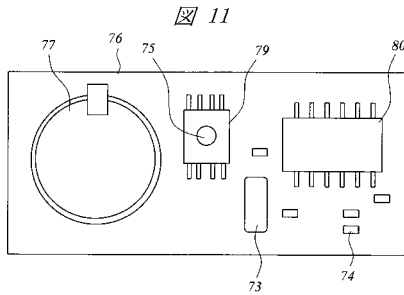
【図 12】



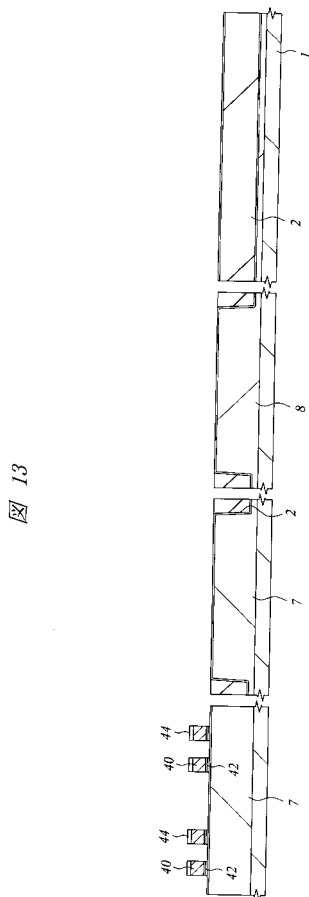
【図 10】



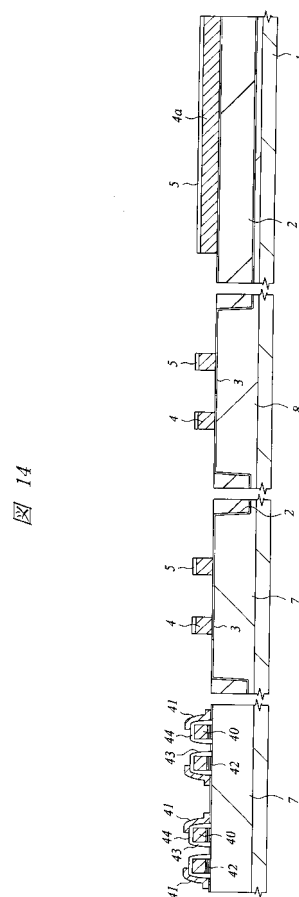
【図 11】



【図 13】

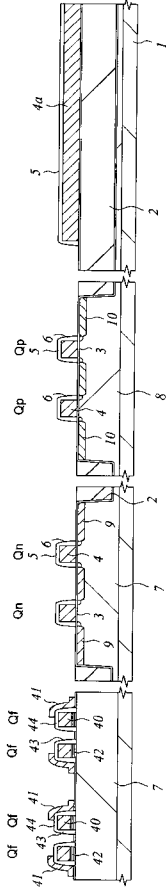


【図 14】



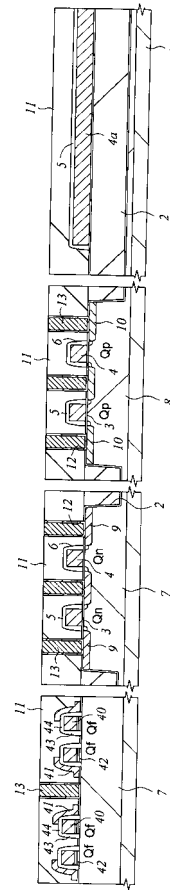
【図 15】

図 15



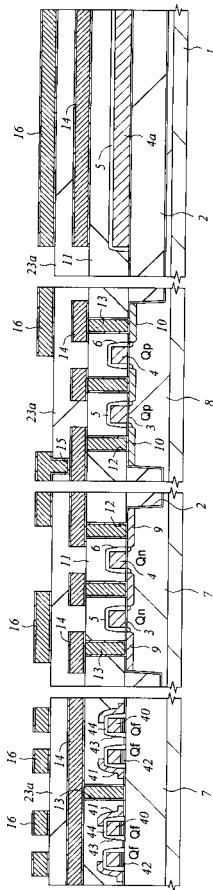
【図 16】

図 16



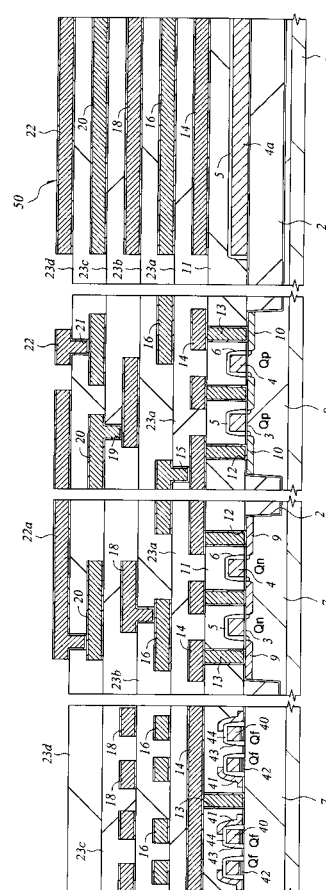
【図 17】

図 17

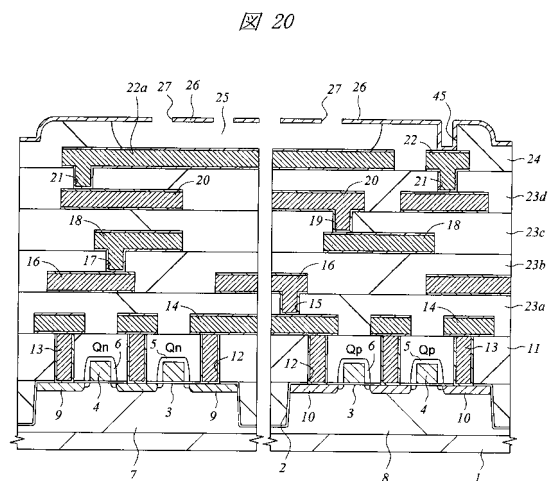


【図 18】

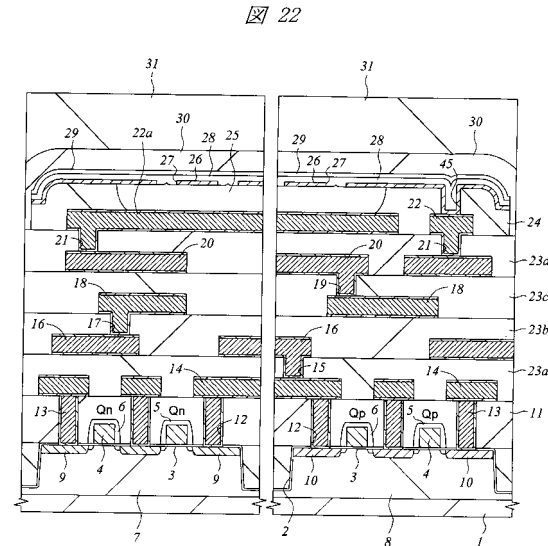
図 18



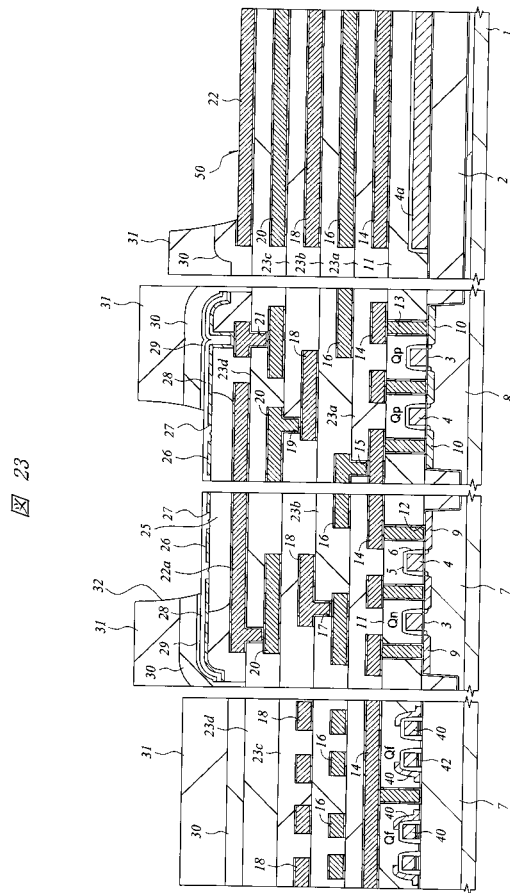
【図 20】



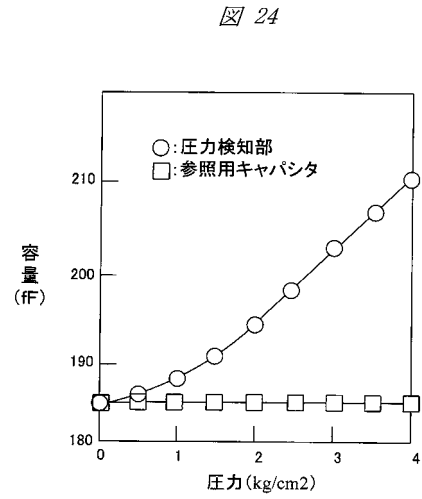
【図 2 2】



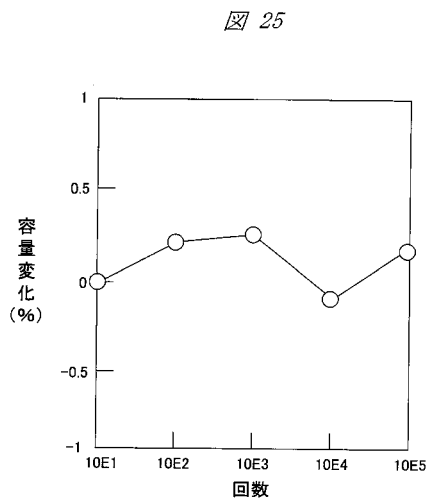
【図 2 3】



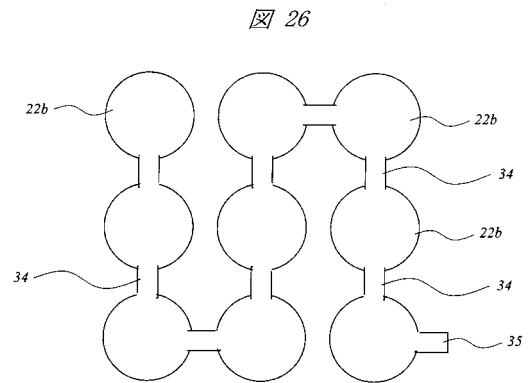
【図 2 4】



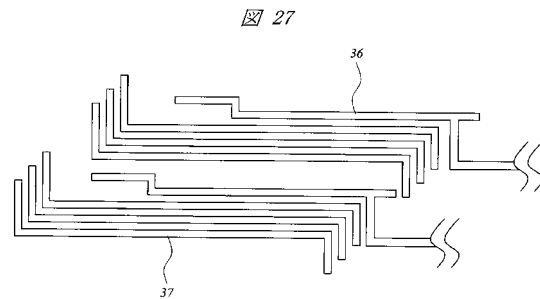
【図 2 5】



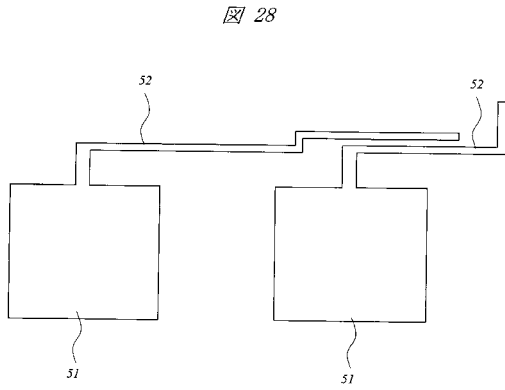
【図 2 6】



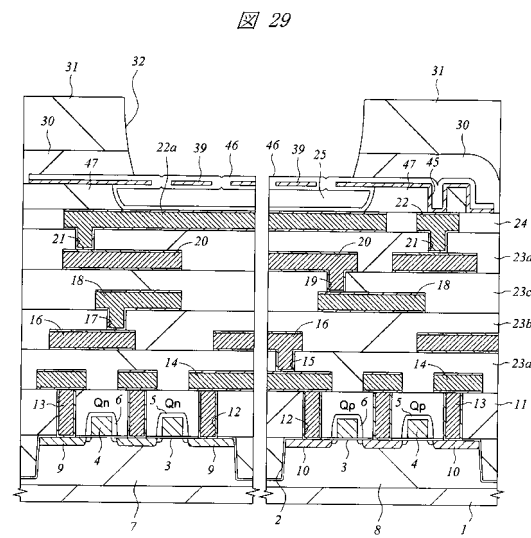
【図 2 7】



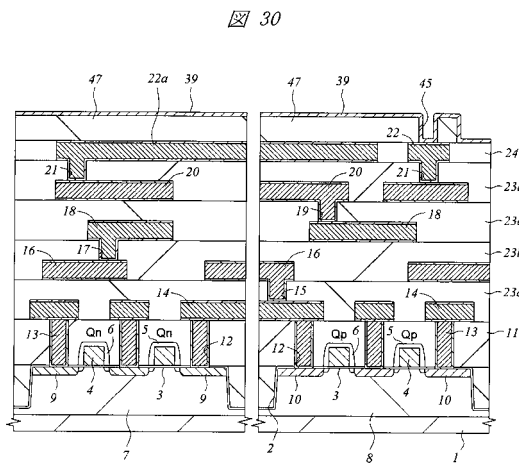
【図 28】



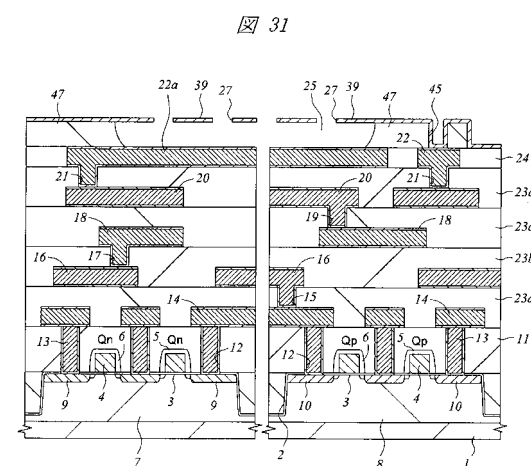
【図 29】



【図 30】

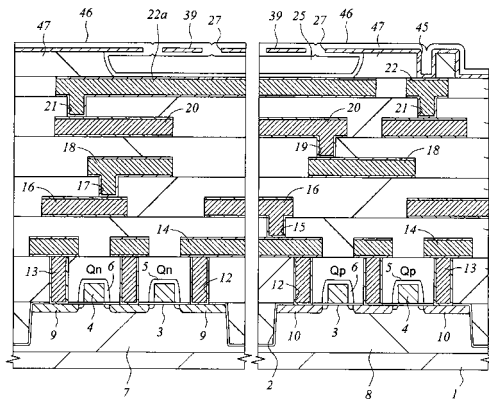


【図 31】



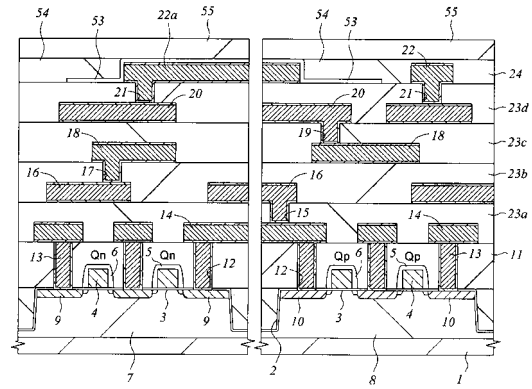
【図 3 2】

図 32



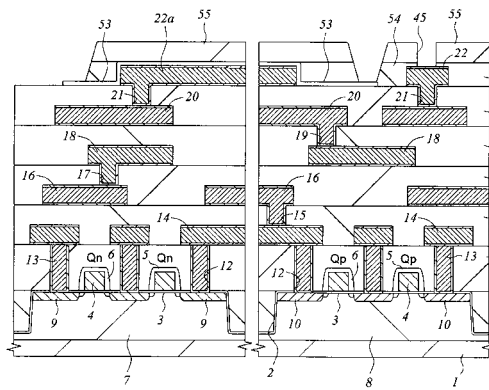
【図 3 3】

図 33



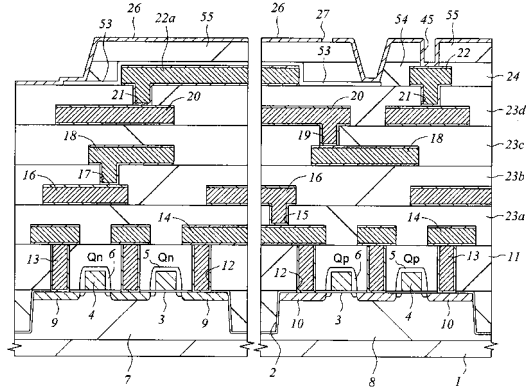
【図 3 4】

図 34



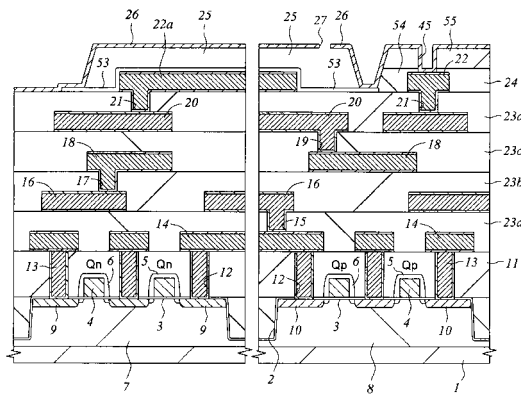
【図 3 5】

図 35



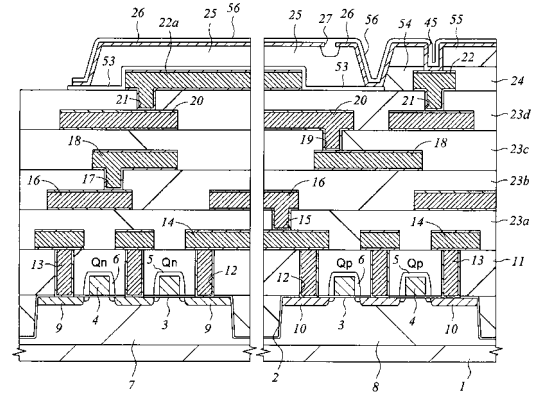
【図 36】

図 36



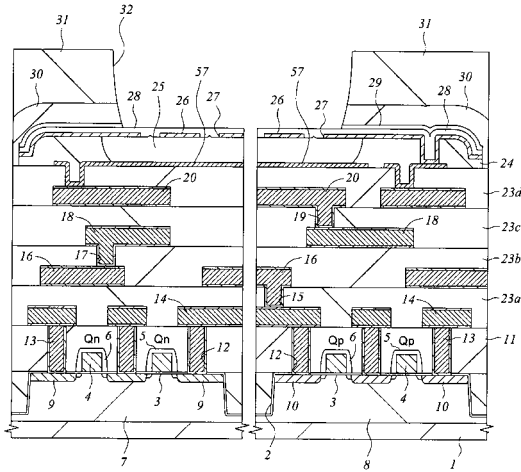
【図 37】

図 37



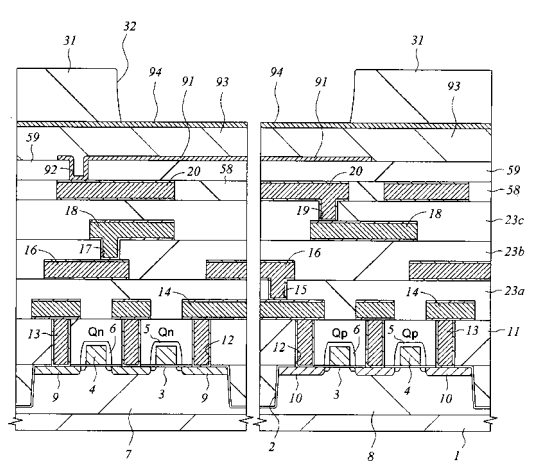
【図 38】

図 38



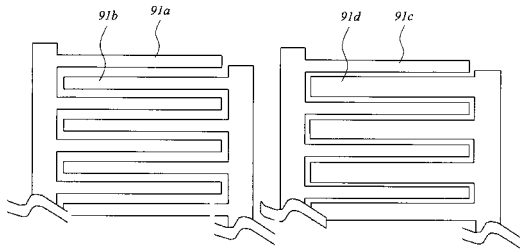
【図 39】

図 39



【図 40】

図 40



フロントページの続き

(51)Int.Cl. F I
B 6 0 C 23/04 N

審査官 續山 浩二

(56)参考文献 特開2002-365153 (JP, A)
特開2003-014569 (JP, A)
特開2004-268746 (JP, A)
特開2004-309282 (JP, A)
特開平10-013018 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 1 L 9 / 0 0
B 6 0 C 2 3 / 0 4
G 0 1 L 1 7 / 0 0
H 0 1 L 2 9 / 8 4