

公告本

409413

申請日期	87.9.10
案 號	87115079
類 別	H/L ²⁷ /108

A4
C4

(以上各欄由本局填註)

發明專利說明書

409413

一、發明 名稱	中 文	記憶體單元配置及其製造方法
	英 文	Memory-cell arrangement and its production method
二、發明 人	姓 名	1. 麥可畢安寇 (Michael Bianco) 2. 艾馬歷奇勃泰諾利 (Emmerich Bertagnolli) 3. 古斯達夫貝克曼 (Gustav Beckmann) 4. 赫穆特克羅斯 (Helmut Klose)
	國 籍	1. 義大利 2.-4. 皆屬德國
	住、居所	1. 德國慕尼黑 81737 恩達哈青格街 29 號 2. 德國慕尼黑 80799 諾登街 5 號 3. 德國拉德堡 01471 布肯路 1 號 4. 美國紐約 12603 波基西路 18 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	艾平 (Dr. Epping) 雷哈特 (Reinhardt)

裝

訂

線

409413

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權
德

1997年11月28日 19752968.2(主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

參考符號說明

- 1.....單晶之半導體區
- 2.....非晶層
- 2'.....由絕緣材料所構成之島
- 3.....多晶矽層
- 10...矽基體
- 11.....溝渠
- 11'.....邊緣
- 12.....電容器介電質
- 13.....由絕緣材料所構成之島
- 14.....電容器電極
- 15.....隔離結構
- 16.....閘極介電質
- 17.....字線
- 18.....字線隔離區
- 19.....源極 - / 汲極區
- 20.....共同之源極 - / 汲極區
- 21.....鈍化層
- 22.....位元線接觸區

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

在記憶體單胞配置中，特別是在DRAM配置中，資訊是以電荷之形式儲存在各別之記憶體單胞中。電荷因此是以反覆出現之方式儲存在記憶體電容器中。電荷只在有限之時間中保持在記憶體電容器中。在目前之DRAM配置中，在記憶體電容器中之保持時間大約是2至3秒。為了使所儲存之資訊保持較長之時間，則資訊須週期性地更新(refresh)。

已經顯示之事實是：記憶體單胞配置中之各別之記憶體單胞具有變動範圍很大之保持時間。這表示：在記憶體單胞所存在之保持時間是在很小之值(例如，10毫秒)以及一般之2至3秒之保持時間之間變動。此種誤差(其亦稱為可變之保持時間之誤差)是不能預見的。

本發明之目的是提供一種記憶體單胞配置，其中可使所儲存之電荷之保持時間的變動減小。此外，本發明亦提供此種記憶體單胞配置之製造方法。

依據本發明，上述目的是藉由申請專利範圍第1項之記憶體單胞配置以及申請專利範圍第6項之製造方法來達成。本發明之其它形式則敘述在申請專利範圍餘各項中。

在具有記憶體單胞之記憶體單胞配置中，其中在電容器電極之多晶矽半導體材料和單晶半導體區之間存在一種電性連接，則在此種多晶矽半導體材料和單晶半導體之間的連接區中配置一些由非晶(amorphous)材料所構成之島。這些由非晶材料所構成之島可穩定此種介於單晶

五、發明說明(>)

半導體區和電容器電極之多晶半導體材料之間的邊界面。這樣可防止：在製程期間(特別是在退火步驟時)介於多晶半導體材料和單晶半導體區之間的邊界面發生變化而一方面使磊晶生長由單晶半導體區之表面向內進入多晶之半導體材料中且另一方面晶粒生長由多晶半導體材料向內進入單晶半導體區中。

電性連接區中之這些島最好以平面方式配置成不規則之柵格。

這些島之外形可以是多樣化的。這些島可以特別是球形的，橢圓形的，旋轉式橢圓形或不規則之外形。各種不同之島特別是可以用不同方式構成。

本發明以下述之考慮作為開始：在記憶體單胞中須注意上述可變保持時間之誤差效應，其中在單晶之半導體區和電容器電極之多晶之半導體材料之間存在一種電性連接。須特別注意此種在單晶半導體基體中配置一個選擇電晶體之記憶體單胞，其源極 - / 汲極區中之一在電性上是與一個配置在溝渠中之電容器電極(其由多晶之半導體材料構成)相連接。在記憶體單胞中亦可出現一種堆疊式(stack)電容器。

研究結果已顯示，在單晶半導體區中具有可變保持時間誤差 - 效應之記憶體單胞已顯示了一些晶體干擾現象，此種晶體干擾現象由單晶半導體區之間的邊界面往外到達多晶之半導體材料。此種干擾現象可視為多晶之半導體材料和單晶之半導體區之間不穩定之邊界面所造成

五、發明說明(3)

之結果。

依據本發明，在多晶半導體材料和單晶半導體區之間配置一些由非晶材料所構成之島。這些島不但在單晶半導體區之表面上而且亦在多晶半導體材料之表面上產生一種機械應力。在這些表面上之機械應力於退火過程時可防止磊晶生長(其是由單晶半導體區之表面起始)以及可防止晶粒生長(其是由多晶之半導體材料起始)。由於此種由多晶之半導體材料起始之晶粒生長，則多晶之半導體材料中所存在之晶格干擾會傳送至單晶之半導體區中。由單晶之半導體區之表面起始而往內到達多晶之半導體材料之上述之磊晶生長會在單晶之半導體區中產生晶體干擾。此種干擾(其另外可造成偏移(offset)現象)在本發明之記憶體單胞配置中是藉由設置一些由非晶材料所構成之島來防止。

同時，這些由非晶材料所構成之島在多晶之半導體材料和單晶之半導體區之間可靠地提供一種電性接觸，這是因為在由非晶材料所構成之各島之間的電荷載體可穿過多晶之半導體材料而到達單晶之半導體區中。此外，摻雜物質在多晶之半導體材料和單晶之半導體區之間擴散是可能的。

絕緣材料(特別是 SiO_2 或 Si_3N_4)以及導電性材料(特別是鎢或其它高熔點之金屬)都適合作為上述由非晶材料所構成之島。

單晶之半導體區特別是半導體基體之一部份，其至少

五、發明說明(4)

在電性連接區中具有單晶矽。此外，單晶之矽晶圓或SOI-基體之單晶之矽層適合作為半導體基材。

由非晶材料所構成之島最好是由氧化物(特別是氧化矽)所構成。

在此種記憶體單胞配置之製造中，最好在電性連接區中於單晶之半導體區之表面上沈積一種預定厚度之非晶(amorphous)層，其上再沈積多晶之半導體材料。此種非晶層能可靠地使多晶之半導體材料以結晶方式生長。為了形成上述之由非晶材料所構成之島，則最好進行一種退火步驟，其中上述之非晶層劃分成上述之各島。

此種由先前已連貫之氧化層藉由退火程序而形成氧化物島在H. Schaber et al, IEDM 1987, 第170至173頁中與雙極性電晶體已共同為人所知，其中使用上述之退火步驟，以便使一種所謂本地(native)之氧化層或儲存式氧化層(其不可控制地形成在裸露之矽表面且在雙極性電晶體中於射極之表面上使射極和射極端之間的電阻值增大)分開。在雙極性電晶體中此種儲存式氧化層由於加熱而分開，則射極電阻可獲得改良。由非晶材料所構成之島對於單晶之半導體材料中干擾現象之產生可參考H. Schaber et al, IEDM 1987, 第170至173頁。

單晶之半導體區特別是選擇電晶體之源極區/汲極區。電容器電極特別是配置在溝渠中，溝渠是在半導體基體中進行蝕刻，電容器電極是所謂溝渠式電容器之一部份，溝渠式電容器除了電容器電極以外還有電容器介電

五、發明說明(5)

質以及半導體基體之與溝渠相鄰之部份(此部份是作為反電極)。電容器電極亦可配置在半導體基體之表面上且是堆疊電容器之一部份，而選擇電晶體是配置在半導體基體中。

各島之配置方式最好是使相鄰和島之間的間距對各島之直徑之比值最大是10:1，此種最大值最好是介於2:1與1:1之間。此種配置能可靠地使由各島所產生之電壓均勻地分佈於電性連接區中單晶半導體區之表面上且因此在整個區域上可防止干擾之形成。

平行於單晶半導體區之表面的這些島所具有之大小最好是在0.5和50nm之範圍中。相鄰各島之間的間距同樣是0.5至50nm。這些島在垂直於單晶半導體區之表面方向中所具有之厚度是介於0.5nm和15nm之間。這些島所在之表面可考慮作為單晶半導體區之表面。此種表面特別是可位於溝渠(電容器電極配置在溝渠中)之壁的上方區域中且垂直於半導體基體之主面而對準。

依據較佳之構造方式，平行於單晶半導體區之表面的這些島所具有之大小是在8 nm和20nm之範圍中。相鄰各島之間的間距大約是12nm。各島在垂直於單晶半導體區之表面方向中所具有之厚度大約是8 nm。

在製造此種記憶體單胞配置時，非晶層最好藉由熱氧化作用而形成。為了在一預定之厚度中可靠地控制非晶層之製造，則在氧化之大氣中須遵守一種預定之溫度和時間。此種氧化之大氣可藉由殘餘氣體中之氧，大氣(特

五、發明說明 (b)

別是空氣)中之氧來製成或藉由適當添加之與氧進行反應之氣體來製成。關於非晶層之層厚度的可控制性，則在相對較低之溫度(特別是在500至625°C之範圍中)中進行熱氧化作用是有利的。

形成各島時所用之退火過程最好是在950°C和1150°C之間的範圍中進行。於是可利用的是：在此種高溫中會形成一些自發性的島，其直徑和相互間之距離可由非晶層之厚度所預設。

由非晶材料所構成之這些島亦能以其它方式(例如，藉由非晶層之沈積，非晶層則藉助於統計上所形成之遮罩或藉助於電子束微影術(lithography)而被結構化)來形成。

本發明之顯示在圖式中之實施例以下將詳細描述，這些式未依比例繪出。圖式簡單說明如下：

第1圖係一種單晶之半導體區，其具有非晶層和多晶之半導體層。

第2圖係在藉由退火程序而形成各島之後具有多晶之半導體層之單晶之半導體區。

第3圖係具有記憶體單胞之記憶體單胞配置之切面圖，記憶體單胞各具有一個選擇電晶體及一個溝渠式電容器。

在單晶之半導體區1之表面上沈積一層非晶層2，其上再沈積一層多晶矽層3(請參閱第1圖)，其中單晶之半導體區1是單晶之矽晶圓或單晶之矽層之一部份，單

五、發明說明(7)

晶之矽層是配置在SOI-基體之埋入式絕緣層之表面上。

非晶層2之厚度控制成0.5nm而由SiO₂所形成。

為了形成非晶層2，則單晶之半導體區1之表面首先以氫氟酸來進行蝕刻而被淨化。於是本地之氧化物(亦稱為儲存式氧化物，其無意間不可控制地生長在裸露之半導體表面上)完全被去除。然後將此種具有未蝕刻之表面之單晶半導體區1放入爐(oven)中。在放入爐中時，裸露之半導體表面會受到周圍空氣之影響，於是又形成新的本地氧化物。這樣所形成之本地氧化物之厚度是和單晶之半導體區1之摻雜度，單晶之方位以及爐之負載過程之期間長短有關。

若單晶半導體區之摻雜度是 10^{17} cm^{-3} (砷)且爐之負載期間是1小時，則在單晶半導體區1之 $\langle 100 \rangle$ 方位中形成一種層厚度是0.3nm之本地氧化物。放入爐中時是在盡可能低之溫度(500℃)中進行。

在爐已有負載之後此爐須封閉且非晶層2由於準確之溫度控制和時間控間而形成其最後之厚度。在500℃及6分鐘之氧化時間中形成非晶層2(其總厚度是0.5nm)。非晶層2之一部份亦是此爐在負載期間所形成之本地氧化物。

在形成非晶層2時周圍之大氣是作為此爐中氧化之大氣，其在此爐封閉之後仍保留著且含有氧。

在形成一預定厚度之非晶層2之後，氧化之大氣被抽至爐中。爐則達到隨後沈積多晶矽層3時所需之沈積溫

五、發明說明 (8)

度 625°C 。此種沈積過程是使用一種含有矽之程序氣體 (例如, 矽烷 (Silan)) 來進行。此種程序氣體在沈積時不含有氧, 使非晶層 2 之厚度保持不變。多晶矽層 3 所沈積之厚度是 300nm 。

藉由溫度範圍在 950°C 和 1150°C 之間的退火過程使直至目前為止相連貫之非晶層 2 分開且因此而形成一些由非晶材料所構成之島 2'。這些島 2' 以平面方式配置在單晶半導體 1 之表面和多晶矽層 3 之間。各島 2' 是球形的, 橢圓形的或具有不規則之形狀。此外, 此種配置具有不均勻之覆蓋層。

若非晶層所形成之厚度是 0.5nm 且退火步驟是在 1100°C 時進行 5 秒鐘, 則產生一些島 2', 其基本上是橢圓形的且平行於單晶半導體區 1 之表面之大小是 8nm 至 20nm , 其中相鄰各區 2' 之間的距離是 12nm 。島 2' 在垂直於單晶區 1 之表面方向中之厚度是 8nm 。島 2' 之此種配置方式一方面在單晶之半導體區 1 和多晶矽層 3 之間可靠地提供一種熱力學上穩定之邊界面; 另一方面則允許和介於多晶矽層 3 以及單晶之半導體區 1 之間固定之電性接觸區在電性上相連接。

在多晶矽層 3 之沈積過程和形成島 2' 所用之退火步驟之間通常還有許多其它步驟。形成島 2' 所用之退火步驟特別是可同時與摻雜物質之活化及 / 或擴散所用之退火步驟同時進行。

形成非晶層 2 所用之氧化大氣亦可藉由適當之氧氣供

五、發明說明(9)

應而形成。特別是可使用一種具有真空閘(sluiice)之爐，其中在完成單晶之半導體區之後須供應氧氣。此外，可使用一種爐，其中須對單晶半導體區1之表面進行自由式(free)蝕刻以便去除因不可控制而生長之本地氧化物。然後藉由適當之氧氣供應而可控制地生長上述之非晶層2。下述之爐都適合作為本發明之爐，其中一種爐是可在其唯一之室中形成非晶層2和多晶矽層3，另一種爐是具有多個室。非晶層2亦可在同一溫度中形成，多晶矽層亦在此種溫度時進行沈積。在此種情況下非常精確地控制氧化之期間長短以及控制氧氣之供應等都是需要的。

為了製造此種具有記憶體單胞之記憶體單胞配置，其中記憶體單胞具有一個溝渠式電容器及一個選擇電晶體，則須在 $\langle 100 \rangle$ -方位之p-摻雜的矽基體10中藉由遮罩式非等向性蝕刻而形成深度為 $8\ \mu\text{m}$ 之溝渠11。

在溝渠11之表面上形成電容器介電質12。電容器介電質12是由第一 SiO_2 層， Si_3N_4 層及第二 SiO_2 層等三層所構成，總厚度是 $5\ \text{nm}$ 。

電容器介電質12在溝渠11之邊緣11'之上部區域中被去除，使得在邊緣11'之上部區域中露出單晶之矽基體10之表面。在邊緣11'之上部區域中於單晶之矽基體10之裸露的表面上(就像第1和第2圖中所示一樣)以可控制方式產生一層由 SiO_2 所構成之非晶層，其厚度為 $0.5\ \text{nm}$ 。在接下來之程序流程中由此非晶層產生一些由非晶材料所

五、發明說明(10)

構成之島13。為了形成上述之由 SiO_2 所構成之非晶層，則第1圖及第2圖中所述之方式是適用的。

藉由摻雜之多晶矽層之沈積，則隨後可沈積一些由多晶矽所構成之電容器電極14，這些電極14基本上是填入溝渠11中的。在由多晶矽所構成之電容器電極14和單晶之矽基體10之間在邊緣11'之上部區域中配置一種以厚度可控制之方式而生長之非晶層。於是上述之多晶矽層(其形成電容器電極14)受到控制而以多晶方式生長。

然後在LOCOS程序中或在淺溝渠隔離(STI)程序中形成一種隔離結構15，其圍繞二個相鄰溝渠11之邊緣11'的上部區域。

單晶之矽基體10之主面然後設置一種閘極介電質16，其是藉由熱氧化作用而形成且厚度是12.5nm。

然後產生字線17，其中在二個相鄰之溝渠11之間配置二條字線17。字線17由一種例如由 SiO_2 所構成之字線隔離區18所圍繞。

藉由磷及/或砷之植入，則在字線17和相鄰之溝渠11之間形成一個源極-汲極區19以及在此二條字線之間形成一個共同之源極-汲極區20。

退火步驟在1100°C時進行5秒鐘，其中一方面是源極-汲極區19,20之摻雜物質會被活性化且發生擴散作用，另一方是藉由非晶層之斷開(非晶層是配置在邊緣11'上)而形成一些由非晶材料所構成之島13。這些由非晶材料所構成之島13基本上是橢圓形的且平行於邊緣11'之方

五、發明說明(11)

向中所具有之尺寸是介於 8 nm 和 20 nm 之間。這些島在垂直於邊緣 11' 之方向中所具有之厚度大約是 8 nm 。相鄰之島 13 之間的距離大約是 12 nm 。這些島 13 之作用是：使介於電容器電極 14 和矽基體 10 中單晶之源極 - / 汲極區 19 之間的邊界面是穩定的且在源極 - / 汲極區 19, 20 和矽基體 10 中特別是絕不會有由此種邊界面而來之干擾。(第 3 圖中所示之島 13 是已大大地被放大。所示之切面事實上具有許多島 13)。

此種記憶體單胞配置然後以習知之方式製成。特別是須沈積一層鈍化層 21，其中須產生一種至上述共同之源極 - / 汲極區 20 所需之位元線接觸區 22。

在此種記憶體單胞配置中之每一記憶體單胞都具有一個溝渠式電容器和一個選擇電晶體。溝渠式電容器是由電容器電極 14，電容器介電質 12 以及周圍所圍繞之基體材料(其是 p-摻雜的)所構成。選擇電晶體是由源極 - / 汲極區 19, 20 以及配置於其間之閘極介電質 16 和一條相對應之字線 17 所構成。電容器電極 14 是與源極 - / 汲極區 19 中之一電性地相連接，其中在此種電性連接區中配置一些由非晶材料所構成之島 13。

五、發明說明()

參考符號說明

- 1.....單晶之半導體區
- 2.....非晶層
- 2'.....由絕緣材料所構成之島
- 3.....多晶矽層
- 10...矽基體
- 11.....溝渠
- 11'.....邊緣
- 12.....電容器介電質
- 13.....由絕緣材料所構成之島
- 14.....電容器電極
- 15.....隔離結構
- 16.....閘極介電質
- 17.....字線
- 18.....字線隔離區
- 19.....源極 - / 汲極區
- 20.....共同之源極 - / 汲極區
- 21.....鈍化層
- 22.....位元線接觸區

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱:)

記憶體單胞配置及其製造方法

一種具有複數個記憶體單胞之記憶體單胞配置，在記憶體單胞中在電容器電極(14)之多晶半導體材料和單晶之半導體區(19)之間存在一種電性連接區，在多晶半導體材料和單晶半導體區之間的此種電性連接區中配置一些由非晶材料所構成之島(13)。特別是可藉由熱氧化作用所形成之非晶層之加熱而斷開之方式來形成這些島(13)。此種記憶體單胞配置特別是一種具有溝渠式電容器之DRAM配置。

英文發明摘要(發明之名稱: Memory-cell arrangement and its production method)

In a memory-cell arrangement with memory-cells, in which an electrical connection exists between polycrystalline semiconductor material of a capacitor-electrode (14) and a mono-crystalline semiconductor-area (19). In the area of said electrical connection between said polycrystalline semiconductor material and said mono-crystalline semiconductor-area are arranged some island (13) made of amorphous material. Said islands (13) are generated especially from thermal breaking of an amorphous layer formed through thermal oxidation. Said memory-cell arrangement is especially a DRAM-device with a trench-capacitor.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

(88年7月修正)

1. 一種記憶體單胞配置，其具有複數個記憶體單胞，在單胞中在電容器電極(14)之多晶半導體材料和單晶之半導體區(19)之間存在一個電性連接區，其特徵為：
在此種電性連接區中在多晶之半導體材料(14)和單晶之半導體區(19)之間配置一些由非晶材料所構成之島(13)。
2. 如申請專利範圍第1項之記憶體單胞配置，其中須配置一些島(13)，使相鄰之島(13)之間的間距對此種島(13)之直徑之比(ratio)最大是10:1。
3. 如申請專利範圍第1或第2項之記憶體單胞配置，其中
 - 電容器電極(14)是記憶體電容器之一部份，電容器是以溝渠式電容器之方式構成，
 - 單晶之半導體區(19)是選擇電晶體之源極 - / 汲極區，選擇電晶體配置在半導體基體(10)中。
4. 如申請專利範圍第1或第2項之記憶體單胞配置，其中
 - 單晶之半導體區(19)至少在電性連接區中具有單晶矽，
 - 電容器電極(14)至少在電性連接區中具有多晶矽，
 - 島(13)具有 SiO_2 。
5. 如申請專利範圍第3項之記憶體單胞配置，其中
 - 單晶之半導體區(19)至少在電性連接區中具有單晶矽，

六、申請專利範圍

(88年7月修正)

1. 一種記憶體單胞配置，其具有複數個記憶體單胞，在單胞中在電容器電極(14)之多晶半導體材料和單晶之半導體區(19)之間存在一個電性連接區，其特徵為：
在此種電性連接區中在多晶之半導體材料(14)和單晶之半導體區(19)之間配置一些由非晶材料所構成之島(13)。
2. 如申請專利範圍第1項之記憶體單胞配置，其中須配置一些島(13)，使相鄰之島(13)之間的間距對此種島(13)之直徑之比(ratio)最大是10:1。
3. 如申請專利範圍第1或第2項之記憶體單胞配置，其中
 - 電容器電極(14)是記憶體電容器之一部份，電容器是以溝渠式電容器之方式構成，
 - 單晶之半導體區(19)是選擇電晶體之源極 - / 汲極區，選擇電晶體配置在半導體基體(10)中。
4. 如申請專利範圍第1或第2項之記憶體單胞配置，其中
 - 單晶之半導體區(19)至少在電性連接區中具有單晶矽，
 - 電容器電極(14)至少在電性連接區中具有多晶矽，
 - 島(13)具有 SiO_2 。
5. 如申請專利範圍第3項之記憶體單胞配置，其中
 - 單晶之半導體區(19)至少在電性連接區中具有單晶矽，

六、申請專利範圍

- 電容器電極(14)至少在電性連接區中具有多晶矽,
 - 島(13)具有 SiO_2 。
6. 如申請專利範圍第1或第2項之記憶體單胞配置, 其中島(13)在平行於單晶半導體區(19)之表面方向中所具有之尺寸是介於0.5和50nm之間且相鄰之島(13)之間的距離是介於0.5和50nm之間, 且各島在垂直於單晶半導體區(19)之表面方向中所具有之厚度是0.5nm至15nm。
7. 一種記憶體單胞配置之製造方法, 此種單胞配置具有複數個單胞, 在單胞中在電容器電極之多晶半導體材料以及單晶之半導體區之間形成一個電性連接區, 其特徵為:
- 在電性連接區中於單晶半導體區(1)之表面上形成一層預定厚度之非晶層(2),
 - 在非晶層(2)上沈積電容器電極之多晶之半導體材料(3),
 - 須進行一種退火步驟, 其中由非晶層(2)形成一些由非晶材料所構成之島(2')。
8. 如申請專利範圍第7項之方法, 其中須形成一些島(2'), 使相鄰之島(2')之間之距離對島(2')之直徑之比(ratio)最大是10:1。
9. 如申請專利範圍第7或第8項之方法, 其中
- 單晶半導體區(1)之表面是藉由蝕刻而裸露出來,
 - 非晶層(2)是藉由熱氧化作用而在預定之溫度和氧化時間中於氧化之大氣中形成,

六、申請專利範圍

- 電容器電極(14)至少在電性連接區中具有多晶矽,
 - 島(13)具有 SiO_2 。
6. 如申請專利範圍第1或第2項之記憶體單胞配置, 其中島(13)在平行於單晶半導體區(19)之表面方向中所具有之尺寸是介於0.5和50nm之間且相鄰之島(13)之間的距離是介於0.5和50nm之間, 且各島在垂直於單晶半導體區(19)之表面方向中所具有之厚度是0.5nm至15nm。
7. 一種記憶體單胞配置之製造方法, 此種單胞配置具有複數個單胞, 在單胞中在電容器電極之多晶半導體材料以及單晶之半導體區之間形成一個電性連接區, 其特徵為:
- 在電性連接區中於單晶半導體區(1)之表面上形成一層預定厚度之非晶層(2),
 - 在非晶層(2)上沈積電容器電極之多晶之半導體材料(3),
 - 須進行一種退火步驟, 其中由非晶層(2)形成一些由非晶材料所構成之島(2')。
8. 如申請專利範圍第7項之方法, 其中須形成一些島(2'), 使相鄰之島(2')之間之距離對島(2')之直徑之比(ratio)最大是10:1。
9. 如申請專利範圍第7或第8項之方法, 其中
- 單晶半導體區(1)之表面是藉由蝕刻而裸露出來,
 - 非晶層(2)是藉由熱氧化作用而在預定之溫度和氧化時間中於氧化之大氣中形成,

六、申請專利範圍

- 多晶之半導體材料(3)在爐(oven)中沈積而成，其中
先前至少已進行該熱氧化作用之一部份。

10.如申請專利範圍第9項之方法，其中熱氧化作用進行
時之溫度是較多晶半導體材料(3)沈積時之溫度還低。

11.如申請專利範圍第9項之方法，其中

- 單晶之半導體區(1)至少在電性連接區中具有矽，
- 電容器電極至少在電性連接區中具有多晶矽，
- 非晶層是由 SiO_2 所構成，
- 非晶層是在 500°C 至 625°C 時以及氧化期間為4至8分鐘此種條件下藉由熱氧化作用而形成，
- 退火過程是在 950°C 至 1150°C 時進行以便形成各島(2')。

12.如申請專利範圍第10項之方法，其中

- 單晶之半導體區(1)至少在電性連接區中具有矽，
- 電容器電極至少在電性連接區中具有多晶矽，
- 非晶層是由 SiO_2 所構成，
- 非晶層是在 500°C 至 625°C 時以及氧化期間為4至8分鐘此種條件下藉由熱氧化作用而形成，
- 退火過程是在 950°C 至 1150°C 時進行以便形成各島(2')。

13.如申請專利範圍第7或第8項之方法，其中各島(2')

在平行於單晶半導體區(1)之表面方向中所具有之尺寸
是在0.5至50nm之範圍中且相鄰之島(2')之間之距離是
在0.5至50nm之間，且各島在垂直於單晶半導體區(1)

六、申請專利範圍

- 多晶之半導體材料(3)在爐(oven)中沈積而成，其中
先前至少已進行該熱氧化作用之一部份。

10.如申請專利範圍第9項之方法，其中熱氧化作用進行
時之溫度是較多晶半導體材料(3)沈積時之溫度還低。

11.如申請專利範圍第9項之方法，其中

- 單晶之半導體區(1)至少在電性連接區中具有矽，
- 電容器電極至少在電性連接區中具有多晶矽，
- 非晶層是由 SiO_2 所構成，
- 非晶層是在 500°C 至 625°C 時以及氧化期間為4至8分鐘此種條件下藉由熱氧化作用而形成，
- 退火過程是在 950°C 至 1150°C 時進行以便形成各島(2')。

12.如申請專利範圍第10項之方法，其中

- 單晶之半導體區(1)至少在電性連接區中具有矽，
- 電容器電極至少在電性連接區中具有多晶矽，
- 非晶層是由 SiO_2 所構成，
- 非晶層是在 500°C 至 625°C 時以及氧化期間為4至8分鐘此種條件下藉由熱氧化作用而形成，
- 退火過程是在 950°C 至 1150°C 時進行以便形成各島(2')。

13.如申請專利範圍第7或第8項之方法，其中各島(2')

在平行於單晶半導體區(1)之表面方向中所具有之尺寸
是在0.5至50nm之範圍中且相鄰之島(2')之間之距離是
在0.5至50nm之間，且各島在垂直於單晶半導體區(1)

六、申請專利範圍

之表面方向中所具有之厚度是在0.5nm和15nm之間。

14. 如申請專利範圍第11項之方法，其中各島(2')在平行於單晶半導體區(1)之表面方向中所具有之尺寸是在0.5至50nm之範圍中且相鄰之島(2')之間之距離是在0.5至50nm之間，且各島在垂直於單晶半導體區(1)之表面方向中所具有之厚度是在0.5nm和15nm之間。

15. 一種記憶體單胞配置，其具有複數個記憶體單胞，在記憶體單胞中於電容器電極之多晶半導體材料和單晶之半導體區之間存在一種電性連接區，其特徵為：此種記憶體單胞配置是由申請專利範圍第7至第14項中任一項之方法所製成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

之表面方向中所具有之厚度是在0.5nm和15nm之間。

14. 如申請專利範圍第11項之方法，其中各島(2')在平行於單晶半導體區(1)之表面方向中所具有之尺寸是在0.5至50nm之範圍中且相鄰之島(2')之間之距離是在0.5至50nm之間，且各島在垂直於單晶半導體區(1)之表面方向中所具有之厚度是在0.5nm和15nm之間。

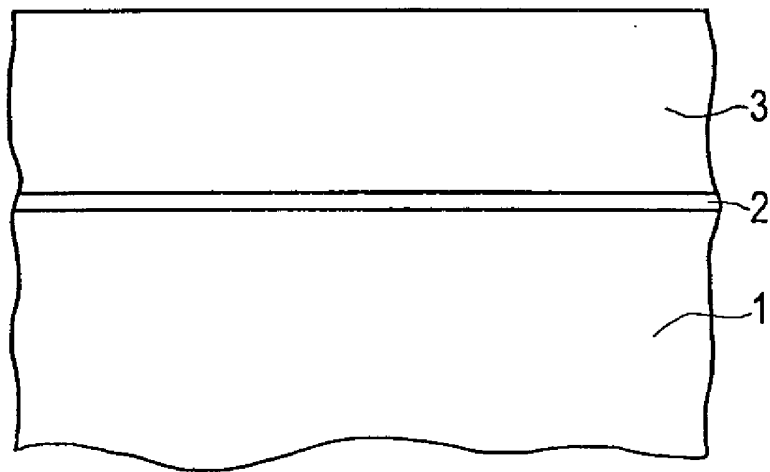
15. 一種記憶體單胞配置，其具有複數個記憶體單胞，在記憶體單胞中於電容器電極之多晶半導體材料和單晶之半導體區之間存在一種電性連接區，其特徵為：此種記憶體單胞配置是由申請專利範圍第7至第14項中任一項之方法所製成。

(請先閱讀背面之注意事項再填寫本頁)

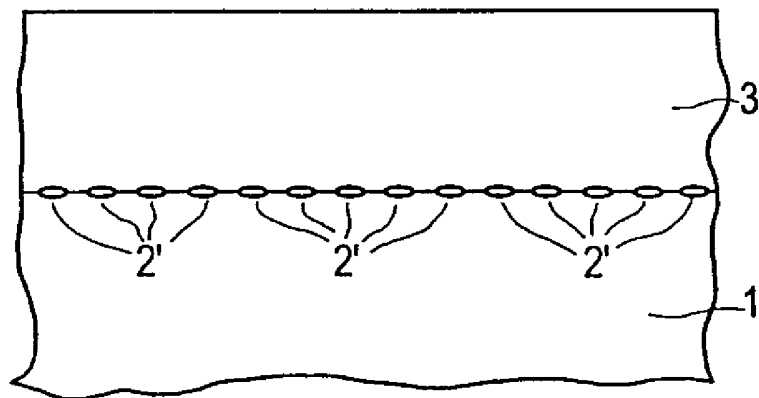
裝

訂

第 1 圖



第 2 圖



第 3 圖

