



(45)授权公告日 2018.04.06

审查员 刘畅

[illegible]

1. 一种用于取消预取请求的方法,所述方法包括:
基于程序流信息的评估来识别循环退出情形;以及
响应于所述识别到的循环退出情形而取消未决高速缓存预取请求,
其中所述循环退出情形是基于识别评估以退出程序循环的循环结束分支。
2. 根据权利要求1所述的方法,其中经取消的所述未决高速缓存预取请求不包含现有必要预取请求。
3. 根据权利要求1所述的方法,其进一步包括:
将已解析以结束程序循环的循环结束分支指令检测为所述循环退出情形;以及
取消除必要预取请求外的未决高速缓存预取请求。
4. 根据权利要求1所述的方法,其进一步包括:
检测未解析以结束程序循环的条件分支指令,其中继续对所述循环退出情形的监视。
5. 一种用于取消预取请求的方法,所述方法包括:
根据被呼叫函数而以推测方式预取数据;以及
响应于从所述被呼叫函数的函数退出而取消未决数据预取请求,
其中所述函数退出是基于检测从所述被呼叫函数的返回的执行。
6. 根据权利要求5所述的方法,其中未取消现有必要预取请求。
7. 根据权利要求5所述的方法,其中所述函数退出是基于检测从所述被呼叫函数的返回的推测性执行。
8. 一种用于取消预取请求的设备,所述设备包括:
循环数据地址监视器,其经配置以基于程序循环中的存储器存取指令的重复执行而确定数据存取步幅;
数据预取逻辑,其经配置以根据所述数据存取步幅而以推测方式发出预取请求;以及
停止预取电路,其经配置以响应于识别到的循环退出而取消未决预取请求,
其中所述识别到的循环退出是基于识别评估以退出所述程序循环的循环结束分支。
9. 根据权利要求8所述的设备,其中所述循环数据地址监视器包括:
步幅电路,其经配置以监视所述存储器存取指令的重复执行,从而针对所述存储器存取指令的每一执行来确定操作数地址的差,其中所述操作数地址的所述差为步幅地址值;
以及
加法函数电路,其经配置以将所述步幅地址值与最近执行的存储器存取指令的所述操作数地址相加以确定下一操作数地址。
10. 根据权利要求8所述的设备,其中未取消现有必要预取请求。
11. 根据权利要求8所述的设备,其中所述停止预取电路经进一步配置以将已解析以结束所述程序循环的循环结束分支指令检测为所述识别到的循环退出,且取消除必要预取请求外的未决预取请求。
12. 根据权利要求8所述的设备,其中所述停止预取电路经进一步配置以检测未解析以结束所述程序循环的条件分支指令,且其中所述程序循环继续直到识别到所述循环退出为止。
13. 根据权利要求8所述的设备,其中所述停止预取电路经进一步配置以基于弱预测性循环退出而不取消未决预取请求。

14. 一种编码有计算机可读程序数据和代码的计算机可读非暂时性介质, 所述程序数据和所述代码在执行时可操作以进行以下步骤:

基于程序流信息来识别循环退出情形; 以及

响应于所述识别到的循环退出情形而取消未决高速缓存预取请求,

其中所述循环退出情形是基于识别评估以退出程序循环的循环结束分支。

15. 一种用于取消预取请求的设备, 其包括:

用于基于程序循环中的存储器存取指令的重复执行而确定数据存取步幅的装置;

用于根据所述数据存取步幅而以推测方式发出数据高速缓存预取请求的装置; 以及

用于响应于识别到的循环退出而取消未决数据高速缓存预取请求的装置,

其中所识别到的循环退出是基于识别评估以退出所述程序循环的循环结束分支。

用于取消对循环的数据预取请求的方法和设备及介质

技术领域

[0001] 本发明大体上涉及处理系统的方面,且明确地说,涉及用于减少由数据预取引起的高速缓存污染的方法和设备。

背景技术

[0002] 例如蜂窝式电话、膝上型计算机、个人数据助理(PDA)和其类似者的许多便携式产品利用执行例如通信和多媒体程序的程序的处理系统。用于这些产品的处理系统可包含多个处理器、包含用于存储指令和数据的多阶高速缓冲存储器的复杂存储器系统、控制器、例如通信接口的外围装置,和配置(例如)于单一芯片上的固定功能逻辑块。同时,便携式产品具有呈电池形式的有限能量源,所述电池常常为支持由处理系统进行的高性能操作所需的。为了增加电池寿命,需要尽可能高效地执行这些操作。许多个人计算机也经开发而具有高效设计以在总能量消耗减少的情况下操作。

[0003] 为在执行程序时提供高性能,可使用基于存储器参考的空间区域性的概念且通常用以改善处理器性能的数据预取。通过从高速缓冲存储器预取在接近已提取数据元素或通过步幅地址增量或间接指标相关且可能用于未来存取中的地址处的多个数据元素,可减小高速缓存未命中率。高速缓存设计通常通过针对个别数据元素提取而提取数据的高速缓存行来实施一种形式的预取。硬件预取器可通过以推测方式预取数据的一或多个额外高速缓存行来扩充此操作,其中预取定址可基于顺序、步幅或指标信息而形成。用于存储器密集型工作负载(例如,处理大数据阵列)的此硬件预取器操作可显著减少存储器延时。然而,数据预取并非不具有其缺点。例如,在用于处理数据阵列的软件循环中,数据预取器电路预取待用于循环的未来反复中的数据,所述未来反复包含循环的最后反复。然而,将不使用为循环的最后反复而预取的数据,且由于在高速缓冲存储器中存储将不被使用的此数据而发生高速缓存污染。当展开循环时,高速缓存污染问题会加重。

发明内容

[0004] 在本发明的若干方面当中,本发明认识到,提供用于预取的更高效方法和设备可改善处理器系统中的性能且降低其中的功率要求。为这些目的,本发明的一实施例提出一种用于取消预取请求的方法。基于程序流信息的评估来识别循环退出情形。响应于识别到的循环退出情形而取消未决高速缓存预取请求。

[0005] 另一实施例提出一种用于取消预取请求的方法。根据被呼叫函数而以推测方式预取数据。响应于从被呼叫函数的函数退出而取消未决数据预取请求。

[0006] 另一实施例提出一种用于取消预取请求的设备。循环数据地址监视器经配置以基于程序循环中的存储器存取指令的重复执行而确定数据存取步幅。数据预取逻辑经配置以根据数据存取步幅而以推测方式发出预取请求。停止预取电路经配置以响应于识别到的循环退出而取消未决预取请求。

[0007] 另一实施例提出一种编码有计算机可读程序数据和代码的计算机可读非暂时性

媒体。基于程序流信息的评估来识别循环退出情形。响应于识别到的循环退出情形而取消未决高速缓存预取请求。

[0008] 另一实施例提出一种用于取消预取请求的设备。利用用于基于程序循环中的存储器存取指令的重复执行而确定数据存取步幅的装置。利用用于根据数据存取步幅而以推测方式发出预取请求的装置。也利用用于响应于识别到的循环退出而取消未决预取请求的装置。

[0009] 应理解,对于所属领域的技术人员来说,本发明的其它实施例将从以下详细描述而变得容易显而易见,在以下详细描述中,以说明的方式来展示和描述本发明的各种实施例。应认识到,本发明能够实践其它和不同实施例且其若干细节能够在其它各方面加以修改,以上所有皆不脱离本发明的精神和范围。因此,应将图式和详细描述视为本质上说明性而非限制性的。

附图说明

[0010] 借助于实例(且并非限制)来说明本发明的各种方面,在随附图式中,其中:

[0011] 图1说明可有利地使用本发明的一实施例的示范性处理器系统;

[0012] 图2A说明用于在检测到循环结束分支后即取消未决非必要数据预取请求的过程;和

[0013] 图2B说明用于在检测到函数返回后即取消未决非必要数据预取请求的过程;和

[0014] 图3说明具有处理器复合体的便携式装置的特定实施例,所述处理器复合体经配置以取消选定未决数据预取请求以减少高速缓存污染。

具体实施方式

[0015] 下文结合随附图式所阐述的详细描述希望作为对本发明的各种示范性实施例的描述,且不希望表示可实践本发明的仅有实施例。所述详细描述包含出于提供对本发明的透彻理解的目的的特定细节。然而,对于所属领域的技术人员将显而易见,本发明可在无这些特定细节的情况下实践。在一些例子中,以框图形式来展示众所周知的结构和组件,以避免使本发明的概念模糊。

[0016] 图1说明有利地使用本发明的一实施例的示范性处理器系统100。所述处理器系统100包含处理器110、高速缓冲存储器系统112、系统存储器114以及输入和输出(I/O)系统。例如,高速缓冲存储器系统112包括1阶指令高速缓冲存储器(Icache)124、存储器控制器126和1阶数据高速缓冲存储器(Dcache)128。高速缓冲存储器系统112也可包含2阶统一高速缓冲存储器(未图示)或特定实施方案环境所需要的其它高速缓冲存储器组件。系统存储器114提供对未见于Icache 124或Dcache 128中的指令和数据的存取。注意到,高速缓冲存储器系统112可与处理器110集成,且也可包含呈阶层架构组织形式的多阶高速缓冲存储器。I/O系统包括与处理器110介接的多个I/O装置,例如I/O装置。

[0017] 本发明的实施例可合适地用于具有条件分支指令的处理器中。例如,处理器110包括指令管线120、数据预取逻辑121、预测逻辑电路122和堆迭逻辑123。指令管线120由一系列级构成,例如,提取和预取级130、解码级131、发出级132、操作数提取级133、执行级134(例如,用于执行加载(Ld)和存储(St)指令),和完成级135。所属领域的技术人员将认识到,

取决于处理器的操作频率和每一级中所需的操作的复杂性,指令管线120中的每一级130到135可包括数个额外管线级。例如,执行级134可包含一或多个管线级,所述一或多个管线级对应于一或多个指令执行级电路,例如,加法器、乘法器、逻辑运算、加载和存储操作、移位和旋转操作,和具有更大或更小复杂性的其它功能电路。例如,当执行加载指令时,其向Dcache 128请求数据,且如果所请求的数据不存在于Dcache中,那么将提取请求发出到下一阶高速缓冲存储器或系统存储器。将此提取请求视为必要请求,这是因为在加载指令的状况下所述请求直接响应于指令的执行。

[0018] 预取请求为响应于例如对程序循环的检测的程序流信息而产生的请求,所述程序循环在循环中具有一或多个加载指令且加载地址基于(例如)步幅。数据预取逻辑121利用可基于经检测循环的数个反复的此程序流信息,以在发出预取请求之前更准确地识别加载指令的操作数地址的必要使用模式。当检测模式时,插入填充请求。处理器110可操作以通过使用与在处理器管线中追踪的请求相关联的额外旗标来区分必要请求与预取请求。此旗标也可随请求传播到每一未处理高速缓存行填充可识别为预取填充抑或必要填充的高速缓冲存储器。管线级中的每一者可在不脱离本文中所描述的预取请求取消方法和设备的情况下具有变化的实施方案。

[0019] 为了最小化可能在程序所需的数据不在相关联的1阶Dcache 128中的情况下发生的延迟,提取和预取级130记录与在经检测程序循环中执行的一或多个存储器存取指令相关联的程序流信息。程序信息可包含来自解码级131的如下指示:已接收加载指令,且在执行之前用于加载指令的操作数地址信息可在管线级(例如,操作数提取级133或执行级134)处可用。数据预取逻辑121在加载地址变得可用于检测模式时监视所述加载地址。在(例如)通过在循环的三个或三个以上反复期间监视加载指令来确定具有可接受可信度的模式之后,在于循环中再次遇到加载指令时之前,发出对预期数据的预取请求。此推测性预取请求确保在执行级134需要时,所需数据在1阶Dcache中可用。加载和存储执行级134接着更有可能直接从1阶Dcache存取所需数据,而无须等待从存储器阶层架构中的较高阶层存取数据。

[0020] 数据预取逻辑121也可包含数据高速缓存循环数据地址监视器以确定数据存取步幅。数据预取逻辑121接着以推测方式发出具有根据数据存取步幅设定的操作数地址的预取请求。例如,数据预取逻辑121可包含步幅电路119,所述步幅电路经配置以监视加载指令的重复执行,从而确定加载指令的每一执行的操作数地址之间的差,所述差表示步幅值。步幅电路119也可包含加法函数,所述加法函数经配置以将所确定的步幅值与最近执行的加载指令的操作数地址相加以产生下一操作数地址。与将步幅值作为预测地址相对比,已预取条件分支指令使用分支预测逻辑(例如,含于预测逻辑电路122中)以预测是否将采用条件分支且预测分支地址。已提取非分支指令前进到解码级131以供解码,在发出级132中经发出以供执行,在执行级134中经执行,且在完成级135中被淘汰。

[0021] 预测逻辑电路122包括用于监视事件的检测逻辑电路146、筛选器150和条件历史表152。在一个实施例中,假定大部分条件分支指令通常针对软件循环的大多数反复而使其条件解析为同一值。

[0022] 在一个实施例中,检测逻辑电路146充当软件循环检测器,所述软件循环检测器基于用于如关于图2A所描述的软件循环中的条件分支指令的动态特性而操作。检测逻辑电路146也可检测从被呼叫软件函数的退出,如关于图2B所描述。

[0023] 在具有单一进入点和单一退出点的软件循环中,循环结束分支通常为针对循环的除最后反复外的所有反复而分支返回到软件循环的开始处的条件分支指令,所述最后反复退出软件循环。检测逻辑电路146可具有关于软件循环的检测的多个实施例,如下文更详细地且在题为“通过循环结束分支抑制分支历史寄存器的更新(Suppressing Update of a Branch History Register by Loop-Ending Branches)”、让渡给本申请案的受让人的美国专利申请案11/066,508中所描述,所述案的全文以引用的方式并入本文中。

[0024] 根据一个实施例,检测逻辑电路146识别条件分支指令,所述条件分支指令具有小于条件分支指令地址的分支目标地址,且因此被视为反向分支,且假定标记软件循环的结束。由于并非所有反向分支皆为循环结束分支,因此存在可能需要由(例如)额外监视机制解决的某种程度的不准确性。

[0025] 又,如关于图2B所描述,可检测函数返回指令(通常命名为RET)。根据一个实施例,对函数返回的检测适用于触发任何非必要预取请求的预取消除。也响应于程序流信息(例如,检测到循环退出)而进行预取请求的取消。

[0026] 在另一实施例中,在简单循环中可通过辨识同一分支指令的重复执行而检测循环结束分支。通过将最后反向分支指令的程序计数器值存储于特殊用途寄存器中和比较此所存储值与下一反向分支指令的指令地址,可在两个指令地址匹配时辨识出循环结束分支。由于代码可包含软件循环内的条件分支指令,因此循环结束分支指令的确定可变得更为复杂。在此情形下,可以硬件例示多个特殊用途寄存器以存储每一条件分支指令的指令地址。通过与所有所存储值比较,可针对循环结束分支确定匹配。通常,循环分支为具有从程序计数器(PC)的固定位移的条件反向直接分支。这些类型的分支将不需要用于检测循环退出的地址比较。实情为,一旦基于条件反向直接分支检测到程序循环,便从分支的谓词的解析来确定循环退出。例如,如果谓词解析到用于返回到循环的真条件,那么将在谓词解析到假条件时指示循环退出。为了使得将存在未决预取,程序循环将已执行数次以触发预取硬件。数据预取逻辑121需要数次暖机必要加载以在其开始预取之前辨识模式。

[0027] 又,也可由编译器或组译器静态标记循环结束分支。例如,在一个实施例中,编译器通过使用唯一操作码或通过设定仅用于循环结束分支的特殊格式位字段来产生特定类型的分支指令。接着可易于在管线执行期间(例如,在管线中的解码级期间)检测循环结束分支。

[0028] 预测逻辑电路122包括筛选器150、条件历史表(CHT) 152和相关联的监视逻辑。在一个实施例中,监视过程保存预先指定的条件事件的状态信息,所述条件事件已在具有适合于预测的条件分支指令的软件循环的一或多次先前执行中发生。为支持预测逻辑电路122,筛选器150确定是否已接收已提取条件分支指令且是否启用CHT 152。选择 CHT 152中的条目以提供在指令通过管线时(例如)由管线级132到135追踪的预测信息。

[0029] CHT 152条目记录适用于预测执行的已提取指令的执行历史。例如,每一CHT条目可合适地包括来自执行状态计数器的计数值与状态位的组合,所述状态位为到预测逻辑的输入。CHT 152也可包括索引逻辑以允许已提取条件分支指令索引到CHT 152中与已提取指令相关联的条目,这是因为多个条件分支指令可存在于软件循环中。例如,通过对来自软件循环的顶部的条件分支指令的数目进行计数,所述计数可用作CHT 152的索引。预测逻辑电路122包含循环计数器,所述循环计数器用于对软件循环的反复进行计数且确保执行状态

计数器已有机会饱和于表示(例如)强不执行状态的指定计数值。如果执行状态计数器已饱和,那么预测逻辑经启用以对相关联的已提取条件分支指令在循环的下一反复上的分支方向作出预测。

[0030] 预测逻辑电路122产生分别在追踪寄存器发出(TrI) 162、追踪寄存器操作数提取(TrO) 163、追踪寄存器执行(TrE) 164和追踪寄存器完成(TrC) 165中在发出级132、操作数提取级133、执行级134和完成级135处追踪的预测信息。当(例如)在处理器管线中的执行级134期间检测到具有指示循环结束的失败谓词或函数返回的条件反向分支时,产生取消未决预取请求信号155。在另一实施例中,基于由分支预测逻辑产生的条件分支预测而取消未决预取请求。每一条件分支通常由分支预测逻辑预测采用或不采用所述条件分支。例如,在预测信息指示采用条件分支(在此实例中,此情形使程序循环继续)的情况下,指令提取器以推测方式提取由所述预测指示的程序循环上的指令。预测信息也耦合到可驻留于提取和预取电路130中的取消未决预取请求逻辑电路141。取消未决预取请求逻辑电路141可接着基于指示不需要未决预取请求的程序流信息而以推测方式取消未决预取请求。例如,处理器可经配置以基于弱预测性循环退出而不取消未决预取请求。通过取消一或多个未决数据预取请求,在处理器110中减少了数据高速缓存污染且减少了用以处理此污染的功率。取消未决预取请求信号155耦合到处理器指令管线120(如图1中所展示),且由取消未决预取请求逻辑电路141接受,所述取消未决预取请求逻辑电路使得取消除必要预取请求外的未决预取请求。又,通过不将不必要的数据存储于可具有将被提取的已收回数据的数据高速缓冲存储器中,改善了处理器性能,且现在替代地产生命中。

[0031] 在到达执行级134后,如果已将指定用于循环结束条件分支指令的执行条件评估为与其预测相反,那么(例如)通过清空管线来校正错误指令路径上的指令的任何管线推测性执行,此校正可包含取消与错误指令路径相关联的未决预取。例如,在一个实施例中,对管线的校正包含清空管线中在作出预测的级处开始的指令。在一替代实施例中,从最初提取循环结束条件分支指令的开始提取级清空管线。又,也可在不正确预测之后校正适当CHT条目。

[0032] 充当循环检测器的检测电路146操作以检测循环结束分支。例如,循环结束分支通常为针对循环的除最后反复外的所有反复而分支返回到循环的开始处的条件分支指令,所述最后反复退出所述循环。关于每一识别到的循环的信息经传递到筛选器电路150,且在识别到循环退出情形后,取消未决预取请求逻辑电路141响应于每一识别到的循环退出而取消未决非必要预取请求。

[0033] 在一个实施例中,筛选器电路150(例如)为循环计数器,所述循环计数器提供已发生软件循环的设定数目个反复(例如,特定循环的三个反复)的指示。对于循环的每一反复,筛选器确定条件分支指令是否适合于预测。如果入选条件分支(CB)指令在循环中,那么将执行CB指令的状态记录于条件历史表(CHT)电路152中。例如,执行状态计数器可用以记录入选CB指令的先前例程执行的执行历史。在一个方向上更新执行状态计数器以指示按条件执行CB指令,且在相反方向上更新执行状态计数器以指示按条件不执行CB指令。例如,可使用两位执行状态计数器,其中不执行状态引起计数器的递减且已执行状态引起计数器的递增。例如,执行状态计数器的输出状态被指派输出“11”以指示先前CB指令被强指示为已执行,被指派输出“10”以指示先前CB指令被弱指示为已执行,被指派输出“01”以指示先前CB

指令被弱指示为尚未执行,且被指派输出“00”以指示先前CB指令被强指示为尚未执行。执行状态计数器的“11”输出和“00”输出将为饱和输出值。执行状态计数器将与经检测软件循环中的每一CB指令相关联或提供每一CB指令的状态。然而,特定实施方案可能限制用于所述实施方案中的执行状态计数器的数目,且因此限制经预测的CB指令的数目。检测电路146通常在第一次进入软件循环时复位执行状态计数器。

[0034] 替代地,禁用预测旗标可与待预测的每一CB指令而非执行状态计数器相关联。如果先前已确定相关联的CB指令已执行,那么将禁用预测旗标设定为有效以禁用预测。识别经执行的先前CB指令暗示用于预测CB指令的不执行情形的可信度将低于可接受程度。

[0035] 索引计数器也可供CHT 152使用以确定软件循环中的哪一CB指令被计数或评估。例如,在具有五个或五个以上CB指令的循环中,第一CB指令可具有索引“000”,且第四入选条件分支指令可具有索引“011”。索引表示CHT 152中用以存取对应CB指令的所存储执行状态计数器值的地址。

[0036] 预测逻辑电路122接收特定CB指令的预测信息(例如,执行状态计数器输出值),且在(例如)图1的解码级131期间预测CB指令将通常分支返回到软件循环开始处,且未预测出达到循环退出情形。在一个实施例中,预测逻辑电路122可预测由CB指令指定的条件评估到非分支状态、代码退出或使循环失败。预测逻辑电路122追踪CB指令。如果CB指令经预测为分支返回到循环开始处,那么预测信息指示此状态。如果确定CB指令未分支返回,那么追踪电路产生取消未决预取请求信号,且进行条件评估以确定是否进行了不正确预测。如果进行了不正确预测,那么也可清空管线,更新CHT 152中的执行状态计数器,且在一个实施例中,标记相关联的CHT条目以指示特定CB指令并不从此开始预测。在另一实施例中,预测逻辑电路122也可在确定错误预测了CB指令后即改变预指定的评估准则,以使预测准则从此开始更为保守。

[0037] 进一步认识到,并非所有循环皆具有类似特性。如果特定循环提供不良预测结果,那么在预测逻辑电路122中将彼循环标记为禁用预测。以类似方式,特定循环可在操作情境的一个集合下操作而具有良好预测,且可在操作情境的不同集合下操作而具有不良预测。在此状况下,操作情境的辨识允许启用预测、停用预测,或仅通过适合于操作情境的不同评估准则来启用预测。

[0038] 图2A说明用于在检测到循环结束分支后即取消未决非必要数据预取请求的过程200。在块202处,监视处理器代码执行以查找软件循环。在决策块204处,作出是否已检测到软件循环的确定。例如,可通过在遍历软件循环的第一遍次识别到表示软件循环的开始处的位置的反向分支来确定软件循环,如上文所描述。如果未识别到软件循环,那么过程200返回到块202。如果已识别到软件循环,那么过程200继续进行到块206。在代码中的此点处,已执行软件循环的第一循环且已准备好开始软件循环的下一循环。

[0039] 在块206处软件循环的下一循环中,监视处理器代码以查找CB指令。在决策步骤208处,(例如)在管线解码级(例如,图1的解码级131)期间作出是否已检测到CB指令的确定。如果未检测到CB指令,那么过程200返回到块206。如果已检测到CB指令,那么过程200继续进行到决策块210。在决策块210处,例如,基于条件谓词的评估来作出条件分支(CB)指令是否经解析以结束循环的确定。存在可检测到的数种类型的CB指令评估。例如,经检测CB指令的第一评估可解析出CB指令在软件循环的结尾处,但评估以继续循环处理。例如,在遍

历软件循环的第一遍次中识别软件循环的反向分支 CB指令通过处理器代码中的其地址位置来标示。又,对于软件循环的数个指定反复尚未完成的状况,CB指令解析以将处理器分支返回到软件循环的开始处。经检测CB指令的第二评估可解析出CB指令在软件循环的结尾处,且评估以结束软件循环。经检测CB指令的第三评估可解析出CB指令在软件循环内,但在评估为被采用或未采用时,处理器代码保留在软件循环中。又,CB指令的第四评估可解析出CB指令在软件循环内,但在评估为被采用或未采用时,处理器代码退出软件循环。在第四评估中,将在软件循环内、但解析为越过反向分支CB指令的地址位置的正向分支的CB指令视为已退出软件循环。

[0040] 返回到决策块210,如果经检测CB指令未解析为退出软件循环(如在CB指令的第一和第三评估中),那么过程200继续进行到块212。在块212处,过程200继续正常分支处理且接着返回到块206。如果经检测CB指令解析为退出软件循环(如在CB指令的第二和第四评估中),那么过程200继续进行到块214。在块214处,过程200取消除必要数据预取请求外的未决数据预取请求,处理CB指令且返回到块202以开始搜索下一软件循环。

[0041] 图2B说明用于在检测到函数返回后即取消未决非必要数据预取请求的过程250。在块252处,监视处理器代码执行以查找软件函数退出。注意到,可以推测方式执行软件函数。例如,可针对软件循环中的函数呼叫而发生推测性执行。在软件函数的推测性执行的状况下,也可以推测方式执行软件函数退出(例如,RET指令的执行)。在决策块254处,作出是否已检测到软件函数退出(例如,通过在处理器的执行管线中检测返回指令)的确定。如果未检测到软件函数退出,那么过程250返回到块252。

[0042] 如果已检测到软件函数退出,那么过程250继续进行到决策块256。在决策块256处,作出此经检测退出情形是否为从中断例程的返回的确定。如果经检测退出为从中断例程的返回,那么过程250返回到块252。如果经检测退出并非从中断例程的返回,那么过程250继续进行到块258。在块258处,过程250取消除必要数据预取请求外的未决数据预取请求,处理返回指令,且接着返回到块252以继续监视处理器代码以便查找软件函数退出。

[0043] 频繁地,手动地抑或经由编译器优化,将展开软件循环使得顺序地执行循环的多个反复。每一展开反复的此顺序执行变成额外预取候选者。在循环的最后反复中,每一展开候选者可接着产生加重预取数据高速缓存污染问题的不需要的预取请求。本发明的实施例也适用于通过检测循环的退出或从函数的返回和从每一展开循环取消所有不需要的预取请求而进行的循环展开。

[0044] 图3说明具有处理器复合体的便携式装置300的特定实施例,所述处理器复合体经配置以取消选定的未决数据预取请求以减少高速缓存污染。装置300可为无线电子装置,且包含耦合到具有软件指令318的系统存储器312的处理器复合体310。系统存储器312可包含图1的系统存储器114。处理器复合体310可包含:处理器311;具有1阶数据高速缓冲存储器(L1Dcache)322、1阶指令高速缓冲存储器(L1Icache)326、高速缓冲存储器控制器电路328的集成存储器子系统314;和预测逻辑316。处理器311可包含图1的处理器110。集成存储器子系统314也可包含2阶统一高速缓冲存储器(未图示)。L1Icache326可包含图1的L1Icache124,且L1Dcache322可包含图1的L1Dcache128。

[0045] 集成存储器子系统314可包含于处理器复合体310中或可实施为在处理器复合体310外部的一或多个单独装置或电路(未图示)。在一说明性实例中,处理器复合体310根据

图1和2A-2B 中所说明或与图1和2A-2B 相关联的实施例中的任一者操作。例如,如图3中所展示,L1Icache 326、L1Dcache 322和高速缓冲存储器控制器电路328可在处理器复合体310内存取,且处理器311经配置以存取存储于集成存储器子系统314的存储器中或系统存储器312中的数据或程序指令。

[0046] 摄像机接口334耦合到处理器复合体310且也耦合到摄像机(例如,摄像机336)。显示控制器340耦合到处理器复合体310且耦合到显示装置342。译码器/解码器 (CODEC) 344也可耦合到处理器复合体310。扬声器346和麦克风348可耦合到CODEC 344。无线接口350可耦合到处理器复合体310,且耦合到无线天线352使得可将经由天线352和无线接口350接收的无线数据提供到处理器311。

[0047] 处理器311可经配置以执行存储于非暂时性计算机可读媒体(例如,系统存储器312) 中的软件指令318,所述软件指令可执行以使计算机(例如,处理器311)执行程序(例如,图2A 的程序过程200)。软件指令318进一步可执行以使处理器311处理存取集成存储器子系统314的存储器和系统存储器312的指令。

[0048] 在一特定实施例中,处理器复合体310、显示控制器340、系统存储器312、CODEC 344、无线接口350和摄像机控制器334包含于系统级封装或系统单芯片装置304中。在一特定实施例中,输入装置356和电力供应器358耦合到系统单芯片装置304。此外,在一特定实施例中,如图3中所说明,显示装置342、输入装置356、扬声器346、麦克风348、无线天线352、摄像机336和电力供应器358在系统单芯片装置304外部。然而,显示装置342、输入装置356、扬声器346、麦克风348、无线天线352、摄像机336 和电力供应器358中的每一者可耦合到系统单芯片装置304的组件(例如,接口或控制器)。

[0049] 根据本文中所描述的实施例的装置300可并入例如以下各者的多种电子装置中:机顶盒、娱乐单元、导航装置、通信装置、个人数字助理(PDA)、固定位置数据单元、移动位置数据单元、移动电话、蜂窝式电话、计算机、便携式带你脑、平板计算机、监视器、计算机监视器、电视、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、视频播放器、数字视频播放器、数字影音光盘(DVD) 播放器、便携式数字视频播放器、存储或提取数据或计算机指令的任何其它装置,或其任何组合。

[0050] 结合本文中所揭示的实施例而描述的各种说明性逻辑块、模块、电路、元件和/或组件可通过以下各者来实施或执行:通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它可编程逻辑组件、离散门或晶体管逻辑、离散硬件组件,或其经设计以执行本文中所描述的功能的任何组合。通用处理器可为微处理器,但在替代例中,处理器可为任何常规的处理器、控制器、微控制器或状态机。也可将处理器实施为计算组件的组合,例如,DSP与微处理器的组合、多个微处理器、一或多个微处理器结合DSP核心或适合于所要应用的任何其它此配置。

[0051] 结合本文中所揭示的实施例而描述的方法可直接以硬件、以由处理器执行的软件模块或以两者的组合体现。软件模块可驻留于RAM存储器、快闪存储器、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、抽取式磁盘、CD-ROM或此项技术中已知的任何其它形式的非暂时性存储媒体中。非暂时性存储媒体可耦合到处理器,使得处理器可从非暂时性存储媒体读取信息,且将信息写入到非暂时性存储媒体。在替代例中,非暂时性存储媒体可集成到处理器。

[0052] 例如,图1的处理器110或图3的处理器311可经配置以在程序的控制下执行包含条件非分支指令的指令,所述程序存储于在本地与处理器直接相关联的计算机可读非暂时性存储媒体上(例如,经由指令高速缓冲存储器可得)抑或可经由I/O装置(例如,图1的I/O装置中的一个)存取。I/O装置也可存取驻留于在本地与处理器直接相关联的存储器装置(例如,Dcache 128)中或可从另一处理器的存储器存取的数据。计算机可读非暂时性存储媒体可包含随机存取存储器(RAM)、动态随机存取存储器(DRAM)、同步动态随机存取存储器(SDRAM)、快闪存储器、只读存储器(ROM)、可编程只读存储器(PROM)、可抹除可编程只读存储器(EPROM)、电可抹除可编程只读存储器(EEPROM)、紧密光盘(CD)、数字影音光盘(DVD)、其它类型的抽取式磁盘,或任何其它合适的非暂时性存储媒体。

[0053] 虽然在用于处理器系统中的说明性实施例的上下文中揭示本发明,但应认识到,可由一般所属领域的技术人员与上文论述和下文的权利要求书相一致地使用广泛多种实施方案。例如,固定功能实施方案也可利用本发明的各种实施例。

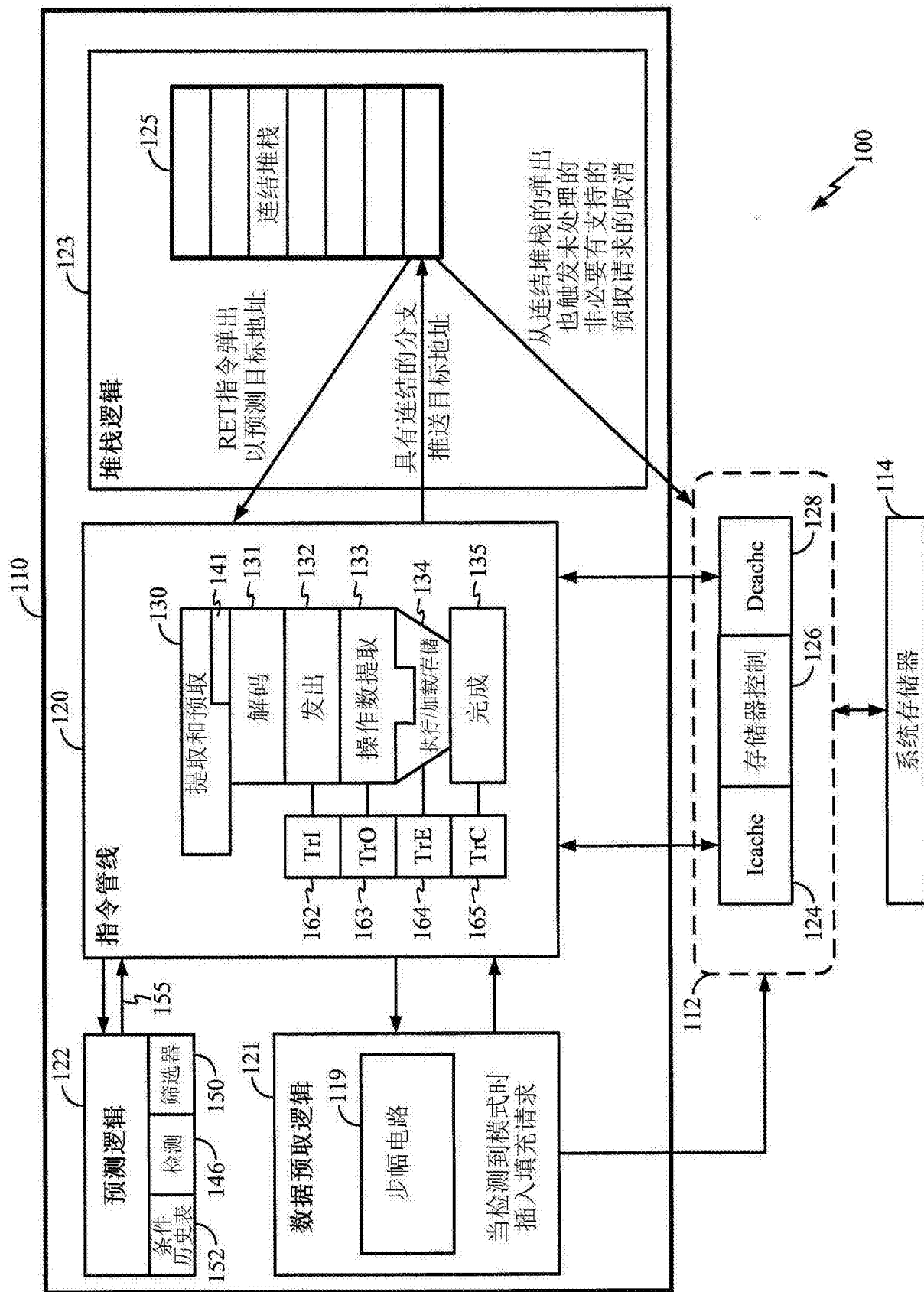


图1

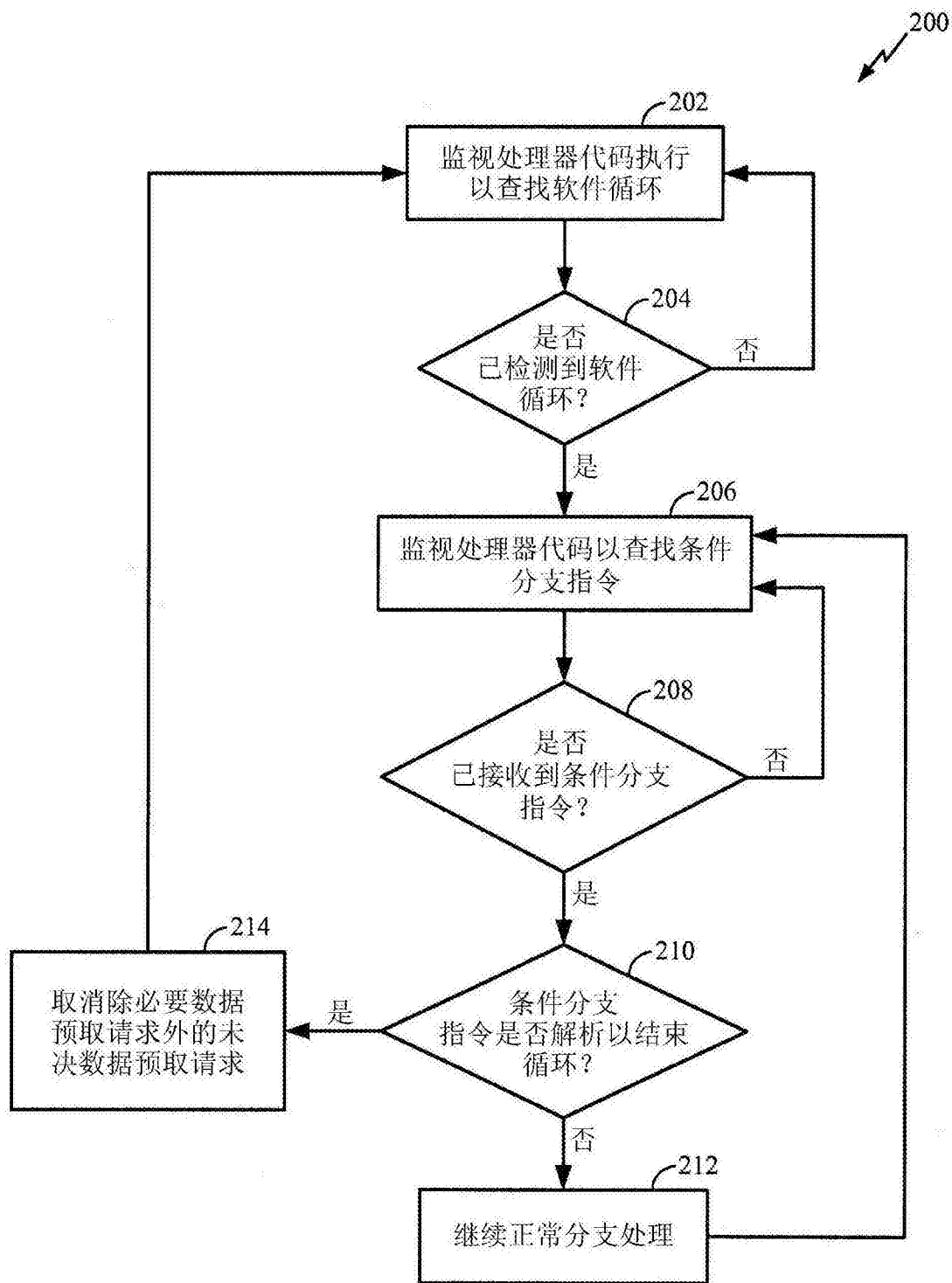


图2A

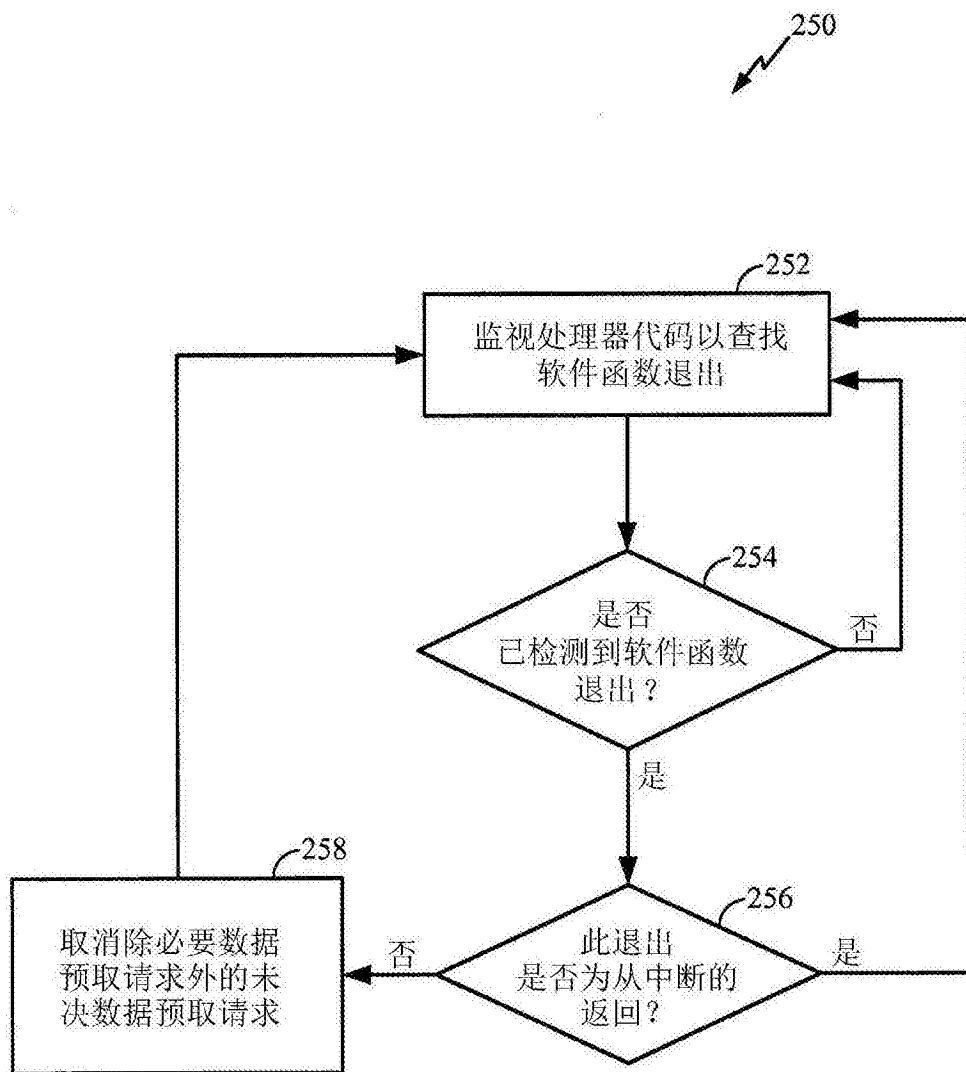


图2B

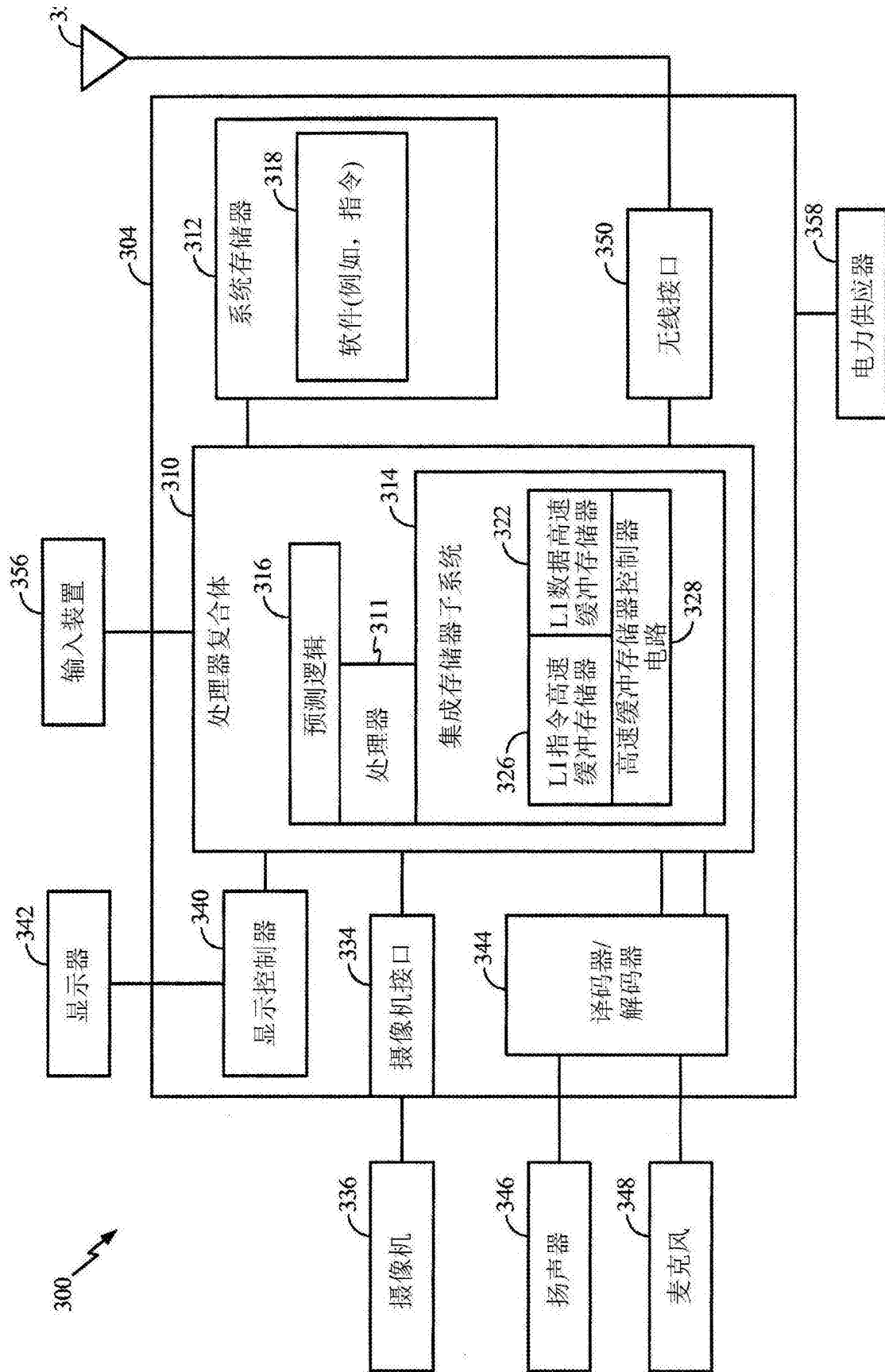


图3