

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/762 (2006.01)



[12] 发明专利说明书

专利号 ZL 200580044396.9

[45] 授权公告日 2009年9月23日

[11] 授权公告号 CN 100543962C

[22] 申请日 2005.12.22

[21] 申请号 200580044396.9

[30] 优先权

[32] 2004.12.24 [33] FR [31] 0453229

[86] 国际申请 PCT/FR2005/051139 2005.12.22

[87] 国际公布 WO2006/070167 法 2006.7.6

[85] 进入国家阶段日期 2007.6.22

[73] 专利权人 特拉希特技术公司

地址 法国穆瓦朗

[72] 发明人 贝尔纳·阿斯帕尔

[56] 参考文献

EP0553853B1 2002.4.17

US6531753B1 2003.3.11

CN1280383A 2001.1.17

CN1272684A 2000.11.8

CN1264156A 2000.8.23

CN1531751A 2004.9.22

US5391257A 1995.2.21

US2003/0162367A1 2003.8.28

审查员 范胜祥

[74] 专利代理机构 北京康信知识产权代理有限责
任公司

代理人 章社杲 李丙林

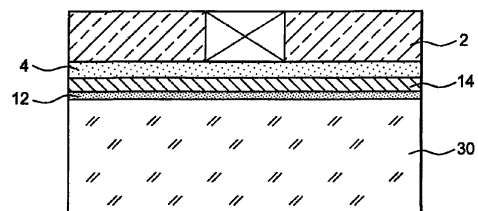
权利要求书4页 说明书9页 附图4页

[54] 发明名称

将电路转移到接地层的方法

[57] 摘要

本发明涉及一种用于制造半导体结构的方法，包括：a)在衬底的表面层(2)内或表面层上制造至少部分电路，包括上述的表面层(2)，在表面层下的掩埋层(4)，和用作第一支撑体的下层(6)，b)将这个衬底转移到操作基片(20)上，然后去除第一支撑体(6)，c)在掩埋层(4)上形成导电层(14)或构成接地层的层，d)在这个导电层(14)或构成接地层的层上形成接合层(12)，e)将获得的结构转移到第二支撑体(30)上并去除操作基片(20)。



1. 用于制造半导体结构的方法，包括：

a) 在衬底的表面层(2)中或者表面层上制造至少部分电路或元件，所述衬底包括所述表面层(2)，在所述表面层下的电介质掩埋层(4)，以及用作第一支撑体的下层(6)，

b) 将这个衬底转移到操作基片(20)上，然后去除所述第一支撑体(6)，

c) 在至少部分所述电介质掩埋层(4)上形成导电层(14)或构成接地层的层，

d) 在这个导电层(14)或构成接地层的层上形成接合层(12)，

e) 将获得的结构转移到第二支撑体(30)上，并去除操作基片(20)，

从而形成一种结构，包括：

包括至少部分所述元件或所述电路的所述表面层(2)；

所述电介质掩埋层(4)；

所述导电层(14)或构成接地层的层；

所述接合层(12)；

所述第二支撑体(30)。

2. 根据权利要求1所述的方法，所述接合层(12)是电绝缘的。

3. 根据权利要求2所述的方法，所述接合层(12)是氧化物。

4. 根据权利要求3所述的方法,其中所述氧化物是 SiO_2 。
5. 根据权利要求3所述的方法,所述接合层(12)是 Si_3N_4 或 SiON 。
6. 根据权利要求1所述的方法,所述接合层(12)是导电的。
7. 根据权利要求6所述的方法,所述接合层(12)是由掺杂的半导体制成。
8. 根据权利要求6所述的方法,所述接合层(12)是由掺杂的硅或掺杂的多晶硅制成。
9. 根据权利要求1至8中任一项所述的方法,所述导电层(14)或构成接地层的层由金属材料或由重掺杂的半导体材料制成。
10. 根据权利要求1至8中任一项所述的方法,所述导电层或构成接地层的层被局部形成,不覆盖整个所述掩埋层。
11. 根据权利要求1至8中任一项所述的方法,转移的步骤e)通过分子粘附来实施。
12. 根据权利要求1至8中任一项所述的方法,在b)步骤之后还包括一个使所述衬底的所述掩埋层(4)变薄的步骤。
13. 根据权利要求1至8中任一项所述的方法,所述表面层(2)由半导体制成。
14. 根据权利要求13所述的方法,所述表面层(2)由硅或锗制成。
15. 根据权利要求13所述的方法,所述表面层(2)由III-V族或II-VI族半导体制成。

16. 根据权利要求 13 所述的方法, 所述表面层 (2) 由复合半导体制成。
17. 根据权利要求 16 所述的方法, 所述表面层 (2) 由 SiGe 半导体制成。
18. 根据权利要求 1 至 8 中任一项所述的方法, 所述衬底是 SOI 衬底。19. 用于制造半导体结构的方法, 包括:
 - a) 在衬底的表面层 (2) 上或表面层中制造至少部分电路或元件, 所述衬底包括所述表面层 (2), 在所述表面层下的电介质掩埋层 (4), 以及用作第一支撑体的下层 (6),
 - b) 将这个衬底转移到操作基片 (20) 上, 然后去除所述第一支撑体 (6),
 - c) 在至少部分电介质掩埋层 (4) 上以重掺杂的半导体材料形成层 (14), 所述层 (14) 构成接地层和接合层,
 - d) 将获得的结构转移到第二支撑体 (30) 上, 并去除操作基片 (20),从而形成一种结构, 包括:
 - 包括至少部分所述元件或所述电路的所述表面层 (2);
 - 所述电介质掩埋层 (4);
 - 构成接地层和接合层的所述重掺杂的半导体材料形成层 (14);
 - 所述第二支撑体 (30)。
20. 根据权利要求 19 所述的方法, 转移的步骤 d) 通过分子粘附来实施。

-
21. 根据权利要求 19 所述的方法, 在 b) 步骤之后还包括一个使所述衬底的所述掩埋层(4)变薄的步骤。
 22. 根据权利要求 19 所述的方法, 所述表面层(2)由半导体制成。
 23. 根据权利要求 22 所述的方法, 所述表面层(2)由硅或锗制成。
 24. 根据权利要求 22 所述的方法, 所述表面层(2)由 III-V 族或 II-VI 族半导体制成。
 25. 根据权利要求 22 所述的方法, 所述表面层(2)由复合半导体制成。
 26. 根据权利要求 25 所述的方法, 所述表面层(2)由 SiGe 半导体制成。
 27. 根据权利要求 19 至 26 中任一项所述的方法, 所述衬底是 SOI 衬底。

将电路转移到接地层的方法

技术领域

本发明涉及一种半导体元件或 MEMS 类型的装置,尤其是 SOI 或 SOI 类型装置的新型结构。

背景技术

很多微系统或者 MEMS (微机电系统) 都借助于 SOI (绝缘体上硅, 或称绝缘体上覆硅) 材料, 其尤其使得可以获得悬浮在空腔上的单晶硅膜。

SOI 类型材料的结构包括在绝缘层 4 (通常为氧化硅) 上的以单晶硅制成的表面层 2 (图 1)。这种结构是通过将表面被氧化的硅晶片 6 和另一块硅晶片通过分子粘附 (adhésion moléculaire, 分子粘附力) 而组装在一起来得到的。

这种组装包括对两块晶片的表面进行处理的步骤, 使晶片接触的步骤以及进行热处理的步骤。传统上, 这个热处理步骤通常是在 900 度到 1250 度之间的温度进行 2 个小时。

然后, 使两块晶片中至少一块变薄, 使得在绝缘层 4 上留下较薄的半导体层 2。

这种变薄的效果可以通过不同的机械、化学或者通过在由例如离子注入产生的脆性层处分离的方法得到。

在某些实际应用中，能够获得在金属接地层上的电路是很有意义的。

在 SOI 的电路的实例中，人们就试图很好地控制电路背面上载体 (porteur) 的密度，电路本身是在表面层 2 中。

为此，在层 2 中形成的并且在掩埋层 (或称“埋层”) 4 的表面上的、厚度非常薄 (例如一层硅的氧化物) 的 SOI 电路必须是这样的，使得由上述电路和掩埋层 4 组成的整体在导电层或者金属接地层上。为此，得到厚度很薄，例如 10 纳米到 50 纳米的掩埋氧化物 (或称“隐埋氧化物”) 非常有意义。由此，有可能通过施加于导电掩埋层和半导体层的电势差来控制半导体层内、界面附近的载体密度。

然而，很难获得具有很薄的电介质层 (或称介电层) 4 和金属接地层 (plan de masse, “接地面”) 的 SOI 晶片，因为这种晶片不能承受生产电路和元件所需的高温热处理。

不过，可以在 SOI 材料上形成电路后再将电路转移到包括金属接地层的晶片上。一种可能性就是使用通过分子粘附的双重转移技术将包含电路的层转移到具有金属沉积物的层上。

可是从技术的角度看这很难实现，因为很难使金属层和氧化物直接粘合在一起而没有任何粘合缺陷，特别是当氧化物的厚度很薄时。

因此提出了这样一个问题，怎样才能实现一种结构，该结构包括 SOI 类型的电路或者在掩埋层上具有一层电路，并在电路或掩埋层下具有接地层。

发明内容

本发明首先涉及用于制造一种半导体结构的方法，包括：

a)在衬底 (substrat) 的表面层中或表面层上形成至少全部或部分元件或电路，包括上述的表面层，表面层下的掩埋层以及作为第一支撑体 (support) 的下层 (une couche sous-jacente)。

b)将该衬底转移到操作基片 (substrat poignée) 上，然后去掉第一支撑体，

c) 在掩埋层上形成构成接地层的层，

d)在该构成接地层的层上形成接合层 (couche de collage, 粘合层)，

e)将获得的结构 (l'ensemble) 转移到第二支撑体上，除去操作基片。

在这个第一种情况下，接合层可以是电绝缘的，例如选自 SiO₂、Si₃N₄、SiON 或其他材料。接合层也可以是导电的，例如以掺杂 Si 或掺杂多晶硅制成。

本发明还涉及用于制造一种半导体结构的方法，包括：

a)在衬底的表面层中或表面层上形成至少全部或部分元件或电路，包括上述的表面层，表面层下的掩埋层，以及用作第一支撑体的下层，

b)将该衬底转移到操作基片上，然后去除第一支撑体，

c) 在掩埋层上形成一个由重掺杂的半导体材料制成的层, 该层构成接合层和导电层或者接地层,

d) 将获得的结构转移到第二支撑体上, 去除操作基片。

根据本发明, 在衬底上形成电路, 该衬底包括表面层, 在表面层之下由例如硅的氧化物制成的厚或薄的掩埋层, 和第一支撑体。

然后把该获得的结构组装到一块晶片上, 例如半导体晶片, 用作操作晶片 (poignée)。

然后就可以使衬底变薄, 以便去除第一支撑体直到掩埋层的水平处。

这个变薄的步骤可以例如通过机械变薄法和/或化学蚀刻法来实现。

在第一种情况下, 构成接地层的层可以由金属材料或由重掺杂的半导体材料形成。它的侧面延伸受限制, 因此可能仅覆盖掩埋层的一部分。第二种情况, 构成接地层的层同时也构成接合层。

转移的步骤可以通过分子粘附或者通过使用诸如胶, 树脂等的粘性物质而粘合来实现。

在步骤 b) 之后, 可以实施使衬底的掩埋层变薄步骤, 通过例如机械方式和/或化学方式 (湿或干)。因此可以调节掩埋层的厚度达到理想厚度。

表面层可以是半导体材料, 例如硅或锗, 或者 III-V 族、II-VI 族半导体 (semi-conducteur III-V, II-VI), 或者复合半导体材料, 例如 SiGe。

最初的衬底可以是 SOI 衬底。

元件或电路可以是电子、光电子或 MEMS 类型元件。

本发明还涉及一种半导体装置，其包括电路或元件的表面层；由介电材料制成的第一掩埋层；形成导电层或接地层的第二掩埋层，其侧面延伸可选地受限制；接合的第三掩埋层；以及基片。

构成接地层的层可以是金属材料或重掺杂的半导体材料。

本发明还涉及一种半导体装置，其包括电路或元件的表面层；由电介质材料制成的第一掩埋层；由重掺杂的半导体材料制成的第二掩埋层，其既构成接合层又构成导电层或者接地层；以及基片。

在这两种情况下，电路形成在其中的表面层可以是半导体材料，例如硅或锗，或者 III-V 族、II-VI 族半导体，或者复合半导体材料，例如 SiGe。

第一掩埋层可以是电绝缘体，例如二氧化硅，或热硅石，或例如像 SiO₂/Si₃N₄ 类型的多层结构。

附图说明

图 1 示出了 SOI 的结构。

图 2 示出了根据本发明的元件。

图 3A-3E 示出了根据本发明方法的步骤。

图 4 示出了根据本发明的另一种元件。

具体实施方式

图 2 示出了根据本发明的一个装置或元件，包括，在基片 30 上的接合层 12，构成接地层的层 14，电介质层 4 和最后的电路层 2。

层 2 - 层 4 的整体构成了“SOI 电路”。

层 14 可以是金属的或者是重掺杂的半导体材料（例如硅）。这一层可以仅仅是局部的，并且不统一或不连续，例如它可以仅仅在某些元件下面。

接合层 12 可以是电绝缘的，其可以是一种氧化物，例如 SiO₂。它也可以选自例如 Si₃N₄、SiON 或其他材料。

接合层也可以是导电的，例如由掺杂的非晶 Si，或掺杂的多晶 Si，甚至掺杂的 Si 制成。

粘合的界面可以置于接合层 12 和支撑基片 30 之间。当接合层同时在接地层和支撑体 30 之上时，这个界面也可以置于接合层本身的中间。

举例而言，层 4 的厚度在例如 10 nm 至 500 nm 或 1 μm 之间，层 2 的厚度在 10 nm 至 1 μm 或 10 μm 之间。金属层的厚度可以在 100 nm 到 500 nm 之间，接合层的厚度在 500 nm 至几个微米，例如 5 μm 之间。所有的这些厚度范围都能够在上述指出的范围之外变化。

如果在背面（在接地层 14 一侧）具有拓扑（topologie），优选地可以在粘合步骤之前或沉积导电层之前，实现平坦化（planarisation）。

下面将联系图 3A 到 3G，描述这种元件的制造方法。

如图 1 所示，一个 SOI 晶片最初包括支撑体 6，掩埋层 4 和表面层 2。后者（表面层）例如由硅制成，也可以由锗制成，或者由 III-V 族或 II-VI 族半导体，或者复合半导体，例如 SiGe 制成。

在 SOI 晶片上（图 3A），可以在层 2 中制造电路 18，或者部分或全部的元件。

通过例如分子粘附而粘合将组合体从电路层 2 的一侧与操作基片 20 组装在一起（图 3B）。与使用胶或树脂的粘合方式不同，这种粘合方式具有能与使用或多或少的高温的热学工艺（或称“热处理”）兼容的优点。

支撑体 6 可以通过机械，和/或机械-化学，和/或化学（图 3C）变薄（amincissement）的方式来去除。

然后将掩埋层 4 的厚度调节到希望的厚度。这一步骤使得可以通过电介质层 4 适当地控制导电层的效果。

层 4 的变薄优选通过 CMP 方式（机械-化学抛光）或者化学蚀刻法（干蚀刻或湿蚀刻）直到获得很小的厚度，例如 10 纳米至 50 纳米。

然后在层 4 上面形成导电层 14（图 3D），例如通过化学气相沉积法。这一层可以是例如由铜，或者铝，或者掺杂的硅，或者二硅化钨（WSi₂）制成。

这一层可以覆盖整个表面或者根据用于应用需要的图案（motif）而局部化；由此可以使用光刻和蚀刻技术来限定具有导电

层的区域和不具有导电层的区域。如此，导电层可以仅仅局部存在，例如在某些元件的下面。

在导电层 14 上，可以设置或者形成由可以便于粘合在基片上的材料、尤其是半导体类型材料制成的层 12。这个接合层 12 可以是例如一层硅氧化物，或一层非晶硅或多晶硅。根据接合层的性质，接地层和基片之间可以电导，也可以是电绝缘。在电绝缘的情况下，与导电层的接触面可以在结构的正面（前面）或背面（后面）。在接合层导电的情况下，接触面可以在背面。

接合层 12 可以为厚层，例如超过 100 纳米，这样能获得良好的粘合（接合）质量。

在接地层上设置接合层使得可以摆脱（s'affranchir）导电层 14 的特性，特别是后者（导电层）的厚度和/或粗糙度的特性。

因此可以将组合体通过例如分子粘附而粘合到另一个基片 30 上（图 3E）。如果在背面（在要与基片 30 组装的一侧）存在一个拓扑，可以实施平坦化处理。

因此，可以很容易地将本发明的结构转移，同时保证对粘合的有效控制，通过分子粘附的粘合尤其保证了没有或者很少有缺陷，并且粘合力很强。另外，其与以后要进行的微电子的（制造）步骤兼容。也可以使用例如胶或树脂的粘性物质来进行粘合。

在转移步骤之后，可以去除用来操作以使最初的晶片变薄的操作晶片（plaque poignée）20，例如通过机械和/或化学的方式变薄或者通过在正面和操作晶片（poignée）之间的粘合界面上脱胶。

这样就可以获得像图 2 所示的具有 SOI 电路的结构，包括在接地层 14 上的很薄的氧化物 4。

将整个结构放置在层 12 上，其可以保证上述结构粘合在新的支撑体 30 上。

图 4 示出了本发明的另一种元件，包括：在基片 30 上的由重掺杂的半导体材料制成的层 34，其构成了接地层和接合层；电介质层 4 以及最后的电路层 2。层 34 的掺杂可以使该层的电阻率最大达到约几 $\text{m}\Omega/\text{cm}^2$ ，例如最大达到约 $10 \text{ m}\Omega/\text{cm}^2$ 或 $100 \text{ m}\Omega/\text{cm}^2$ 。其是例如掺杂的多晶硅层。

层 2 - 层 4 的整体形成“SOI 类型的电路”。

这样的装置的制造能够参照图 3A-3E 来进行描述：步骤是相同的，区别仅在于金属层 14 和接合层 12 的形成，这两个层被单一的层 34 所替代。

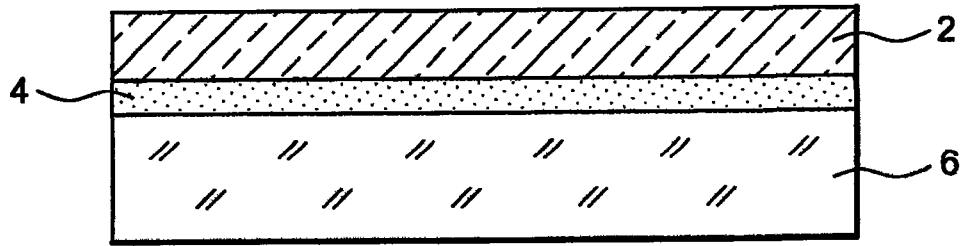


图 1

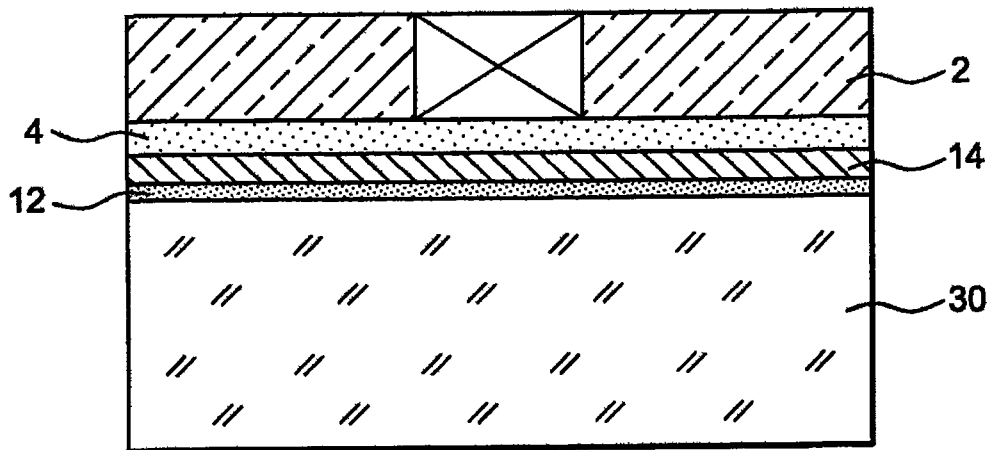


图 2

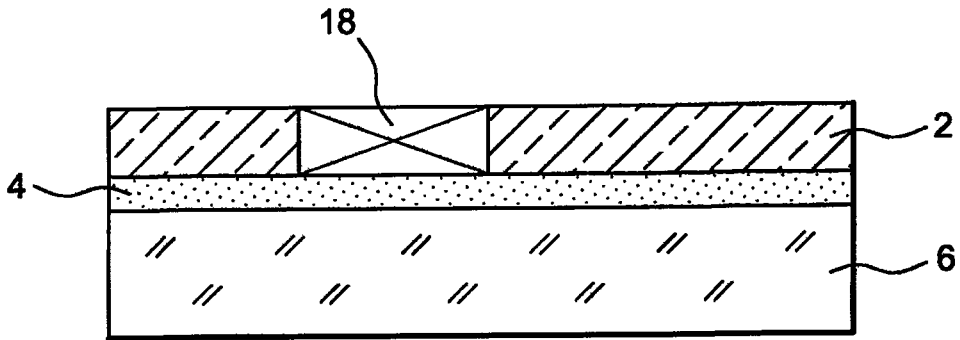


图 3A

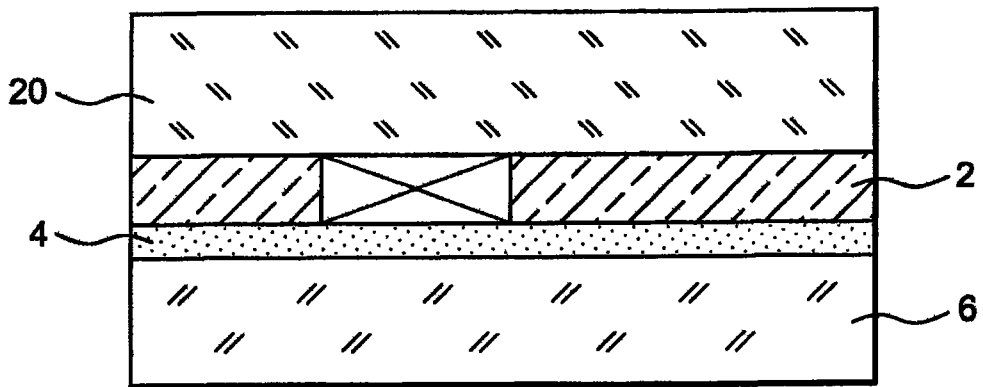


图 3B

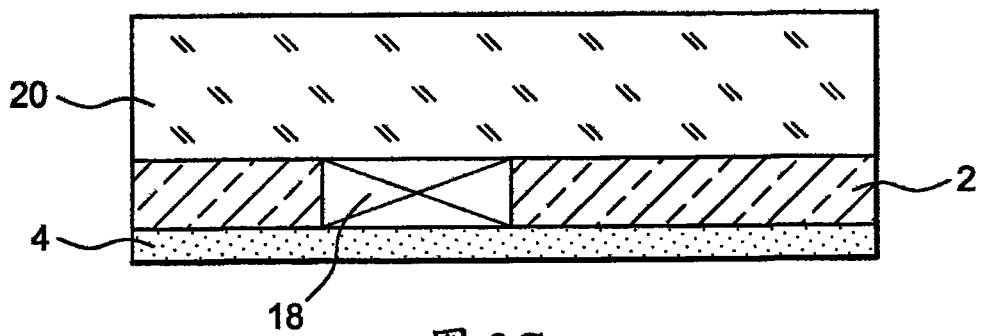


图 3C

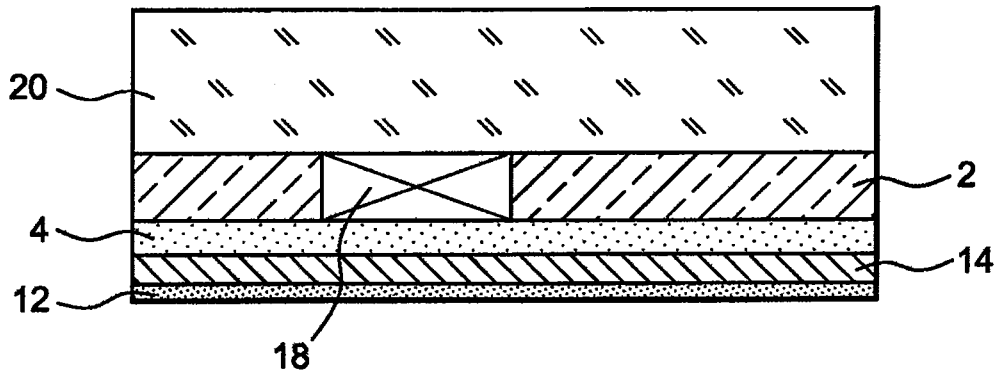


图 3D

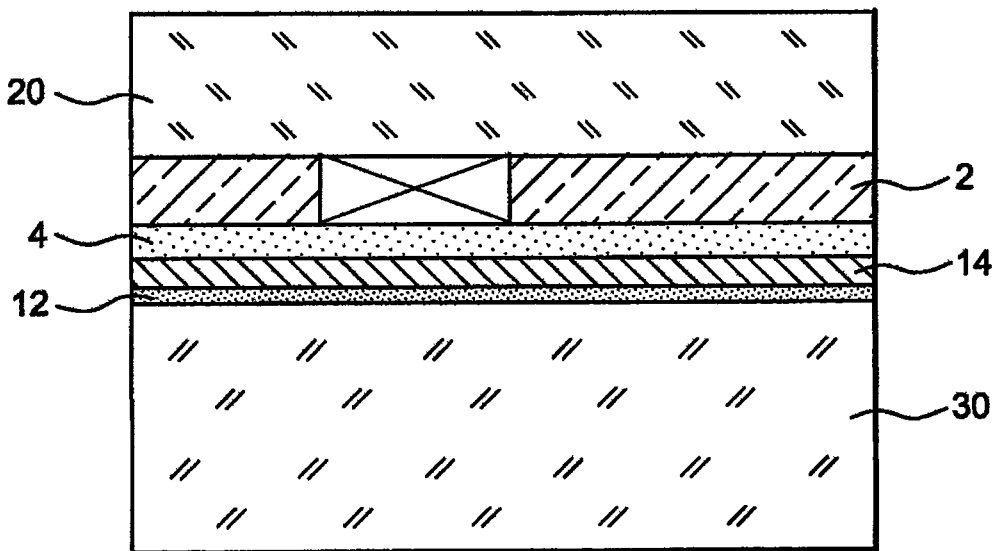


图 3E

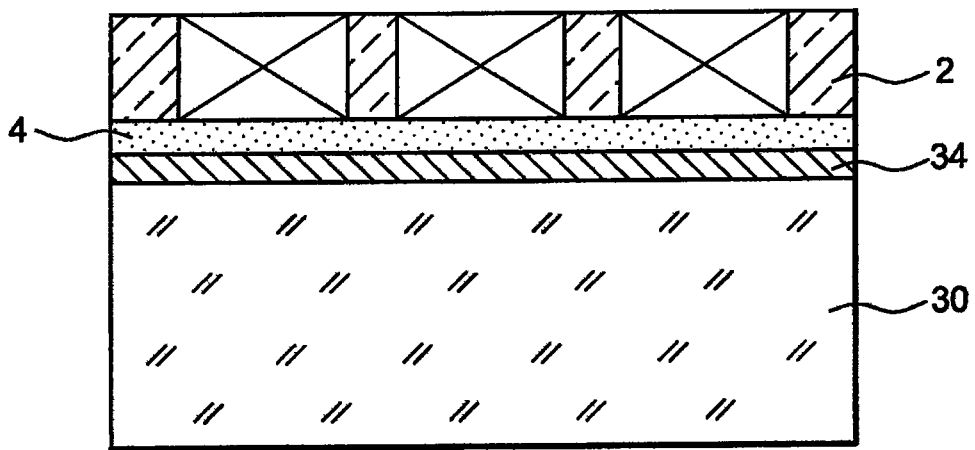


图 4