



(21) 申請案號：104108798

(22) 申請日：中華民國 104 (2015) 年 03 月 19 日

(51) Int. Cl. : *H01L29/788 (2006.01)**H01L27/115 (2006.01)*

(71) 申請人：物聯記憶體科技股份有限公司 (中華民國) IOTMEMORY TECHNOLOGY INC.

(TW)

臺北市松山區三民路 166 巷 9 號 1 樓

鄭育明 (中華民國) CHENG, YU MING (TW)

臺北市松山區三民路 166 巷 9 號

(72) 發明人：鄭育明 CHENG, YU MING (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

申請實體審查：有 申請專利範圍項數：20 項 圖式數：6 共 46 頁

(54) 名稱

非揮發性記憶體

NON-VOLATILE MEMORY

(57) 摘要

一種非揮發性記憶體，具有記憶胞。記憶胞具有堆疊結構、浮置閘極、穿隧介電層、抹除閘介電層、輔助閘介電層、第一摻雜區以及第二摻雜區。堆疊結構具有依序設置的閘介電層、輔助閘極、絕緣層以及抹除閘極。浮置閘極設置於堆疊結構的第一側的側壁。穿隧介電層設置於浮置閘極下。抹除閘介電層設置於抹除閘極與浮置閘極之間。輔助閘介電層設置於輔助閘極與浮置閘極之間。第一摻雜區鄰接浮置閘極、且第一摻雜區的一部分延伸至浮置閘極下方，第二摻雜區鄰接堆疊結構的第二側，第一側與所述第二側相對。

A non-volatile memory having a memory cell is provided. The memory cell includes a stacked structures, a floating gate, a tunneling dielectric layer, an erasing gate dielectric layer, an assist gate dielectric layer, a first doped region and a second doped region. The stacked structure includes a gate dielectric layer, an assist gates, an insulation layer and erasing gate, disposed in the order. The floating gate are disposed on a first sidewall of the stacked structure. The tunneling dielectric layer is disposed under the floating gate. The erasing gate dielectric layer is disposed between the erasing gate and the floating gate. The assist gate dielectric layer is disposed between the assist gate and the floating gate. The first doped region is disposed adjacent to the floating gate, and a portion of the first doped region extended to under the floating gate. The second doped region is disposed on a second sidewall of the stacked structure, the second sidewall is opposite to the second sidewall.

指定代表圖：

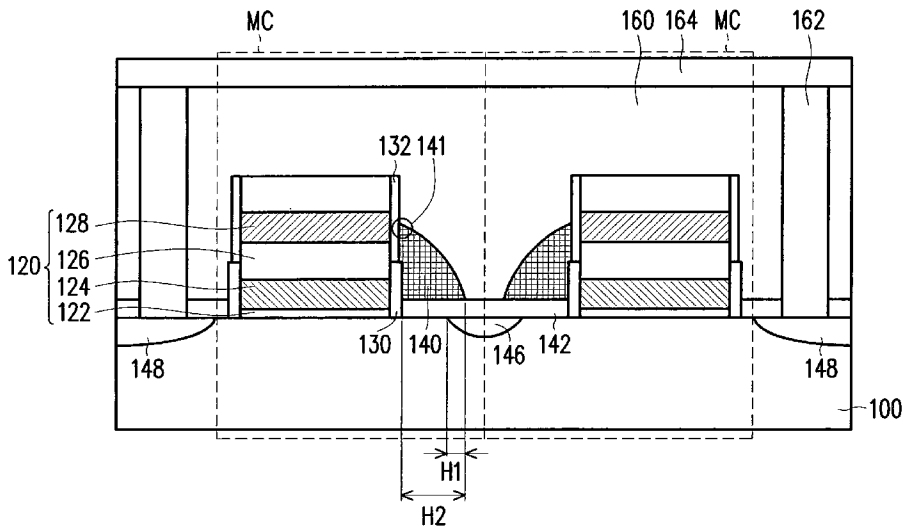


圖 1B

符號簡單說明：

- 100 . . . 基底
- 120 . . . 堆疊結構
- 122 . . . 閘介電層
- 124 . . . 輔助閘極
- 126 . . . 絕緣層
- 128 . . . 抹除閘極
- 130 . . . 輔助閘介電層
- 132 . . . 抹除閘介電層
- 140 . . . 浮置閘極
- 141 . . . 轉角部
- 142 . . . 穿隧介電層
- 146 . . . 第一摻雜區
- 148 . . . 第二摻雜區
- 160 . . . 層間絕緣層
- 162 . . . 插塞
- 164 . . . 位元線
- MC . . . 記憶胞
- H1、H2 . . . 長度

201635558

201635558

發明摘要

※ 申請案號: 104108798

※ 申請日: 104. 3. 19

※IPC 分類: H01L29/788 (2006.01)

H01L27/15 (2006.01)

【發明名稱】

非揮發性記憶體

NON-VOLATILE MEMORY

【中文】

一種非揮發性記憶體，具有記憶胞。記憶胞具有堆疊結構、浮置閘極、穿隧介電層、抹除閘介電層、輔助閘介電層、第一摻雜區以及第二摻雜區。堆疊結構具有依序設置的閘介電層、輔助閘極、絕緣層以及抹除閘極。浮置閘極設置於堆疊結構的第一側的側壁。穿隧介電層設置於浮置閘極下。抹除閘介電層設置於抹除閘極與浮置閘極之間。輔助閘介電層設置於輔助閘極與浮置閘極之間。第一摻雜區鄰接浮置閘極、且第一摻雜區的一部分延伸至浮置閘極下方，第二摻雜區鄰接堆疊結構的第二側，第一側與所述第二側相對。

【英文】

A non-volatile memory having a memory cell is provided. The memory cell includes a stacked structures, a floating gate, a tunneling dielectric layer, an erasing gate dielectric layer, an assist gate dielectric layer, a first doped region and a second doped region.

The stacked structure includes a gate dielectric layer, an assist gates, an insulation layer and erasing gate, disposed in the order. The floating gate are disposed on a first sidewall of the stacked structure. The tunneling dielectric layer is disposed under the floating gate. The erasing gate dielectric layer is disposed between the erasing gate and the floating gate. The assist gate dielectric layer is disposed between the assist gate and the floating gate. The first doped region is disposed adjacent to the floating gate, and a portion of the first doped region extended to under the floating gate. The second doped region is disposed on a second sidewall of the stacked structure, the second sidewall is opposite to the second sidewall.

【代表圖】

【本案指定代表圖】：圖 1B。

【本代表圖之符號簡單說明】：

100：基底	141：轉角部
120：堆疊結構	142：穿隧介電層
122：閘介電層	146：第一摻雜區
124：輔助閘極	148：第二摻雜區
126：絕緣層	160：層間絕緣層
128：抹除閘極	162：插塞
130：輔助閘介電層	164：位元線
132：抹除閘介電層	MC：記憶胞
140：浮置閘極	H1、H2：長度

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

非揮發性記憶體

NON-VOLATILE MEMORY

【技術領域】

【0001】 本發明是有關於一種半導體元件及其製造方法，且特別是有關於一種非揮發性記憶體及其製造方法。

【先前技術】

【0002】 非揮發性記憶體由於具有可多次進行資料的存入、讀取、抹除等動作，且存入的資料在斷電後也不會消失的優點，已廣泛採用在個人電腦和電子設備。

【0003】 典型的一種非揮發性記憶體設計成具有堆疊式閘極(Stack-Gate)結構，其中包括依序設置於基底上的穿隧氧化層、浮置閘極(Floating gate)、閘間介電層以及控制閘極(Control Gate)。對此快閃記憶體元件進程式化或抹除操作時，係分別於源極區、汲極區與控制閘極上施加適當電壓，以使電子注入多晶矽浮置閘極中，或將電子從多晶矽浮置閘極中拉出。

【0004】 在非揮發性記憶體的操作上，通常浮置閘極與控制閘極之間的閘極耦合率(Gate-Coupling Ratio, GCR)越大，其操作所需之工作電壓將越低，而快閃記憶體的操作速度與效率就會大大的

提升。其中增加閘極耦合率的方法，包括了增加浮置閘極與控制閘極間之重疊面積(Overlap Area)、降低浮置閘極與控制閘極間之介電層的厚度、以及增加浮置閘極與控制閘極之間的閘間介電層的介電常數(Dielectric Constant ; k)等。

【0005】 然而，隨著積體電路正以更高的集積度朝向小型化的元件發展，所以必須縮小非揮發性記憶體之記憶胞尺寸以增進其集積度。其中，縮小記憶胞之尺寸可藉由減小記憶胞的閘極長度與位元線的間隔等方法來達成。但是，閘極長度變小會縮短了穿隧氧化層下方的通道長度(Channel Length)，容易造成汲極與源極間發生不正常的電性貫通(Punch Through)，如此將嚴重影響此記憶胞的電性表現。而且，在程式化及或抹除記憶胞時，電子重複穿越過穿隧氧化層，將耗損穿隧氧化層，導致記憶體元件可靠度降低。

【發明內容】

【0006】 本發明提供一種非揮發性記憶體及其製造方法，可以低操作電壓操作，進而增加半導體元件的可靠度。

【0007】 本發明提供一種非揮發性記憶體及其製造方法，可以提高元件的積集度。

【0008】 本發明提出一種非揮發性記憶體，具有第一記憶胞，設置於基底上。此第一記憶胞具有堆疊結構、浮置閘極、穿隧介電層、抹除閘介電層、輔助閘介電層、第一摻雜區以及第二摻雜區，

其中堆疊結構具有依序設置於基底上的閘介電層、輔助閘極、絕緣層以及抹除閘極。浮置閘極設置於堆疊結構的第一側的側壁，且浮置閘極的頂部具有轉角部，轉角部鄰近抹除閘極，且轉角部高度落於抹除閘極高度間。穿隧介電層設置於浮置閘極與基底之間。抹除閘介電層設置於抹除閘極與浮置閘極之間。輔助閘介電層設置於輔助閘極與浮置閘極之間。第一摻雜區與第二摻雜區分別設置於堆疊結構與浮置閘極兩側的基底中，其中第一摻雜區鄰接浮置閘極、且第一摻雜區的一部分延伸至所述浮置閘極下方，第二摻雜區鄰接堆疊結構的第二側，第一側與第二側相對。

【0009】 在本發明的一實施例中，上述非揮發性記憶體更具有第二記憶胞。第二記憶胞設置於基底上，且第二記憶胞的結構與第一記憶胞的結構相同，第二記憶胞與第一記憶胞成鏡像配置，共用第一摻雜區或第二摻雜區。

【0010】 在本發明的一實施例中，上述第一摻雜區作為源極區，第二摻雜區作為汲極區。

【0011】 在本發明的一實施例中，上述非揮發性記憶體更具有第三記憶胞。第三記憶胞設置於基底上，且第三記憶胞的結構與第一記憶胞的結構相同，共用第一摻雜區、輔助閘極以及抹除閘極。

【0012】 在本發明的一實施例中，上述第一摻雜區作為汲極區，第二摻雜區作為源極區。

【0013】 在本發明的一實施例中，上述非揮發性記憶體更具有插塞及隔離層。插塞電性連接第一摻雜區，且插塞填滿第一記憶胞

與第二記憶胞之間的開口。隔離層設置於插塞與浮置閘極之間。隔離層的材質包括氧化矽／氮化矽／氧化矽或氮化矽／氧化矽或其他高介電常數的材質($k > 4$)。

【0014】 在本發明的一實施例中，上述非揮發性記憶體更具有控制閘極、閘間介電層及控制閘極線。控制閘極設置於第一摻雜區與浮置閘極上。閘間介電層設置於控制閘極與浮置閘極之間。控制閘極線電性連接控制閘極。

【0015】 在本發明的一實施例中，上述第一記憶胞與第二記憶胞共用控制閘極，且控制閘極填滿第一記憶胞與第二記憶胞之間的開口。

【0016】 在本發明的一實施例中，上述穿隧介電層更設置於控制閘極與第一摻雜區之間。

【0017】 在本發明的一實施例中，上述非揮發性記憶體，更具有位元線。位元線電性連接第二摻雜區，其中位元線的延伸方向平行於控制閘極線的延伸方向。

【0018】 在本發明的一實施例中，上述輔助閘間介電層的厚度大於或等於抹除閘間介電層的厚度。

【0019】 在本發明的一實施例中，上述輔助閘間介電層的材質包括氧化矽／氮化矽、氧化矽／氮化矽／氧化矽或氧化矽。

【0020】 在本發明的一實施例中，上述絕緣層的材質包括氧化矽。上述閘間介電層的材質包括氧化矽／氮化矽／氧化矽或氮化矽／氧化矽或其他高介電常數的材質(介電常數 $k > 4$)。

【0021】 在本發明的一實施例中，上述穿隧介電層的材質包括氧化矽，穿隧介電層的厚度介於 60 埃至 200 埃之間。

【0022】 在本發明的一實施例中，上述閘介電層的材質包括氧化矽，閘介電層的厚度小於或等於穿隧介電層的厚度。上述抹除閘介電層的材質包括氧化矽，抹除閘介電層的厚度介於 100 埃至 180 埃之間。

【0023】 在本發明的一實施例中，上述浮置閘極的轉角部角度小於或等於 90 度。

【0024】 在本發明的一實施例中，上述第一摻雜區的延伸至浮置閘極下方的長度為浮置閘極長度的 0.001~0.5 倍。

【0025】 本發明的非揮發性記憶體中，在 X 方向(行方向)相鄰的兩記憶胞結構相同且例如是成鏡像配置，共用第一摻雜區或第二摻雜區。而在 Y 方向(列方向)相鄰的兩記憶胞結構相同，共用第一摻雜區、輔助閘極(字元線)及抹除閘極。因此能提高元件的積集度。

【0026】 本發明的非揮發性記憶體中，輔助閘極與抹除閘極平行設置，因此能提高元件的積集度。

【0027】 本發明的非揮發性記憶體中，輔助閘極下方的閘介電層的厚度較薄，在操作記憶胞時，可以使用較小的電壓打開/關閉輔助閘極下方的通道區，亦即可以降低操作電壓。

【0028】 本發明的非揮發性記憶體中，由於浮置閘極在抹除閘極高度間設置有轉角部，且此轉角部的角度小於或等於 90 度，藉由

轉角部使電場集中，可降低抹除電壓，有效率的將電子從浮置閘極拉出，提高抹除資料的速度。

【0029】 本發明的非揮發性記憶體中，在具有控制閘極時，控制閘極包覆浮置閘極，能夠增加控制閘極與浮置閘極之間所夾的面積，而提高了記憶體元件的的耦合率。

【0030】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0031】

圖 1A 為依照本發明之第一實施例所繪示的一種非揮發性記憶體的上視圖。

圖 1B 為依照本發明之第一實施例所繪示的一種非揮發性記憶體的剖面示意圖。

圖 1C 為依照本發明之第一實施例所繪示的一種非揮發性記憶體的電路簡圖。

圖 2A 為對第一實施例的記憶胞進行程式化操作之一實施例的示意圖。

圖 2B 為對第一實施例的記憶胞進行抹除操作之一實施例的示意圖。

圖 2C 為對第一實施例的記憶胞進行讀取操作之一實施例的示意圖。

圖 3A 為依照本發明之第二實施例所繪示的一種非揮發性記憶體的上視圖。

圖 3B 為依照本發明之第二實施例所繪示的一種非揮發性記憶體的剖面示意圖。

圖 3C 為依照本發明之第二實施例所繪示的一種非揮發性記憶體的電路簡圖。

圖 4A 為對第二實施例的記憶胞進行程式化操作之一實例的示意圖。

圖 4B 為對第二實施例的記憶胞進行抹除操作之一實例的示意圖。

圖 4C 為對第二實施例的記憶胞進行讀取操作之一實例的示意圖。

圖 5A 為依照本發明之第三實施例所繪示的一種非揮發性記憶體的上視圖。

圖 5B 為依照本發明之第三實施例所繪示的一種非揮發性記憶體的剖面示意圖。

圖 5C 為依照本發明之第三實施例所繪示的一種非揮發性記憶體的電路簡圖。

圖 6A 為對第三實施例的記憶胞進行程式化操作之一實例的示意圖。

圖 6B 為對第三實施例的記憶胞進行抹除操作之一實例的示意圖。

圖 6C 為對第三實施例的記憶胞進行讀取操作之一實例的示意圖。

【實施方法】

【0032】 圖 1A 為依照本發明之第一實施例所繪示的一種非揮發性記憶體的上視圖。圖 1B 為依照本發明之第一實施例所繪示的一種非揮發性記憶體的剖面示意圖。圖 1B 所繪示為沿著圖 1A 中 A-A'線的剖面圖。圖 1C 為依照本發明之第一實施例所繪示的一種非揮發性記憶體的電路簡圖。

【0033】 請參照圖 1A 及圖 1B，非揮發性記憶體包括多個記憶胞 MC。這些記憶胞 MC 排列成行/列陣列。

【0034】 非揮發性記憶體設置於基底 100 上。在基底 100 中例如設置有規則排列的多個隔離結構 102，以定義出具有格狀的主動區 104。隔離結構 102 例如是淺溝渠隔離結構。

【0035】 各記憶胞 MC 包括堆疊結構 120、輔助閘介電層 130、抹除閘介電層 132、浮置閘極 140、穿隧介電層 142、第一摻雜區 146、第二摻雜區 148。此外，基底 100 上更具有層間絕緣層 160、插塞 162 與位元線 164。

【0036】 堆疊結構 120 從基底 100 起依序由閘介電層 122、輔助閘極(字元線)124、絕緣層 126 以及抹除閘極 128 構成。閘介電層 122 例如是設置於輔助閘極 124 與基底 100 之間。閘介電層 122 的材質例如是氧化矽。閘介電層 122 的厚度例如小於或等於穿隧介電

層 142 的厚度。

【0037】 輔助閘極 124 例如是設置於閘介電層 122 與絕緣層 126 之間。抹除閘極 128 例如是設置於絕緣層 126 上。輔助閘極 124、抹除閘極 128 例如是在 Y 方向延伸。輔助閘極 124、抹除閘極 128 的材質例如是摻雜多晶矽等導體材料。絕緣層 126 例如是設置於輔助閘極 124 與抹除閘極 128 之間。絕緣層 126 的材質例如是氧化矽。

【0038】 輔助閘介電層 130 例如是設置於浮置閘極 140 與輔助閘極 124 之間。輔助閘介電層 130 的材質例如是氧化矽／氮化矽／氧化矽、氮化矽／氧化矽或氧化矽。輔助閘介電層 130 的厚度例如大於或等於抹除閘介電層 132 的厚度。抹除閘介電層 132 例如是設置於抹除閘極 128 與浮置閘極 140 之間。抹除閘介電層 132 的材質例如是氧化矽。抹除閘介電層 132 的厚度例如介於 100 埃至 180 埃之間。

【0039】 浮置閘極 140 例如是設置於堆疊結構 120 之第一側的側壁，且此浮置閘極 140 的頂部具有轉角部 141。此轉角部 141 鄰近抹除閘極 128，且此轉角部 141 高度落於抹除閘極 128 高度間。此轉角部 141 角度小於或等於 90 度。浮置閘極 140 的材質例如是摻雜多晶矽等導體材料。浮置閘極 140 可由一層或多層導體層構成。

【0040】 穿隧介電層 142 例如是設置於浮置閘極 140 與基底 100 之間。穿隧介電層 142 的材質例如是氧化矽。穿隧介電層 142 的厚度介於 60 埃至 200 埃之間。

【0041】 第一摻雜區 146 例如是設置於浮置閘極 140 旁的基底 100 中，且第一摻雜區 146 的一部分延伸至浮置閘極 140 下方。第一摻雜區 146 的延伸至浮置閘極 140 下方的長度 H1 為浮置閘極 140 長度 H2 的 0.001~0.5 倍。第二摻雜區 148 例如是設置於堆疊結構 120 第二側的基底 100 中，其中第一側與第二側相對。第一摻雜區 146、第二摻雜區 148 例如是含有 N 型或 P 型摻質的摻雜區，端視元件的設計而定。在本實施例中，第一摻雜區 146 作為源極區，第二摻雜區 148 作為汲極區。

【0042】 層間絕緣層 160 例如是設置於基底 100 上，並且覆蓋第一記憶胞 110 與第二記憶胞 112。層間絕緣層 160 的材質例如是氧化矽、磷矽玻璃、硼磷矽玻璃或其他適合之介電材料。插塞 162 例如是設置於層間絕緣層 160 中，插塞 162 與第二摻雜區 148 電性連接。插塞 162 的材質例如是鋁、鎢等導體材料。位元線 164 例如是設置於層間絕緣層 160 上，位元線 164 藉由插塞 162 與第二摻雜區 148 電性連接。位元線 164 的材質例如是鋁、鎢、銅等導體材料。

【0043】 在 X 方向(行方向)上，多個記憶胞 MC 藉由第一摻雜區 146 或第二摻雜區 148 串接在一起。舉例來說，記憶胞 110 的結構與記憶胞 112 的結構相同，且記憶胞 110 與記憶胞 112 成鏡像配置，共用第一摻雜區 146 或第二摻雜區 148；記憶胞 114 的結構與記憶胞 116 的結構相同，且記憶胞 114 與記憶胞 116 成鏡像配置，共用第一摻雜區 146 或第二摻雜區 148。

【0044】 在 Y 方向(列方向)上，多個記憶胞 MC 由第一摻雜區 146、輔助閘極(字元線)124 以及抹除閘極 128 串接在一起。亦即，在列方向上，多個記憶胞 MC 共用同一個第一摻雜區 146、輔助閘極(字元線)124、抹除閘極 128。舉例來說，記憶胞 110 的結構與記憶胞 114 的結構相同，記憶胞 112 的結構與記憶胞 116 的結構相同，同一列的記憶胞 114 與第一記憶胞 110 共用同一第一摻雜區 146、輔助閘極(字元線)124、以及抹除閘極 128。

【0045】 在上述的非揮發性記憶體中，在 X 方向(行方向)相鄰的兩記憶胞 MC 結構相同且例如是成鏡像配置，共用第一摻雜區 146 或第二摻雜區 148。而在 Y 方向(列方向)相鄰的兩記憶胞 MC 結構相同，共用第一摻雜區 146、輔助閘極(字元線)124 以及抹除閘極 128。因此能提高元件的積集度。

【0046】 如圖 1C 所示，在 X 方向(行方向)上，位元線 BL0~BL2 分別連接同一行的記憶胞的汲極區。在 Y 方向(列方向)上，字元線 WL0~WL3 分別連接同一列記憶胞的輔助閘極。抹除閘極線 EG0~EG3 分別連接同一列記憶胞的抹除閘極。源極線 CS01~CS23 分別連接同一列記憶胞的源極區。

【0047】 在上述的非揮發性記憶體中，輔助閘極與抹除閘極配置成堆疊結構，因此能提高元件的積集度。

【0048】 在上述的非揮發性記憶體中，閘介電層 122 的厚度較薄，在操作記憶胞時，可以使用較小的電壓打開/關閉輔助閘極 124 下方的通道區，亦即可以降低操作電壓。由於浮置閘極 140 在抹除

閘極 128 高度間設置有轉角部 141，且此轉角部 141 的角度小於或等於 90 度，藉由轉角部 141 使電場集中，可降低抹除電壓有效率的將電子從浮置閘極 140 拉出，提高抹除資料的速度。

【0049】 接著，說明本發明的非揮發性記憶體的操作模式，包括程式化、抹除與資料讀取等操作模式。圖 2A 為對第一實施例的記憶體進行程式化操作之一實例的示意圖。圖 2B 為對第一實施例的記憶體進行抹除操作之一實例的示意圖。圖 2C 為對第一實施例的記憶體進行讀取操作之一實例的示意圖。

【0050】 請參照圖 2A，在進行程式化操作時，於選定記憶體(如圖 1C 中的選定記憶體 S_e)的輔助閘極 WL_0 施加電壓 V_{wlp} ，以於輔助閘極下方的基底中形成通道，電壓 V_{wlp} 例如是 0.6~1.2 伏特。非選定記憶體(如圖 1C 中的非選定記憶體 U)的輔助閘極 WL_1 施加 0 伏特之電壓。於源極區 S 施加電壓 V_{csp} ；於汲極區 D 施加電壓 V_{blp} ；於選定記憶體的抹除閘極 EG_0 以及非選定記憶體的抹除閘極 EG_1 施加電壓 V_{egp} 。電壓 V_{csp} 例如是 7~10 伏特；電壓 V_{blp} 例如是 0.3~0.8 伏特；電壓 V_{egp} 例如是 3~5 伏特。在此種偏壓下，使電子由汲極往源極移動，以源極側熱電子注入的模式，注入選定記憶體的浮置閘極 FG_0 。由於非選定記憶體的輔助閘極 WL_1 施加 0 伏特之電壓，無法形成通道區，電子無法注入非選定記憶體的浮置閘極 FG_1 ，因此非選定記憶體不會被程式化。

【0051】 請參照圖 2B，在進行抹除操作時，於選定記憶體的抹除閘極 EG_0 施加電壓 V_{ege} ；於非選定記憶體的抹除閘極 EG_1 施加 0

伏特之電壓。於汲極區 D(位元線 BL)、源極區 S 施加 0 伏特的電壓。電壓 V_{ge} 例如是 10~12 伏特。利用抹除閘極 EG0 與源極區 S 的電壓差，引發 FN 穿隧效應，將儲存於記憶胞的浮置閘極 FG0 電子拉出並移除。

【0052】 請參照圖 2C，在進行讀取操作時，於選定記憶胞的輔助閘極 WL0 施加電壓 V_{cc} ；於選定記憶胞的抹除閘極 EG0 施加電壓 $0-V_{cc}$ ；於非選定記憶胞的抹除閘極 EG1 施加電壓 $0-V_{cc}$ ；於汲極區 D(位元線)施加電壓 V_{blr} 。電壓 V_{blr} 例如是 0.6~0.9 伏特。其中，電壓 V_{cc} 例如是電源電壓。在上述偏壓的情況下，可藉由偵測記憶胞之通道電流大小，來判斷儲存於記憶胞中的數位資訊。

【0053】 在本發明的非揮發性記憶體的操作方法中，在進行程式化操作時，對輔助閘極施加低電壓，即可於輔助閘極下方的基底中形成通道，以源極側熱電子注入的模式，將電子寫入浮置閘極。在進行抹除操作時，利用抹除閘極來抹除資料，使電子經由抹除閘介電層移除，可減少電子經過穿隧介電層的次數，進而提高可靠度。此外，浮置閘極的轉角部設置於抹除閘極高度間，且此轉角部的角度小於或等於 90 度，藉由轉角部使電場集中，可有效率的將電子從浮置閘極拉出，提高抹除資料的速度。

【0054】 圖 3A 為依照本發明之第二實施例所繪示的一種非揮發性記憶體的上視圖。圖 3B 為依照本發明之第二實施例所繪示的一種非揮發性記憶體的剖面示意圖。圖 3B 所繪示為沿著圖 3A 中 A-A'線的剖面圖。圖 3C 為依照本發明之第二實施例所繪示的一種

非揮發性記憶體之電路簡圖。本發明的第二實施例中，構件與第一實施例相同者，給予相同的標號，並省略其詳細說明。

【0055】請參照圖 3A 及圖 3B，第一摻雜區 146 例如是設置於浮置閘極 140 旁的基底 100 中。第二摻雜區 148 例如是設置於堆疊結構 120 第二側的基底 100 中，其中第一側與第二側相對。第一摻雜區 146、第二摻雜區 148 例如是含有 N 型或 P 型摻質的摻雜區，端視元件的設計而定。第一摻雜區 146 作為汲極區，第二摻雜區 148 作為源極區。亦即，在兩記憶胞 MC 的浮置閘極 140 之間的是汲極區。

【0056】插塞 162a 例如是設置於層間絕緣層 160 中，且位於第一摻雜區 146 上。插塞 162a 與第一摻雜區 146 電性連接，且插塞 162a 填滿浮置閘極 140 之間的開口。插塞 162a 的材質例如是鋁、鎢等導體材料。

【0057】隔離層 152a 例如是設置於插塞 162a 與浮置閘極 140 之間。隔離層 152a 的材質例如是氧化矽／氮化矽／氧化矽或氮化矽／氧化矽或其他高介電常數的材質($k > 4$)。

【0058】位元線 164 例如是設置於層間絕緣層 160 上，位元線 164 藉由插塞 162a 與第一摻雜區 146 電性連接。位元線 164 的材質例如是鋁、鎢、銅等導體材料。位元線 164 例如是在 X 方向(行方向)延伸。

【0059】在上述的非揮發性記憶體中，浮置閘極 140 之間的第一摻雜區 146 是作為汲極區，位元線 164 藉由插塞 162a 與第一摻雜

區 146 電性連接。而插塞 162a 填滿浮置閘極 140 之間的開口。

【0060】 在上述的非揮發性記憶體中，在 X 方向(行方向)相鄰的兩記憶胞 MC 結構相同且例如是成鏡像配置，共用第一摻雜區 146 或第二摻雜區 148。而在 Y 方向(列方向)相鄰的兩記憶胞 MC 結構相同，共用第二摻雜區 148、輔助閘極(字元線)124 以及抹除閘極 128。因此能提高元件的積集度。

【0061】 在上述的非揮發性記憶體中，輔助閘極與抹除閘極配置成堆疊結構，因此能提高元件的積集度。

【0062】 在上述的非揮發性記憶體中，閘介電層 122 的厚度較薄，在操作記憶胞時，可以使用較小的電壓打開/關閉輔助閘極 124 下方的通道區，亦即可以降低操作電壓。由於浮置閘極 140 在抹除閘極 128 高度間設置有轉角部 141，且此轉角部 141 的角度小於或等於 90 度，藉由轉角部 141 使電場集中，可降低抹除電壓有效率的將電子從浮置閘極 140 拉出，提高抹除資料的速度。

【0063】 如圖 3C 所示，在 X 方向(行方向)上，位元線 BL0~BL2 分別連接同一行的記憶胞的汲極區。在 Y 方向(列方向)上，字元線 WL0~WL3 分別連接同一列記憶胞的輔助閘極。抹除閘極線 EG0~EG3 分別連接同一列記憶胞的抹除閘極。同一列記憶胞的源極區接地 GND。

【0064】 接著，說明本發明的非揮發性記憶體的操作模式，包括程式化、抹除與資料讀取等操作模式。圖 4A 為對第二實施例的記憶胞進行程式化操作之一實例的示意圖。圖 4B 為對第二實施例的

記憶胞進行抹除操作之一實例的示意圖。圖 4C 為對第二實施例的記憶胞進行讀取操作之一實例的示意圖。

【0065】請參照圖 4A，在進行程式化操作時，於選定記憶胞（如圖 3C 中的選定記憶胞 S_e ）的輔助閘極 WL_0 施加電壓 V_{wlp} ，以於輔助閘極下方的基底中形成通道，電壓 V_{wlp} 例如是 0.6~1.2 伏特。非選定記憶胞（如圖 3C 中的非選定記憶胞 U ）的輔助閘極 WL_1 施加 0 伏特之電壓。於汲極區 D (位元線)施加電壓 V_{blp} ；選定記憶胞的抹除閘極 EG_0 以及非選定記憶胞的抹除閘極 EG_1 施加電壓 V_{egp} 。電壓 V_{blp} 例如是 6~9 伏特；電壓 V_{egp} 例如是 3~5 伏特。在此種偏壓下，使電子由源極往汲極移動，以源極側熱電子注入的模式，注入選定記憶胞的浮置閘極 FG_0 。由於非選定記憶胞的輔助閘極 WL_1 施加 0 伏特之電壓，無法形成通道區，電子無法注入非選定記憶胞的浮置閘極 FG_1 ，因此非選定記憶胞不會被程式化。

【0066】請參照圖 4B，在進行抹除操作時，於選定記憶胞的抹除閘極 EG_0 施加電壓 V_{ege} ；於非選定記憶胞的抹除閘極 EG_1 施加 0 伏特之電壓；於汲極區 D (位元線)施加 0 伏特之電壓。電壓 V_{ege} 例如是 6~12 伏特。利用抹除閘極 EG_0 與汲極區 D 的電壓差，引發 FN 穿隧效應，將儲存於記憶胞的浮置閘極 FG_0 電子拉出並移除。

【0067】請參照圖 4C，在進行讀取操作時，於選定記憶胞的輔助閘極 WL_0 施加電壓 V_{cc} ；於選定記憶胞的抹除閘極 EG_0 施加電壓

0-Vcc；於非選定記憶胞的抹除閘極 EG1 施加電壓 0-Vcc；於汲極區 D(位元線)施加電壓 Vblr。其中，電壓 Vcc 例如是電源電壓；電壓 Vblr 例如是 0.6~0.9 伏特。在上述偏壓的情況下，可藉由偵測記憶胞之通道電流大小，來判斷儲存於記憶胞中的數位資訊。

【0068】 在本發明的非揮發性記憶體的操作方法中，在進行程式化操作時，對輔助閘極施加低電壓，即可於輔助閘極下方的基底中形成通道，以源極側熱電子注入的模式，將電子寫入浮置閘極。在進行抹除操作時，利用抹除閘極來抹除資料，使電子經由抹除閘介電層移除，可減少電子經過穿隧介電層的次數，進而提高可靠度。此外，浮置閘極的轉角部設置於抹除閘極高度間，且此轉角部的角度小於或等於 90 度，藉由轉角部使電場集中，可有效率的將電子從浮置閘極拉出，提高抹除資料的速度。

【0069】 圖 5A 為依照本發明之第三實施例所繪示的一種非揮發性記憶體的上視圖。圖 5B 為依照本發明之第三實施例所繪示的一種非揮發性記憶體的剖面示意圖。圖 5C 為依照本發明之第三實施例所繪示的一種非揮發性記憶體的電路簡圖。圖 5B 所繪示為沿著圖 5A 中 A-A'線的剖面圖。本發明的第三實施例中，構件與第一實施例相同者，給予相同的標號，並省略其詳細說明。

【0070】 請參照圖 5A 及圖 5B，第一摻雜區 146 例如是設置於浮置閘極 140 旁的基底 100 中。第二摻雜區 148 例如是設置於堆疊結構 120 第二側的基底 100 中，其中第一側與第二側相對。第一摻雜區 146、第二摻雜區 148 例如是含有 N 型或 P 型摻質的摻雜

區，端視元件的設計而定。在本實施例中，第一摻雜區 146 作為源極區，第二摻雜區 148 作為汲極區。

【0071】 控制閘極 150 例如是設置於第一摻雜區 146 與浮置閘極 140 上。控制閘極 150 的材質例如是摻雜多晶矽等導體材料。閘間介電層 152 例如是設置於控制閘極 150 與浮置閘極 140 之間。閘間介電層 152 的材質例如是氧化矽／氮化矽／氧化矽或氮化矽／氧化矽或其他高介電常數的材質($k > 4$)。

【0072】 插塞 162 例如是設置於層間絕緣層 160 中，插塞 162 與第二摻雜區 148 電性連接。位元線 164 例如是設置於層間絕緣層 160 上，位元線 164 藉由插塞 162 與第二摻雜區 148 電性連接。插塞 166 例如是設置於層間絕緣層 160 中，插塞 166 與控制閘極 150 電性連接。插塞 166 的材質例如是鋁、鎢等導體材料。控制閘極線 168 例如是設置於層間絕緣層 160 上，控制閘極線 168 藉由插塞 166 與控制閘極 150 電性連接。控制閘極線 168 的材質例如是鋁、鎢、銅等導體材料。

【0073】 位元線 164、控制閘極線 168 例如是在 X 方向(行方向)延伸，亦即位元線 164 的延伸方向平行於控制閘極線 168 的延伸方向。

【0074】 在上述的非揮發性記憶體中，於第一摻雜區 146 與浮置閘極 140 上設置了控制閘極 150。於層間絕緣層 160 上設置控制閘極線 168。位元線 164、控制閘極線 168 例如是在 X 方向(行方向)延伸。

【0075】 在上述的非揮發性記憶體中，在 X 方向(行方向)相鄰的兩記憶胞 MC 結構相同且例如是成鏡像配置，共用第一摻雜區 146 或第二摻雜區 148 以及控制閘極 150。而在 Y 方向(列方向)相鄰的兩記憶胞 MC 結構相同，共用第一摻雜區 146、輔助閘極(字元線)124 以及抹除閘極 128。因此能提高元件的積集度。

【0076】 在上述的非揮發性記憶體中，輔助閘極與抹除閘極配置成堆疊結構，因此能提高元件的積集度。

【0077】 在上述的非揮發性記憶體中，閘介電層 122 的厚度較薄，在操作記憶胞時，可以使用較小的電壓打開/關閉輔助閘極 124 下方的通道區，亦即可以降低操作電壓。由於浮置閘極 140 在抹除閘極 128 高度間設置有轉角部 141，且此轉角部 141 的角度小於或等於 90 度，藉由轉角部 141 使電場集中，可降低抹除電壓有效率的將電子從浮置閘極 140 拉出，提高抹除資料的速度。

【0078】 如圖 5C 所示，在 X 方向(行方向)上，位元線 BL0~BL2 分別連接同一行的記憶胞的汲極區。控制閘極線 CG0~CG2 分別連接同一行的記憶胞的控制閘極。在 Y 方向(列方向)上，字元線 WL0~WL3 分別連接同一列記憶胞的輔助閘極。抹除閘極線 EG0~EG3 分別連接同一列記憶胞的抹除閘極。源極線 CS01~CS23 分別連接同一列記憶胞的源極區。

【0079】 接著，說明本發明的非揮發性記憶體的操作模式，包括程式化、抹除與資料讀取等操作模式。圖 6A 為對第三實施例的記憶胞進行程式化操作之一實例的示意圖。圖 6B 為對第三實施例的

記憶胞進行抹除操作之一實例的示意圖。圖 6C 為對第三實施例的記憶胞進行讀取操作之一實例的示意圖。

【0080】請參照圖 6A，在進程式化操作時，於選定記憶胞（如圖 5C 中的選定記憶胞 S_e ）的輔助閘極 WL_0 施加電壓 V_{wlp} ，以於輔助閘極下方的基底中形成通道，電壓 V_{wlp} 例如是 0.6~1.2 伏特。非選定記憶胞（如圖 5C 中的非選定記憶胞 U ）的輔助閘極 WL_1 施加 0 伏特之電壓。於源極區 S 施加電壓 V_{csp} ；於控制閘極 CG 施加電壓 V_{cgp} ；於汲極區 D 施加電壓 V_{blp} ；選定記憶胞的抹除閘極 EG_0 以及非選定記憶胞的抹除閘極 EG_1 施加電壓 V_{egp} 。電壓 V_{csp} 例如是 4~6 伏特；電壓 V_{blp} 例如是 0.3~0.8 伏特；電壓 V_{cgp} 例如是 6~8 伏特；電壓 V_{egp} 例如是 3~5 伏特。在此種偏壓下，使電子由汲極往源極移動，以源極側熱電子注入的模式，注入選定記憶胞的浮置閘極 FG_0 。由於非選定記憶胞的輔助閘極 WL_1 施加 0 伏特之電壓，無法形成通道區，電子無法注入非選定記憶胞的浮置閘極 FG_1 ，因此非選定記憶胞不會被程式化。

【0081】請參照圖 6B，在進行抹除操作時，於控制閘極 CG 施加電壓 V_{cge} ；於選定記憶胞的抹除閘極 EG_0 施加電壓 V_{ege} ；於非選定記憶胞的抹除閘極 EG_1 施加 0 伏特之電壓；於汲極區 D （位元線）、源極區 S 施加 0 伏特之電壓。電壓 V_{ege} 例如是 4.5~6 伏特；電壓 V_{cge} 例如是 -6~-8 伏特。利用控制閘極 CG 與抹除閘極 EG_0 的電壓差，引發 FN 穿隧效應，將儲存於記憶胞的浮置閘極 FG_0 電子拉出並移除。

【0082】 請參照圖 6C，在進行讀取操作時，於選定記憶胞的輔助閘極 WL0 施加電壓 V_{cc} ；於控制閘極 CG 施加電壓 $0-V_{cc}$ ；於選定記憶胞的抹除閘極 EG0 施加電壓 $0-V_{cc}$ ；於非選定記憶胞的抹除閘極 EG1 施加電壓 $0-V_{cc}$ ；於汲極區 D(位元線)施加電壓 V_{blr} 。其中，電壓 V_{cc} 例如是電源電壓；電壓 V_{blr} 例如是 0.6~0.9 伏特。在上述偏壓的情況下，可藉由偵測記憶胞之通道電流大小，來判斷儲存於記憶胞中的數位資訊。

【0083】 在本發明的非揮發性記憶體的操作方法中，在進行程式化操作時，對輔助閘極施加低電壓，即可於輔助閘極下方的基底中形成通道，以源極側熱電子注入的模式，將電子寫入浮置閘極。在進行抹除操作時，利用抹除閘極來抹除資料，使電子經由抹除閘介電層移除，可減少電子經過穿隧介電層的次數，進而提高可靠度。此外，浮置閘極的轉角部設置於抹除閘極高度間，且此轉角部的角度小於或等於 90 度，藉由轉角部使電場集中，可有效率的將電子從浮置閘極拉出，提高抹除資料的速度。

【0084】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0085】

100：基底	146：第一摻雜區
102：隔離結構	148：第二摻雜區
104：主動區	150：控制閘極
110、112、114、116、MC：	152、262、362：閘間介電層
記憶胞	152a：隔離層
120：堆疊結構	160：層間絕緣層
122：閘介電層	162、166：插塞
124：輔助閘極	164、BL0~BL2：位元線
126：絕緣層	168、CG0~CG2：控制閘極線
128：抹除閘極	WL0~WL3：字元線
130：輔助閘介電層	EG0~EG3：抹除閘極線
132：抹除閘介電層	S：源極區
140：浮置閘極	D：汲極區
141：轉角部	H1、H2：長度
142：穿隧介電層	

申請專利範圍

1. 一種非揮發性記憶體，包括：

第一記憶胞，設置於基底上，所述第一記憶胞，包括：

堆疊結構，包括依序設置於所述基底上的閘介電層、輔助閘極、絕緣層以及抹除閘極；

浮置閘極，設置於所述堆疊結構的第一側的側壁，且所述浮置閘極的頂部具有轉角部，所述轉角部鄰近所述抹除閘極，且所述轉角部高度落於所述抹除閘極高度間；

穿隧介電層，設置於所述浮置閘極與所述基底之間；

抹除閘介電層，設置於所述抹除閘極與所述浮置閘極之間；

輔助閘介電層，設置於所述輔助閘極與所述浮置閘極之間；以及

第一摻雜區與第二摻雜區，分別設置於所述堆疊結構與所述浮置閘極兩側的所述基底中，其中所述第一摻雜區鄰接所述浮置閘極、且所述第一摻雜區的一部分延伸至所述浮置閘極下方，所述第二摻雜區鄰接所述堆疊結構的第二側，所述第一側與所述第二側相對。

2. 如申請專利範圍第 1 項所述的非揮發性記憶體，更包括：

第二記憶胞，設置於所述基底上，所述第二記憶胞的結構與所述第一記憶胞的結構相同，所述第二記憶胞與所述第一記憶胞成鏡像配置，共用所述第一摻雜區或所述第二摻雜區。

3. 如申請專利範圍第 2 項所述的非揮發性記憶體，其中所述第一摻雜區作為源極區，所述第二摻雜區作為汲極區。

4. 如申請專利範圍第 3 項所述的非揮發性記憶體，更包括：第三記憶胞，設置於所述基底上，所述第三記憶胞的結構與所述第一記憶胞的結構相同，共用所述第一摻雜區、所述輔助閘極以及所述抹除閘極。

5. 如申請專利範圍第 2 項所述的非揮發性記憶體，其中所述第一摻雜區作為汲極區，所述第二摻雜區作為源極區。

6. 如申請專利範圍第 5 項所述的非揮發性記憶體，其中更包括：

插塞，電性連接所述第一摻雜區，且所述插塞填滿所述第一記憶胞與所述第二記憶胞之間的開口；以及

隔離層，設置於所述插塞與所述浮置閘極之間。

7. 如申請專利範圍第 6 項所述的非揮發性記憶體，其中所述隔離層的材質包括氧化矽／氮化矽／氧化矽或氮化矽／氧化矽或其他高介電常數的材質($k > 4$)。

8. 如申請專利範圍第 1 項所述的非揮發性記憶體，其中更包括：

控制閘極，設置於所述第一摻雜區與所述浮置閘極上；

閘間介電層，設置於所述控制閘極與所述浮置閘極之間；以及

及

控制閘極線，電性連接所述控制閘極。

9. 如申請專利範圍第 8 項所述的非揮發性記憶體，其中所述第一記憶胞與所述第二記憶胞共用所述控制閘極，且所述控制閘極填滿所述第一記憶胞與所述第二記憶胞之間的開口。

10. 如申請專利範圍第 8 項所述的非揮發性記憶體，其中所述穿隧介電層更設置於所述控制閘極與所述第一摻雜區之間。

11. 如申請專利範圍第 8 項所述的非揮發性記憶體，更包括：位元線，電性連接所述第二摻雜區，其中所述位元線的延伸方向平行於所述控制閘極線的延伸方向。

12. 如申請專利範圍第 1 項所述的非揮發性記憶體，其中所述輔助閘介電層的厚度大於或等於所述抹除閘介電層的厚度。

13. 如申請專利範圍第 1 項所述的非揮發性記憶體，其中所述輔助閘介電層的材質包括氧化矽／氮化矽、氧化矽／氮化矽／氧化矽或氧化矽。

14. 如申請專利範圍第 1 項所述的非揮發性記憶體，其中所述絕緣層的材質包括氧化矽。

15. 如申請專利範圍第 8 項所述的非揮發性記憶體，其中所述閘間介電層的材質包括氧化矽／氮化矽／氧化矽或氮化矽／氧化矽或其他高介電常數的材質($k > 4$)。

16. 如申請專利範圍第 1 項所述的非揮發性記憶體，其中所述穿隧介電層的材質包括氧化矽，所述穿隧介電層的厚度介於 60 埃至 200 埃之間。

17. 如申請專利範圍第 1 項所述的非揮發性記憶體，其中所

述閘介電層的材質包括氧化矽，所述閘介電層的厚度小於或等於所述穿隧介電層的厚度。

18. 如申請專利範圍第 1 項所述的非揮發性記憶體，其中所述抹除閘介電層的材質包括氧化矽，所述抹除閘介電層的厚度介於 100 埃至 180 埃之間。

19. 如申請專利範圍第 1 項所述的非揮發性記憶體，其中所述浮置閘極的頂部具有轉角部，所述轉角部角度小於或等於 90 度。

20. 如申請專利範圍第 1 項所述的非揮發性記憶體，其中所述第一摻雜區的延伸至所述浮置閘極下方的長度為所述浮置閘極長度的 0.001~0.5 倍。

圖式

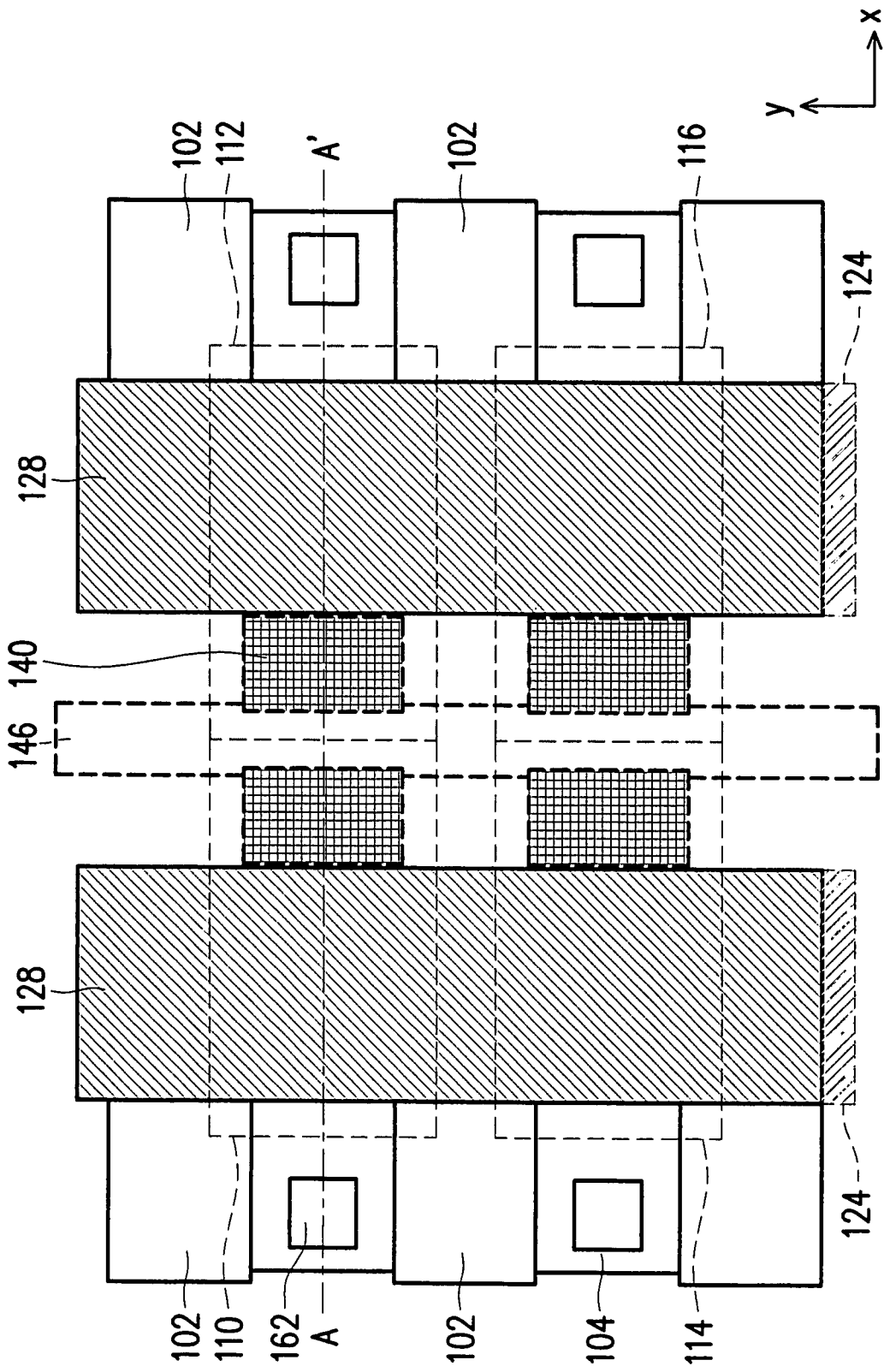


圖 1A

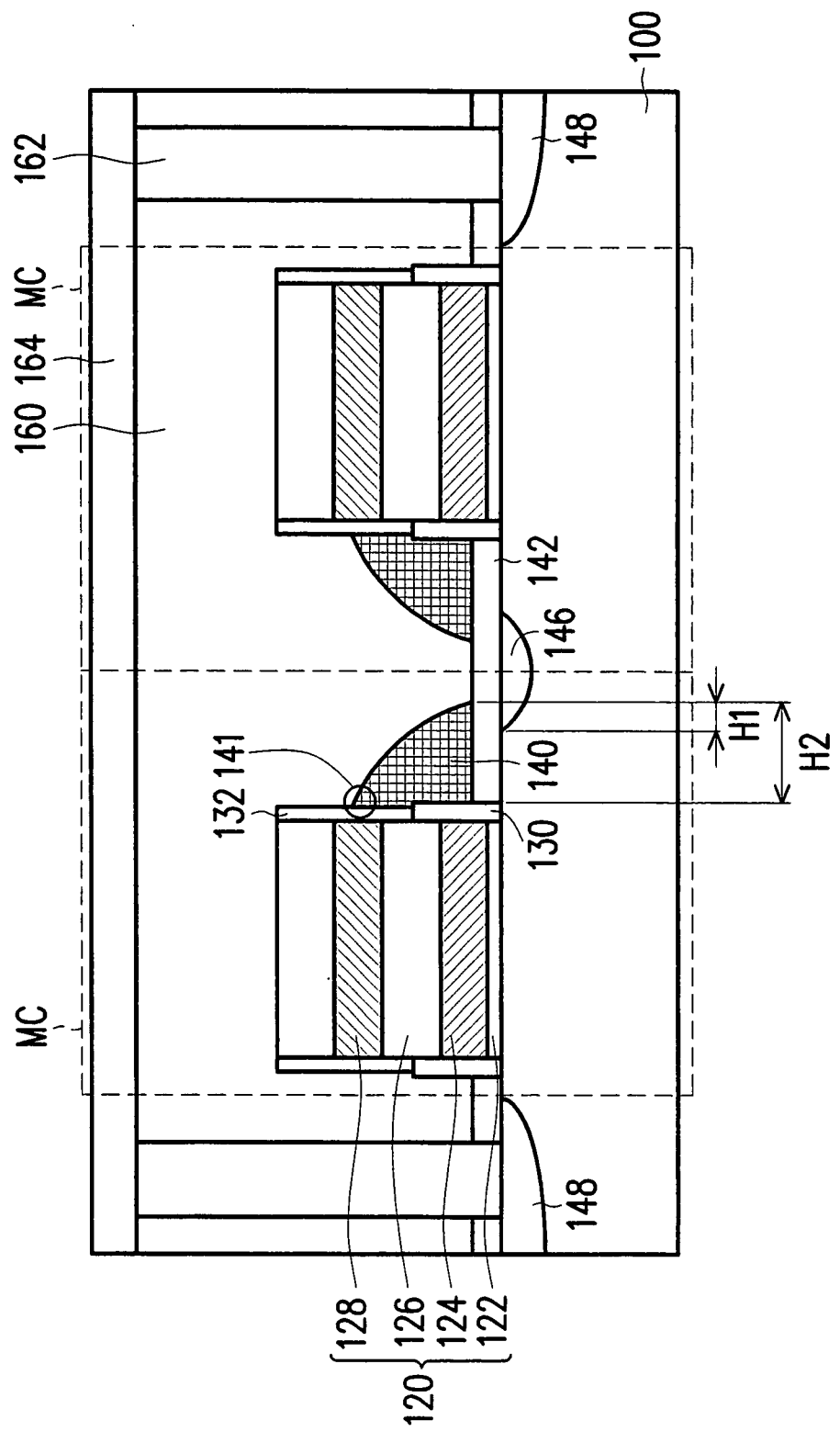


圖 1B

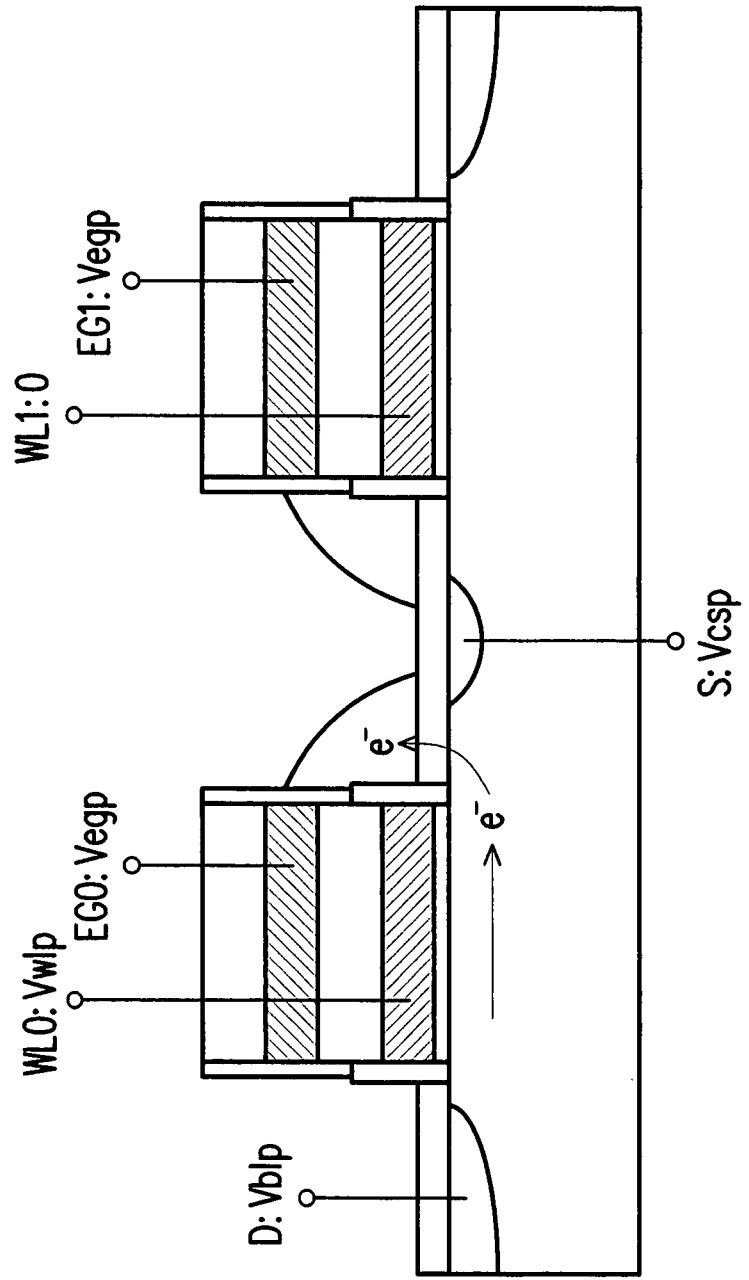


圖 2A

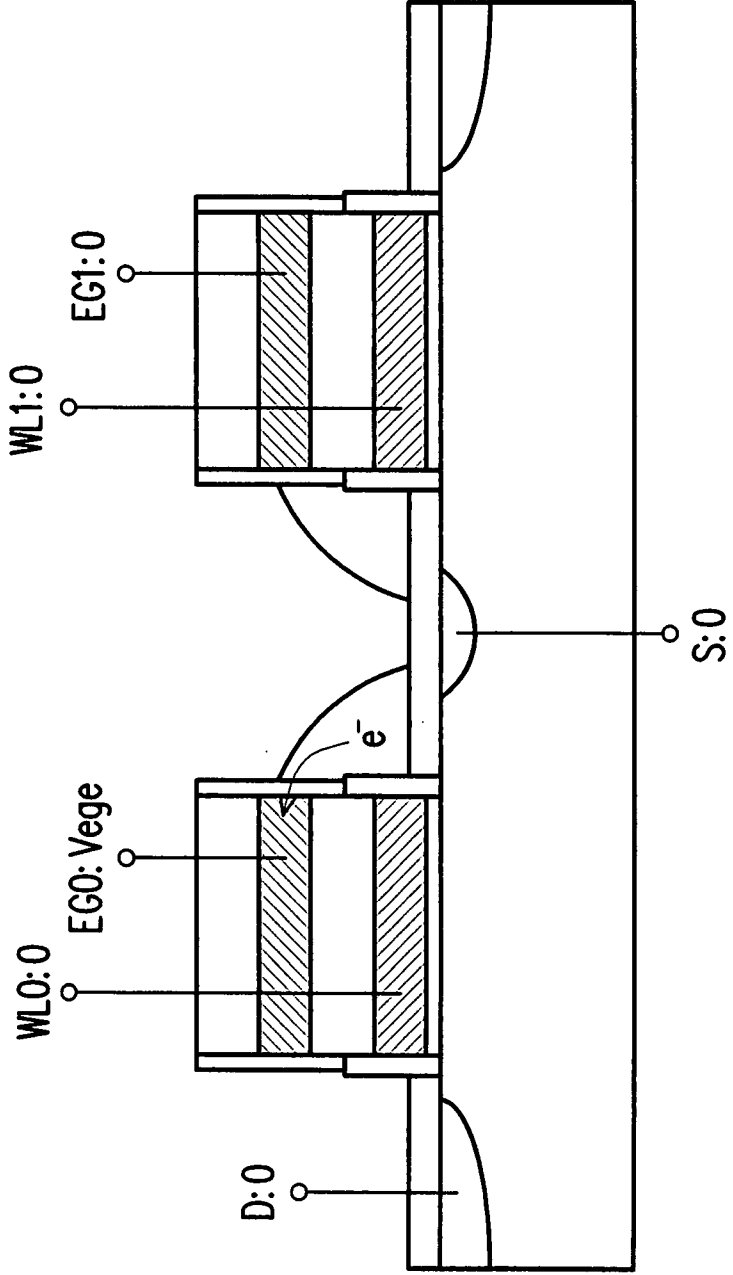


圖 2B

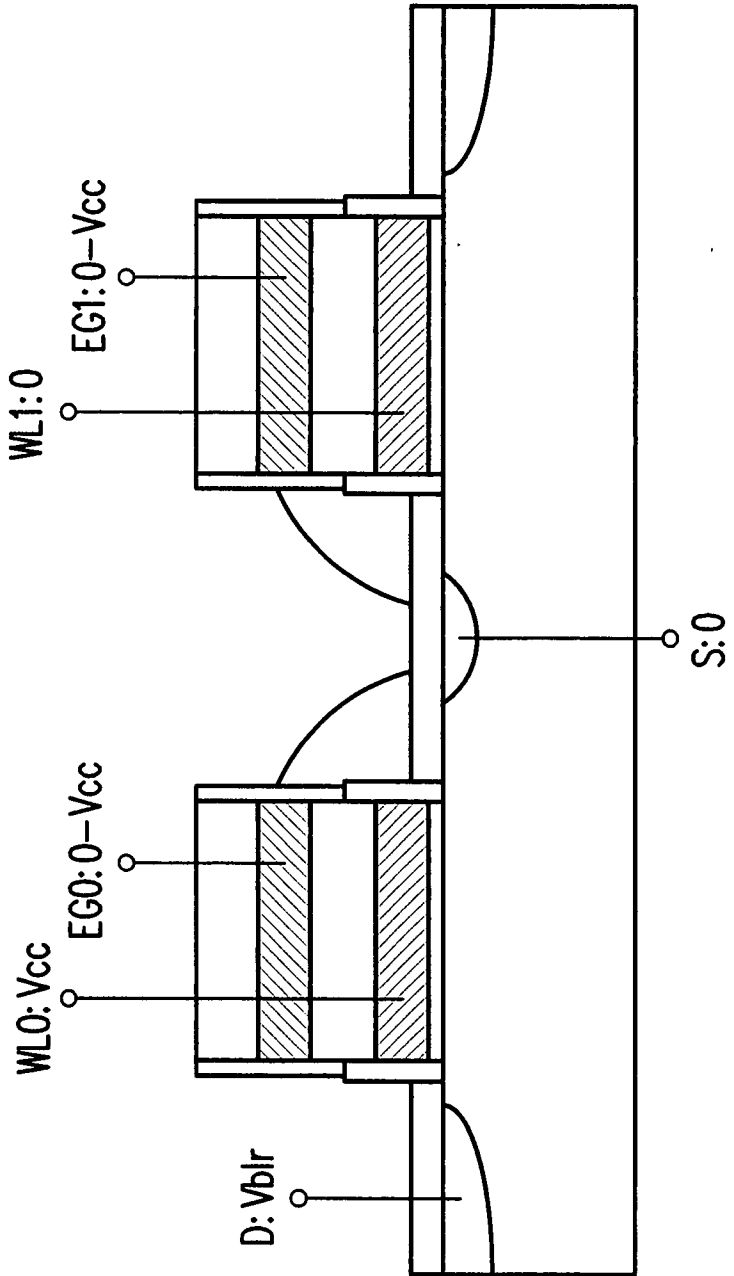


圖 2C

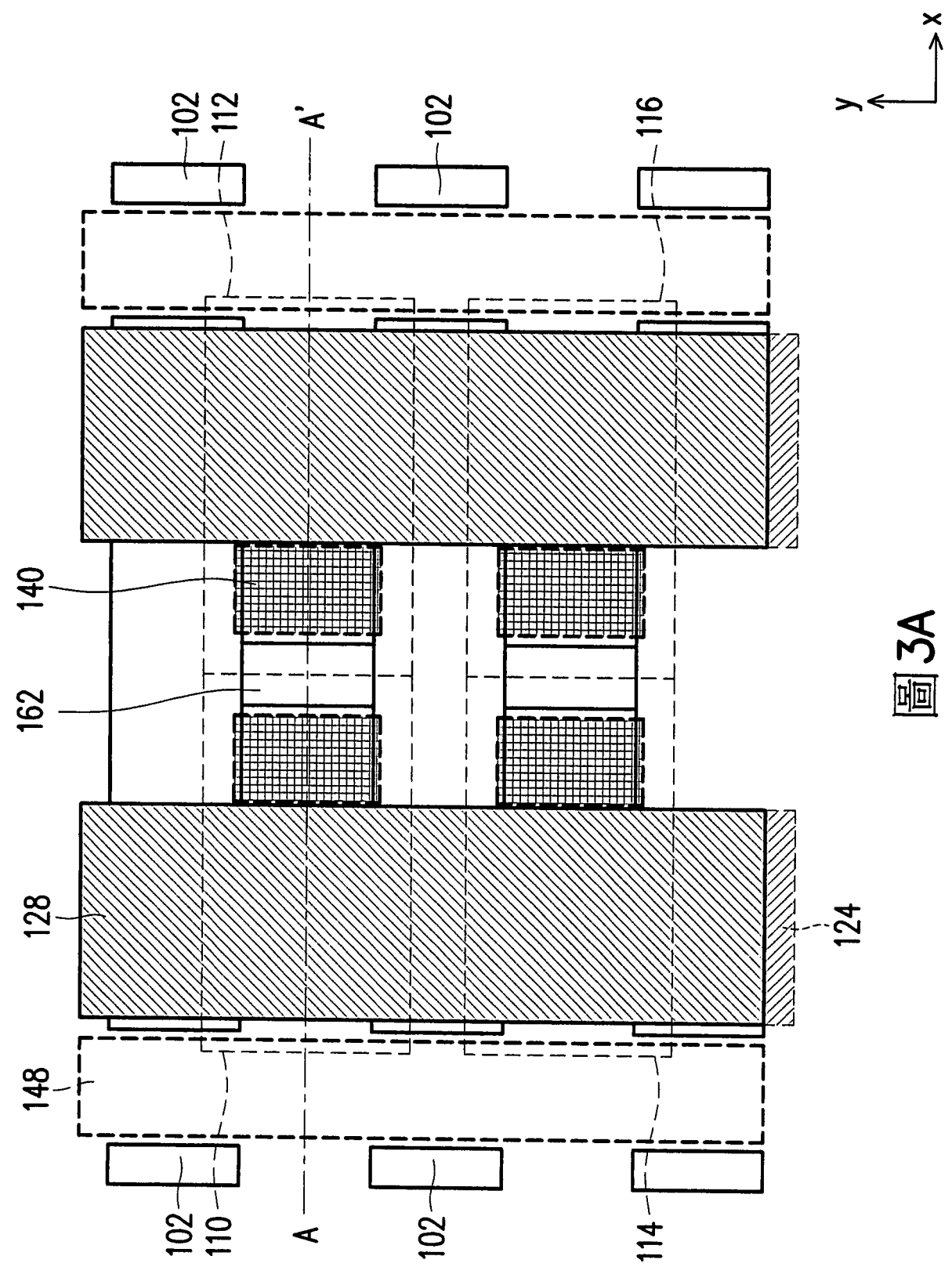


圖 3A

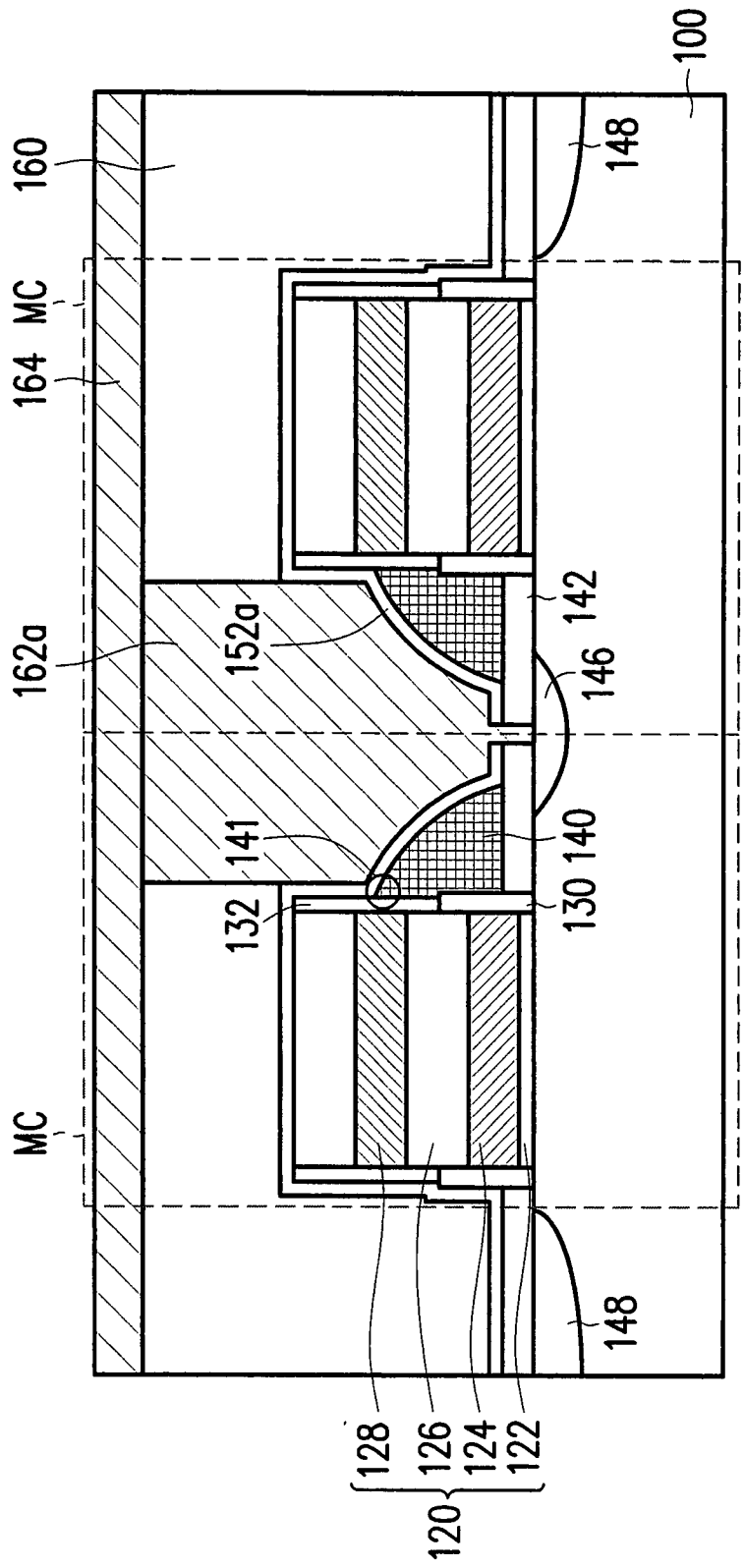


圖 3B

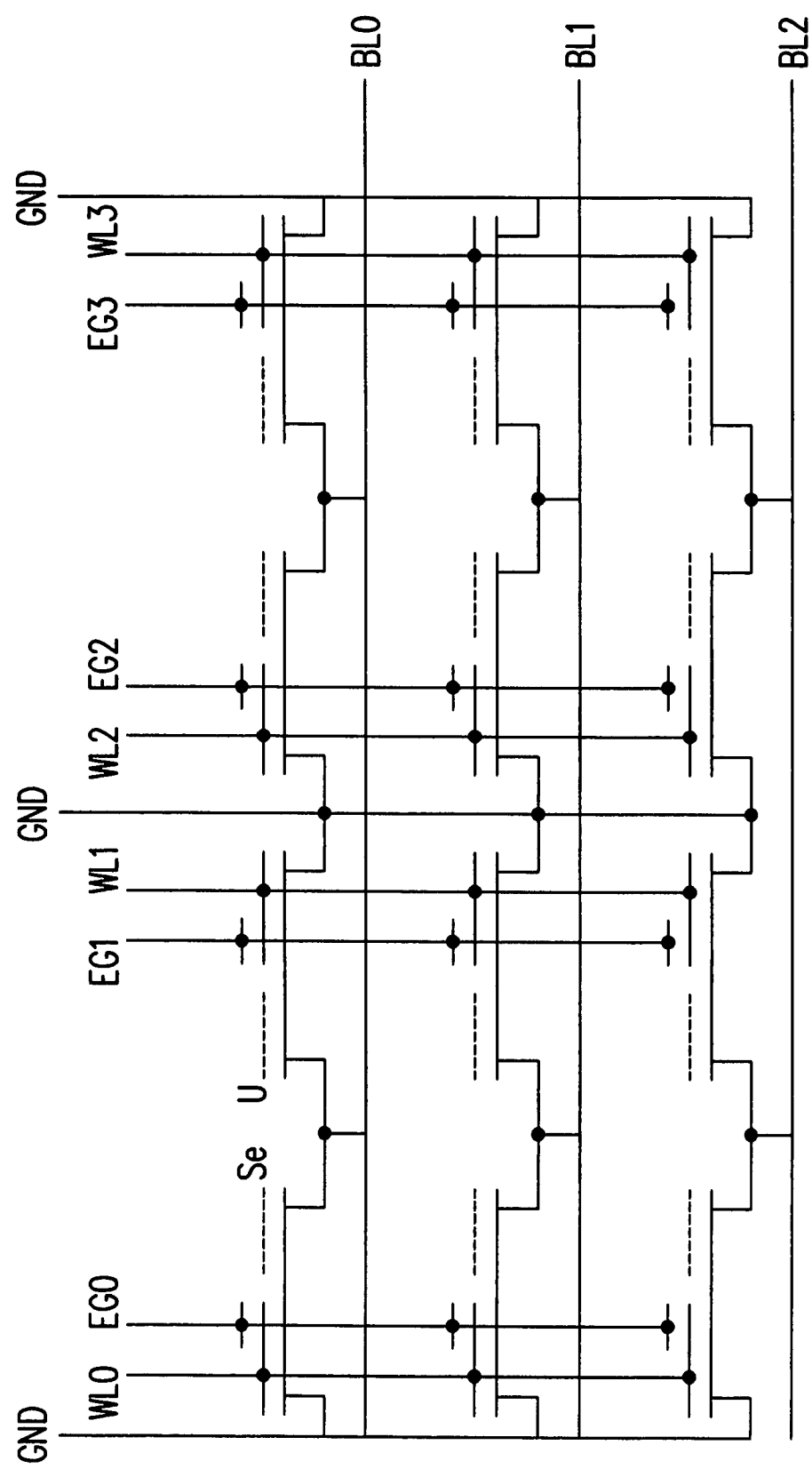


圖 3C

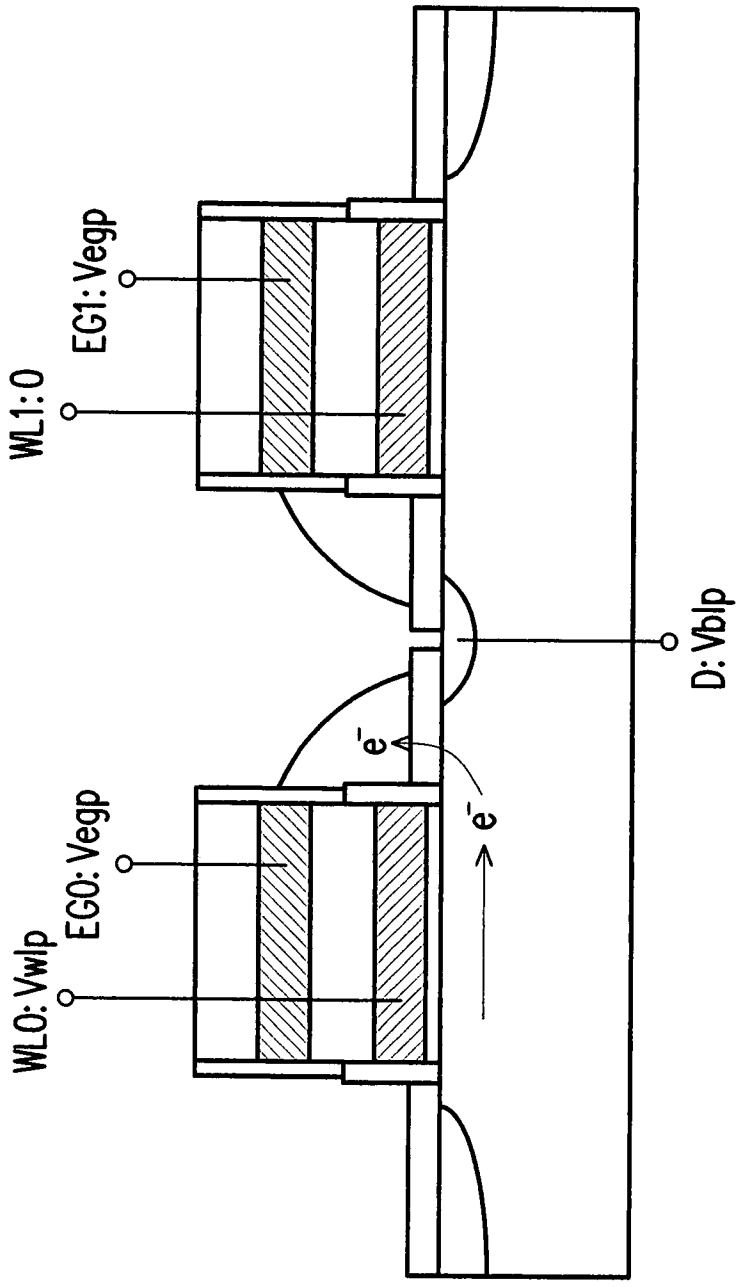


圖 4A

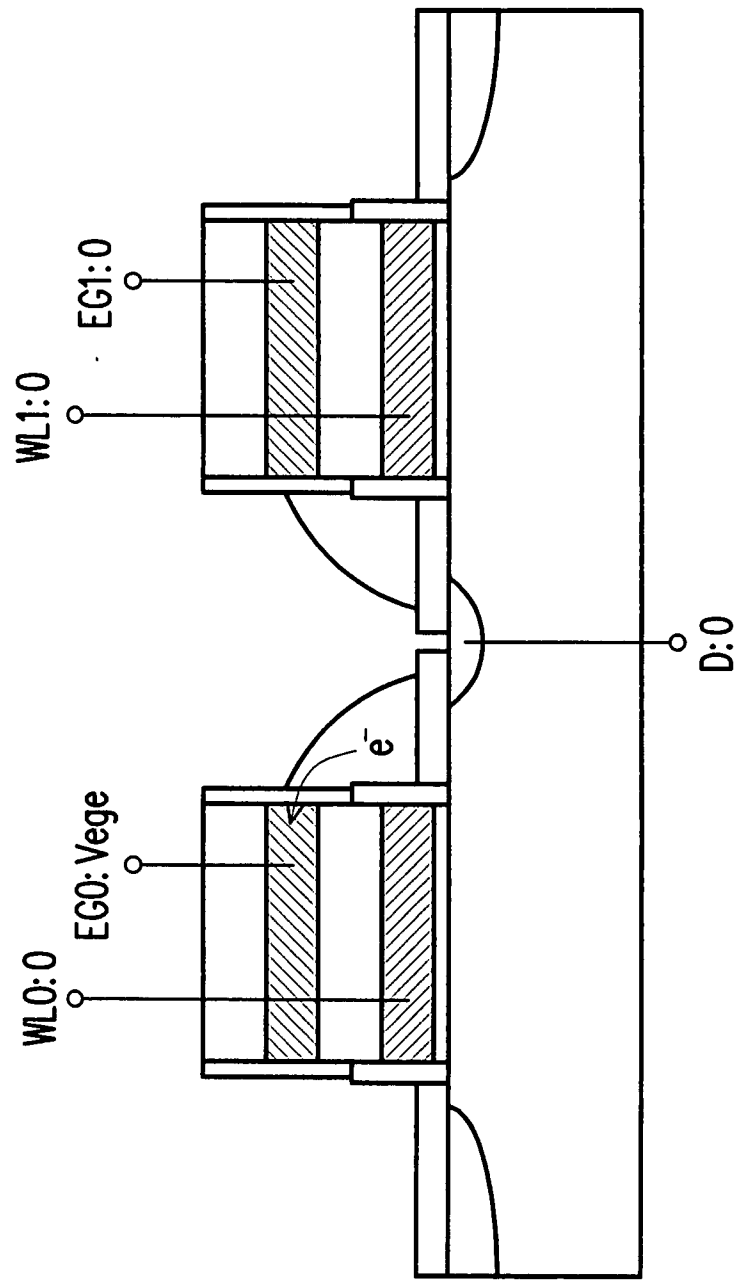


圖 4B

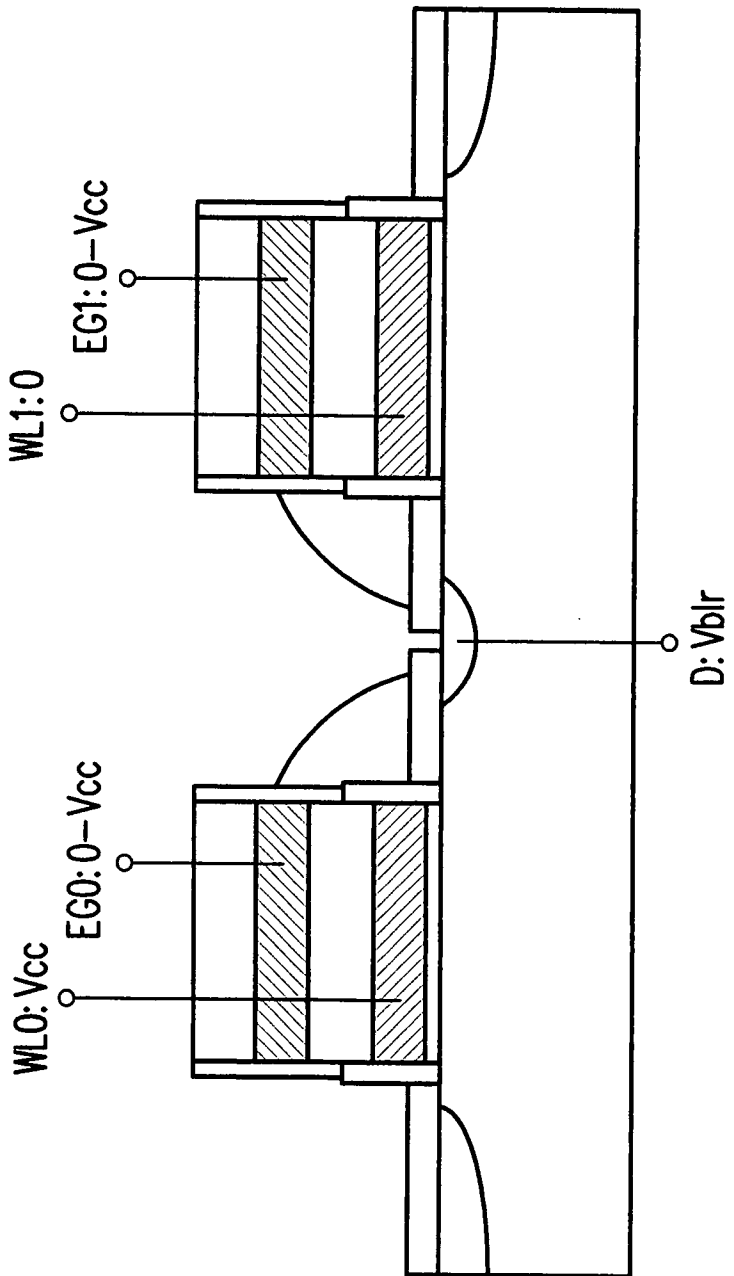


圖 4C

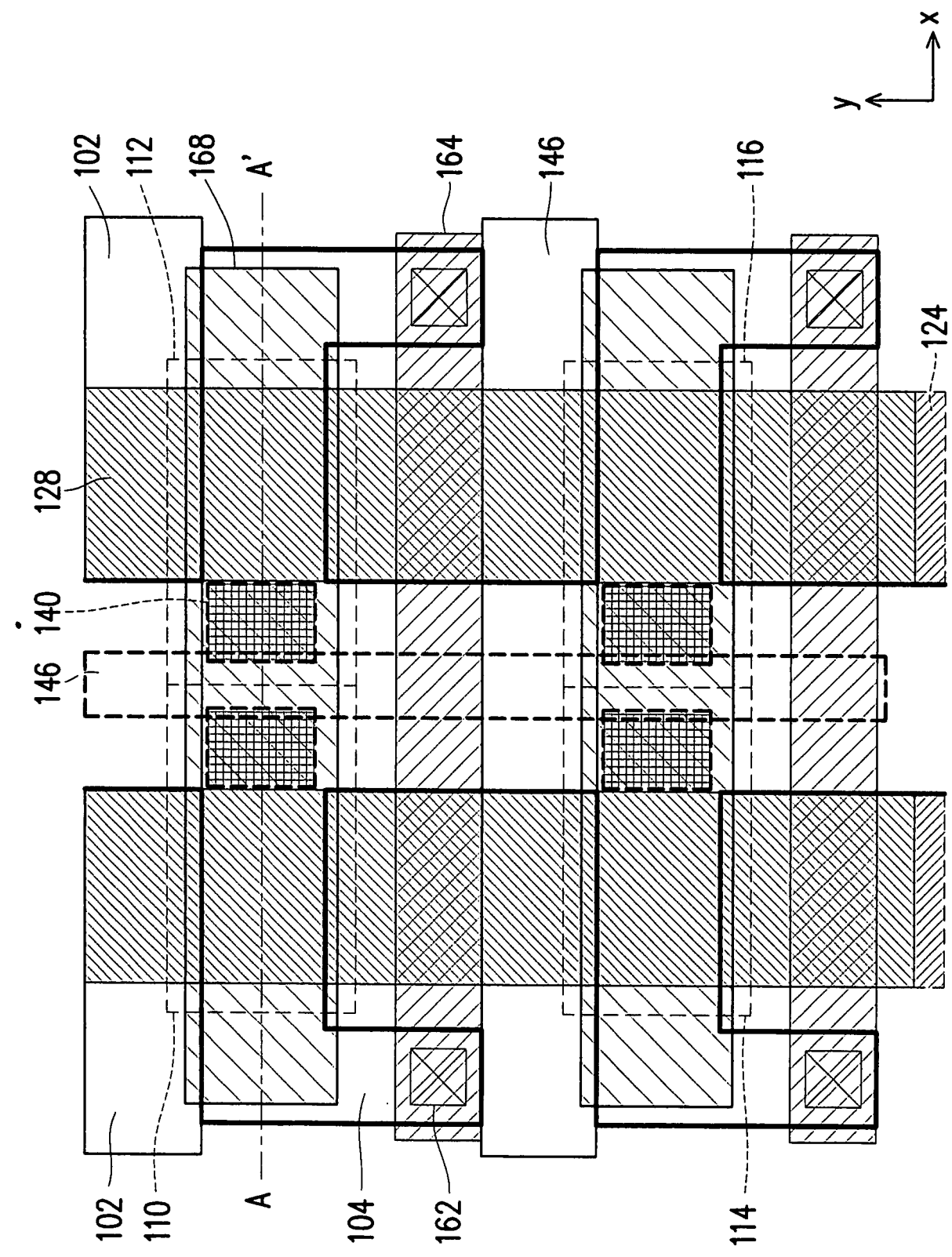


圖 5A

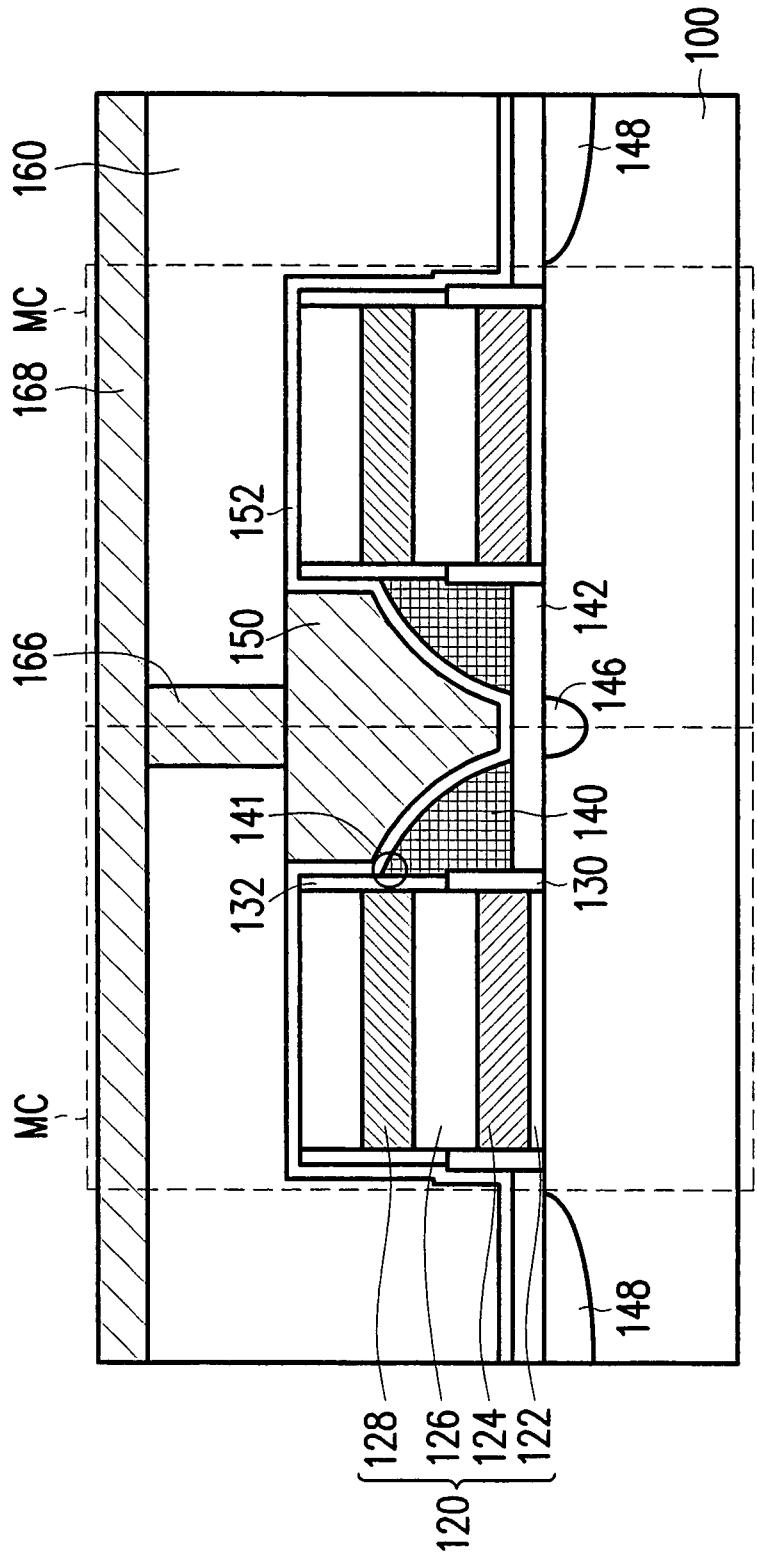


圖 5B

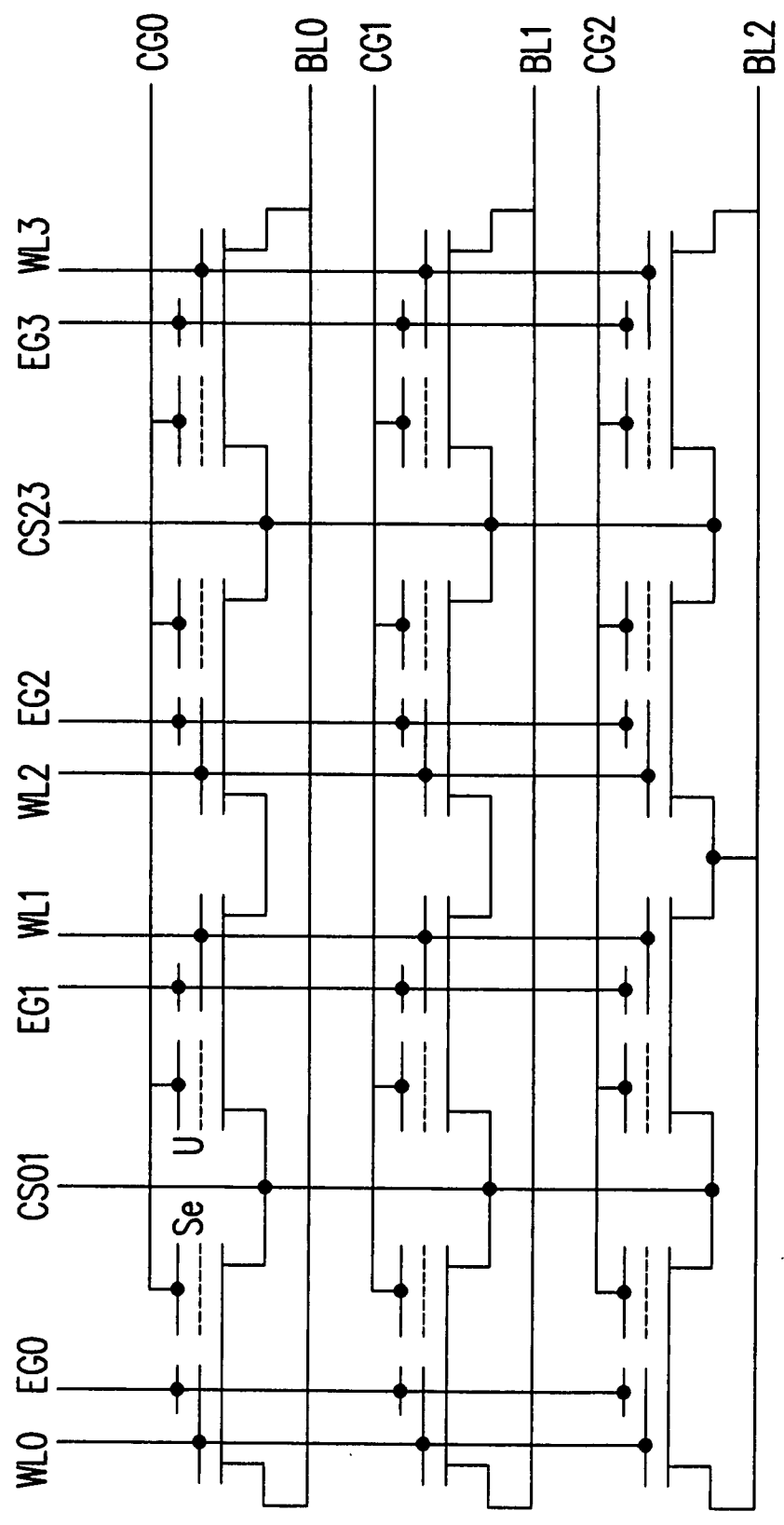


圖 5C

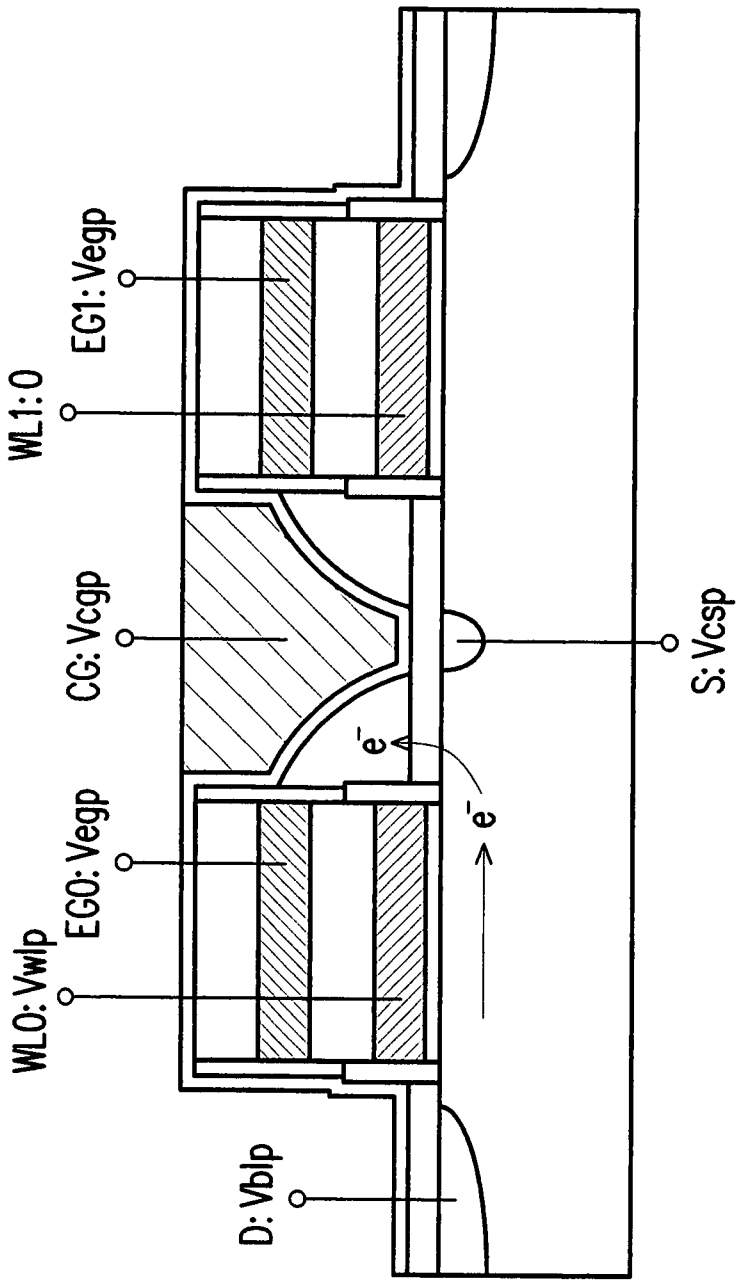


圖 6A

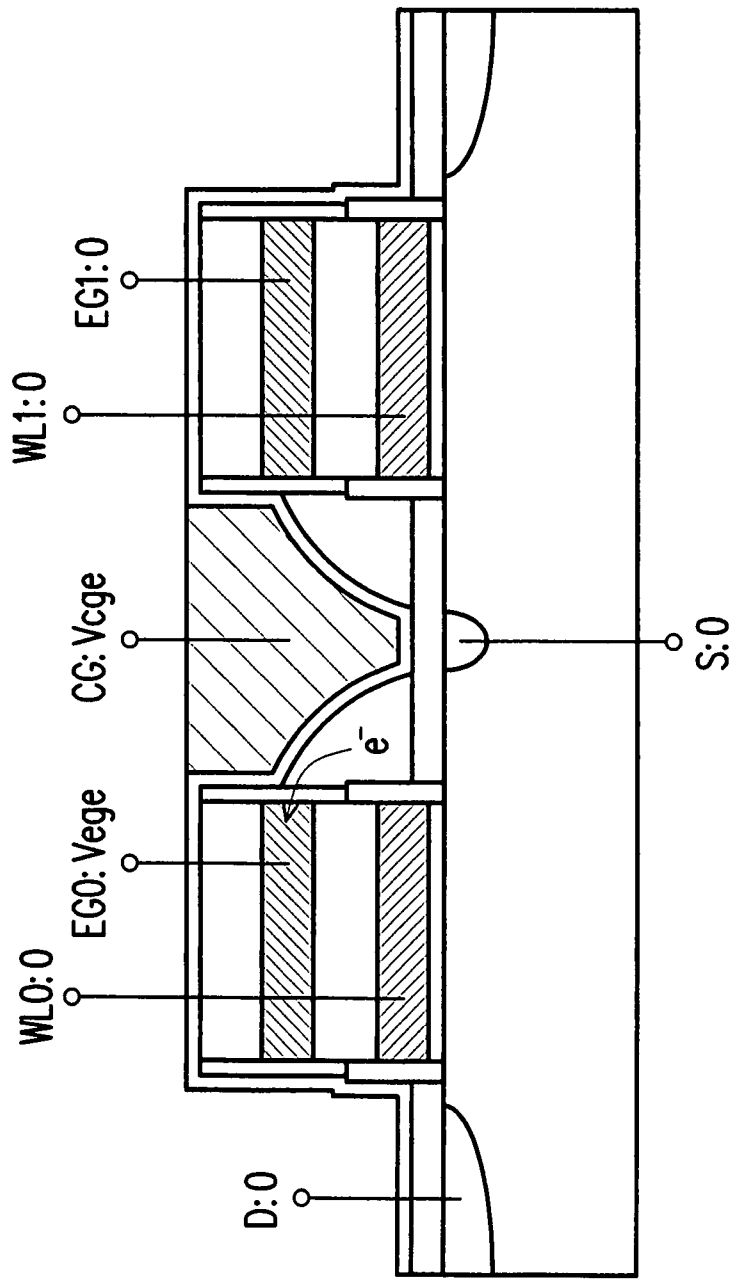


圖 6B

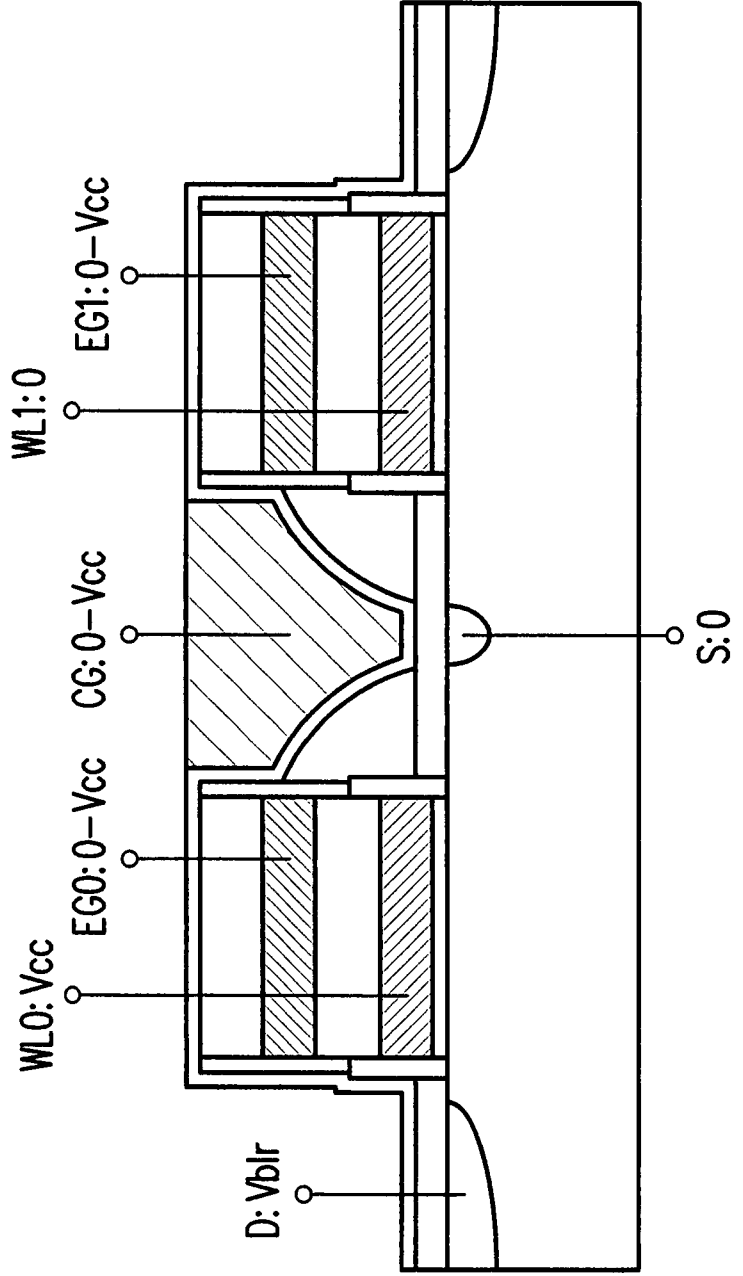


圖 6C