

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
25. März 2010 (25.03.2010)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2010/031798 A1

(51) Internationale Patentklassifikation:
H01L 27/02 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2009/062029

(22) Internationales Anmeldedatum:
16. September 2009 (16.09.2009)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2008 047 850.4
18. September 2008 (18.09.2008) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): AUSTRIAMICROSYSTEMS AG [AT/AT];
Schloss Premstätten, A-8141 Unterpremstätten (AT).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): ENICHLMAIR, Hu-
bert [AT/AT]; Petersbachstrasse 28, A-8042 Graz (AT).

(74) Anwalt: EPPING HERMANN FISCHER PATENT-
ANWALTSGESELLSCHAFT MBH; Ridlerstraße 55,
80339 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN,
KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG,
NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC,
SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

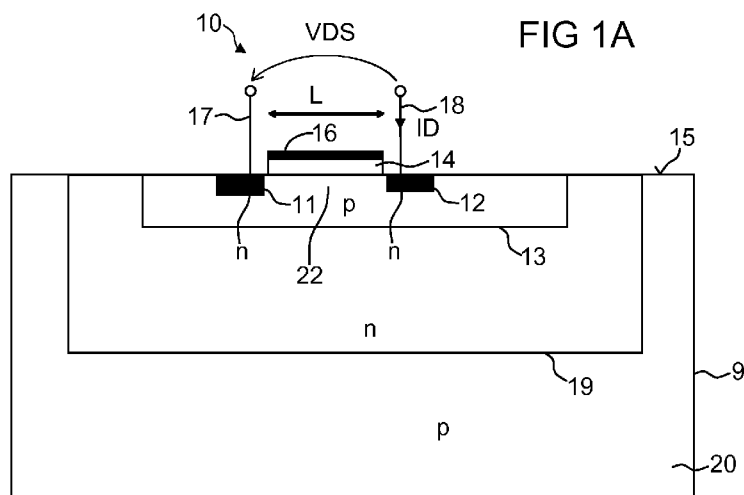
(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,
TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE,
DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT,
LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI,
SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN,
GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)

(54) Title: SEMICONDUCTOR BODY WITH A PROTECTIVE STRUCTURE AND METHOD FOR MANUFACTURING
THE SAME

(54) Bezeichnung : HALBLEITERKÖRPER MIT EINER SCHUTZSTRUKTUR UND VERFAHREN ZUM HERSTELLEN
DERSELBEN



(57) Abstract: A semiconductor body comprises a protective structure. The protective structure (10) comprises a first and a second area (11, 12) of a first conductivity type, and a third area (13) of a second conductivity type. The second conductivity type is opposite to the first conductivity type. The first and the second areas (11, 12) are disposed at a distance in the third area (13) so that a current flow from the first area (11) to the second area (12) is enabled for the purposes of limiting a voltage difference between the first and the second areas (11, 12). The protective structure comprises an insulator (14) disposed on the semiconductor body (9) and an electrode (16) designed with a floating potential, said electrode being disposed on the insulator (14).

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]

WO 2010/031798 A1



Ein Halbleiterkörper umfasst eine Schutzstruktur. Die Schutzstruktur (10) umfasst einen ersten und einen zweiten Bereich (11, 12), die einen ersten Leitfähigkeitstyp aufweisen, und einen dritten Bereich (13), der einen zweiten Leitfähigkeitstyp aufweist. Der zweite Leitfähigkeitstyp ist dem ersten Leitfähigkeitstyp entgegengesetzt. Der erste und der zweite Bereich (11, 12) sind im dritten Bereich (13) beabstandet angeordnet, so dass ein Stromfluss vom ersten Bereich (11) zum zweiten Bereich (12) zum Begrenzen eines Spannungsunterschiedes zwischen dem ersten und dem zweiten Bereich (11, 12) ermöglicht ist. Die Schutzstruktur umfasst einen Isolator (14), der auf dem Halbleiterkörper (9) angeordnet ist, und eine Elektrode (16), die mit schwebendem Potential ausgebildet ist und auf dem Isolator (14) angeordnet ist.

Beschreibung

Halbleiterkörper mit einer Schutzstruktur und Verfahren zum Herstellen derselben

5

Die vorliegende Erfindung betrifft einen Halbleiterkörper mit einer Schutzstruktur sowie ein Verfahren zum Herstellen einer Schutzstruktur in einem Halbleiterkörper.

10 Halbleiterkörper, die eine integrierte Schaltung aufweisen, unterliegen Umwelteinflüssen. Blitze, statische Aufladungen und Elektromog können zu elektrostatischen Entladungen, eng-
15 lisch electrostatic discharge, abgekürzt ESD, auf dem Halbleiterkörper führen, durch die eine integrierte Schaltung zerstört werden kann. Üblicherweise werden die zu schützenden
Strukturen über eine Diode mit einem Bezugspotentialanschluss verbunden, sodass eine unerwünschte und zerstörerisch wirkende Ladung abfließen kann.

20 Dokument US 6,118,154 betrifft eine Eingangs-/Ausgangsschutzschaltung. Die Schutzschaltung umfasst einen p-Kanal und einen n-Kanal Metalloxidhalbleiter-Transistor. Die Potentiale der Gateelektroden beider Transistoren sind schwebend.

25 In den Dokumenten WO 2007/084688 A1 und US 2005/0121725 A1 sind weitere Schutzstrukturen beschrieben.

Die Aufgabe der Erfindung ist es, einen Halbleiterkörper mit einer Schutzstruktur und ein Verfahren zum Herstellen einer
30 Schutzstruktur in einem Halbleiterkörper bereitzustellen, die einen effektiven Abbau einer Spannung oberhalb einer Schwelle ermöglichen.

Diese Aufgabe wird mit dem Gegenstand mit den Merkmalen des Anspruchs 1 sowie mit dem Verfahren gemäß Patentanspruch 13 gelöst. Weiterbildungen und Ausgestaltungen sind jeweils Gegenstand der abhängigen Ansprüche.

5

In einer Ausführungsform umfasst ein Halbleiterkörper eine Schutzstruktur. Die Schutzstruktur umfasst einen ersten und einen zweiten Bereich, die einen ersten Leitfähigkeitstyp aufweisen. Weiter umfasst die Schutzstruktur einen dritten Bereich mit einem zweiten Leitfähigkeitstyp. Der erste und der zweite Bereich sind im dritten Bereich beabstandet angeordnet. Der zweite Leitfähigkeitstyp ist dem ersten Leitfähigkeitstyp entgegengesetzt. Darüber hinaus umfasst die Schutzstruktur einen Isolator, der auf dem Halbleiterkörper angeordnet ist, und eine Elektrode, die auf dem Isolator angeordnet ist. Die Elektrode ist zum Betrieb mit schwebendem Potential ausgebildet. Ein Stromfluss vom ersten Bereich zum zweiten Bereich ist ermöglicht. Der Stromfluss kann einen Spannungsunterschied zwischen dem ersten und dem zweiten Bereich begrenzen.

Mit Vorteil lässt sich bei einer Struktur, die einen ersten pn-Übergang zwischen dem ersten und dem dritten Bereich sowie einen zweiten pn-Übergang zwischen dem zweiten und dem dritten Bereich aufweist, ein Schwellwert genau einstellen, oberhalb dessen eine Spannung zwischen dem ersten und dem zweiten Bereich abgebaut wird. Der Schwellwert kann durch einen Spannungswert bestimmt sein, oberhalb dessen ein Durchbruch zwischen dem ersten und dem zweiten Bereich auftritt. Die Schutzstruktur kann somit Spannungsspitzen, die bei einem ESD-Ereignis auftreten, auf einen Wert reduzieren, bei dem eine permanente Funktionalität einer zu schützenden Struktur gewährleistet ist.

Anstelle dass die Elektrode zum Betrieb mit schwebendem Potential ausgebildet ist, kann die Elektrode vollständig von isolierendem Material eingeschlossen sein.

- 5 In einer Ausführungsform weist der Halbleiterkörper eine erste Oberfläche auf, an der der erste, der zweite und dritte Bereich angeordnet ist. Aufgrund der Anordnung der drei Bereiche an der ersten Oberfläche können in einer Ausführungsform Oberflächeneffekte zur Steuerung eines Stromflusses zwischen dem ersten und dem zweiten Bereich verwendet werden.

In einer Ausführungsform ist der dritte Bereich als eine erste Wanne ausgebildet.

- 15 In einer Ausführungsform kann der dritte Bereich derart realisiert sein, dass er ein schwebendes Potential aufweist. Der dritte Bereich weist keinen Substratanschluss auf. Dem dritten Bereich wird keine Substrat- oder Wannenspannung zugeleitet. In einer Ausführungsform stellt sich im Betrieb ein Potential des dritten Bereichs ein, bei dem die Wahrscheinlichkeit einer Gefährdung der Schutzstruktur vor Überspannung reduziert ist.

- 25 Der Halbleiterkörper kann eine tiefe Wanne umfassen, in welcher der dritte Bereich angeordnet ist. Mit Vorteil ist dadurch die Isolation vom dritten Bereich zu einem Substrat des Halbleiterkörpers erhöht.

- 30 In einer Ausführungsform kann die Schutzstruktur einen Kanalbereich umfassen, der zwischen dem ersten und dem zweiten Bereich angeordnet ist. Der Kanalbereich ist im dritten Bereich angeordnet. Eine Kanallänge des Kanalbereichs ist damit der Abstand zwischen dem ersten und dem zweiten Bereich. Die Ka-

kanallänge kann einen Wert kleiner 5 μm aufweisen. Bevorzugt kann die Kanallänge einen Wert kleiner 1 μm aufweisen.

Der Isolator kann auf dem Kanalbereich angeordnet sein. Bevorzugt kann der Isolator ein Siliziumoxid aufweisen. Das Siliziumoxid kann als Gateisolatorschicht realisiert sein.

In einer Ausführungsform ist die Elektrode vollständig elektrisch isoliert. Die Elektrode kann dabei vollständig von isolierendem Material eingeschlossen sein. Durch den Einschluss der Elektrode mit isolierendem Material kann ein Aufladen oder ein Entladen der Elektrode über Kriechströme verringert werden. Die Elektrode ist nicht nach außen elektrisch kontaktiert. Die Elektrode kann als Gateelektrode ausgebildet sein.

Die Elektrode kann eine Äquipotentialfläche über dem Kanalbereich bilden. Die Äquipotentialfläche kann die elektrische Feldverteilung im Kanalbereich und folglich auch einen zwischen dem ersten und dem zweiten Bereich fließenden Strom beeinflussen.

Die Schutzstruktur kann auf dem Feldeffekttransistorprinzip beruhen. Die Schutzstruktur kann als Feldeffekttransistor realisiert sein. Im Unterschied zu einem üblichen Feldeffekttransistor ist die Elektrode der Schutzstruktur mit einem schwebenden Potential ausgebildet. Da sich der Leitfähigkeitstyp des ersten und des zweiten Bereichs vom Leitfähigkeitstyp des dritten Bereichs unterscheiden, weist die Schutzstruktur eine pnp Struktur oder eine npn Struktur auf. Daher kann die Schutzstruktur einen Bipolareffekt zeigen. Aufgrund des geringen Abstands des ersten Bereichs zum zweiten Bereich kann die Schutzstruktur ein Verhalten eines Bipolartransistors mit einem hohen Verstärkungsfaktor aufweisen.

In einer Ausführungsform umfasst der Halbleiterkörper ebenfalls die zu schützende Struktur. Die zu schützende Struktur kann als Bipolartransistor realisiert sein. Bevorzugt kann die zu schützende Struktur als Feldeffekttransistor realisiert sein. Der Feldeffekttransistor kann als Metall-Oxid-Halbleiter Feldeffekttransistor, abgekürzt MOSFET, realisiert sein. In einer Ausführungsform kann die Schutzstruktur eine Elektrode und einen Isolator eines MOSFETs schützen. Die Elektrode kann als Steueranschluss, englisch gate, bezeichnet sein. Der Isolator kann Gateisolator genannt werden. Die Schutzstruktur kann daher auf englisch auch als gate clamp bezeichnet werden. Dabei kann die maximale erlaubte Spannung am Steueranschluss der zu schützenden Struktur beispielsweise 3,3 Volt betragen.

Die zu schützende Struktur kann in die Schutzstruktur umfassenden Halbleiterkörper außerhalb des dritten Bereichs angeordnet sein. Der Halbleiterkörper kann einen vierten Bereich aufweisen, in dem die zu schützende Struktur angeordnet ist. Der vierte Bereich kann den zweiten Leitfähigkeitstyp aufweisen. Der vierte Bereich kann als zweite Wanne realisiert sein. Der vierte Bereich kann einen Wannen- oder Substratananschluss aufweisen.

In einer Weiterbildung weist der Halbleiterkörper eine erste Leiterbahn auf, die am ersten Bereich der Schutzstruktur angeschlossen ist, und eine zweite Leiterbahn, die am zweiten Bereich der Schutzstruktur angeschlossen ist. Die erste Leiterbahn kann den ersten Bereich mit einem Anschluss der zu schützenden Struktur verbinden. Weiter kann die zweite Leiterbahn den zweiten Bereich der Schutzstruktur mit einem Versorgungsspannungsanschluss verbinden. Somit kann eine Ladung, die sich auf dem Anschluss der zu schützenden Struktur befin-

det, über die Schutzstruktur an den Versorgungsspannungsanschluss abgegeben werden. Bevorzugt wird eine Ladung an den Versorgungsspannungsanschluss abgegeben. Somit wird vermieden, dass die Ladung dem Anschluss der zu schützenden Struktur zugeleitet wird. Der Versorgungsspannungsanschluss kann als Bezugspotentialanschluss realisiert sein. Der Versorgungsspannungsanschluss kann alternativ auf einem vom Bezugspotential abweichenden Potential liegen. Beispielsweise kann eine positive oder eine negative Versorgungsspannung dem Versorgungsspannungsanschluss zugeleitet sein.

In einer Ausführungsform ist die Elektrode mit der ersten oder der zweiten Leiterbahn verbunden. Somit ist die Elektrode nicht elektrisch isoliert. Das Potential der Elektrode ist durch das Potential der ersten beziehungsweise zweiten Leiterbahn definiert.

In einer Ausführungsform verbindet die zweite Leiterbahn den zweiten Bereich mit dem Substratanschluss des vierten Bereichs. Die Schutzstruktur kann über die zwei Leiterbahnen an die Elektrode der zu schützenden Struktur und den Substratanchluss der zu schützenden Struktur angeschlossen sein.

Die zu schützende Struktur kann einen ersten und einen zweiten Bereich aufweisen mit dem ersten Leitfähigkeitstyp. Ein Prozessschritt zur Herstellung der Dotierung des ersten und des zweiten Bereichs der zu schützenden Struktur kann ebenfalls zur Herstellung der Dotierung des ersten und zweiten Bereichs der Schutzstruktur eingesetzt werden.

In einer Ausführungsform weist der Feldeffekttransistor der zu schützenden Struktur einen Isolator auf. Die Herstellung des Isolators der zu schützenden Struktur kann gleichzeitig

und mit denselben Prozessschritten wie die Herstellung des Isolators der Schutzstruktur durchgeführt werden.

Der Feldeffekttransistor der zu schützenden Struktur kann eine Elektrode aufweisen, die auf dem Isolator angeordnet ist. Die Elektrode der zu schützenden Struktur kann gleichzeitig und mit denselben Prozessschritten wie die Elektrode der Schutzstruktur hergestellt werden. Die Schutzstruktur kann über die erste Leiterbahn mit der Elektrode der zu schützenden Struktur verbunden sein.

In einer Ausführungsform umfasst ein Verfahren zum Herstellen eines Halbleiterkörpers mit einer Schutzstruktur das Herstellen eines ersten und eines zweiten Bereichs im Halbleiterkörper. Der erste und zweite Bereich weisen einen ersten Leitfähigkeitstyp auf. Die Schutzstruktur umfasst den ersten und den zweiten Bereich. Der erste und der zweite Bereich sind in einem dritten Bereich angeordnet, welcher den zweiten Leitfähigkeitstyp aufweist. Der erste und der zweite Bereich sind auf dem Halbleiterkörper derart voneinander beabstandet angeordnet, dass ein Stromfluss vom ersten zum zweiten Bereich zum Begrenzen eines Spannungsunterschiedes zwischen den beiden Bereichen erleichtert ist. Weiter umfasst das Verfahren das Herstellen eines Isolators der Schutzstruktur auf dem Halbleiterkörper und einer Elektrode der Schutzstruktur auf dem Isolator derart, dass zum Betrieb die Elektrode mit schwebendem Potential ausgebildet ist.

Mit Vorteil kann über den pn-Übergang zwischen dem ersten Bereich und dem dritten Bereich sowie über den pn-Übergang zwischen dem zweiten Bereich und dem dritten Bereich eine Spannung zwischen dem ersten und dem zweiten Bereich begrenzt werden.

In einer Ausführungsform umfasst das Verfahren das Herstellen einer tiefen Wanne.

5 In einer Ausführungsform weist die tiefe Wanne eine Tiefe mit einem Wert aus einem Bereich zwischen 4 μm and 12 μm auf. Die Tiefe kann sich auf eine erste Oberfläche des Halbleiterkörpers beziehen. Die erste Oberfläche kann den Isolator von einem Halbleitermaterial des Halbleiterkörpers trennen. Ein pn-Übergang, der die tiefe Wanne von einem Substrat des Halbleiterkörpers trennt, kann somit einen Abstand zur ersten
10 Oberfläche mit einem Wert aus einem Bereich zwischen 4 μm und 12 μm aufweisen. Die tiefe Wanne kann eine Dotierstoffkonzentration zwischen $5 \cdot 10^{15}/\text{cm}^3$ und $5 \cdot 10^{16}/\text{cm}^3$ aufweisen.

15 In einer Ausführungsform umfasst das Verfahren das Herstellen des dritten Bereiches. Der dritte Bereich kann in der tiefen Wanne angeordnet sein. Der dritte Bereich kann als eine erste Wanne ausgebildet sein. Der dritte Bereich kann ein schwebendes Potential aufweisen.

20 In einer Ausführungsform weist der dritte Bereich eine Tiefe aus einem Bereich zwischen 0,5 μm and 2 μm auf. Ein pn-Übergang, der den dritten Bereich von der tiefen Wanne trennt, kann somit einen Abstand zur ersten Oberfläche mit
25 einem Wert aus einem Bereich zwischen 0,5 μm and 2 μm aufweisen. Der dritte Bereich kann eine Dotierstoffkonzentration zwischen $5 \cdot 10^{16}/\text{cm}^3$ und $5 \cdot 10^{17}/\text{cm}^3$ aufweisen.

30 Die Elektrode kann vollständig von isolierendem Material eingeschlossen sein.

In einer Ausführungsform umfasst das Verfahren das Herstellen der tiefen Wanne, danach das Herstellen des dritten Bereiches

und danach das Herstellen des Isolators, der Elektrode sowie des ersten und des zweiten Bereiches. Weitere Herstellungsschritte können zwischen den aufgeführten Schritten durchgeführt werden.

5

In einer Weiterbildung umfasst das Verfahren auch das Herstellen einer zu schützenden Struktur in dem Halbleiterkörper. Dabei werden Prozessschritte zum Herstellen der zu schützenden Struktur als Prozessschritte zum Herstellen der Schutzstruktur eingesetzt.

10

In einer Ausführungsform der Weiterbildung wird der erste und der zweite Bereich der Schutzstruktur gleichzeitig mit einem ersten und einem zweiten Bereich der zu schützenden Struktur hergestellt.

15

In einer Ausführungsform wird bei der Herstellung der Schutzstruktur eine Isolatorschicht auf dem Halbleiterkörper hergestellt. Eine Elektrodenschicht wird auf der Isolatorschicht abgeschieden. Mittels eines photolithografischen Prozesses und mindestens eines anschließenden Ätzprozesses wird die Elektrodenschicht und die Isolatorschicht derart strukturiert, dass die Elektrode und der Isolator der Schutzstruktur hergestellt werden. Ferner werden Dotierstoffe in den Halbleiterkörper eingebracht, wobei die Elektrode der Schutzstruktur als Maskierung für das Einbringen der Dotierstoffe zur Herstellung des ersten und des zweiten Bereichs der Schutzstruktur eingesetzt wird. Das Einbringen der Dotierstoffe kann bevorzugt mittels Ionenimplantation erfolgen.

20

25

30

Weiter kann das Verfahren ein Herstellen einer ersten Leiterbahn umfassen, die den ersten Bereich der Schutzstruktur mit einem Anschluss der zu schützenden Struktur verbindet. Weiter

kann das Herstellen des Halbleiterkörpers das Herstellen einer zweiten Leiterbahn umfassen, die den zweiten Bereich mit einem Versorgungspotentialanschluss verbindet.

- 5 Zusammenfassend hat das vorgeschlagene Prinzip als Vorteile:
- Als Prozessschritte zur Herstellung der Schutzstruktur werden ausschließlich Prozessschritte verwendet, die ohnehin zur Herstellung einer zu schützenden Struktur, die sich auf demselben Halbleiterkörper wie die Schutzstruktur befindet, verwendet werden. Zur Herstellung der Schutzstruktur können Schritte zur Herstellung einer Schaltung mit Bipolartransistoren verwendet werden. Alternativ können zur Herstellung der Schutzstruktur Schritte zur Herstellung einer Schaltung mit komplementären Metall-Oxid-Halbleiter Transistoren, abgekürzt CMOS Transistoren verwendet werden.
 - Zur Herstellung der Schutzstruktur werden die zur Herstellung der zu schützenden Struktur ohnehin benötigten Masken eingesetzt. Es sind keine weiteren Masken erforderlich.
 - Ein geringer Leckstrom zwischen dem ersten und dem zweiten Bereich wird bei einer Betriebsspannung unterhalb eines Grenzwerts erzielt. Der Grenzwert kann beispielsweise 4 Volt betragen.
 - Oberhalb des Grenzwertes wird ein hoher Wert für einen Strom durch die Schutzstruktur erzielt, so dass durch die Schutzstruktur ein oberer Wert einer Spannung, die an der zu schützenden Struktur auftritt, bestimmt wird. Beispielsweise kann der obere Wert 5 Volt sein.
 - Die Schutzstruktur kann in einem dritten Bereich, der ein schwebendes Potential aufweist, realisiert werden. Dadurch wird eine Gefährdung der Schutzstruktur durch ein ESD-Ereignis verringert.

- Die Schutzstruktur kann in einer isolierten Logikschaltung eingesetzt werden, bei der eine tiefe Wanne, in welcher der dritte Bereich angeordnet ist, bei Spannungen beispielsweise bis zu 50 Volt betrieben werden kann.

5

Die Erfindung wird nachfolgend an mehreren Ausführungsbeispielen anhand der Figuren näher erläutert. Funktions- beziehungsweise wirkungsgleiche Gebiete und Strukturen tragen gleiche Bezugszeichen. Insoweit sich Gebiete oder Strukturen in ihrer Funktion entsprechen, wird deren Beschreibung nicht in jeder der folgenden Figuren wiederholt. Es zeigen:

Figuren 1A bis 1D beispielhafte Ausführungsformen eines Halbleiterkörpers mit einer Schutzstruktur nach dem vorgeschlagenem Prinzip im Querschnitt,

Figur 2 eine beispielhafte Abhängigkeit einer Dauer, innerhalb der eine Verschiebung einer Schwellenspannung eines Transistors durch eine an den Transistor angelegte Spannung bewirkt wird, von einer Höhe der angelegten Spannung,

Figur 3 eine beispielhafte Abhängigkeit eines Stroms, der durch eine Schutzstruktur nach dem vorgeschlagenen Prinzip fließt, von einer angelegten Spannung,

Figur 4 eine beispielhafte Abhängigkeit eines Verstärkungsfaktors einer Schutzstruktur von einem Strom, der durch die Schutzstruktur

nach dem vorgeschlagenen Prinzip fließt,
und

Figuren 5A und 5B eine beispielhafte Ausführungsform eines
Halbleiterkörpers mit einer Schutzstruktur
nach dem vorgeschlagenen Prinzip im Quer-
schnitt und in Aufsicht.

Figur 1A zeigt einen Halbleiterkörper 9, der eine beispiel-
hafte Schutzstruktur 10 nach dem vorgeschlagenen Prinzip um-
fasst. Die Schutzstruktur 10 weist einen ersten und einen
zweiten Bereich 11, 12 auf. Der erste und der zweite Bereich
11, 12 sind voneinander beabstandet angeordnet. Weiter um-
fasst der Halbleiterkörper 10 einen dritten Bereich 13. Im
dritten Bereich 13 sind der erste und der zweite Bereich 11,
12 angeordnet. Der dritte Bereich 13 kann als flache Wanne
bezeichnet werden. Die Tiefe des dritten Bereichs 13 weist
beispielsweise einen Wert von 1 μm auf. Zwischen dem ersten
und dem zweiten Bereich 11, 12 ist ein Kanalbereich 22 ange-
ordnet. Der Abstand zwischen dem ersten und dem zweiten Be-
reich 11, 12 hat einen Wert L. Der Wert L ist somit die Ka-
nallänge des Kanalbereichs 22. Der Wert L beträgt beispiels-
weise 0,35 μm . Der Halbleiterkörper 9 umfasst einen Isolator
14. Der Isolator 14 ist auf einer ersten Oberfläche 15 des
Halbleiterkörpers 10 angeordnet. Der Isolator 14 ist auf ei-
nem Teilbereich des dritten Bereichs 13 angeordnet. Der Iso-
lator 14 bedeckt den Kanalbereich 22. Auf dem Isolator 14 ist
eine Elektrode 16 angeordnet. Die Elektrode 16 bedeckt den
Isolator 14 zwischen dem ersten und dem zweiten Bereich 11,
12.

Der Halbleiterkörper 9 umfasst eine erste und eine zweite
Leiterbahn 17, 18. Der erste Bereich 11 ist an die erste Lei-

terbahn 17 und der zweite Bereich 12 an die zweite Leiterbahn 18 angeschlossen. Die Elektrode 16 ist an keine Leiterbahn angeschlossen. Die Elektrode 16 ist auch nicht anderweitig kontaktiert. Die Elektrode 16 ist von dem Isolator 14 und weiteren nicht eingezeichneten Isolatorschichten vollständig umhüllt. Die Elektrode 16 ist elektrisch von allen Leiterbahnen im Halbleiterkörper 9 isoliert. Die Elektrode 16 weist somit ein schwebendes Potential auf. Darüber hinaus umfasst der Halbleiterkörper 10 eine tiefe Wanne 19. Die tiefe Wanne 19 umfasst wiederum den dritten Bereich 13. Der Halbleiterkörper 9 umfasst ein Substrat 20. Die tiefe Wanne 19 ist im Substrat 20 angeordnet. Die tiefe Wanne 19 ist mehr als 2 μm tief. Die tiefe Wanne 19 ist beispielsweise 6 μm tief.

Der erste und der zweite Bereich 11, 12 weisen einen ersten Leitfähigkeitstyp auf. Der erste und der zweite Bereich 11, 12 sind hochdotiert. Der dritte Bereich 13 weist einen zweiten Leitfähigkeitstyp auf. Der zweite Leitfähigkeitstyp ist dem ersten Leitfähigkeitstyp entgegengesetzt. Die tiefe Wanne 19 weist den ersten Leitfähigkeitstyp auf. Weiter weist das Substrat 20 den zweiten Leitfähigkeitstyp auf. Der erste Leitfähigkeitstyp ist n leitend, das heißt, dass Elektronen die Majoritätsladungsträger im jeweiligen Bereich sind. Entsprechend ist der zweite Leitfähigkeitstyp p leitend, das heißt, dass Löcher die Majoritätsladungsträger im jeweiligen Bereich sind. Der erste und der zweite Bereich 11, 12 sind n dotiert. Der dritte Bereich 13 ist p dotiert. Der dritte Bereich 13 weist ein Dotierungsniveau von ungefähr $7 \cdot 10^{16}/\text{cm}^3$ auf. Die tiefe Wanne 19 ist n dotiert. Die tiefe Wanne 19 weist beispielsweise ein Dotierungsniveau von ungefähr $1 \cdot 10^{16}/\text{cm}^3$ auf. Das Substrat 20 ist p dotiert.

Die Schutzstruktur 10 ist als n-Kanal Transistor ausgebildet. Der Isolator 14 ist als Siliziumdioxidschicht realisiert. Eine Dicke des Isolators 14 kann beispielsweise 7 nm betragen. Der Isolator 14 ist als Gateisolator ausgebildet. Die Elektrode 16 enthält Polysilizium. Das Polysilizium der Elektrode 16 ist n dotiert. Die Elektrode 16 ist als Steuerelektrode, englisch gate electrode, realisiert. Der dritte Bereich 13 ist mit einem schwebenden Potential ausgebildet. Somit weist der dritte Bereich 13 keinen ohmschen Kontakt zu einer Leiterbahn auf. Der dritte Bereich 13 ist ausschließlich über pn-Übergänge zum ersten beziehungsweise zweiten Bereich 11, 12 und damit zu einer Leiterbahn verbunden. Weiter ist der dritte Bereich 13 über einen weiteren pn-Übergang mit der tiefen Wanne 19 verbunden. Der Kanalbereich 22 ist vollständig von pn-Übergängen oder Isolatoren wie dem Isolator 14 eingeschlossen. Die Schutzstruktur 10 ist ähnlich zu einem MOSFET. Der erste und der zweite Bereich 11, 12 entsprechen einem Source- und einem Draingebiet eines MOSFETs. Der Isolator 14 entspricht einem Gateisolator eines MOSFETs. Die Elektrode 16 unterscheidet sich dadurch von einer Elektrode eines MOSFETs, dass sie mit schwebendem Potential ausgebildet ist. Der dritte Bereich 13 entspricht einem Substrat oder einer Wanne, in der das Source- und das Draingebiet eines MOSFETs angeordnet sind, bis auf den Unterschied, dass der dritte Bereich 13 mit schwebendem Potential und das Substrat oder die Wanne des MOSFETs im allgemeinen mit einem definierten Potential ausgebildet sind.

Die Schutzstruktur 10 weist eine npn Struktur auf, die vom ersten Bereich 11, dem Kanalbereich 22 und dem zweiten Bereich 12 gebildet wird. Die Schutzstruktur 10 wird in dieser Anordnung als Bipolartransistor betrieben. Der Kanalbereich 22 kann als Basis des Bipolartransistors bezeichnet werden.

Der erste Bereich 11 kann als Emitter und der zweite Bereich 12 als Kollektor des Bipolartransistors bezeichnet werden. Der Abstand von Emitter zu Kollektor ist die Kanallänge L . Der Abstand ist in der Größenordnung typischer Kollektor-Emitter-Abstände. Der Bipolartransistor weist einen offenen Basisanschluss auf. Der dritte Bereich 13 kann als offener Basisanschluss bezeichnet werden.

Durch die Verwendung eines thermisch erzeugten Siliziumoxides für den Isolator 14 und von Polysilizium für die Elektrode 16 ergibt sich eine niedrige Dichte von Haftstellen, englisch traps, im Oxid des Isolators 14, verglichen beispielsweise mit Siliziumoxidschichten, die für eine Feldisolation eingesetzt werden. Während des Betriebs als Schutzstruktur 10 fließt ein Strom über einen umgekehrt vorgespannten pn Übergang nahe an der ersten Oberfläche 15. Dieser Strom fließt in der Raumladungszone im Kanalbereich 22 zwischen dem ersten und dem zweiten Bereich 11, 12. Der Strom führt zur Bildung von Grenzflächen- und Oxid-Haftstellen nahe an der ersten Oberfläche 15 des Halbleiterkörpers 9. Die Dichte der Haftstellen hängt von den Eigenschaften des Isolators 14 ab. Der Isolator 14 wird thermisch hergestellt. Die Vergrößerung eines Leckstroms und die Verringerung der Durchbruchspannung durch die Bildung von Grenzflächen- und Oxid-Haftstellen werden durch die Verwendung eines thermisch oxidierten Isolators 14 reduziert.

Eine Durchbruchspannung zwischen der ersten Leiterbahn 17 und der zweiten Leiterbahn 18 wird durch eine Durchbruchspannung zwischen Kollektor und Emitter bei offener Basis, abgekürzt BV_{CEO} , bestimmt. Die Durchbruchspannung BV_{CEO} ist eine Funktion einer Durchbruchspannung zwischen dem ersten Bereich 11 und dem dritten Bereich 13 beziehungsweise zwischen dem zwei-

ten Bereich 12 und dem dritten Bereich 13 sowie eines bipola-
ren Verstärkungsfaktors. Der Verstärkungsfaktor reduziert die
Durchbruchspannung BVCEO beträchtlich. Der Abstand zwischen
dem ersten und dem zweiten Bereich 11, 12 ist die Kanallänge
5 L, die beispielsweise 0,35 μm beträgt. Ein bipolarer Verstär-
kungsfaktor von ungefähr 100 ist ausreichend, um die Durch-
bruchspannung zwischen dem hochdotierten Gebiet des ersten
Bereichs 11 und dem dritten Bereich 13 sowie die Durchbruch-
spannung zwischen dem hochdotierten Gebiet des zweiten Be-
10 reichs 12 und dem dritten Bereich 13 zu verringern. Da der
Verstärkungsfaktor von der Kanallänge L bestimmt wird, ergibt
sich aus einer genaueren Einhaltung der Kanallänge L eine ge-
naue Einstellung des Verstärkungsfaktors und damit der Durch-
bruchspannung BVCEO zwischen dem ersten und dem zweiten Be-
15 reich 11, 12. Die Längenabweichungen der Kanallänge L, L'
werden bei der Herstellung genau überwacht, so dass die Ab-
weichungen des Verstärkungsfaktors sehr gering sind.

In einer nicht gezeigten Ausführungsform kann der erste Leit-
20 fähigkeitstyp p leitend und der zweite Leitfähigkeitstyp n
leitend sein.

Figur 1B zeigt eine weitere beispielhafte Ausführungsform ei-
nes Halbleiterkörpers mit einer Schutzstruktur nach dem vor-
25 geschlagenen Prinzip. Die Ausführungsform ist eine Weiterent-
wicklung des Halbleiterkörpers gemäß Figur 1A. Der Halblei-
terkörper 9 weist die Schutzstruktur 10 gemäß Figur 1A auf.
Darüber hinaus umfasst der Halbleiterkörper 9 eine zu schüt-
zende Struktur 24. Die zu schützende Struktur 24 umfasst ei-
30 nen Transistor 25. Der Transistor 25 ist als MOSFET ausgebil-
det. Der Transistor 25 als n-Kanal Transistor realisiert. Der
Transistor 25 umfasst einen ersten und einen zweiten Bereich
26, 27. Der erste und der zweite Bereich 26 des Transistors

25 sind mit einer dritten beziehungsweise einer vierten Leiterbahn 34, 35 verbunden. Weiter umfasst der Transistor 25 einen Isolator 28 und eine Elektrode 29. Zwischen dem ersten und dem zweiten Bereich 26, 27 des Transistors 25 ist ein Kanalbereich 32 angeordnet. Der Kanalbereich 32 weist eine Kanallänge L' auf. Die Kanallänge L sowie die Kanallänge L' können den gleichen Wert aufweisen. Weiter weist der Halbleiterkörper 9 einen Substratanschluss 30 auf.

10 Darüber hinaus umfasst der Halbleiterkörper 9 einen vierten Bereich 31. Die tiefe Wanne 19 umfasst den vierten Bereich 31. Im vierten Bereich 31 ist der Transistor 25 realisiert. Der erste und der zweite Bereich 26, 27 sind somit dotierte Bereiche im vierten Bereich 31. Der Substratanschluss 30 ist
15 zur Kontaktierung des vierten Bereichs 31 ausgebildet. Ein Versorgungsspannungsanschluss 33 kann mit dem Substratanschluss 30 verbunden sein. Da der Substratanschluss 30 im vierten Bereich 31 angeordnet ist, kann der Substratanschluss 30 auch als Wannenanschluss bezeichnet werden. Der erste und
20 der zweite Bereich 26, 27 des Transistors 25 weisen den ersten Leitfähigkeitstyp auf. Der vierte Bereich 31 weist den zweiten Leitfähigkeitstyp auf. Der Substratanschluss 30 weist ebenfalls den zweiten Leitfähigkeitstyp auf. Der Substratanschluss 30 dient zu einem niederohmigen Anschluss des Versorgungsspannungsanschlusses 33 an den vierten Bereich 31.
25

Die erste Leiterbahn 17 der Schutzstruktur 10 ist mit der Elektrode 29 des Transistors 25 verbunden. Die zweite Leiterbahn 18 ist mit dem Versorgungsspannungsanschluss 33 und damit mit dem Substratanschluss 30 verbunden.
30

Am Versorgungsspannungsanschluss 33 ist eine Versorgungsspannung abgreifbar. Die Versorgungsspannung kann den Wert eines

Bezugspotentials VSS aufweisen. Das Bezugspotential VSS kann das geringste Potential, das in dem Halbleiterkörper gegeben ist, aufweisen.

5 Die Schutzstruktur 10 und der Transistor 25 werden mit denselben Prozessschritten hergestellt. Somit ist die Dicke des Isolators 28 des Transistors 25 gleich einer Dicke des Isolators 14 der Schutzstruktur 10. Gelangt eine Aufladung auf die Elektrode 29 des Transistors 25, so wird die Aufladung über
10 die erste Leiterbahn 17, den ersten Bereich 11, den Kanalbereich 22, den zweiten Bereich 12 und die zweite Leiterbahn 18 zum Versorgungsspannungsanschluss 33 abgeleitet.

Mit Vorteil sind die Schutzstruktur 10 und die zu schützende
15 Struktur 24 in zwei verschiedenen Wannen, nämlich im dritten Bereich 13 und im vierten Bereich 31, angeordnet. Der dritte und der vierte Bereich 13, 31 berühren sich nicht. Die beiden Bereiche 13, 31 sind voneinander isoliert. Auch Spannungen über 5 Volt können zwischen Anschlüssen 17, 18 der Schutz-
20 struktur 10 und dem Substrat 20 angelegt werden.

Alternativ ist die Dicke des Isolators 28 des Transistors 25 näherungsweise gleich der Dicke des Isolators 14 der Schutzstruktur 10. Die Abweichung kann bis zu 10 % betragen.

25

Alternativ weist die Dicke des Isolators 28 des Transistors 25 einen kleineren Wert als die Dicke des Isolators 14 der Schutzstruktur 10 auf. Die Dicke des Isolators 28 des Transistors 25 kann beispielsweise 7 nm und die Dicke des Isolators 14 der Schutzstruktur 10 kann beispielsweise 15 nm sein.
30

In einer nicht gezeigten Ausführungsform umfasst die tiefe Wanne 19 mehrere Bereiche, die wie der vierte Bereich 31 imp-

lementiert sind und jeweils einen Transistor 25 aufweisen. Wenn eine derartige Schaltung Logikgatter aufweist, kann sie als isolierte Logikschaltung, englisch isolated logic, bezeichnet werden. Eine isolierte Logikschaltung kann mehrere
5 Transistoren umfassen, die jeweils einzeln im vierten Bereich 31 beziehungsweise in nicht gezeigten, weiteren Bereichen angeordnet sind. Der vierte Bereich 31 und die weiteren Bereiche weisen somit jeweils genau einen Transistor 25 auf. Der vierte Bereich 31 und die weiteren Bereiche sind in der tie-
10 fen Wanne 19 angeordnet. In einer isolierten Logikschaltung befinden sich die zur Schaltung gehörenden Transistoren 25 in der gemeinsamen tiefen Wanne 19. Die tiefe Wanne 19 ist vom Substrat 20 elektrisch isoliert und kann somit auf hohem elektrischen Potential gegenüber dem Substrat 20 betrieben
15 werden.

Figur 1C zeigt eine weitere beispielhafte Ausführungsform eines Halbleiterkörpers mit einer Schutzstruktur nach dem vorgeschlagenen Prinzip. Die Ausführungsform ist eine Weiterent-
20 wicklung des Halbleiterkörpers gemäß Figuren 1A und 1B. Der Halbleiterkörper 9 weist die Schutzstruktur 10 gemäß Figur 1A oder 1B auf. Darüber hinaus weist der Halbleiterkörper 9 einen weiteren Transistor 40 auf. Der weitere Transistor 40 umfasst einen ersten und einen zweiten Bereich 41, 42. Zwischen
25 dem ersten und dem zweiten Bereich 41, 42 ist ein Kanalbereich 49 angeordnet. Darüber hinaus umfasst der weitere Transistor 40 einen Isolator 43 und eine Elektrode 44. Der erste und der zweite Bereich 41, 42 des weiteren Transistors 40 sind an einer fünften beziehungsweise an einer sechsten Lei-
30 terbahn 45, 46 angeschlossen. Die Elektrode 44 ist mit der ersten Leiterbahn 17 verbunden. Die zweite Leiterbahn 18 ist mit einem weiteren Substratanschluss 47 verbunden. Der weitere Substratanschluss 47 ist in der tiefen Wanne 19 angeord-

net. Weiter sind die zweite Leiterbahn 18 und der weitere Substratschluss 47 mit einem weiteren Versorgungsspannungsanschluss 48 verbunden. Der erste und der zweite Bereich 41, 42 des weiteren Transistors 40 sind vom zweiten Leitfähigkeitstyp. Der weitere Substratanschluss 47 weist den ersten Leitfähigkeitstyp auf. Der weitere Transistor 40 ist somit als p-Kanal Transistor realisiert. In Figur 1C umfasst die geschützte Struktur 24 den weiteren Transistor 40.

Am weiteren Versorgungsspannungsanschluss 48 ist eine Versorgungsspannung abgreifbar. Die Versorgungsspannung kann einen Wert VDD aufweisen, der positiv gegenüber dem Bezugspotential ist. Eine unerwünschte Ladung der Elektrode 44 wird über die Schutzstruktur 10 dem weiteren Versorgungsspannungsanschluss 48 zugeleitet. Die Schutzstruktur 10 gemäß Figuren 1B und 1C ist als laterale Schutzstruktur realisiert.

Figur 1D zeigt eine weitere beispielhafte Ausführungsform eines Halbleiterkörpers mit einer Schutzstruktur nach dem vorgeschlagenen Prinzip. Die Ausführungsform ist eine Weiterentwicklung des Halbleiterkörpers gemäß Figuren 1A bis 1C. Der Halbleiterkörper 9 weist die Schutzstruktur 10 gemäß Figuren 1A bis 1D auf. Jedoch ist im Unterschied zu den Ausführungsformen, die in Figuren 1A bis 1C dargestellt sind, die erste Leiterbahn 17 elektrisch leitend mit der zweiten Leiterbahn 18 verbunden. Die zweite Leiterbahn 18 ist nicht mit dem weiteren Versorgungsanschluss 48 und somit auch nicht mit dem weiteren Substratanschluss 47 verbunden. Die Schutzstruktur 10 in Figur 1D ist als vertikale Schutzstruktur realisiert.

30

In einer alternativen, in den Figuren 1A bis 1D nicht gezeigten Ausführungsform umfasst die tiefe Wanne 19 weitere komplementäre MOS Transistoren, englisch complementary metal

oxide semiconductor transistors, abgekürzt CMOS Transistoren. Die weiteren Transistoren können wie der Transistor 25 gemäß Figur 1B, der ein n-Kanal Transistor ist, oder wie der weitere Transistor 40 gemäß Figuren 1C oder 1D, der ein p-Kanal Transistor ist, realisiert sein.

Mit Vorteil kann die Schutzstruktur 10 zum Schutz der zu schützenden Struktur 24 eingesetzt werden, auch wenn die beiden Strukturen 10, 24 unterschiedlich realisiert sind. Während in Figur 1B beide Strukturen 10, 24 als n-Kanal Transistoren realisiert sind, sind in Figur 1C und 1D die Schutzstruktur 10 als n-Kanal Transistor und die zu schützende Struktur 24 als p-Kanal Transistor ausgebildet.

In einer alternativen, nicht gezeigten Ausführungsform ist die Elektrode 16 an die erste oder die zweite Leiterbahn 17, 18 angeschlossen. Somit ist die Elektrode 16 nicht elektrisch schwebend. Eine an der ersten beziehungsweise zweiten Leiterbahn 17, 18 anliegende Spannung definiert die an der Elektrode 16 anliegende Spannung.

In einer alternativen, nicht gezeigten Ausführungsform des Halbleiterkörpers 9 gemäß Figuren 1A bis 1D entfällt die tiefe Wanne 19. Das Substrat 20 des Halbleiterkörpers 9 weist in diesem Fall den ersten Leitfähigkeitstyp auf. Das Substrat ist somit n dotiert.

In einer alternativen, nicht gezeigten Ausführungsform des Halbleiterkörpers 9 gemäß den Figuren 1A bis 1D ist der erste Leitfähigkeitstyp p leitend und der zweite Leitfähigkeitstyp n leitend. Somit sind alle Bereiche, Gebiete und Elektroden des Halbleiterkörpers 9 umgekehrt zu den Angaben in Figuren 1A bis 1D dotiert. Dabei wird eine Dotierung mit einem Dona-

tor durch eine Dotierung mit einem Akzeptor ersetzt und umgekehrt.

Figur 2 zeigt eine beispielhafte Abhängigkeit einer Dauer T, innerhalb der eine Verschiebung einer Schwellenspannung eines Transistors durch eine an den Transistor angelegte Spannung bewirkt wird, von einer Höhe der angelegten Spannung. Die Dauer T ist diejenige Dauer, bei der die angelegte Spannung VG eine relative Verschiebung einer Schwellenspannung des Transistors um 10 % bewirkt. Die Spannung VG wird an eine Elektrode eines MOSFET angelegt und kann somit als Steuerungsspannung bezeichnet werden. Beispielsweise kann die Steuerungsspannung VG der Elektrode 29 des Transistors 25 zugeleitet werden. Die Messungen wurden an n-Kanal MOSFETs durchgeführt.

15

Die Dauer T nimmt mit sinkender Spannung VG zu. Eine Steuerungsspannung VG von 5 V kann mindestens mehrere 100 Sekunden angelegt werden kann, ehe eine zehnprozentige Verschiebung der Schwellenspannung, englisch threshold voltage, erreicht wird. Eine Ursache für die Verschiebung der Schwellenspannung kann das Fowler-Nordheim-Tunneln sein.

20

Ein Ausfall eines Transistors kann durch einen dielektrischen Durchbruch bewirkt werden. Bei einer Spannung von 5V ist die Lebenszeit, die durch den dielektrischen Durchbruch begrenzt wird, viel länger als die Dauer T, bei der die zehnprozentige Verschiebung der Schwellenspannung bewirkt wird.

25

Figur 3 zeigt eine beispielhafte Abhängigkeit eines Stroms ID, der durch eine Schutzstruktur nach dem vorgeschlagenen Prinzip fließt, von einer angelegten Spannung VDS. Die Messkurve gemäß Figur 3 wurde bei Raumtemperatur ermittelt. In Figur 3 ist ein Drain-Strom ID, der durch die zweite Leiter-

30

bahn 18 fließt, über einer Drain-Source-Spannung VDS aufgetragen, die zwischen der ersten und der zweiten Leiterbahn 17, 18 anliegt. In dieser Anordnung ist der dritte Bereich 13, also die flache p-Wanne, welche die Basis darstellt, nicht angeschlossen. Bis zu einem Wert von 5 V für die Drain-Source-Spannung VDS ist der Strom ID durch die Schutzstruktur 10 sehr gering. Unterhalb dieser Spannung fließen ausschließlich sehr kleine Ströme, welche niedriger als 1 μ A sind. Somit ist die Schutzstruktur 10 hochohmig für Spannungsbereiche, in denen ein normaler Transistor eingesetzt werden kann. Der Bereich kann beispielsweise 0 V bis 3,3 V betragen. Somit fließt im Spannungsbereich des normalen Betriebs des Halbleiterkörpers 9 kein Strom durch die Schutzstruktur 10, dass die normale Funktion einer Schaltung, welche die zu schützende Struktur 24 umfasst, nicht verändert wird und ein zusätzlicher Energieverbrauch durch die Schutzschaltung 10 sehr klein ist.

Dagegen ist der Strom ID durch die Schutzstruktur 10 bei höheren Werten der Drain-Source-Spannung VDS sehr hoch. Die Durchbruchspannung zwischen Kollektor und Emitter bei offener Basis BVCEO beträgt zirka 5 V. Hingegen geschieht der Durchbruch zwischen dem ersten Bereich 11 und dem dritten Bereich 13 bei ungefähr 10 V. Aufgrund den involvierten physikalischen Mechanismen, wie lawinenverstärktem Durchbruch, englisch avalanche break down, und einer positiven Rückkopplung aufgrund der Verstärkung durch den Bipolareffekt wird ein sehr steiler Anstieg des Stroms erzielt, wenn die Spannung zwischen der ersten und der zweiten Leiterbahn 17, 18 über 5 V ansteigt. Die Durchbruchspannung von 5 V ist ausreichend, um eine hohe Qualität eines Isolators 28 einer zu schützenden Struktur 24 zu gewährleisten.

Sollte in einem nicht gezeigten Halbleiterkörper ein Durchbruch zwischen einem p- und einem n-Bereich bereits bei niedrigeren Spannungswerten, wie 5 V oder 3,3 V auftreten, so führt dies zu unerwünschten Leckströmen.

5

Das oben erläuterte Konzept ist auf eine Schutzstruktur 10 zum Festhalten einer Steuerspannung nicht nur auf einen Wert von 3,3 V geeignet, sondern kann auf verschiedene Grenzwerte eingestellt werden. Durch Änderungen des Abstands L und/oder der Dotierprofile des dritten Bereichs 13 und/oder die Dotierprofile des ersten und zweiten Bereichs 11, 12 werden höhere oder niedrigere Durchbruchspannungen erzielt.

Die Spannung V_G an einer zu schützenden Struktur 24 fällt aufgrund der Kopplung der zu schützenden Struktur 24 mit der Schutzstruktur 10 als Drain-Source-Spannung V_{DS} an der Schutzstruktur 10 ab. Steigt die Spannung V_G an der zu schützenden Struktur 24 auf einen kritischen Wert, so wird die Spannung V_G aufgrund des hohen Stromflusses durch die Schutzstruktur 10 schnell abgebaut.

Figur 4 zeigt eine beispielhafte Abhängigkeit eines Verstärkungsfaktors $BETA$ einer Schutzstruktur 10 von dem Strom I_D , der durch die Schutzstruktur 10 nach dem vorgeschlagenen Prinzip fließt. Der erste Bereich 11 kann als Emitter bezeichnet werden. Entsprechend kann der zweite Bereich 12 als Kollektor benannt werden. Der erste und der zweite Bereich 11, 12 sind als Emitter und als Kollektor mittels der ersten und der zweiten Leiterbahn 17, 18 angeschlossen. Der Strom I_D fließt durch die zweite Leiterbahn 18. Der Strom I_D entspricht somit einem Kollektorstrom. Für die in Figur 4 gezeigte Messung wurde der dritte Bereich 13 mit einem Steueranschluss versehen. Der dritte Bereich 13 kann als Basis be-

zeichnet werden. Durch den Anschluss der Basis fließt ein Basisstrom. Der Verstärkungsfaktor BETA einer als Bipolartransistor eingesetzten Schutzstruktur 10 ist definiert als Verhältnis aus Kollektorstrom I_D zum Basisstrom.

5

Mit Vorteil können Feldeffekttransistoren, welche eine maximale erlaubte Steuerspannung von 3,3 V aufweisen, mit der Schutzstruktur 10 geschützt werden. Die Schutzstruktur 10 weist zwei Anschlüsse auf, nämlich die erste und die zweite
10 Leiterbahn 17, 18, die mit dem Steueranschluss und dem Substratanschluss des zu schützenden Transistors 20, 40 verbunden sind.

Sowohl die zu schützende Struktur 24 wie auch die Schutzstruktur 10 können in einer isolierten Logik betrieben werden, wobei die gemeinsame Wanne für die Schutzstruktur 10 und die Transistoren 25, 40 die tiefe Wanne 19 in einem p-Substrat 20 ist. In der isolierten Logik kann eine Spannung zwischen der Elektrode 29 und dem Substratanschluss 30 des zu
20 schützenden Transistors 25 nach einem ESD-Ereignis für eine längere Zeit über dem Wert von 3,3 V sein. Dies ist auch dann der Fall, wenn das ESD-Ereignis nur einige Nanosekunde andauert. Aufgrund der lang andauernden Überspannung an der Elektrode 29, welcher der Steueranschluss ist, der zu schützenden
25 Struktur 24 ist eine effektive Schutzstruktur, die einen Steueranschluss der zu schützenden Struktur 24 mit einem Anschluss für eine elektrische Masse verbindet und die eine niedrige Durchbruchspannung aufweist, erforderlich. Dies ist durch die Schutzstruktur 10 gemäß vorgeschlagenem Prinzip gegeben.
30

Figuren 5A und 5B zeigen eine beispielhafte Ausführungsform eines Halbleiterkörpers mit einer Schutzstruktur nach dem

vorgeschlagenen Prinzip im Querschnitt und in Aufsicht. Figuren 5A und 5B zeigen eine Weiterbildung der in den Figuren 1A bis 1D gezeigten Ausführungsformen eines Halbleiterkörpers. Die Schutzstruktur 10 weist den ersten und den zweiten Bereich 11, 12 auf, die in dem dritten Bereich 13 angeordnet sind. Der dritte Bereich 13 ist wannenanschlussfrei. Der dritte Bereich 13 ist frei von einem ohmschen Kontakt. Es führt keine Leiterbahn direkt zu dem dritten Bereich 13. Der erste und der zweite Bereich 11, 12 sind mittels der ersten und der zweiten Leiterbahn 17, 18 kontaktiert. Der dritte Bereich 13 ist wiederum in der tiefen Wanne 19 angeordnet. Der dritte Bereich 13 umfasst den Kanalbereich 22, über dem der Isolator 14 und die Elektrode 16 angeordnet sind.

Die Elektrode 16 ist vollständig isoliert. Dazu ist die Elektrode 16 vollständig von isolierendem Material eingeschlossen. Im Querschnitt gemäß Figur 5A ist die Elektrode 16 vom Isolator 14, einem ersten Seitenisolator 21, einem zweiten Seitenisolator 21' und einem Deckisolator 23 eingeschlossen. Der erste und der zweite Seitenisolator 21, 21' ist an den beiden Seiten der Elektrode 16 angeordnet. Der erste Seitenisolator 21 ist an der linken Seite und der zweite Seitenisolator 21' ist an den rechten Seiten der Elektrode 16 angeordnet. Der Deckisolator 23 befindet sich auf der Elektrode 16. Zwischen der Elektrode 16 und dem Kanalbereich 22 ist der Isolator 14 angeordnet. Der Deckisolator 23' bedeckt zusätzlich auch die erste Oberfläche 15 im Bereich des ersten und des zweiten Bereichs 11, 12 sowie eine Oberfläche des dritten Bereichs 13, der tiefen Wanne 19 und des Substrats 20. Im Bereich des Substrats 20 und der tiefen Wanne 19 ist der Deckisolator 23' als Isolator in einem flachen Graben, englisch shallow trench isolator, realisiert. Die erste und die zweite Leitungsbahn 18, 19 sind jeweils durch ein Kontaktloch in dem

Deckisolator 23' elektrisch leitend mit dem ersten beziehungsweise dem zweiten Bereich 11, 12 verbunden.

Figur 5B zeigt den in Figur 5A dargestellten Halbleiterkörper 9 in einer Aufsicht. Eine Fläche der Elektrode 16 entspricht ungefähr einer Fläche des Kanalbereichs 22 in der Aufsicht. Die Elektrode 16 ist nicht über eine Leiterbahn kontaktiert. Der Kanalbereich 22 hat eine Weite W und eine Länge L. Die Länge L ist ein Abstand zwischen dem ersten und dem zweiten Bereich 11, 12. Die erste und die zweite Leiterbahn 17, 18 verbinden den ersten beziehungsweise den zweiten Bereich 11, 12 mit weiteren in Figur 5B nicht gezeigten Strukturen. Dazu ist die erste und die zweite Leiterbahn 17, 18 bis zum Rand des in Figur 5B gezeigten Ausschnittes des Halbleiterkörpers 9 vorhanden. Der dritte Bereich 13 ist in der Aufsicht rechteckförmig ausgebildet und schließt den ersten und den zweiten Bereich 11, 12 ein. Die Oberfläche des dritten Bereiches 13 ist frei von einem Leiterbahnanschluss. Ausschließlich der erste und der zweite Bereich 11, 12 innerhalb des dritten Bereichs 13 sind mit Leiterbahnen 17, 18 kontaktiert. Die tiefe Wanne 19 ist in der Aufsicht rechteckförmig realisiert. Die tiefe Wanne 19 schließt den dritten Bereich 13 ein. Die tiefe Wanne 19 ist wannenanschlussfrei ausgebildet. Zu der tiefen Wanne 19 führt kein Anschluss.

In einer nicht gezeigten, alternativen Ausführungsform ist der Deckisolator 23' nicht als shallow trench isolator, sondern mittels einer lokalen Oxidation von Silizium, englisch local oxidation of silicon, abgekürzt LOCOS, realisiert.

Alternativ ist die tiefe Wanne 19 über den weiteren Substratanschluss 47 elektrisch leitend kontaktiert. Alternativ umfasst die tiefe Wanne 19 die zu schützende Struktur 24.

Mit Vorteil ist durch die vollständige Isolation der Elektrode 16 diese elektrisch schwebend ausgebildet. Da der dritte Bereich 13 keinen ohmschen Anschluss aufweist, ist auch der dritte Bereich 13 elektrisch schwebend.

Bezugszeichenliste

	9	Halbleiterkörper
	10	Schutzstruktur
5	11	erster Bereich
	12	zweiter Bereich
	13	dritter Bereich
	14	Isolator
	15	erste Oberfläche
10	16	Elektrode
	17	erste Leiterbahn
	18	zweite Leiterbahn
	19	tiefe Wanne
	20	Substrat
15	21	erster Seitenisolator
	21'	zweiter Seitenisolator
	22	Kanalbereich
	23, 23'	Deckisolator
	24	zu schützende Struktur
20	25	Transistor
	26	erster Bereich
	27	zweiter Bereich
	28	Isolator
	29	Elektrode
25	30	Substratanschluss
	31	vierter Bereich
	32	Kanalbereich
	33	Versorgungsspannungsanschluss
	34	dritte Leiterbahn
30	35	vierte Leiterbahn
	40	weiterer Transistor
	41	erster Bereich
	42	zweiter Bereich

	43	Isolator
	44	Elektrode
	45	fünfte Leiterbahn
	46	sechste Leiterbahn
5	47	weiterer Substratanschluss
	48	weiterer Versorgungsspannungsanschluss
	49	Kanalbereich
	ID	Strom
	L	Länge
10	VDD	Versorgungsspannung
	VDS	Drain-Source-Spannung
	VG	Spannung
	VSS	Bezugsspannung
	W	Weite

Patentansprüche

1. Halbleiterkörper mit einer Schutzstruktur,
bei der die Schutzstruktur (10)

- 5 - einen ersten und einen zweiten Bereich (11, 12),
 die einen ersten Leitfähigkeitstyp aufweisen,
 - einen dritten Bereich (13), der einen zweiten Leit-
 fähigkeitstyp aufweist, welcher dem ersten Leitfä-
10 higkeitstyp entgegengesetzt ist, wobei der dritte
Bereich (13) als eine erste Wanne und mit schweben-
dem Potential ausgebildet ist,
 - einen Isolator (14), der auf dem Halbleiterkörper
 (9) angeordnet ist, und
 - eine Elektrode (16), die auf dem Isolator (14) an-
15 geordnet ist und vollständig von isolierendem Mate-
rial eingeschlossen ist, umfasst, wobei
der erste und der zweite Bereich (11, 12) im dritten Be-
reich (13) beabstandet angeordnet sind, so dass ein
Stromfluss vom ersten Bereich (11) zum zweiten Bereich
20 (12) zum Begrenzen eines Spannungsunterschiedes zwischen
dem ersten und dem zweiten Bereich (11, 12) ermöglicht
ist und der Halbleiterkörper (9) eine tiefe Wanne (19)
umfasst, in welcher der dritte Bereich (13) angeordnet
ist.

25

2. Halbleiterkörper nach Anspruch 1,
bei dem die Elektrode (16) vom Isolator (14), einem ers-
ten Seitenisolator (21), einem zweiten Seitenisolator
(21') und einem Deckisolator (23) eingeschlossen ist.

30

3. Halbleiterkörper nach Anspruch 1 oder 2,
bei dem die Schutzstruktur (10) einen Kanalbereich (22)
umfasst, der im dritten Bereich (13) zwischen dem ersten

und dem zweiten Bereich (11, 12) angeordnet ist und eine Kanallänge L aufweist, welche der Abstand zwischen dem ersten und dem zweiten Bereich (11, 12) ist.

- 5 4. Halbleiterkörper nach Anspruch 3,
bei dem die Kanallänge L einen Wert kleiner $1\text{ }\mu\text{m}$ aufweist.
- 10 5. Halbleiterkörper nach Anspruch 3 oder 4,
bei dem auf dem Kanalbereich (22) der Isolator (14) angeordnet ist.
- 15 6. Halbleiterkörper nach einem der Ansprüche 1 bis 5,
bei dem die Schutzstruktur (10) auf dem Feldeffekttransistorprinzip basiert.
- 20 7. Halbleiterkörper nach einem der Ansprüche 1 bis 6,
umfassend eine zu schützende Struktur (24), die mit der Schutzstruktur (10) zum Schutz der zu schützenden Struktur (24) gekoppelt ist.
- 25 8. Halbleiterkörper nach Anspruch 7,
umfassend eine erste und eine zweite Leiterbahn (17, 18) derart, dass die erste Leiterbahn (17) den ersten Bereich (11) der Schutzstruktur (10) mit einem Anschluss (29, 44) der zu schützenden Struktur (24) elektrisch leitend verbindet und die zweite Leiterbahn (18) den zweiten Bereich (12) der Schutzstruktur (10) mit einem Versorgungsspannungsanschluss (33, 48) elektrisch leitend verbindet.
- 30 9. Halbleiterkörper nach Anspruch 7,

umfassend eine erste und eine zweite Leiterbahn (17, 18) derart, dass die erste Leiterbahn (17) den ersten Bereich (11) der Schutzstruktur (10) mit einem Anschluss (44) der zu schützenden Struktur (24) elektrisch leitend verbindet und die erste Leiterbahn (17) mit der zweiten Leiterbahn (18) elektrisch leitend verbunden ist.

10. Halbleiterkörper nach Anspruch 8 oder 9, bei dem die zu schützende Struktur (24) einen Transistor (25, 40) umfasst sowie die erste Leiterbahn (17) mit einer Elektrode (29, 44) des Transistors (25, 40) verbunden ist.

11. Halbleiterkörper nach einem der Ansprüche 7 bis 10, bei dem die tiefe Wanne (19) einen vierten Bereich (31) umfasst, in dem die zu schützende Struktur (24) angeordnet ist, der vierte Bereich (31) den zweiten Leitfähigkeitstyp aufweist und als zweite Wanne realisiert ist.

12. Halbleiterkörper nach einem der Ansprüche 7 bis 11, bei dem eine Dicke eines Isolators (14) der Schutzstruktur (10) näherungsweise gleich einer Dicke eines Isolators (28, 43) der zu schützenden Struktur (24) ist.

13. Verfahren zum Herstellen einer Schutzstruktur in einem Halbleiterkörper, umfassend Herstellen eines ersten und eines zweiten Bereichs (11, 12) des Halbleiterkörpers (9), die von der Schutzstruktur (10) umfasst sind, die einen ersten Leitfähigkeitstyp aufweisen und die in einem dritten, einen zweiten Leitfähigkeitstyp aufweisenden Bereich (13) des Halbleiterkörpers (9) derart voneinander beabstandet angeordnet sind, dass ein Stromfluss vom ersten Bereich

(11) zum zweiten Bereich (12) zum Begrenzen eines Spannungsunterschiedes zwischen dem ersten und dem zweiten Bereich (11, 12) ermöglicht ist, wobei der Halbleiterkörper (9) eine tiefe Wanne (19) umfasst, in welcher der dritte Bereich (13) angeordnet ist, der dritte Bereich (13) als eine erste Wanne ausgebildet ist und ein schwebendes Potential aufweist, und Herstellen eines Isolators (14) auf dem Halbleiterkörper (9) und einer Elektrode (16) auf dem Isolator (14) derart, dass die Elektrode (16) vollständig von isolierendem Material eingeschlossen ist.

14. Verfahren nach Anspruch 13, bei dem das Herstellen des ersten und des zweiten Bereichs (11, 12) der Schutzstruktur (10) gleichzeitig mit dem Herstellen eines ersten und eines zweiten Bereichs (26, 27, 41, 42) einer zu schützenden Struktur (24) auf dem Halbleiterkörper (9) erfolgt.

15. Verfahren nach Anspruch 13 oder 14, bei dem zur Herstellung der Schutzstruktur (10)

- eine Isolatorschicht auf dem Halbleiterkörper (9) hergestellt wird,
- eine Elektrodenschicht auf der Isolatorschicht abgeschieden wird,
- mittels eines photolithografischen Prozesses und eines anschließenden Ätzprozesses die Elektrodenschicht und die Isolatorschicht derart strukturiert werden, dass eine Elektrode (16) und ein Isolator (14) der Schutzstruktur (10) hergestellt werden und
- Dotierstoffe in den Halbleiterkörper (9) eingebracht werden, wobei die Elektrode (16) der Schutzstruktur (10) als Maskierung für das Einbringen der

Dotierstoffe zur Herstellung des ersten und des zweiten Bereichs (11, 12) der Schutzstruktur (10) eingesetzt wird.

FIG 1A

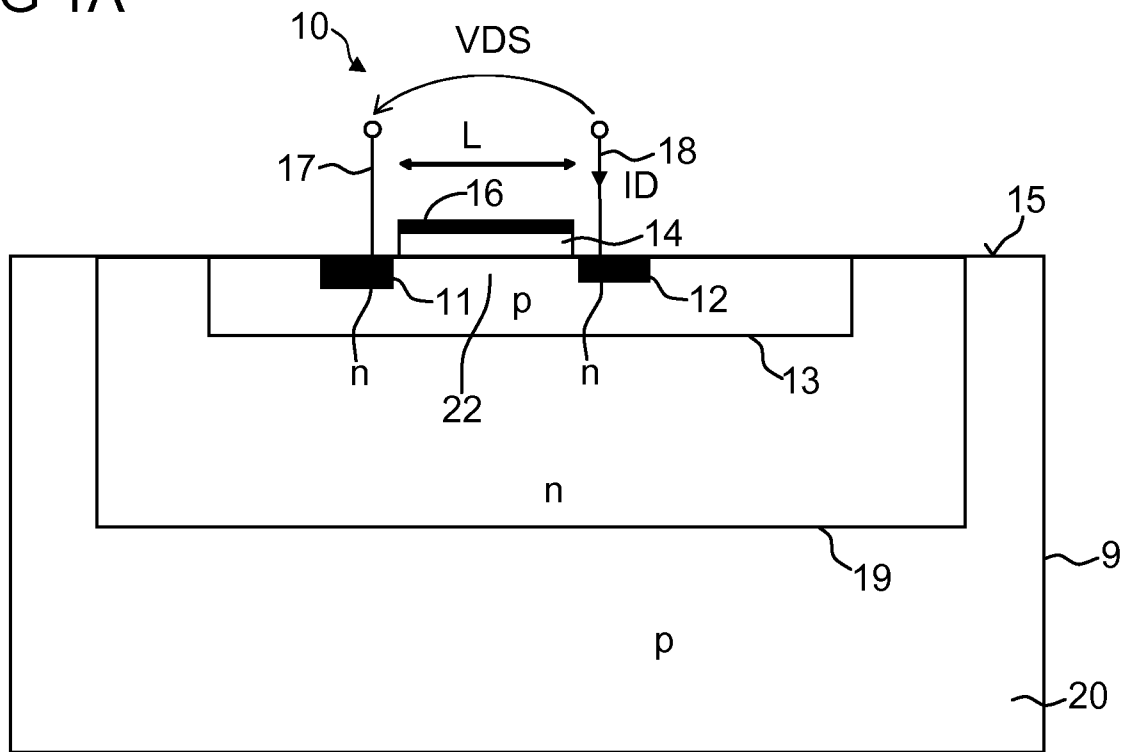


FIG 1B

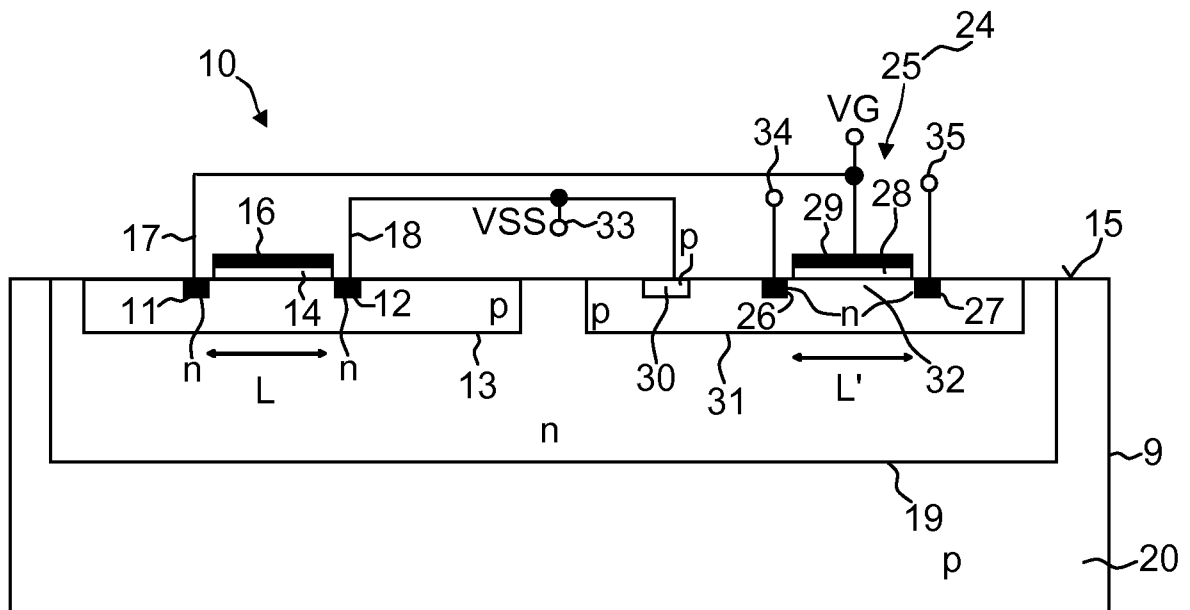


FIG 1C

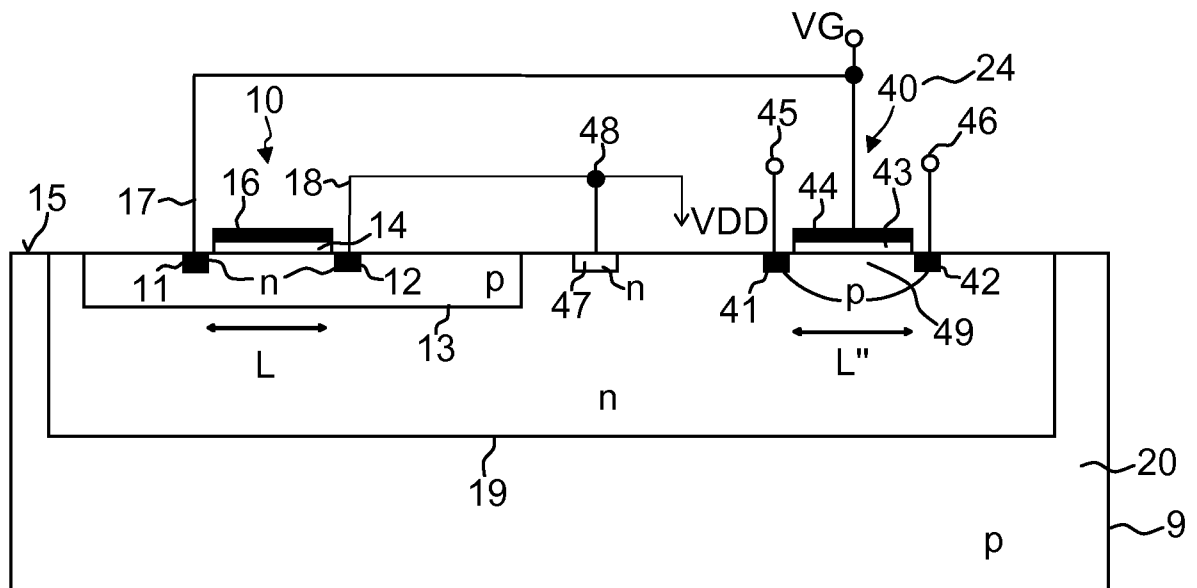


FIG 1D

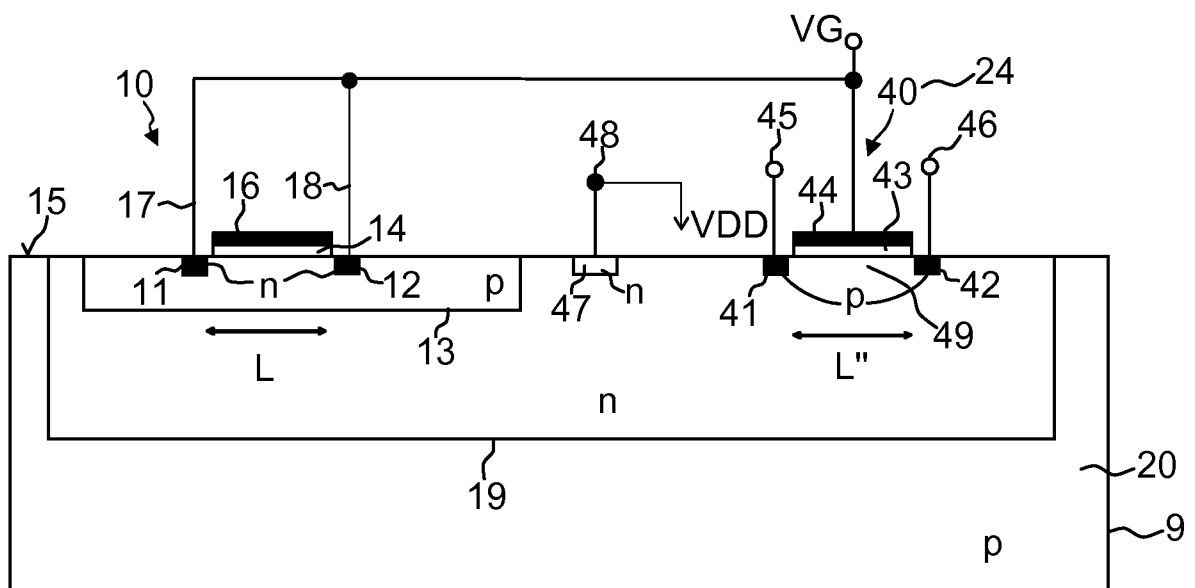


FIG 2

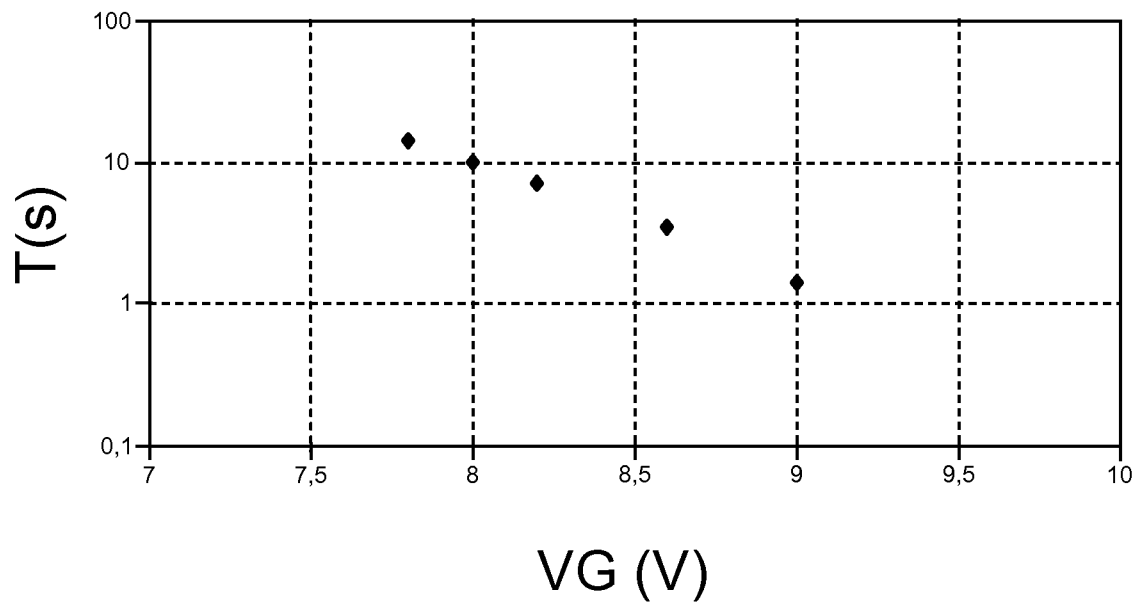


FIG 3

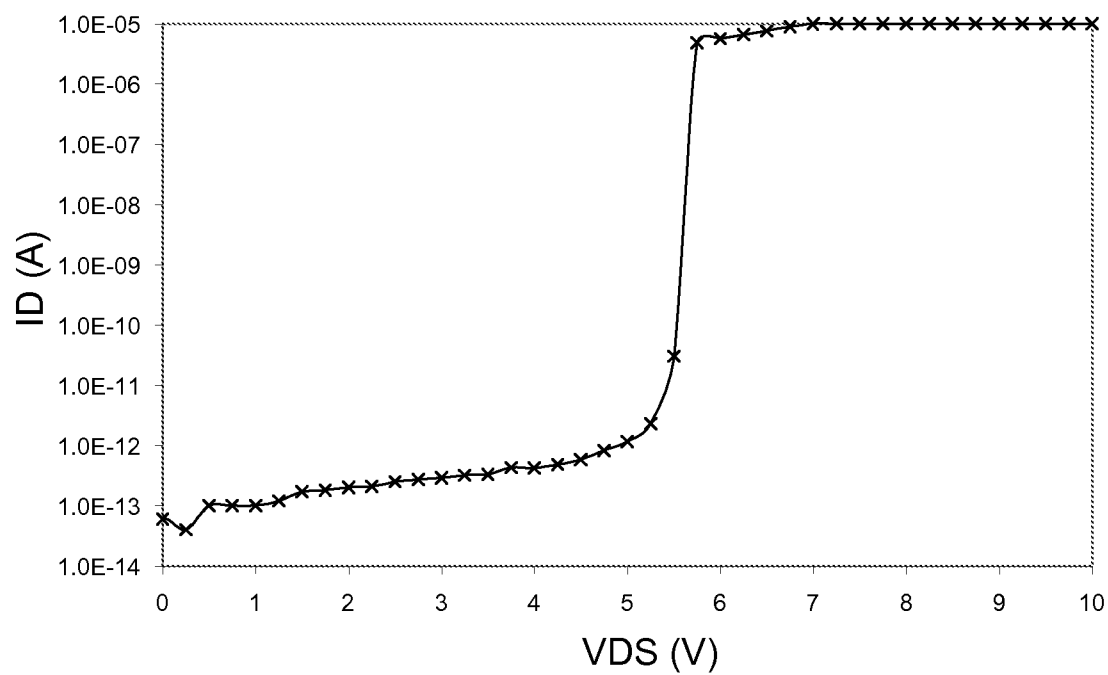


FIG 4

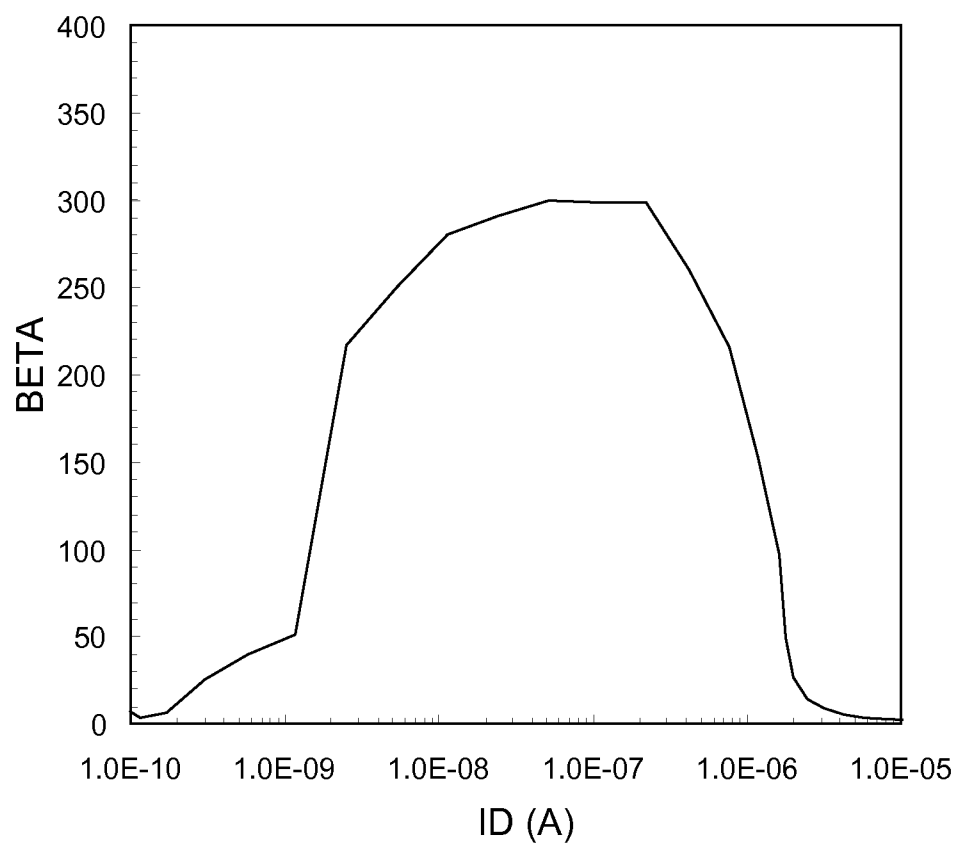


FIG 5A

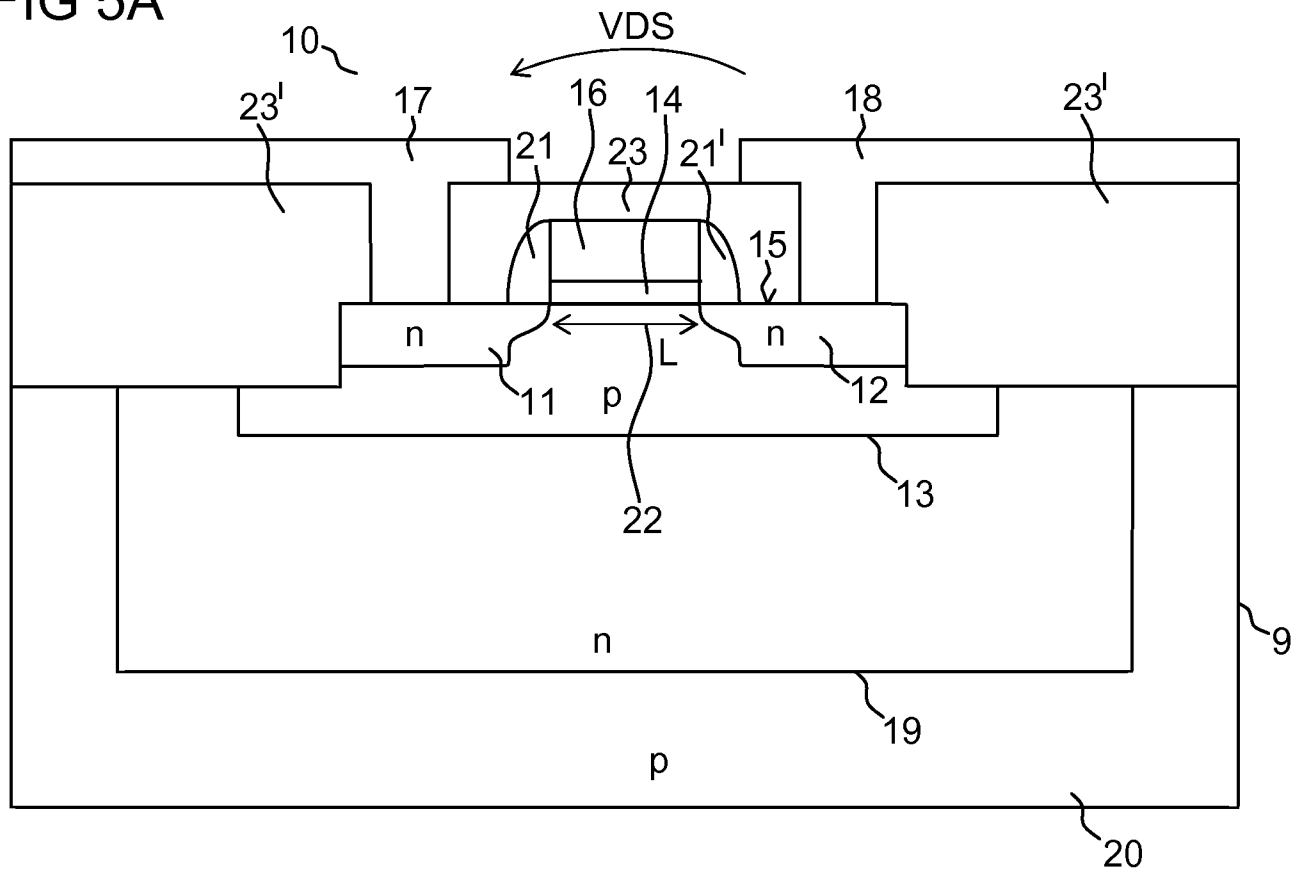
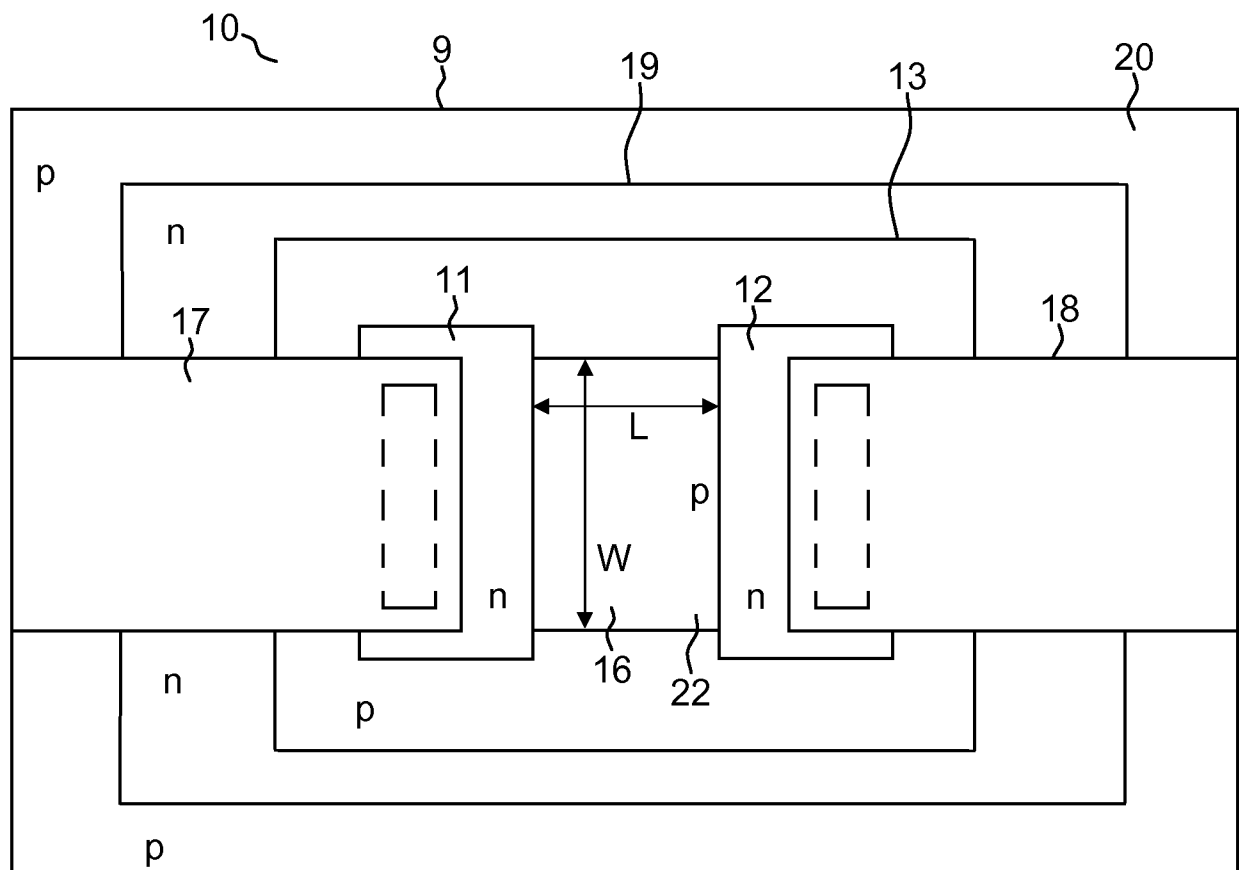


FIG 5B



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2009/062029

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L27/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/138544 A1 (BAKKER GREGORY [US]) 29 June 2006 (2006-06-29) abstract paragraphs [0013], [0015], [0016], [0020] figures 1,2	1-15
X	GB 2 339 074 A (HYUNDAI ELECTRONICS IND [KR]) 12 January 2000 (2000-01-12) page 12, line 24 - page 15, line 2 figures 16-21	1-15
	----- -/--	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

26 November 2009

Date of mailing of the international search report

02/12/2009

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Morena, Enrico

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2009/062029

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/121725 A1 (ANDO RYOICHI [JP] ET AL) 9 June 2005 (2005-06-09) cited in the application abstract paragraphs [0031] - [0036], [0048] - [0050] figures 2A, 4A, 4B -----	1-15
X	US 2004/164354 A1 (MERGENS MARKUS PAUL JOSEF [DE] ET AL) 26 August 2004 (2004-08-26) abstract paragraphs [0004], [0012], [0025], [0025], [0046] - [0051] figure 4 -----	1-15
X	NIKOLAIDIS T ET AL: "Transmission gate switch for ESD protection of RF pad" ELECTRONICS LETTERS, IEE STEVENAGE, GB, vol. 38, no. 7, 28 March 2002 (2002-03-28), pages 318-319, XP006017978 ISSN: 0013-5194 the whole document -----	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2009/062029

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2006138544 A1	29-06-2006	EP 1831980 A2 JP 2008526043 T US 2008296688 A1 WO 2006071555 A2	12-09-2007 17-07-2008 04-12-2008 06-07-2006
GB 2339074 A	12-01-2000	JP 2000040751 A KR 20000004507 A TW 441069 B US 6329694 B1	08-02-2000 25-01-2000 16-06-2001 11-12-2001
US 2005121725 A1	09-06-2005	CN 1614779 A JP 2005142261 A KR 20050043640 A TW 241705 B	11-05-2005 02-06-2005 11-05-2005 11-10-2005
US 2004164354 A1	26-08-2004	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2009/062029

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L27/02

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2006/138544 A1 (BAKKER GREGORY [US]) 29. Juni 2006 (2006-06-29) Zusammenfassung Absätze [0013], [0015], [0016], [0020] Abbildungen 1,2 -----	1-15
X	GB 2 339 074 A (HYUNDAI ELECTRONICS IND [KR]) 12. Januar 2000 (2000-01-12) Seite 12, Zeile 24 - Seite 15, Zeile 2 Abbildungen 16-21 -----	1-15
X	US 2005/121725 A1 (ANDO RYOICHI [JP] ET AL) 9. Juni 2005 (2005-06-09) in der Anmeldung erwähnt Zusammenfassung Absätze [0031] - [0036], [0048] - [0050] Abbildungen 2A, 4A, 4B ----- -/-	1-15

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

- * Besondere Kategorien von angegebenen Veröffentlichungen :
 - *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
 - *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
 - *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
 - *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
 - *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
- *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
- *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist
- *&* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. November 2009

Absendedatum des internationalen Recherchenberichts

02/12/2009

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Morena, Enrico

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2004/164354 A1 (MERGENS MARKUS PAUL JOSEF [DE] ET AL) 26. August 2004 (2004-08-26) Zusammenfassung Absätze [0004], [0012], [0025], [0025], [0046] - [0051] Abbildung 4 -----	1-15
X	NIKOLAIDIS T ET AL: "Transmission gate switch for ESD protection of RF pad" ELECTRONICS LETTERS, IEE STEVENAGE, GB, Bd. 38, Nr. 7, 28. März 2002 (2002-03-28), Seiten 318-319, XP006017978 ISSN: 0013-5194 das ganze Dokument -----	1-15

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2009/062029

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2006138544 A1		29-06-2006	EP	1831980 A2	12-09-2007
			JP	2008526043 T	17-07-2008
			US	2008296688 A1	04-12-2008
			WO	2006071555 A2	06-07-2006
GB 2339074 A		12-01-2000	JP	2000040751 A	08-02-2000
			KR	20000004507 A	25-01-2000
			TW	441069 B	16-06-2001
			US	6329694 B1	11-12-2001
US 2005121725 A1		09-06-2005	CN	1614779 A	11-05-2005
			JP	2005142261 A	02-06-2005
			KR	20050043640 A	11-05-2005
			TW	241705 B	11-10-2005
US 2004164354 A1		26-08-2004	KEINE		