[19]中华人民共和国专利局

[11] 公开号 CN 1129872A

[12] 发明专利申请公开说明书

[21]申请号 95116185.7

[51]Int.Cl[6]

H04L 7/00

[43]公开日 1996 年 8 月 28 日

[22]申请日 95.10.18

[30]优先权

[32]94.10.18[33]DE[31]P4437136.5

[71]申请人 菲利浦电子有限公司

地址 荷兰艾恩德霍芬

[72]发明人 R·乌尔班斯基

[74]专利代理机构 中国专利代理(香港)有限公司

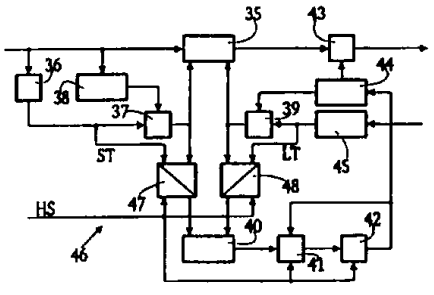
代理人 萧江雄 王 岳

权利要求书 4 页 说明书 14 页 附图页数 4 页

[54]发明名称 包括控制电路的传输系统

[57]摘要

本发明涉及包括控制电路的一种传输系统，该控制电路包括用于比较第一输入信号和第二输入信号的比较器（18、19、20；25 至 29；46；50 至 52；57 至 60）。为了减小低频相位误差，上述比较器改变源于第一输入信号的第一比较信号的状态和／或源于第二输入信号的第二比较信号的状态，或者改变在由一个辅助信号指示的时刻两个比较信号组合引起的输出信号的状态，该辅助信号的频率偏离将要改变的信号的频率。



权 利 要 求 书

1. 一种包括控制电路的传输系统，该控制电路包括用于比较第一输入信号和第二输入信号的比较器(18、19、20；25至29；46；50至52；57至60)，其特征在于提供比较器(18、19、20；25至29；46；50至52；57至60) 用于改变源于第一输入信号的第一比较信号的状态和／或源于第二输入信号的第二比较信号的状态，或者改变在由一个辅助信号指示的时刻两个比较信号组合引起的输出信号的状态，该辅助信号的频率偏离将要改变的信号的频率。

2. 权利要求1所述的传输系统，其特征在于比较器(18至20) 包括:

第一转换器电路(18)，用于产生第一输入信号和辅助信号以及产生状态改变的第一比较信号，和／或第二转换器电路(20)，用于产生第二输入信号和辅助信号以及产生状态改变的第二比较信号，比较计数器(19)，用于在其允许输入端接收由第一转换器电路产生的状态改变的第一比较信号，并在其时钟输入端接收作为第二比较信号的第二输入信号，或者用于在其允许输入端接收作为第一比较信号的第一输入信号，并在其时钟输入端接收由第二转换器电路(20) 产生的第二比较信号，或者用于在其允许输入端接收由第一转换器电路(18) 产生的第一比较信号，并在其时钟输入端接收由第二转换器电路(20) 产生的第二比较信号。

3. 权利要求2所述的传输系统，其特征在于转换器电路(18、20) 用来从输入信号形成状态改变的比较信号，该输入信号平均而言具有状态改变的比较信号的相同频率或其频率倍数，并且其边缘相对于状态改变的信号的边缘偏移较大部分。

4. 权利要求3所述的传输系统，其特征在于转换器电路(18、20)

包括第一和第二计数器(21、22) 、第一触发器(24) 和一个与门(23) ，其中第一计数器(21) 用于接收一个输入信号，并从计数器(21) 的1位输出信号产生一个比较信号，第一触发器(24) 用于在其时钟输入端接收辅助信号，并在其触发器输入端接收由与门(23) 产生的信号，该与门信号代表比较信号和来自第二计数器(22) 的传输信号的组合，以及第二计数器用于在其时钟输入端接收辅助信号，并在其允许输入端接收第一触发器(24) 的反相输出信号，从其传输输出信号产生传输信号，并从第二计数器(22) 的1 位输出信号产生状态改变的比较信号。

5. 权利要求1所述的传输系统， 其特征在于比较器包括第三和第四计数器(25、26) 、第一和第二适配电路(27、28) 和减法器(29) ，其中第三计数器(25) 用于接收第一输入信号，并产生作为第一比较信号的第三计数器(25) 的输出信号，第四计数器(26) 用于接收第二输入信号，并产生作为第二比较信号的第四计数器(26) 的输出信号，第一和第二适配电路(27、28) 的每一个用于接收辅助信号和第一、第二比较信号，并改变第一和第二比较信号的状态，以及减法器(29) 与两个适配电路(27、28) 的输出相连。

6. 权利要求5所述的传输系统， 其特征在于适配电路包括第一缓冲存储器(33) ，其时钟输入端用于接收辅助信号，对施加的值进行缓存。

7. 权利要求5或6所述的传输系统，其特征在于控制电路形成使进来的信号和出去的信号之间频率和／或相位变化均衡的同步电路的一部分，其中作为写计数器(37) 的第三计数器用于为将要进入缓冲存储器(35) 的数据产生写地址，作为读计数器(39) 的第四计数器用于为将要从缓冲存储器(35) 读出的数据产生读地址，以及减法器(40) 用于向包括在控制读计数器(39) 的控制电路中的控制器(41、

42、44）提供其输出信号。

8.权利要求7所述的传输系统，其特征在于控制器包括接收减法器（40）的输出信号的低通滤波器（41），调整确定电路（42）和数据发生器（44），其中调整确定电路（42）用于判断低通滤波器（41）的输出信号，并向数据发生器（44）施加调整值，以及数据发生器（44）用于控制调整操作。

9.权利要求7或8所述的传输系统，其特征在于同步电路包括数据分析器（38），用于分析进来的数据和控制写计数器（37）。

10.权利要求7所述的传输系统，其特征在于控制器被构造成调整确定电路（53），该电路用于对出去的信号的每帧产生至少一次的控制信号，当源于减法器的输出值的一个值低于第一阈值时，该控制信号指示负的调整操作，当源于减法器的输出值的一个值超过高于第一阈值的第二阈值时，该控制信号指示正的调整操作，并且在出去信号的每帧的预定范围中，提供读计数器（51）用于当由控制信号指示正的调整操作时产生至少一个双读地址，并且当控制信号指示负的调整操作时跳越至少一个读地址。

11.权利要求6至9中的一个权利要求所述的传输系统，其特征在于适配电路包括第一解码器（31），它的输出与第一缓冲存储器（33）的输入相连，并且该解码器用于对所接收的循环码的输入值进行解码。

12.权利要求11所述的传输系统，其特征在于第一解码器（31）用于将双码编码的输入值转换成葛莱码，并且适配电路包括其输出与第一缓冲存储器（33）的输入相连的第二缓冲存储器（32），用于缓存来自第一解码器（31）的输出值和在其时钟输入端接收与产生的值有关的一个信号，以及第二解码器（34）用于将第一缓冲存储器（33）的葛莱码输出值转换成双码值。

13. 一种包括用于比较第一输入信号和第二输入信号的比较器（

18、19、20；25至29；46；50至52；57至60）的控制电路，其特征在于提供比较器（18、19、20；25至29；46；50至52；57至60）用于改变源于第一输入信号的第一比较信号的状态和／或源于第二输入信号的第二比较信号的状态，或者改变在由一个辅助信号指示的时刻两个比较信号组合引起的输出信号的状态，该辅助信号的频率偏离将要改变的信号的频率。

说　明　书

包括控制电路的传输系统

本发明涉及包括控制电路的传输系统，该电路包括将第一输入信号和第二输入信号进行比较的比较器。

这种传输系统可以用于例如同步数字分层结构（SDH）的信号传输。例如，多路复用器将各种plesiochronous或也是同步信号（例如STM-1信号）组合成一个STM16信号（STM＝同步传送模件）。然后在多路复用器中的同步电路对进来的信号和出去的信号进行时钟对准。然后用指针字节进行时钟对准所需的调整操作。这种调整操作也称为在同步数字分层结构中的指针操作。

在传输系统的多路分解器中，通过去同步电路将plesiochronous或同步信号予以恢复。由于帧结构和指针操作，在传输系统的输入信号和输出信号之间出现相位误差。

所述传输系统可以从EP 0 507 385 A2 或从 M. J. Klein和R. Urbansky写的文章《网络同步——对SDH／SONET的一个挑战？》中了解到，上述文章见IEEE通信杂志，1993年9月，第31卷，第9号，第42至50页。然后同步数字分层结构的同步信号（STM-1）适合于读时钟信号。读时钟信号是由第一锁相环（PLL）产生的，第一锁相环至少包括第一比较器（相位检测器）、控制器和可控振荡器。通过传输系统的网络管理系统向第一比较器提供振荡器信号（读时钟信号）和例如控制信号。

为了使同步信号适合于读时钟信号，在指针（指针操作）中进行数值调整。为了时钟的适应性，采用由写和读计数器控制的缓冲存储器。写计数器受数据分析器（指针解释器）控制，数据分析器从指针

值确定包含在进来的同步信号中的调整值。读计数器形成控制电路的一部分，该控制电路包括减法器、低通滤波器、调整确定电路和数据发生器(指针发生器) 。低通滤波器用来减少指针操作引起的进来的信号中的高频相位误差，并减少在传输系统的输入信号和输出信号之间帧结构引起的相位误差。在调整确定电路中有一个积分器，能够将抖动的频谱移到高频范围(抖动是高频相位误差) 。低频相位误差不能被所述措施消除。

如果由积分器产生的值超过一个正的阈值，那么调整确定电路形成一个正的调整值。如果由积分器产生的值小于一个负的阈值，那么调整确定电路形成一个负的调整值。指针发生器为出去的信号产生指针值，并根据调整值和STM-1帧控制读计数器。 在正的调整确定情况下，读计数器停止。在负的调整确定情况下，读计数器在一帧期间能够早一数据字节计数。

本发明的一个目的是提供一种传输系统，它减小了低频相位误差。

这一目的是通过以上确定的类型的传输系统达到的，其中提供了比较器，用于改变源于第一输入信号的第一比较信号的状态和／或源于第二输入信号的第二比较信号的状态，或者在由一个辅助信号指示的时刻两个比较信号组合引起的输出信号的状态，该辅助信号的频率偏离将要改变的信号的频率。

在根据本发明的传输系统中，向比较器提供辅助信号，以便改变在比较器中处理的一个或多个信号的状态。比较器形成控制电路的一部分，控制电路例如用于产生控制读计数器的振荡器信号或调整值。例如通过对第一或第二输入信号进行编码得到第一或第二比较信号。然而比较信号也可以与输入信号相同。例如通过计数器对输入信号进行编码。计数器的一个1位输出信号或一个或多个1位输出信号形成一个比较信号。于是计数器或从计数器的1 位输出信号产生一个串行信

号，或从计数器的1 位输出信号产生一个或多个串行信号作为一个并行信号。

辅助信号改变第一和第二比较信号中的状态，或仅改变第一或仅改变第二比较信号中的状态。状态的改变不仅可以出现在第一和第二比较信号中，而且也可以出现在比较信号组合而成的信号中。这一信号例如可以是比较器的输出信号。

信号状态的改变应理解为例如在由辅助信号预先规定的特定时刻，信号中脉冲的加长和缩短，或者脉冲暂停，或者脉冲的去交错或放大。辅助信号的频率偏离将要改变的信号的频率。

根据本发明的措施减小了低频相位误差，并能减小高频相位误差，因为由辅助信号影响的相位误差和输入信号之间的依赖性减小了。相位误差是以这样一种方式改变的，即包括在传输系统中的开关元件减小了相位误差。这种开关元件例如是传输系统的多路分解器中的控制电路中的滤波器或去同步电路中的控制电路。

形成例如产生振荡器信号的锁相环(PLL) 一部分的比较器包括第一转换器电路和比较计数器。第一转换器电路用于产生第一输入信号和辅助信号以及产生状态改变的第一比较信号，和／或第二转换器电路用于产生第二输入信号和辅助信号以及产生状态改变的第二比较信号。比较计数器用于在其允许输入端接收由第一转换器电路产生的状态改变的第一比较信号，并在其时钟输入端接收作为第二比较信号的第二输入信号，或者用于在其允许输入端接收作为第一比较信号的第一输入信号，并在其时钟输入端接收由第二转换器电路产生的第二比较信号，或者用于在其允许输入端接收由第一转换器电路产生的第一比较信号，并在其时钟输入端接收由第二转换器电路产生的第二比较信号。这一比较器不能使组合比较信号中的状态改变。该比较器可用于同步电路或去同步电路的控制电路中。

转换器电路用来从输入信号形成状态改变的比较信号，该输入信号平均而言具有状态改变的比较信号的相同频率或其频率倍数，并且其边缘相对于状态改变的信号的边缘偏移较大部分。如果需要，转换器电路可进行分频和相位调制。

第一和第二转换器电路的一个实施例包括第一和第二计数器、第一触发器和一个与门。第一计数器用于接收一个输入信号，并从计数器的1位输出信号产生一个比较信号。 第一触发器用于在其时钟输入端接收辅助信号，并在其触发器输入端接收由与门产生的信号，该与门信号代表比较信号和来自第二计数器的传输信号的组合。第二计数器用于在其时钟输入端接收辅助信号，并在其允许输入端接收第一触发器的反相输出信号，从其传输输出信号产生传输信号，并从第二计数器的1位输出信号产生状态改变的比较信号。 第一计数器是一个编码器，用于将输入信号转换成比较信号。由第一触发器、与门和第二计数器改变比较信号的状态。

比较器的另一实施例包括包括第三和第四计数器、第一和第二适配电路和一个减法器。第三计数器用于接收第一输入信号，并产生作为第一比较信号的第三计数器的输出信号，第四计数器用于接收第二输入信号，并产生作为第二比较信号的第四计数器的输出信号。第一和第二适配电路的每一个用于接收辅助信号和第一、第二比较信号，并改变第一和第二比较信号的状态。减法器与两个适配电路的输出相连。这一比较器可用于产生振荡器信号的锁相环，或用于控制调整或去调整操作的控制电路。

适配电路用于使比较信号与辅助信号同步。为此目的，该电路包括第一缓冲存储器，其时钟输入端用于接收辅助信号，对施加的值进行缓存。

如果控制电路形成使进来的信号和出去的信号之间频率和／或相

位变化均衡的同步电路的一部分，那么作为写计数器的第三计数器用于为将要进入缓冲存储器的数据产生写地址，作为读计数器的第四计数器用于为将要从缓冲存储器读出的数据产生读地址。减法器用于向包括在控制读计数器的控制电路中的控制器提供其输出信号。写和读计数器向从输入信号来的或编码的各自的适配电路比较信号施加每个地址。写地址的序列形成第一比较信号，读地址的序列形成第二比较信号。

减法器如同写和读计数器以及适配电路那样形成比较器的一部分，它为控制器形成一个输出信号。控制器包括接收减法器的输出信号的低通滤波器，调整确定电路和数据发生器。低通滤波器的功能是减小由辅助信号改变的相位误差。调整确定电路用于判断低通滤波器的输出信号，并向控制调整操作的数据发生器施加调整值。数据发生器通过帧计数确定调整操作的时刻。在调整操作的情况下，读计数器相应地受数据发生器的控制。通过由数据发生器形成的指针值在出去信号的帧中的预定位置插入调整指示位。

此外在进来的信号的情况下，判断控制写计数器的指针值。为此目的，在同步电路中采用数据分析器，该分析器用于分析进来的数据和控制写计数器。

在STM-1传输系统的同步电路中，也可以用不同的方式实现频率和相位变化的均衡。从DE-43 32 761中已知一种系统，其中首先在预处理阶段中有时钟对准和其后阶段中的指针判断。在预处理阶段的控制器被构造成调整确定电路，该电路用于对出去的信号的每帧产生至少一次的控制信号，当源于减法器的输出值的一个值低于第一阈值时，该控制信号指示负的调整操作，当源于减法器的输出值的一个值超过高于第一阈值的第二阈值时，该控制信号指示正的调整操作。在出去信号的每帧的预定范围中，提供读计数器用于当由控制信号指示正的

调整操作时产生至少一个双读地址(读计数器被停止) ，并且当控制信号指示负的调整操作时跳越至少一个读地址。

在所述比较器中包括一个减法器，它接收与辅助信号同步的写地址并接收读地址。用第一缓冲存储器(例如寄存器) 实现与辅助信号的同步。如果恰好在写时刻改变写或读地址，那么写或读地址常常不能被正确地写。如果例如在第一缓冲存储器中的写时刻，写或读地址的第一位的位置已经改变了，但是写或读 地址的第二位的位置并没有改变，那么将会出现错误的写或读地址。为了最大限度地减少这一错误，适配电路包括第一解码器，它的输出与第一缓冲存储器的输入相连，并且该解码器用于对所接收的循环码的输入值进行解码。循环码例如是葛莱码。第一解码器用于将双码编码的输入值转换成葛莱码。此外，适配电路包括其输出与第一缓冲存储器的输入相连的第二缓冲存储器，用于缓存来自第一解码器的输出值和在其时钟输入端接收与产生的值有关的一个信号。第二解码器用于将以葛莱码编码的第一缓冲存储器的输出值转换成双码值。

本发明同样涉及包括将第一输入信号和第二输入信号进行比较的比较器的控制电路。提供比较器用于改变源于第一输入信号的第一比较信号的状态和／或源于第二输入信号的第二比较信号的状态，或者改变在由一个辅助信号指示的时刻两个比较信号组合引起的输出信号的状态，该辅助信号的频率偏离将要改变的信号的频率。

通过以下对实施例的描述，本发明的上述和其它方面将会一目了然。

附图中:

图1表示具有多路复用器和多路分解器的传输系统;

图2表示可以用于图1所示的多路复用器中的已知的同步电路;

图3表示可以用于同步电路中的已知的锁相环;

图4表示根据本发明操作的比较器，可以用于图3所示的锁相环中；

图5表示可以用于图4所示的比较器中的转换器电路；

图6表示说明图5所示的转换器电路操作的时序图；

图7表示根据本发明操作的另一个比较器，可以用于图3所示的锁相环中；

图8表示用于图8所示的比较器中的适配器电路；

图9表示根据本发明的同步电路；以及

图10表示根据本发明的另一个同步电路的预处理电路。

图1表示包括多路复用器1和多路分解器2的传输系统。在多路复用器1和多路分解器2之间还可以有其它的部件（未示出）。多路复用器1例如以大约每秒140兆比特的位速率接收plesiochronous信号，并从中形成同步数字分层结构（比较CCITT Recommendation G.709）的STM-1信号。例如，在多路复用器1中从STM-1信号产生STM-16信号。多路分解器2接收STM-16信号并从中恢复plesiochronous信号。多路复用器1也可以从plesiochronous信号（例如大约每秒2兆比特的位速率）产生同步数字分层结构的各种传送单元（例如TU-12），或者还接收同步信号和产生同步信号。例如，将STM-1信号施加到多路复用器1上，多路复用器1再产生STM-1信号。

在多路复用之前，通过同步电路多路复用器1进行源于进来的信号的时钟信号（写时钟信号）和本机时钟信号（读时钟信号）之间的时钟对准。这样做之后，在同步电路1中在由出去的信号的帧确定的特定位置进行调整操作。对于负调整操作，例如在为调整操作提供的位置插入一个数据字节。假如是正调整操作，在为此目的提供的调整位置插入例如一个不带信息的字节（填充字节）。

在多路分解器2的去同步电路中，取消填充操作。去同步电路一般采用锁相环。通过锁相环去除由调整操作引起的高频相位误差。在

同步电路中可以提供适当的措施，使得低频相位误差可以基本上移到高频范围。利用下面将要讨论的措施，可以进一步减小低频相位误差。

图2表示已知的多路复用器1的同步电路的示意图，该电路例如可以从EP 0 507 385 A2或从M.J.Klein和R.Urbansky写的文章《网络同步——对SDH／SONET的一个挑战？》中了解到，上述文章见IEEE通信杂志，1993年9月，第31卷，第9号，第42至50页。缓冲存储器3 接收将要被缓存的进来的信号的数据。通过时钟恢复电路4 从进来的信号产生写时钟信号ST。写时钟信号ST被送至写计数器5，写计数器5产生写地址，并将写地址施加到缓冲存储器3。

如果缓冲存储器3例如被提供STM-1信号，那么考虑在该信号中仍可得到的调整指示位(指针数值) 。为此目的采用数据分析器6。 数据分析器6在进来信号的特定数据出现时停止写计数器。 数据分析器进一步接收写时钟信号ST。

从缓冲存储器3读数据受读计数器7的控制。写地址和读地址被施加到减法器8，它形成差值。减法器8的输出通过低通滤波器9 与调整确定电路10相连。调整确定电路10向数据发生器11提供调整值，数据发生器11控制用于产生帧同步出去的信号的多路复用器12以及读计数器7。调整确定电路10的输出值也提供给低通滤波器9。调整指示位和控制信息通过数据发生器11插入出去的信号。此外，例如在负调整操作的情况下，数据发生器11停止读计数器7。读计数器7、写计数器5、减法器8、低通滤波器9、调整确定电路10和数据发生器11形成一个控制器，该控制器用于控制从缓冲存储器读数据的操作。

读计数器7进一步接收来自另一个控制电路13 (锁相环) 的读时钟信号LT，控制电路13接收例如来自管理系统的控制或同步信息，管理系统用于控制和监视传输系统。

锁相环13的一个说明性的实施例示于图3。比较器14 接收第一输

入信号。对应于振荡器信号或读时钟信号的第二输入信号通过电压控制振荡器15也提供给比较器14。比较器14的输出信号施加到控制器16，通过数／模转换器17，控制器16的控制信号被电压控制振荡器15接收。

根据本发明，当采用以下将要描述的具体措施在传输系统的控制电路中补充一个比较器时，就可实现减小传输系统中的相位误差的目的。图3所示的比较器14包括接收第一信号和辅助信号HS 的第一转换器电路18。辅助信号HS的频率偏离第一输入信号的频率。通常这是较小的偏离。有了辅助信号HS，使得从第一输入信号形成状态改变的第一比较信号，该信号施加到比较计数器19的允许输入端E。 第二输入信号施加到比较计数器19的时钟输入端。比较计数器19只在状态改变的第一比较信号的特定时期(例如当状态改变的比较信号是逻辑“1”时) 对第二输入信号的时钟计数。比较计数器19的内容施加到控制器16。

第二转换器20也可以通过辅助信号HS从第二输入信号产生状态改变的第二比较信号。状态改变的信号被送至比较计数器19的时钟输入端。在这种情况下也可以省略第一转换器电路18，直接将第一输入信号送至比较计数器19的允许输入端E。

在图5中更详细地画出了第一或第二转换器电路18或20 的一个示意性实施例。转换器电路18或20包括第一计数器21、第二计数器22、与门23和第一触发器24。两个计数器21和22可以是2位计数器。 计数器21在其时钟输入端接收第一或第二输入信号ES。第一计数器21的更高阶的输出端将比较信号VS施加到与门23的输入端。比较信号VS的频率减小为输入信号ES的频率的四分之一。由计数器21进行的分频也可称为编码。比较信号VS代表编码输入信号ES。将来自第二计数器的进位输出CY的进位信号UE送至与门23的第二输入。与门23的输出与第一触发器24的D输入端相连，该触发器的时钟输入端与计数器22 的时钟

输入端一样，接收辅助信号HS。触发器24的Q输出端将过渡信号ZS 施加到计数器22的反相允许输入端$\overline{E}$。由计数器22 的低阶输出端产生转换器电路18或20的状态改变的的比较信号AS。

图6表示出现在转换器电路18或20中的各个信号ES、VS、HS、ZS、UE和AS的时序图。由与门23产生的信号值在辅助信号HS的每个正边缘出现时通过触发器24被传送到它的输出端Q。如果过渡信号ZS 是逻辑“1”，那么计数器22被停止。当计数器22 产生一个进位时(对照进位信号UE) ，辅助信号HS的脉冲出现时在触发器24的Q 输出端产生逻辑“1”。从图6中可以看到，状态改变的比较信号AS具有不同长度脉冲，该脉冲是由辅助信号HS引起的。信号AS下面的数字表示计数器22的计数。状态改变的比较信号AS的频率平均而言是输入信号ES的频率二分之一。此外输入信号ES和状态改变的比较信号AS的边缘偏移了。由于比较信号中引起的状态的不规则或变化，所以减小了传输系统中的相位误差。

另外可以采用由计数器22的另一输出端产生的1 位输出信号代替状态改变的比较信号AS。在这种情况下，状态改变的比较信号具有较低的频率。

图7表示控制电路的另一比较器的示意性实施例。 该比较器包括第三和第四计数器25和26、第一和第二适配电路27和28、减法器29和触发器30。第三计数器25在其时钟输入端接收第一输入信号，并在其计数输出端产生作为比较信号的计数序列。第一适配电路27将第一输入信号和辅助信号HS的时钟对准。适配电路27或28的一个实施例示于图8。适配电路27或28包括将双码值转换成葛莱码值的第一解码器31，两个缓冲存储器32和33，以及将葛莱码值转换成双码值的第二解码器34。在第一解码器31中比较信号的双码值已经被转换成葛莱码值以后，由第一解码器31产生的值被缓存在缓冲存储器32中。缓冲存储器31可

以安排成一个寄存器，它在其时钟输入端接收输入信号。缓冲存储器33也可以安排成一个寄存器，它在其时钟输入端接收辅助信号HS，缓存由缓冲存储器32产生的值。缓冲存储器33的输出端与第二解码器34相连，第二解码器34在转换之后产生双码。

缓冲存储器32和33用于将这些值与辅助信号HS同步。当计数器(例如计数器25）的状态改变时，其计数将常常不能正确地被缓存。如果例如在缓冲存储器32中缓存的时刻，计数器的第一位的位置已经改变，而该计数器的第二位的位置却未改变，那么将是错误的存入计数。为了最大限度地减小这一错误，进行双码／葛莱码转换。葛莱码是一种循环码，其中对连续的值不会有多于一位的位置改变。

由适配电路27产生的值施加到减法器29的输入端。减法器29的另一输入端接收来自第二适配电路28的值，适配电路28被施加来自第四计数器26的计数，适配电路28的时钟输入端和适配电路27一样，被施加第二输入信号和辅助信号HS。减法器29的输出值被缓存在触发器30中，触发器30在其时钟输入端接收辅助信号HS。适配电路27和28改变由计数器25和26提供的比较信号的状态。

图7所示的比较器可以用于图3所示的锁相环或将要在下面说明的图9的同步电路中。图9所示的同步电路像图3 所示的已知的同步电路一样，包括用于缓存信号的进来的数据的缓冲存储器35，用于产生写时钟信号ST的时钟恢复电路，用于产生写地址的写计数器37，用于判断指针值的数据分析器38，用于产生读地址的读计数器39，形成差值的减法器40，低通滤波器41，产生填充值的调整确定电路42，形成出去的信号的多路复用器电路43，控制读计数器39和多路复用器电路43的数据发生器44，以及产生读时钟信号LT的锁相环45。锁相环45接收例如来自用于控制和监视传输系统的管理系统的控制或同步信息。

示于图9并用于同步电路的新的比较器46包括除写计数器37（第

三计数器）、读计数器39（第四计数器）和减法器40以外的两个适配电路47和48。适配电路47接收来自写计数器37的写地址、写时钟信号ST和辅助信号HS。与辅助信号HS同步的写地址被施加到减法器40的一个输入端。适配电路48除了接收读时钟信号LT和辅助信号HS以外，还接收来自读计数器39的读地址。减法器40接收与辅助信号HS同步的读地址。两个适配电路47和48对应于图8所示的适配电路。

低通滤波器41和调整确定电路42进一步接收用于定时的辅助信号HS。也可以有另外的部件来接收用于定时的辅助信号HS。

读计数器39、写计数器37、适配电路47和48、减法器40、低通滤波器41、调整确定电路42和数据发生器44形成用于控制从缓冲存储器35读数据的控制电路。此外，低通滤波器41、调整确定电路42和数据发生器44形成一个控制电路。

写和读地址序列中的状态改变使得传输系统中相位误差减小了。

图9 所示的同步电路也可以分为用于时钟对准的预处理电路和用于指针判断的后置处理电路。这种预处理电路可从DE-43 32 761中了解到，并与进一步的开关部件一起示于图10。

图10所示的预处理电路包括用于接收例如STM-1 信号的缓冲存储器49、写计数器50（第三计数器）、读计数器51（第四计数器）、减法器52、调整确定电路53、编码器54、帧判断电路55、多路复用器56、两个适配电路57和58、两个寄存器59和60以及低通滤波器61。写计数器50可以安排成一个模4的计数器，接收写时钟信号ST， 并用每个时钟信号产生写地址。以循环葛莱码产生的写地址循环反复出现。写地址被施加到缓冲存储器49和适配电路57中，适配电路57在其时钟输入端接收辅助信号HS。寄存器59连接在适配电路57的输出端和减法器52的一个输入端之间，寄存器59接收读时钟信号LT。

为了进行读操作，也可以安排成模4 计数器并接收读时钟信号LT

的读计数器51将读地址施加到缓冲存储器49。读计数器51进一步接收来自调整确定电路53的控制信号SL。如果控制信号SL表示正的调整操作，那么再一次产生最近产生的读地址（读计数器51被停止）。如果控制信号SL表示负的调整操作，那么实际上跳越下一个读地址。

读地址序列不仅施加到缓冲存储器49，而且也施加到适配电路58，适配电路58在其时钟输入端接收辅助信号HS，并且像适配电路57一样，由一个存储器（寄存器）构成。另一个接收读时钟信号LT的寄存器60连接在适配电路58和减法器52之间。

适配电路57和58用于使写和读地址适应辅助时钟。寄存器59和60依次使由适配电路57和58产生的地址适应读时钟信号LT。

调整确定电路53产生控制信号SL，并在一个特定时刻，不仅接收读时钟信号LT，而且接收允许脉冲FI。如果出现允许脉冲FI，则确定调整。调整确定电路53将减法器52产生并通过低通滤波器61的值与第一和第二阈值进行比较。第一阈值对应缓冲存储器49的较低的填充，第二阈值对应缓冲存储器49的较高的填充。如果由减法器52产生的值低于第一阈值，那么施加负的调整，并且由调整确定电路产生的控制信号SL包括一个关于负调整操作的指示。如果由减法器52产生的值超过第二阈值，那么施加正的调整操作，由调整确定电路53产生控制信号SL。

如果读时钟信号LT的频率低于写时钟信号ST的频率，那么进行负调整。如果读时钟信号LT的频率高于写时钟信号ST的频率，那么进行正调整。在负调整的情况下，出去的STM-1 信号的帧在预定位置缩短一字节。在正调整的情况下，出去的信号在帧中的特定位置扩展。这是通过读计数器51实现的，该计数器在控制信号SL改变的情况下，或两次产生一个读地址，或跳越一个读地址。

调整确定电路53和低通滤波器61一起形成控制电路的控制器，该

控制电路包括写计数器50、读计数器51、适配电路57和58、寄存器59和60以及减法器52。控制电路控制读控制器51。

调整确定电路53的允许脉冲FI由帧判断电路55产生，帧判断电路55接收读时钟信号LT和来自缓冲存储器49的数据流。这一帧判断电路55识别STM-1信号的帧的开始，并对STM-1帧的字节计数。如果包括在帧判断电路55中的计数器达到对应于预定范围的开始（STM-1帧的第五行的第一字节或第一B2字节）的一个计数，那么帧判断电路55产生允许脉冲。当第二B2字节（STM-1帧的第五行的第二字节）出现时，帧判断电路55为多路复用器56产生一个开关信号UI。

多路复用器56的第一输入端与缓冲存储器49的输出端相连，多路复用器56的第二输入端与编码器54相连，编码器54接收控制信号SL。只有当得到开关信号UI时，多路复用器56的第二输入端才与其输出端相连。否则，多路复用器12的第一输入端与多路复用器56的输出端相连。编码器54产生代码字，它指示是出现了正的还是负的调整操作，或指示无调整操作发生。这个代码字借助于多路复用器56和帧判断电路55作为第二B2字节插入出去的STM-1信号。

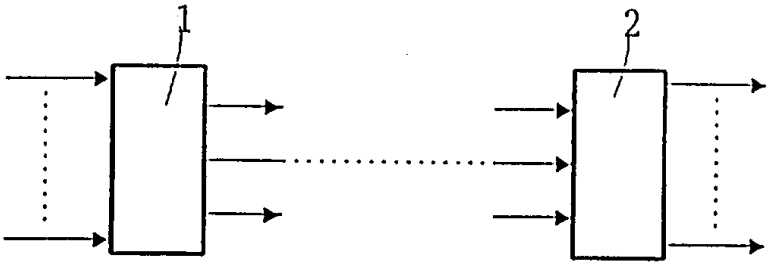


图 1

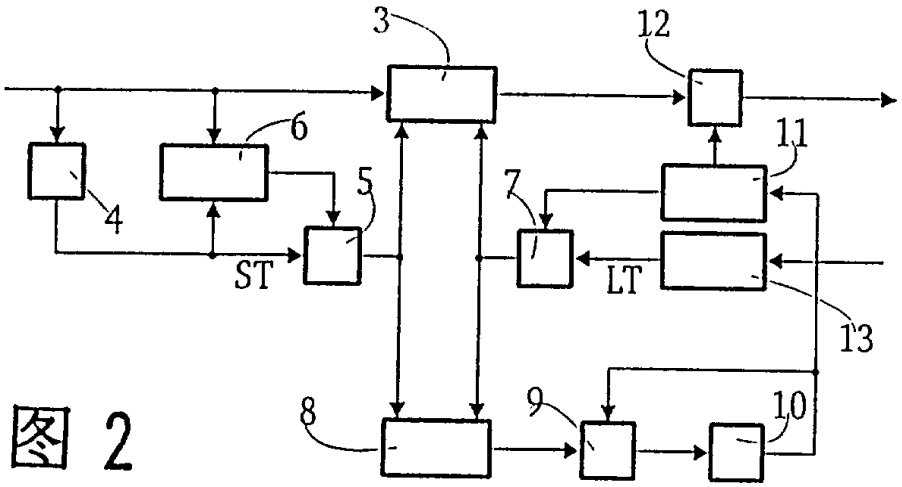


图 2

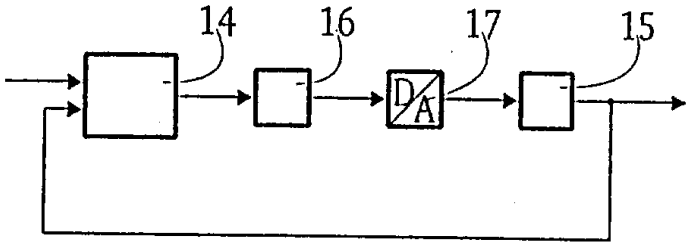


图 3

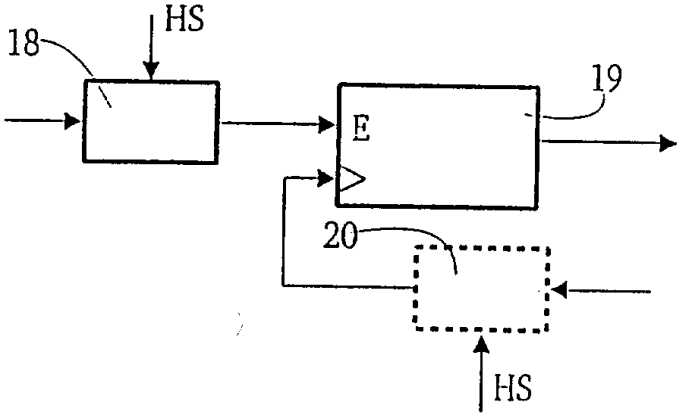


图 4

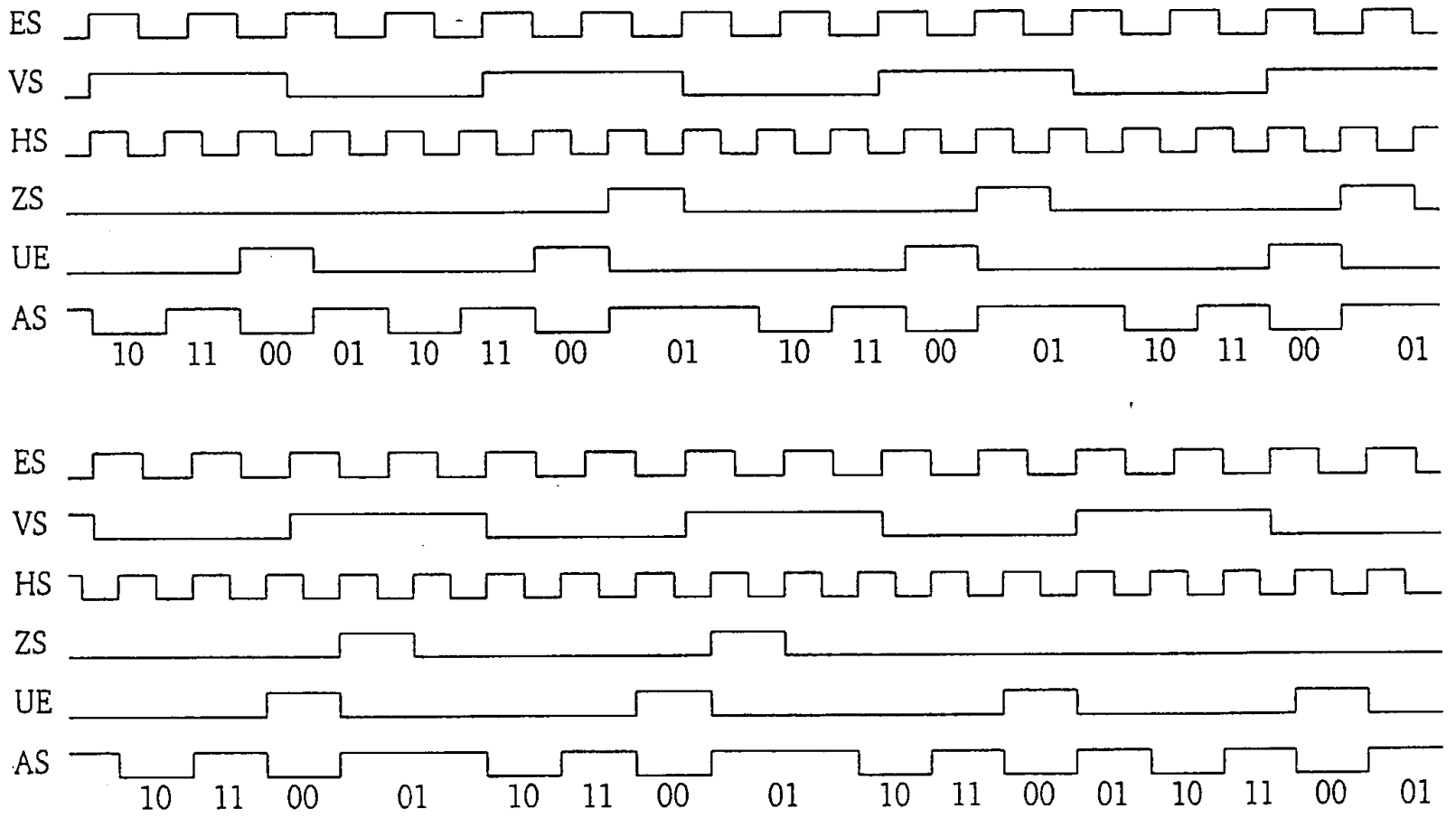

ES
VS
HS
ZS
UE
AS
10 11 00 01 10 11 00 01 10 11 00 01 10 11 00 01
ES
VS
HS
ZS
UE
AS
10 11 00 01 10 11 00 01 10 11 00 01 10 11 00 01

图 6

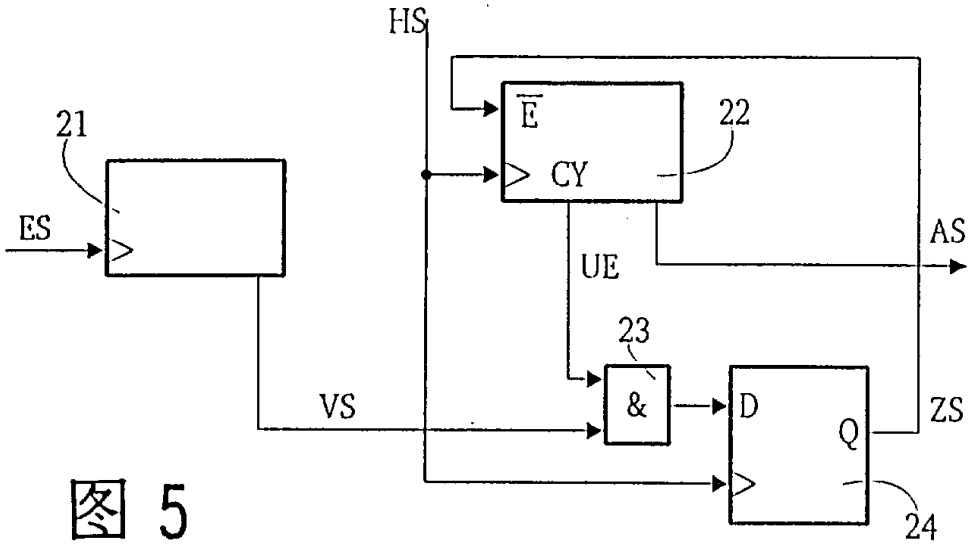

HS
21
ES
E
CY
22
AS
UE
23
&
VS
D
Q
ZS
24

图 5

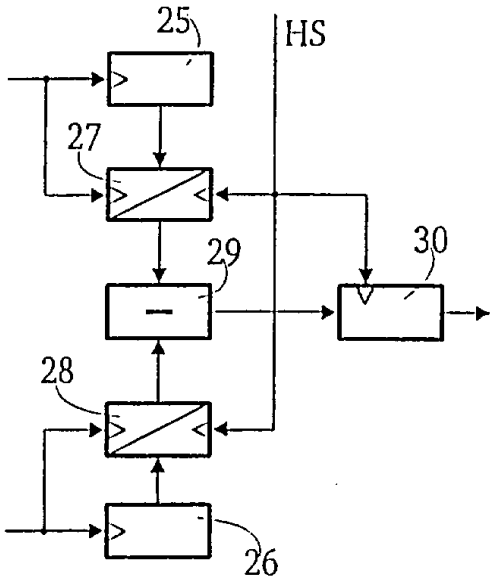

25
HS
27
29
30
28
26

图 7

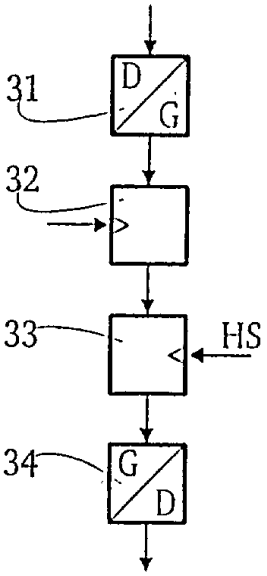

31
D
G
32
33
HS
34
G
D

图 8

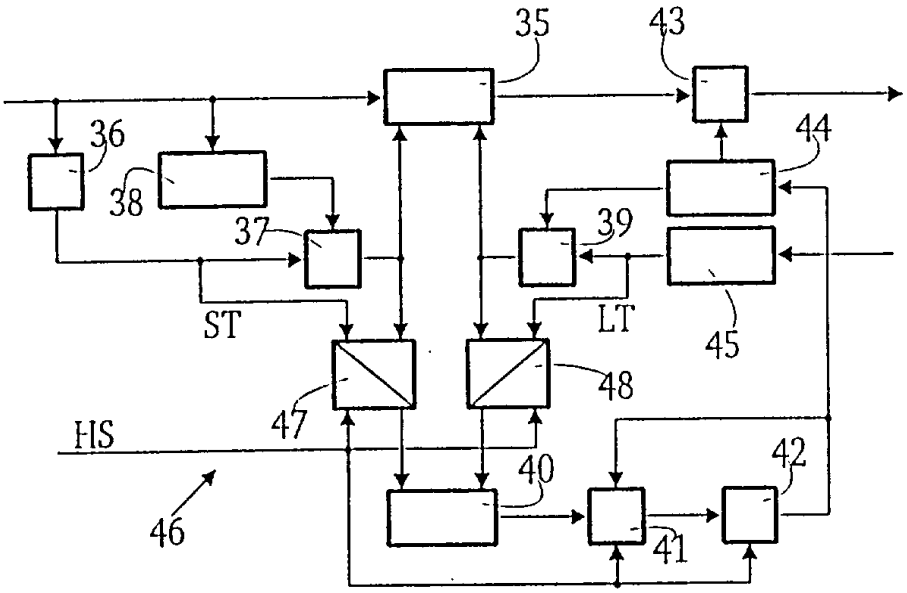

35
43
36
44
38
37
39
ST
LT
45
48
47
HS
40
42
46
41

图 9

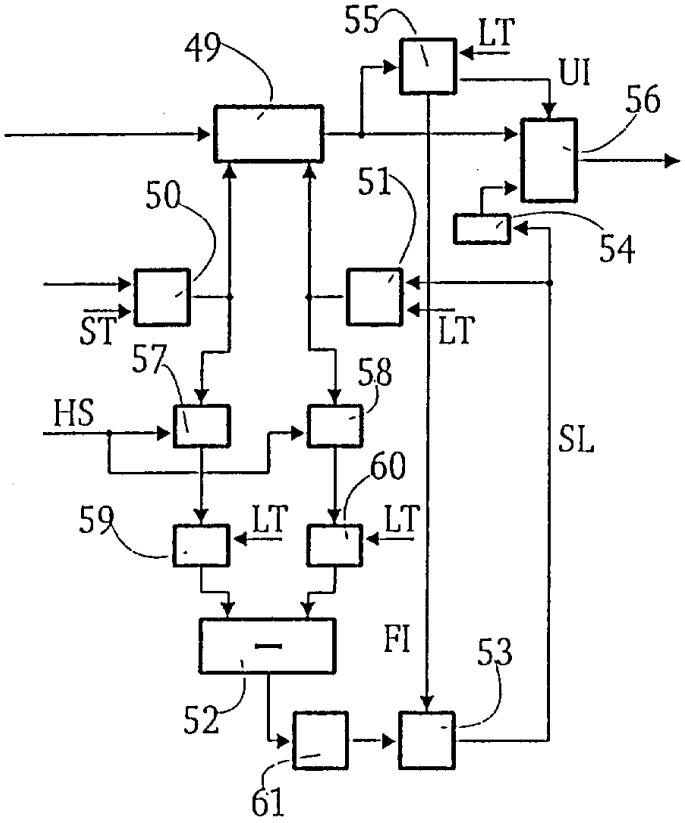

55
LT
49
UI
56
50
51
54
ST
LT
57
58
HS
SL
60
59
LT
LT
FI
53
52
61

图 10